INA12x 高精度、低消費電力の計測アンプ

1 特長

- 低いオフセット電圧：最大 50µV
- 低いドリフト：0.5µV/℃ (最大値)
- 低い入力バイアス電流：
  - 5nA (最大値) (CSO: SHE)
  - 0.7nA (最大値) (CSO: FRE)
- 低ノイズ：8nV/√Hz, 0.2µVpp
- 高 CMR：120dB (最小値)
- 帯域幅：1.3MHz (G = 1)
- ±40V までの入力保護
- 幅広い電源電圧範囲：±2.25V ～ ±18V
- 低い静止電流：700µA
- パッケージ：8 ピンのプラスチック DIP、SO-8

2 アプリケーション

- 圧力トランスミッタ
- 温度トランスミッタ
- 重量計
- 心電図 (ECG)
- アナログ入力モジュール
- データ・アクイジション (DAQ)

3 説明

INA128 と INA129 (INA12x) は、低消費電力の汎用計装アンプで、精度が非常に優れています。これらのアンプは、用途が広い 3 オペアンプ設計を採用しており、サイズが小型であるため、広範なアプリケーションに非常に適しています。電流帰還入力回路により、高いゲインでも広い帯域幅が得られます (G = 100 で 200kHz)。

単一の外付け抵抗により、1～10,000 の範囲で任意のゲインを設定できます。INA128 は、50kΩ の抵抗を使用して業界標準のゲイン計算式を提供します。INA129 のゲイン計算式は、49.4kΩ の抵抗を使用して同等デバイスのドロップイン代替を実現します。

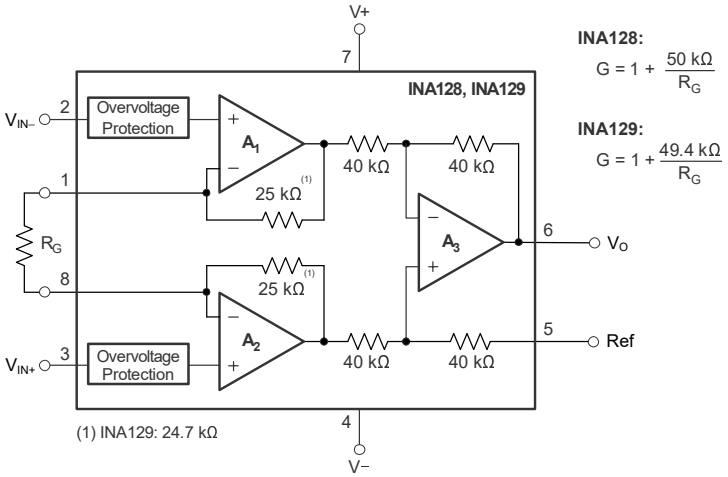
INA12x はプラスチック DIP および表面実装パッケージで供給され、-40℃～+85℃の温度範囲で動作が規定されています。また、INA128 にはデュアル構成の INA2128 も用意されています。

アップグレードされた INA828 は、同じ静止電流で入力バイアス電流 (最大 0.6nA) とノイズ (7nV/√Hz) がさらに低減しています。テキサス・インスツルメンツの高精度計装アンプのラインナップについては、「デバイス比較表」を参照してください。

製品情報

部品番号(3)	パッケージ(1)	パッケージ サイズ(2)
INA128、INA129	D (SOIC、8)	4.9mm × 6mm
	P (PDIP、8)	9.81mm × 9.43mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(3) 「デバイス比較表」を参照してください。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 デバイス比較表 ... 3
5 ピン構成および機能 ... 3
6 仕様 ... 4
6.1 絶対最大定格 ... 4
6.2 ESD 定格 ... 4
6.3 推奨動作条件 ... 4
6.4 熱に関する情報 ... 5
6.5 電気的特性 ... 5
6.6 代表的特性 ... 9
7 詳細説明 ... 16
7.1 概要 ... 16
7.2 機能ブロック図 ... 16
7.3 機能説明 ... 17
7.4 デバイスの機能モード ... 17
8 アプリケーションと実装 ... 18
8.1 使用上の注意 ... 18
8.2 代表的なアプリケーション ... 19
8.3 システム例 ... 24
8.4 電源に関する推奨事項 ... 25
8.5 レイアウト ... 25
9 デバイスおよびドキュメントのサポート ... 27
9.1 デバイス サポート ... 27
9.2 ドキュメントのサポート ... 27
9.3 ドキュメントの更新通知を受け取る方法 ... 27
9.4 サポート・リソース ... 28
9.5 商標 ... 28
9.6 静電気放電に関する注意事項 ... 28
9.7 用語集 ... 28
10 改訂履歴 ... 28
11 メカニカル、パッケージ、および注文情報 ... 30

Copyright © 2026 Texas Instruments Incorporated

4 デバイス比較表

デバイス	説明	ゲイン計算式	ピン部の RG ピン
INA818	35µV オフセット、0.4µV/°C V_{OS} ドリフト、8nV/√Hz ノイズ、低消費電力、高精度計測アンプ	G = 1 + 50kΩ/RG	1、8
INA821	35µV オフセット、0.4µV/°C V_{OS} ドリフト、7nV/√Hz ノイズ、広帯域、高精度計測アンプ	G = 1 + 49.4kΩ/RG	2、3
INA828	50µV オフセット、0.5µV/°C V_{OS} ドリフト、7nV/√Hz ノイズ、低消費電力、高精度計測アンプ	G = 1 + 50kΩ/RG	1、8
INA333	25µV V_{OS}、0.1µV/°C V_{OS} ドリフト、1.8V から 5V、RRO、50µA I_Q、チョッパー安定化 INA	G = 1 + 100kΩ/RG	1、8
PGA280	20mV ～ ±10V プログラマブル ゲイン IA、3V または 5V の差動出力、アナログ電源 (最大 ±18V)	デジタル プログラマブル	該当なし
INA159	G = 0.2V の差動アンプ、±10V ～ 3V および 5V 変換用	G = 0.2V/V	該当なし
PGA112	高精度、プログラマブル ゲイン オペアンプ、SPI 付	デジタル プログラマブル	該当なし

5 ピン構成および機能

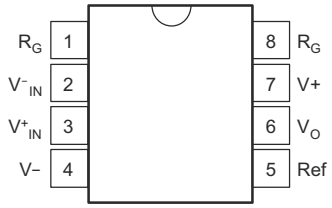


図 5-1. D (8 ピン SOIC) および P (8 ピン PDIP) パッケージ (上面図)

表 5-1. ピンの機能

ピン		タイプ	説明
名称	番号		
REF	5	入力	リファレンス入力。このピンは低インピーダンスで駆動するか、グランドに接続する必要があります。
R_G	1.8	—	ゲイン設定ピン。ゲインが 1 を超える場合、ピン 1 とピン 8 の間にゲイン抵抗を配置します。
V-	4	電源	負電源
V+	7	電源	正電源
$V_{IN–}$	2	入力	負入力
V_{IN+}	3	入力	正入力
V_O	6	出力	出力

Copyright © 2026 Texas Instruments Incorporated

6 仕様

注

TI では、このデバイスの複数の製造フローを認定済みです。性能の違いは、チップの原産拠点 (CSO) によってラベル付けされています。システムの堅牢性を確保するために、すべてのフローを考慮した設計を強く推奨します。詳細については、セクション 9.1.1 を参照してください。

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

			最小値	最大値	単位
V_S	電源電圧	デュアル電源、V_S = (V+) – (V–)		±18	V
		シングル電源、V_S = (V+) – 0V		36	
	アナログ入力電圧			±40	V
	出力短絡(2)		連続		
T_A	動作温度		-40	125	°C
	接合部温度			150	°C
	リード温度 (半田付け、10 秒)			300	°C
T_{stg}	保存温度		-55	125	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) V_S / 2 への短絡

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±50	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	標準値	最大値	単位
V_S	電源電圧	単電源	4.5	30	36	V
		両電源	±2.25	±15	±18	
	V_O = 0 V の入力同相電圧範囲		(V–) + 2		(V+) – 2	V
T_A	規定温度		-40		85	°C

Copyright © 2026 Texas Instruments Incorporated

6.4 熱に関する情報

熱評価基準(1)		INA12x		単位
		D (SOIC)	P (PDIP)	
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	110	46.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	57	34.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	54	23.4	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	11	11.3	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	53	23.2	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.5 電気的特性

T_A = 25°C、V_S = ±15V、R_L = 10kΩ、V_{REF} = 0V、V_{CM} = V_S/2、および G = 1 でのすべてのチップ原産拠点 (CSO) (特に記述のない限り)

パラメータ		テスト条件			最小値	標準値	最大値	単位
入力								
V_{OS}	オフセット電圧 (RTI)	1 ≤ G ≤ 10000	CSO: SHE	INA12xP、INA12xU		±10 ±100/G	±50 ±500/G	µV
				INA12xPA、INA12xUA		±25 ±100/G	±125 ±1000/G	
			CSO: FRE	INA12xU		±20 ±50/G	±50 ±500/G	
				INA12xUA		±20 ±50/G	±125 ±1000/G	
	オフセット電圧ドリフト (RTI)	T_A = –40°C ～ +85°C	INA12xP、INA12xU			±0.2 ±2/G	±0.5 ±20/G	µV/°C
			INA12xPA、INA12xUA			±0.2 ±5/G	±1 ±20/G	
PSRR	電源除去比 (RTI)	V_S = ±2.25 V ～ ±18 V	CSO: SHE	INA12xP、INA12xU		±0.2 ±20/G	±1 ±100/G	µV/V
				INA12xPA、INA12xUA			±2 ±200/G	
			CSO: FRE	INA12xU		±0.1 ±1/G	±0.4 ±3.2/G	
				INA12xUA			±0.8 ±6.4/G	
	長期安定性	CSO: SHE				±0.1 ±3/G		µV/mo
		CSO: FRE				±0.2 ±3/G		
	入力インピーダンス	差動				10 || 2		GΩ || pF
		同相				100 || 9		
V_{CM}	同相電圧(2)	V_O = 0V			(V–) + 2		(V+) – 2	V
	安全入力電圧	R_S = 0Ω					±40	V

6.5 電気的特性 (続き)

T_A = 25°C、V_S = ±15V、R_L = 10kΩ、V_{REF} = 0V、V_{CM} = V_S/2、および G = 1 でのすべてのチップ原産拠点 (CSO) (特に記述のない限り)

パラメータ		テスト条件			最小値	標準値	最大値	単位
CMRR	同相除去比	ΔR_S = 1kΩ、V_{CM} = ±13V、CSO: SHE	G = 1	INA12xP、INA12xU	80	86		dB
				INA12xPA、INA12xUA	73			
			G = 10	INA12xP、INA12xU	100	106		
				INA12xPA、INA12xUA	93			
			G = 100	INA12xP、INA12xU	120	125		
				INA12xPA、INA12xUA	110			
			G = 1000	INA12xP、INA12xU	120	130		
				INA12xPA、INA12xUA	110			
		ΔR_S = 1kΩ、V_{CM} = ±13V、CSO: FRE	G = 1	INA12xU	90	100		
				INA12xUA	83			
			G = 10	INA12xU	110	120		
				INA12xUA	103			
			G = 100	INA12xU	130	140		
				INA12xUA	120			
			G = 1000	INA12xU	140	145		
				INA12xUA	130			
入力バイアス電流								
I_B	入力バイアス電流	CSO: SHE	INA12xP、INA12xU			±2	±5	nA
			INA12xPA、INA12xUA				±10	
		CSO: FRE	INA12xU			±0.15	±0.6	
			INA12xUA				±1.2	
	入力バイアス電流ドリフト	T_A = –40°C ～ +85°C				±30		pA/°C
I_{OS}	入力オフセット電流	CSO: SHE	INA12xP、INA12xU			±1	±5	nA
			INA12xPA、INA12xUA				±10	
		CSO: FRE	INA12xU			±0.15	±0.6	
			INA12xUA				±1.2	
	入力オフセット電流ドリフト	T_A = –40°C ～ +85°C				±30		pA/°C
ノイズ								
e_N	電圧ノイズ (RTI)	G = 1000、R_S = 0Ω	f = 10Hz	CSO: SHE		10		nV/√Hz
				CSO: FRE		7		
			f = 100Hz	CSO: SHE		8		
				CSO: FRE		6.9		
			f = 1kHz	CSO: SHE		8		
				CSO: FRE		6.9		
			f_B = 0.1Hz ～ 10Hz			0.2		μV_{PP}
I_n	電流ノイズ	f = 10Hz				0.9		pA/√Hz
		f = 1kHz	CSO: SHE			0.3		
			CSO: FRE			0.17		
		f_B = 0.1Hz ～ 10Hz	CSO: SHE			30		pA_{PP}
			CSO: FRE			4.7		

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

T_A = 25°C、V_S = ±15V、R_L = 10kΩ、V_{REF} = 0V、V_{CM} = V_S/2、および G = 1 でのすべてのチップ原産拠点 (CSO) (特に記述のない限り)

パラメータ		テスト条件			最小値	標準値	最大値	単位
ゲイン								
	ゲイン計算式	INA128				1 + (50kΩ/R_G)		V/V
		INA129				1 + (49.4kΩ/R_G)		
G	ゲイン				1		10000	V/V
	ゲイン誤差	G = 1	CSO: SHE	INA12xP、INA12xU		±0.01	±0.024	%
				INA12xPA、INA12xUA			±0.1	
			CSO: FRE	INA12xU		±0.005	±0.025	
				INA12xUA			±0.1	
		G = 10	CSO: SHE	INA12xP、INA12xU		±0.02	±0.4	
				INA12xPA、INA12xUA			±0.5	
			CSO: FRE	INA12xU		±0.025	±0.15	
				INA12xUA			±0.2	
		G = 100	CSO: SHE	INA12xP、INA12xU		±0.05	±0.5	
				INA12xPA、INA12xUA			±0.7	
			CSO: FRE	INA12xU		±0.025	±0.15	
				INA12xUA			±0.25	
		G = 1000	CSO: SHE	INA12xP、INA12xU		±0.5	±1	
				INA12xPA、INA12xUA			±2	
			CSO: FRE	INA12xU		±0.05	±1	
				INA12xUA			±2	
	ゲインドリフト[4]	T_A = –40°C ～ +85°C	CSO: SHE			±1	±10	ppm/°C
			CSO: FRE				±5	
			50kΩ または 49.4kΩ の抵抗[3]	CSO: SHE		±25	±100	
				CSO: FRE			±50	
	ゲインの非直線性[1]	G = 1、V_O = ±13.6V	INA12xP、INA12xU			±0.0001	±0.001	FSR の %
			INA12xPA、INA12xUA				±0.002	
		G = 10	INA12xP、INA12xU			±0.0003	±0.002	
			INA12xPA、INA12xUA				±0.004	
		G = 100	INA12xP、INA12xU			±0.0005	±0.002	
			INA12xPA、INA12xUA				±0.004	
		G = 1000				±0.001		
出力								
	正の出力電圧スイング	CSO: SHE			(V+) – 1.4			V
		CSO: FRE			(V+) – 0.15			
	負の出力電圧スイング	CSO: SHE			(V–) + 1.4			V
		CSO: FRE			(V–) + 0.15			
C_L	負荷容量	安定動作				1000		pF
I_{SC}	短絡電流	V_S/2 まで連続	CSO: SHE			+6/-15		mA
			CSO: FRE			+18/-18		

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

T_A = 25°C、V_S = ±15V、R_L = 10kΩ、V_{REF} = 0V、V_{CM} = V_S/2、および G = 1 でのすべてのチップ原産拠点 (CSO) (特に記述のない限り)

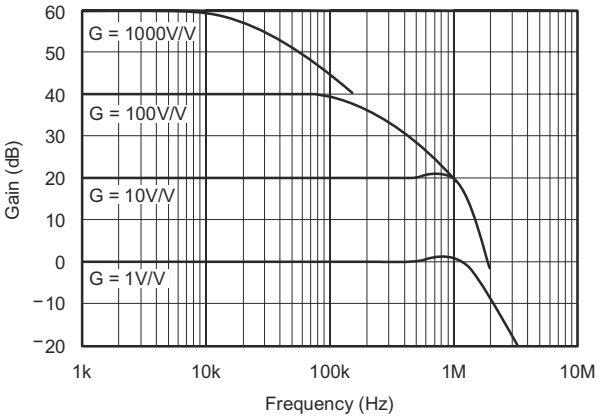
パラメータ		テスト条件			最小値	標準値	最大値	単位
周波数応答								
BW	帯域幅、-3dB	G = 1				1.3		MHz
		G = 10				640		kHz
		G = 100				200		
		G = 1000	CSO: SHE			20		
			CSO: FRE			33		
SR	スルーレート	G = 5、V_O = ±10V	CSO: SHE			4		V/µs
			CSO: FRE			1.2		
t_S	セトリング タイム	0.01% まで	G = 1	CSO: SHE		7		µs
				CSO: FRE		12		
			G = 10	CSO: SHE		7		
				CSO: FRE		12		
			G = 100	CSO: SHE		9		
				CSO: FRE		12		
			G = 1000			80		
	過負荷からの回復	50% の入力過負荷				4		µs
電源								
I_Q	静止時電流	V_{IN} = 0V				±700	±750	µA

(1) G = 1000 での非直線性測定は、ノイズの支配的な要素です。標準非直線性は ±0.001% です
(2) 入力同相電圧は出力電圧によって変化します。「代表的特性」を参照してください。
(3) ゲイン計算式で使用する 50kΩ または 49.4kΩ 項の温度係数。
(4) ウェハー テストにより規定されています。

Copyright © 2026 Texas Instruments Incorporated

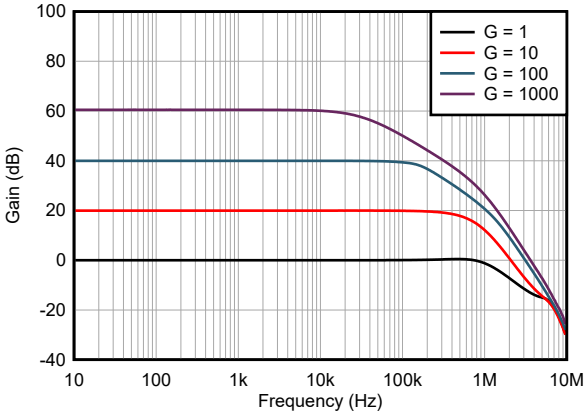
6.6 代表的特性

T_A = 25°C、V_S = ±15V、R_L = 10kΩ、V_{REF} = 0V、V_{CM} = V_S/2、G = 1 のとき、すべてのチップ原産拠点 (CSO) (特に記述のない限り)



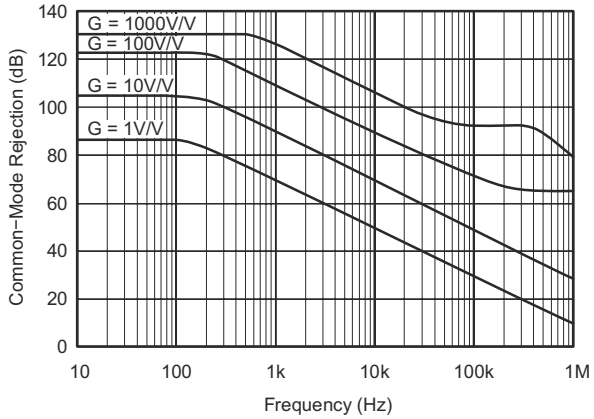
CSO: SHE

図 6-1. ゲインと周波数との関係



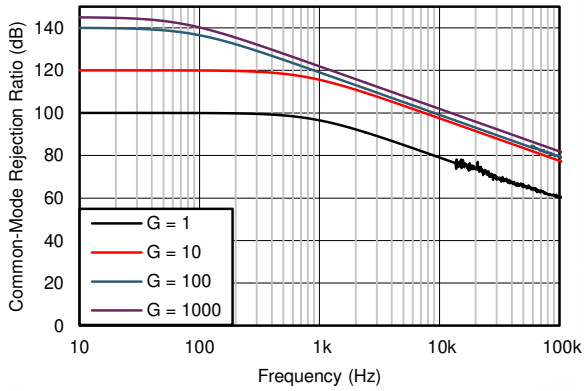
CSO: FRE

図 6-2. ゲインと周波数との関係



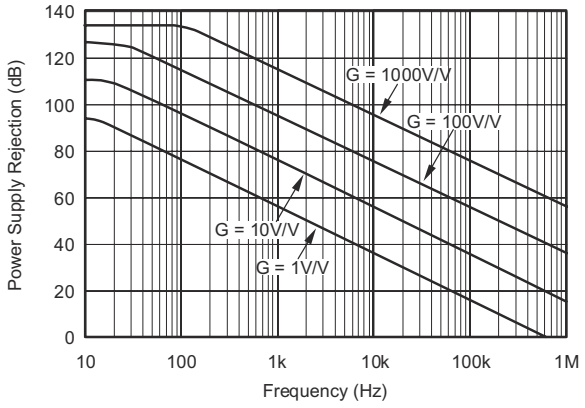
CSO: SHE

図 6-3. 同相除去比と周波数との関係



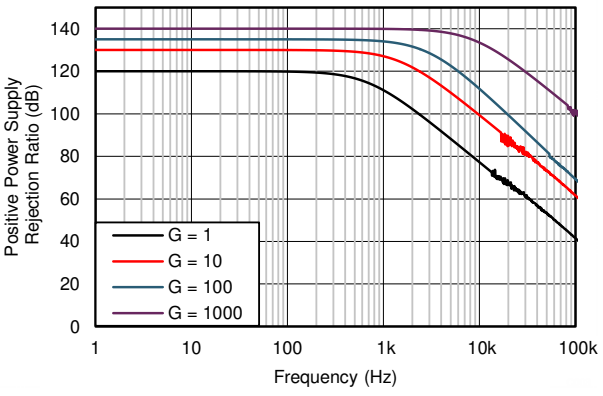
CSO: FRE

図 6-4. 同相除去比と周波数との関係



CSO: SHE

図 6-5. 正の電源除去比と周波数との関係



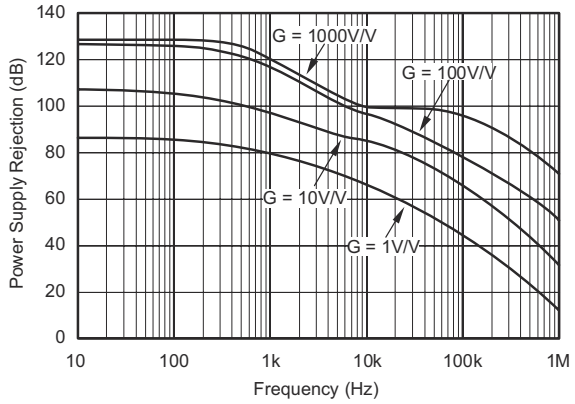
CSO: FRE

図 6-6. 正の電源除去比と周波数との関係

Copyright © 2026 Texas Instruments Incorporated

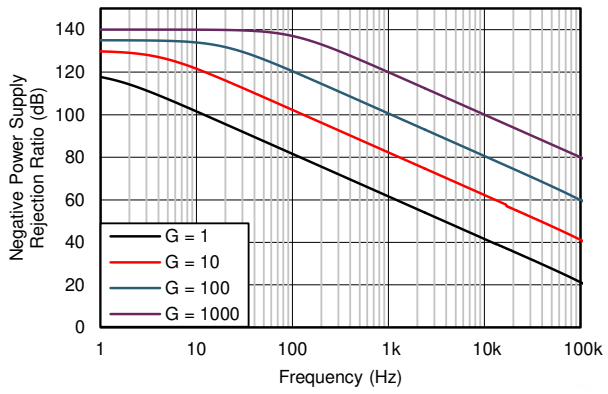
6.6 代表的特性 (続き)

T_A = 25°C、V_S = ±15V、R_L = 10kΩ、V_{REF} = 0V、V_{CM} = V_S/2、G = 1 のとき、すべてのチップ原産拠点 (CSO) (特に記述のない限り)



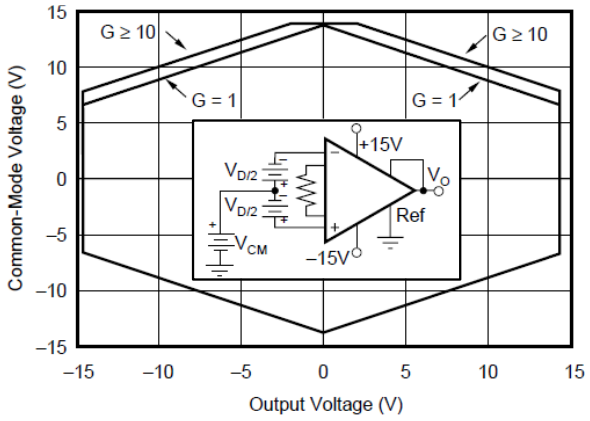
CSO: SHE

図 6-7. 負の電源除去比と周波数との関係



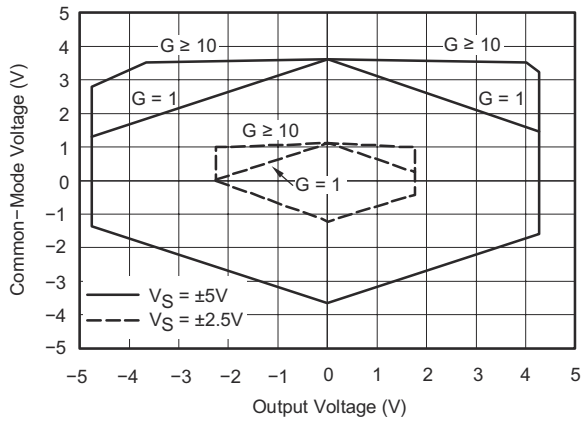
CSO: FRE

図 6-8. 負の電源除去比と周波数との関係



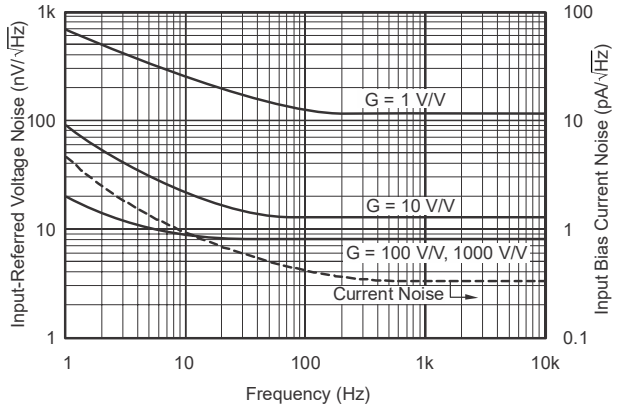
V_S = ±15V

図 6-9. 入力同相と出力電圧との関係



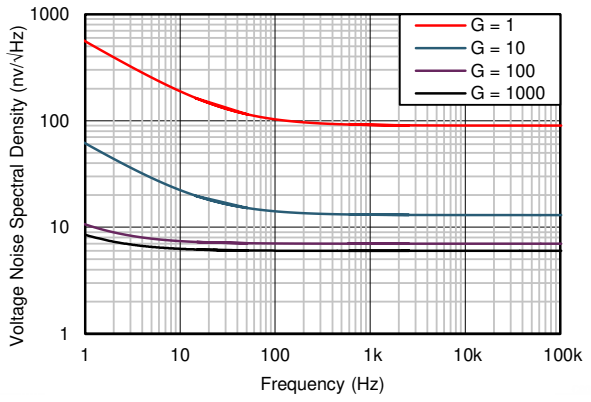
V_S = ±5V、±2.5V

図 6-10. 入力同相と出力電圧との関係



CSO: SHE

図 6-11. 入力換算ノイズと周波数との関係



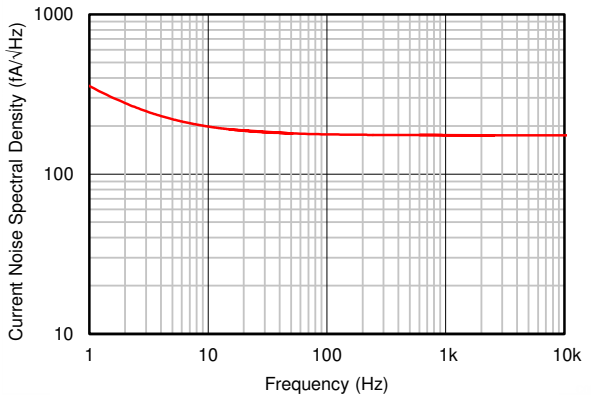
CSO: FRE

図 6-12. 入力換算電圧ノイズと周波数との関係

Copyright © 2026 Texas Instruments Incorporated

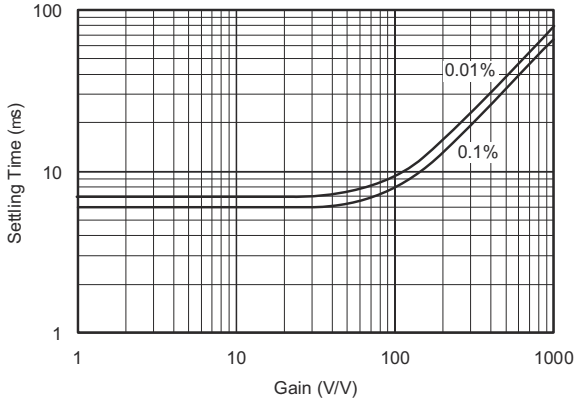
6.6 代表的特性 (続き)

T_A = 25°C、V_S = ±15V、R_L = 10kΩ、V_{REF} = 0V、V_{CM} = V_S/2、G = 1 のとき、すべてのチップ原産拠点 (CSO) (特に記述のない限り)



CSO: FRE

図 6-13. 入力換算電流ノイズと周波数との関係



CSO: SHE

図 6-14. セトリング タイムとゲインとの関係

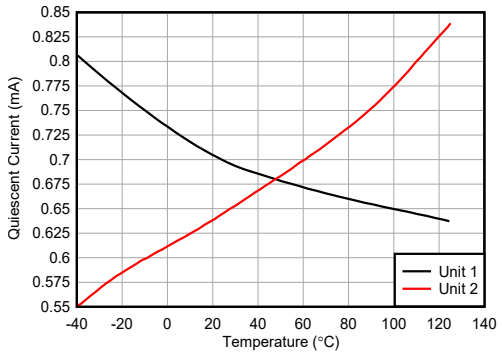
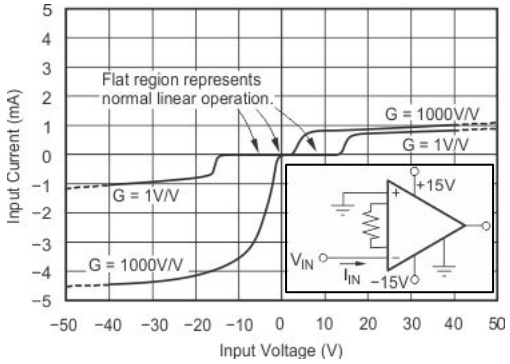
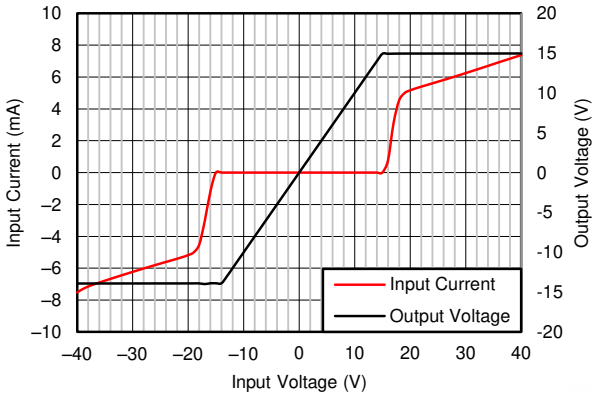


図 6-15. 静止電流と温度との関係



CSO: SHE

図 6-16. 入力過電圧 V/I 特性



CSO: FRE

図 6-17. 入力過電圧 V/I 特性

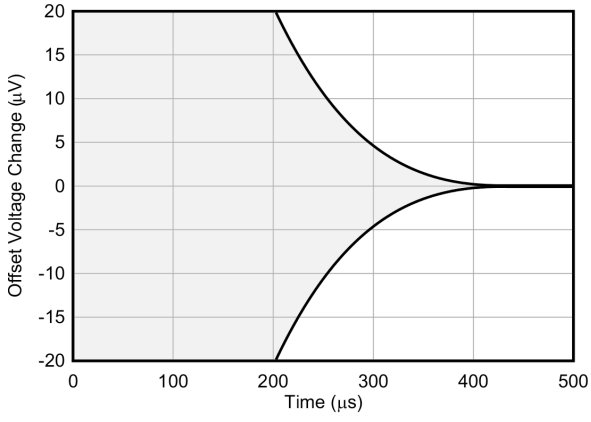
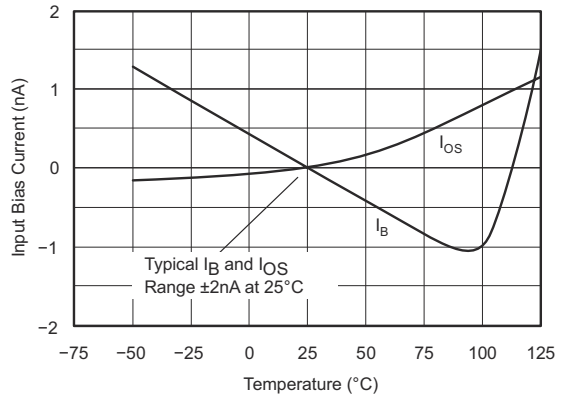


図 6-18. 入力オフセット電圧のウォームアップ

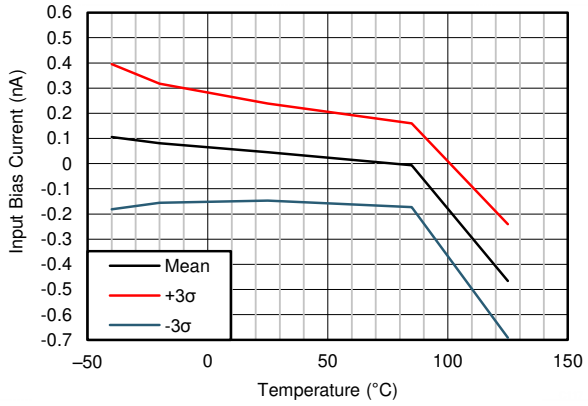
6.6 代表的特性 (続き)

T_A = 25°C、V_S = ±15V、R_L = 10kΩ、V_{REF} = 0V、V_{CM} = V_S/2、G = 1 のとき、すべてのチップ原産拠点 (CSO) (特に記述のない限り)



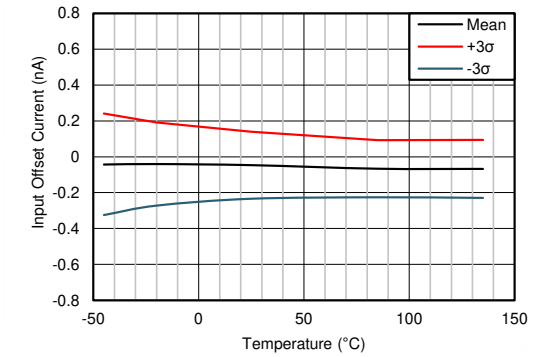
CSO: SHE

図 6-19. 入力バイアス電流と温度との関係



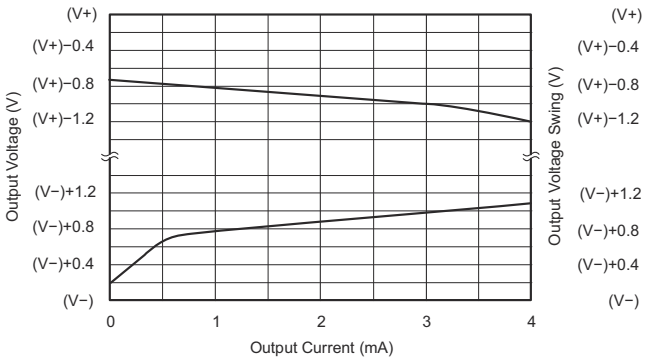
CSO: FRE

図 6-20. 入力バイアス電流と温度との関係



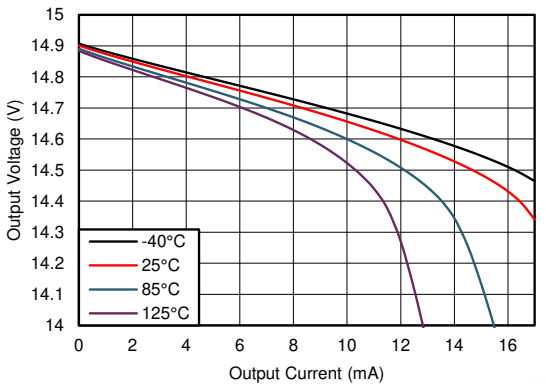
CSO: FRE

図 6-21. 入力オフセット電流と温度との関係



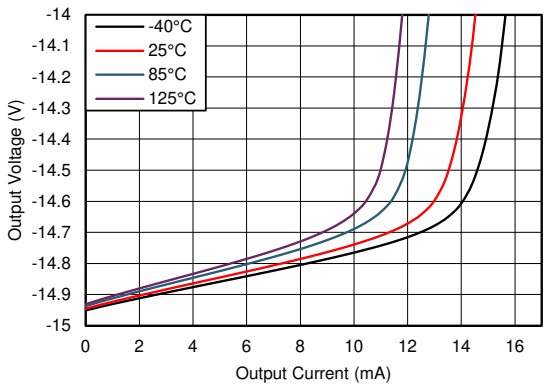
CSO: SHE

図 6-22. 出力電圧スイングと出力電流との関係



CSO: FRE

図 6-23. 正の出力電圧スイングと出力電流との関係



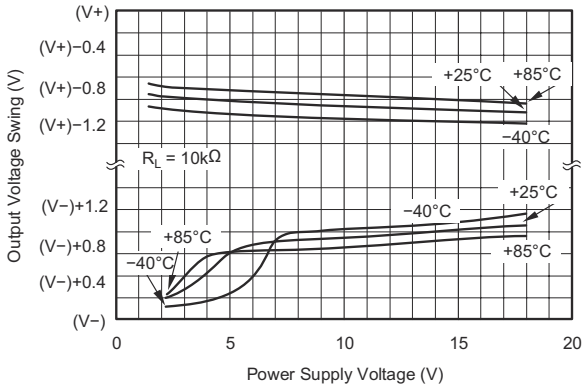
CSO: FRE

図 6-24. 負の出力電圧スイングと出力電流との関係

Copyright © 2026 Texas Instruments Incorporated

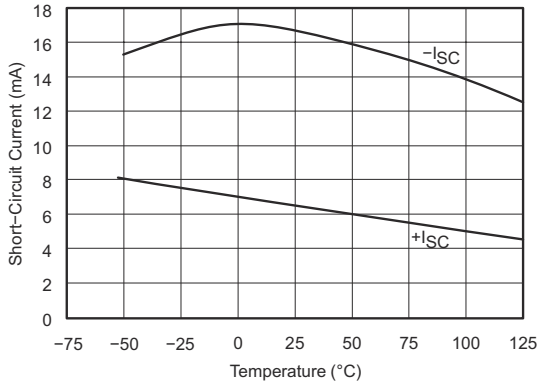
6.6 代表的特性 (続き)

T_A = 25°C、V_S = ±15V、R_L = 10kΩ、V_{REF} = 0V、V_{CM} = V_S/2、G = 1 のとき、すべてのチップ原産拠点 (CSO) (特に記述のない限り)



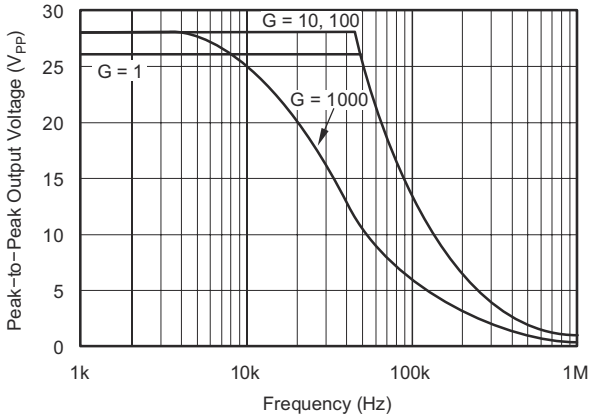
CSO: SHE

図 6-25. 出力電圧スイングと電源電圧との関係



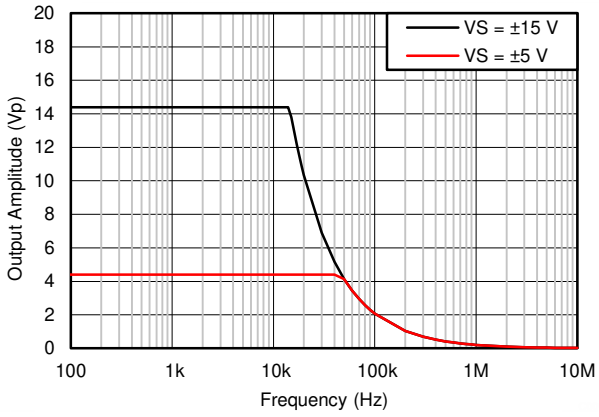
CSO: SHE

図 6-26. 短絡出力電流と温度との関係



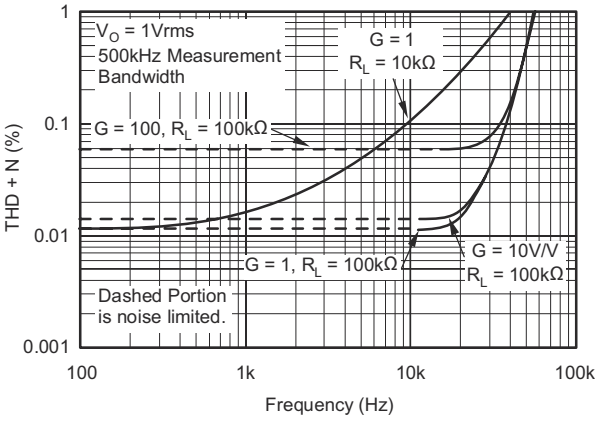
CSO: SHE

図 6-27. 最大出力電圧と周波数との関係



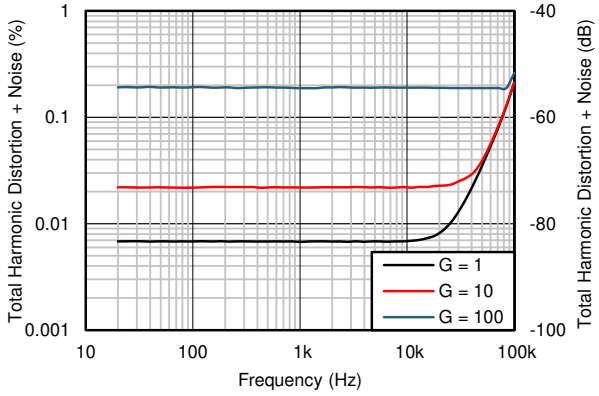
CSO: FRE

図 6-28. 最大出力電圧と周波数との関係



CSO: SHE

図 6-29. 全高調波歪 + ノイズと周波数との関係

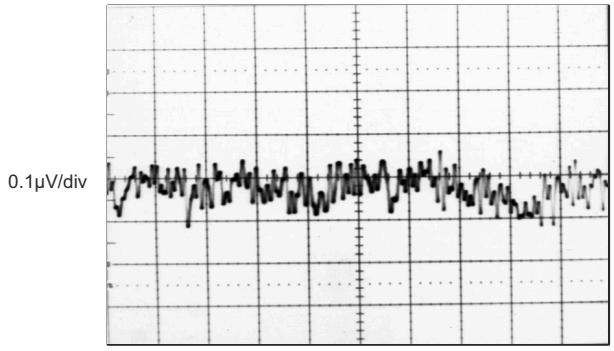


CSO: FRE

図 6-30. 全高調波歪 + ノイズと周波数との関係

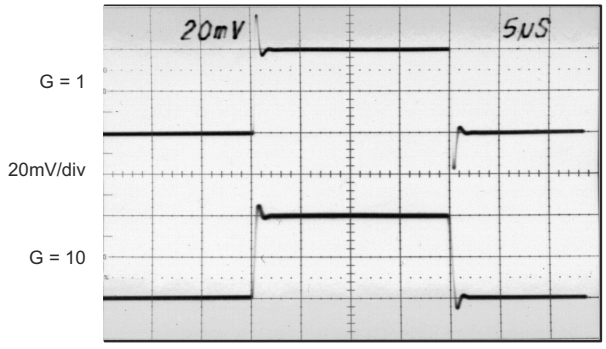
6.6 代表的特性 (続き)

T_A = 25°C、V_S = ±15V、R_L = 10kΩ、V_{REF} = 0V、V_{CM} = V_S/2、G = 1 のとき、すべてのチップ原産拠点 (CSO) (特に記述のない限り)



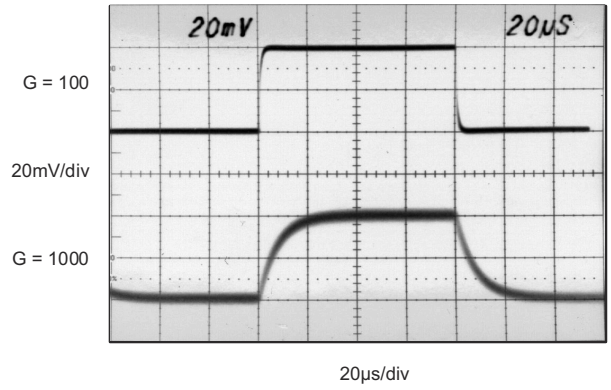
G ≥ 100

図 6-31. 0.1 ～ 10Hz 入力換算電圧ノイズ



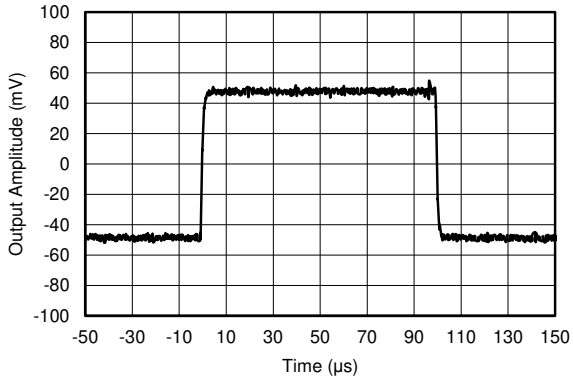
G = 1、10

図 6-32. 小信号



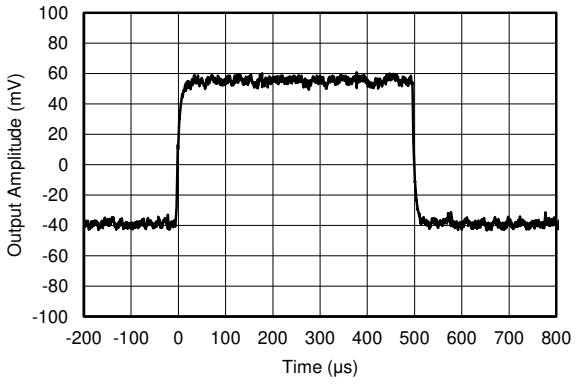
CSO: SHE　　G = 100、1000

図 6-33. 小信号



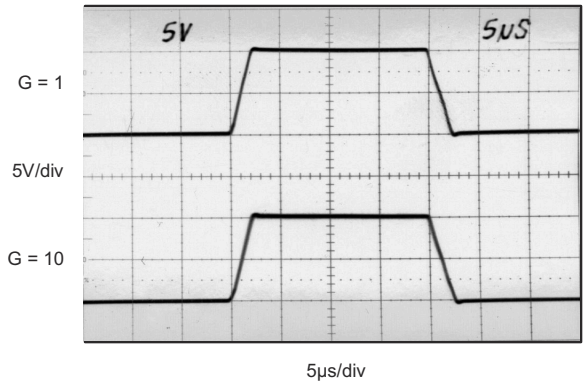
CSO: FRE　　G = 100、R_L = 10kΩ、C_L = 100pF

図 6-34. 小信号



CSO: FRE　　G = 1000、R_L = 10kΩ、C_L = 100pF

図 6-35. 小信号



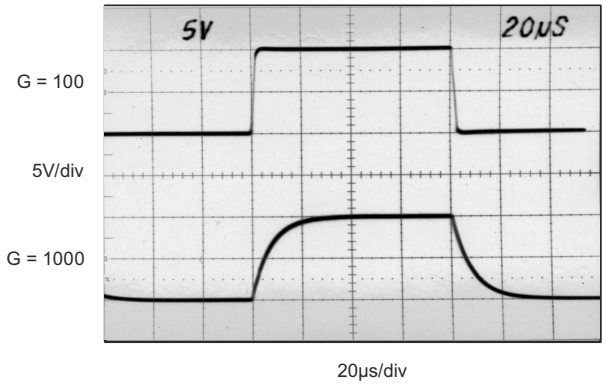
CSO: SHE　　G = 1、10

図 6-36. 大信号

Copyright © 2026 Texas Instruments Incorporated

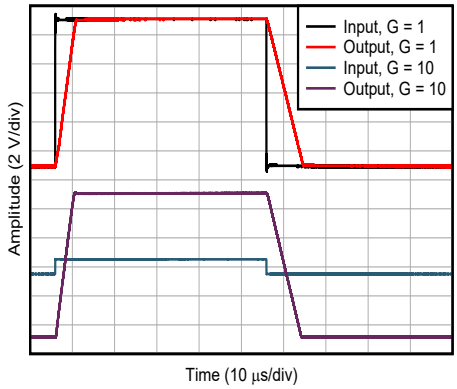
6.6 代表的特性 (続き)

T_A = 25°C、V_S = ±15V、R_L = 10kΩ、V_{REF} = 0V、V_{CM} = V_S/2、G = 1 のとき、すべてのチップ原産拠点 (CSO) (特に記述のない限り)



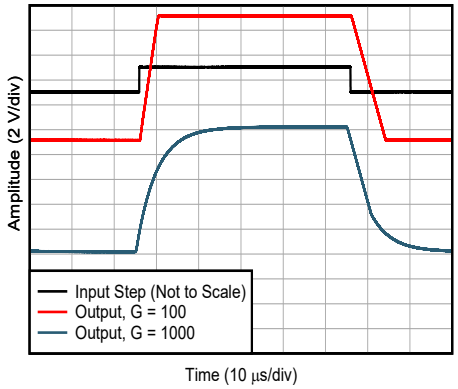
CSO: SHE G = 100、1000

図 6-37. 大信号



CSO: FRE G = 1、10

図 6-38. 大信号



CSO: FRE G = 100、1000

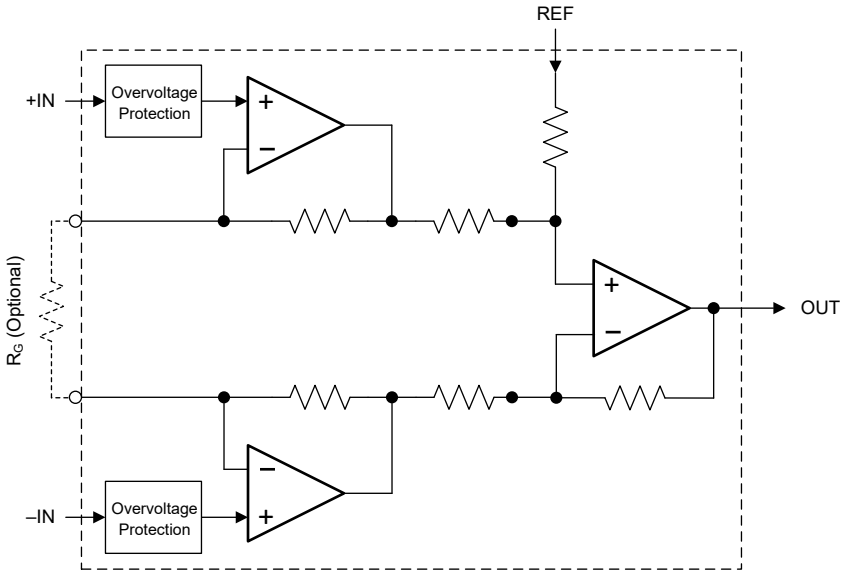
図 6-39. 大信号

7 詳細説明

7.1 概要

INA128 および INA129 (INA12x) 計測アンプには、入力保護回路と入力バッファ アンプが搭載されています。これらの特長により、入力インピーダンス整合が不要になり、測定および試験装置での使用に最適なアンプとなっています。INA12x のその他の特性としては、、非常に低い DC オフセット、低ドリフト、低ノイズ、非常に高い開ループ ゲイン、非常に高い同相信号除去比、非常に高い入力インピーダンスなどがあります。INA12x を使用する場合は、回路の精度と安定性 (短期と長期の両方) が求められます。

7.2 機能ブロック図



Copyright © 2026 Texas Instruments Incorporated

7.3 機能説明

INA12x は、精度の優れた低消費電力の汎用計測アンプです。これらのアンプは、用途が広い 3 オペアンプ設計を採用しており、サイズが小型であるため、広範なアプリケーションに非常に適しています。電流帰還入力回路により、高いゲインでも広い帯域幅が得られます。単一の外付け抵抗により、1～10,000 の範囲で任意のゲインを設定できます。INA12x はレーザ トリムにより、非常に低いオフセット電圧 (25μV) と高い同相除去 (G ≥ 100 で 93dB) を実現しています。このデバイスは、最低 ±2.25V の電源と通常 2mA の静止電流で動作します。図 6-17 に示すように、内部入力保護機能は、損傷なしに ±40V まで耐えられます。

7.3.1 ノイズ性能

INA12x は、ほとんどのアプリケーションで超低ノイズを実現します。低周波ノイズは、0.1 ～ 10Hz の範囲で約 $0.2\mu V_{PP}$ です (G ≥ 100)。これにより、最先端のチョッパー安定化アンプと比較して、ノイズが大幅に改善されます。

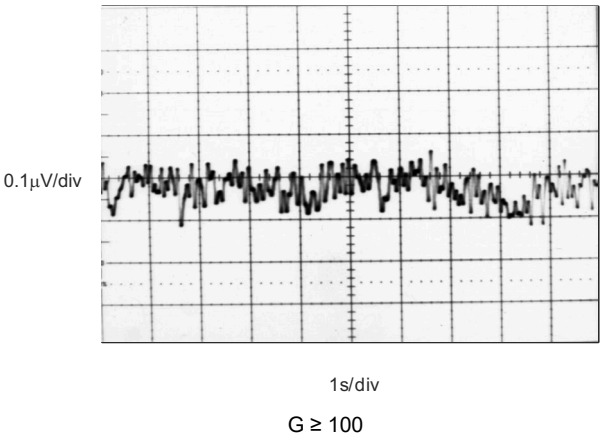


図 7-1. 0.1Hz ～ 10Hz 入力換算電圧ノイズ

7.4 デバイスの機能モード

INA12x には単一の機能モードがあり、電源電圧が 4.5V (±2.25V) を上回ると動作します。INA12x の最大電源電圧は 36V (±18V) です。

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

INA12x は、非反転入力と反転入力に高い同相電圧がある場合でも、小さい差動電圧を測定します。高入力電圧保護回路と高入力インピーダンスの組み合わせにより、INA12x は幅広いアプリケーションに適しています。リファレンス ピンを設定することにより出力信号の機能を調整できるため、複数の構成に実用的な柔軟性が得られます。

8.1.1 入力同相範囲

INA12x の入力回路の線形入力電圧範囲は、正電源電圧より約 2V 低い値から、負電源より 2V 高い値です。差動入力電圧が原因で出力電圧は上昇しますが、線形入力範囲はアンプ A_1 および A_2 の出力電圧スイングによって制限されます。したがって、リニア同相入力範囲は、アンプ全体の出力電圧に関係します。この動作は、電源電圧にも依存します (図 6-10 を参照)。

入力過負荷により、出力電圧が一見正常に見える場合があります。たとえば、入力過負荷状態によって両方の入力アンプが正の出力スイング制限まで駆動されると、出力アンプによって測定される差動電圧はゼロに近くなります。両方の入力が過負荷になっていても、A_3 の出力は 0V 近くになります。

Copyright © 2026 Texas Instruments Incorporated

8.2 代表的なアプリケーション

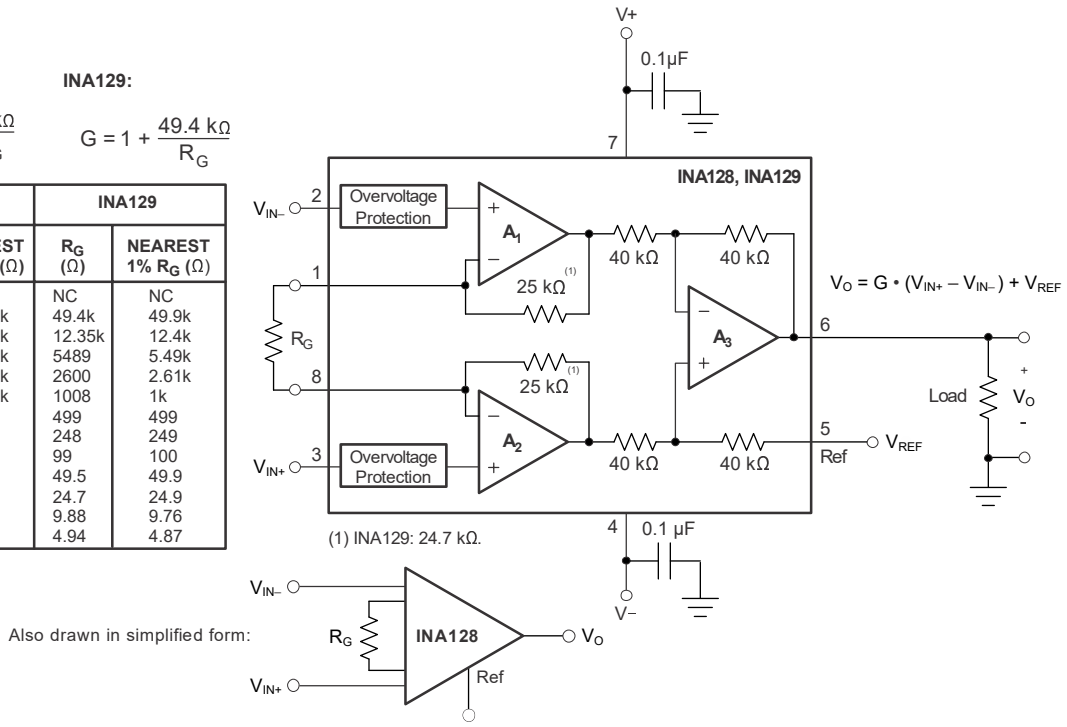
図 8-1 は、INA12x の動作に必要な基本的な接続を示しています。ノイズが多い、またはハイ インピーダンスの電源を使用するアプリケーションでは、デバイスのピンの近くにデカップリング コンデンサが必要です。出力は、通常接地された出力基準 (REF) ピンを基準にします。良好な同相除去を実現するには、この接続を低インピーダンスにする必要があります。REF ピンと直列に 8Ω の抵抗を接続すると、標準的なデバイスは CMR (G = 1) が約 80dB まで低下します。

INA128: $G = 1 + \frac{50\ k\Omega}{R_G}$

INA129: $G = 1 + \frac{49.4\ k\Omega}{R_G}$

DESIRED GAIN (V/V)	INA128 R_G (Ω)	INA128 NEAREST 1% R_G (Ω)	INA129 R_G (Ω)	INA129 NEAREST 1% R_G (Ω)
1	NC	NC	NC	NC
2	50.00k	49.9k	49.4k	49.9k
5	12.50k	12.4k	12.35k	12.4k
10	5.556k	5.62k	5489	5.49k
20	2.632k	2.61k	2600	2.61k
50	1.02k	1.02k	1008	1k
100	505.1	511	499	499
200	251.3	249	248	249
500	100.2	100	99	100
1000	50.05	49.9	49.5	49.9
2000	25.01	24.9	24.7	24.9
5000	10.00	10	9.88	9.76
10000	5.001	4.99	4.94	4.87

NC: No Connection



Also drawn in simplified form:

図 8-1. 基本的な接続

8.2.1 設計要件

このデバイスは、入力信号ゲインが外付け抵抗 R_G によって設定されている場合、入力差動電圧を監視するように構成されています。出力信号は、リファレンス ピン REF の電圧を基準にして開発されています。最も一般的なアプリケーションは、図 8-1 に示すように、REF ピンをグランドに接続することにより、入力信号が存在しないときに出力がグランドを基準にする場合です。単一電源で動作させる場合には、出力信号を正確な中間電圧 (たとえば、5V 電源環境における 2.5V) にオフセットすることが有用です。このレベル シフトを実現するには、デバイスが単一電源の ADC を駆動するように、電圧電源を REF ピンに接続して出力をレベル シフトする必要があります。

電圧リファレンス デバイスは、リファレンス ピン用の低インピーダンス電圧ソースを提供するための優れたオプションです。ただし、抵抗分圧器でリファレンス電圧を生成する場合は、CMRR の劣化を避けるため、電圧をオペアンプでバッファする必要があります。

Copyright © 2026 Texas Instruments Incorporated

8.2.2 詳細な設計手順

8.2.2.1 ゲインの設定

ゲイン (G) は、ピン 1 と 8 の間に単一の外付け抵抗 R_G を接続することで設定します。

$$\text{INA128: } G = 1 + 50\text{k}\Omega / R_G \quad (1)$$

$$\text{INA129: } G = 1 + 49.4\text{k}\Omega / R_G \quad (2)$$

図 8-1 は一般に使用されるゲインと抵抗値を示しています。

式 1 の 50kΩ という項と 式 2 の 49.4kΩ という項目は、2 つの内部帰還抵抗 A_1 と A_2 の合計から生じます。これらのオンチップ金属フィルム抵抗はレーザ トリムされ、精度の高い絶対値に調整されます。これらの内部抵抗の精度と温度係数は、「電気的特性」の表にあるゲイン精度とドリフト仕様に含まれています。

外部ゲイン設定抵抗 R_G の安定性と温度ドリフトも、ゲインに影響を与えます。ゲインの精度とドリフトに対する R_G の寄与は、式 1 および 式 2 から直接推測できます。高いゲインに必要な抵抗値が小さいと、配線抵抗が重要になる可能性があります。ソケットは配線抵抗に加えられ、ゲインが約 100 以上になるとゲイン誤差 (不安定なゲイン誤差など) が増大します。

8.2.2.2 ダイナミック性能

図 6-2 の代表的性能曲線から、静止電流が小さいにもかかわらず、INA12x は高いゲインでも広い帯域幅を達成できることがわかります。この性能は、入力段回路の電流帰還トポロジに起因するものです。高ゲインの場合も、セトリング タイムは非常に優れた状態です。

8.2.2.3 オフセットのトリミング

INA12x は、低いオフセット電圧と低いオフセット電圧ドリフトを実現するようにレーザ トリムされています。大半のアプリケーションでは、外部オフセット調整は必要ありません。図 8-2 は、出力オフセット電圧をトリミングするためのオプション回路を示しています。REF ピンに印加された電圧は、出力に加算されます。オペアンプ バッファにより、REF ピンのインピーダンスを低くし、良好な同相信号除去を維持しています。

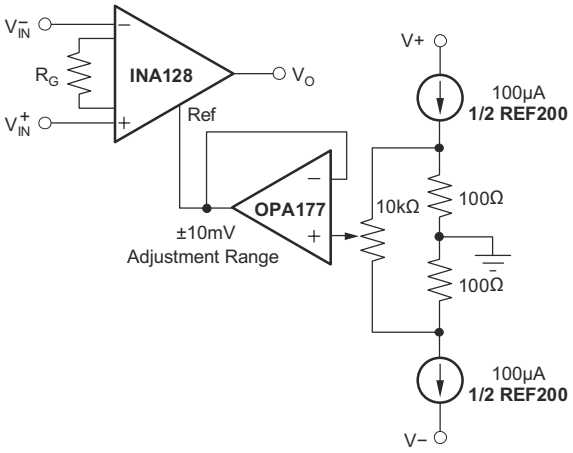


図 8-2. 出力オフセット電圧のオプションのトリミング

Copyright © 2026 Texas Instruments Incorporated

8.2.2.4 入力バイアス電流のリターン パス

INA12x の入力インピーダンスは非常に大きい値で、約 10GΩ です。ただし、両方の入力に対して、入力バイアス電流のパスを用意する必要があります。この入力バイアス電流は約 ±2nA です。大きい入力インピーダンスは、入力電圧が変化した場合でも、入力バイアス電流の変化がごくわずかであることを意味します。

正常な動作を実現するために、入力回路はこの入力バイアス電流に対してパスを用意する必要があります。図 8-3 は、さまざまな入力バイアス電流パスを示しています。バイアス電流パスがないと、入力は同相範囲を超える電位に対してフローティングし、入力アンプが飽和します。

差動ソース抵抗が低い場合、バイアス電流の帰路を 1 つの入力に接続できます (図 8-3 の熱電対の例を参照)。ソースインピーダンスがより高い場合、2 つの等価の抵抗を使用すると、バイアス電流による入力オフセット電圧の低下という優位性があるため平衡な入力を実現でき、高周波の同相除去を改善できます。

有効な入力バイアス電流帰路が必要な理由の詳細については、『計測アンプ アプリケーションにおける入力バイアス電流帰路の重要性』アプリケーション ノートを参照してください。

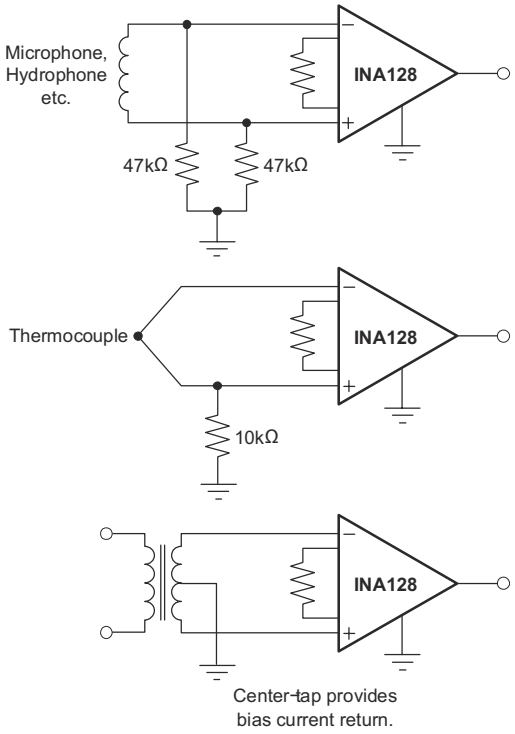
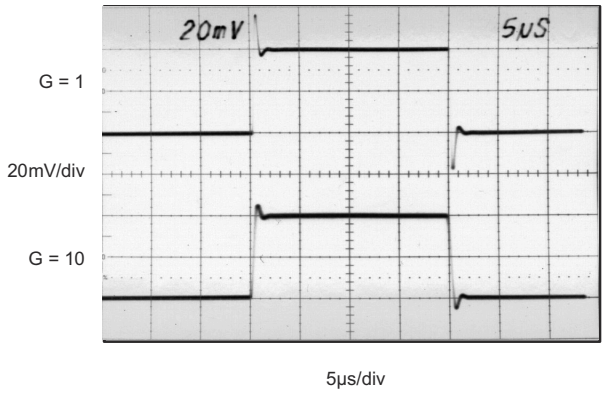


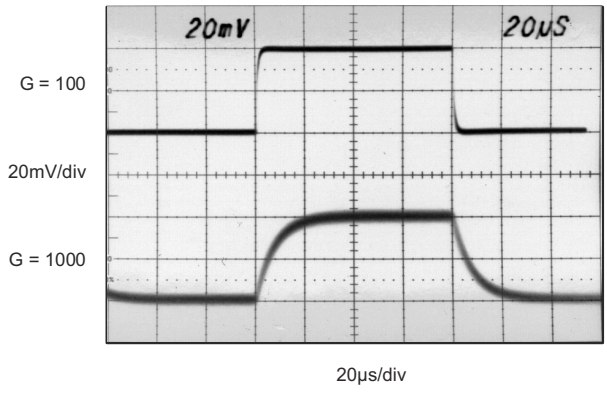
図 8-3. 入力同相電流パスの供給

8.2.3 アプリケーション曲線



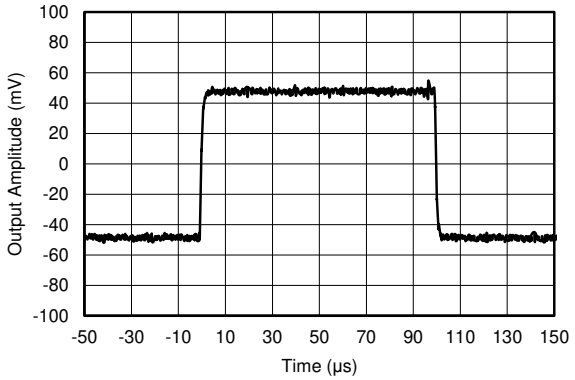
G = 1、10

図 8-4. 小信号



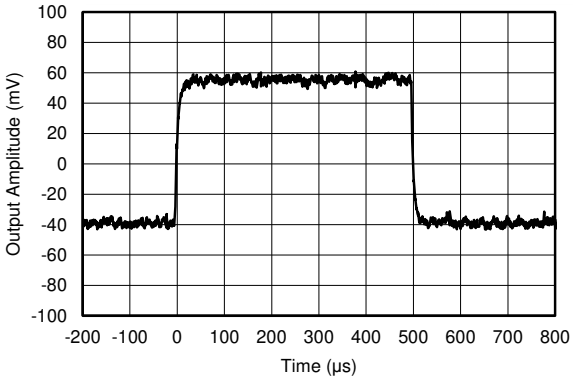
CSO: SHE　　G = 100、1000

図 8-5. 小信号



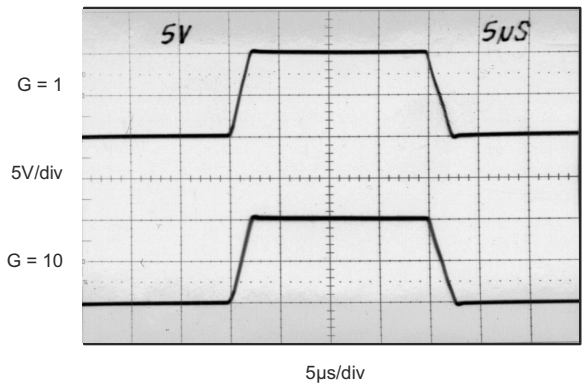
CSO: FRE　　G = 100、R_L = 10kΩ、C_L = 100pF

図 8-6. 小信号



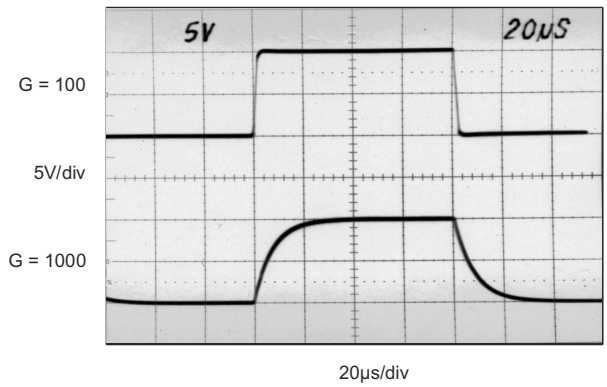
CSO: FRE　　G = 1000、R_L = 10kΩ、C_L = 100pF

図 8-7. 小信号



CSO: SHE　　G = 1、10

図 8-8. 大信号



CSO: SHE　　G = 100、1000

図 8-9. 大信号

Copyright © 2026 Texas Instruments Incorporated

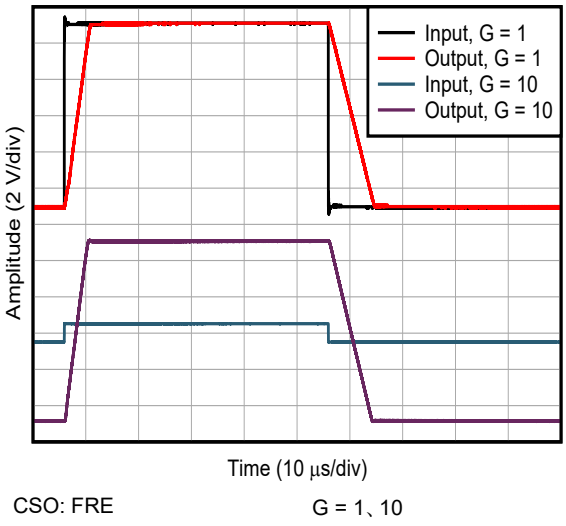


図 8-10. 大信号

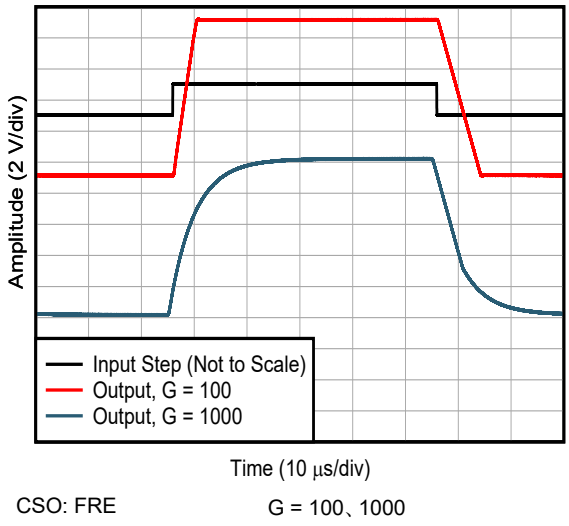


図 8-11. 大信号

8.3 システム例

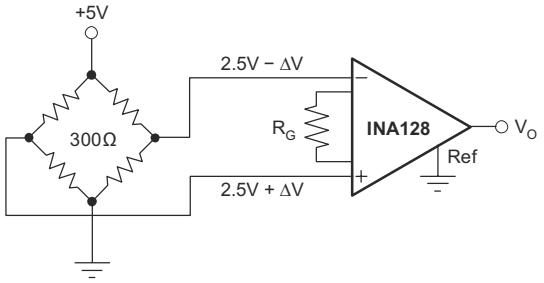


図 8-12. ブリッジ アンプ

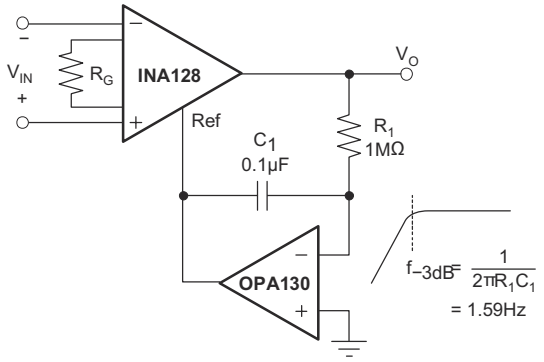
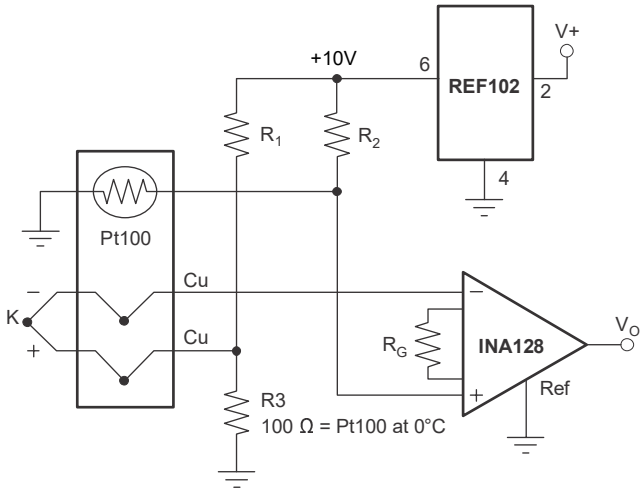


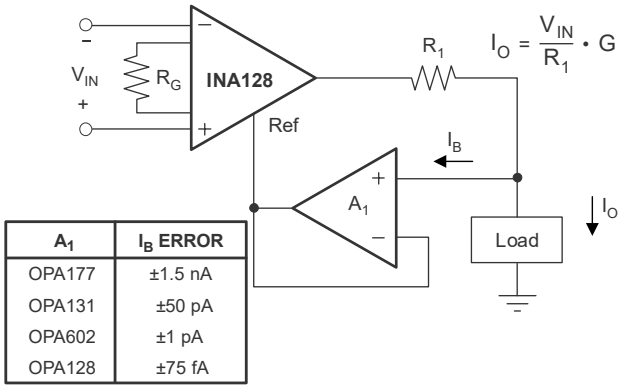
図 8-13. AC 結合計測アンプ



ISA TYPE	MATERIAL	SEEBECK COEFICIENT (µV/°C)	R1, R2
E	+ Chromel − Constantan	58.5	66.5 kΩ
J	+ Iron − Constantan	50.2	76.8 kΩ
K	+ Chromel − Alumel	39.4	97.6 kΩ
T	+ Copper − Constantan	38.0	102 kΩ

図 8-14. RTD の冷接点補償機能を搭載した熱電対アンプ

Copyright © 2026 Texas Instruments Incorporated



A_1	I_B ERROR
OPA177	±1.5 nA
OPA131	±50 pA
OPA602	±1 pA
OPA128	±75 fA

図 8-15. 差動電圧 / 電流コンバータ

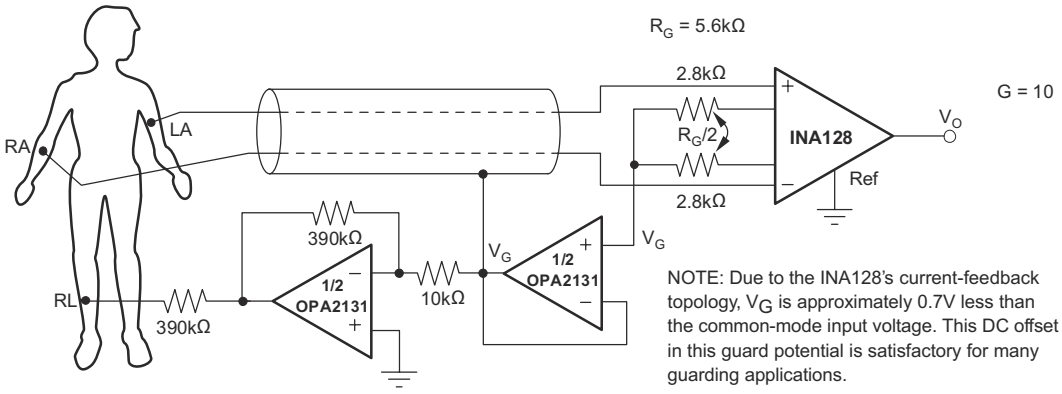


図 8-16. 右足駆動付き ECG アンプ

8.4 電源に関する推奨事項

INA12x の最小電源電圧は ±2.25V、最大電源電圧は ±18V です。この最小および最大範囲は幅広い電源範囲に対応していますが、最適な性能を得るには ±15V を推奨します。レイアウトと電源ソース インピーダンスを補償するため、入力にバイパス コンデンサを追加してください。

8.4.1 低電圧動作

INA12x は、最小 ±2.25V の電源で動作できます。±2.25V ～ ±18V の電源範囲で優れたパフォーマンスを維持します。ほとんどのパラメータは、この電源電圧範囲全体でわずかに変化します (セクション 6.6 を参照)。

非常に低い電源電圧で動作する場合は、入力電圧がリニア動作範囲内に維持されるように細心の注意を払う必要があります。内部ノードの電圧スイング要件により、低電源電圧で同相入力範囲が制限されます。図 6-10 に、±15V、±5V、±2.5V 電源に対する線形動作範囲を示します。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

電源バイパス コンデンサは、電源とグランドのピンにできるだけ近づけて配置します。このバイパス コンデンサの推奨値は 0.1µF ～ 1µF です。必要に応じて、ノイズが多い、またはインピーダンスが高い電源を補償するため、デカップリング容量を追加します。これらのデカップリング コンデンサは、電源と INA12x デバイスとの間に配置する必要があります。

ゲイン抵抗は、ピン 1 とピン 8 の近くに配置する必要があります。この配置によってレイアウト ループが制限され、デバイスに結合するノイズが最小限に抑えられます。

Copyright © 2026 Texas Instruments Incorporated

8.5.2 レイアウト例

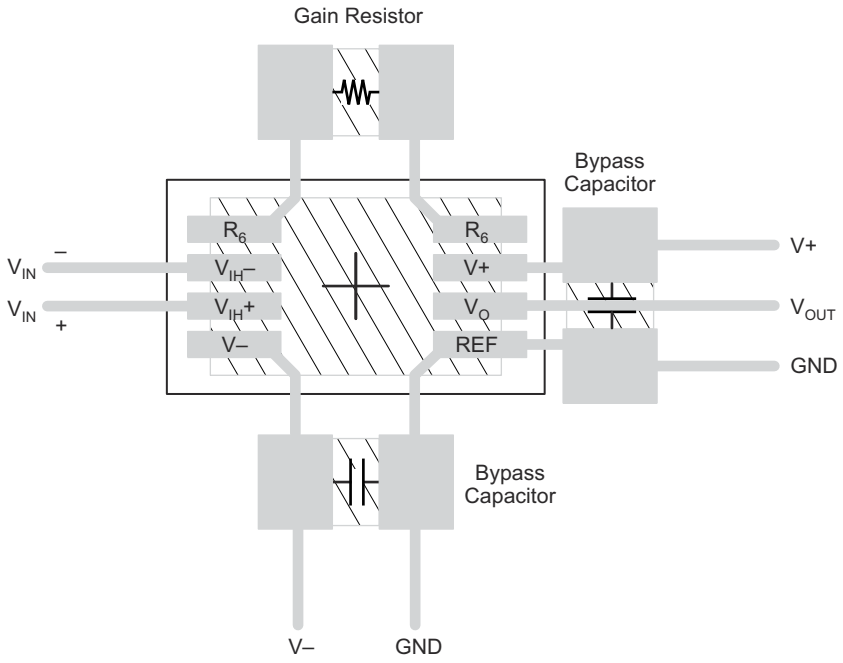


図 8-17. 推奨レイアウト

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 デバイスの命名規則

表 9-1. デバイスの命名規則

部品番号	定義
INA12xU INA12xU/2K5 INA12xU/2K51G4 INA12xUA INA12xUA/2K5	ダイは CSO:SHE または CSO:FRE で製造されています。
INA12xP INA12xPA	ダイは CSO:SHE でのみ製造されています。

9.1.2 開発サポート

9.1.2.1 PSpice® for TI

PSpice® for TI は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造に移る前に、サブシステムの設計とプロトタイプの設計を作成することで、開発コストを削減し、市場投入までの期間を短縮できます。

9.1.2.2 TINA-TI™シミュレーション ソフトウェア (無償ダウンロード)

TINA-TI™ シミュレーション ソフトウェアは、SPICE エンジンをベースにした単純かつ強力な、使いやすい回路シミュレーション プログラムです。TINA-TI シミュレーション ソフトウェアは、TINA™ ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ モデルとアクティブ モデルに加えて、マクロモデルのライブラリがプリロードされています。TINA-TI シミュレーション ソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI シミュレーション ソフトウェアは設計およびシミュレーション ツール Web ページから無料でダウンロードでき、ユーザーが結果をさまざまな形式で処理できる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック スタート ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェアまたは TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI™ ソフトウェア フォルダから、無償の TINA-TI シミュレーション ソフトウェアをダウンロードしてください。

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『計測アンプの総合計算誤差』アプリケーション ノート
- テキサス・インスツルメンツ、*計測アンプ アプリケーションにおける入力バイアス電流帰還パスの重要性* アプリケーション ノート

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

TINA-TI™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
TINA™ is a trademark of DesignSoft, Inc.
PSpice® is a registered trademark of Cadence Design Systems, Inc.
すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision F (May 2022) to Revision G (January 2026)	Page
• 「特長」セクションに入力バイアス電流に関する各種の製造プロセス仕様を追加	1
• にデバイスフロー情報の説明を「仕様」に追加	4
• すべてのチップ原産拠点 (CSO) の条件を「電気的特性」の標準的なテスト条件に追加	5
• 「電気的特性」のオフセット電圧 (RTI) にさまざまな製造プロセス仕様を追加	5
• 「電気的特性」における電源除去比 (RTI) の異なる製造プロセス仕様を追加	5
• 「電気的特性」の長期安定性のために、各種の製造プロセス仕様を追加	5
• 「電気的特性」におけるコモン モード除去比に関する各種の製造プロセス仕様を追加	5
• 「電気的特性」に入力バイアス電流に関する各種の製造プロセス仕様を追加	5
• 「電気的特性」に入力オフセット電流に関する各種の製造プロセス仕様を追加	5
• 「電気的特性」の電圧ノイズ (RTI) にさまざまな製造プロセス仕様を追加	5
• 「電気的特性」の電流ノイズにさまざまな製造プロセス仕様を追加	5
• 「電気的特性」にゲイン エラーについての各種の製造プロセス仕様を追加	5
• 「電気的特性」にゲイン ドリフトについての各種の製造プロセス仕様を追加	5
• 「電気的特性」の正の出力電圧スイングに各種の製造プロセス仕様を追加	5
• 「電気的特性」の負の出力電圧スイングに各種の製造プロセス仕様を追加	5
• 「電気的特性」に短絡電流に関する各種の製造プロセス仕様を追加	5
• *「電気的特性」*に、帯域幅、–3dB にさまざまな製造プロセス仕様を追加	5
• 電気的特性に、スルーレートに関する各種の製造プロセス仕様を追加	5
• 「電気的特性」に設定時間についての各種の製造プロセス仕様を追加	5
• 「代表的特性」の標準的なテスト条件に「すべてのチップの原産拠点 (CSO)」の条件を追加	9
• CSO: SHE を「代表的特性」の「同相除去比と周波数との関係」、「正の電源除去比と周波数との関係」、「入力換算ノイズと周波数との関係」、「セトリング タイムとゲインとの関係」、「入力バイアス電流と温度との関係」、「出力電圧スイン	

Copyright © 2026 Texas Instruments Incorporated

グと出力電流との関係」、「出力電圧スイングと電源電圧との関係」、「短絡出力電流と温度との関係」、および「小信号」の曲線に追加 9
- CSO: FRE を「代表的特性」の「ゲインと周波数との関係」、「負の電源除去比と周波数との関係」、「入力過電圧 V/I 特性」、「最大出力電圧と周波数との関係」、「全高調波歪 + ノイズと周波数との関係」、「大信号」の曲線に追加 9
- CSO: SHE の「ゲインと周波数との関係」、「入力換算ノイズと周波数との関係」、「正の電源除去比と周波数との関係」、「負の電源除去比と周波数との関係」、「入力過電圧 V/I 特性」、「最大出力電圧と周波数との関係」、「全高調波歪 + ノイズと周波数との関係」、「大信号」の曲線を「代表的特性」に追加 9
- 「代表的特性」に CSO: FRE の「同相除去比と周波数との関係」、「正の電源除去比と周波数との関係」、「入力換算電圧ノイズと周波数との関係」、「入力換算電流ノイズと周波数との関係」、「入力バイアス電流と温度との関係」、「入力オフセット電流と温度との関係」、「正の出力電圧スイングと出力電流との関係」、「負の出力電圧スイングと出力電流との関係」、および「小信号」の曲線を追加 9
- 「代表的特性」の CSO: FRE の「ゲインと周波数との関係」の曲線を更新 9
- 「代表的特性」の CSO: SHE の「正の電源除去比と周波数との関係」の曲線を更新 9
- CSO: SHE を「アプリケーション曲線」の「小信号」の曲線に追加 22
- CSO: FRE を「アプリケーション曲線」の「大信号」の曲線に追加 22
- CSO: SHE の「大信号」の曲線を「アプリケーション曲線」追加 22
- CSO: FRE の「小信号」の曲線を「アプリケーション曲線」追加 22
- 「デバイスの命名規則」に型番のフロー情報表を追加 27

Changes from Revision E (April 2019) to Revision F (May 2022) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- 「特長」に帯域幅とノイズの仕様を追加 1
- 「アプリケーション」を、TI.com の最新の最終製品ソリューションにリンクするように変更 1
- 「デバイス比較表」の参照を INA819 から INA818 に変更 3
- 「絶対最大定格」に単電源の仕様を追加 4
- 「絶対最大定格」の「グラウンドへの」出力短絡は V_S / 2 への短絡を指すことを明確化する注記を追加 4
- 「推奨動作条件」に単電源の仕様を追加 4
- 「推奨動作条件」で、入力同相電圧範囲の仕様を V- 2 から (V-) + 2 に変更 4
- 「推奨動作条件」から INA128-HT および INA129-HT の動作温度仕様を削除 4
- 「推奨動作条件」に指定温度範囲を追加 4
- 明確にするため、「特に注記がない限り」の条件として、「電気的特性」および「代表的特性」に V_{REF} = 0 V、V_{CM} = V_S / 2、G = 1 を追加 5
- 「電気的特性」におけるオフセット電圧ドリフト仕様の試験条件を「T_A = T_{MIN} ～ T_{MAX}」から「T_A = –40°C ～ +85°C」に変更 5
- 「電気的特性」の標準長期安定性仕様を ±0.1±3/G µV/mo から ±0.2±3/G µV/mo に変更 5
- 「電気的特性」の同相電圧の仕様を、2 行にわたって最小 (V–) + 2V および最小 (V+) – 2V から、1 行にわたって最小 (V–) + 2V および最大 (V+) – 2V に変更 5
- 「電気的特性」の同相電圧の標準仕様を削除 5
- 明確にするため、「電気的特性」の安全入力電圧仕様に「RS = 0Ω」のテスト条件を追加 5
- 明確にするため、「電気的特性」の入力バイアス電流ドリフト仕様に「T_A = –40°C ～ +85°C」のテスト条件を追加 5
- 明確にするため、「電気的特性」の入力オフセット電流ドリフト仕様に「T_A = –40°C ～ +85°C」のテスト条件を追加 5
- 「電気的特性」で、G = 1 時の INA128PA/UA および INA129PA/UA の最大ゲイン誤差仕様を ±0.01% から ±0.1% に変更 5
- 明確にするため、「電気的特性」のゲイン ドリフトに「T_A = –40°C ～ +85°C」のテスト条件を追加 5
- 「電気的特性」のパラメータ名を「電圧 — 正」から「正出力電圧スイング」に、および「電圧 — 負」から「負出力電圧スイング」に変更 5
- 「電気的特性」の正および負の出力電圧スイングの代表値の仕様を削除 5
- 明確にするため、「電気的特性」の短絡電流仕様に「V_S/2 へ連続」のテスト条件を追加 5

- 「電気的特性」における G = 10 の標準帯域幅仕様を 700kHz から 640kHz に変更 5
- 「電気的特性」の標準スルー レート仕様を 4V/µs から 1.2V/µs に変更 5
- 「電気的特性」の G = 1、G = 10、G = 100 のセトリング タイムの標準仕様をそれぞれ 7µs、7µs、9µs から 12µs、12µs、12µs に変更 5
- *「電気的特性」*から冗長な電圧範囲、動作温度範囲、仕様温度範囲の仕様を削除 5
- 図 7-1、7-3、7-4、7-9、7-10、7-11、7-16、7-17、7-20、7-21 を変更 9
- 「入力同相範囲」で説明されている値を、一般的な入力同相電圧範囲の値から最大値と最小値に変更。 18
- 図 9-1 を変更して、欠落していたテキストを修正し、リファレンス電圧を追加 19
- 「設計要件」に REF ピンに関するより詳細なガイダンスを追加 19
- 図 9-6、9-7 を変更 22
- 図 9-10 および 9-11 を変更して、欠落していたテキストを修正 24
- 「デバイスおよびドキュメントのサポート」に「関連資料」のリンクを追加 27

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA128P	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-	INA128P
INA128P.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 125	INA128P
INA128PA	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-	INA128P A
INA128PA.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 125	INA128P A
INA128PG4	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	See INA128P	INA128P
INA128U	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-	INA 128U
INA128U.B	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	INA 128U
INA128U/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Level-3-260C-168 HR	-	INA 128U
INA128U/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Level-3-260C-168 HR	-40 to 125	INA 128U
INA128U/2K51G4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Level-3-260C-168 HR	-40 to 125	INA 128U
INA128U/2K51G4.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Level-3-260C-168 HR	-40 to 125	INA 128U
INA128U/2K5G4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Call TI	See INA128U/2K5	
INA128UA	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	INA 128U A
INA128UA.B	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	INA 128U A
INA128UA/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	INA 128U A
INA128UA/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	INA 128U A
INA128UA/2K5G4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA128UAG4	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Call TI	-40 to 125	
INA129P	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-	INA129P
INA129P.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 125	INA129P
INA129PA	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-	INA129P A
INA129PA.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	Call TI	N/A for Pkg Type	-40 to 125	INA129P A
INA129U	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Level-3-260C-168 HR	-	INA 129U S
INA129U.B	Active	Production	SOIC (D) | 8	75 | TUBE	-	Call TI	Level-3-260C-168 HR	-40 to 125	INA 129U S
INA129U/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Level-3-260C-168 HR	-	INA 129U S
INA129U/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	-	Call TI	Level-3-260C-168 HR	-40 to 125	INA 129U S
INA129U/2K5G4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	INA 129U S
INA129U/2K5G4.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	INA 129U S
INA129UA	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	INA 129U A
INA129UA.B	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	INA 129U A
INA129UA/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	INA 129U A

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA129UA/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	INA 129U A

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF INA128, INA129 :

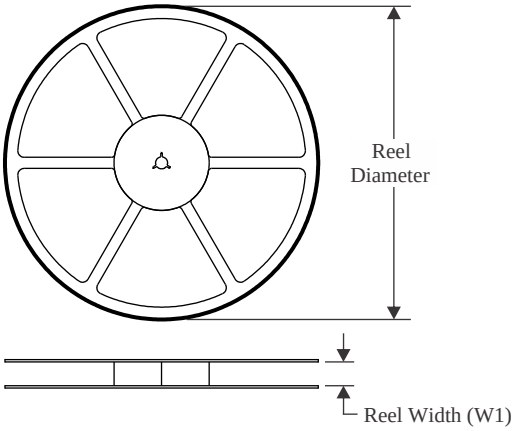
- Enhanced Product : INA129-EP

NOTE: Qualified Version Definitions:

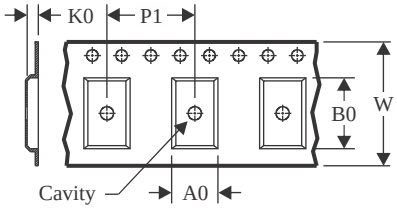
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

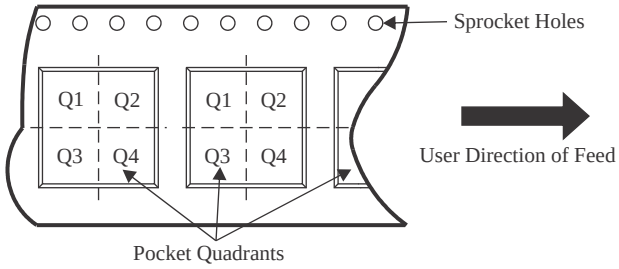


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

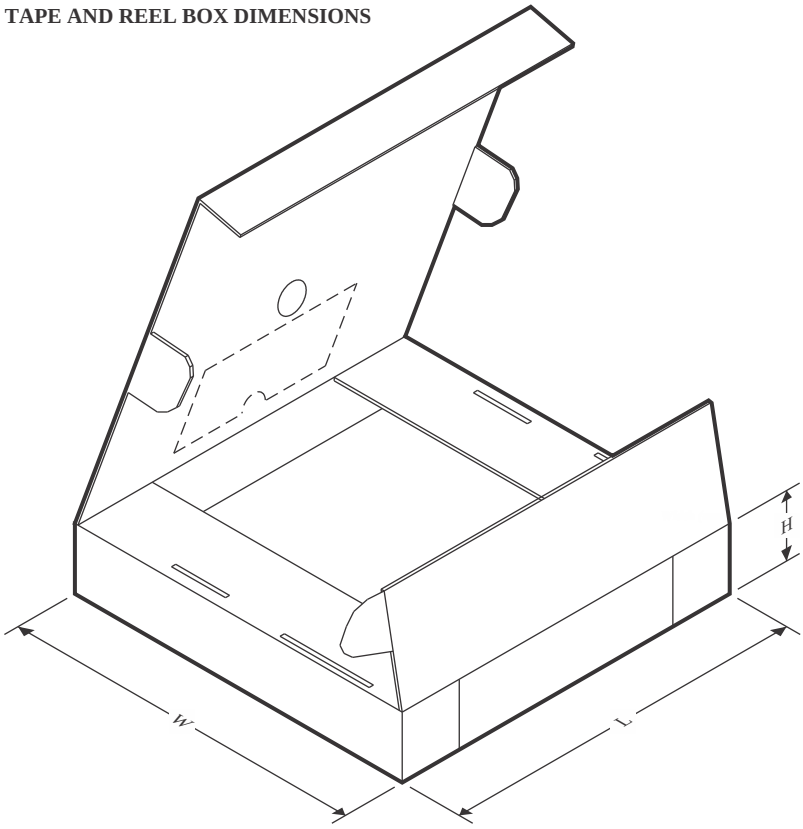
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA128U/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA128U/2K51G4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA128UA/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA129U/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA129U/2K5G4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA129UA/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

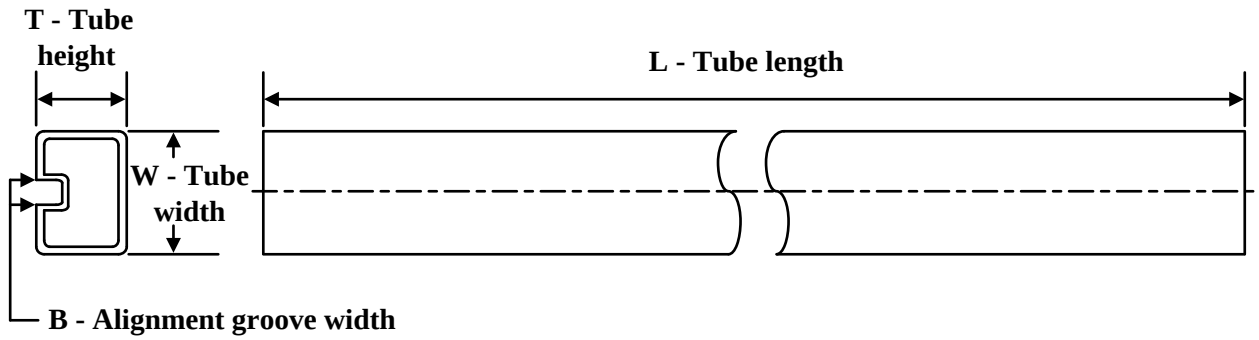
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

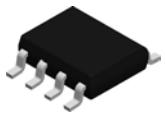
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA128U/2K5	SOIC	D	8	2500	353.0	353.0	32.0
INA128U/2K51G4	SOIC	D	8	2500	353.0	353.0	32.0
INA128UA/2K5	SOIC	D	8	2500	353.0	353.0	32.0
INA129U/2K5	SOIC	D	8	2500	353.0	353.0	32.0
INA129U/2K5G4	SOIC	D	8	2500	353.0	353.0	32.0
INA129UA/2K5	SOIC	D	8	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
INA128P	P	PDIP	8	50	506	13.97	11230	4.32
INA128P.A	P	PDIP	8	50	506	13.97	11230	4.32
INA128PA	P	PDIP	8	50	506	13.97	11230	4.32
INA128PA.A	P	PDIP	8	50	506	13.97	11230	4.32
INA128PG4	P	PDIP	8	50	506	13.97	11230	4.32
INA128U	D	SOIC	8	75	506.6	8	3940	4.32
INA128U.B	D	SOIC	8	75	506.6	8	3940	4.32
INA128UA	D	SOIC	8	75	506.6	8	3940	4.32
INA128UA.B	D	SOIC	8	75	506.6	8	3940	4.32
INA129P	P	PDIP	8	50	506	13.97	11230	4.32
INA129P.A	P	PDIP	8	50	506	13.97	11230	4.32
INA129PA	P	PDIP	8	50	506	13.97	11230	4.32
INA129PA.A	P	PDIP	8	50	506	13.97	11230	4.32
INA129U	D	SOIC	8	75	506.6	8	3940	4.32
INA129U.B	D	SOIC	8	75	506.6	8	3940	4.32
INA129UA	D	SOIC	8	75	506.6	8	3940	4.32
INA129UA.B	D	SOIC	8	75	506.6	8	3940	4.32

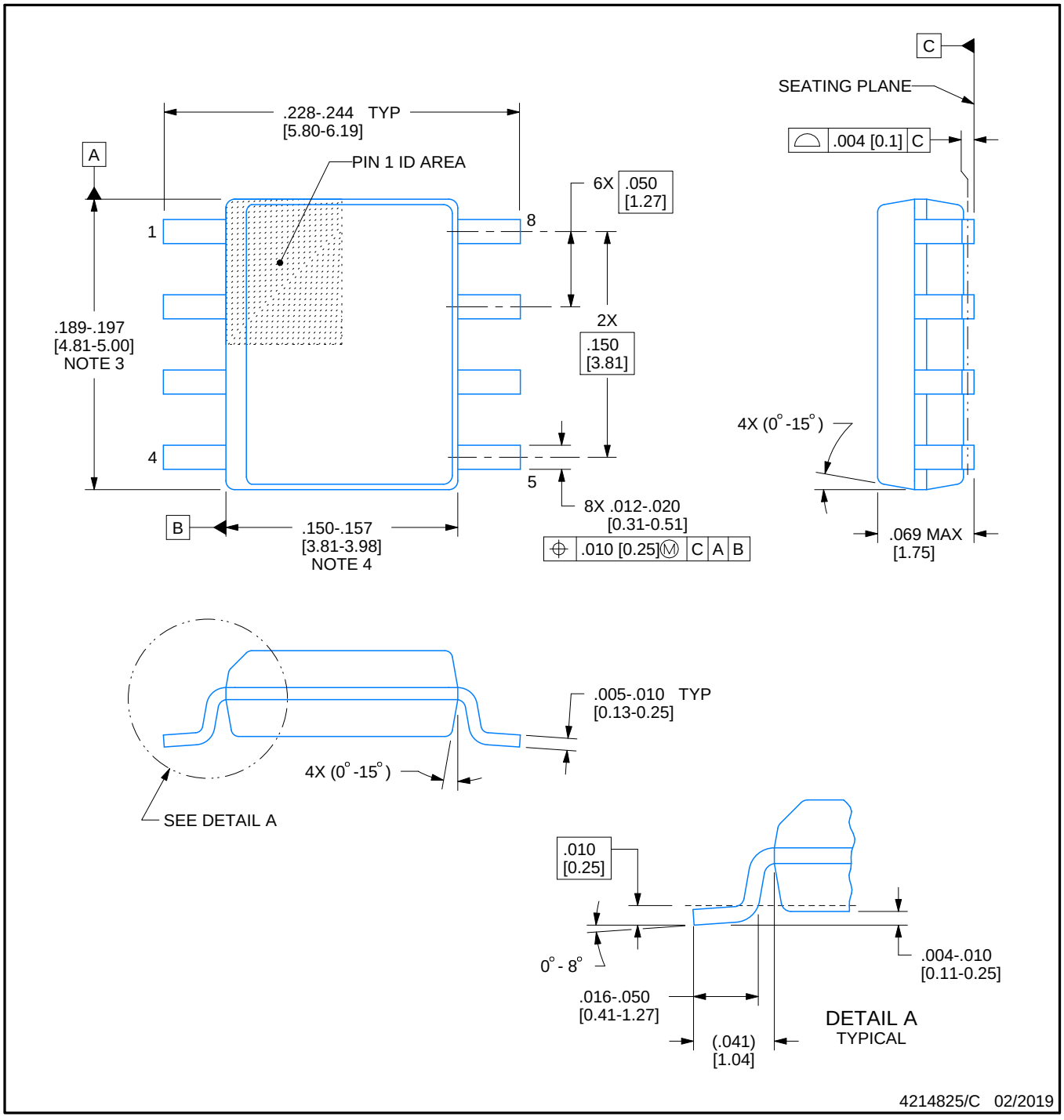


PACKAGE OUTLINE

D0008A

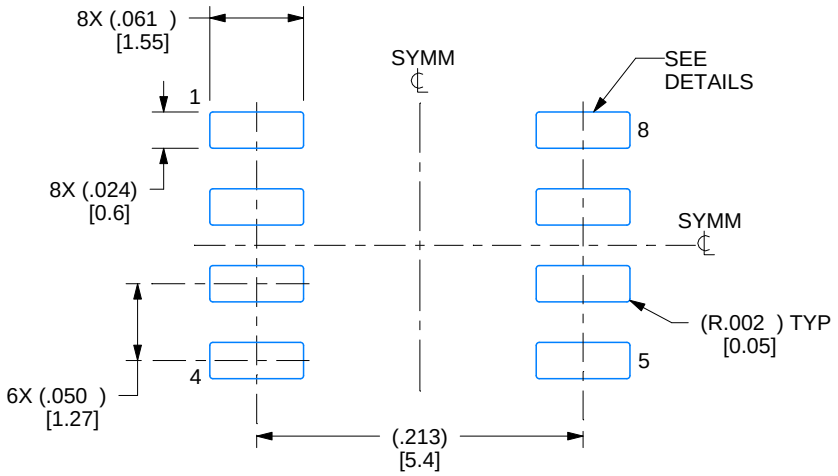
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

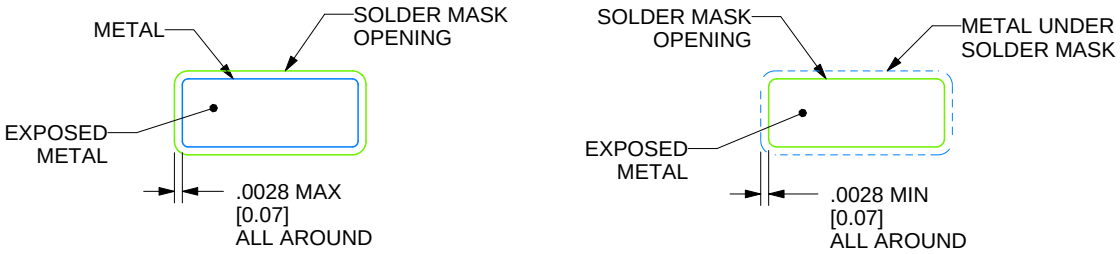


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

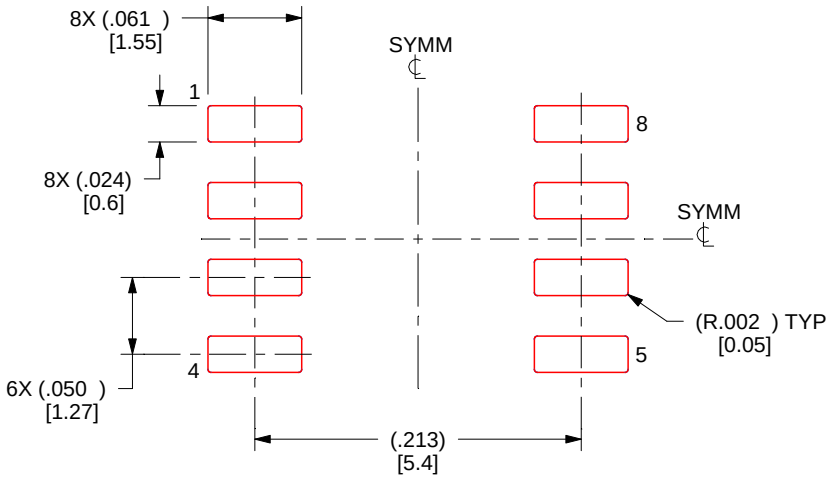
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



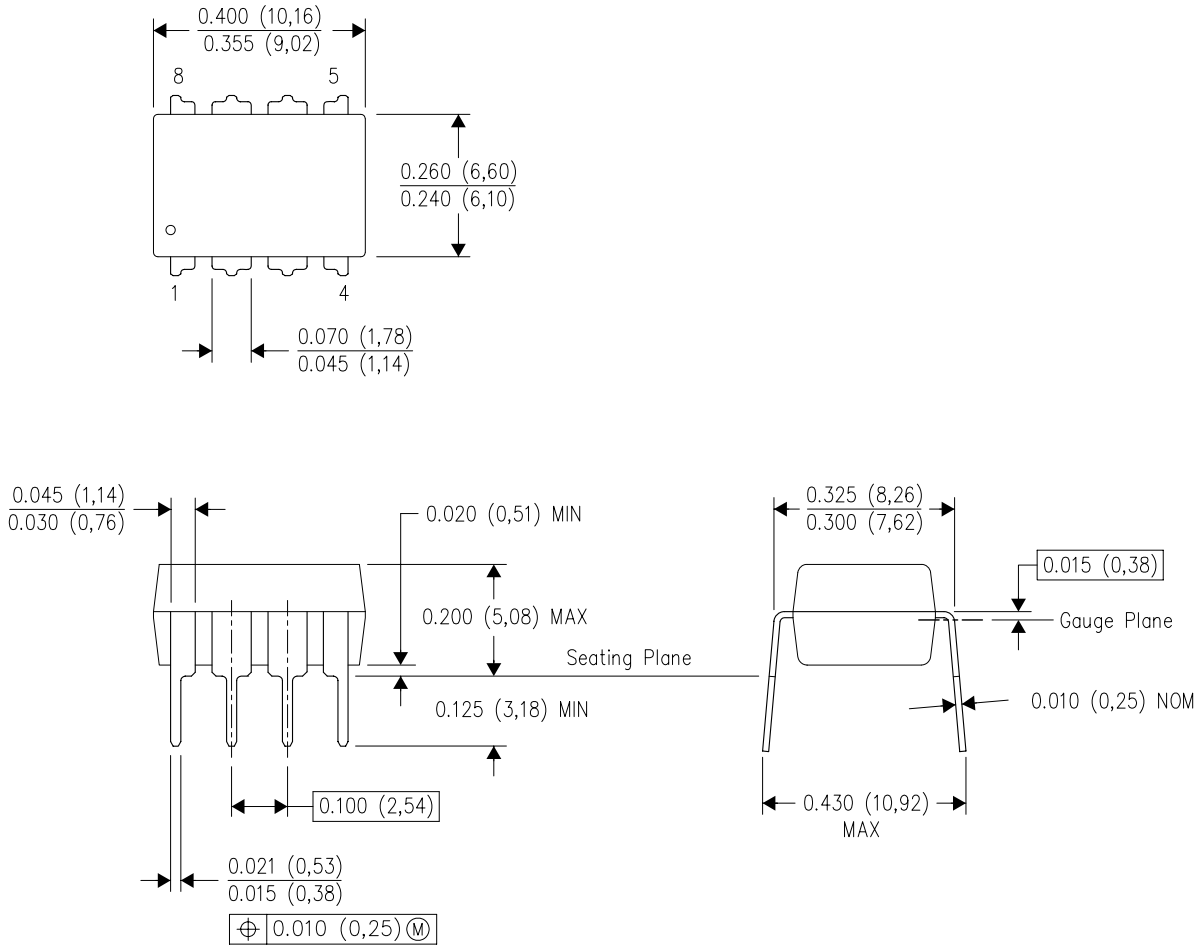
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月