

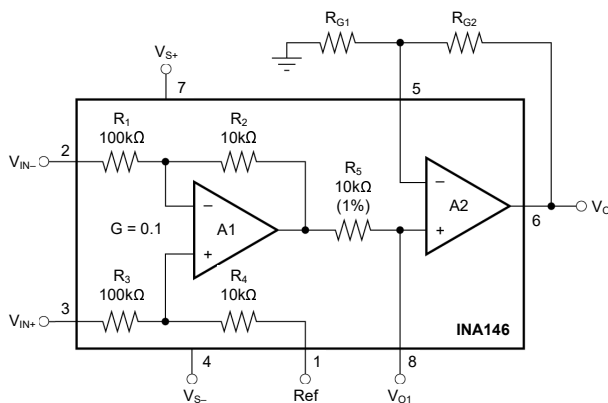
INA146 高電圧、プログラマブルゲイン差動アンプ

1 特長

- 高い同相電圧:
 - 40V ($V_S = 5V$ 時)
 - $\pm 100V$ ($V_S = \pm 15V$ 時)
- 差動ゲイン = $0.1V/V \sim 100V/V$:
 - 外付け抵抗により設定
- 低い静止電流: $570\mu A$
- 幅広い電源電圧範囲:
 - 単電源: $4.5V \sim 36V$
 - 両電源: $\pm 2.25V \sim \pm 18V$
- 低ゲイン誤差: 0.025%
- 大きい同相除去: $80dB$

2 アプリケーション

- バッテリセル形成とテスト機器
- ACドライブ制御モジュール
- HVACコントローラ
- 業務用オーディオアンプ (ラックマウント)
- プログラマブルDC電源
- データアキュイジション (DAQ)



INA146の概略ブロック図

3 説明

INA146は高精度の差動アンプで、高い差動電圧を正確に減衰させ、高い同相電圧を除去して、一般的な信号処理電圧レベルとの互換性を確保できます。また、高電圧機能により、継承的に入力保護機能も備えていることとなります。入力同相範囲が両方の電源レールを超えているため、INA146は単電源と両電源の両方のアプリケーションに最適です。

レーザトリミングされたオンチップの高精度抵抗により、高いゲイン精度と高い同相除去比を実現します。これらの抵抗の優れたTCRトラッキングにより、温度範囲全体にわたって高精度が維持されます。

出力アンプがユニティゲインバッファとして使用されている場合、10:1の差動アンプにより0.1V/Vのゲインが得られます。この構成では、最大 $\pm 100V$ までの入力電圧を測定できます。0.1V/Vを超えるゲインは、同相入力範囲に影響を与えることなく、外付けの抵抗ペアを使用して設定できます。

INA146は、拡張工業用温度範囲 ($-40^{\circ}C \sim 85^{\circ}C$) で動作が規定されている、SO-8表面実装パッケージで供給されます。

パッケージ情報

| 部品番号 | パッケージ (1) | 仕様温度範囲 | パッケージサイズ (2) |
|--------|-----------|---------------------------------|-----------------|
| INA146 | SOIC (8) | $-40^{\circ}C \sim 85^{\circ}C$ | 4.90mm × 6.00mm |

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



目次

| | | | |
|------------------------|----|-----------------------------|----|
| 1 特長..... | 1 | 6.1 アプリケーション情報..... | 14 |
| 2 アプリケーション..... | 1 | 7 デバイスおよびドキュメントのサポート..... | 20 |
| 3 説明..... | 1 | 7.1 デバイス サポート..... | 20 |
| 4 ピン構成および機能..... | 3 | 7.2 サード・パーティ製品に関する免責事項..... | 20 |
| 5 仕様..... | 4 | 7.3 ドキュメントのサポート..... | 20 |
| 5.1 絶対最大定格..... | 4 | 7.4 ドキュメントの更新通知を受け取る方法..... | 20 |
| 5.2 ESD 定格..... | 4 | 7.5 サポート・リソース..... | 20 |
| 5.3 推奨動作条件..... | 4 | 7.6 商標..... | 20 |
| 5.4 熱に関する情報..... | 5 | 7.7 静電気放電に関する注意事項..... | 20 |
| 5.5 電気的特性..... | 6 | 7.8 用語集..... | 20 |
| 5.6 アンプ A1、A2 の性能..... | 8 | 8 改訂履歴..... | 21 |
| 5.7 代表的特性..... | 9 | 9 メカニカル、パッケージ、および注文情報..... | 23 |
| 6 アプリケーションと実装..... | 14 | | |

4 ピン構成および機能

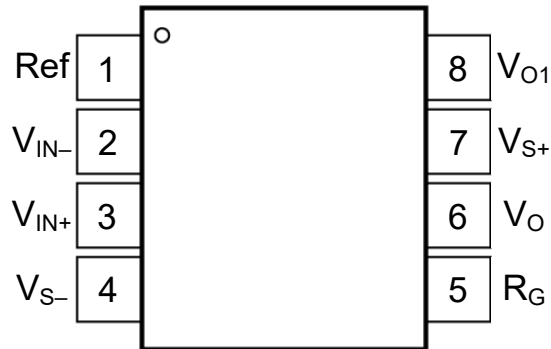


図 4-1. INA146D パッケージ、8 ピン SOIC (上面図)

表 4-1. ピンの機能

| ピン | | タイプ ⁽¹⁾ | 説明 |
|----------------|----|--------------------|--|
| 名称 | 番号 | | |
| リファレンス(基準電圧)入力 | 1 | I | リファレンス入力。このピンは、低インピーダンスのソースで駆動する必要があります。 |
| V_{IN-} | 2 | I | 負(反転)入力 |
| V_{IN+} | 3 | I | 正(非反転)入力 |
| V_{S-} | 4 | - | 負電源 |
| R_G | 5 | I | ゲイン設定入力。ピン 1 とピン 5 の間に抵抗ネットワークを配置します。 |
| V_O | 6 | O | アンプ A2 の出力 |
| V_{S+} | 7 | - | 正電源 |
| V_{O1} | 8 | O | アンプ A1 の出力 |

(1) 信号タイプ: I = 入力、O = 出力、I/O = 入力または出力。

5 仕様

注

TI では、このデバイスの複数の製造フローを認定済みです。性能の違いは、チップの原産拠点 (CSO) によってラベル付けされています。システムの堅牢性を確保するために、すべてのフローを考慮した設計を強く推奨します。詳細情報については、[セクション 7.1.1](#) をご覧ください。

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

| | | 最小値 | 最大値 | 単位 |
|------------------------------------|---------------------|--|------|----|
| V _S | 電源電圧 | 両電源、V _S = (V _{S+}) – (V _{S-}) | ±18 | V |
| | | 単電源、V _S = (V _{S+}) – 0 V | 36 | |
| V _{IN+} 、V _{IN-} | 信号入力電圧 | | ±100 | V |
| | 信号入力電流 | | ±1 | mA |
| | 出力短絡 ⁽²⁾ | 連続 | | |
| T _A | 動作温度 | -55 | 125 | °C |
| T _{stg} | 保存温度 | -55 | 125 | °C |
| T _J | 接合部温度 | | 150 | °C |
| | リード温度 (半田付け、10 秒) | | 240 | °C |

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能性、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
- (2) V_S / 2 への短絡

5.2 ESD 定格

| | | 値 | 単位 |
|--------------------|------|---|-------|
| V _(ESD) | 静電放電 | 人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 ⁽¹⁾ | ±1000 |
| | | デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 ⁽²⁾ | ±1000 |

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

| | | 最小値 | 標準値 | 最大値 | 単位 |
|----------------|------|-----|-------|-----|----|
| V _S | 電源電圧 | 単電源 | 4.5 | 36 | V |
| | | 両電源 | ±2.25 | ±15 | |
| T _A | 規定温度 | -40 | | 85 | °C |

5.4 熱に関する情報

| 熱評価基準 ⁽¹⁾ | | INA146 | 単位 |
|----------------------|---------------------|--------|------|
| | | SO-8 | |
| | | 8ピン | |
| $R_{\theta JA}$ | 接合部から周囲への熱抵抗 | 110.3 | °C/W |
| $R_{\theta JC(top)}$ | 接合部からケース (上面) への熱抵抗 | 43.6 | °C/W |
| $R_{\theta JB}$ | 接合部から基板への熱抵抗 | 55.5 | °C/W |
| Ψ_{JT} | 接合部から上面への特性パラメータ | 6.2 | °C/W |
| Ψ_{JB} | 接合部から基板への特性パラメータ | 54.3 | °C/W |

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電気的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 2.25\text{V} \sim \pm 18\text{V}$ または 5V 単電源、 $R_L = 10\text{k}\Omega$ 、 $V_{\text{REF}} = V_S / 2$ 、 $V_{\text{CM}} = V_S / 2$ 、 $G = 0.1$ のとき、すべてのチップ原産拠点 (CSO) (特に記述のない限り)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|-----------------|--------------------------|---|---|--------------------------|--------------------------|------------------------------|
| 入力 | | | | | | |
| V_{OS} | オフセット電圧、 V_{O} | RTI 、 $V_S = \pm 15\text{V}$ 、 $V_{\text{CM}} = 0\text{V}$ | | ± 1 | ± 5 | mV |
| | | RTI 、 $V_S = 5\text{V}$ 、 $V_{\text{CM}} = 0\text{V}$ | | ± 3 | ± 10 | |
| | オフセット電圧、 V_{O1} | RTI | | ± 1 | | |
| | オフセット電圧ドリフト | RTI 、 $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ | | ± 10 | | $\mu\text{V}/^\circ\text{C}$ |
| PSRR | 電源除去比 | RTI 、 $V_S = \pm 1.35\text{V} \sim \pm 18\text{V}$ | | ± 100 | ± 600 | $\mu\text{V}/\text{V}$ |
| V_{CM} | 同相電圧 (1) | $V_S = \pm 15\text{V}$ 、 $V_{\text{IN}} = 0\text{V}$ | -100 | | 100 | V |
| | | $V_S = 5\text{V}$ 、 $V_{\text{IN}} = 0\text{V}$ | -25 | | 19 | |
| CMRR | 同相電圧除去 | RTI 、 $V_{\text{CM}} = [11(V_{\text{S-}}) - 10 \cdot V_{\text{REF}}] \sim [11 \cdot (V_{\text{S+}} - 1) - 10 \cdot V_{\text{REF}}]$ 、 $R_S = 0\Omega$ | 70 | 80 | | dB |
| | | $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ | 64 | 74 | | |
| | 差動入力インピーダンス | 非反転入力 | | 110 | | k Ω |
| | | 反転入力 | | 91.7 | | |
| | コモンモード入力インピーダンス | | | 55 | | k Ω |
| バイアス電流 | | | | | | |
| I_B | バイアス電流 | $V_{\text{CM}} = V_S/2$ | | ± 50 | | nA |
| I_{OS} | オフセット電流 | | | ± 5 | | nA |
| ノイズ | | | | | | |
| e_N | 電圧ノイズ | RTI 、 $f_B = 0.1\text{Hz} \sim 10\text{Hz}$ | | 12 | | μV_{PP} |
| | | RTI 、 $f = 1\text{kHz}$ | | 550 | | nV/ $\sqrt{\text{Hz}}$ |
| ゲイン | | | | | | |
| | ゲイン | | 0.1 | | 100 | V/V |
| GE | ゲイン誤差 | $V_{\text{O}} = (V_{\text{S-}}) + 0.15\text{V} \sim (V_{\text{S+}}) - 1\text{V}$ 、 $R_L = 100\text{k}\Omega$ 、 $G = 1$ | | ± 0.025 | ± 0.1 | % |
| | | $V_{\text{O}} = (V_{\text{S-}}) + 0.3\text{V} \sim (V_{\text{S+}}) - 1.25\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、 $G = 1$ | | ± 0.025 | ± 0.1 | |
| | ゲイン誤差ドリフト(2) | $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ | $V_{\text{O}} = (V_{\text{S-}}) + 0.25\text{V} \sim (V_{\text{S+}}) - 1\text{V}$ 、 $R_L = 100\text{k}\Omega$ 、 $G = 1$ | ± 1 | ± 10 | ppm/ $^\circ\text{C}$ |
| | | | $V_{\text{O}} = (V_{\text{S-}}) + 0.5\text{V} \sim (V_{\text{S+}}) - 1.25\text{V}$ 、 $R_L = 10\text{k}\Omega$ 、 $G = 1$ | ± 1 | ± 10 | |
| | ゲインの非直線性 | $V_{\text{O}} = (V_{\text{S-}}) + 0.3\text{V} \sim (V_{\text{S+}}) - 1.25\text{V}$ 、 $G = 1$ | | ± 0.001 | ± 0.01 | FSR の % |
| 出力 | | | | | | |
| | 出力電圧 | $R_L = 100\text{k}\Omega$ 、 $G = 1$ | | $(V_{\text{S-}}) + 0.15$ | $(V_{\text{S+}}) - 1$ | V |
| | | | $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ | | $(V_{\text{S-}}) + 0.25$ | |
| | | $R_L = 10\text{k}\Omega$ 、 $G = 1$ | | $(V_{\text{S-}}) + 0.3$ | $(V_{\text{S+}}) - 1.25$ | |
| | | | $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ | | $(V_{\text{S-}}) + 0.5$ | |
| C_L | 負荷容量 | 安定動作 | | 1 | | nF |
| I_{SC} | 短絡電流 | $V_S/2$ まで連続 | CSO: SHE | | ± 15 | mA |
| | | | CSO: TID | | ± 27 | |
| 周波数応答 | | | | | | |
| BW | 帯域幅、-3dB | $G = 0.1$ | | 550 | | kHz |
| | | $G = 1$ | | 50 | | |
| SR | スルーレート | CSO: SHE | | 0.45 | | V/ μs |
| | | CSO: TID | | 0.3 | | |

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 2.25\text{V} \sim \pm 18\text{V}$ または 5V 単電源、 $R_L = 10\text{k}\Omega$ 、 $V_{\text{REF}} = V_S / 2$ 、 $V_{\text{CM}} = V_S / 2$ 、 $G = 0.1$ のとき、すべてのチップ原産拠点 (CSO) (特に記述のない限り)

| パラメータ | | テスト条件 | | 最小値 | 標準値 | 最大値 | 単位 |
|-----------|-----------|---|-------------------------|-----|-----------|-----------|---------------|
| t_s | セトリング タイム | 0.1% まで | $V_O = 10\text{V}$ ステップ | | 40 | | μs |
| | | 0.01% まで | $V_O = 10\text{V}$ ステップ | | 80 | | |
| | 過負荷からの回復 | 50% の入力過負荷 | CSO: SHE | | 40 | | μs |
| | | | CSO: TID | | 2 | | |
| 電源 | | | | | | | |
| I_Q | 静止時電流 | $V_{\text{IN}} = 0\text{V}$ | CSO: SHE | | ± 570 | ± 700 | μA |
| | | | CSO: TID | | ± 250 | ± 700 | μA |
| | | $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ | | | | ± 750 | μA |

- (1) 入力同相電圧は出力電圧によって変化します。「代表的特性」を参照してください。
- (2) ウェハール テストにより規定されています。

5.6 アンプ A1、A2 の性能

$T_A = 25^\circ\text{C}$ 、 $R_L = 10\text{k}\Omega$ 、 $V_{\text{REF}} = 0\text{V}$ 、 $V_{\text{CM}} = V_S / 2$ 、および $G = 0.1$ (特に記載がない限り)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|-----------------|-------------------------|---|-----|----------------------------|-----|------------------------------|
| 入力 | | | | | | |
| V_{OS} | オフセット電圧、 V_O | RTI, $V_S = \pm 15\text{V}$ 、 $V_{\text{CM}} = V_O = 0\text{V}$ | | ± 0.5 | | mV |
| | オフセット電圧ドリフト | RTI, $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ | | ± 1 | | $\mu\text{V}/^\circ\text{C}$ |
| V_{CM} | 同相電圧 (1) | $V_{\text{IN}} = V_O = 0\text{V}$ | | $V_{S-} \sim (V_{S+}) - 1$ | | V |
| CMRR | 同相電圧除去 | $V_{\text{CM}} = V_{S-} \sim (V_{S+}) - 1$ | | 90 | | dB |
| ゲイン | | | | | | |
| A_{OL} | 開ループゲイン | | | 110 | | dB |
| バイアス電流 | | | | | | |
| I_B | バイアス電流 | | | ± 50 | | nA |
| I_{OS} | オフセット電流 | | | ± 5 | | nA |
| 出力 | | | | | | |
| | V_{O1} の抵抗 | 初期 | | 10 | | $\text{k}\Omega$ |
| | V_{O1} の誤差 | | | ± 1 | | % |
| | V_{O1} の誤差ドリフト | | | ± 100 | | $\text{ppm}/^\circ\text{C}$ |

(1) 入力同相電圧は出力電圧によって変化します。「代表的特性」を参照してください。

5.7 代表的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = \pm 15\text{V}$ 、 $G = 0.1$ 、 $R_L = 10\text{k}\Omega$ (グラウンドに接続)、 $V_{\text{REF}} = V_S / 2$ のとき、すべてのチップ原産拠点 (CSO) (特に記述のない限り)

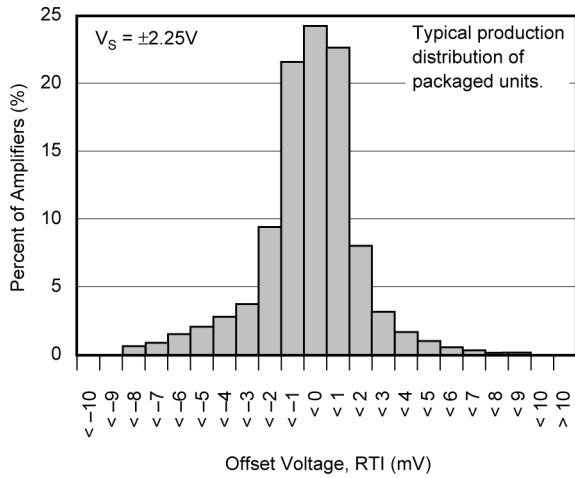


図 5-1. オフセット電圧の生産分布

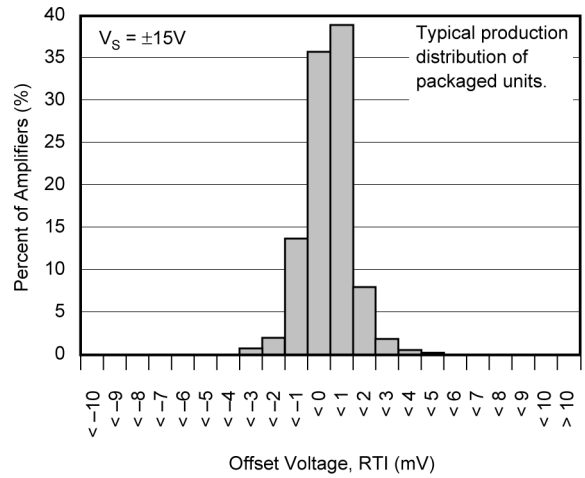


図 5-2. オフセット電圧の生産分布

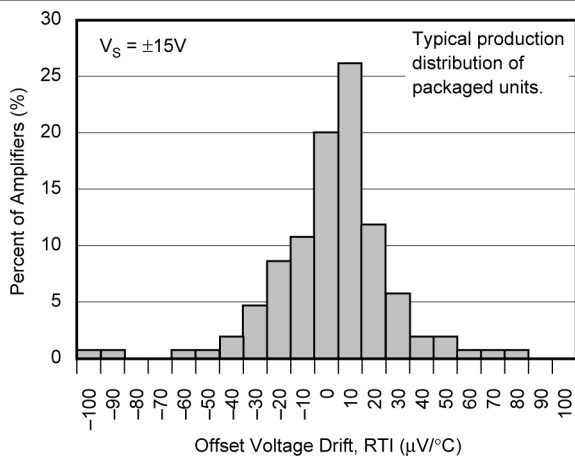


図 5-3. オフセット電圧ドリフトの製造分布

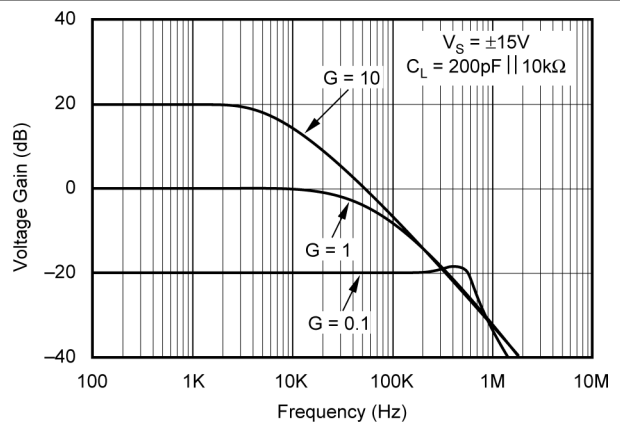
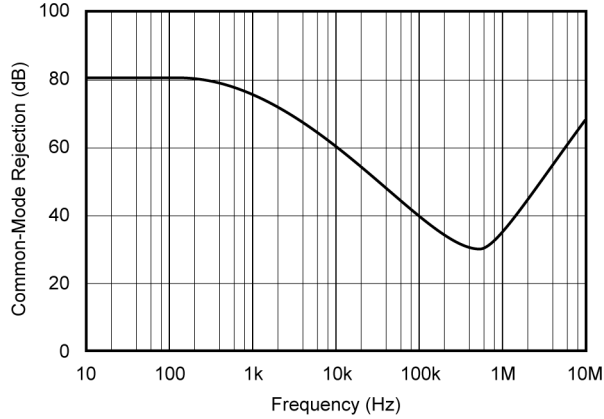
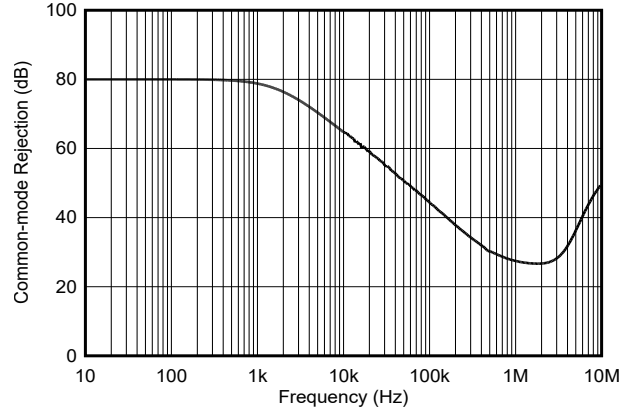


図 5-4. ゲインと周波数との関係



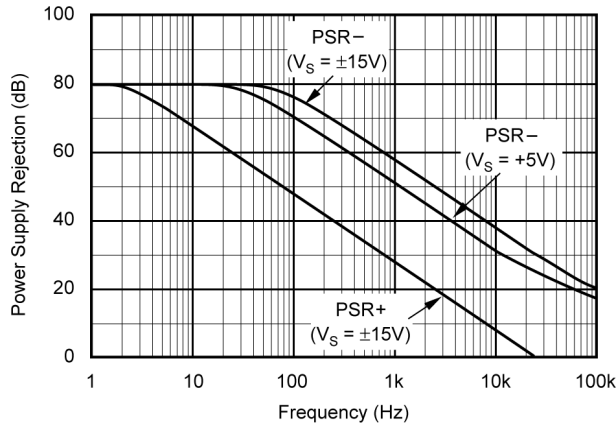
CSO: SHE

図 5-5. 同相除去比と周波数との関係



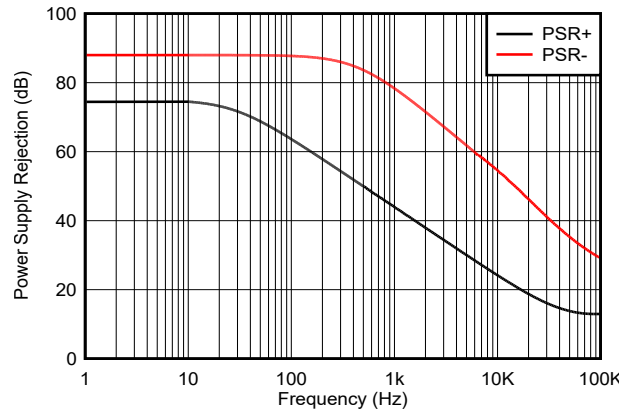
CSO: TID

図 5-6. 同相除去比と周波数との関係



CSO: SHE

図 5-7. 電源除去特性と周波数の関係



CSO: TID

図 5-8. 電源除去特性と周波数の関係

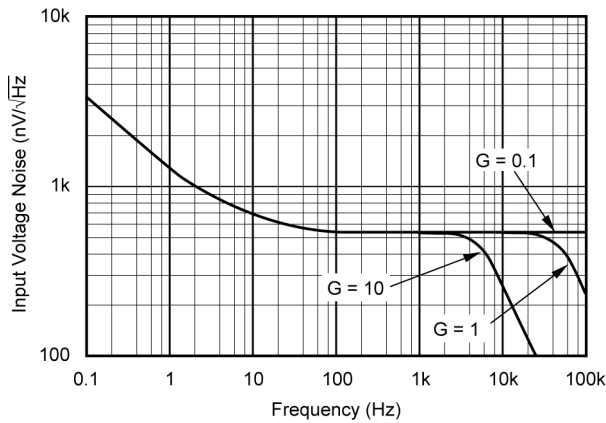


図 5-9. 入力電圧ノイズ密度

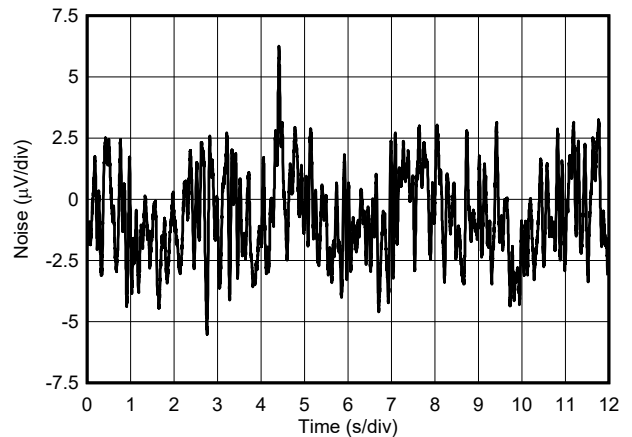
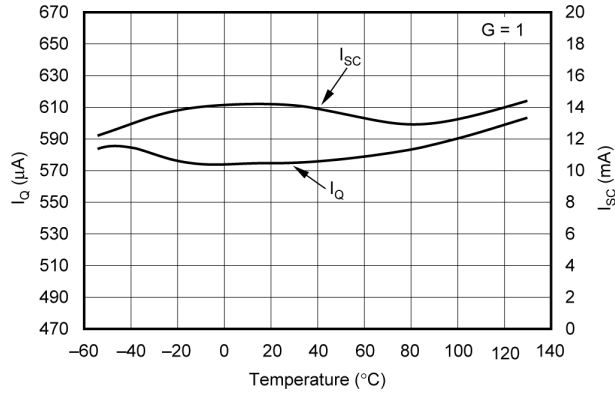
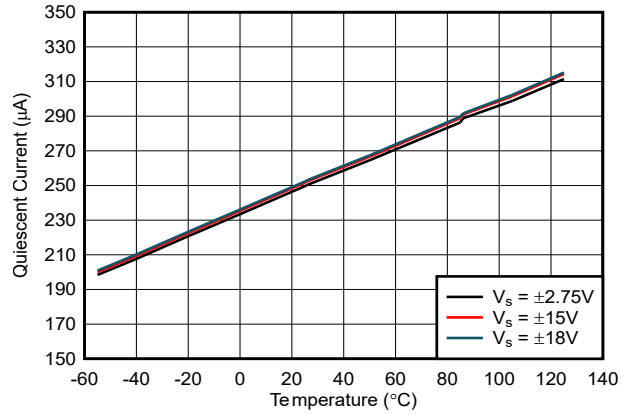


図 5-10. 0.1Hz ~ 10Hz の電圧ノイズ (Rti)



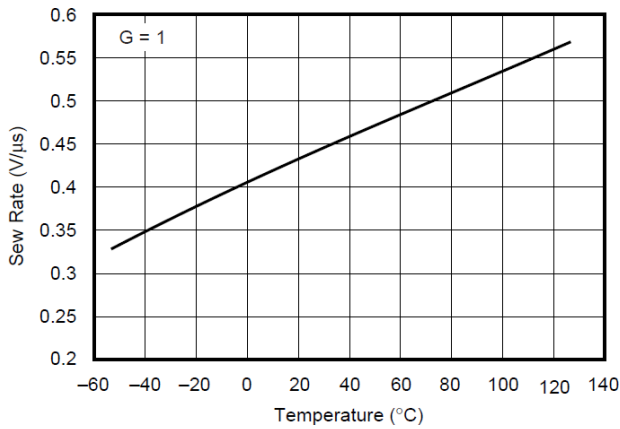
CSO: SHE

図 5-11. 静止電流および短絡電流と温度との関係



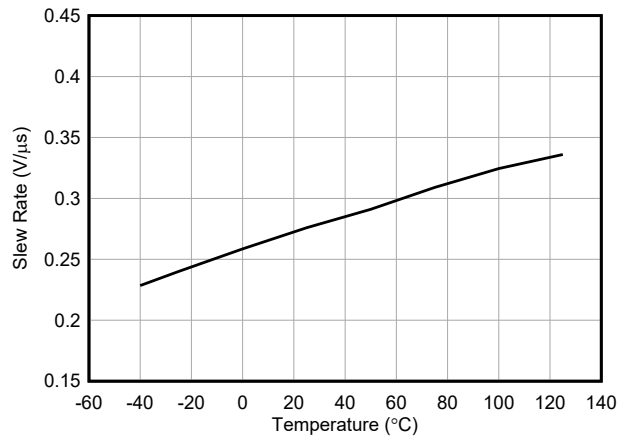
CSO: TID

図 5-12. 静止電流と温度との関係



CSO: SHE

図 5-13. スルーレートと温度との関係



CSO: TID

図 5-14. スルーレートと温度との関係

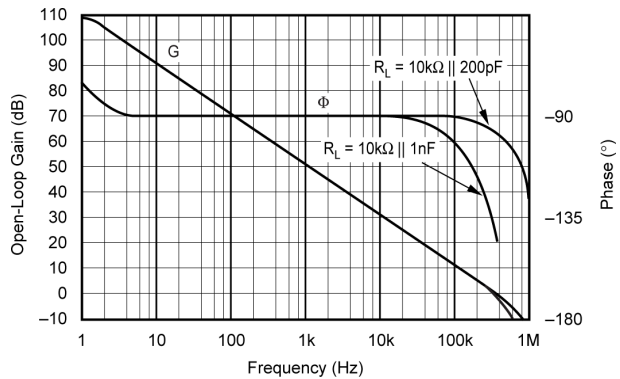


図 5-15. ゲインおよび位相と周波数との関係 (オペンプ A1 および A2)

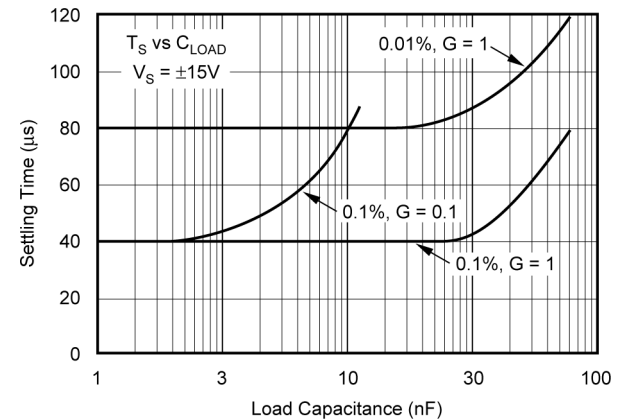
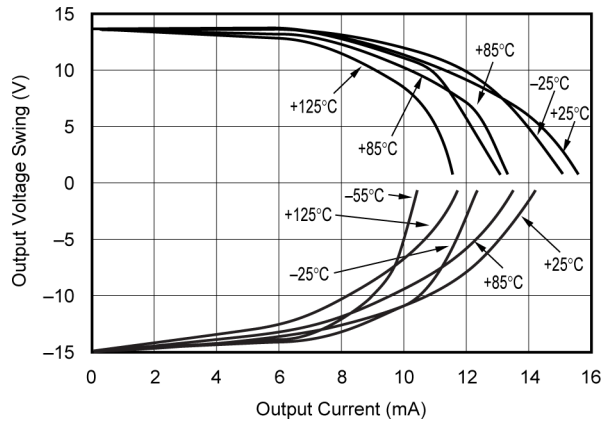
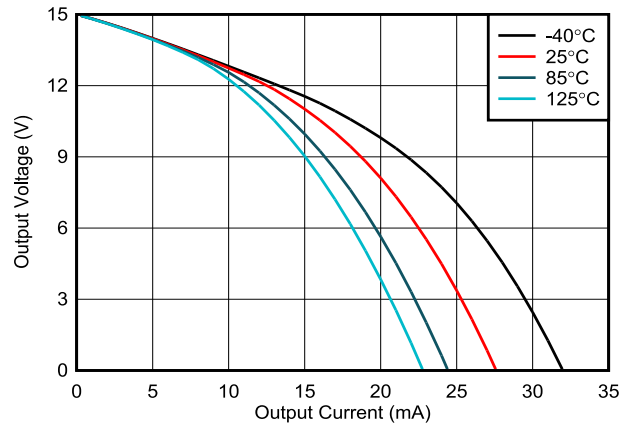


図 5-16. セトリングタイムと負荷容量との関係



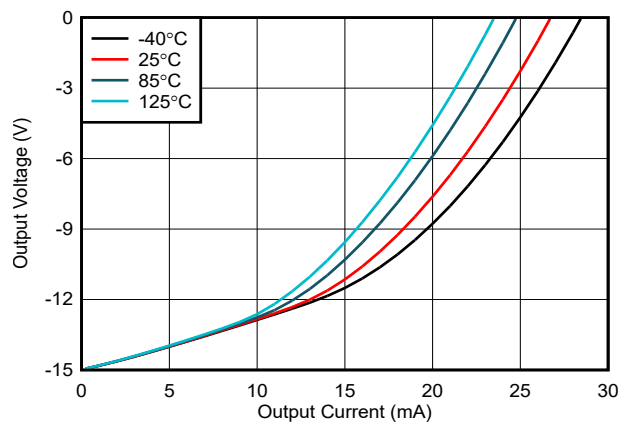
CSO: SHE

図 5-17. 最大出力電圧スイングと出力電流との関係



CSO: TID

図 5-18. 出力電圧スイングと出力電流との関係 (ソース)



CSO: TID

図 5-19. 出力電圧スイングと出力電流との関係 (シンク)

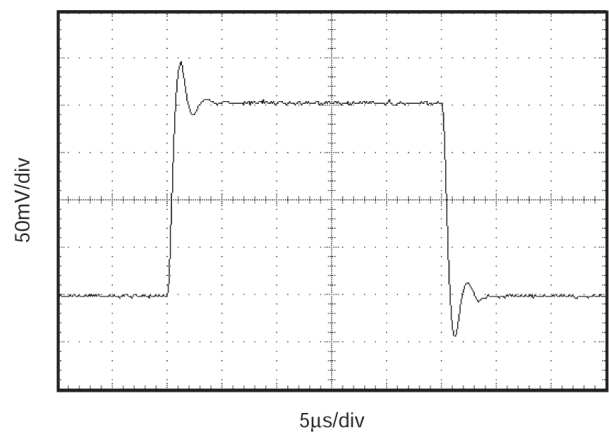


図 5-20. 小信号ステップ応答 ($G = 0.1$, $R_L = 10k\Omega$, $C_L = 200pF$)

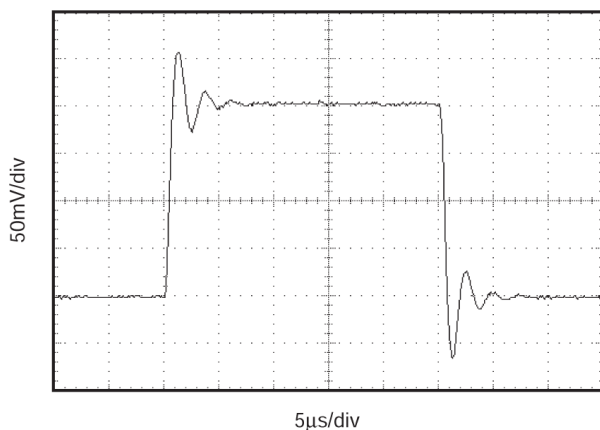


図 5-21. 小信号ステップ応答 ($G = 0.1$, $C_L = 1000pF$)

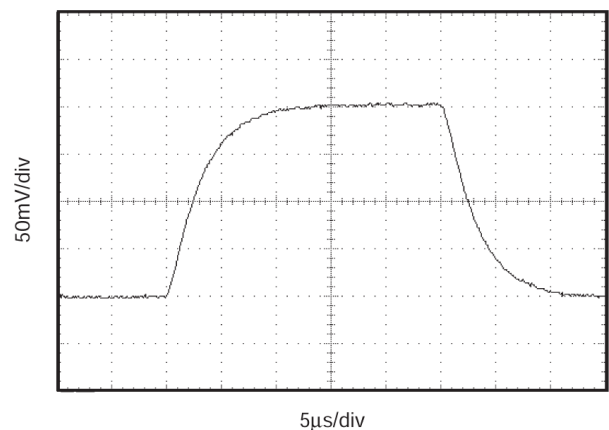
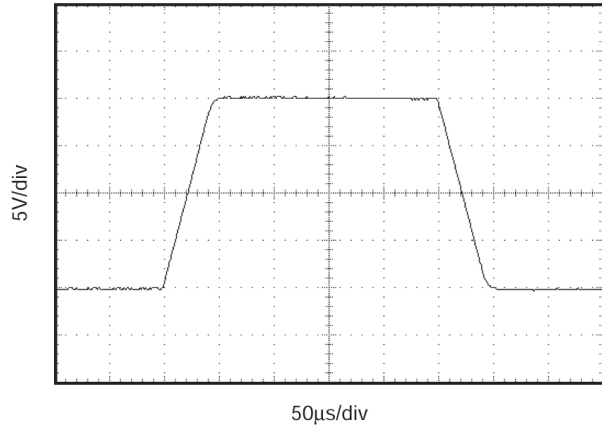
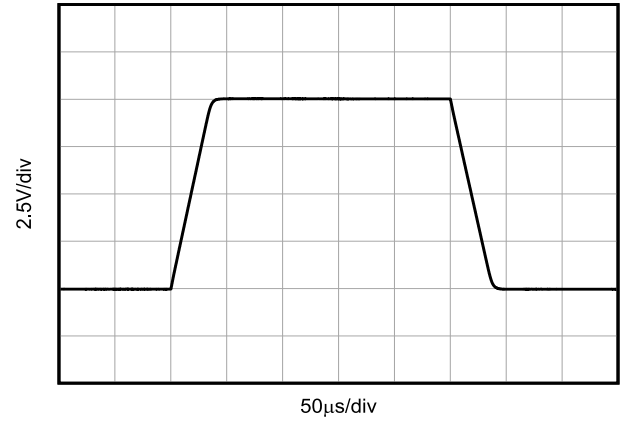


図 5-22. 小信号ステップ応答 ($G = 1$, $C_L = 1000pF$)



CSO: SHE

図 5-23. 大信号ステップ応答 ($G = 1$, $R_L = 10\text{k}\Omega$, $C_L = 200\text{pF}$)



CSO: TID

図 5-24. 大信号ステップ応答 ($G = 1$, $R_L = 10\text{k}\Omega$, $C_L = 200\text{pF}$)

6 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくこととなります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

6.1 アプリケーション情報

INA146 は、ゲイン 0.1 の差動アンプとプログラマブル ゲインの出力バッファ段で構成されたプログラマブル ゲイン差動アンプです。図 6-1 に、基本的な回路接続を示します。電源バイパス コンデンサは、図で示したようにピン 4 と 7 の近くに接続する必要があります。このアンプは、2 つの外付け抵抗を使用して、 $G = 0.1 \sim G = 50$ の範囲でプログラム可能です。

A1 の出力は、10k Ω 抵抗を介して A2 の非反転入力に接続され、絶対精度 $\pm 1\%$ にトリムされています。A2 入力は、フィルタや高精度電流源などのアプリケーション用に利用できます。例については、アプリケーションの図を参照してください。

6.1.1 動作電圧

INA146 は $\pm 2.25 \text{ V} \sim \pm 18 \text{ V}$ の電源電圧に対して完全に規定されており、 $40^\circ\text{C} \sim 85^\circ\text{C}$ までの温度範囲で、主要なパラメータが規定されています。INA146 は、優れた性能を備えた単電源または両電源で動作できます。動作電圧、負荷条件、温度によって大きく変化するパラメータは、代表特性の曲線に示されています。

6.1.2 ゲインの設定

INA146 のゲインは、次の式に従って、2 つの外部抵抗 R_{G1} と R_{G2} を使用して設定されます。

$$G = 0.1 \times (1 + R_{G2}/R_{G1})$$

合計ゲインが 0.1 の場合、A2 は R_{G1} なしのバッファアンプとして接続されます。帰還抵抗 $R_{G2} = 10\text{k}\Omega$ をバッファ接続で使用する必要があります。これにより、(内蔵 R_5 と組み合わせて) バイアス電流をキャンセルし、規定のオフセット電圧性能を実現できます。一般的に使用される値は、図 6-1 の表に示されています。他のゲインの抵抗値は、10k Ω の並列抵抗が得られるように選択する必要があります。

6.1.3 同相範囲

INA146 の 10:1 入力抵抗の比は、電源レールをはるかに上回る入力同相範囲を実現しています。正確な範囲は、電源電圧と REF 端子 (ピン 1) に印加される電圧によって異なります。正常に動作させるには、A1 の非反転入力 (内部ノード) の電圧が線形動作範囲内にある必要があります。この電圧は、ピン 3 とピン 1 の間のシンプルな 10:1 分圧器によって決定されます。この電圧は、 V_{S-} と $(V_{S+}) - 1\text{V}$ の間にある必要があります。

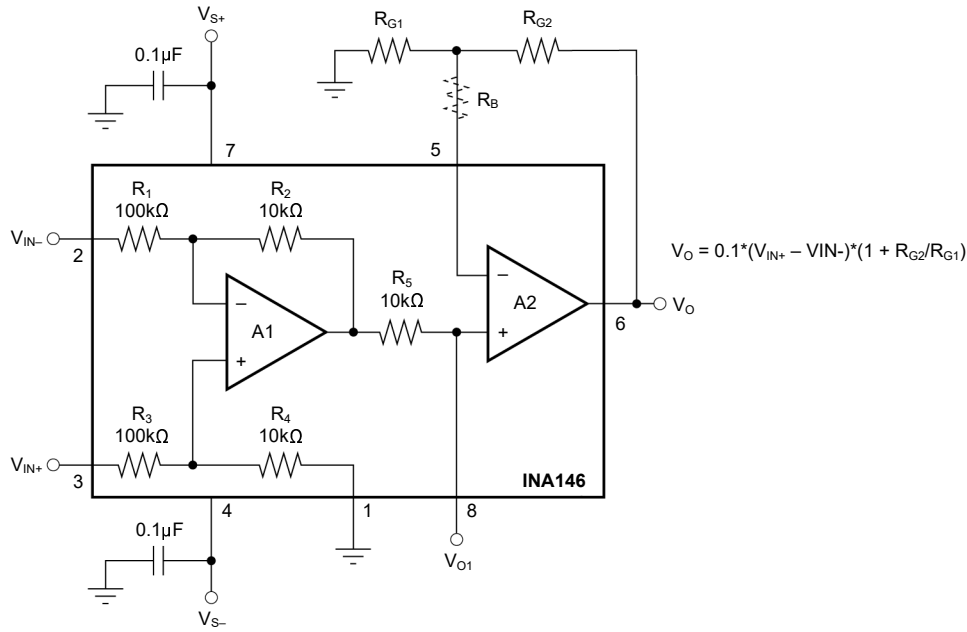


図 6-1. 基本的な回路接続

表 6-1. 基本的な回路の外部抵抗の値

| 合計ゲイン (V/V) | A2 ゲイン (V/V) | 標準の 1% 抵抗 | | |
|-------------|--------------|-----------|---------|--------|
| | | RG1 (Ω) | RG2 (Ω) | RB (Ω) |
| 0.1 | 1 | (無) | 10k | – |
| 0.2 | 2 | 20k | 20k | – |
| 0.5 | 5 | 12.4k | 49.9k | – |
| 1 | 10 | 11.0k | 100k | – |
| 2 | 20 | 10.5k | 200k | – |
| 5 | 50 | 10.2k | 499k | – |
| 10 | 100 | 10.2k | 1M | – |
| 20 | 200 | 499 | 100k | 9.53k |
| 50 | 500 | 100 | 49.9k | 10k |
| 100 | 1000 | 100 | 100k | 10k |

6.1.4 オフセット トリム

INA146 は、低いオフセット電圧とドリフトを実現するようにレーザーでトリミングされています。大半のアプリケーションでは、外部オフセット調整は必要ありません。図 6-2 は、オフセット電圧をトリミングするためのオプション回路を示しています。Ref 端子に印加された電圧は、出力信号に加算されます。この機能を使用して、オフセット電圧を 0 にできます。良好な同相除去を維持するには、REF 端子に印加される信号のソース インピーダンスは 10Ω 未満で、正の入力端子に追加する抵抗は 10 倍 (100Ω) である必要があります。または、トリム電圧を OPA277 などのオペアンプでバッファリングすることもできます。

6.1.5 入力インピーダンス

INA146 の入力インピーダンスは入力抵抗ネットワークによって決定され、おおよそ 100kΩ です。2 つの入力端子のソース インピーダンスは、良好な同相信号除去を実現するため、ほぼ等しくする必要があります。2 つの入力間のインピーダ

ンスに 12Ω のミスマッチがあると、標準的な同相除去は約 72dB まで低下します。図 6-7 に、シャント抵抗を流れる電源電流を測定する一般的なアプリケーションを示します。シャント抵抗のソースインピーダンス R_S は、等しい補償抵抗 R_C で平衡化されます。

ソース インピーダンスが完全に一致している場合でも、 800Ω を超えるソース インピーダンスは推奨されません。絶対値ではなく正確な比率を実現するために内部抵抗はレーザトリムされます。 800Ω を超える抵抗を追加すると、抵抗全体の比にミスマッチが生じ、 CMR が低下する可能性があります。

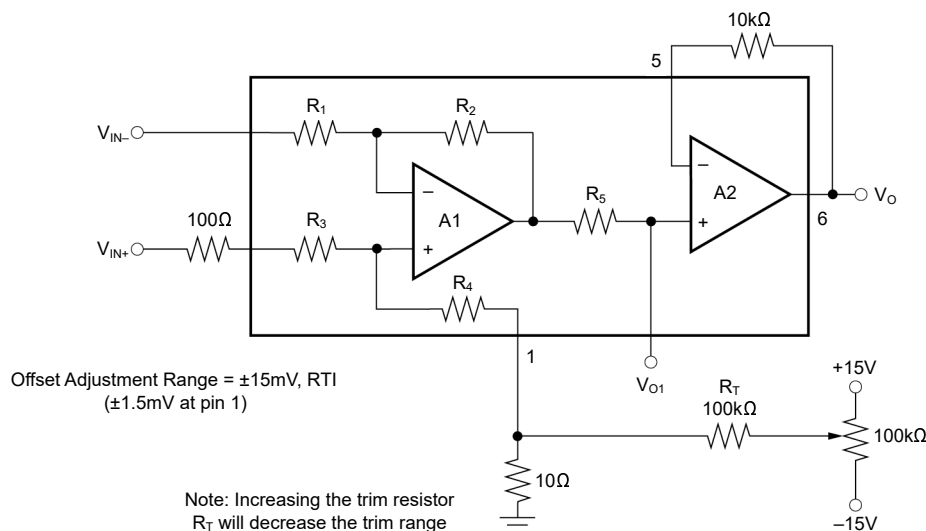


図 6-2. オプションのオフセットトリム回路

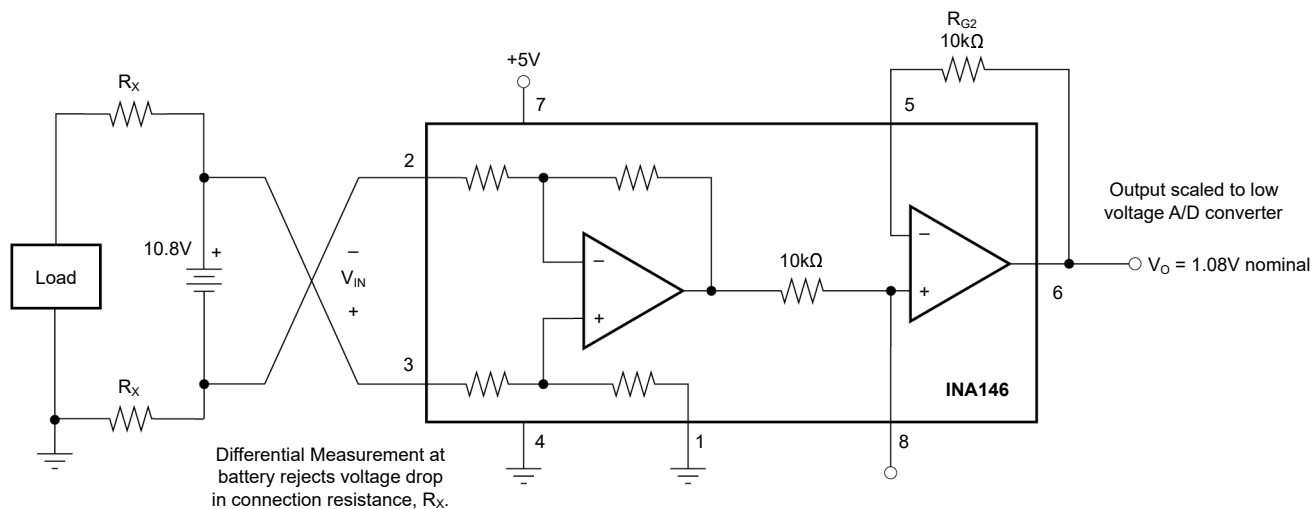


図 6-3. 測定電圧が電源電圧を上回る

表 6-2. 測定電圧が電源電圧値を上回る

| V_{S+} | Max V_{IN} |
|----------|--------------|
| +5V | 40V |
| +7V | 60V |
| +10V | 95V |

表 6-2. 測定電圧が電源電圧値を上回る (続き)

| V_{S+} | Max V_{IN} |
|------------|--------------|
| $\geq 11V$ | 100V |

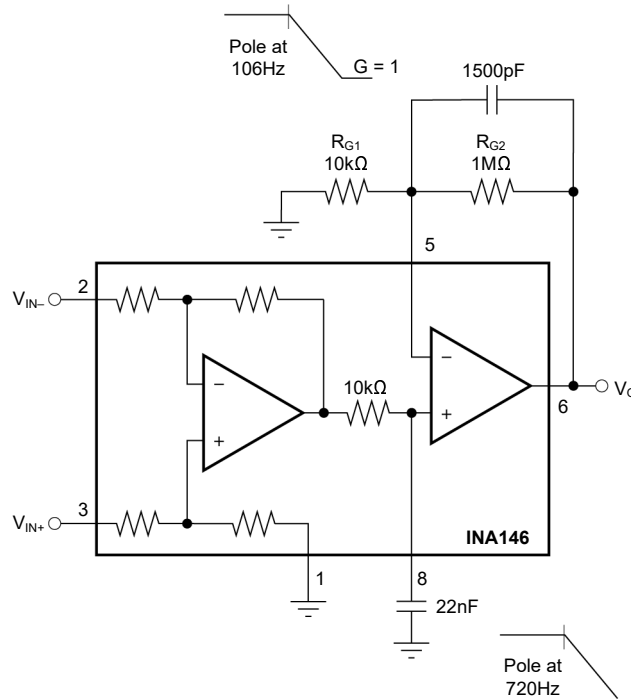


図 6-4. ノイズフィルタリング

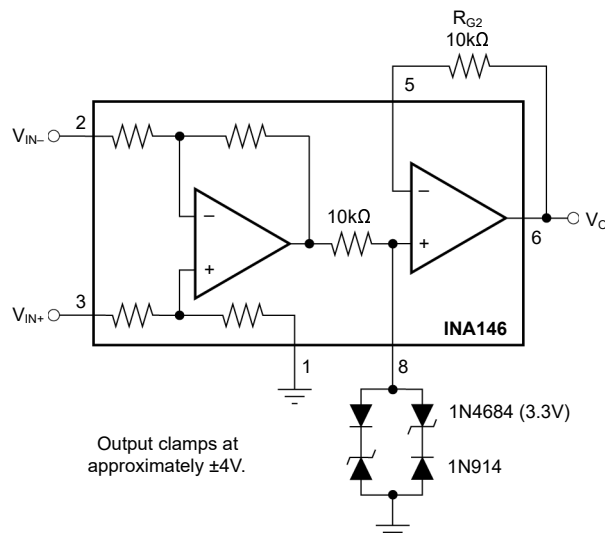


図 6-5. 出カクランプ

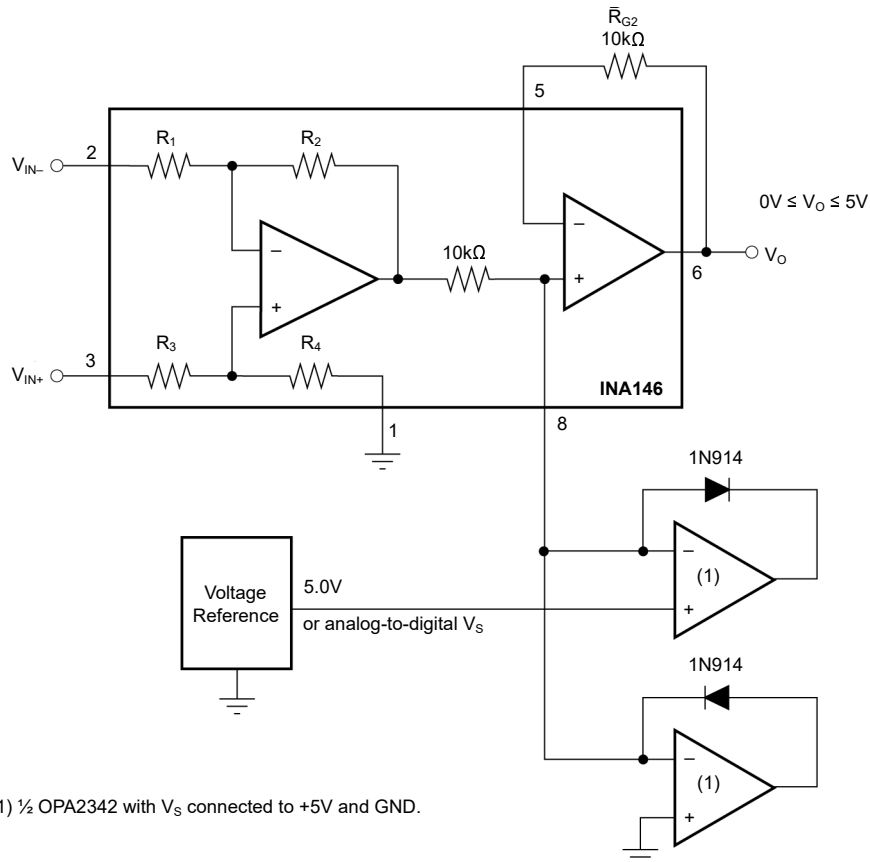


図 6-6. 高精度クランプ

For sense resistors (R_S) greater than 10Ω , use series compensation resistor (R_C) for good common-mode rejection. Sense resistors greater than 500Ω are not recommended.

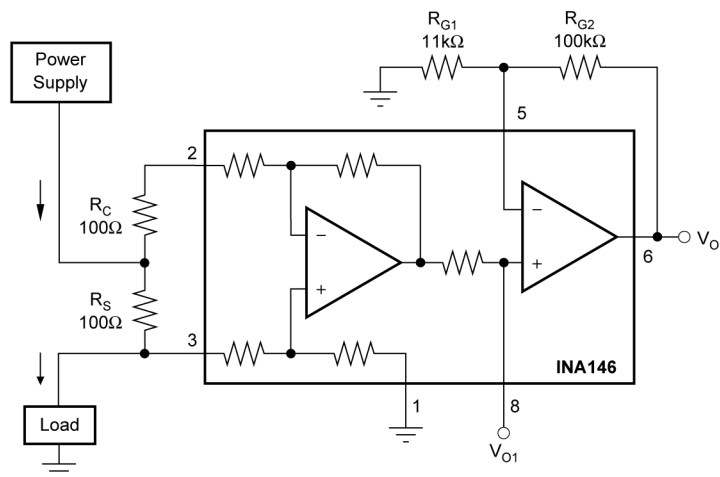


図 6-7. 電流モニタ、 $G = 1$

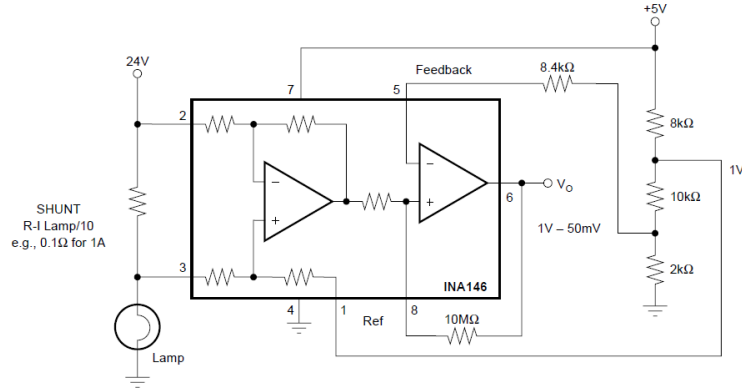


図 6-8. ランプのバーンアウトを検出するためのヒステリシス アプリケーション付きのコンパレータ出力

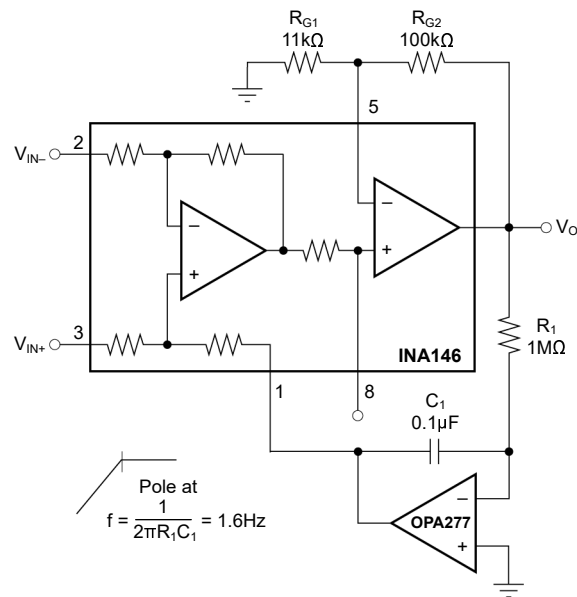


図 6-9. AC 結合 (DC 復元)

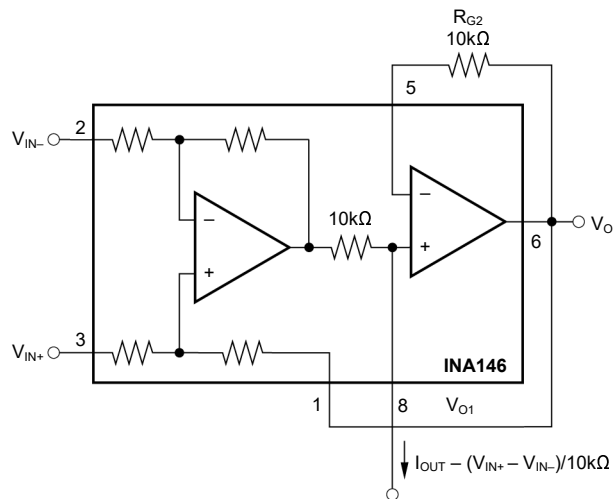


図 6-10. 高精度電流源

7 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介합니다。

7.1 デバイス サポート

7.1.1 デバイスの命名規則

| 部品番号 | 定義 |
|------------------------|--------------------------------------|
| INA146UA, INA146UA/2K5 | ダイは CSO: SHE または CSO: TID で製造されています。 |

7.2 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

7.3 ドキュメントのサポート

7.3.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『計測アンプの総合計算誤差』アプリケーション ノート
- テキサス インスツルメンツ、『低電圧 ADC 用の高電圧シグナルコンディショニング』、アプリケーション ノート
- テキサス インスツルメンツ、『アナログ技術者向けカリキュレータ』、アプリケーション

7.4 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

7.5 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

7.6 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

7.7 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.8 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

| Changes from Revision A (October 2023) to Revision B (December 2025) | Page |
|--|------|
| • 「仕様」のデバイスフロー情報の説明を追加 | 4 |
| • 電気的特性の $V_S = \pm 2.25V \sim \pm 18V$ と電気的特性の $V_S = 5V$ 単電源を「電気的特性」に追加..... | 6 |
| • の標準的なテスト条件で、 $V_{REF} = 0V$ から $V_{REF} = V_S / 2$ に変更「電気的特性」ですべてのチップの設置場所 (CSO) の条件を標準的なテスト条件に追加..... | 6 |
| • テスト条件 V_{CM} の式に V_{REF} を含めるよう変更..... | 6 |
| • 「電気的特性」に短絡電流に関する各種の製造プロセス仕様を追加..... | 6 |
| • 「電気的特性」に、スルーレートに関する各種の製造プロセス仕様を追加..... | 6 |
| • 「電気的特性」に、過負荷復帰に関する各種の製造プロセス仕様を追加..... | 6 |
| • 「電気的特性」に、静止電流について各種の製造プロセス仕様を追加..... | 6 |
| • 「代表的特性」の標準的なテスト条件に「すべてのチップの原産拠点 (CSO)」の条件を追加..... | 9 |
| • CSO を追加: 「代表的特性」の「同相除去と周波数との関係」、「電源除去と周波数との関係」、「静止電流と温度との関係」、「最大出力電圧スイングと出力電流との関係」の各曲線に SHE 情報を追加..... | 9 |
| • スルーレートと温度との関係および大信号ステップ応答 ($G = 1$, $R_L = 10k\Omega$, $C_L = 200pF$) の曲線を追加し、CSO の: SHE フローを反映しました (「代表的特性」)..... | 9 |
| • CSO を追加: 「代表的特性」の「スルーレートと温度との関係」および大信号ステップ応答 ($G = 1$, $R_L = 10k\Omega$, $C_L = 200pF$ の曲線) への TID 情報 | 9 |
| • 「同相除去と周波数との関係」、「電源除去と周波数との関係」、「出力電圧スイングと出力電流との関係 (ソース)」、「出力電圧スイングと出力電流 (シンク)」の曲線を追加し、CSO の TID フローを反映しました (「代表的特性」)..... | 9 |
| • 「デバイスの命名規則」に型番のフロー情報表を追加..... | 20 |

Changes from Revision * (September 1999) to Revision A (October 2023)
Page

| | |
|--|---|
| • ドキュメント全体にわたって表、図、相互参照の採番方法を更新。..... | 1 |
| • ピン 7 を $V+$ から V_{S+} に、ピン 4 を $V-$ から V_{S-} に変更..... | 3 |
| • 明確にするため、「電気的特性」と「代表的特性」の「特に記述のない限り」の条件で $V_{REF} = 0V$ 、 $V_{CM} = V_S / 2$ を追加..... | 6 |
| • 明確化のため「オフセット電圧と電源との関係」を「電源除去比」に変更..... | 6 |
| • 明確にするため、テスト条件 V_{CM} の式を変更..... | 6 |
| • 明確にするため、「電気的特性」の「ゲイン誤差と温度との関係」で「 $T_A = -40^\circ\text{C}$ to 85°C 」のテスト条件を追加..... | 6 |
| • 「電気的特性」の全温度の出力にテスト条件「 $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 」を追加..... | 6 |
| • 明確にするため、「電気的特性」の短絡電流仕様に「 $V_S / 2$ へ連続」のテスト条件を追加..... | 6 |
| • 「電気的特性」から冗長な電圧範囲、動作温度範囲、仕様温度範囲の仕様を削除..... | 6 |
| • 明確にするため、「特に注記がない限り」の条件として、「電気的特性」および「代表的特性」に $V_{REF} = 0V$ 、 $V_{CM} = V_S / 2$ を追加..... | 8 |

9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package Pins | Package qty Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|-----------------------|---------------|----------------------|----------------|-----------------------|-------------|--------------------------------------|-----------------------------------|--------------|---------------------|
| INA146UA | Obsolete | Production | SOIC (D) 8 | - | - | Call TI | Call TI | -40 to 85 | INA 146UA |
| INA146UA/2K5 | Active | Production | SOIC (D) 8 | 2500 LARGE T&R | Yes | NIPDAU | Level-3-260C-168 HR | -40 to 85 | INA 146UA |
| INA146UA/2K5.B | Active | Production | SOIC (D) 8 | 2500 LARGE T&R | Yes | NIPDAU | Level-3-260C-168 HR | -40 to 85 | INA 146UA |
| INA146UAE4 | NRND | Production | SOIC (D) 8 | 75 TUBE | - | Call TI | Call TI | -40 to 85 | |

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|--------------|--------------|-----------------|------|------|--------------------|--------------------|---------|---------|---------|---------|--------|---------------|
| INA146UA/2K5 | SOIC | D | 8 | 2500 | 330.0 | 12.4 | 6.4 | 5.2 | 2.1 | 8.0 | 12.0 | Q1 |

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|--------------|--------------|-----------------|------|------|-------------|------------|-------------|
| INA146UA/2K5 | SOIC | D | 8 | 2500 | 353.0 | 353.0 | 32.0 |



D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2025, Texas Instruments Incorporated

最終更新日：2025 年 10 月