

INA1H94-SEP 耐放射線特性、高同相モード電圧差動アンプ

1 特長

- 耐放射線特性
 - すべてのウェハーについて、30krad (Si) までの吸収線量 (TID) RLAT
 - ELDRS フリー (最大 TID = 30krad(Si))
 - シングル イベント ラッチアップ (SEL) 耐性: 最大 43MeV x cm²/mg
 - シングル イベント 効果 (SEE) 特性: 43MeV x cm²/mg
- 宇宙向け強化プラスチック
 - 防衛および航空宇宙アプリケーションをサポート
 - 管理されたベースライン
 - 単一のアセンブリ/テスト施設
 - 単一の製造施設
 - 長期にわたる製品ライフ サイクル
 - 製品のトレーサビリティ
 - ASTM E595 に準拠した気体排出試験実施済み
 - Au ボンド ワイヤと NiPdAu リード仕上げ
- 同相モード電圧範囲: ±150V
- 最小 CMRR: -55°C ~ +125°C で 84dB
- DC の仕様:
 - 最大ゲイン誤差: 0.067%
 - 典型的な ゲイン誤差ドリフト: 1.5ppm/°C
 - ゲイン非直線性 (標準値): <0.0005% FSR
- AC 性能:
 - 小信号帯域幅: 500kHz
 - 典型的なスルーレート: 5V/μs
- 幅広い電源電圧範囲: ±2V ~ ±9V

2 アプリケーション

- 高電圧電流検出
- バッテリーセル電圧監視
- 電源電流監視
- モーター制御
- 絶縁回路の置き換え

3 説明

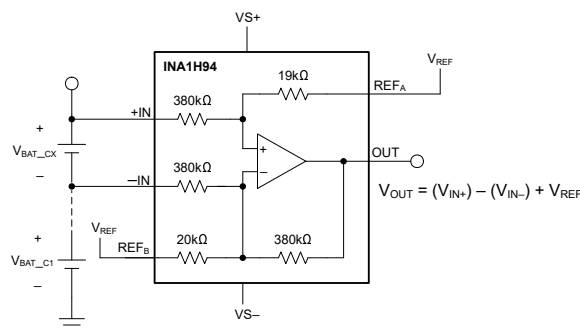
INA1H94-SEP は、高精度の耐放射線ユニティ ゲイン 差動アンプであり、非常に高い入力同相電圧範囲を備えています。INA1H94-SEP は、高精度オペアンプと内蔵の薄膜抵抗ネットワークで構成されたモノリシック デバイスです。この INA1H94-SEP は、最大 ±150V の同相信号に存在する小さい差動電圧を正確に測定できます。

ガルバニック絶縁を必要としない多くのアプリケーションでは、INA1H94-SEP を絶縁アンプの代わりに使用できます。この INA1H94-SEP により、コストのかかる絶縁型入力側電源や、それに関連するリップル、ノイズ、静止電流をなくすことができます。優れた 0.0005% の非直線性、高い同相モード、500kHz の帯域幅を備えており、INA1H94-SEP 魅力的なセンサ読み出しデバイスとして使用できます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
INA1H94-SEP	D (SOIC, 8)	4.90mm × 3.91mm

- 供給されているすべてのパッケージについては、[メカニカル、パッケージ、および注文情報](#) を参照してください。
- パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



シンプルなバッテリー セル監視アプリケーション



目次

1 特長.....	1	6.4 デバイスの機能モード.....	17
2 アプリケーション.....	1	7 アプリケーションと実装.....	19
3 説明.....	1	7.1 アプリケーション情報.....	19
4 ピン構成および機能.....	3	7.2 代表的なアプリケーション.....	19
5 仕様.....	4	7.3 電源に関する推奨事項.....	21
5.1 絶対最大定格.....	4	7.4 レイアウト.....	21
5.2 ESD 定格.....	4	8 デバイスおよびドキュメントのサポート.....	23
5.3 推奨動作条件.....	4	8.1 デバイス サポート.....	23
5.4 熱に関する情報: INA1H94-SEP.....	4	8.2 ドキュメントの更新通知を受け取る方法.....	23
5.5 電気的特性: $V_S = \pm 9V$	5	8.3 サポート・リソース.....	23
5.6 電気的特性: $V_+ = 5V$, $V_- = 0V$	5	8.4 商標.....	23
5.7 代表的特性.....	7	8.5 静電気放電に関する注意事項.....	23
6 詳細説明.....	12	8.6 用語集.....	23
6.1 概要.....	12	9 改訂履歴.....	23
6.2 機能ブロック図.....	12	10 メカニカル、パッケージ、および注文情報.....	24
6.3 機能説明.....	12		

4 ピン構成および機能

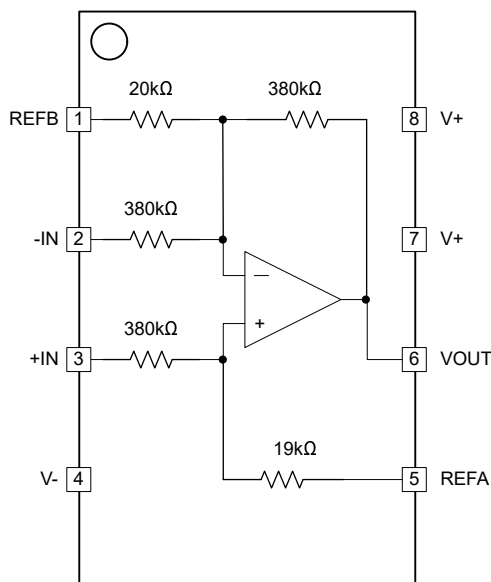


図 4-1. SOIC-8、D パッケージ、上面図

表 4-1. ピンの機能

番号		タイプ	説明
名称	番号		
-IN	2	入力	反転入力
+IN	3	入力	非反転入力
REF _A	5	入力	リファレンス入力
REF _B	1	入力	リファレンス入力
V-	4	電源	負電源
V+	7, 8	電源	正電源 ⁽¹⁾⁽²⁾
V _{OUT}	6	出力	出力

(1) このドキュメントでは、(V+) - (V-) を V_S と呼びます。

(2) ピン 7 とピン 8 はデバイス内で互いに短絡しています。ピン 7、ピン 8、または両方を正の電源に接続します。

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位
V _S	電源電圧、V _S = (V ₊) – (V _–) ⁽³⁾		24	V
	信号入力ピン電圧範囲	–150	150	V
	信号入力ピン電流		±10	mA
REF _{A/B}	リファレンス ピンの最大電圧	(V _–) – 0.3	(V ₊) + 0.3	V
	出力短絡 ⁽²⁾	連続		
T _A	動作温度	–55	150	°C
T _J	接合部		150	°C
T _{STG}	保存	–65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) グランドへの短絡、パッケージあたり 1 台のアンプ。
- (3) 過渡事象などの短期的なストレスが発生した場合、電源電圧が最大 24V まで上昇しても、損傷を引き起こすことはありません。長期的な信頼性を最大限に高めるには、電源電圧を 18V 以下に維持してください。

5.2 ESD 定格

		値	単位
V _(ESD)	静電放電	±1500	V
	デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 ⁽²⁾	±1000	

- (1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
- (2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V _S	単電源	4		18	V
	両電源	±2		±9	
T _A	動作温度範囲	–55		125	°C

5.4 熱に関する情報 : INA1H94-SEP

熱評価基準 ⁽¹⁾		INA1H94-SEP	単位
		D (SOIC)	
		8 ピン	
R _{θJA}	接合部から周囲への熱抵抗	112.0	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	50.1	°C/W
R _{θJB}	接合部から基板への熱抵抗	59.6	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	6.2	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	58.7	°C/W
R _{θJC(bot)}	接合部からケース (底面) への熱抵抗	該当なし	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

5.5 電気的特性 : $V_S = \pm 9V$

$T_A = 25^\circ C$, $R_L = 10k\Omega$ をグラウンドに接続、 $V_{CM} = REF_A = REF_B = GND$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ゲイン						
	初期	V _{OUT} = ± 7.5V	1		V/V	
	ゲイン誤差	V _{OUT} = ±7.5V、T _A = -55°C ~ +125°C	±0.025	±0.067	%FSR	
	ゲイン	T _A = -55°C ~ +125°C	±1.5		ppm/°C	
	非直線性		±0.0005		%FSR	
オフセット電圧						
V _{OS}	入力オフセット		-4000	700	4000	μV
V _{OS}	入力オフセット	T _A = -55°C ~ +125°C	-7500		7500	μV
dV _{OS} /dT	入力オフセットドリフト	T _A = -55°C ~ +125°C	8		μV/°C	
PSRR	電源除去比	V _S = ±2V~±9V、T _A = -55°C~+125°C	90	120	dB	
入力						
	インピーダンス	差動	800		kΩ	
		同相	200		kΩ	
	電圧範囲	差動	-7.5		7.5	V
		同相	-150		150	V
CMRR	同相信号除去比	f = DC、V _{CM} = ±150V、T _A = -55°C ~ +125°C	84	100	dB	
		f = DC、V _{CM} = ±150V、T _A = -55°C ~ +125°C、TID 照射後のフライト モデル	80	100		
		f = 500Hz、V _{CM} = 49V _{PP}		90		
		f = 1kHz、V _{CM} = 49V _{PP}		90		
出力						
V _O	電圧範囲		-7.5		7.5	V
I _{SC}	短絡範囲		±25		mA	
C _L	容量性負荷駆動能力	発振が持続しないこと	10		nF	
出力ノイズ電圧						
e _{NO}	出力段電圧ノイズ	f = 0.01Hz~10Hz	20		μV _{PP}	
		f = 10kHz	550		nV/√Hz	
動的応答						
	小信号帯域幅		500		kHz	
SR	スルーレート	V _{OUT} = 15Vpp ステップ	5		V/μs	
BW	フルパワー帯域幅	V _{OUT} = 8 V _{PP}	300		kHz	
t _S	セトリング タイム	0.01%まで、V _{OUT} = 7.5V ステップ	7		μs	
電源						
V _S	電圧範囲		±2		±9	V
I _Q	静止時電流	V _{OUT} = 0V	500	810	900	μA
		V _{OUT} = 0V、T _A = -55°C ~ +125°C	1100			μA

5.6 電気的特性 : $V_+ = 5V$, $V_- = 0V$

$T_A = +25^\circ C$, $R_L = 10k\Omega$ を $V_S/2$ に接続、 $V_{CM} = REF_A = REF_B = 2.5V$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ゲイン						
	初期	$V_{OUT} = 1.5V \sim 3.5V$		1		V/V

5.6 電気的特性 : $V_+ = 5V$ 、 $V_- = 0V$ (続き)

$T_A = +25^\circ\text{C}$ 、 $R_L = 10\text{k}\Omega$ を $V_S/2$ に接続、 $V_{CM} = \text{REF}_A = \text{REF}_B = 2.5V$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
	ゲイン誤差	$V_{OUT} = \pm 1.5V \sim \pm 3.5V$ 、 $T_A = -55^{\circ}C \sim +125^{\circ}C$		± 0.025	± 0.067	%FSR
	ゲイン	$T_A = -55^{\circ}C \sim +125^{\circ}C$		± 1.5		ppm/ $^{\circ}C$
	非直線性			± 0.0005		%FSR
オフセット電圧						
V_{OS}	入力オフセット		-4000	700	4000	μV
V_{OS}	入力オフセット	$T_A = -55^{\circ}C \sim +125^{\circ}C$	-7500		7500	μV
dV_{OS}/dT	入力オフセットドリフト	$T_A = -55^{\circ}C \sim +125^{\circ}C$		8		$\mu V/^{\circ}C$
PSRR	電源除去比	$V_S = 4V \sim 5V$		102		dB
入力						
	インピーダンス	差動		800		k Ω
		同相		200		k Ω
	電圧範囲	差動	-1		1	V
		同相	-18		23	V
CMRR	同相信号除去比	$f = DC$ 、 $V_+ = 2.5V$ 、 $V_- = -2.5V$ 、 $V_{CM} = -20V \sim 20V$ 、 $REF_A = REF_B = 0V$ 、 $T_A = -55^{\circ}C \sim +125^{\circ}C$	80	100		dB
		$f = 500Hz$ 、 $V_{CM} = 49V_{PP}$		100		
		$f = 1kHz$ 、 $V_{CM} = 49V_{PP}$		90		
出力						
V_O	電圧範囲		1.5		3.5	V
I_{SC}	短絡範囲			± 25		mA
C_L	容量性負荷駆動能力	発振が持続しないこと		10		nF
出力ノイズ電圧						
e_{NO}	出力段電圧ノイズ	$f = 0.01Hz \sim 10Hz$		20		μV_{PP}
		$f = 10kHz$		550		nV/ $\sqrt{Hz}$
動的応答						
	小信号帯域幅			500		kHz
SR	スルーレート	$V_{OUT} = 2V_{PP}$ ステップ		5		V/ μs
BW	フルパワー帯域幅	$V_{OUT} = 2V_{PP}$		480		kHz
t_S	セトリング タイム	0.01%まで、 $V_{OUT} = 2V_{PP}$ ステップ		7		μs
電源						
V_S	電圧範囲			5		V
I_Q	静止時電流		500	810	900	μA
		$T_A = -55^{\circ}C \sim +125^{\circ}C$			1100	μA

5.7 代表的特性

$T_A = +25^\circ\text{C}$ 、 $R_L = 2\text{k}\Omega$ をグラウンドに接続、 $\text{REF}_A = \text{REF}_B = \text{GND}$ 、 $V_S = \pm 9\text{V}$ (特に記述のない限り)

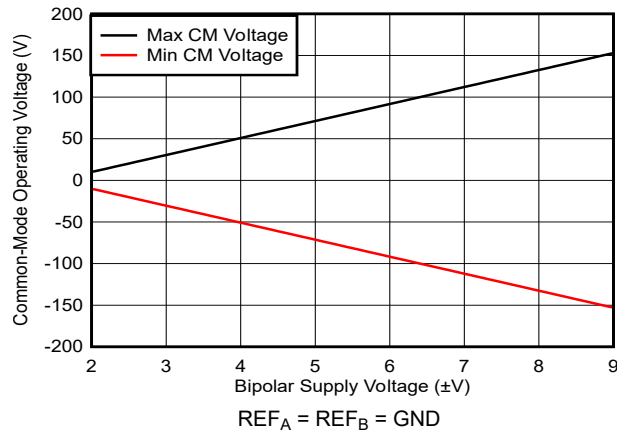


図 5-1. バイポーラ電源による同相範囲

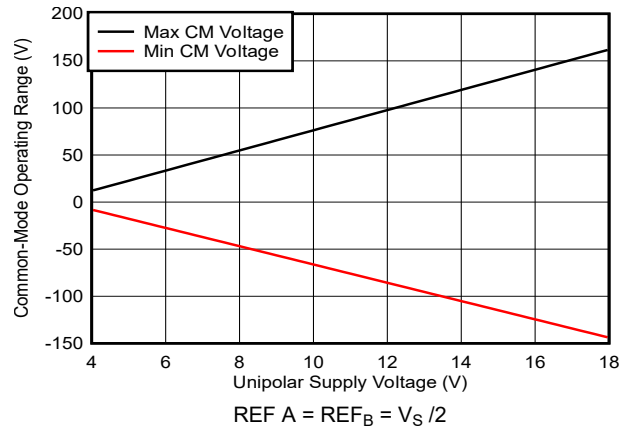


図 5-2. ユニポーラ電源による同相範囲

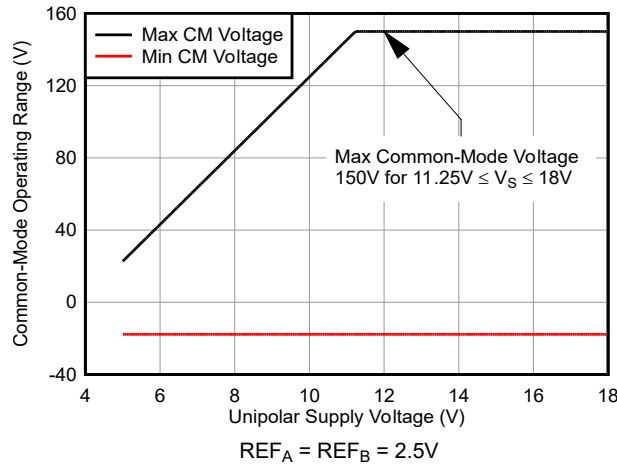


図 5-3. ユニポーラ電源と $\text{REF}_A = \text{REF}_B = 2.5\text{V}$ の場合の同相電圧範囲

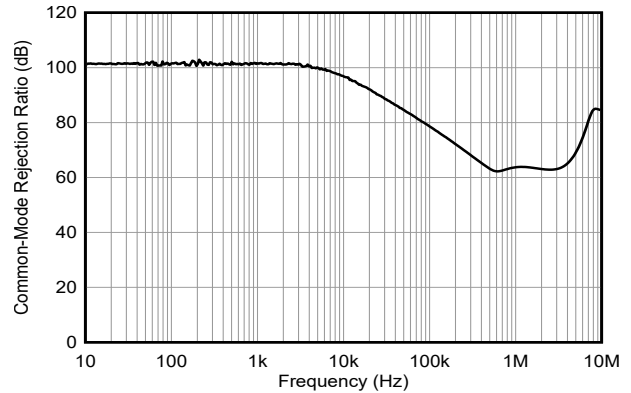


図 5-4. CMRR と周波数との関係

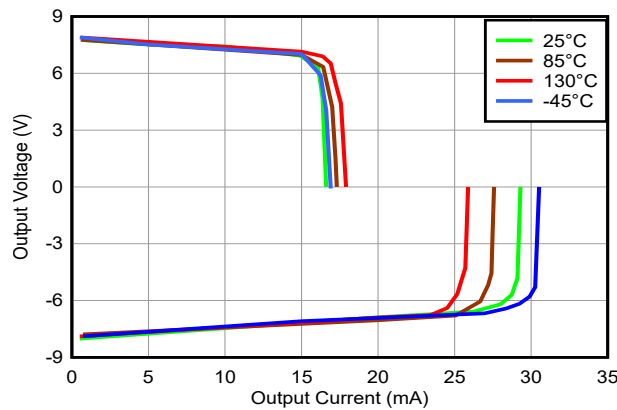


図 5-5. 出力電圧 対 負荷電流

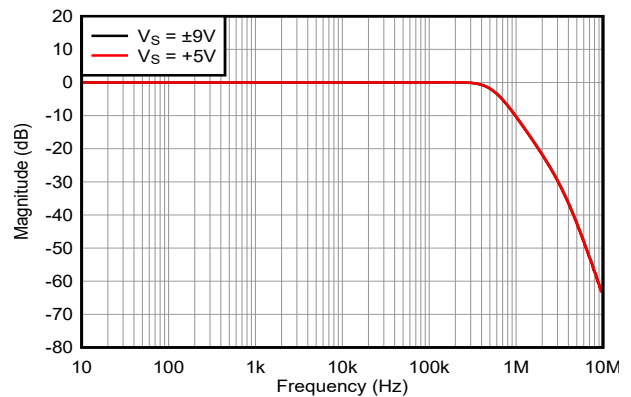


図 5-6. ゲインと周波数との関係

5.7 代表的特性 (続き)

$T_A = +25^\circ\text{C}$, $R_L = 2\text{k}\Omega$ をグラウンドに接続、 $\text{REF}_A = \text{REF}_B = \text{GND}$ 、 $V_S = \pm 9\text{V}$ (特に記述のない限り)

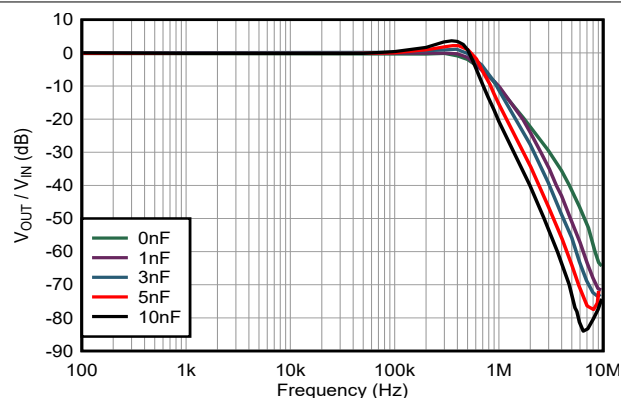


図 5-7. 周波数応答と容量性負荷との関係

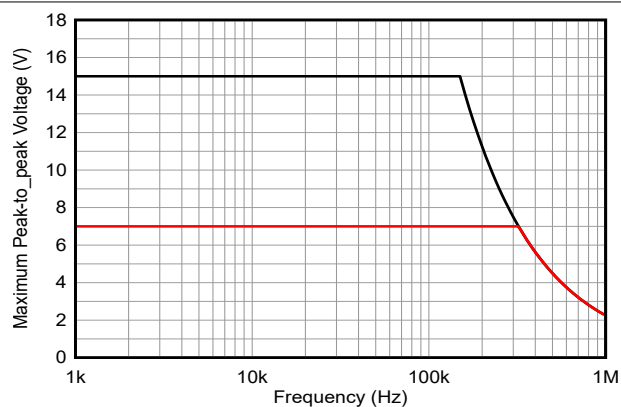


図 5-8. 大信号ステップ応答と周波数との関係

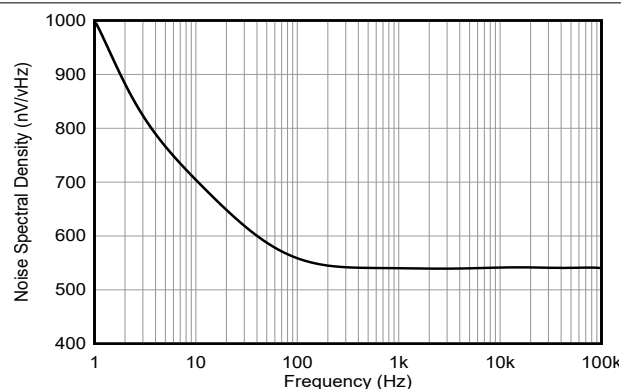


図 5-9. ノイズスペクトル密度 対 周波数

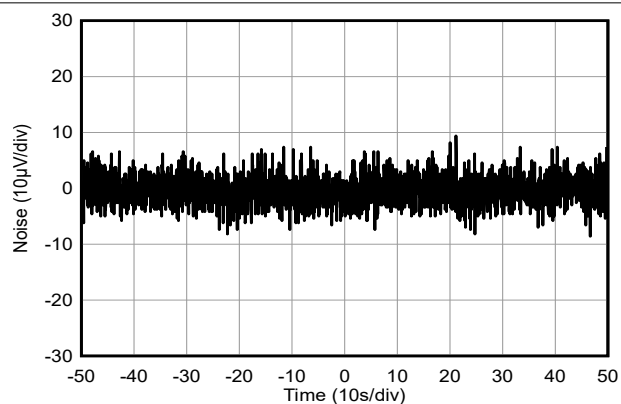


図 5-10. ノイズ 0.01Hz ~ 10Hz :

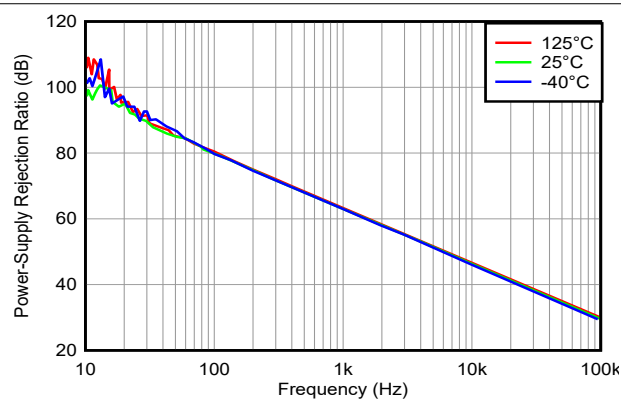


図 5-11. 正の PSRR と周波数との関係

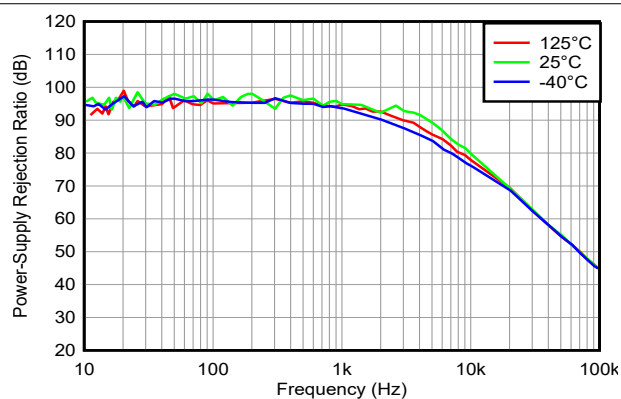


図 5-12. 負の PSRR と周波数との関係

5.7 代表的特性 (続き)

$T_A = +25^\circ\text{C}$, $R_L = 2\text{k}\Omega$ をグラウンドに接続、 $\text{REF}_A = \text{REF}_B = \text{GND}$, $V_S = \pm 9\text{V}$ (特に記述のない限り)

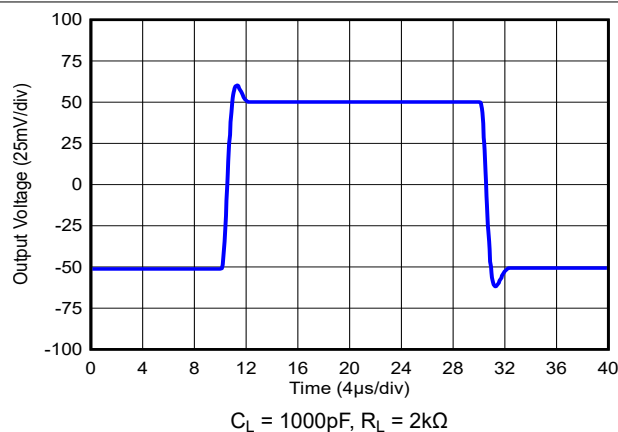


図 5-13. 小信号ステップ応答

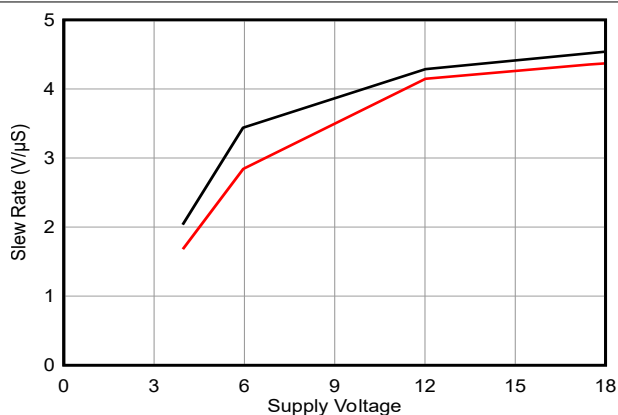


図 5-14. スルーレートと電源電圧との関係

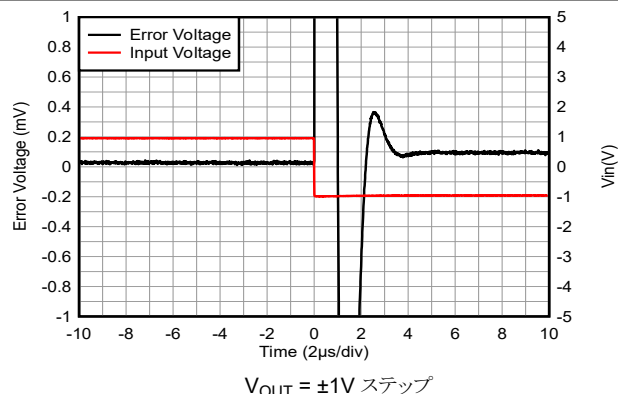


図 5-15. セトリングタイム、立ち下がり時間

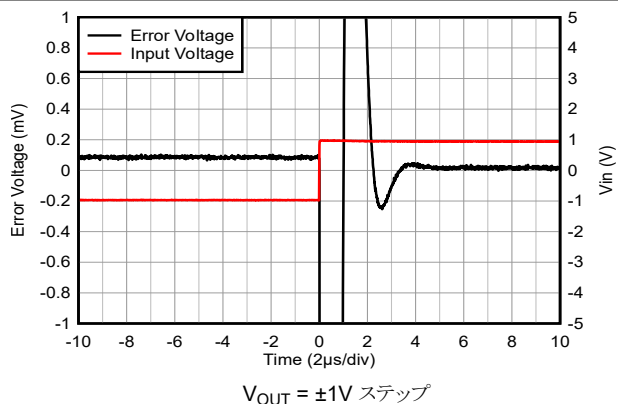


図 5-16. セトリングタイム、立ち上がり時間

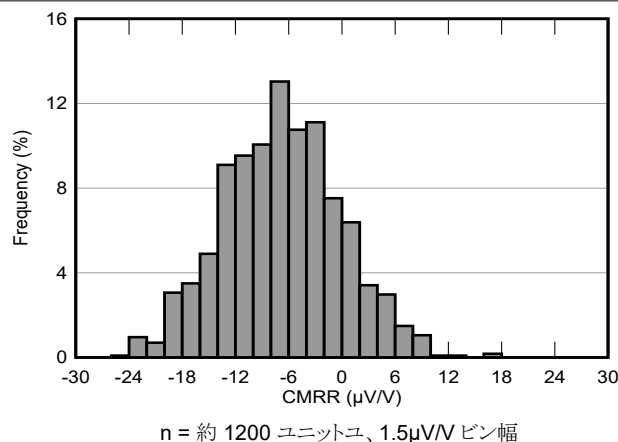


図 5-17. 同相除去比

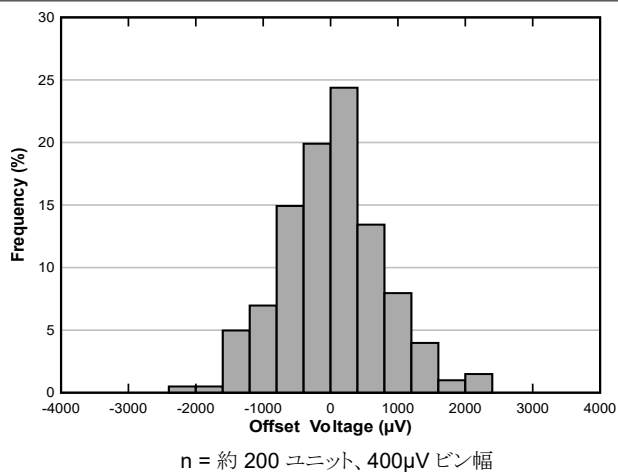


図 5-18. オフセット電圧

5.7 代表的特性 (続き)

$T_A = +25^\circ\text{C}$ 、 $R_L = 2\text{k}\Omega$ をグラウンドに接続、 $\text{REF}_A = \text{REF}_B = \text{GND}$ 、 $V_S = \pm 9\text{V}$ (特に記述のない限り)

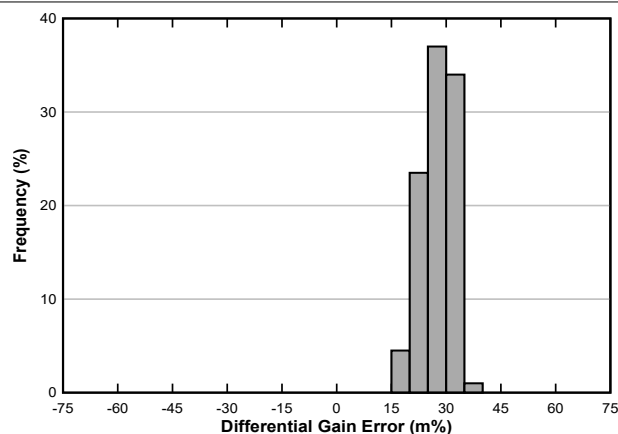


図 5-19. 差動ゲイン誤差

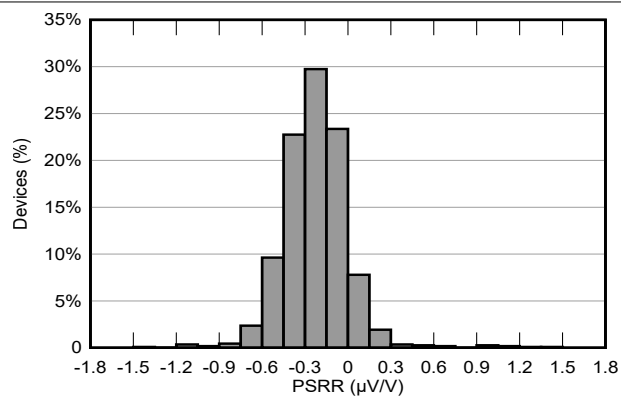


図 5-20. 電源除去比

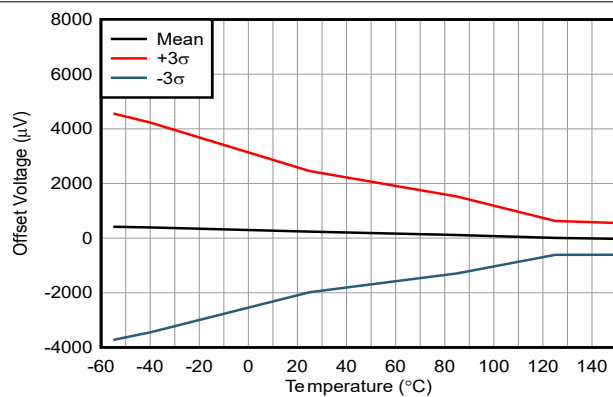


図 5-21. オフセット電圧と温度との関係

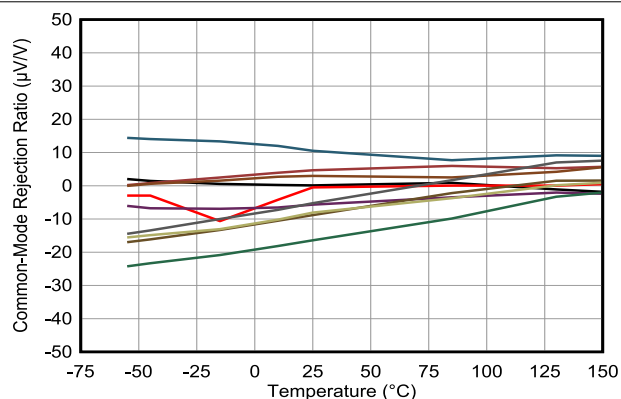


図 5-22. CMRR と温度との関係

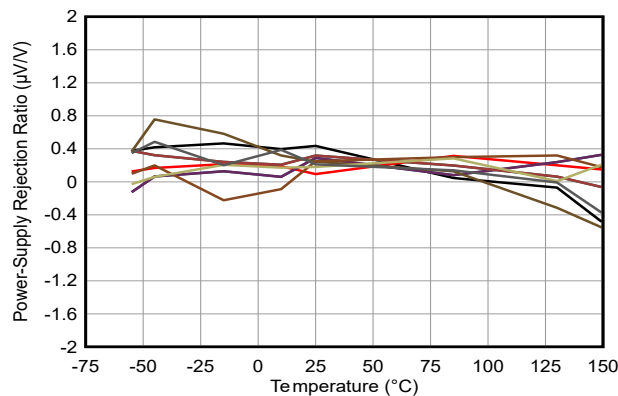


図 5-23. PSRR と温度との関係

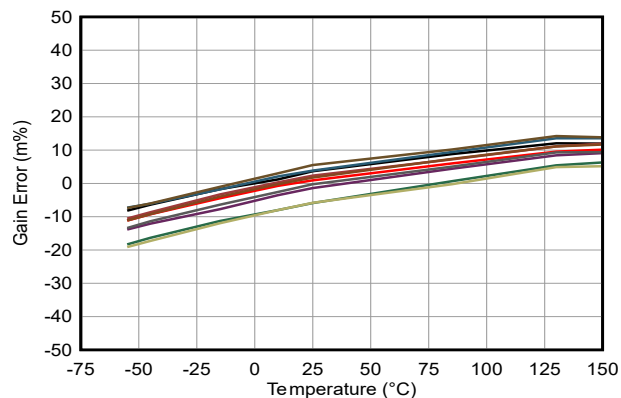


図 5-24. ゲイン誤差と温度との関係

5.7 代表的特性 (続き)

$T_A = +25^\circ\text{C}$ 、 $R_L = 2\text{k}\Omega$ をグランドに接続、 $\text{REF}_A = \text{REF}_B = \text{GND}$ 、 $V_S = \pm 9\text{V}$ (特に記述のない限り)

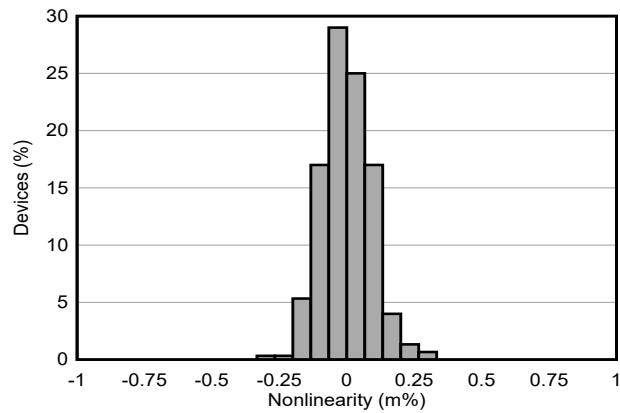


図 5-25. ゲインの非直線性

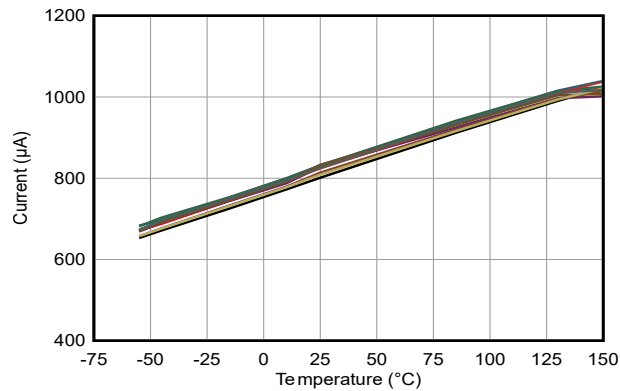


図 5-26. 静止電流と温度との関係

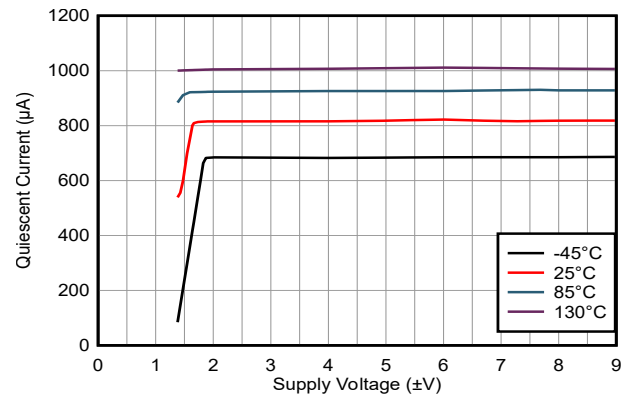


図 5-27. 静止電流と電源との関係

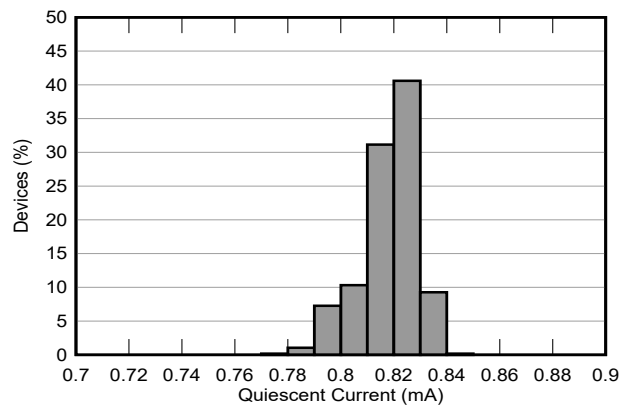


図 5-28. 静止電流のヒストグラム

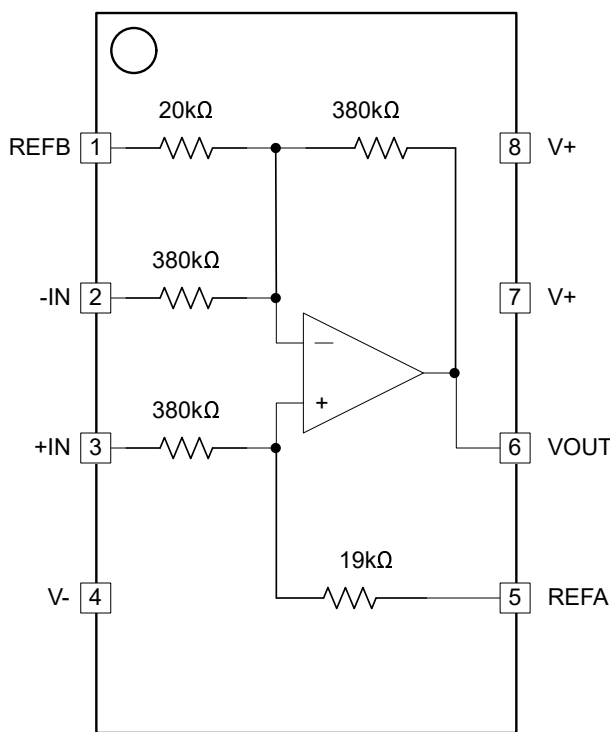
6 詳細説明

6.1 概要

INA1H94-SEP は、放射線耐性を備えた高電圧、高精度ユニティゲイン差動アンプです。INA1H94-SEP は、高精度オペアンプと内蔵の薄膜抵抗ネットワークで構成されています。モノリシック デバイスのオンチップ抵抗は、正確にトリムされているため、ディスクリート差動アンプを使用した設計に比べていくつかの利点があります。INA1H94-SEP は最大 $\pm 150\text{V}$ の同相モード信号が存在するときに小さな差動電圧を正確に測定できるとともに、高い同相除去比、高い直線性、低いゲイン誤差を実現しています。

INA1H94-SEP の機能ブロック図を次のセクションに示します。

6.2 機能ブロック図



6.3 機能説明

6.3.1 同相範囲

図 6-1 は、デュアル電源の動作に必要な基本的な接続を示しています。ノイズが多い、またはハイ インピーダンスの電源ラインを使用するアプリケーションでは、デバイスのピンの近くにデカップリング コンデンサを配置する必要がある場合があります。出力電圧は、+IN と -IN 間の差動入力電圧に等しくなります。同相入力電圧は除去されます。図 6-2 は、単一電源動作に必要な基本的な接続を示しています。

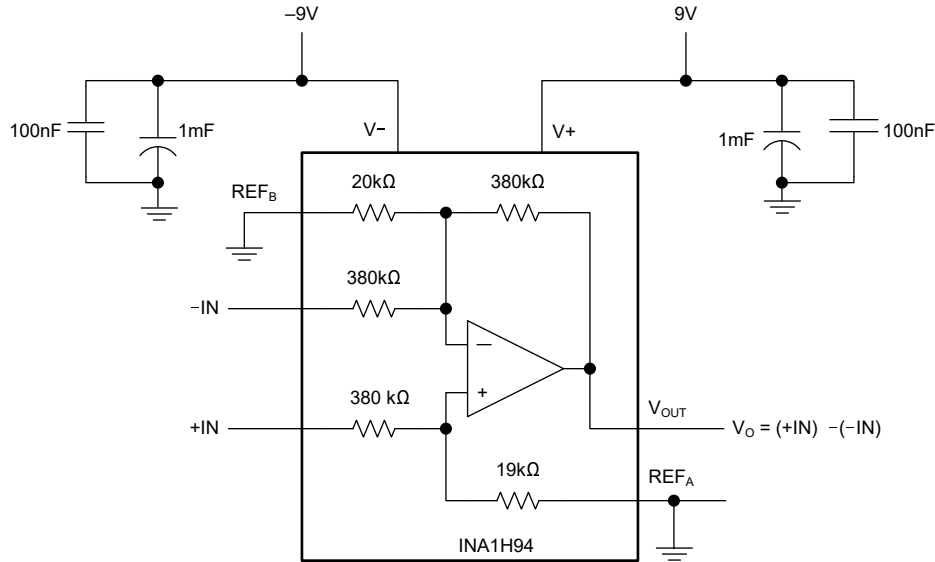


図 6-1. デュアル電源動作のための電源と信号の接続

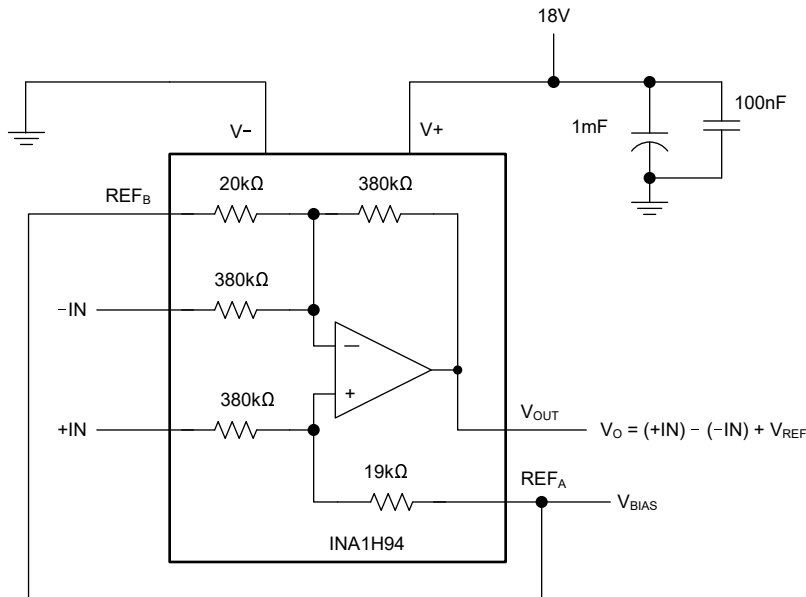


図 6-2. 単一電源動作のための電源と信号の接続

ほとんどのアプリケーションでは、INA1H94-SEP を単純なユニティ ゲイン 差動アンプとして使用します。式 1 に、伝達関数を示します。

$$V_{OUT} = (+IN) - (-IN) \quad (1)$$

ただし、一部のアプリケーションでは、基準端子 (REF_A および REF_B) に電圧が印加されます。式 2 に、完全な伝達関数を示します。

$$V_{OUT} = (+IN) - (-IN) + 20 \times REF_A - 19 \times REF_B \quad (2)$$

INA1H94-SEP は、高い同相電圧が存在する場合でも、最大入力範囲 $\pm 150V$ で小さな差動電圧を測定できるユニティ ゲイン 差動アンプです。INA1H94-SEP の高い同相電圧範囲は、高精度の抵抗デバイダで入力信号を減衰することで実

現れます。この抵抗デバイダにより、正負の両方の入力が入部オペアンプの入力範囲内に収まります。この入力範囲は、電源電圧によって制限され、差動アンプの REF_A および REF_B のリファレンス入力の関数でもあります。

最大許容同相入力電圧範囲は、アプリケーションの回路に応じて、電源電圧およびリファレンス入力電圧の関数として変化します。内部アンプの正入力と負入力の両方の電圧で、電源レールからのヘッドルームが $1.5V$ 以上であることを確認して、INA1H94-SEP 入力範囲を計算します。同様に、出力には電源レールから $1.5V$ 以上のヘッドルームが必要です。

図 6-3 の回路は、INA1H94-SEP の差動アンプ回路の概略回路図を示したもので、重要な内部ノード電圧を評価し、同相電圧および出力電圧スイングがリニア範囲内にとどまっていることを確認するために使用されます。差動アンプの同相入力電圧および差動入力電圧のリニア範囲は電源電圧、リファレンス入力電圧、アンプ出力スイングの関数であるため、INA1H94-SEP リニア動作チェッカを使用して、特定のアプリケーション回路におけるデバイスのリニア範囲を検証します。

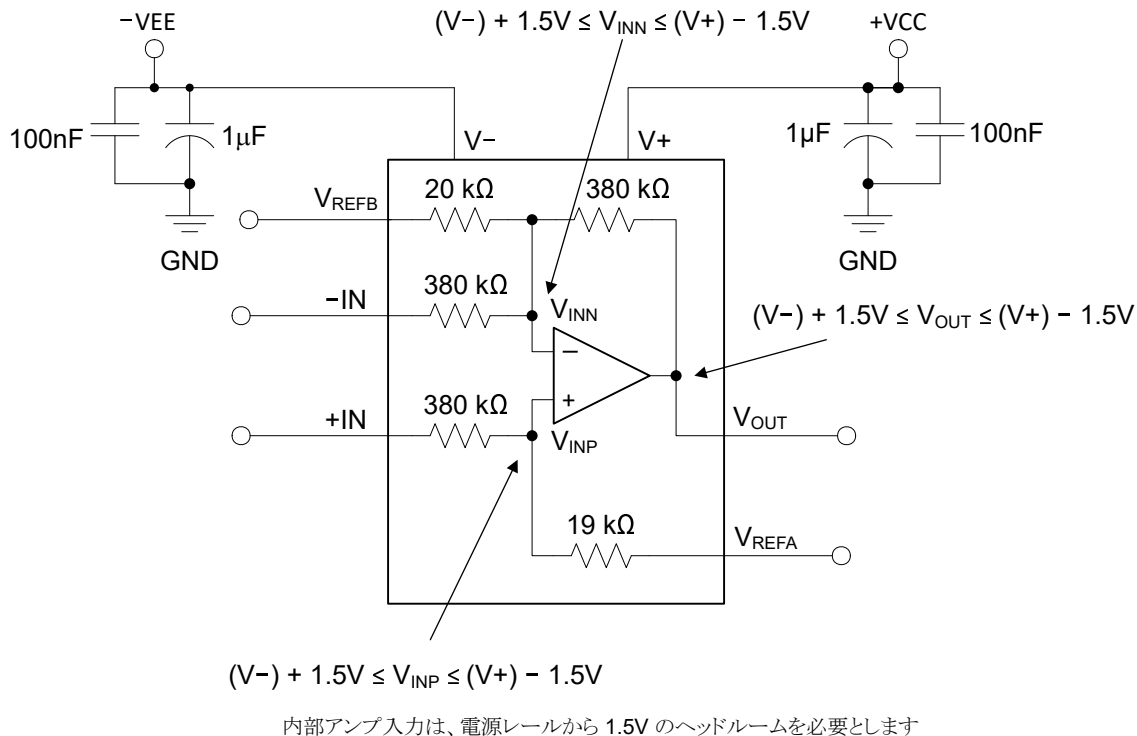


図 6-3. 内部アンプの入力電圧範囲と出力スイング

図 5-1 を使用して、 REF_A および REF_B が $0V$ にバイアスされている場合の特定の電源電圧における同相電圧範囲の最大値と最小値を求めます。図 5-2 を使用して、 REF_A および REF_B が中電圧または $V_S/2$ にバイアスされている場合の特定のユニポーラ電源電圧における同相電圧範囲の最大値と最小値を求めます。図 6-4 に、ユニポーラ電源で REF_A および REF_B が $2.5V$ にバイアスされた場合に可能な 1 つの回路構成を示します。図 6-5 を使用すると、 REF_A および REF_B が $2.5V$ にバイアスされている場合の特定のユニポーラ電源電圧における同相電圧範囲の最大値と最小値を求めることができます。

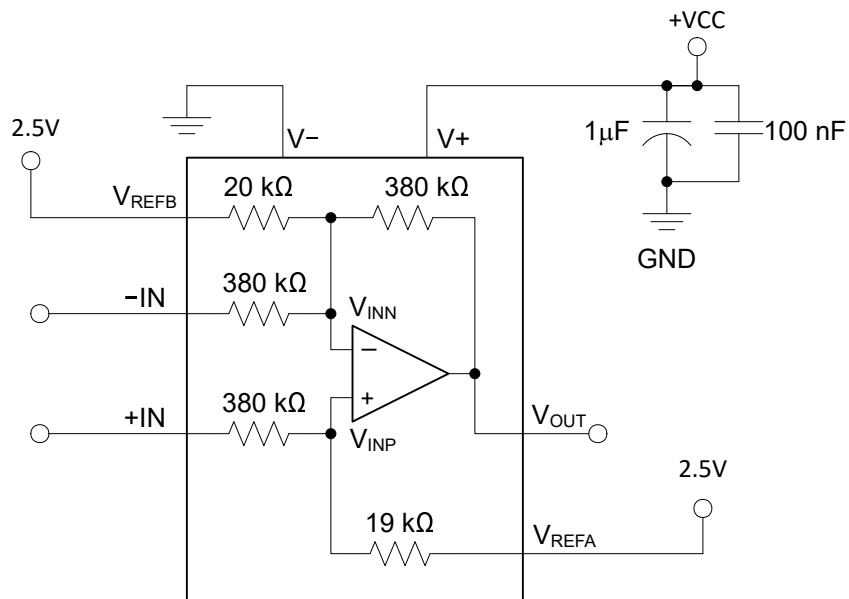


図 6-4. $REF_A = REF_B = 2.5V$ のユニポーラ電源回路

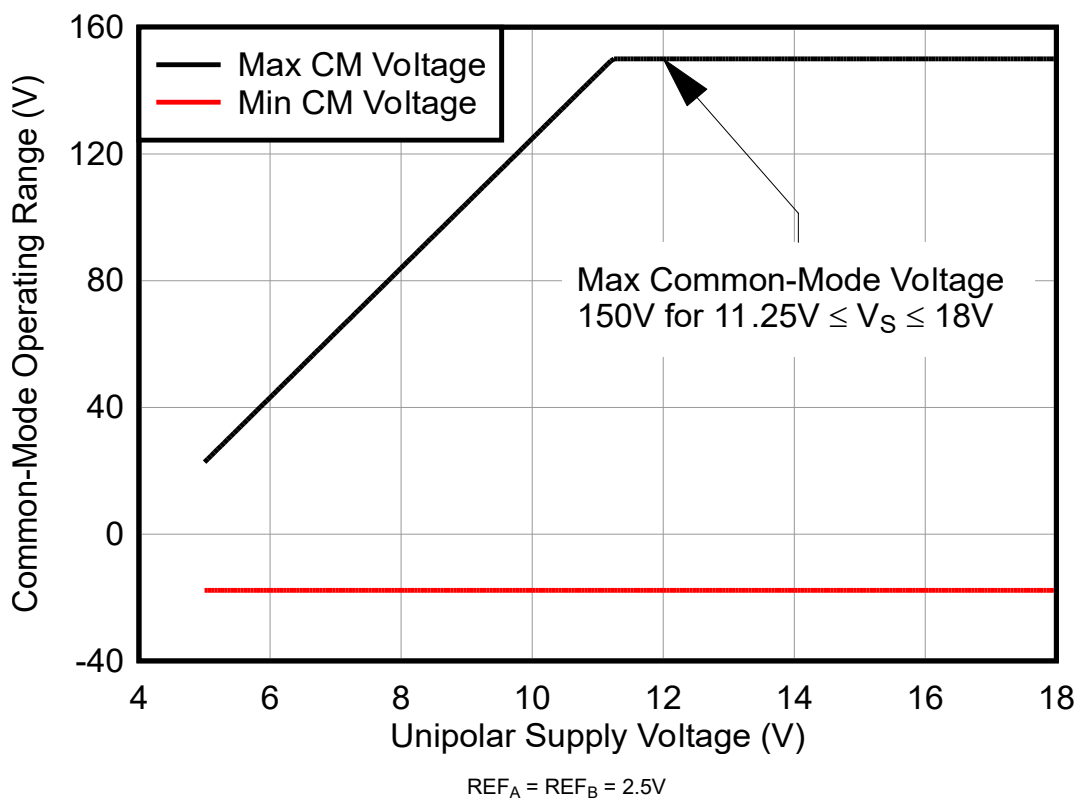


図 6-5. ユニポーラ電源と $REF_A = REF_B = 2.5V$ の場合の同相電圧範囲

内部アンプの入力電圧が電源電圧を超えると、内部 ESD ダイオードが電流の導通を開始します。絶対最大定格を超えないように、この電流は 10mA に制限する必要があります。

6.3.2 誤差発生源

INA1H94-SEP は、汎用アンプと抵抗を使用したディスクリート差動アンプの実装よりも優れています。ディスクリート設計では、個別の抵抗の公差が重なり、同相誤差、ゲイン誤差、温度ドリフトが増加します。標準的な公差 0.1% の抵抗を使用する場合、ディスクリート構成の差動アンプでは、マッチングされた薄膜抵抗ネットワークを備えた統合型設計よりも精度が低下します。INA1H94-SEP の高精度にトリムされた抵抗により、低いゲイン誤差と高い CMRR を実現します。以下の誤差バジェット分析では、高い同相電圧が存在する場合に小さな差動信号の測定に高い CMRR が重要であることを示しています。

図 6-6 に、バッテリーセル監視アプリケーションの INA1H94-SEP の概略回路図を示します。差動アンプは、バッテリーパック内の各セルの電圧を監視し、バッテリーの劣化状態を評価します。この例では、8 個の標準的なリチウムイオンセルをスタックした構成を示しています。公称電圧は 3.7V で、フル充電時のセルあたりの最大電圧は 4.2V です。INA1H94-SEP は同相電圧範囲が広く、絶縁回路を追加することなく、バッテリーパック内の任意のセルに直接インターフェイスできます。

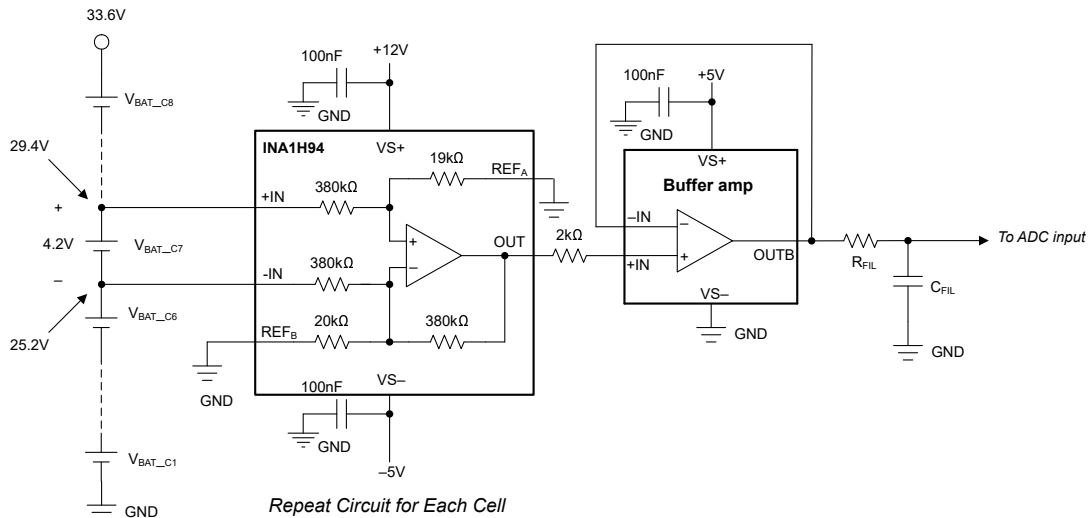


図 6-6. バッテリーセル監視アプリケーションの INA1H94-SEP の例

INA1H94-SEP は、内蔵抵抗ネットワークの優れたドリフト特性により、ユニティゲイン ($G = 1$) で非常に高い同相信号除去比、低いゲイン誤差、低いゲイン誤差ドリフトを実現しています。バッテリーセル監視アプリケーションでは、抵抗の mismatches とドリフトにより、ディスクリートアンプの同相誤差が大きな誤差源となります。ディスクリート実装では、同相誤差とゲイン誤差、およびそれに伴うドリフトが、他のすべての発生源に比べて、はるかに大きな誤差要因になります。

INA1H94-SEP は、温度変化に対する優れたゲイン誤差と同相信号除去を実現します。表 6-1 に、主な誤差発生源を示します。すべての計算では、バッテリーセルがフル充電された状態で、 $V_{OUT} = 4.2V$ のフルスケール出力電圧を想定しています。この例では、 $V_{DIFF} = 4.2V$ を想定して、セル C7 の誤差を計算しています。

$$V_{CM} = (29.4V + 25.2V)/2 = 27.3V \quad (3)$$

比較とシステム評価を容易にするため、誤差はマイクロボルト単位で、フルスケール出力電圧に対するパーセンテージとして計算します。

表 6-1 に、INA1H94-SEP のスタンドアローンでの推定 DC 誤差計算の例を示します。この計算では、デバイスの標準値を使用して、デバイスに想定される未補正の DC 精度を表す推定値を算出しています。

表 6-1. INA1H94-SEP : $T_A = 25^\circ C$ における標準仕様での推定 DC 精度

誤差発生源	誤差の計算	仕様 (標準)	誤差 RTI (μV)	4.3V フルスケールの誤差 (%)
25°C での絶対精度				

表 6-1. INA1H94-SEP : $T_A = 25^\circ\text{C}$ における標準仕様での推定 DC 精度 (続き)

誤差発生源	誤差の計算	仕様 (標準)	誤差 RTI (μV)	4.3V フルスケー ルの誤差 (%)
入力段のオフセット電圧 V_{OS}	V_{OS}	700 μV	700.0 μV	0.016%
ゲイン誤差 GE	$GE \times \text{FullScale}_{\text{Cell}}$	0.025%	1075.0 μV	0.025%
同相電圧 (バッテリー セル #7) V_{CM}	$V_{CM} = \frac{(+IN) + (-IN)}{2}$	$V_{CM} = \frac{(29.4\text{V}) + (25.2\text{V})}{2} = 27.3\text{V}$		
同相信号除去比 CMRR _{ERROR}	$\left(\frac{V_{CM}}{10^{\text{CMRR}(\text{dB})/20}}\right), V_{CM} = 27.3\text{V}$	100dB	273.0 μV	0.006%
電源除去比 電源変動 1.2V PSRR _{ERROR}	$\left(\frac{V_{S_VAR}}{10^{\text{PSRR}(\text{dB})/20}}\right), V_{S_VAR} = 1.2\text{V}$	120dB	1.2 μV	0.000%
$T_A = 25^\circ\text{C}$ での 2 乗和平方根を使用した合計誤差の計算				
25$^\circ\text{C}$ (RSS) での合計誤差	$\sqrt{V_{OS}^2 + GE^2 + \text{CMRR}_{\text{ERROR}}^2 + \text{PSRR}_{\text{ERROR}}^2}$		1311.5μV	0.031%

表 6-2 に、拡張温度範囲における INA1H94-SEP のワーストケースの DC 誤差計算の例を示します。この計算では、TID 照射後の同相信号除去を含むデータシートの最大仕様を使用して、ワーストケースの未補正の DC 精度の推定値を算出します。一部のアプリケーションでは、入力を同相電圧へ短絡しながら出力を測定することにより、補正時に初期オフセット誤差を簡単に除去できます。ヌル オフセット補正を行った後は、オフセットドリフト誤差のみが残ります。

表 6-2. INA1H94-SEP : 拡張温度範囲における最大仕様からの推定 DC 精度

誤差発生源	誤差の計算	仕様 (最大)	誤差 RTI (μV)	4.3V フルスケー ルの誤差 (%)
全温度範囲内の $T_A = -55^\circ\text{C} \sim +125^\circ\text{C}$ での絶対精度				
入力段のオフセット電圧 V_{OS}	V_{OS}	7500 μV	7500.0 μV	0.174%
ゲイン誤差 GE	$GE \times \text{FullScale}_{\text{Cell}}$	0.067%	2881 μV	0.067%
同相電圧 (バッテリー セル #7) V_{CM}	$V_{CM} = \frac{(+IN) + (-IN)}{2}$	$V_{CM} = \frac{(29.4\text{V}) + (25.2\text{V})}{2} = 27.3\text{V}$		
同相信号除去比 CMRR _{ERROR}	$\left(\frac{V_{CM}}{10^{\text{CMRR}(\text{dB})/20}}\right), V_{CM} = 27.3\text{V}$	80dB	2730.0 μV	0.063%
電源除去比 電源変動 1.2V PSRR _{ERROR}	$\left(\frac{V_{S_VAR}}{10^{\text{PSRR}(\text{dB})/20}}\right), V_{S_VAR} = 1.2\text{V}$	90dB	37.9 μV	0.001%
全温度範囲内の $T_A = -55^\circ\text{C} \sim +125^\circ\text{C}$ での 2 乗和平方根を使用した合計誤差の計算				
25$^\circ\text{C}$ (RSS) での合計誤差	$\sqrt{V_{OS}^2 + GE^2 + \text{CMRR}_{\text{ERROR}}^2 + \text{PSRR}_{\text{ERROR}}^2}$		8465μV	0.197%

6.4 デバイスの機能モード

INA1H94-SEP の推奨最大電源条件は、 $V_S = 18\text{V}$ です。これは、18V のシングルエンド電源、または $\pm 9\text{V}$ 分割電源で実現します。最小電源条件は、 $V_S = 4\text{V}$ です。

INA1H94-SEP は差動アンプで、最大入力同相電圧範囲と差動入力電圧範囲は、電源電圧とリファレンス電圧入力によって変化します。特定の REF_A および REF_B バイアス条件のある例での同相電圧範囲と電源電圧の関係については、[図 5-1](#)、[図 5-2](#)、および [図 5-3](#) を参照してください。計算、シミュレーション、または [INA1H94-SEP リニア動作チェック](#) を使用して、デバイスのリニア範囲をチェックし、設計がさまざまな REF_A および REF_B バイアス構成のデバイスの入力同相

電圧範囲の制限、差動入力電圧範囲、および出力スイングに準拠していることを確認するようにしてください。追加情報については、[セクション 6.3.1](#) も参照してください。

INA1H94-SEP の同相信号除去 (CMR) は、入力抵抗ネットワークに依存し、これはレーザトリムされて正確な比率マッチングを行います。高い CMR を維持するには、2 つの入力を駆動するソース インピーダンスを必ず低くしてください。入力ピンの +IN および -IN と直列に 75Ω の抵抗を接続すると、同相除去比 (CMRR) が 100dB (標準値) から 74dB に低下します。リファレンスピンと直列の抵抗でも CMR が低下します。

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

図 7-1 に、代表的なアプリケーション INA1H94-SEP の基本的な接続を示します。デバイス ピンの近くに電源バイパス コンデンサを接続します。同相信号が差動信号に変換されないようにするために、両方の入力パス接続が対称であり、ソース インピーダンスと容量に対して適切にマッチングされていることを確認してください。

正入力と負入力の各ソース インピーダンスは、良好な同相信号除去を実現するため、ほぼ等しくする必要があります。ソース インピーダンスの 75Ω の不整合により、一般的なデバイスのコモンモード除去率は約 74dB に低下します。ゲイン精度も、入力インピーダンスのミスマッチの影響をわずかに受けます。ソースに既知のインピーダンス ミスマッチがある場合は、1 つの入力に抵抗を直列に追加して、良好な同相除去を維持してください。

7.2 代表的なアプリケーション

7.2.1 SAR ADC 12B、8 チャネル バッテリ セル電圧モニタ

アプリケーション回路 図 7-1 は、バッテリ セル電圧監視システム用の回路図を示しています。この回路例は、標準的なリチウムイオン 4.2V バッテリ 8 個をサポートするように設計されています。差動アンプを使用して、バッテリ パック内の各バッテリセルの電圧レベルを監視し、バッテリの正常性の状態を監視します。

INA1H94-SEP ユニティゲイン差動アンプを使用することで、バッテリ監視回路は各バッテリセルからの電圧を正確に測定し、コモンモード電圧を ADC 入力範囲へレベルシフトすることで機能します。INA1H94-SEP は、 $+12\text{V}$ ($\text{VS}+$) と -5V ($\text{VS}-$) のバイポーラ電源で動作します。差動アンプは、 33.6V 、8 セルのバッテリ スタックで各バッテリセルの入力同相電圧に対応できます。

ADC128S12QML-SP は耐放射線特性が強化された 12 ビット、8 チャネル、 $50\text{kSPS} \sim 1\text{MSPS}$ の逐次比較型 (SAR) ADC で、 5V ユニポーラ電源で動作します。INA1H94-SEP オペアンプは差動アンプ出力をバッファし、最高 500kSPS のサンプリング レートで SAR ADC の駆動をサポートします。

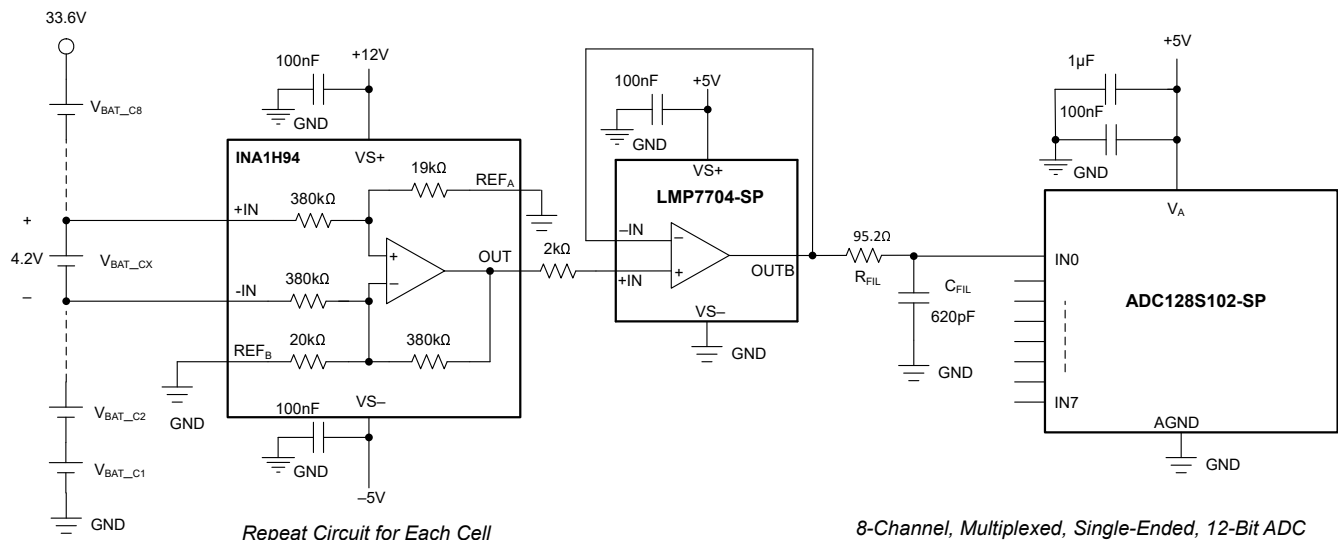


図 7-1. INA1H94-SEP バッテリ セル モニタ回路 - バイポーラ電源

または、[図 7-2](#) はユニポーラ + 12V (VS+) 電源から電力を供給されるバッテリー セル モニタ回路をに示します。INA1H94-SEP はレール ツー レール出力スイングをサポートしないため、+2.5V のリファレンスを追加できるようになります。差動アンプの出力スイングには、負電源 (VS-) よりも少なくとも 1.5V 上のヘッドルームが必要です。この場合、差動アンプの出力リニア範囲を満たすために、REF_A および REF_B リファレンス入力ピンを 1.5V を超える電圧にバイアスする必要があります。INA の出力を、許容誤差 0.05% の抵抗を使用して分圧器に供給し、信号を ADC の 5V フルスケール範囲内に変換します。

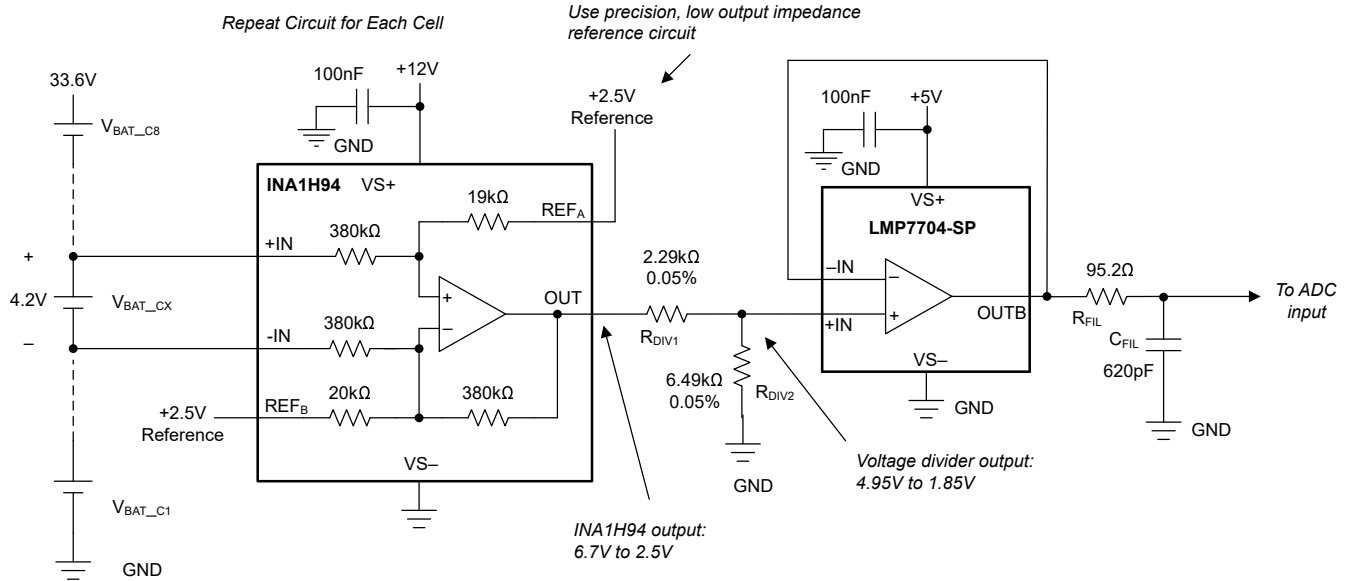


図 7-2. INA1H94-SEP バッテリー セル モニタ回路 - ユニポーラ電源

7.2.1.1 設計要件

表 7-1 は、バッテリー監視アプリケーションの設計要件を示します。

表 7-1. 設計要件

パラメータ	値
電源電圧 (バイポーラ電源回路)	VS+ = +12V、VS- = -5V
電源電圧 (ユニポーラ電源回路)	VS+ = +12V、VS- = GND、REF _A = REF _B = +2.5V
バッテリー直列接続セルの数	8
バッテリー セル電圧	3V ~ 4.2V
ADC のフルスケール範囲	FSR = +5V
サポートされている最大サンプリングレート	500 kSPS (ADC 最高サンプリングレート: 1 MSPS)

7.2.1.2 詳細な設計手順

- C_{FIL} 直線性を向上させ、セトリング誤差を低減するために、高グレードの C0G (NP0) コンデンサを選択します。
- バイポーラ電源を使用したバッテリー監視回路で、短い低インピーダンス接続を使用して、REF_A および REF_B 入力リファレンスピンを GND に接続します。
- ユニポーラ電源を使用したバッテリー モニタ回路では、高精度、低ノイズ、低出力インピーダンスのリファレンス回路を使用して、REF_A および REF_B 入力を駆動します。
- R_{DIV1} と R_{DIV2} には高精度 0.05%、低ドリフトの抵抗を使用し、分圧器の誤差とドリフトを最小限に抑えます。これらの抵抗値は、4.2V のバッテリー セルと 5V のフルスケール レンジ ADC に対してスケールされます。
- ADC128S102-SP 入力に配置された R-C フィルタにより、SAR が電荷キックバック フィルタとして駆動されます。フィルタ部品の値は、データ コンバータのサンプリングレート、ADC のサンプル/ホールド構造、データ コンバータの要件によって異なります。フィルタの組み合わせ (R_{FIL} と C_{FIL}) は、ADC のサンプル/ホールドのセトリング性能に合わせ

て調整され、アンプの安定性を維持します。部品値の選択は、データコンバータのサンプリングレート、ADC サンプル / ホールド構造によって異なります。

- この例に示す R-C フィルタ値は、ADC128S102-SP 12 ビット SAR ADC を 500kSPS のサンプリングレートで駆動する LMP7704-SP で優れた安定性とセトリング性能を実現します。回路を変更する場合や、より高いサンプリングレートが必要な場合、回路設計者は、ADC の特性やアプリケーションのニーズに応じて、別のバッファアンプと R-C フィルタの値を選択できます。

7.2.1.3 アプリケーション曲線

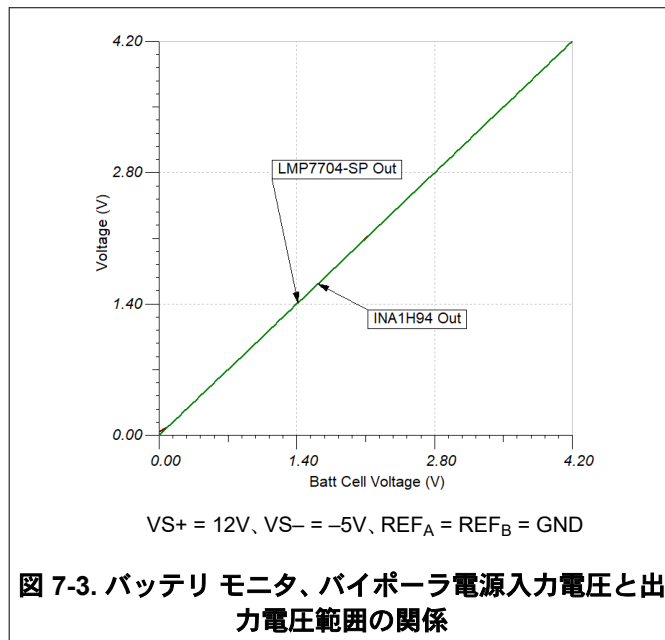


図 7-3. バッテリー モニタ、バイポーラ電源入力電圧と出力電圧範囲の関係

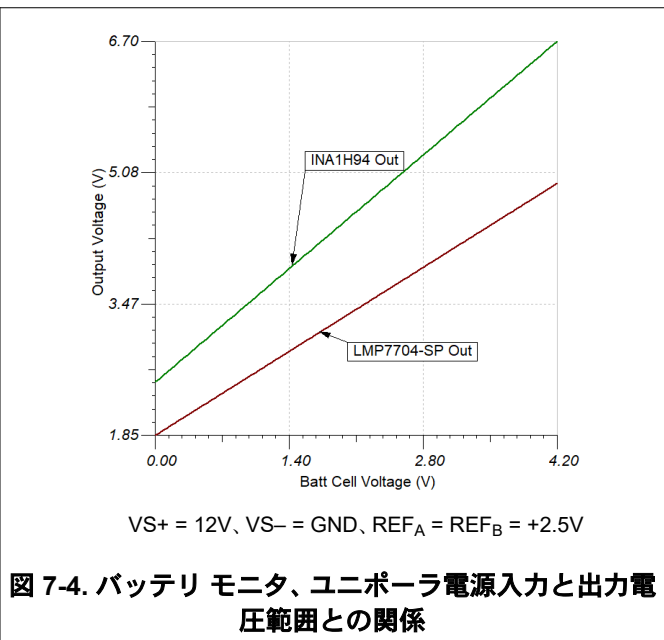


図 7-4. バッテリー モニタ、ユニポーラ電源入力と出力電圧範囲との関係

7.3 電源に関する推奨事項

INA1H94-SEP の公称性能は、単一電源で 4V ~ 18V、デュアル電源で $\pm 2V$ ~ $\pm 9V$ の電源電圧で動作が規定されています。許容される入力同相電圧範囲、差動入力電圧範囲、出力スイングは、電源電圧およびリファレンス入力の関数として変化します。計算、シミュレーション、または [INA1H94-SEP リニア動作チェッカ](#) を使用して、デバイスのリニア範囲をチェックし、設計がデバイスの入力同相範囲、差動入力電圧範囲、および出力スイングに準拠していることを確認するようにしてください。詳細については、[セクション 6.3.1](#) を参照してください。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- 寄生インピーダンスのミスマッチを最小限に抑えるため、差動信号は互いに配線します。同相信号が差動信号に変換されないようにするために、両方の入力パスが対称であり、ソースインピーダンスと容量に対して適切にマッチングされていることを確認してください。
- 入力ペアをシールドするため、グランドパターンを使用します。または、デバイスの下に専用のアナロググランドプレーンを使用することもできます。寄生カップリングを低減するには、敏感な入力配線をイズ源や電源配線からできるだけ離して配置します。これらの配線を分離した状態にすることができない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに効果的です。
- ノイズが回路の電源を経由して、アナログ回路に伝播することがあります。バイパスコンデンサは、差動アンプ回路に対して局所的に低インピーダンスの電源を供給することにより、結合ノイズを低減します。

- デバイスへの電源は、低ノイズで、適切にバイパスされている必要があります。 $V+$ および $V-$ 電源ピンの近くに、低 ESR のセラミック バイパス コンデンサを使用します。電源ピンとバイパス コンデンサの間にビアを配置しないでください。短い低インピーダンスのパスを使用して、すべてのグランド ピンをグランド プレーンに接続します。
- 単一電源アプリケーションの場合は、 $V+$ からグランドに対して 1 つのバイパス コンデンサを接続します。
- 熱接続部の数を最小限に抑えます。可能なら、ビアなしで単一の層を使用して信号パスを配線します。
- 主要な熱エネルギー ソースからは十分に距離を離します (消費電力が大きい回路)。それができない場合は、差動信号路のハイ サイドとロー サイドの熱エネルギー ソースの影響が一致するようにデバイスを配置します。
- 配線はできる限り短くします。

7.4.2 レイアウト例

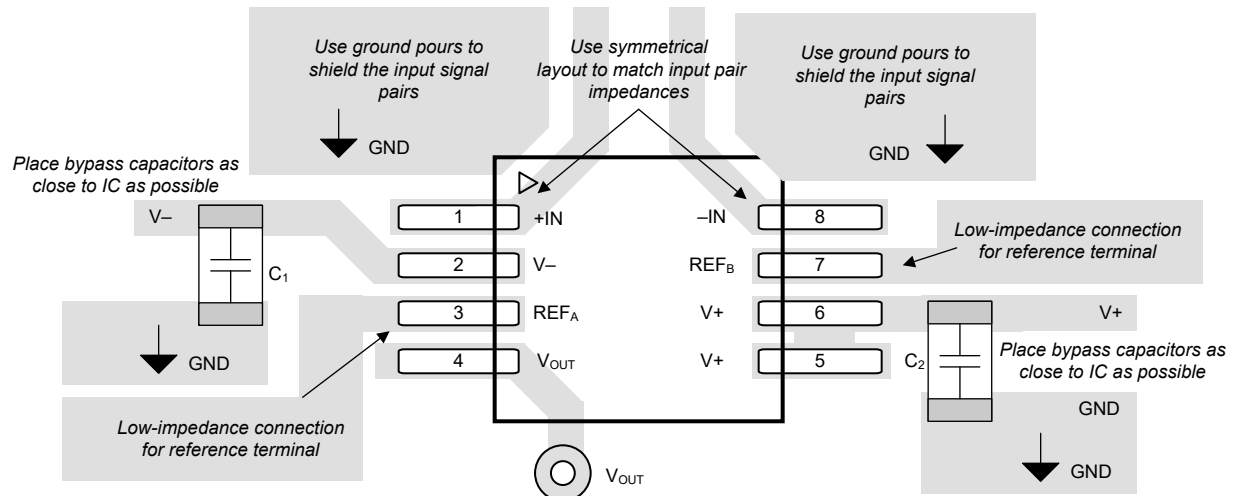


図 7-5. INA1H94-SEP のレイアウト例

8 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

8.1 デバイス サポート

8.1.1 ドキュメントのサポート

8.1.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、[INA1H94-SEP シングル イベント効果 \(SEE\) 放射線レポート](#)
- テキサス インスツルメンツ、[INA1H94-SEP 耐放射線、高同相電圧差動アンプ TID レポート](#)
- テキサス インスツルメンツ、[INA1H94-SEP 生産フローおよび信頼性レポート 放射線レポート](#)
- テキサス インスツルメンツ、[INA1H94-SEP 評価基板 EVM ユーザー ガイド](#)

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ **E2E™ サポート・フォーラム**は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (December 2025) to Revision A (September 2026)	Page
• 図 5-3 を追加.....	7
• 同相電圧範囲の説明を追加.....	12
• 「誤差発生源」セクションを追加.....	16
• 同相電圧範囲の説明を追加.....	17

- 同相電圧範囲の説明を追加.....21
-

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA1H94DTSEP	Active	Production	SOIC (D) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	149SEP
V62/25652-01XE	Active	Production	SOIC (D) 8	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	149SEP

- ⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).
- ⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- ⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- ⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- ⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- ⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

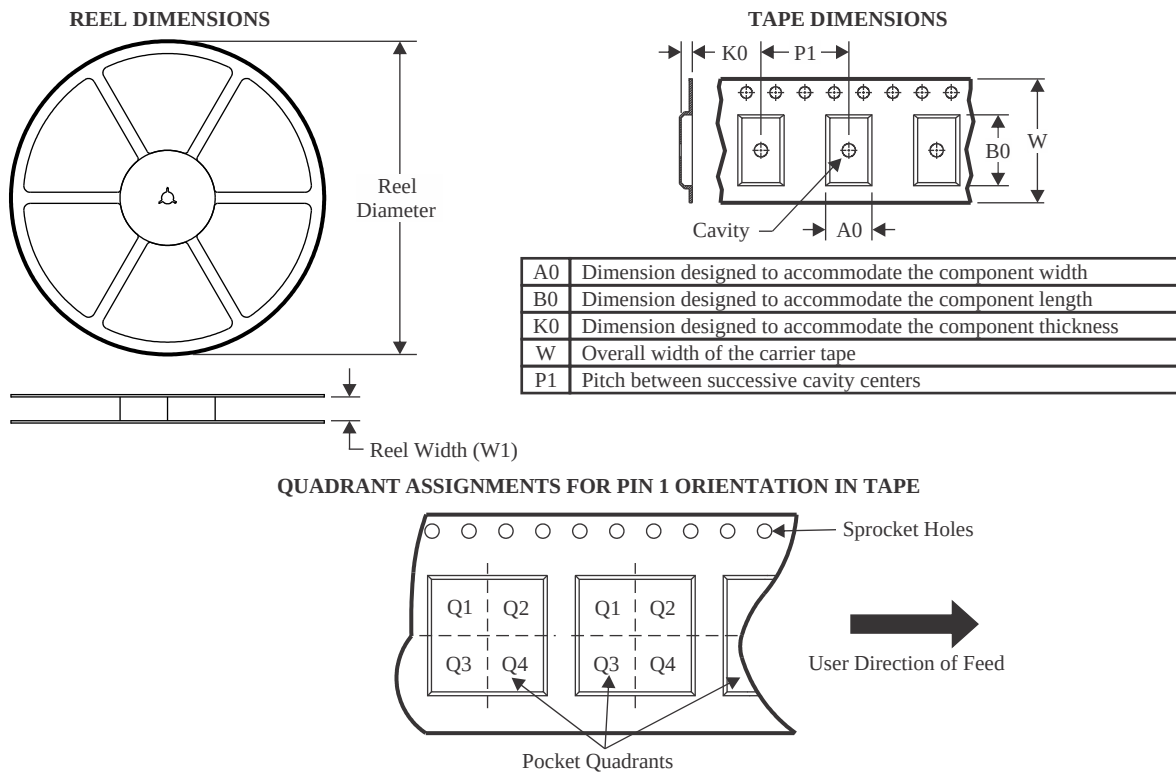
OTHER QUALIFIED VERSIONS OF INA1H94-SEP :

- Space : [INA1H94-SP](#)

NOTE: Qualified Version Definitions:

- Space - Radiation tolerant, ceramic packaging and qualified for use in Space-based application

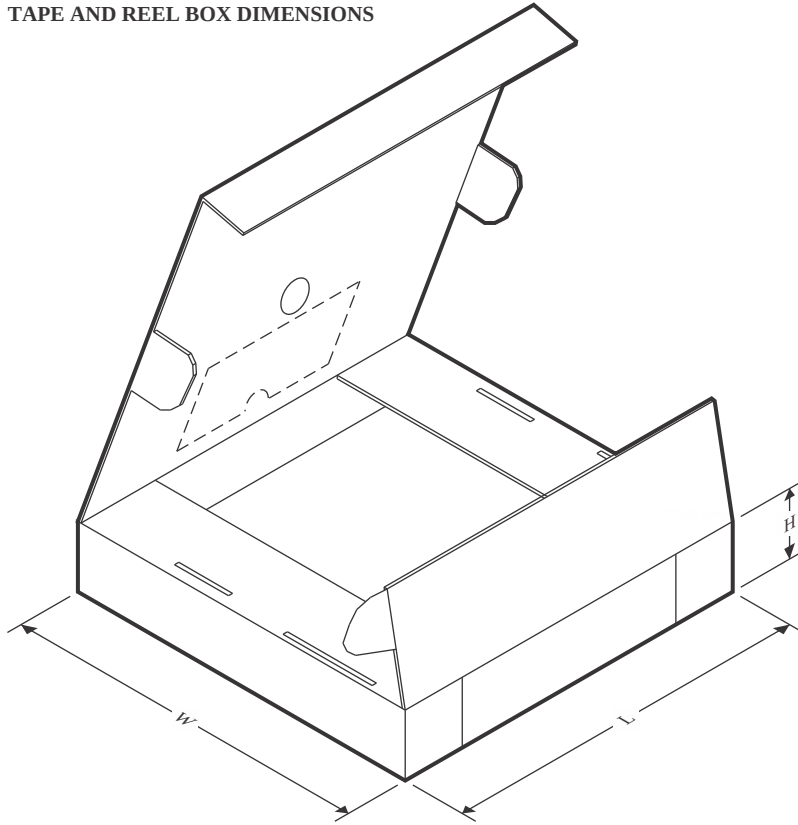
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA1H94DTSEP	SOIC	D	8	250	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA1H94DTSEP	SOIC	D	8	250	353.0	353.0	32.0



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



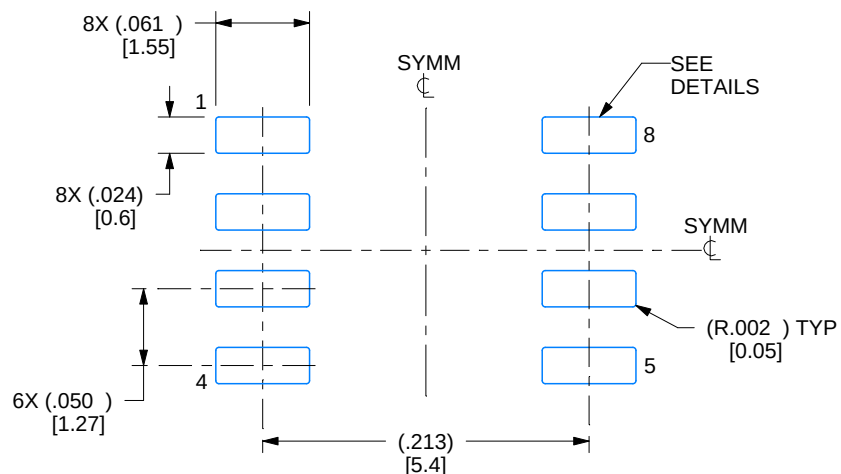
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

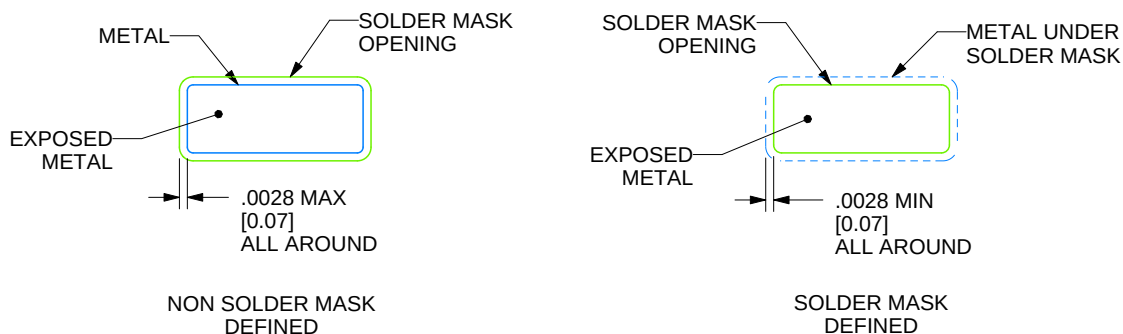
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

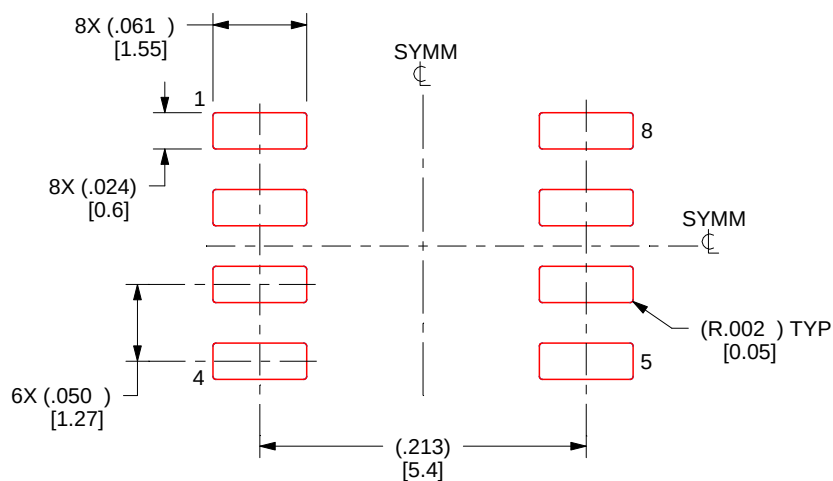
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月