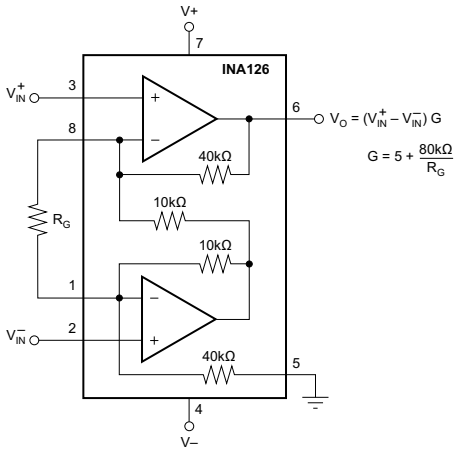
INAx126 マイクロパワー計測アンプ

1 特長

- 低い静止電流：175µA / チャネル
- 幅広い電源電圧範囲：±1.35V ～ ±18V
- 低いオフセット電圧：最大 250µV
- 小さいオフセットドリフト：3µV/℃ (最大値)
- 低ノイズ：35nV/√Hz
- 低い入力バイアス電流：最大 25nA
- 温度範囲：–40°C ～ +85°C
- さまざまなパッケージ オプション：
  - シングル チャネル：
    - INA126P/PA 8 ピン PDIP (P)
    - INA126U/UA 8 ピン SOIC (D)
    - INA126E/EA 8 ピン VSSOP (DGK)
  - デュアル チャネル：
    - INA2126P/PA 16 ピン PDIP (N)
    - INA2126U/UA 16 ピン SOIC (D)
    - INA2126E/EA 16 ピン SSOP (DBQ)

2 アプリケーション

- レベル・トランスミッタ
- 流量トランスミッタ
- マルチパラメータ・メディカル・モニタ
- 混合モジュール (AI、AO、DI、DO)
- AC 充電 (バッテリ) ステーション
- 点滴用ポンプ
- 心電図 (ECG)



概略回路図：INA126

3 説明

INA126 と INA126 (INAx126) は、高精度、低ノイズの差動信号アクイジション向けの高精度計測アンプです。2 オペアンプ設計は、低静止電流 (175µA/チャネル) で優れた性能を発揮します。これらの特長と ±1.35V～±18V の広い動作電圧範囲を兼ね備えた INAx126 は、ポータブル計測機器およびデータ アクイジション システムに最適な選択肢です。

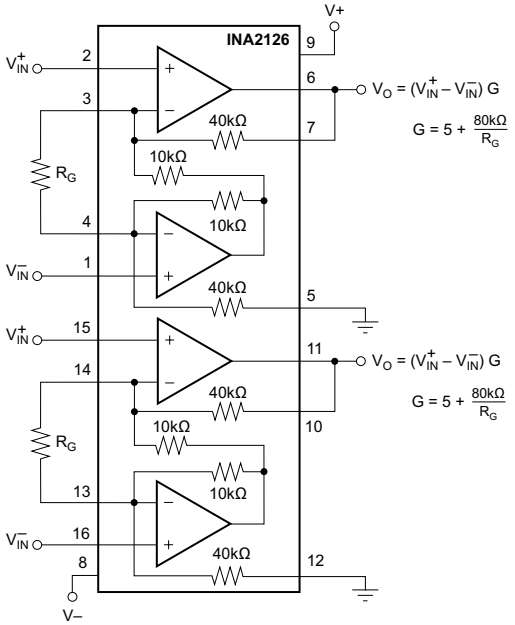
ゲインは、1 個の外付け抵抗で 5V/V～10000V/V の範囲で設定できます。高精度入力回路により、低いオフセット電圧 (250µV、最大値)、低いオフセット電圧ドリフト (3µV/℃、最大値)、優れた同相信号除去が得られます。

すべてバージョンの工業用温度範囲は -40℃～+85℃に規定されています。

製品情報

部品番号	チャネル数	パッケージ(1)
INA126	シングル	P (PDIP、8)
		D (SOIC、8)
		DGK (VSSOP、8)
INA2126	デュアル	N (PDIP、16)
		D (SOIC、16)
		DBQ (SSOP、16)

(1) 詳細については、セクション 10 を参照してください。



概略回路図：INA2126

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....5
5.4 熱に関する情報：INA126.....6
5.5 熱に関する情報：INA2126.....6
5.6 電気的特性.....7
5.7 代表的特性.....9
6 詳細説明.....13
6.1 概要.....13
6.2 機能ブロック図.....13
6.3 機能説明.....13
6.4 デバイスの機能モード.....13
7 アプリケーションと実装.....14
7.1 アプリケーション情報.....14
7.2 代表的なアプリケーション.....14
7.3 電源に関する推奨事項.....18
7.4 レイアウト.....18
8 デバイスおよびドキュメントのサポート.....21
8.1 デバイス サポート.....21
8.2 ドキュメントのサポート.....21
8.3 ドキュメントの更新通知を受け取る方法.....21
8.4 サポート・リソース.....21
8.5 商標.....21
8.6 静電気放電に関する注意事項.....21
8.7 用語集.....21
9 改訂履歴.....22
10 メカニカル、パッケージ、および注文情報.....23

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

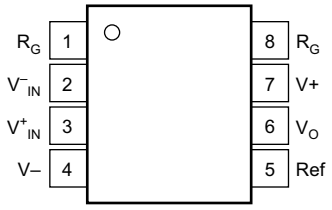


図 4-1. INA126：P (8 ピン PDIP)、D (8 ピン SOIC)、DGK (8 ピン VSSOP) パッケージ、上面図

表 4-1. ピンの機能：INA126

ピン		タイプ(1)	説明
番号	名称		
1、8	R_G	—	ゲイン設定ピン。ゲインが 5 を超える場合、ピン 1 とピン 8 の間にゲイン抵抗を配置します。
2	$V–_{IN}$	I	負入力
3	$V+_{IN}$	I	正入力
4	V-	—	負電源
5	リファレンス（基準電圧）入力	I	リファレンス入力。このピンは低インピーダンスで駆動するか、グランドに接続する必要があります。
6	V_O	O	出力
7	V+	—	正電源

(1) I = 入力、O = 出力

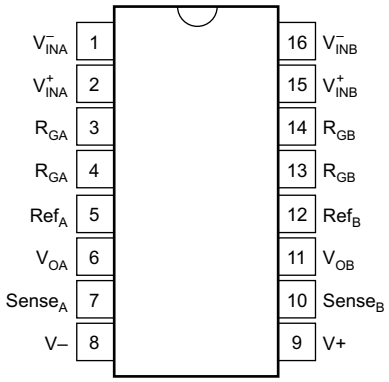


図 4-2. INA2126：N (16 ピン PDIP)、D (16 ピン SOIC)、DBQ (16 ピン SSOP) パッケージ、上面図

表 4-2. ピンの機能：INA2126

ピン		タイプ(1)	説明
番号	名称		
1	$V–_{INA}$	I	アンプ A の負入力
2	$V+_{INA}$	I	アンプ A の正入力
3、4	R_{GA}	—	アンプ A のゲイン設定ピン。ゲインが 5 を超える場合、ピン 3 とピン 4 の間にゲイン抵抗を配置します。
5	Ref_A	I	アンプ A のリファレンス入力。このピンは低インピーダンスで駆動するか、グランドに接続する必要があります。
6	V_{OA}	O	アンプ A の出力
7	$Sense_A$	I	アンプ A のフィードバック。VOA、アンプ A 出力に接続します。
8	V-	—	負電源
9	V+	—	正電源
10	$Sense_B$	I	アンプ B のフィードバック。VOB、アンプ B 出力に接続します。
11	V_{OB}	O	アンプ B の出力
12	Ref_B	I	アンプ B のリファレンス入力。このピンは低インピーダンスで駆動するか、グランドに接続する必要があります。
13、14	R_{GB}	—	アンプ B のゲイン設定ピン。ゲインが 5 を超える場合は、ピン 13 とピン 14 の間にゲイン抵抗を配置します。
15	$V+_{INB}$	I	アンプ B の正入力
16	$V–_{INB}$	I	アンプ B の負入力

(1) I = 入力、O = 出力

Copyright © 2025 Texas Instruments Incorporated

5 仕様

注

TI では、このデバイスの複数の製造フローを認定済みです。性能の違いは、チップの原産拠点 (CSO) によってラベル付けされています。システムの堅牢性を確保するために、すべてのフローを考慮した設計を強く推奨します。詳細情報については、セクション 8.1.2 をご覧ください。

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
V_S	電源電圧 デュアル電源、V_S = (V+) – (V–)		±18	V
	電源電圧 単一電源、V_S = (V+) – (V–)		36	
	入力信号電圧(2)	(V–) – 0.7	(V+) + 0.7	V
	入力信号電流(2)		10	mA
	出力短絡(3)	連続		
T_A	動作温度	-55	125	°C
	リード温度 (半田付け、10 秒)		300	°C
T_{stg}	保管温度	-55	125	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 入力信号電圧は、電源に接続された内部ダイオードにより制限されます。*「入力保護」*を参照してください。
(3) V_S / 2 への短絡

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±500	V

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	標準値	最大値	単位
V_S	電源電圧	単電源	2.7	30	36	V
		両電源	±1.35	±15	±18	
T_A	規定温度		-40		85	°C

5.4 熱に関する情報：INA126

熱評価基準(1)		INA126			単位
		PDIP	SOIC	VSSOP	
		8 ピン	8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	52.2	116.4	167.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	41.6	62.4	60.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	29.4	57.7	88.9	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	18.9	10.0	7.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	29.2	57.1	87.3	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 熱に関する情報：INA2126

熱評価基準(1)		INA2126			単位
		PDIP	SOIC	SSOP	
		16 ピン	16 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	39.3	76.2	115.8	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	26.2	37.8	67.0	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	20.1	33.5	58.3	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	10.7	7.5	19.9	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	19.9	33.3	57.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.6 電気的特性

T_A = 25°C、V_S = ±15V、R_L = 25kΩ、V_{REF} = 0V、V_{CM} = V_S /2 のとき、すべてのチップ原産拠点 (CSO) (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
入力							
V_{OS}	オフセット電圧 (RTI)	INA126P/U/E INA2126P/U/E			±100	±250	µV
		INA126PA/UA/EA INA2126PA/UA/EA			±150	±500	
	オフセット電圧ドリフト (RTI)	T_A = –40°C ～ +85°C	INA126P/U/E INA2126P/U/E		±0.5	±3	µV/°C
			INA126PA/UA/EA INA2126PA/UA/EA		±0.5	±5	
PSRR	電源除去比 (RTI)	V_S = ±1.35V～±18V	INA126P/U/E INA2126P/U/E		±5	±15	uV/V
			INA126PA/UA/EA INA2126PA/UA/EA		±5	±50	
	入力インピーダンス	CSO: SHE			1 || 4		GΩ || pF
		CSO: TID			17.5 || 1		
	安全入力電圧	R_S = 0Ω		(V–) – 0.5		(V+) + 0.5	V
		R_S = 1kΩ		(V–) – 10		(V+) + 10	
V_{CM}	同相電圧[1]			-11.25	±11.5	11.25	V
	チャネル セパレーション (デュアル)	G = 5、DC			130		dB
CMRR	同相除去比	R_S = 0Ω、V_{CM} = ±11.25V	INA126P INA2126P	83	94		dB
			INA126U/E INA2126U/E	80	94		
			INA126PA/UA/EA INA2126PA/UA/EA	74	83		
入力バイアス電流							
I_B	入力バイアス電流	INA126P/U/E INA2126P/U/E			±10	±25	nA
		INA126PA/UA/EA INA2126PA/UA/EA			±10	±50	
	入力バイアス電流ドリフト	T_A = –40°C ～ +85°C			±30		pA/°C
I_{OS}	入力オフセット電流	INA126P/U/E INA2126P/U/E			±0.5	±2	nA
		INA126PA/UA/EA INA2126PA/UA/EA			±0.5	±5	nA
	入力オフセット電流ドリフト	T_A = –40°C ～ +85°C			±10		pA/°C
ゲイン							
	ゲイン計算式				5 + (80kΩ / R_G)		V/V
G	ゲイン			5		10000	V/V
GE	ゲイン誤差	G = 5、V_O = ±14V	INA126P/U/E INA2126P/U/E		±0.02	±0.1	%
			INA126PA/UA/EA INA2126PA/UA/EA		±0.02	±0.18	
		G = 100、V_O = ±12V	INA126P/U/E INA2126P/U/E		±0.2	±0.5	
			INA126PA/UA/EA INA2126PA/UA/EA		±0.2	±1	
	ゲイン ドリフト[2]	T_A = –40°C ～ +85°C	G = 5		±2	±10	ppm/°C
			G = 100		±25	±100	
	ゲインの非直線性	G = 100、V_O = ±14V			±0.002	±0.012	%

Copyright © 2025 Texas Instruments Incorporated

5.6 電気的特性 (続き)

T_A = 25°C、V_S = ±15V、R_L = 25kΩ、V_{REF} = 0V、V_{CM} = V_S /2 のとき、すべてのチップ原産拠点 (CSO) (特に記述のない限り)

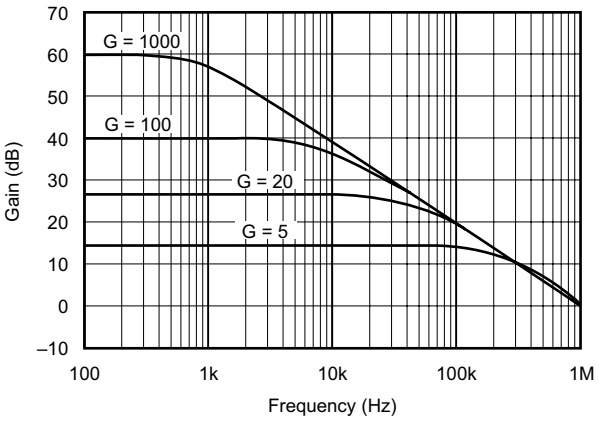
パラメータ		テスト条件		最小値	標準値	最大値	単位
ノイズ							
e_N	電圧ノイズ	f = 1kHz	CSO: SHE		35		nV/√Hz
			CSO: TID		24		
		f = 100Hz	CSO: SHE		35		
			CSO: TID		24		
		f_B = 10Hz	CSO: SHE		45		
			CSO: TID		24		
		f_B = 0.1Hz～10Hz	CSO: SHE		0.7		μV_{PP}
			CSO: TID		0.5		
I_n	電流ノイズ	f = 1kHz			160		fA/√Hz
		f_B = 0.1Hz ～ 10Hz			7.3		pA_{PP}
出力							
	正の出力電圧スイング			(V+) – 0.9	(V+) – 0.75		V
	負の出力電圧スイング			(V–) + 0.95	(V–) + 0.8		V
I_{SC}	短絡電流	V_S/2 まで連続			±5		mA
C_L	負荷容量	安定動作			1000		pF
周波数応答							
BW	帯域幅、-3dB	G = 5	CSO: SHE		200		kHz
			CSO: TID		250		
		G = 100	CSO: SHE		9		
			CSO: TID		10		
		G = 500	CSO: SHE		1.8		
			CSO: TID		2		
SR	スルーレート	G = 5、V_O = ±10V			0.4		V/µs
t_S	セトリング タイム	0.01% まで、V_{STEP} = 10V	G = 5		30		µs
			G = 100		160		
			G = 500		1500		
	過負荷からの回復	50% の入力過負荷			4		µs
電源							
I_Q	静止電流 (チャネルあたり)	I_O = 0mA			±175	±200	µA

(1) 計測アンプの入力段の入力電圧範囲。入力範囲は、同相電圧、差動電圧、ゲイン、およびリファレンス電圧に応じて変化します。*「代表的特性」*の曲線を参照してください。
(2) G > 5 に対して規定される値には、外部ゲイン設定抵抗 R_G の影響は含まれません。

Copyright © 2025 Texas Instruments Incorporated

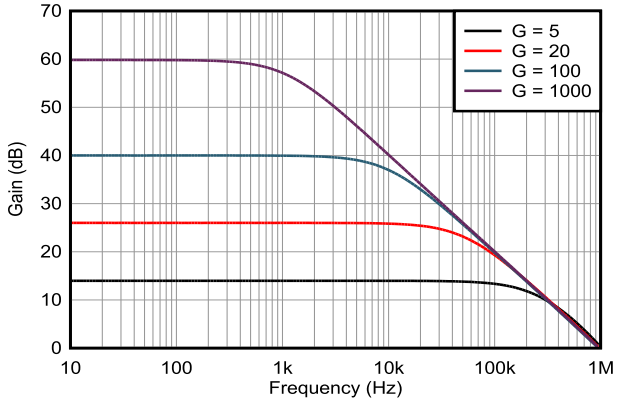
5.7 代表的特性

T_A = 25°C、V_S = ±15V、すべてのチップ原産拠点 (CSO)、特に記述のない限り



CSO: SHE

図 5-1. ゲインと周波数との関係



CSO: TID

図 5-2. ゲインと周波数との関係

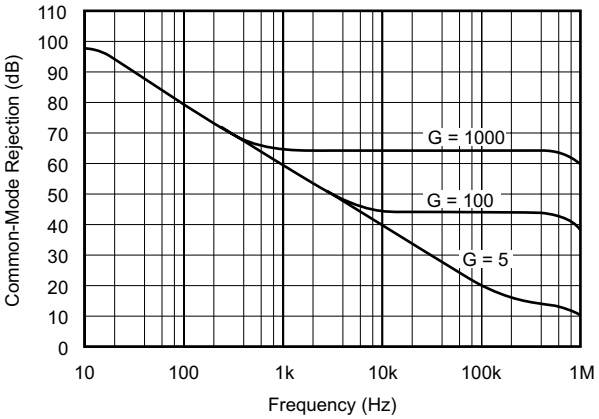


図 5-3. 同相除去比と周波数との関係

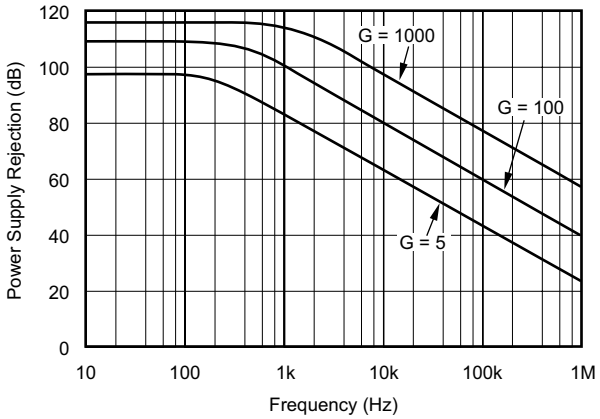


図 5-4. 正の電源除去比と周波数との関係

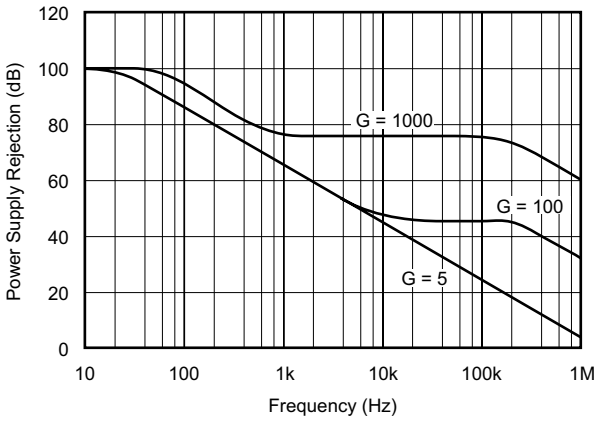
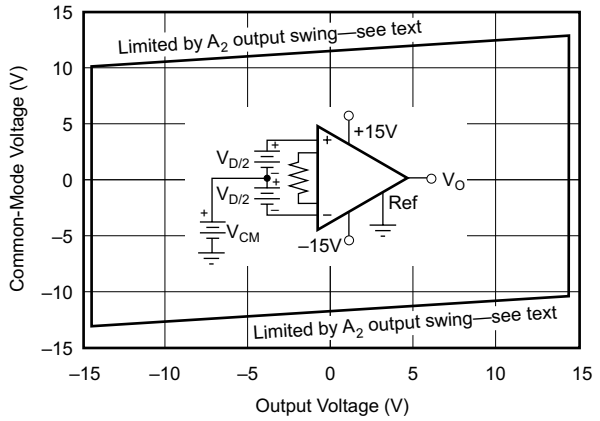


図 5-5. 負の電源除去比と周波数との関係

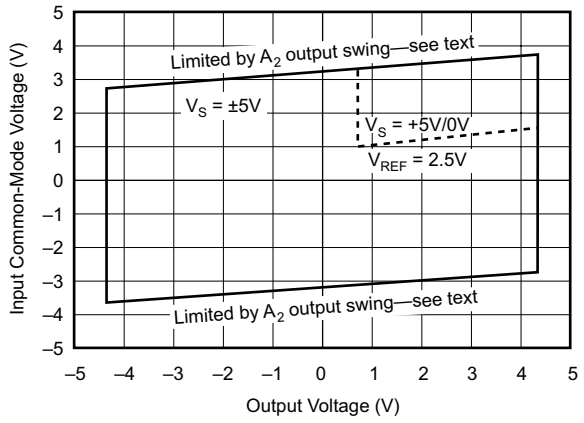


V_S = ±15V

図 5-6. 入力同相電圧と出力電圧との関係

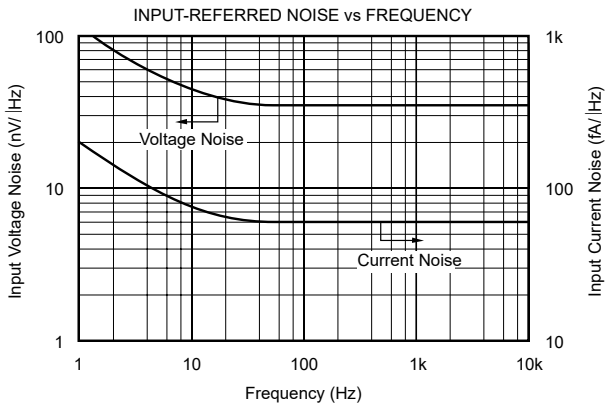
5.7 代表的特性 (続き)

T_A = 25°C、V_S = ±15V、すべてのチップ原産拠点 (CSO)、特に記述のない限り



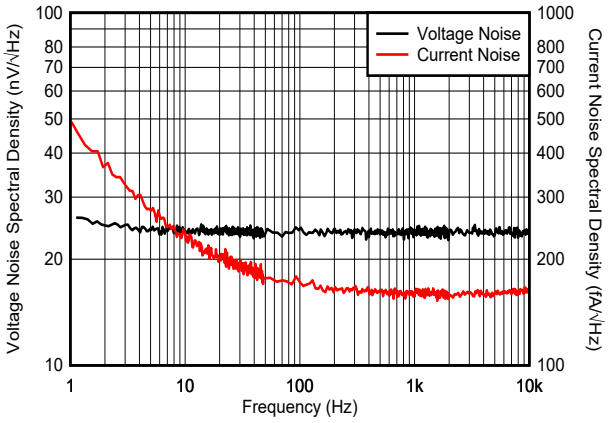
V_S = ±5V

図 5-7. 入力同相電圧と出力電圧との関係



CSO: SHE

図 5-8. 入力換算ノイズと周波数との関係



CSO: TID

図 5-9. 入力換算ノイズと周波数との関係

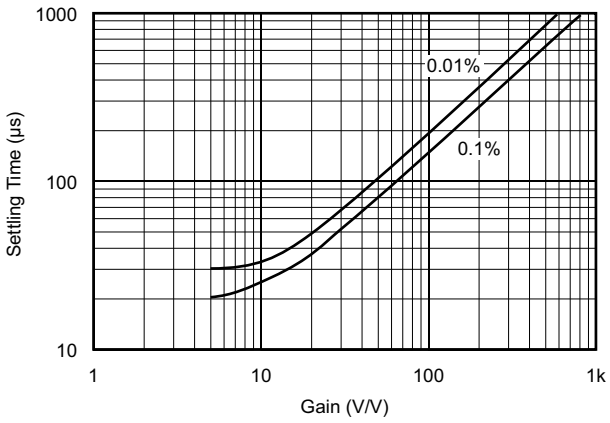
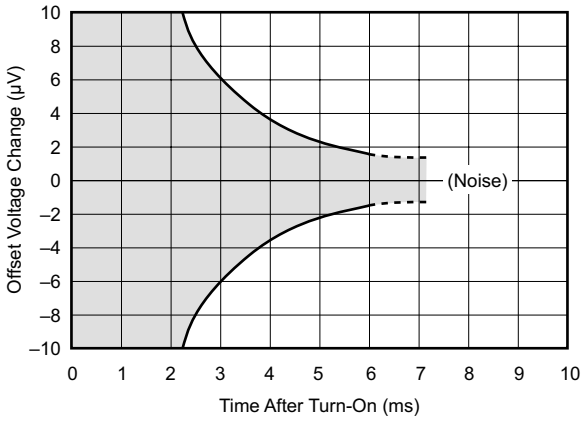
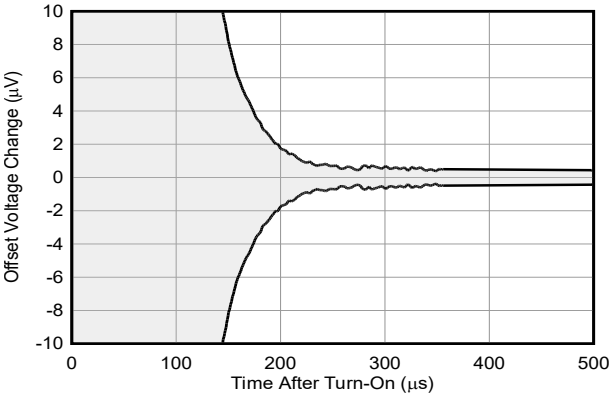


図 5-10. セトリング タイムとゲインとの関係



CSO: SHE

図 5-11. 入力換算オフセット電圧ウォームアップ



CSO: TID

図 5-12. 入力換算オフセット電圧ウォームアップ

Copyright © 2025 Texas Instruments Incorporated

5.7 代表的特性 (続き)

T_A = 25°C、V_S = ±15V、すべてのチップ原産拠点 (CSO)、特に記述のない限り

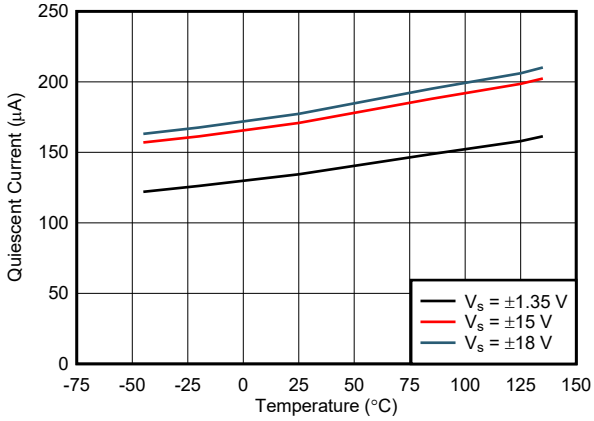


図 5-13. 静止電流と温度との関係

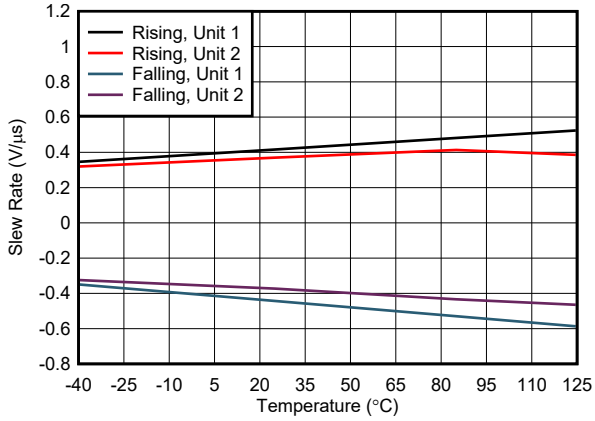
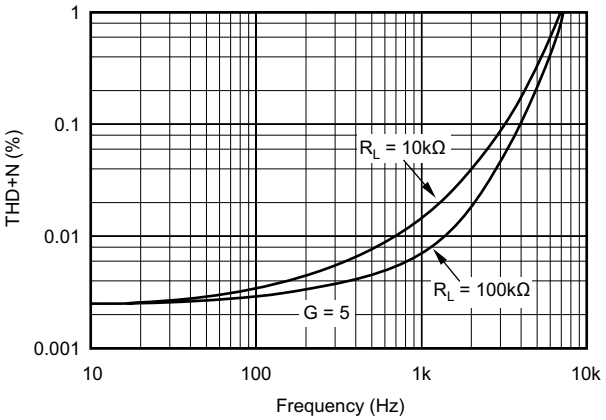
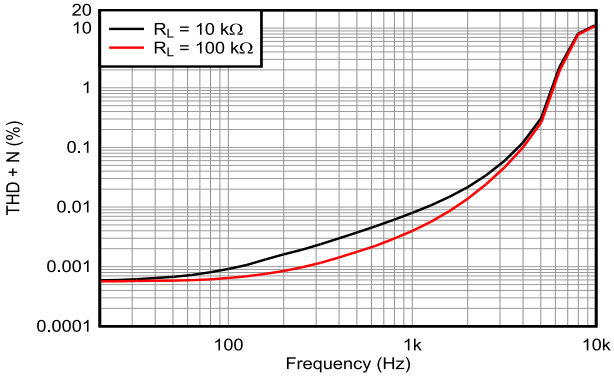


図 5-14. スルーレートと温度との関係



CSO: SHE

図 5-15. 全高調波歪 + ノイズと周波数との関係



CSO: TID

図 5-16. 全高調波歪 + ノイズと周波数との関係

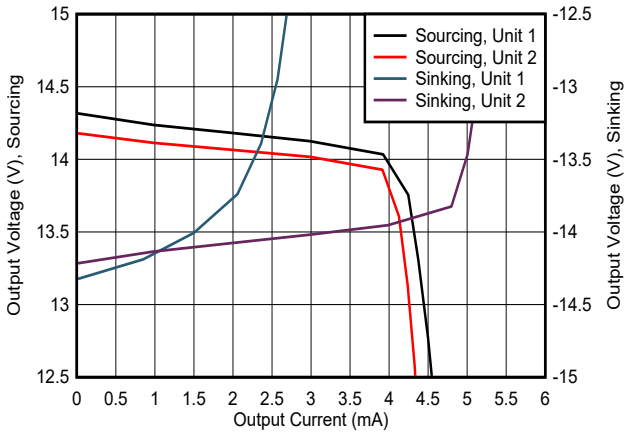
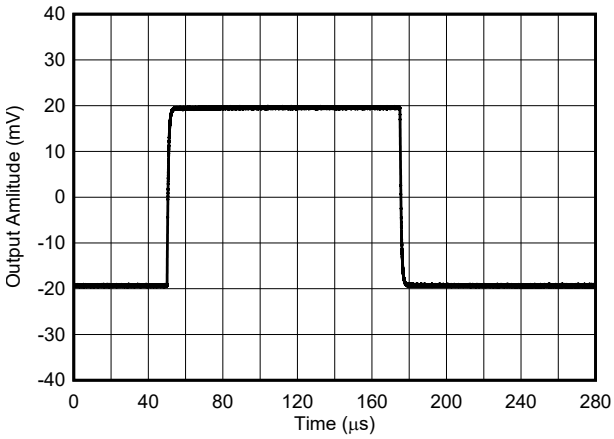


図 5-17. 出力電圧スイングと出力電流との関係



G = 5

図 5-18. 小信号応答

5.7 代表的特性 (続き)

T_A = 25°C、V_S = ±15V、すべてのチップ原産拠点 (CSO)、特に記述のない限り

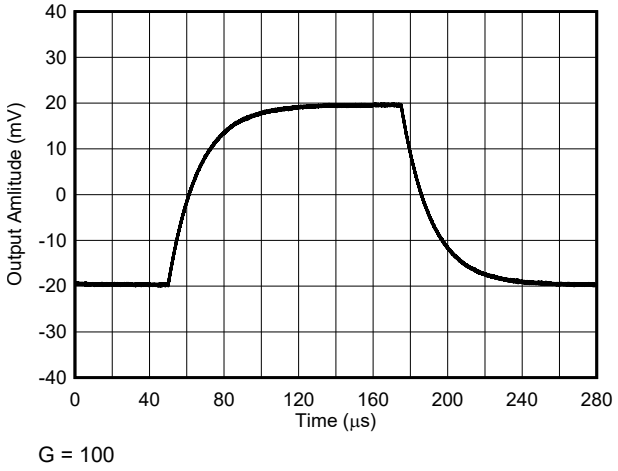


図 5-19. 小信号応答

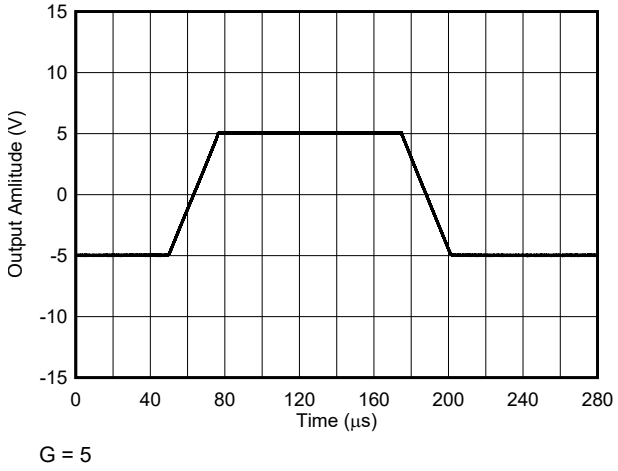


図 5-20. 大信号応答

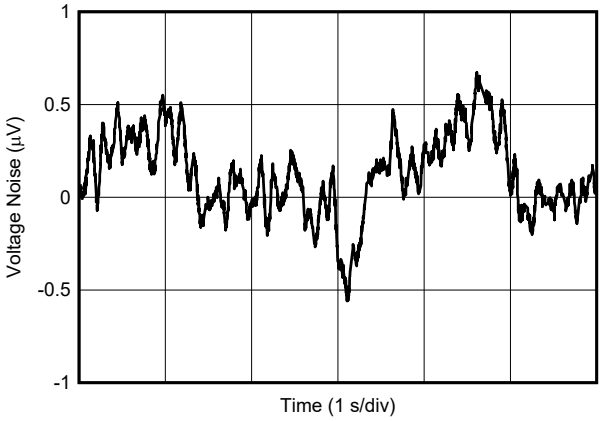


図 5-21. 0.1Hz～10Hz の電圧ノイズ

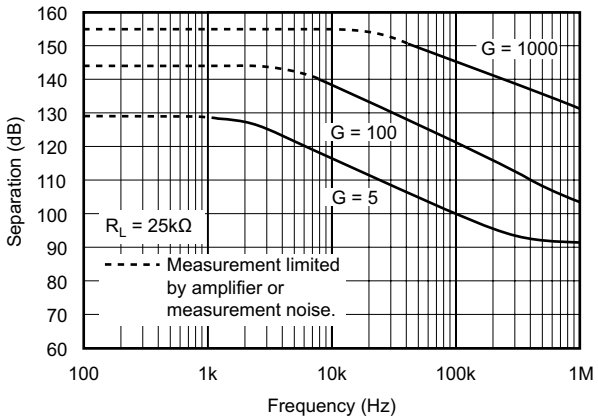


図 5-22. チャネル セパレーションと周波数との関係、RTI (デュアル バージョンの場合)

Copyright © 2025 Texas Instruments Incorporated

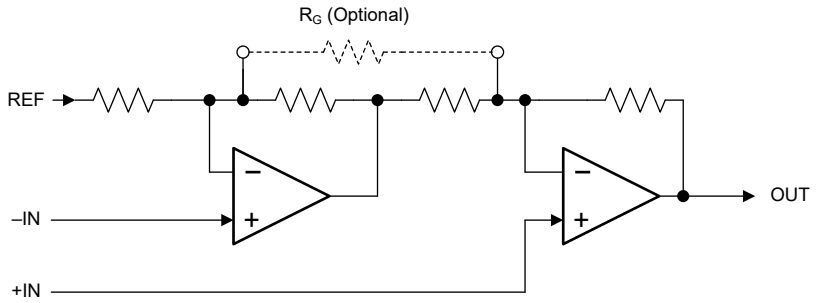
6 詳細説明

6.1 概要

INAx126 では、オペアンプが 3 つではなく 2 つだけ使用されているため、消費電力を削減できます。さらに、入力抵抗は高くバランスが取れているため、信号ソースの出力インピーダンスは不平衡になります。

最小回路ゲインが 5 のため、適切な DC 同相入力範囲と、ほとんどのアプリケーションに十分な帯域幅が実現します。

6.2 機能ブロック図



6.3 機能説明

INAx126 は、精度の優れた低消費電力の汎用計測アンプです。このアンプは、用途が広い 2 オペアンプ設計を採用しており、サイズが小型であるため、広範なアプリケーションに非常に適しています。2 オペアンプ トポロジにより、消費電力が低減されます。単一の外付け抵抗により、5～10,000 の範囲で任意のゲインを設定できます。このデバイスは、最低 ±1.35V の電源と最大 200µA の静止電流で動作します。

6.4 デバイスの機能モード

6.4.1 単電源動作

INAx126 は、2.7V ～ 36V の単一電源で使用できます。出力 REF ピンを使用して、内部出力電圧をリニア動作状態にレベル シフトします。理想的には、REF ピンを中間電圧の電位に接続して、アンプの出力を飽和させないようにします。基準ピンの適切な駆動方法については、*セクション 7.1* を参照してください。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

INAx126 は、非反転入力と反転入力に高い同相電圧がある場合でも、小さい差動電圧を測定します。入力インピーダンスが高いため、INAx126 は広範なアプリケーションに適しています。INAx126 は、基準ピンを設定することで出力信号の機能を調整できるため、複数の構成に実用的な柔軟性が得られます。

7.2 代表的なアプリケーション

図 7-1 は、INA126 の動作に必要な基本的な接続を示しています。ノイズが多い、またはハイ インピーダンスの電源を使用するアプリケーションでは、デバイスのピンの近くにデカップリング コンデンサが必要です。

出力は、通常接地された出力基準 (Ref) ピンを基準にします。良好な同相除去を維持するには、この接続を低インピーダンスにする必要があります。Ref ピンと直列に 8Ω の抵抗を接続すると、標準的なデバイスは CMR が約 80dB まで低下します。

図 7-4 は、$1V_{PP}$、60Hz の同相モード信号上に重畳された、1kHz および $5mV_{PP}$ のセンサからの目的の差動信号を示しています (このスコープ パターンでは 1kHz の信号は分解できません)。図 7-5 の FFT パターンは、2 つの信号を示しています。図 7-6 は、ゲイン 250 で動作する INA126 の出力で明確に復元された差動信号を示しています。図 7-7 の FFT は、60Hz の同相モードが非表示になったことを示しています。

デュアル バージョン INA2126 には、センス $_A$ とセンス $_B$ のフィードバック センス接続があり、適切に動作させるためには、それぞれの出力ピンに接続する必要があります。このセンス接続により、負荷で出力電圧を直接検出することで、最高の精度を実現できます。

DESIRED GAIN (V/V)	R_G (Ω)	NEAREST 1% R_G VALUE
5	NC	NC
10	16k	15.8k
20	5333	5360
50	1779	1780
100	842	845
200	410	412
500	162	162
1000	80.4	80.6
2000	40.1	40.2
5000	16.0	15.8
10000	8.0	7.87

NC: No Connection.

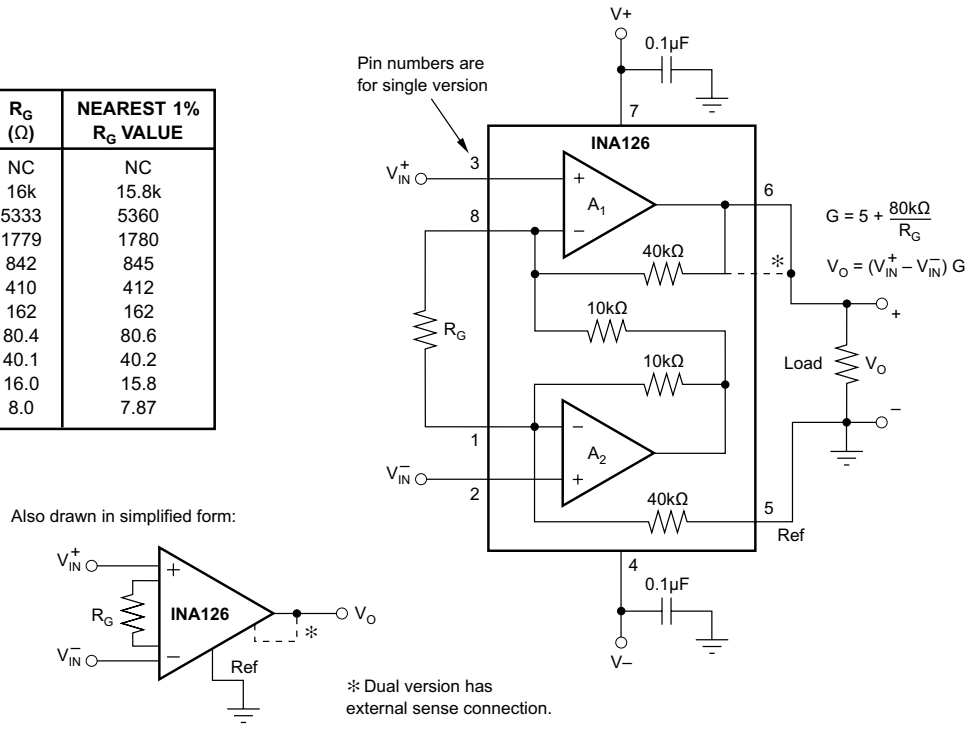


図 7-1. 基本的な接続

Copyright © 2025 Texas Instruments Incorporated

7.2.1 設計要件

図 7-2 および 図 7-3 のパターンについては、以下のようになります。

- 少なくとも 80dB の同相除去
- ゲイン 250

7.2.2 詳細な設計手順

7.2.2.1 ゲインの設定

ゲインは、外部抵抗 R_G を接続して設定されます。

$$g = 5 + 80k\Omega / R_G \quad (1)$$

図 7-1 は一般に使用されるゲインと R_G 抵抗値を示しています。

式 1 の 80kΩ の項は、正確な絶対値にレーザ トリムされた内蔵の金属皮膜抵抗に由来します。これらの抵抗の精度と温度係数は、ゲイン精度とドリフト仕様に含まれています。

外部ゲイン設定抵抗 R_G の安定性と温度ドリフトも、ゲインに影響を与えます。ゲインの精度とドリフトに対する R_G の寄与は、式 1 から直接推測できます。高いゲインに必要な抵抗値が小さいと、配線抵抗が重要になる可能性があります。ソケットは配線抵抗に加えられ、ゲインが約 100 以上になるとゲイン誤差が増大します。

7.2.2.2 オフセットのトリミング

INAx126 ファミリは、低いオフセット電圧とオフセット電圧ドリフトを特長としています。大半のアプリケーションでは、外部オフセット調整は必要ありません。図 7-2 は、出力オフセット電圧をトリミングするためのオプション回路を示しています。Ref ピンに印加された電圧は、出力信号に追加されます。オペアンプ バッファが Ref ピンのインピーダンスを低くし、良好な同相信号除去を維持します。

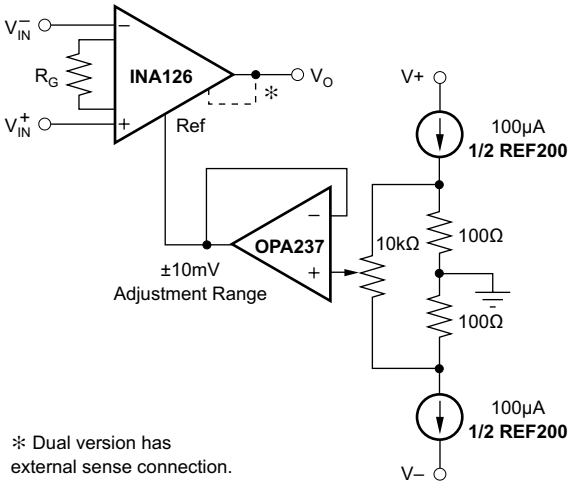


図 7-2. 出力オフセット電圧のオプションのトリミング

7.2.2.3 入力バイアス電流のリターン

INAx126 の入力インピーダンスは約 $10^9\Omega$ と非常に高くなります。ただし、両方の入力に対して、入力バイアス電流のパスを用意する必要があります。この入力バイアス電流は通常 –10nA です (電流は入力ピンから流れます)。大きい入力インピーダンスは、入力電圧が変化した場合でも、入力バイアス電流の変化がごくわずかであることを意味します。

正常な動作を実現するために、入力回路はこの入力バイアス電流に対してパスを用意する必要があります。図 7-3 は、さまざまな入力バイアス電流パスを示しています。バイアス電流パスがないと、入力は同相範囲を超える電位に対してフローティングし、入力アンプが飽和します。

差動ソース抵抗が低い場合、バイアス電流の帰路を 1 つの入力に接続できます (図 7-3 の熱電対の例を参照)。ソースインピーダンスがより高い場合、二つの等価の抵抗を使用すると、バイアス電流による入力オフセット電圧の低下という優位性があることで平衡な入力が実現し、高周波の同相除去を改善できます。

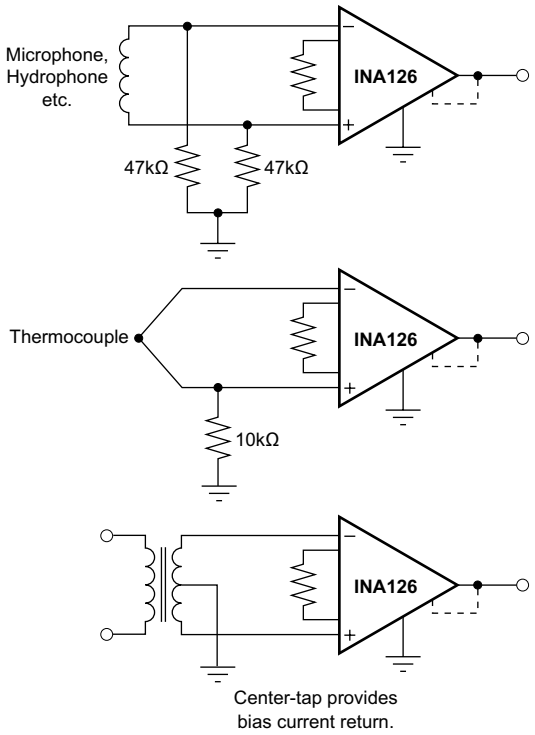


図 7-3. 入力同相電流パスの供給

7.2.2.4 入力同相範囲

INAx126 の入力同相範囲を *セクション 5.7* に示します。同相範囲は、外部ピンでは測定できない内部回路ノードである A_2 の出力電圧スイングによって負側に制限されます。A_2 の出力電圧は 式 2 のように表されます。

$$V_{O2} = 1.25V^-_{IN} – (V^+_{IN} – V^-_{IN}) (10k\Omega/R_G) \quad (2)$$

ここで、

- 電圧は Ref、ピン 5 を基準

内部オペアンプ A_2 は A_1 と同じで、出力スイングは電源レールから通常 0.7V に制限されています。入力同相範囲を超過した場合 (A_2 の出力が飽和)、A_1 は依然としてリニア動作になり、非反転入力電圧の変化に応答することができます。ただし、出力電圧は無効です。

Copyright © 2025 Texas Instruments Incorporated

7.2.2.5 入力保護

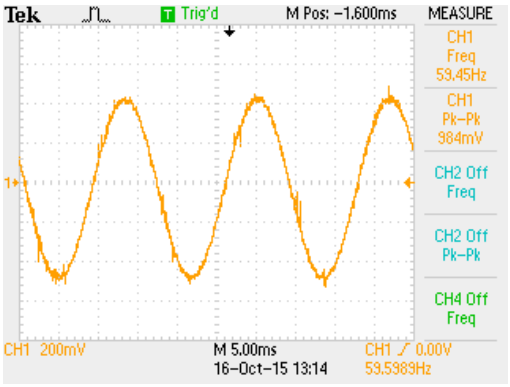
入力は、電源レールに接続された内部ダイオードで保護されています。このダイオードは、印加された信号をクランプし、信号が電源を約 0.7V 以上超えないようにします。信号ソースの電圧が電源を超える可能性がある場合は、ソース電流を 10mA 未満に制限する必要があります。この制限は通常、直列抵抗を使用して行います。一部の信号ソースは本質的に電流制限されており、制限抵抗は不要です。

7.2.2.6 チャネル クロストーク — デュアル バージョン

INA2126 の 2 つのチャネルは、すべてのバイアス回路を含めて完全に独立しています。DC および低周波では、チャネル間の信号カップリングは実質的に行われません。クロストークは周波数とともに増加し、回路のゲイン、ソース インピーダンス、信号特性に依存します。

ソース インピーダンスが増加するにつれて、慎重に回路をレイアウトすることで、チャネル クロストークの最小化に役立ちます。クロストークのほとんどは、あるチャネルからもう一方のチャネルの入力セクションへの信号の容量結合によって発生します。カップリングを最小限に抑えるには、入力トレースを反対側のチャネルに関連する信号から、実用的な限り離してください。入力を囲む接地済みガード トレースにより、チャネル間の浮遊結合を低減できます。グランドに対して各入力の浮遊容量のバランスを慎重に取り、各チャネルの差動入力を互いに平行に、または回路基板の上部と下部で直接隣接させて配線します。その場合、浮遊結合は同相信号を生成する傾向があり、IA 入力によって除去されます。

7.2.3 アプリケーション曲線



差動信号が小さすぎて見えません

図 7-4. INA126 入力の同相信号

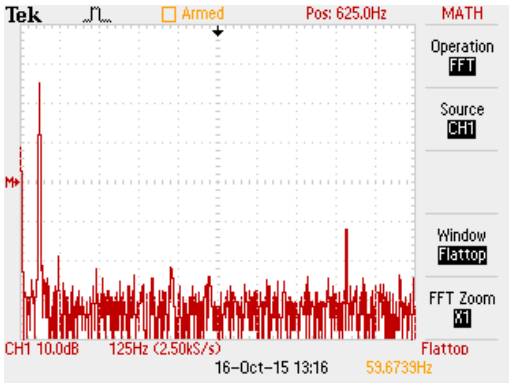


図 7-5. 前の図の信号の FFT は、60Hz の同相モードと 5kHz の差動信号の両方を示しています

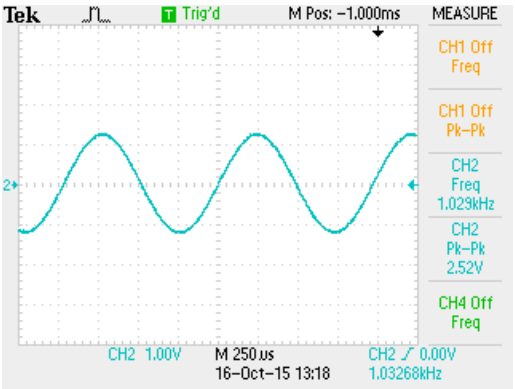


図 7-6. ゲイン 250 での INA126 の出力における復元差動信号

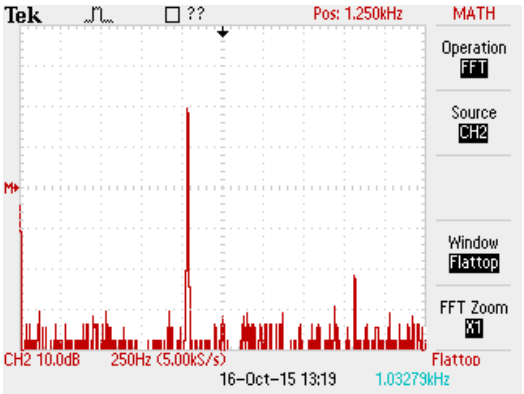


図 7-7. INA126 の出力の FFT は、60Hz 同相信号が除去されていることを示しています

7.3 電源に関する推奨事項

7.3.1 低電圧動作

INAx126 は、最小 ±1.35V の電源で動作できます。±1.35V ～ ±18V の電源範囲で優れたパフォーマンスを維持します。ほとんどのパラメータは、この電源電圧範囲全体でわずかに変化します (*セクション 5.7* を参照)。低電源電圧で動作する場合は、同相電圧がリニア動作範囲内に維持されるように細心の注意を払う必要があります (図 5-6 および 図 5-7 を参照)。

INAx126 は入力同相範囲、両方のオペアンプの出力電圧スイング、Ref ピンに印加される電圧に細心の注意を払いながら、単一電源で動作します。図 7-8 は 5V の単一電源で動作するブリッジ アンプ回路を示しています。このブリッジは、比較的小さな差動電圧で、2.5V 付近の入力同相電圧を供給します。

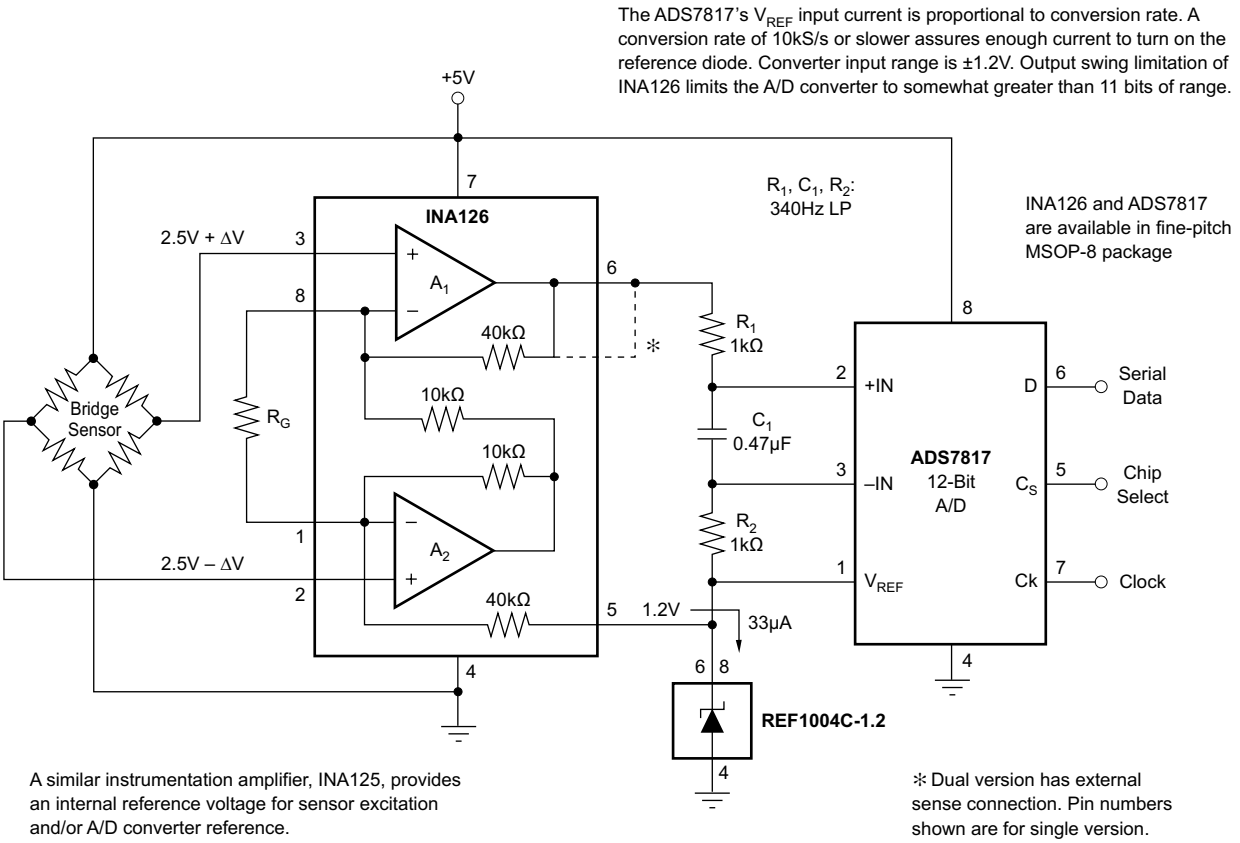


図 7-8. ブリッジ信号収集、5V の単一電源

7.4 レイアウト

7.4.1 レイアウトのガイドライン

優れたレイアウト手法に対して、常に関心を持つことをお勧めします。デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- 同相信号が差動信号に変換されないようにするために、両方の入力パスがソース インピーダンスと容量に対して適切にマッチングされていることを確認してください。また、ゲイン設定ピンの寄生容量も、全周波数帯域の CMRR に影響を及ぼす可能性があります。例えば、R_G の値を変更するスイッチまたは PhotoMOS® リレーを使用してゲインのスイッチング実施をするアプリケーションでは、スイッチ容量ができるだけ小さくなるように部品を選択します。
  - 各電源ピンとグラウンドの間には、低 ESR の 0.1μF セラミックバイパスコンデンサを、可能な限りデバイスの近くに接続します。単一電源アプリケーションの場合は、V+ からグランドに対して 1 つのバイパス コンデンサを接続します。

Copyright © 2025 Texas Instruments Incorporated

- 回路のアナログ部分とデジタル部分のグランドを分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド プレーン専用です。グランド プレーンは熱の分散に役立つとともに、EMI ノイズを拾う可能性を低減します。グランド電流の流れに注意しながら、デジタル グランドとアナログ グランドを物理的に分離してください。詳細については、*「EMI 低減のための PCB 設計ガイドライン」アプリケーション ノート*を参照してください。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を分離した状態にすることができない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに効果的です。
- 外付け部品は、可能な限りデバイスに近く配置します。図 7-9 に示すように、寄生容量を最小限に抑えるため、R_G はピンの近くに配置します。
- 配線はできる限り短くします

Copyright © 2025 Texas Instruments Incorporated

7.4.2 レイアウト例

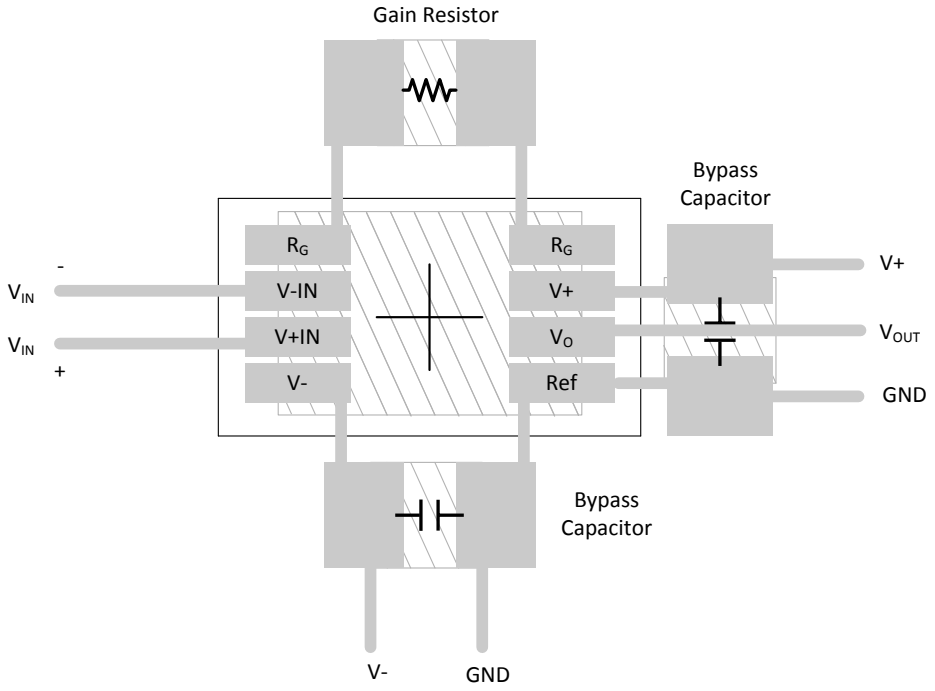


図 7-9. INA126 のレイアウト例

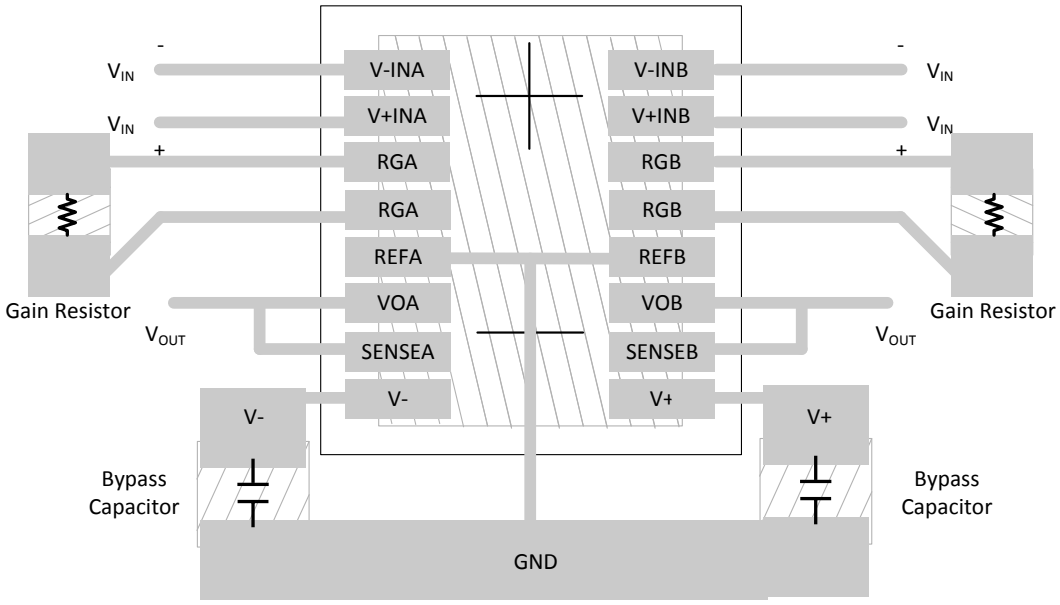


図 7-10. INA2126 のレイアウト例

Copyright © 2025 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.1 PSpice® for TI

PSpice® for TI は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造に移る前に、サブシステムの設計とプロトタイプの設計を作成することで、開発コストを削減し、市場投入までの期間を短縮できます。

8.1.2 デバイスの命名規則

部品番号	定義
INAx126E/250、INAx126E/2K5、INAx126EA/250、INAx126U、INAx126U/2K5、INAx126UA、INAx126UA/2K5	ダイは CSO で作成; SHE または CSO: TID で製造されています。
INA126P、INA126PA、INA126-W	ダイは CSO でのみ作成: SHE でのみ製造されています。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

テキサス インスツルメンツ、*「EMI 低減のための PCB 設計ガイドライン」アプリケーション ノート*

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
PhotoMOS® is a registered trademark of Panasonic Corporation.
PSpice® is a registered trademark of Cadence Design Systems, Inc.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (December 2021) to Revision D (December 2025) **Page**

- デバイス フロー情報の説明を*「仕様」*に追加 5
- *「電気的特性」*の標準的なテスト条件に*すべてのチップの原産拠点 (CSO)* の条件を追加 7
- *「電気的特性」*に入力インピーダンスに関する各種製造プロセス仕様を追加 7
- *「電気的特性」*の電圧ノイズにさまざまな製造プロセス仕様を追加 7
- *「電気的特性」*に、帯域幅、–3dB にさまざまな製造プロセス仕様を追加 7
- *「代表的特性」*の標準的なテスト条件に*すべてのチップの原産拠点 (CSO)* の条件を追加 9
- *「代表的特性」*の*ゲインと周波数との関係*、*入力換算オフセット電圧ウォームアップ*、*全高調波歪 + ノイズと周波数との関係*曲線に CSO: SHE フロー情報を追加 9
- *「代表的特性」*に CSO: SHE フローの*入力換算ノイズと周波数との関係*曲線を追加 9
- *「代表的特性」*の*入力換算ノイズと周波数との関係*曲線に CSO: TID フロー情報を追加 9
- *「代表的特性」*に CSO: TID フローの*ゲインと周波数との関係*、*入力換算オフセット電圧ウォームアップ*、*全高調波歪 + ノイズと周波数との関係*曲線を追加 9
- *「デバイスの命名規則」*に型番のフロー情報表を追加 21

Changes from Revision B (December 2015) to Revision C (December 2021) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- *「絶対最大定格」*にデュアル電源の仕様を追加 5
- *「推奨動作条件」*の冗長な動作温度および入力同相電圧の仕様を削除 5
- *「推奨動作条件」*にデュアル電源と指定温度の仕様を追加 5
- *「電気的特性」*に PSRR と入力バイアス電流の仕様に適切な符号を追加 7
- *「電気的特性」*の同相電圧仕様の V_O = 0V のテスト条件を削除 7
- *「電気的特性」*の同相電圧の仕様を最小 ±11.25V から最小 –11.25V、最大 11.25V に変更 7
- *「電気的特性」*の INA126U/E、INA2126E の CMRR 仕様の最小値を 83dB から 80dB に変更 7
- *「電気的特性」*に INA126PA/UA/EA および INA2126PA/UA/EA の入力バイアス電流の仕様の標準値 ±10nA を追加 7
- *「電気的特性」*の電流ノイズ仕様を、f = 1kHz の場合は 60fA/$\sqrt{Hz}$ から 160fA/$\sqrt{Hz}$ に、f = 0.1Hz ～ 10Hz の場合は 2pApp から 7.3pApp に変更 7
- 明確化のため、*「電気的特性」*の短絡電流仕様のテスト条件を「グランドへの短絡」から「V_S /2 へ連続」に変更 7
- *「電気的特性」*の短絡電流仕様を +10/–5mA から ±5mA に変更 7
- *「電気的特性」*から冗長な電圧範囲、動作温度範囲、仕様温度範囲の仕様を削除 7
- 図 6-7、6-10、6-13、6-14、6-15、6-16、6-17 を変更 9
- 図 6-11 を追加 9

Changes from Revision A (August 2005) to Revision B (December 2015) **Page**

- 「*ESD 定格*」表、「*機能説明*」セクション、「*デバイスの機能モード*」セクション、「*アプリケーションと実装*」セクション、「*電源に関する推奨事項*」セクション、「*レイアウト*」セクション、「*デバイスおよびドキュメントのサポート*」セクション、「*メカニカル、パッケージ、および注文情報*」セクションを追加 1

Copyright © 2025 Texas Instruments Incorporated

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA126E/250	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	-	Call TI	Level-2-260C-1 YEAR	-55 to 125	A26
INA126E/250.B	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	-	Call TI	Level-2-260C-1 YEAR	-55 to 125	A26
INA126E/2K5	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Level-2-260C-1 YEAR	-	A26
INA126E/2K5.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Level-2-260C-1 YEAR	-55 to 125	A26
INA126E/2K5G4	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-	A26
INA126EA/250	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	-	Call TI	Level-2-260C-1 YEAR	-	A26
INA126EA/250.B	Active	Production	VSSOP (DGK) | 8	250 | SMALL T&R	-	Call TI	Level-2-260C-1 YEAR	-55 to 125	A26
INA126EA/2K5	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Level-2-260C-1 YEAR	-	A26
INA126EA/2K5.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Level-2-260C-1 YEAR	-55 to 125	A26
INA126EA/2K51G4	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	-	Call TI	Call TI	-55 to 125	A26
INA126U	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-	INA 126U
INA126U.B	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	INA 126U
INA126U/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-	INA 126U
INA126U/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	INA 126U
INA126U/2K5G4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-	INA 126U
INA126U/2K5G4.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	INA 126U
INA126UA	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-	INA 126U A
INA126UA.B	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	INA 126U A
INA126UA/2K5	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-	INA 126U A

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA126UA/2K5.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	INA 126U A
INA2126E/250	Active	Production	SSOP (DBQ) | 16	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-	INA 2126E
INA2126E/250.B	Active	Production	SSOP (DBQ) | 16	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA 2126E
INA2126E/2K5	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	-	Call TI	Level-3-260C-168 HR	-	INA 2126E
INA2126E/2K5.B	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	-	Call TI	Level-3-260C-168 HR	-40 to 85	INA 2126E
INA2126EA/250	Active	Production	SSOP (DBQ) | 16	250 | SMALL T&R	-	Call TI	Level-3-260C-168 HR	-	INA 2126E A
INA2126EA/250.B	Active	Production	SSOP (DBQ) | 16	250 | SMALL T&R	-	Call TI	Level-3-260C-168 HR	-40 to 85	INA 2126E A
INA2126EA/2K5	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-	INA 2126E A
INA2126EA/2K5.B	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA 2126E A
INA2126U	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-	INA2126U
INA2126U.B	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA2126U
INA2126UA	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA2126U A
INA2126UA.B	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA2126U A
INA2126UA/2K5	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA2126U A
INA2126UA/2K5.B	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA2126U A
INA2126UG4	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA2126U
INA2126UG4.B	Active	Production	SOIC (D) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	INA2126U

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

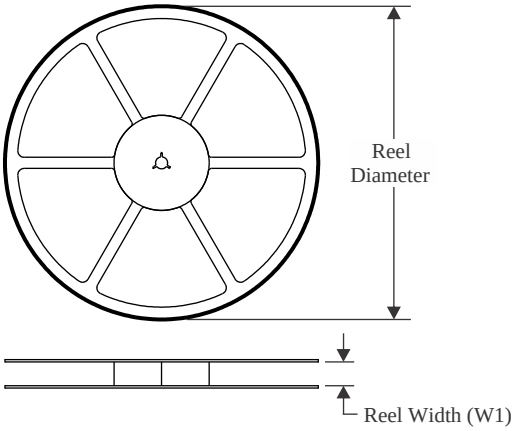
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

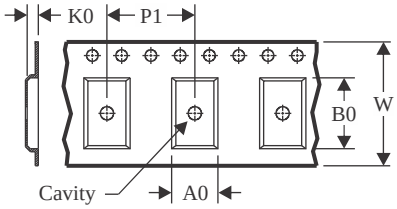
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

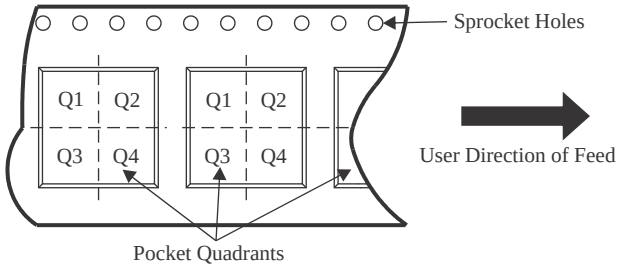


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

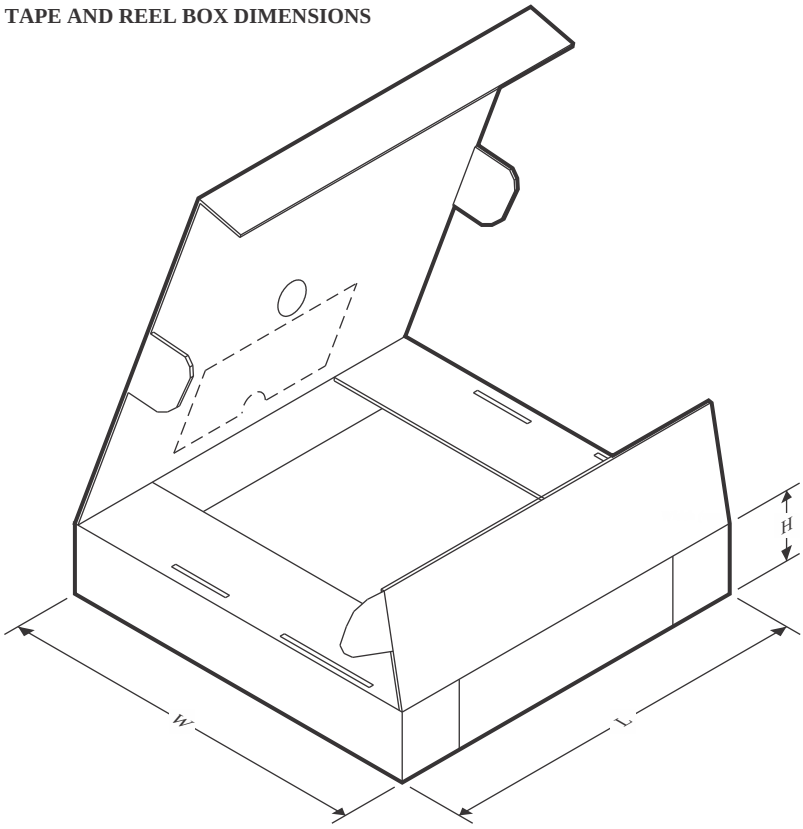
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA126E/250	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA126E/2K5	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA126E/2K5G4	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA126EA/250	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA126EA/2K5	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
INA126U/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA126U/2K5G4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA126UA/2K5	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA2126E/250	SSOP	DBQ	16	250	180.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA2126E/2K5	SSOP	DBQ	16	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA2126EA/250	SSOP	DBQ	16	250	180.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA2126EA/2K5	SSOP	DBQ	16	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA2126UA/2K5	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1

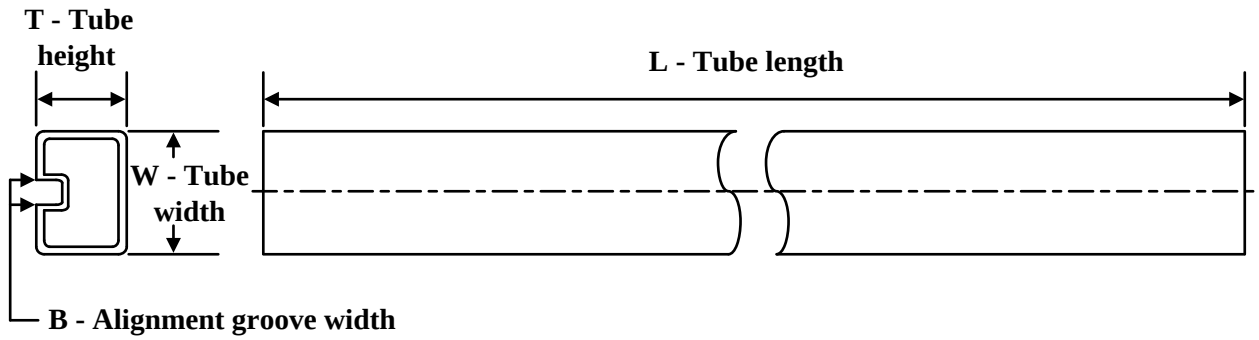
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA126E/250	VSSOP	DGK	8	250	213.0	191.0	35.0
INA126E/2K5	VSSOP	DGK	8	2500	353.0	353.0	32.0
INA126E/2K5G4	VSSOP	DGK	8	2500	353.0	353.0	32.0
INA126EA/250	VSSOP	DGK	8	250	213.0	191.0	35.0
INA126EA/2K5	VSSOP	DGK	8	2500	353.0	353.0	32.0
INA126U/2K5	SOIC	D	8	2500	353.0	353.0	32.0
INA126U/2K5G4	SOIC	D	8	2500	353.0	353.0	32.0
INA126UA/2K5	SOIC	D	8	2500	353.0	353.0	32.0
INA2126E/250	SSOP	DBQ	16	250	213.0	191.0	35.0
INA2126E/2K5	SSOP	DBQ	16	2500	353.0	353.0	32.0
INA2126EA/250	SSOP	DBQ	16	250	213.0	191.0	35.0
INA2126EA/2K5	SSOP	DBQ	16	2500	353.0	353.0	32.0
INA2126UA/2K5	SOIC	D	16	2500	353.0	353.0	32.0

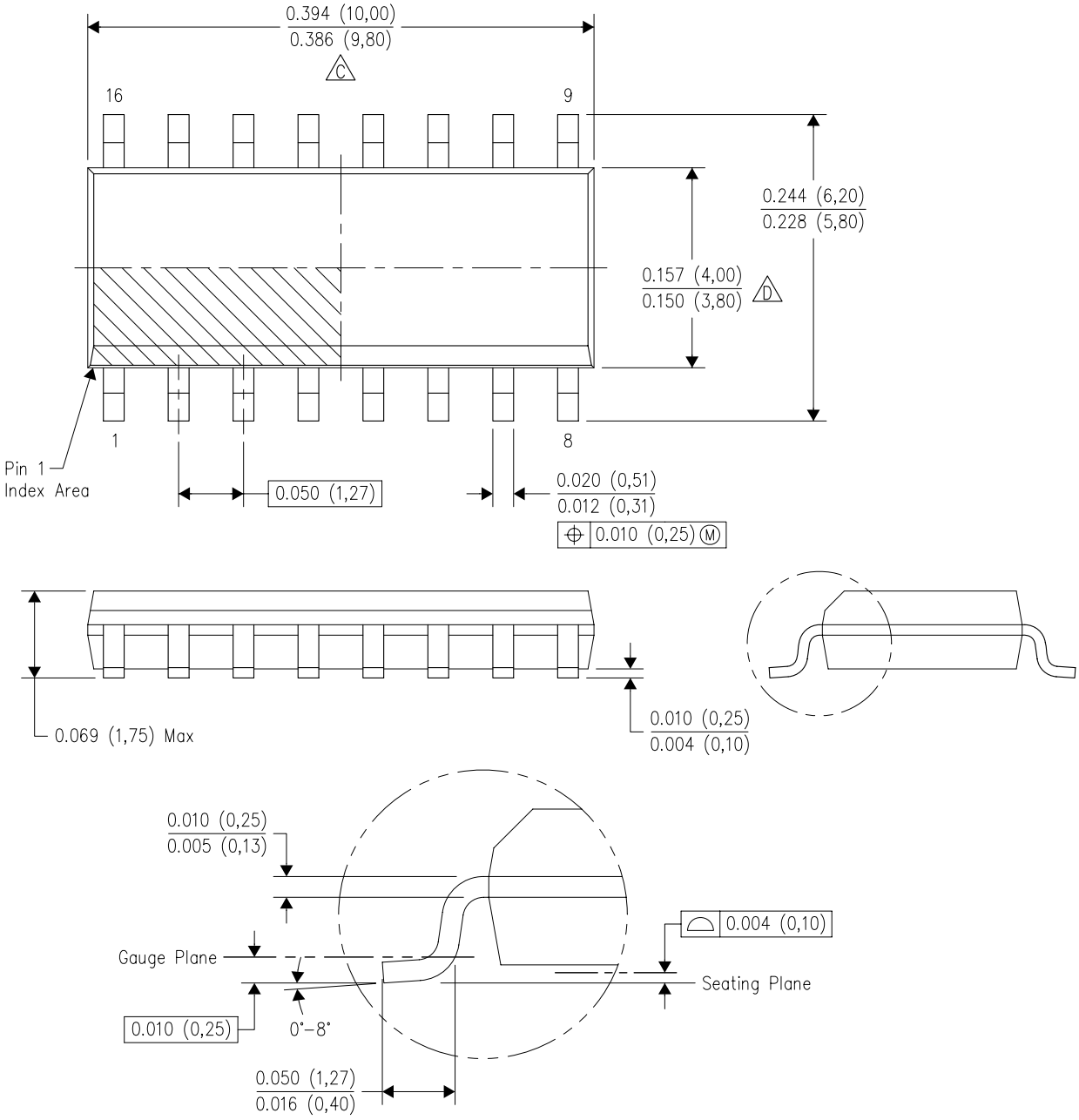
TUBE



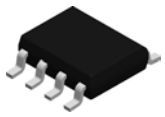
*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
INA126U	D	SOIC	8	75	506.6	8	3940	4.32
INA126U.B	D	SOIC	8	75	506.6	8	3940	4.32
INA126UA	D	SOIC	8	75	506.6	8	3940	4.32
INA126UA.B	D	SOIC	8	75	506.6	8	3940	4.32
INA2126U	D	SOIC	16	40	506.6	8	3940	4.32
INA2126U.B	D	SOIC	16	40	506.6	8	3940	4.32
INA2126UA	D	SOIC	16	40	506.6	8	3940	4.32
INA2126UA.B	D	SOIC	16	40	506.6	8	3940	4.32
INA2126UG4	D	SOIC	16	40	506.6	8	3940	4.32
INA2126UG4.B	D	SOIC	16	40	506.6	8	3940	4.32

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

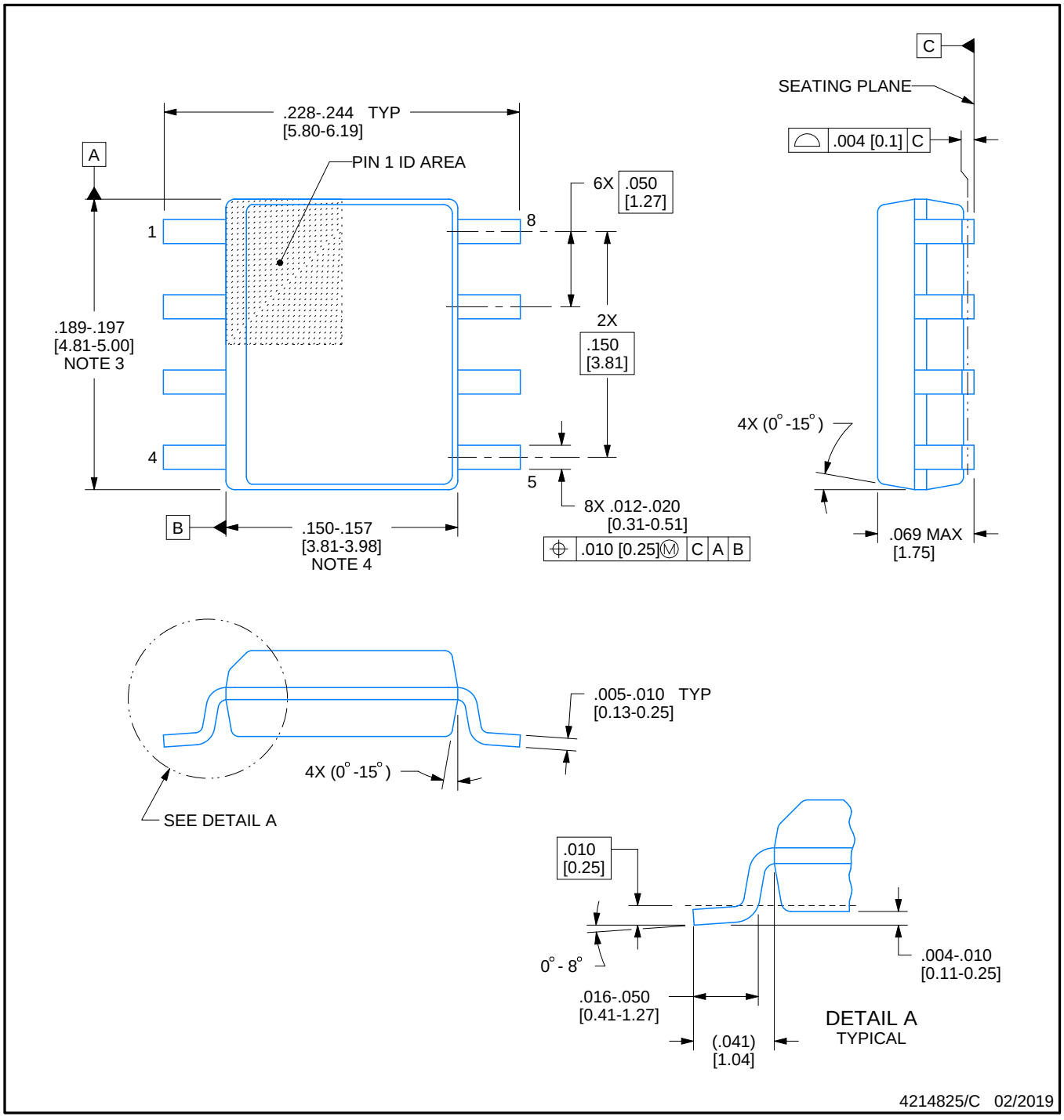


PACKAGE OUTLINE

D0008A

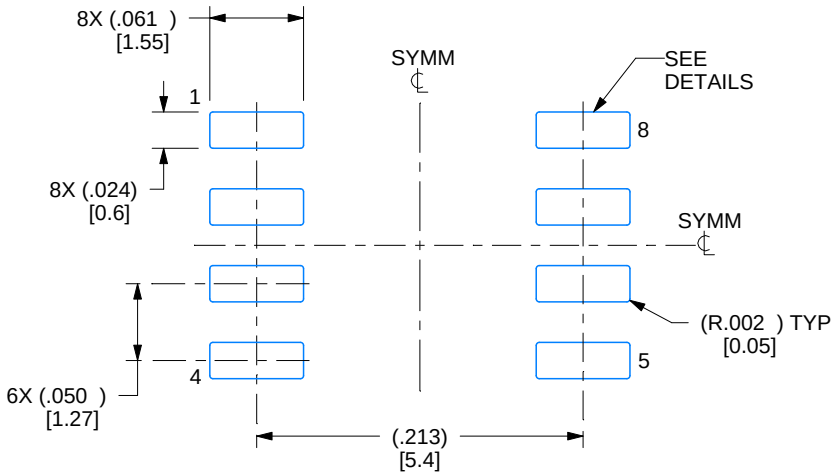
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

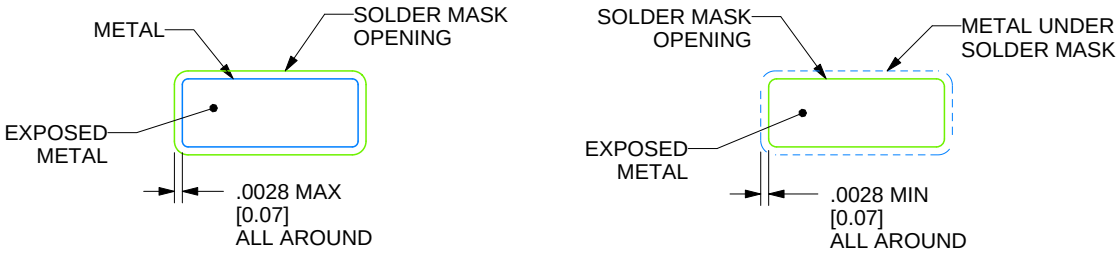


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

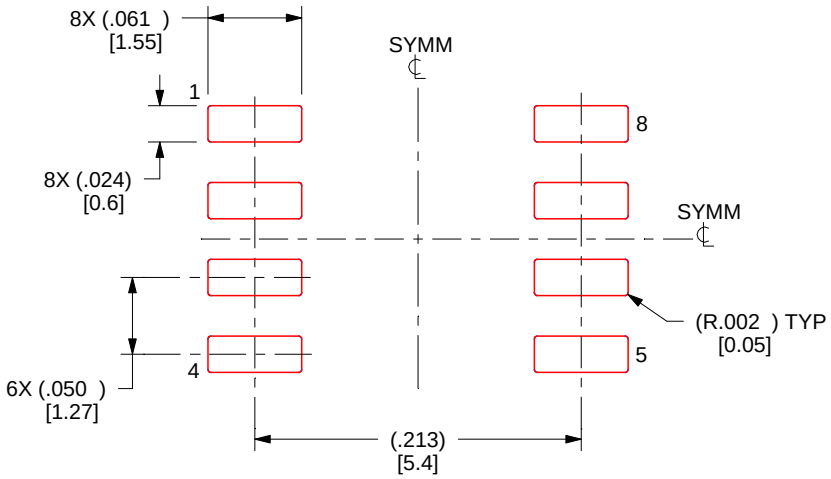
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

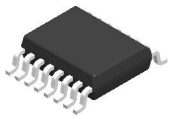


SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

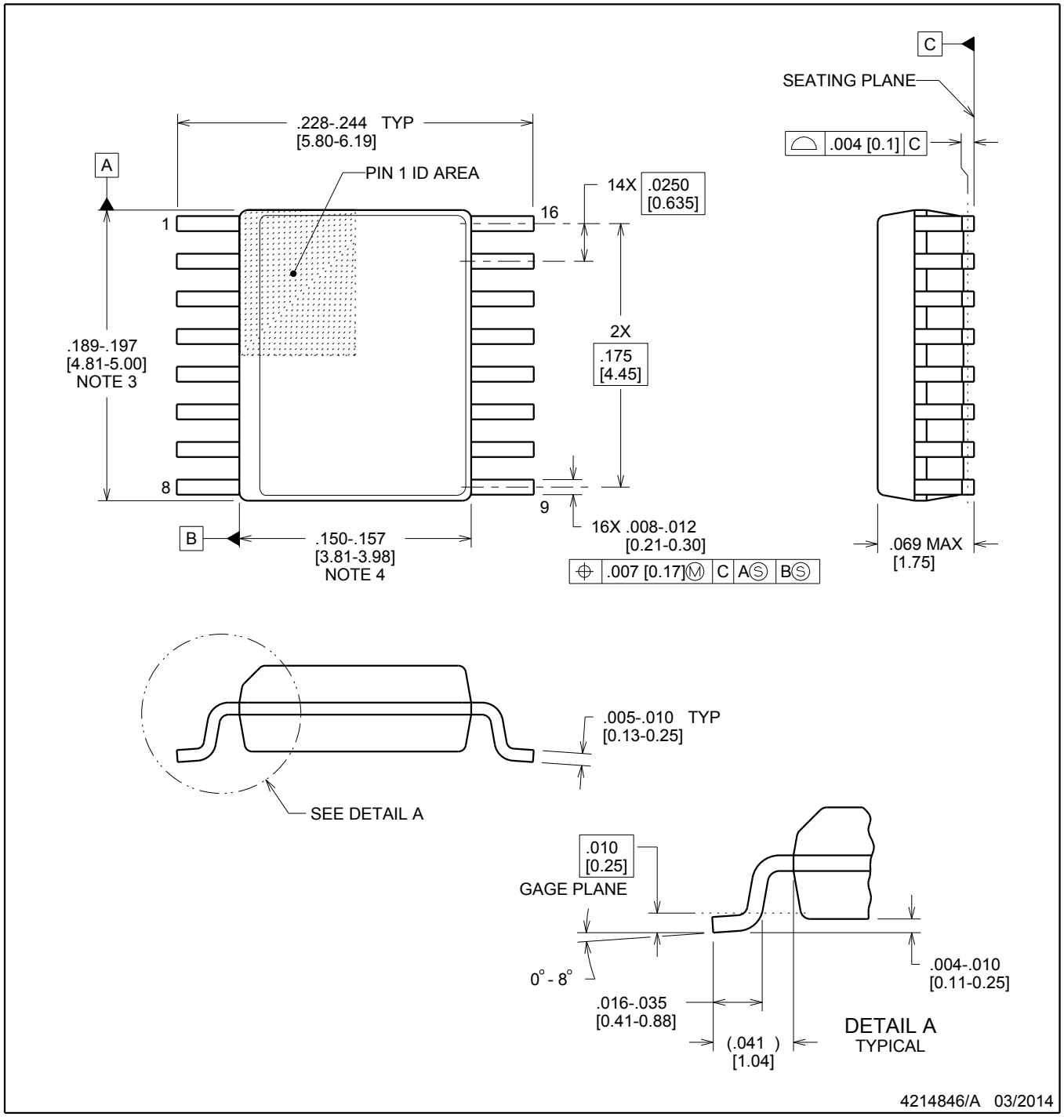


PACKAGE OUTLINE

DBQ0016A

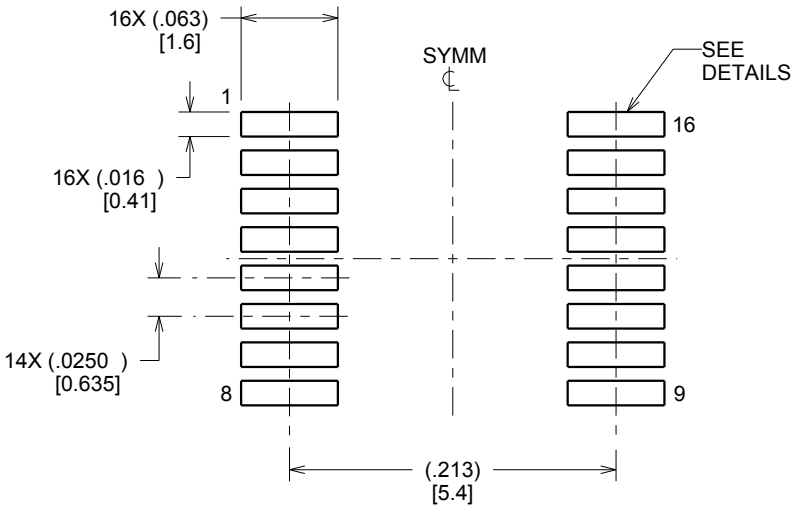
SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE

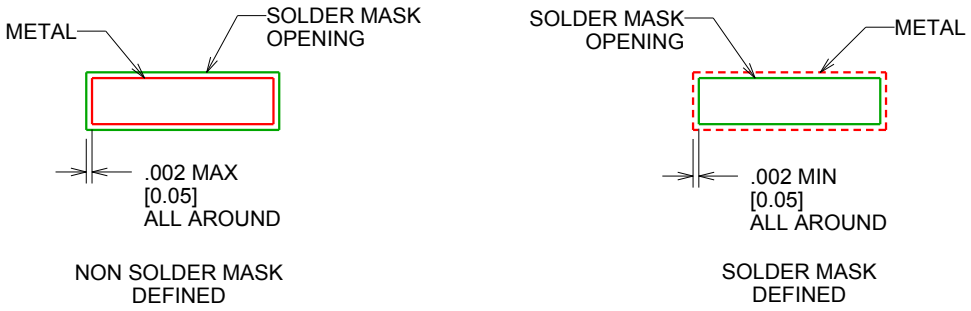


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 inch, per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MO-137, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4214846/A 03/2014

NOTES: (continued)

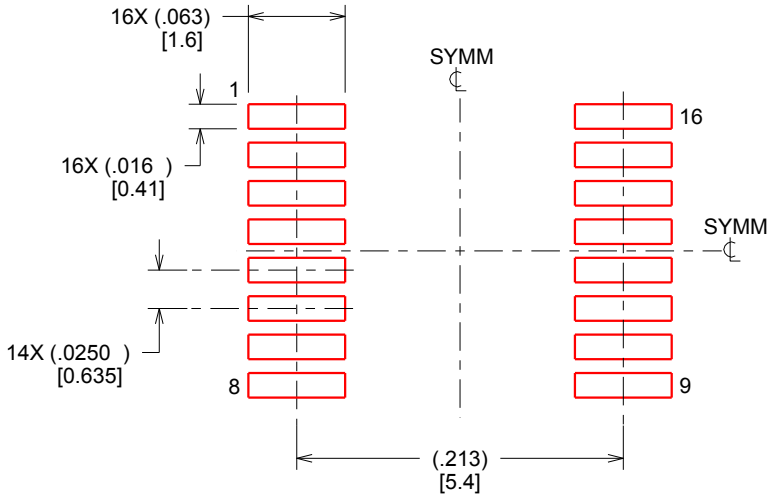
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBQ0016A

SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.127 MM] THICK STENCIL
SCALE:8X

4214846/A 03/2014

NOTES: (continued)

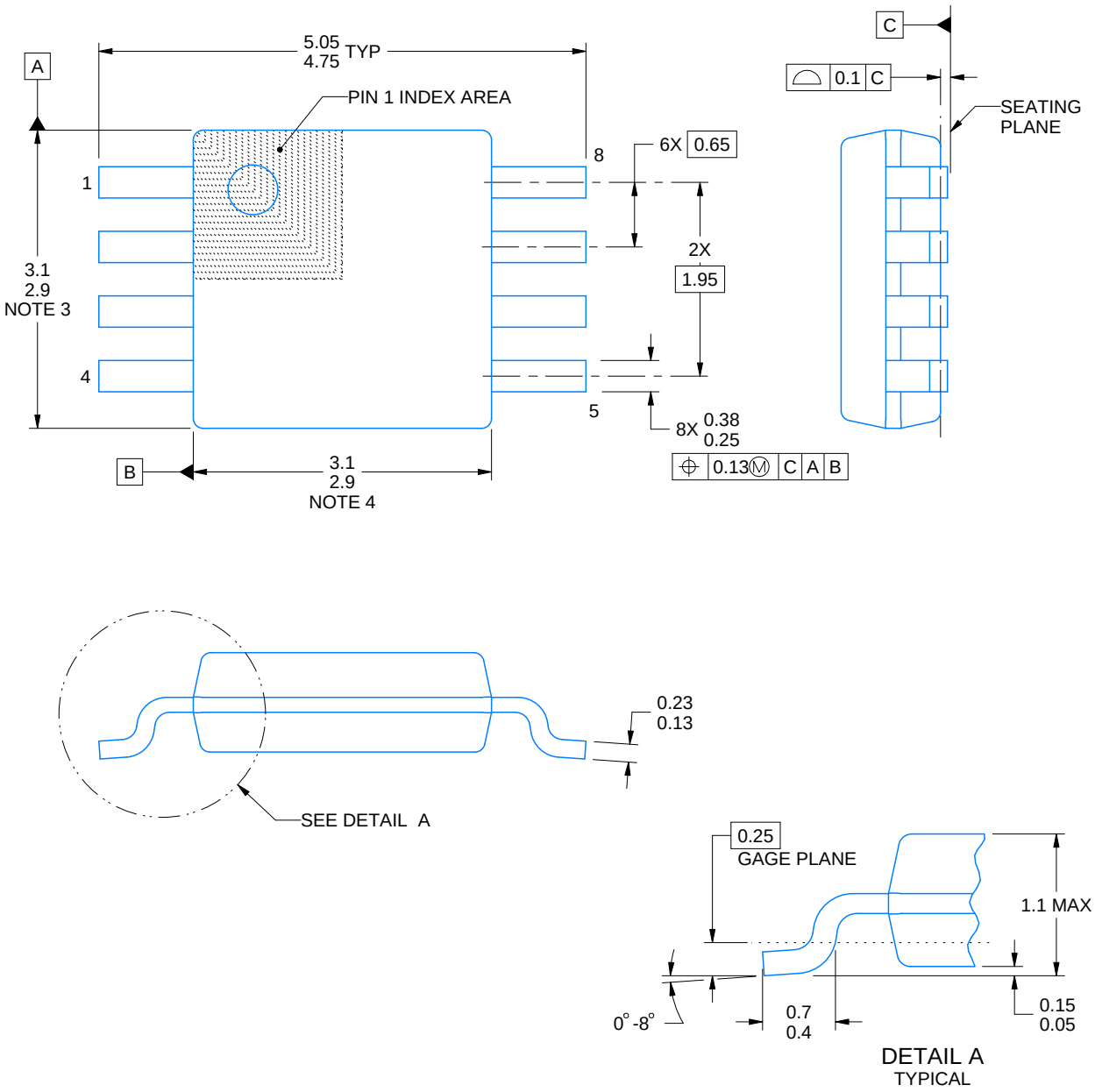
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

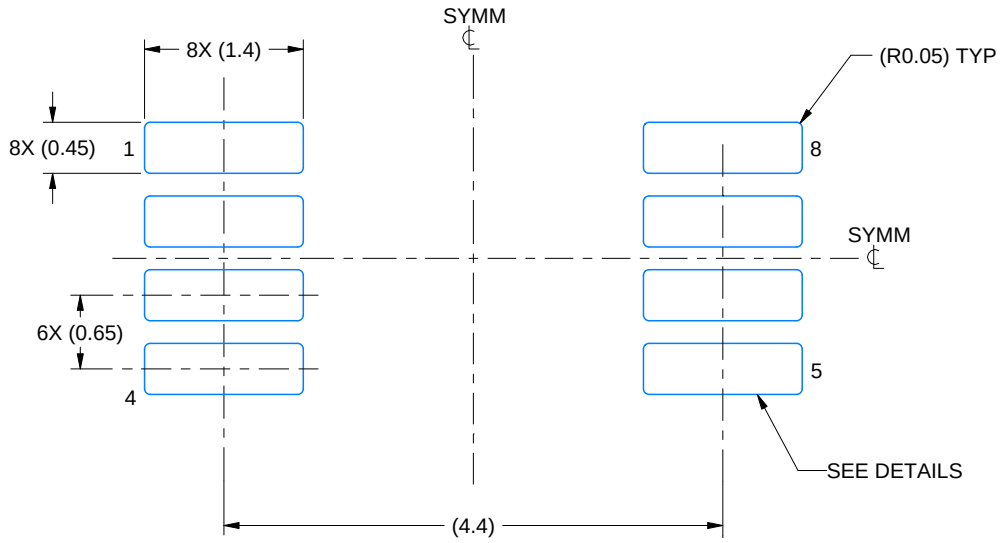
SMALL OUTLINE PACKAGE



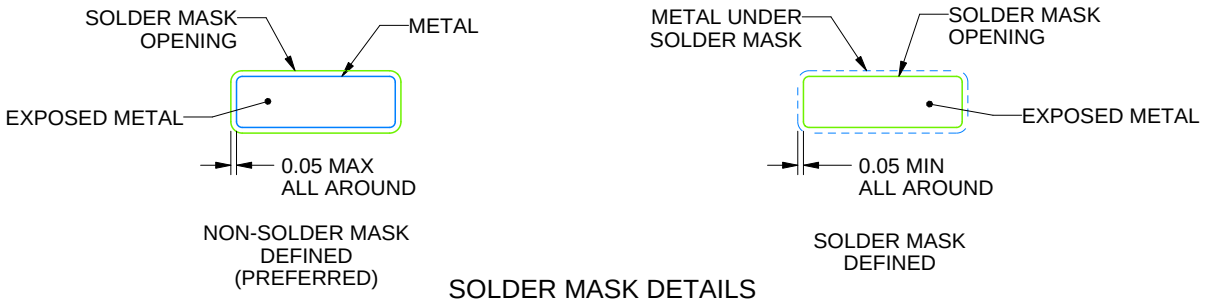
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

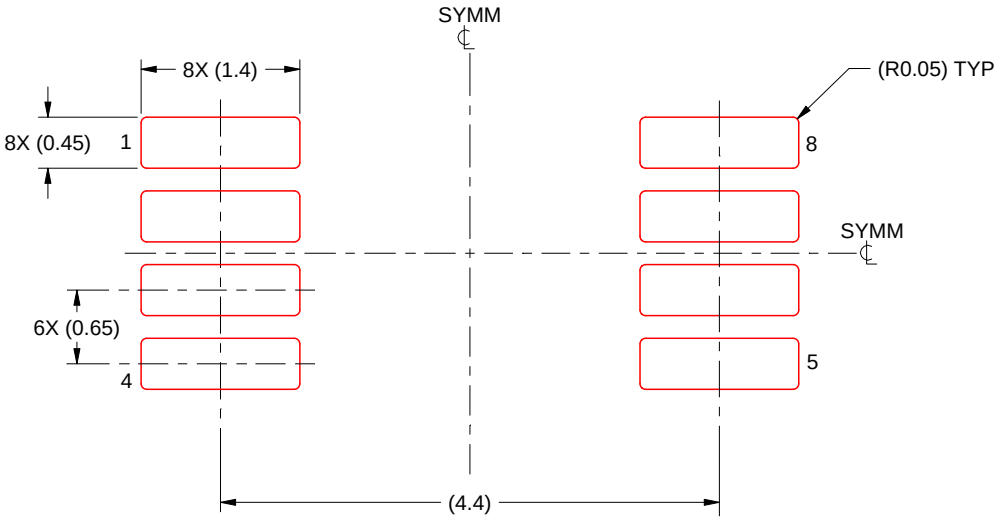


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月