TEXAS INSTRUMENTS
INA181, INA2181, INA4181
JAJSD50H – APRIL 2017 – REVISED NOVEMBER 2023

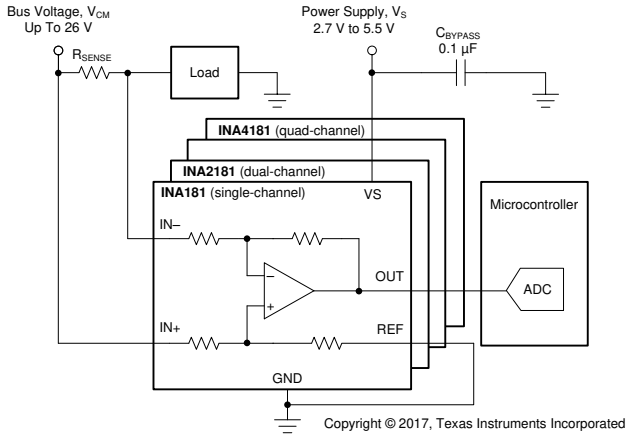
INAx181 双方向、ローサイドおよびハイサイド電圧出力、電流センス アンプ

1 特長

- 同相範囲 (V_{CM}):–0.2V～+26V
- 広い帯域幅:350kHz (A1 デバイス)
- オフセット電圧:
  - V_{CM} = 0V で ±150µV 以下
  - V_{CM} = 12 V で ±500µV 以下
- 出力スルーレート:2V/µs
- 双方向の電流センス機能
- 精度:
  - ゲイン誤差 1% (最大値)
  - オフセット・ドリフト 1µV/℃ (最大値)
- ゲイン・オプション:
  - 20V/V (A1 デバイス)
  - 50V/V (A2 デバイス)
  - 100V/V (A3 デバイス)
  - 200V/V (A4 デバイス)
- 静止電流:最大 260µA (INA181)

2 アプリケーション

- モータ制御
- バッテリ モニタとバランサ
- パワー・マネージメント
- ライティング制御
- 太陽光インバータ



代表的なアプリケーション回路

3 概要

INA181、INA2181、INA4181 (INAx181)電流センス・アンプは、コスト最適化アプリケーション用に設計されています。これらのデバイスは、双方向の電流センス・アンプ(電流シャント・モニタとも呼ばれます)のファミリに属し、電源電圧にかかわらず、－0.2V～＋ 26V の同相電圧において、電流センス抵抗の両端の電圧降下を検出できます。INAx181 ファミリは、整合抵抗ゲイン回路を、4 つの固定ゲイン デバイス オプション(20V/V、50V/V、100V/V、または 200V/V) に統合しています。この整合ゲイン抵抗回路により、ゲイン誤差が最小限に抑えられ、温度ドリフトが低減されます。

これらのデバイスは、2.7V～5.5V の単一電源で動作します。シングル・チャネルの INA181 は最大消費電流が 260µA、デュアル・チャネルの INA2181 は 500µA、クワッド・チャネルの INA4181 は 900µA です。

INA181 は 6 ピンの SOT-23 および SC70 パッケージで供給されます。INA2181 は 10 ピンの VSSOP および WSON パッケージで供給されます。INA4181 は 20 ピンの TSSOP パッケージで供給されます。すべてのデバイス・オプションは、拡張動作温度範囲の－40℃～＋125℃で動作が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
INA181	DBV (SOT-23、6)	2.90mm × 2.80mm
	DCK (SC70、6)	2.00mm × 2.10mm
INA2181	DGS (VSSOP、10)	3.00mm × 4.90mm
	DSQ (WSON、10)	2.00mm × 2.00mm
INA4181	PW (TSSOP、20)	6.50mm×6.40mm

(1) 供給されているすべてのパッケージについては、セクション 11 を参照してください。
(2) パッケージ・サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 デバイスの比較.....3
5 ピン構成および機能.....4
6 仕様.....7
6.1 絶対最大定格.....7
6.2 ESD 定格.....7
6.3 推奨動作条件.....7
6.4 熱に関する情報.....7
6.5 電気的特性.....8
6.6 代表的特性.....9
7 詳細説明.....16
7.1 概要.....16
7.2 機能ブロック図.....16
7.3 機能説明.....18
7.4 デバイスの機能モード.....20
8 アプリケーションと実装.....23
8.1 アプリケーション情報.....23
8.2 代表的なアプリケーション.....30
8.3 電源に関する推奨事項.....31
8.4 レイアウト.....32
9 デバイスおよびドキュメントのサポート.....37
9.1 デバイスのサポート.....37
9.2 ドキュメントのサポート.....37
9.3 ドキュメントの更新通知を受け取る方法.....37
9.4 サポート・リソース.....37
9.5 商標.....37
9.6 静電気放電に関する注意事項.....37
9.7 用語集.....37
10 改訂履歴.....38
11 メカニカル、パッケージ、および注文情報.....39

Copyright © 2024 Texas Instruments Incorporated

4 デバイスの比較

表 4-1. デバイスの比較

製品名	チャネル数	ゲイン (V/V)
INA181A1	1	20
INA181A2	1	50
INA181A3	1	100
INA181A4	1	200
INA2181A1	2	20
INA2181A2	2	50
INA2181A3	2	100
INA2181A4	2	200
INA4181A1	4	20
INA4181A2	4	50
INA4181A3	4	100
INA4181A4	4	200

Copyright © 2024 Texas Instruments Incorporated

5 ピン構成および機能

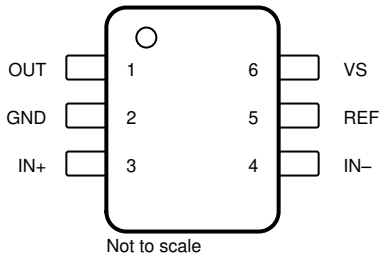


図 5-1. INA181：DBV パッケージ 6 ピン SOT-23 上面図

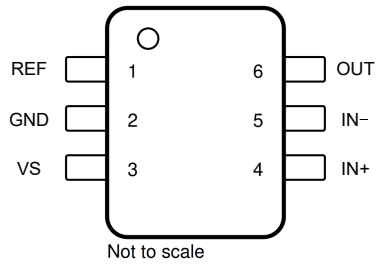


図 5-2. INA181：DCK パッケージ 6 ピン SC70 上面図

表 5-1. ピンの機能：INA181 (シングル チャネル)

ピン			タイプ	説明
名称	SOT-23	SC70		
GND	2	2	アナログ	グランド
IN-	4	5	アナログ入力	電流検出アンプの負入力。ハイサイド・アプリケーションの場合、検出抵抗の負荷側に接続します。ローサイド・アプリケーションの場合、検出抵抗のグランド側に接続します。
IN+	3	4	アナログ入力	電流検出アンプの正入力。ハイサイド・アプリケーションの場合、検出抵抗のバス電圧側に接続します。ローサイド・アプリケーションの場合、検出抵抗の負荷側に接続します。
OUT	1	6	アナログ出力	出力電圧
REF	5	1	アナログ入力	リファレンス入力
VS	6	3	アナログ	電源、2.7V～5.5V

Copyright © 2024 Texas Instruments Incorporated

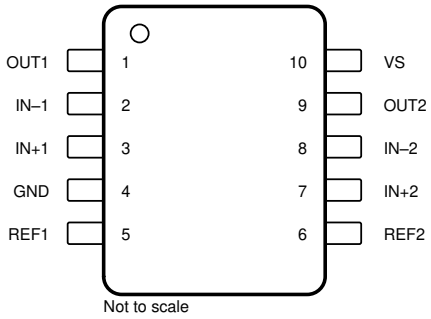
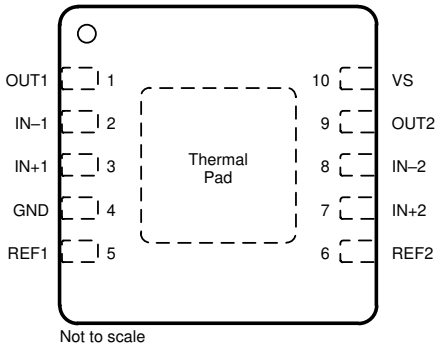


図 5-3. INA2181：DGS パッケージ 10 ピン VSSOP 上面図



A. サーマル パッドはフローティングのままにするか、GND に接続できます。

図 5-4. INA2181：DSQ パッケージ 10 ピン WSON 上面図

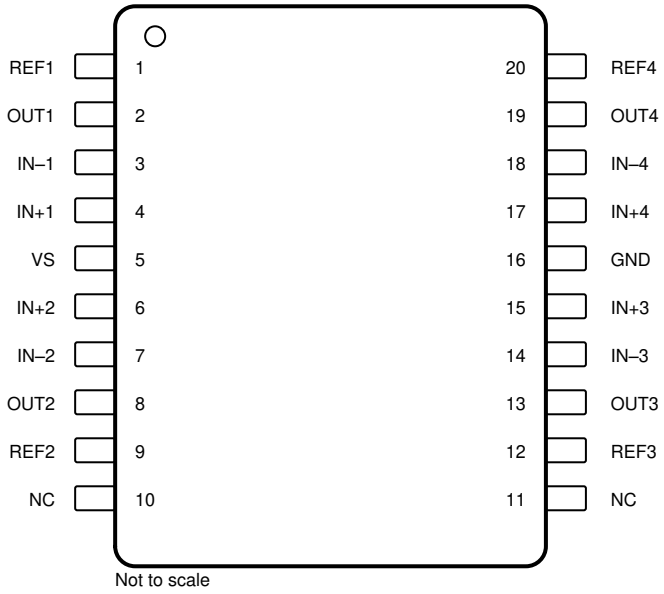


図 5-5. INA4181：PW パッケージ 20 ピン TSSOP 上面図

表 5-2. ピンの機能：INA2181 (デュアル チャネル) および INA4181 (クワッド チャネル)

ピン			タイプ	説明
名称	INA2181	INA4181		
GND	4	16	アナログ	グランド
IN-1	2	3	アナログ入力	チャネル 1 の電流検出アンプの負入力。ハイサイド アプリケーションの場合、チャネル 1 の検出抵抗の負荷側に接続します。ローサイド アプリケーションの場合、チャネル 1 の検出抵抗のグランド側に接続します。
IN+1	3	4	アナログ入力	チャネル 1 の電流検出アンプの正入力。ハイサイド アプリケーションの場合、チャネル 1 の検出抵抗のバス電圧側に接続します。ローサイド アプリケーションの場合、チャネル 1 の検出抵抗の負荷側に接続します。
IN-2	8	7	アナログ入力	チャネル 2 の電流検出アンプの負入力。ハイサイド アプリケーションの場合、チャネル 2 の検出抵抗の負荷側に接続します。ローサイド アプリケーションの場合、チャネル 2 の検出抵抗のグランド側に接続します。
IN+2	7	6	アナログ入力	チャネル 2 の電流検出アンプの正入力。ハイサイド アプリケーションの場合、チャネル 2 の検出抵抗のバス電圧側に接続します。ローサイド アプリケーションの場合、チャネル 2 の検出抵抗の負荷側に接続します。

Copyright © 2024 Texas Instruments Incorporated

表 5-2. ピンの機能：INA2181 (デュアル チャネル) および INA4181 (クワッド チャネル) (続き)

ピン			タイプ	説明
名称	INA2181	INA4181		
IN-3	—	14	アナログ入力	チャネル 3 の電流検出アンプの負入力。ハイサイド アプリケーションの場合、チャネル 3 の検出抵抗の負荷側に接続します。ローサイド アプリケーションの場合、チャネル 3 の検出抵抗のグランド側に接続します。
IN+3	—	15	アナログ入力	チャネル 3 の電流検出アンプの正入力。ハイサイド アプリケーションの場合、チャネル 3 の検出抵抗のバス電圧側に接続します。ローサイド アプリケーションの場合、チャネル 3 の検出抵抗の負荷側に接続します。
IN-4	—	18	アナログ入力	チャネル 4 の電流検出アンプの負入力。ハイサイド アプリケーションの場合、チャネル 4 の検出抵抗の負荷側に接続します。ローサイド アプリケーションの場合、チャネル 4 の検出抵抗のグランド側に接続します。
IN+4	—	17	アナログ入力	チャネル 4 の電流検出アンプの正入力。ハイサイド アプリケーションの場合、チャネル 4 の検出抵抗のバス電圧側に接続します。ローサイド アプリケーションの場合、チャネル 4 の検出抵抗の負荷側に接続します。
NC	—	10、11	—	NC は、「No Internal Connection」(内部接続なし) の略称です。これらのピンはフローティングのままにするか、V_S からグランドの範囲にある任意の電圧に接続できます。
OUT1	1	2	アナログ出力	チャネル 1 の出力電圧
OUT2	9	8	アナログ出力	チャネル 2 の出力電圧
OUT3	—	13	アナログ出力	チャネル 3 の出力電圧
OUT4	—	19	アナログ出力	チャネル 4 の出力電圧
REF1	5	1	アナログ入力	チャネル 1 の基準電圧、0～V_S
REF2	6	9	アナログ入力	チャネル 2 の基準電圧、0～V_S
REF3	—	12	アナログ入力	チャネル 3 の基準電圧、0～V_S
REF4	—	20	アナログ入力	チャネル 4 の基準電圧、0～V_S
VS	10	5	アナログ	電源ピン、2.7V～5.5V

Copyright © 2024 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
電源電圧 (V_S)			6	V
アナログ入力 (IN+、IN–)(2)	差動 (V_{IN+}) - (V_{IN-})	-26	26	V
	同相(3)	GND – 0.3	26	
入力電圧範囲	REF ピン	GND - 0.3	V_S + 0.3	V
出力電圧		GND - 0.3	V_S + 0.3	V
最大出力電流 (I_{OUT})			8	mA
自由気流での動作温度 (T_A)		-55	150	℃
接合部温度、T_J			150	℃
保管温度、T_{stg}		-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの恒久的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) V_{IN+} と V_{IN-} はそれぞれ IN+ ピンと IN- ピンの電圧です。
(3) いずれかのピンの電流が 5mA に制限されている場合、そのピンの入力電圧がここに示されている値を超える場合があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±3000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠(2)	±1000	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{CM}	同相入力電圧 (IN+ および IN-)	–0.2	12	26	V
V_S	動作電源電圧	2.7	5	5.5	V
T_A	自由気流での動作温度	-40		125	℃

6.4 熱に関する情報

熱評価基準(1)		INA181		INA2181		INA4181	単位
		DCK (SC70)	DBV (SOT-23)	DSQ (WSON)	DGS (VSSOP)	PW (TSSOP)	
		6 ピン	6 ピン	10 ピン	10 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	188.0	198.7	74.5	177.3	97.0	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	140.8	120.9	89.7	68.7	37.7	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	78.8	52.3	39.8	98.4	48.3	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	62.1	30.3	3.7	12.6	3.6	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	78.5	52.0	39.7	96.9	47.9	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	N/A	16.8	該当なし	N/A	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2024 Texas Instruments Incorporated

6.5 電気的特性

T_A = 25℃、V_S = 5V、V_{REF} = V_S/2、V_{IN+} = 12V、V_{SENSE} = V_{IN+} – $V_{IN–}$ (特に記述のない限り)

パラメータ			状態	最小値	標準値	最大値	単位
入力							
CMRR	同相除去比、RTI(1)		V_{IN+} = 0V～26V、V_{SENSE} = 0mV、T_A = -40℃～+125℃	84	100		dB
V_{OS}	オフセット電圧、RTI		V_{SENSE} = 0mV、V_{IN+} = 0V		±25	±150	µV
			V_{SENSE} = 0mV		±100	±500	µV
dV_{OS}/dT	オフセットドリフト、RTI		V_{SENSE} = 0mV、T_A = -40℃～+125℃		0.2	1	µV/℃
PSRR	RTI 対電源比		V_S = 2.7V～5.5V、V_{IN+} = 12V、V_{SENSE} = 0mV		±8	±40	µV/V
I_{IB}	入力バイアス電流		V_{SENSE} = 0mV、V_{IN+} = 0V		-6		µA
			V_{SENSE} = 0mV		75		µA
I_{IO}	入力オフセット電流		V_{SENSE} = 0mV		±0.05		µA
出力							
G	ゲイン		A1 デバイス		20		V/V
			A2 デバイス		50		V/V
			A3 デバイス		100		V/V
			A4 デバイス		200		V/V
E_G	ゲイン誤差		V_{OUT} = 0.5V～V_S – 0.5V、T_A = –40℃～+125℃		±0.1%	±1%	
	ゲイン誤差と温度との関係		T_A = –40℃～+125℃		1.5	20	ppm/°C
	非直線性誤差		V_{OUT} = 0.5V～V_S – 0.5V		±0.01%		
	最大容量性負荷		発振が持続しないこと		1		nF
電圧出力 (2)							
V_{SP}	V_S 電源レールまでスイング (3)		R_L = 10kΩ (対 GND)、T_A= –40℃～+125℃		(V_S) – 0.02	(V_S) – 0.03	V
V_{SN}	GND までスイング (3)		R_L = 10kΩ (対 GND)、T_A= –40℃～+125℃		(V_{GND}) + 0.0005	(V_{GND}) + 0.005	V
周波数特性							
BW	帯域幅		A1 デバイス、C_{LOAD} = 10pF		350		kHz
			A2 デバイス、C_{LOAD} = 10pF		210		kHz
			A3 デバイス、C_{LOAD} = 10pF		150		kHz
			A4 デバイス、C_{LOAD} = 10pF		105		kHz
SR	スルーレート				2		V/µs
ノイズ、RTI (1)							
	電圧ノイズ密度				40		nV/√Hz
電源							
I_Q	静止電流	INA181	V_{SENSE} = 0mV		195	260	µA
			V_{SENSE} = 0mV、T_A = -40℃～+125℃			300	
		INA2181	V_{SENSE} = 0mV		356	500	µA
			V_{SENSE} = 0mV、T_A = -40℃～+125℃			520	
		INA4181	V_{SENSE} = 0mV		690	900	µA
			V_{SENSE} = 0mV、T_A = -40℃～+125℃			1000	

(1) RTI = 入力換算
(2) 出力電圧スイングと出力電流との関係 を参照してください
(3) スイング仕様は、オーバードライブ入力条件でテスト済みです。

Copyright © 2024 Texas Instruments Incorporated

6.6 代表的特性

T_A = 25℃、V_S = 5V、V_{REF} = V_S/2、V_{IN+} = 12V (特に記述のない限り)

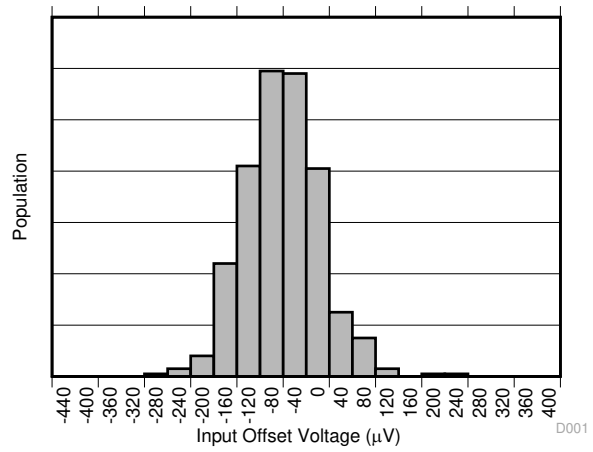


図 6-1. 入力オフセット電圧の製品分布 A1

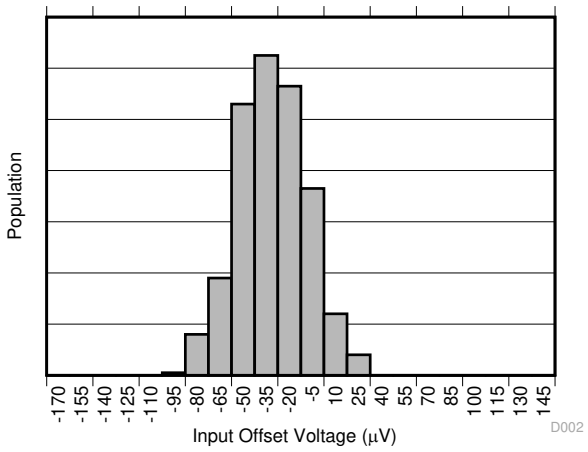


図 6-2. 入力オフセット電圧の製品分布 A2

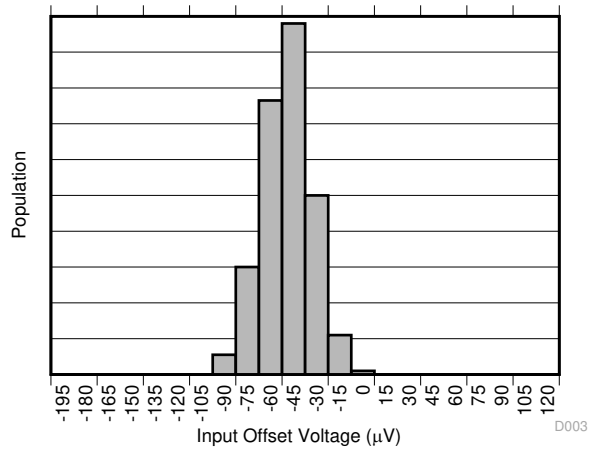


図 6-3. 入力オフセット電圧の製品分布 A3

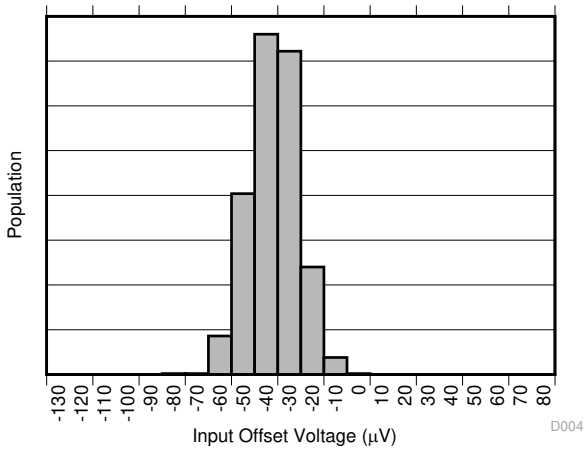


図 6-4. 入力オフセット電圧の製品分布 A4

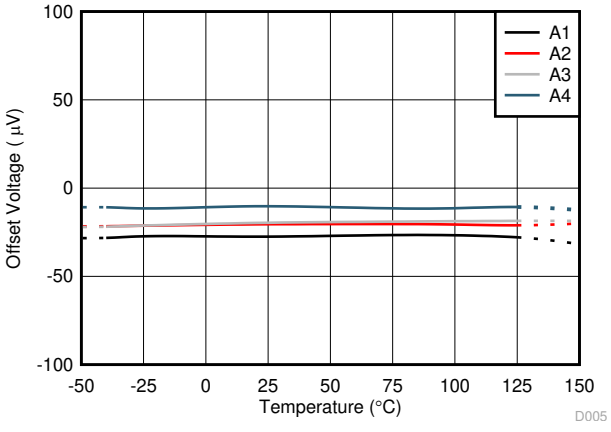


図 6-5. オフセット電圧と温度との関係

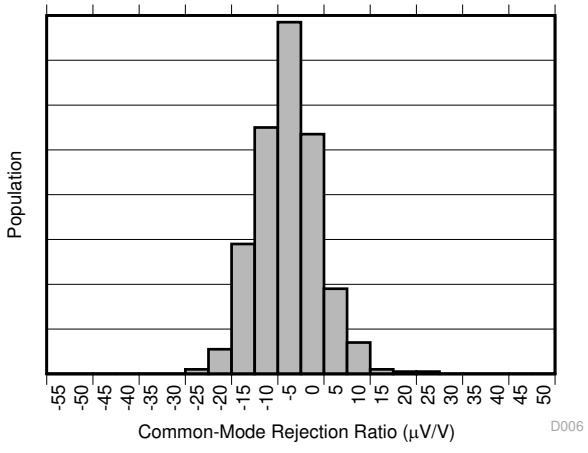


図 6-6. 同相除去比の製品分布 A1

6.6 代表的特性 (続き)

T_A = 25℃、V_S = 5V、V_{REF} = V_S/2、V_{IN+} = 12V (特に記述のない限り)

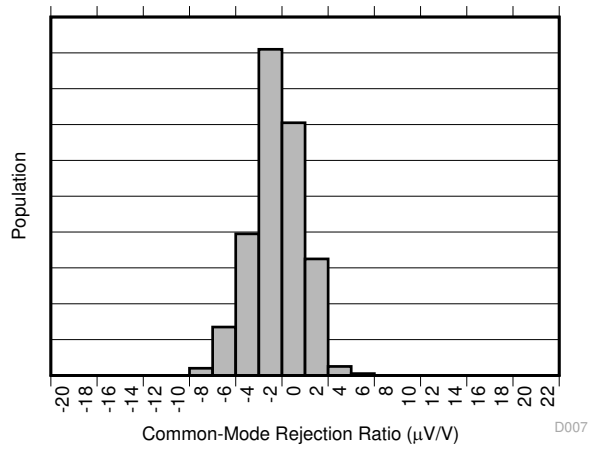


図 6-7. 同相除去比の製品分布 A2

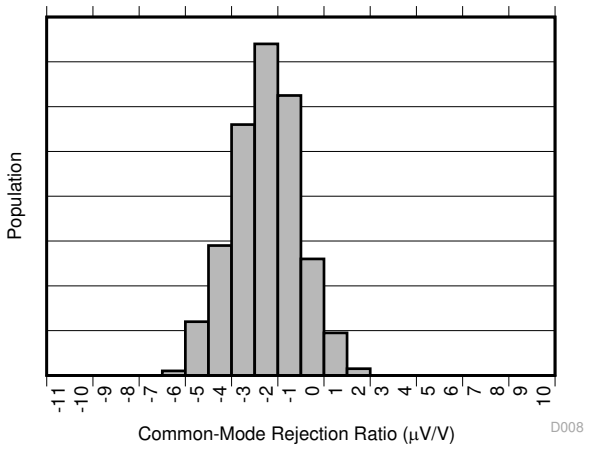


図 6-8. 同相除去比の製品分布 A3

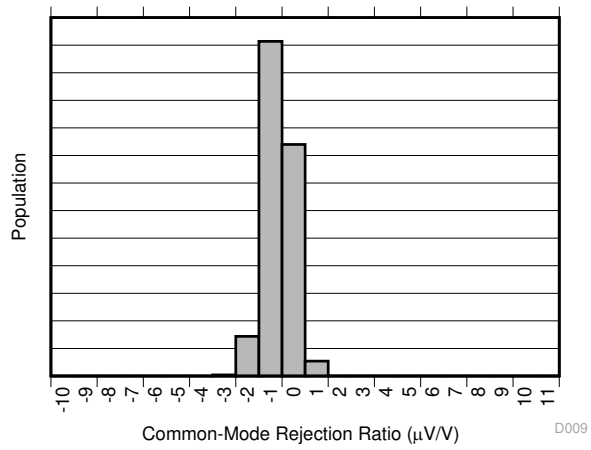


図 6-9. 同相除去比の製品分布 A4

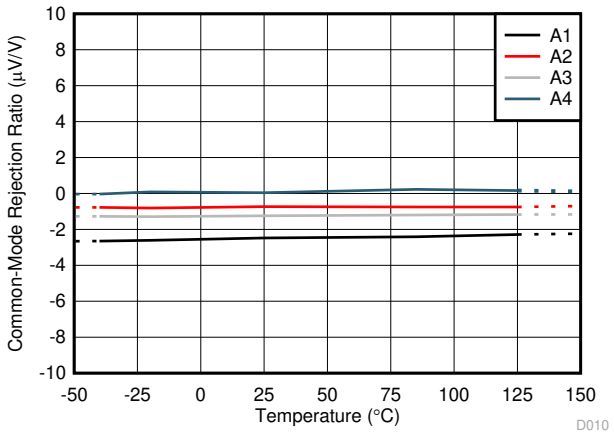


図 6-10. 同相除去比と温度との関係

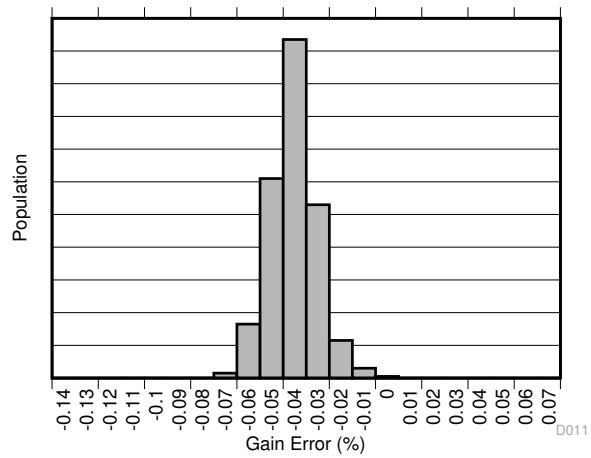


図 6-11. ゲイン誤差の製品分布 A1

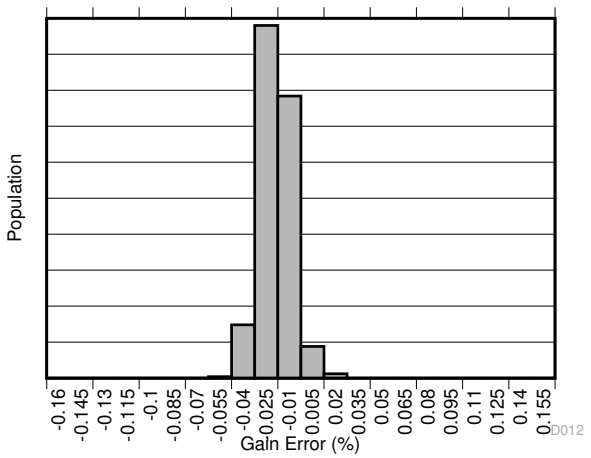


図 6-12. ゲイン誤差の製品分布 A2

Copyright © 2024 Texas Instruments Incorporated

6.6 代表的特性 (続き)

T_A = 25℃、V_S = 5V、V_{REF} = V_S/2、V_{IN+} = 12V (特に記述のない限り)

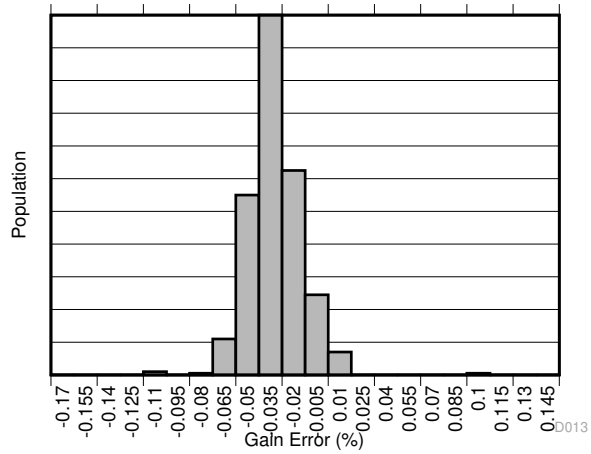


図 6-13. ゲイン誤差の製品分布 A3

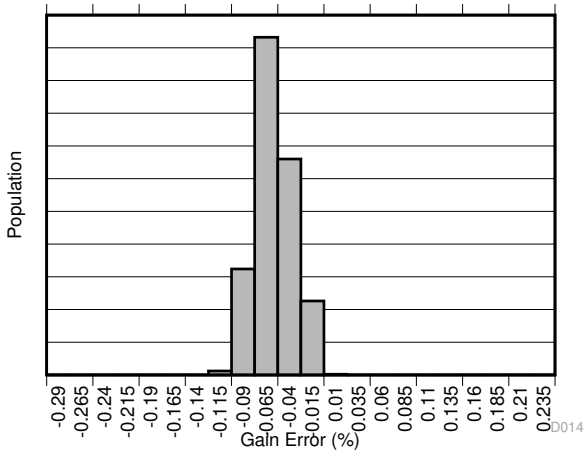


図 6-14. ゲイン誤差の製品分布 A4

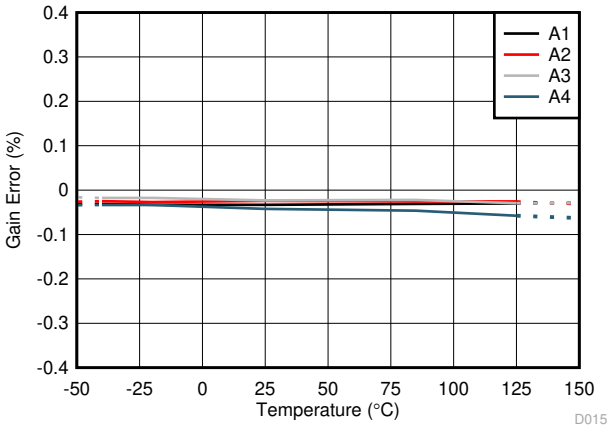


図 6-15. ゲイン誤差と温度との関係

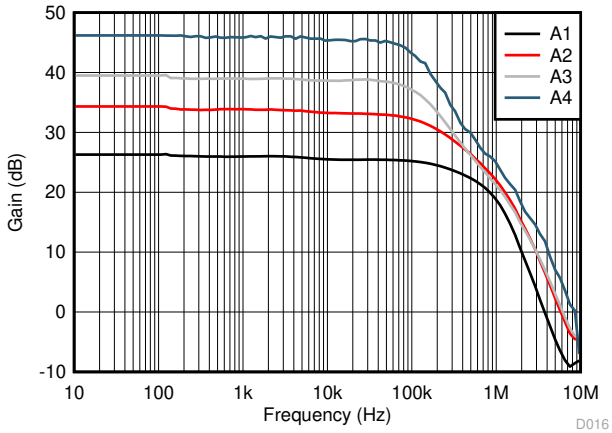


図 6-16. ゲインと周波数との関係

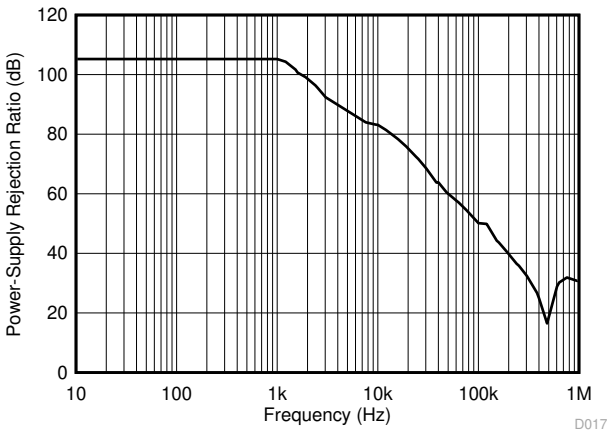


図 6-17. 電源除去比と周波数との関係

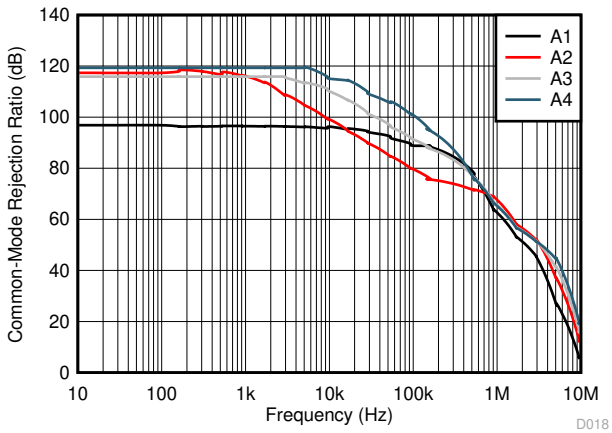


図 6-18. 同相除去比と周波数との関係

6.6 代表的特性 (続き)

T_A = 25℃、V_S = 5V、V_{REF} = V_S/2、V_{IN+} = 12V (特に記述のない限り)

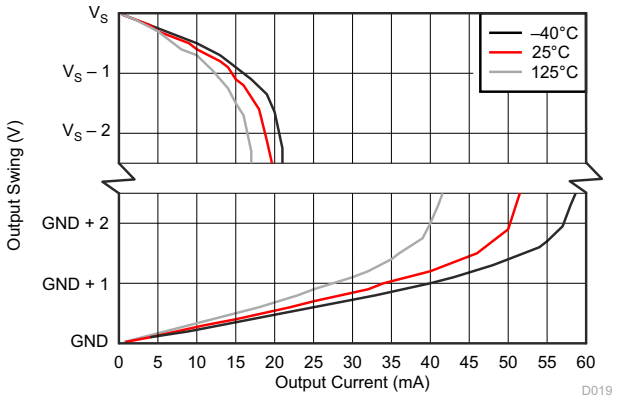
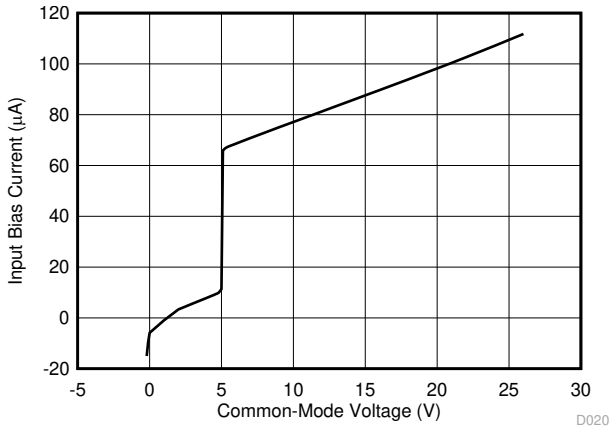
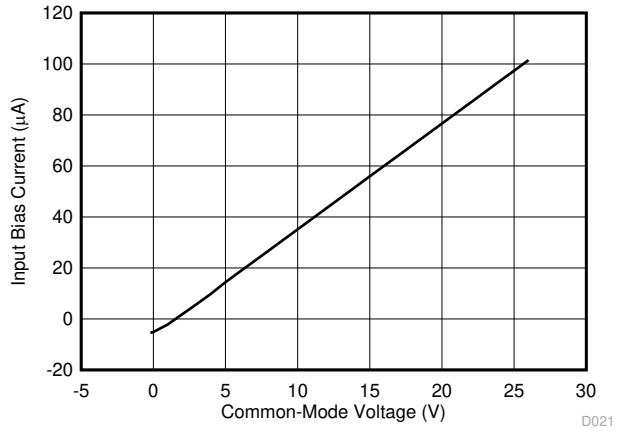


図 6-19. 出力電圧スイングと出力電流との関係



電源電圧 = 5V

図 6-20. 入力バイアス電流と同相電圧との関係



電源電圧 = 0V

図 6-21. 入力バイアス電流と同相電圧との関係 (両方の入力、シャットダウン)

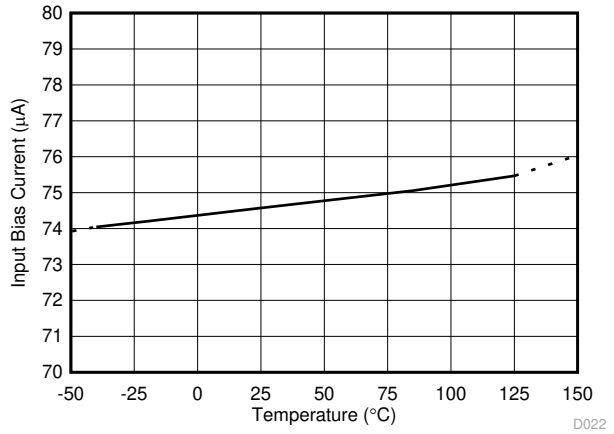


図 6-22. 入力バイアス電流と温度との関係

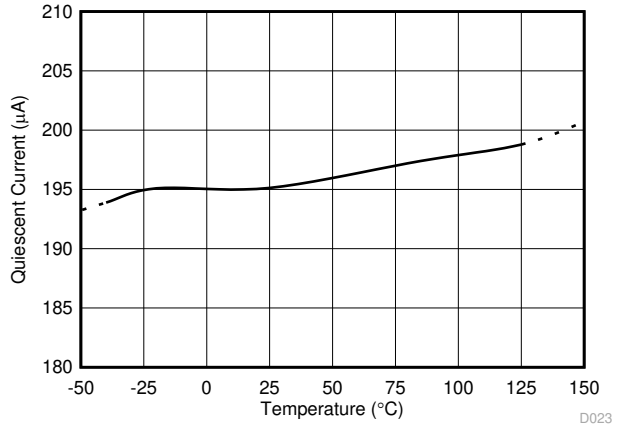


図 6-23. 静止電流と温度との関係 (INA181)

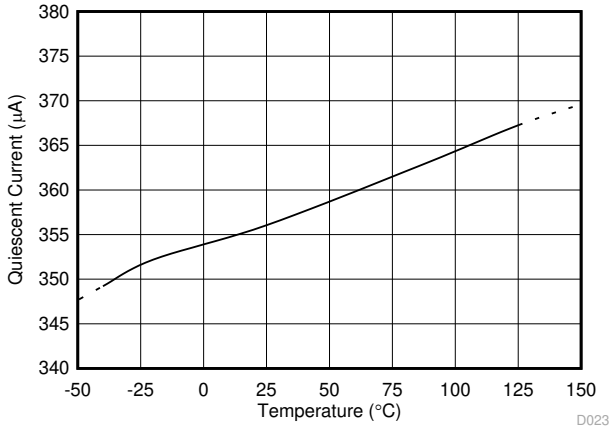


図 6-24. 静止電流と温度との関係 (INA2181)

Copyright © 2024 Texas Instruments Incorporated

6.6 代表的特性 (続き)

T_A = 25℃、V_S = 5V、V_{REF} = V_S/2、V_{IN+} = 12V (特に記述のない限り)

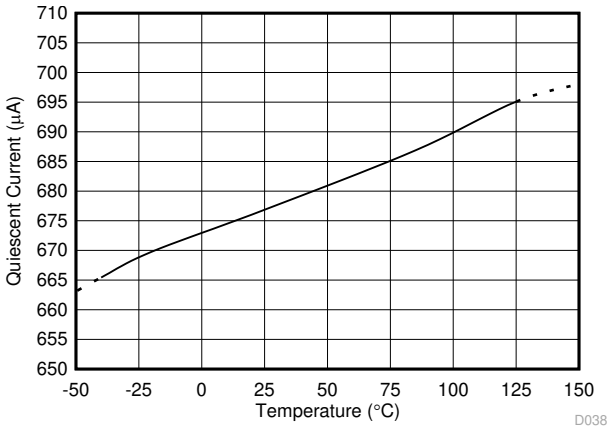


図 6-25. 静止電流と温度との関係 (INA4181)

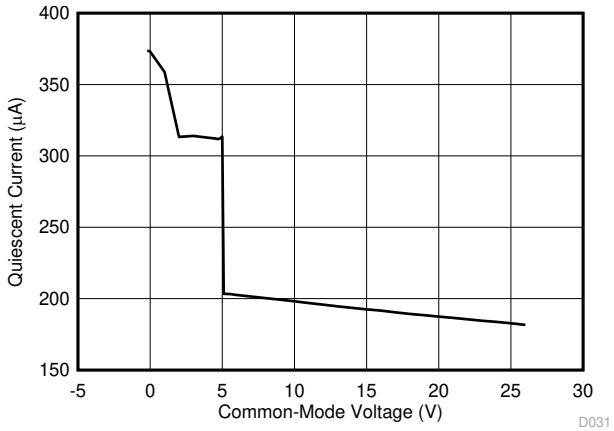


図 6-26. I_Q と同相電圧との関係 (INA181)

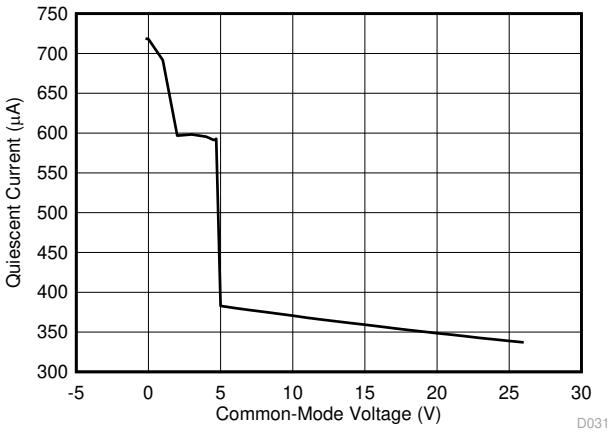


図 6-27. I_Q と同相電圧との関係 (INA2181)

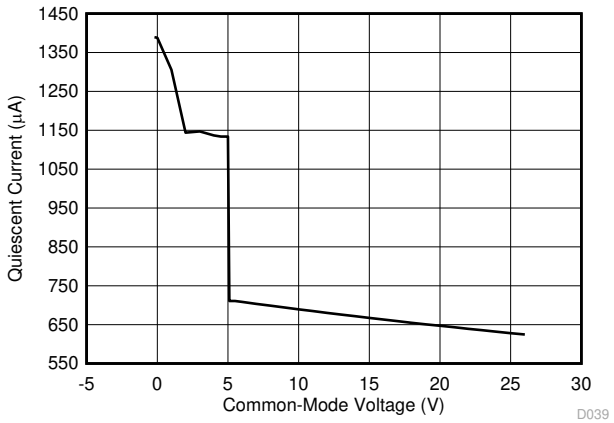


図 6-28. I_Q と同相電圧との関係 (INA4181)

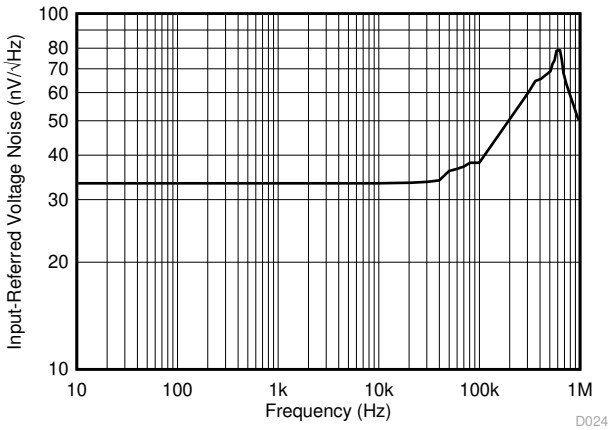


図 6-29. 入力換算電圧ノイズと周波数との関係 (A3 デバイス)

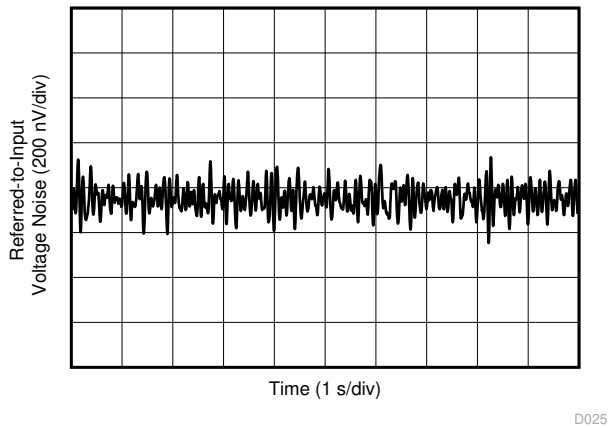
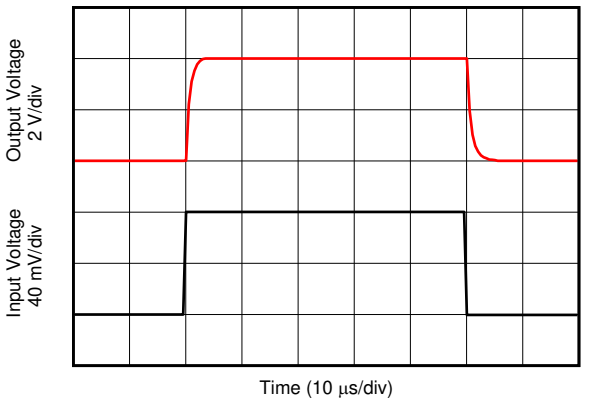


図 6-30. 0.1Hz～10Hz の電圧ノイズ (入力換算)

6.6 代表的特性 (続き)

T_A = 25℃、V_S = 5V、V_{REF} = V_S/2、V_{IN+} = 12V (特に記述のない限り)



80mV$_{PP}$ の入力ステップ

図 6-31. ステップ応答

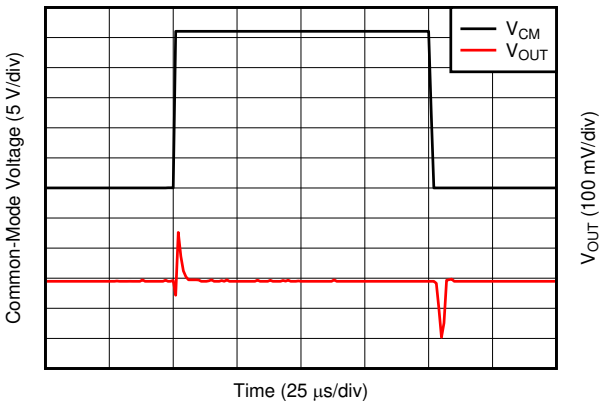


図 6-32. 同相電圧の過渡応答

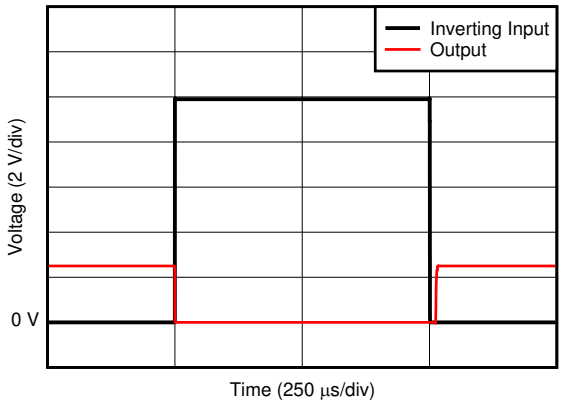


図 6-33. 反転差動入力による過負荷

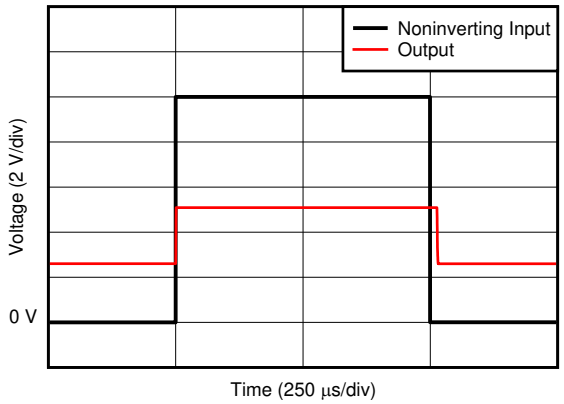


図 6-34. 非反転差動入力による過負荷

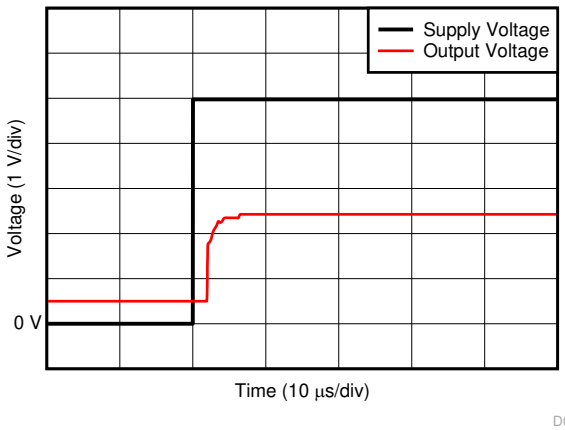


図 6-35. 起動応答

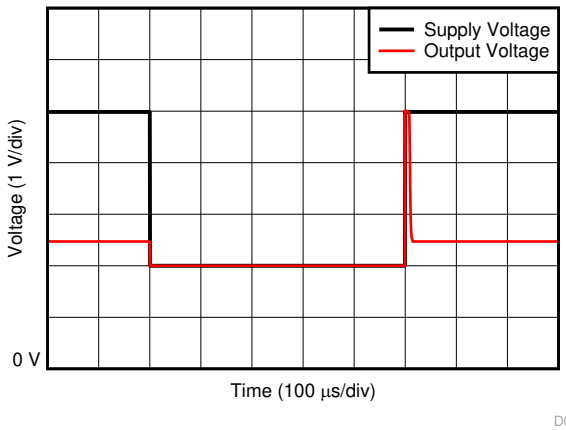


図 6-36. ブラウンアウトからの復帰

Copyright © 2024 Texas Instruments Incorporated

6.6 代表的特性 (続き)

T_A = 25℃、V_S = 5V、V_{REF} = V_S/2、V_{IN+} = 12V (特に記述のない限り)

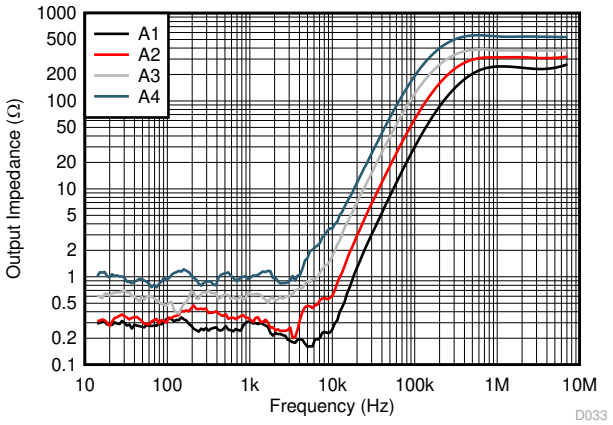


図 6-37. 出力インピーダンス 対 周波数

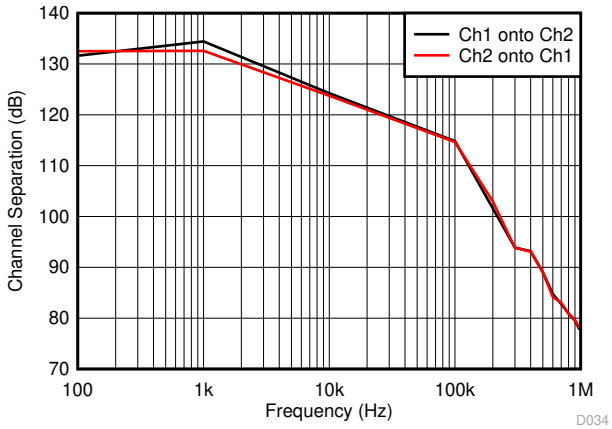


図 6-38. チャネル セパレーションと周波数との関係 (INA2181)

7 詳細説明

7.1 概要

INA181、INA2181、INA4181 (INAx181) は 26V 同相電流センシング アンプで、ローサイドとハイサイドの両方の構成で使用できます。この特別に設計された電流センシング アンプは、電流検出抵抗の両端に発生する電圧 (デバイスに電力を供給する電源電圧をはるかに上回る同相電圧) を正確に測定します。電流は最大 26V の入力電圧レール上で測定でき、デバイスには最小 2.7V の電源電圧から電力を供給できます。

7.2 機能ブロック図

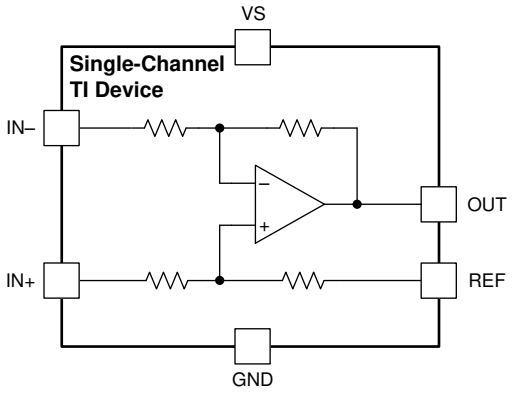


図 7-1. INA181 の機能ブロック図

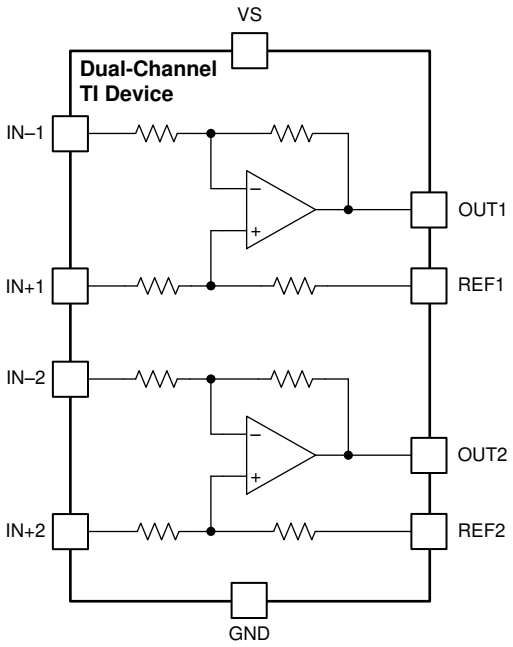


図 7-2. INA2181 の機能ブロック図

Copyright © 2024 Texas Instruments Incorporated

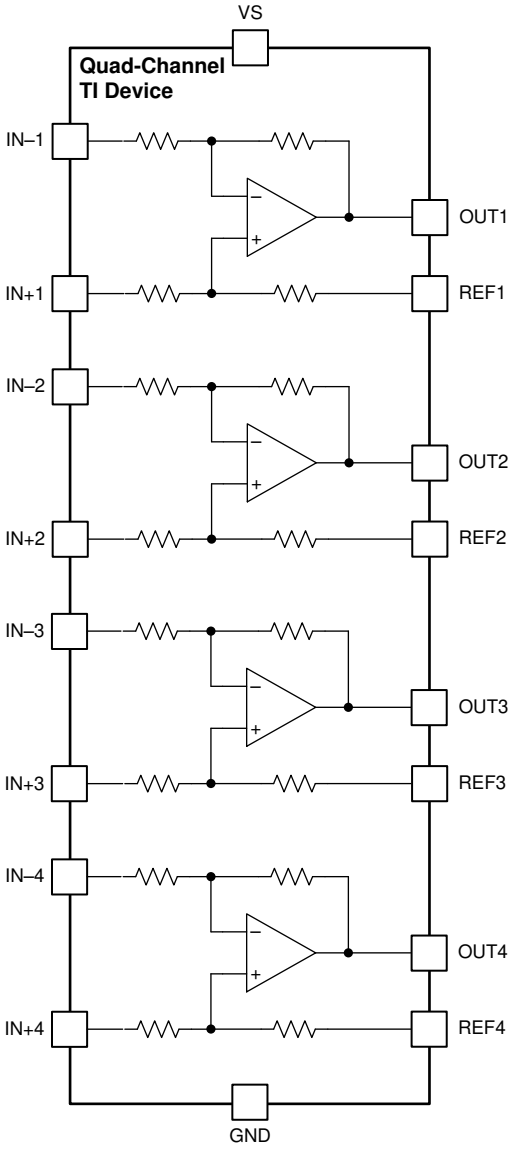


図 7-3. INA4181 の機能ブロック図

7.3 機能説明

7.3.1 広い帯域幅と大きなスルーレート

INAx181 は、最大 350kHz の小信号帯域幅と、2V/µs の大信号スルーレートをサポートしています。INAx181 は、検出電流の高速な変化を検出し、出力を高速に駆動できるため、入力電流の変化に対する素早い応答が必要とされるアプリケーションのための優れた選択肢と言えます。広い帯域幅と大きなスルーレートを必要とするアプリケーションの 1 つにローサイド・モーター制御があります。ローサイド・モーター制御では、モーターの急激に変化する電流に追従する能力は、より広い動作範囲にわたるより正確な制御を可能にします。より高い帯域幅とスルーレートを必要とするもう 1 つのアプリケーションは、システム障害検出です。この場合、INAx181 を外部コンパレータおよびリファレンスとともに使用して、検出された電流が範囲外であることを迅速に検出します。

7.3.2 双方向電流監視

INA181 は、検出抵抗を流れる電流を両方向で検出します。双方向の電流センシング機能は、REF ピンに電圧を印加して出力電圧をオフセットすることで実現されます。入力で正の差動電圧が検出されると、出力電圧は印加されている基準電圧よりも高くなります。同様に、入力で負の差動電圧が検出されると、出力電圧は印加されている基準電圧よりも低くなります。式 1 に、電流センス アンプの出力電圧を示します。

$$V_{OUT} = (I_{LOAD} \times R_{SENSE} \times GAIN) + V_{REF} \quad (1)$$

ここで、

- I_{LOAD} は、監視対象の負荷電流です。
- R_{SENSE} は電流検出抵抗です。
- GAIN は選択されたデバイスのゲイン オプションです。
- V_{REF} は REF ピンに印加される電圧です。

7.3.3 広い入力同相電圧範囲

INAx181 は –0.2V～+26V の入力同相電圧をサポートしています。内部トポロジのため、電源電圧 (V_S) が 2.7V～5.5V の動作範囲内である限り、同相範囲は V_S で制限されません。図 7-4 に示すように、INAx181 は V_S よりも高い同相電圧でも低い同相電圧でも動作できるため、ハイサイドとローサイドの両方の電流センシング アプリケーションで使うことができます。

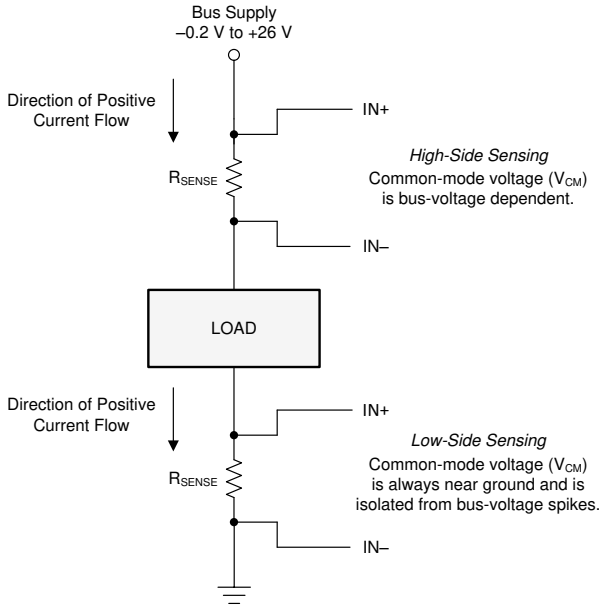


図 7-4. ハイサイドとローサイドのセンシング接続

Copyright © 2024 Texas Instruments Incorporated

7.3.4 高精度ローサイド電流センシング

ローサイド電流センシング アプリケーションで使用する場合、INAx181 のオフセット電圧は ±150µV 以内です。INAx181 の低オフセット性能には複数の利点があります。第 1 に、オフセットが小さいため、広いダイナミック レンジにわたって電流を測定する必要があるアプリケーションで本デバイスを使用できます。この場合、オフセットが小さいことにより、検出電流が測定範囲の下限にある場合の精度が向上します。低オフセットのもう 1 つの利点は、検出抵抗の両端のより小さい電圧降下を正確に検出できることです。そのため、より小さい値のシャント抵抗が使えます。シャント抵抗の値が小さいと、電流検出回路での電力損失が減少し、最終アプリケーションの電力効率が向上します。

INAx181 のゲイン誤差は、実際の値の 1% 以下と規定されています。検出電圧がオフセット電圧よりもはるかに大きくなると、この電圧が電流センシング測定の主要な誤差源となります。

7.3.5 レール・ツー・レール出力

INAx181 では、出力が電源レールおよび GND に近い部分でもリニア電流センシング動作が可能です。正のレールまでの最大出力スイングは 30mV、GND までの最大出力スイングはわずか 5mV です。INAx181 の出力スイングを、等価のオペアンプ (OP アンプ) と比較するには、オペアンプのデータシートに規定されている開ループ条件を近似するため、入力をオーバードライブします。電流センス アンプは閉ループ システムであるため、単方向動作 (V_{REF} = 0V) 時の GND への出力スイングは、オフセット電圧とアンプ ゲインの積で制限される可能性があります。

オフセット電圧が正のデバイスでは、GND へのスイングは、オフセット電圧にゲインを乗算した値、または「電気的特性」表に規定されている GND へのスイングのいずれか大きい方に制限されます。

たとえば、INA181A4 (ゲイン = 200V/V) をローサイド電流センシングに使用しており、デバイスのオフセットが 40µV のアプリケーションでは、デバイスのオフセットとゲインの積が 8mV となり、これは規定の負のスイング値よりも大きくなっています。そのため、この例では GND へのスイングは 8mV です。同じデバイスでオフセットが -40µV の場合、計算されるゼロ差動信号は -8mV となります。この場合、オフセットによりスイングが負の方向にオーバードライブされ、スイング性能は「電気的特性」表に規定されている値と同じになります。

オフセット電圧は、CMRR の仕様で規定される同相電圧の関数であるため、同相電圧が高くなるとオフセット電圧は増加します。オフセット電圧が増加すると、V_{REF} = 0V、高い同相電圧で動作しているときに、ゼロ電流状態で出力電圧をどれだけ低くできるかが制限されます。図 7-5 に、各ゲイン オプションにおけるゼロ電流出力電圧の標準的な制限と同相電圧との関係を示します。

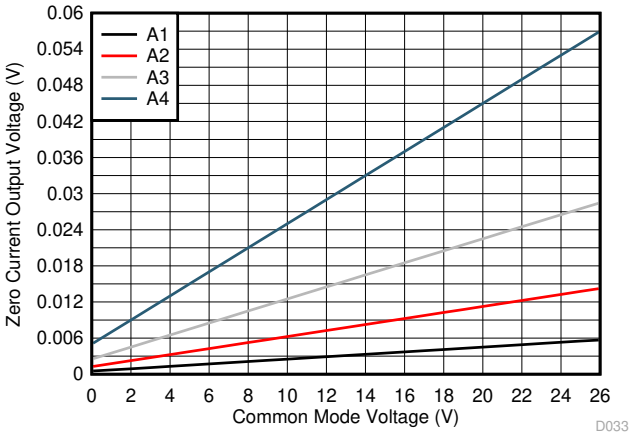


図 7-5. ゼロ電流出力電圧と同相電圧との関係

7.4 デバイスの機能モード

7.4.1 通常モード

INAx181 は、以下の条件が満たされると通常動作になります。

- 電源電圧 (V_S) が 2.7V～5.5V。
- 同相電圧 (V_{CM}) が -0.2V～+26V の規定範囲内。
- 最大差動入力信号にゲインを乗算して V_{REF} を加えた値が、V_S から出力電圧の V_S までのスイングを引いた値より小さい。
- 最小差動入力信号にゲインを乗算して V_{REF} を加えた値が、GND までのスイングよりも大きい (レール・ツー・レール出力 セクションを参照)。

これらのデバイスは、通常動作中は IN+ から IN- の差分電圧にゲインを乗算した値に基準電圧 (V_{REF}) を加えた値の出力電圧を生成します。

7.4.2 単方向モード

これらのデバイスは、REF ピンの構成方法によって、一方向 (単方向) または両方向 (双方向) の電流フローを監視するように構成できます。最も一般的なのは単方向構成で、REF ピンをグランドに接続することにより、電流が流れていないときの出力がグランドに設定されます (図 7-6 を参照)。バス電源から負荷に電流が流れると、IN+ と IN- の間の入力信号が増加し、OUT ピンの出力電圧が上昇します。

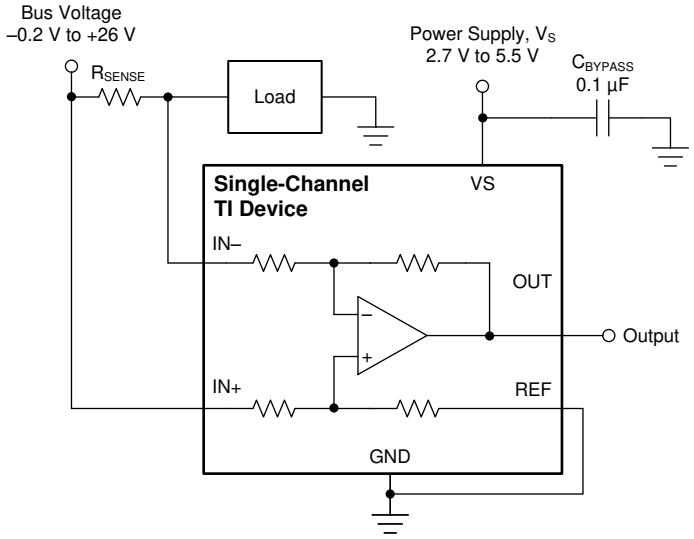


図 7-6. 単方向アプリケーション

出力段のリニア動作範囲は、ゼロ入力条件で出力電圧がグランドにどれだけ近づくことができるかによって制限されます。非常に低い入力電流を測定する必要のある単方向アプリケーションでは、REF ピンを 50mV を超える使いやすい値にバイアスして、出力をデバイスのリニア動作範囲内にします。同相除去誤差を制限するため、REF ピンに接続する基準電圧をバッファリングすることを推奨します。

それほどよく使用されない出力バイアス方法として、REF ピンを電源電圧 V_S に接続する方法もあります。この方法では、差動入力信号がない場合、出力電圧が電源電圧より 200mV 低い値で飽和します。この方法は、REF ピンがグランドに接続されているときに、入力信号がない状態で出力が Low に飽和するのと似ています。この構成の出力電圧は、デバイスの IN- ピンに対して負の差動入力電圧を発生させる負の電流にのみ応答します。これらの条件で、差動入力信号が負の方向に増加すると、出力電圧は飽和電源電圧から下方向に移動します。REF ピンに印加される電圧が、V_S を超えないようにする必要があります。

Copyright © 2024 Texas Instruments Incorporated

7.4.3 双方向モード

INAx181 は双方向電流センス アンプで、抵抗性シャントを通過する電流を双方向で測定できます。この双方向監視は、抵抗を流れる電流の方向が変わる可能性のある充電 / 放電動作を含むアプリケーションで一般的です。

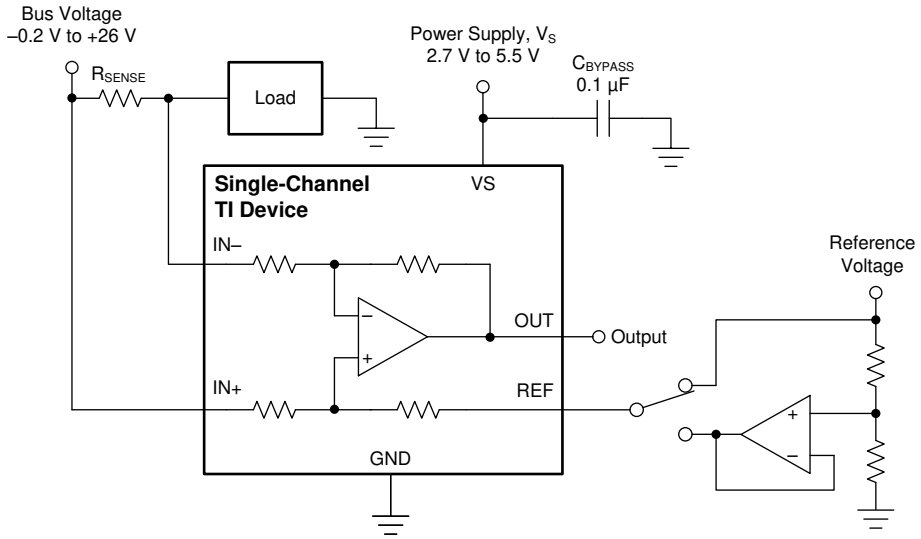


図 7-7. 双方向アプリケーション

両方向に流れるこの電流を測定するには、REF ピンに電圧を印加します。図 7-7 を参照してください。REF に印加される電圧 (V_{REF}) により、ゼロ入力レベル状態に対応する出力状態が設定されます。出力は、(IN- ピンに対して) 正の差動信号の場合は V_{REF} より高くなり、負の差動信号の場合は V_{REF} より低くなります。REF ピンに印加されるこの基準電圧は、0V～V_S に設定できます。双方向アプリケーションでは、V_{REF} は、両方向の信号範囲が等しくなるように、通常は中間スケールに設定されます。ただし、双方向電流と対応する出力信号が対称である必要がない場合は、V_{REF} が中間スケール以外の電圧に設定されることもあります。

7.4.4 入力差動過負荷

差動入力電圧 (V_{IN+} - V_{IN-}) にゲインを乗算した値が電圧スイング仕様を超える場合、INAx181 は正の電源またはグランドにできるだけ近い値で出力を駆動し、差動入力電圧を正確に測定できません。通常の回路動作中にこの入力過負荷が発生する場合は、シャント抵抗の値を削減するか、低ゲインのバージョンを選択した検出抵抗とともに使用して、この動作モードを回避します。故障イベントで差動過負荷が発生した場合、故障条件が解消したほぼ 20µs 後に、INAx181 の出力は予測される値に戻ります。

INAx181 の出力を電源レールまたはグランドのいずれかに駆動する場合、絶対最大定格を超えない限り、差動入力電圧を上げてもデバイスは損傷しません。これらのガイドラインに従うと、INAx181 の出力の極性が維持され、位相反転は発生しません。

Copyright © 2024 Texas Instruments Incorporated

7.4.5 シャットダウン・モード

INAx181 にはシャットダウン ピンはありませんが、これらのデバイスは消費電力が低いため、論理ゲートの出力またはトランジスタ スイッチから INAx181 に電力を供給できます。このゲートまたはスイッチは、INAx181 の電源の静止電流をオンまたはオフにします。

ただし、電流シャント監視アプリケーションでは、シャットダウン条件においてシャント回路で消費される電流の量を考慮する必要があります。この消費電流を評価するには、図 7-8 に示すシャットダウン モードでの INAx181 の概略回路図を考慮します。

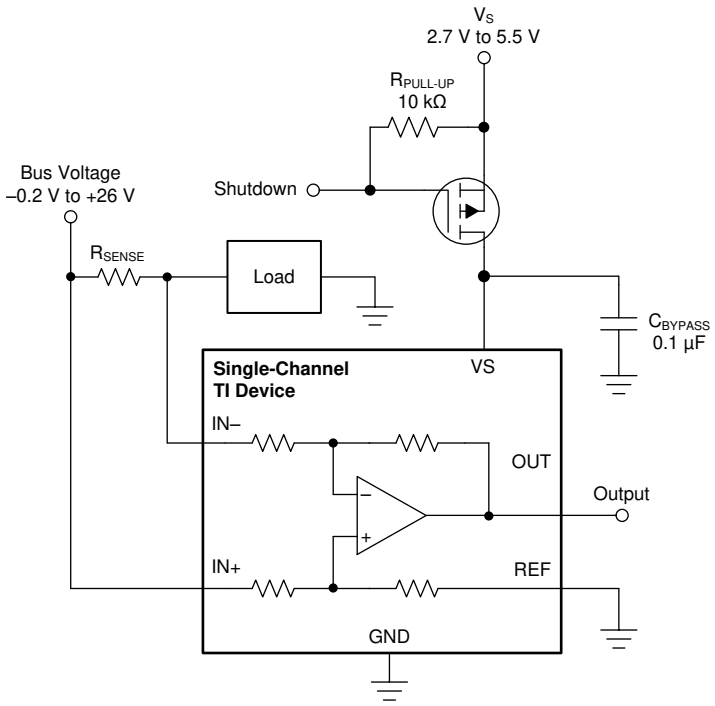


図 7-8. 基準をグランドに接続した INA181 をシャットダウンするための基本的な回路

INAx181 の各入力から OUT ピンと REF ピンまでのインピーダンスは、通常 500kΩ を上回ります (500kΩ の帰還抵抗と入力ゲイン設定抵抗の組み合わせによる)。これらのピンを流れる電流の量は、接続部分の電圧によって異なります。たとえば、REF ピンがグランドに接続されている場合、シャントからグランドへの 500kΩ インピーダンスの影響は簡単に計算できます。ただし、INAx181 がシャットダウン モードのときにリファレンスに電力を供給する場合、入力電流は 500kΩ のインピーダンスと、正の入力と基準電圧に印加される電圧との電圧差によって決定されます。

出力ピンへの 500kΩ パスに関しては、ディセーブルされた INAx181 の出力段はグランドへの適切なパスとなります。その結果、この電流は 500kΩ の抵抗の両端に印加されるシャント同相電圧に正比例します。

デバイスに電源が投入されたときにシャントの同相電圧が V_S を上回っていれば、適切にマッチングされた 55µA の標準電流が追加で各入力に流れます。V_S 未満の場合は、同相入力電流は無視できるほど小さく、電流への影響は 500kΩ 抵抗のみとなります。

Copyright © 2024 Texas Instruments Incorporated

8 アプリケーションと実装

注

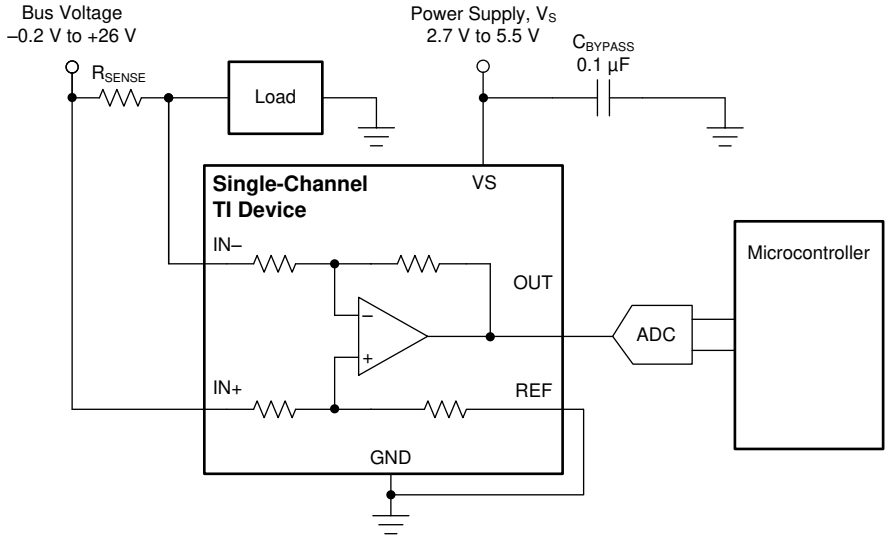
以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

INAx181 は、電流が抵抗を経由して負荷またはグランドに流れるとき、電流検出抵抗の両端に発生する電圧を増幅します。基準ピンを駆動して出力信号の機能を調整できるため、前のセクションで説明したように、複数の構成が可能です。

8.1.1 基本的な接続

図 8-1 に、INA181 の基本的な接続を示します。入力ピン (IN+ および IN-) は、シャント抵抗に対して直列となる抵抗分を最小にするため、シャント抵抗のできるだけ近くに接続する必要があります。



注：デバイスと A/D コンバータ (ADC) の間のグランド オフセット誤差を除去するため、REF ピンを ADC リファレンス入力に接続してからグランドに接続します。最高の性能を得るには、INAx181 の出力と ADC の間に RC フィルタを使用します。詳細については、『ZOUT を使用した負荷誘起アンプの安定性に関する問題の閉ループ解析』アプリケーション レポートを参照してください。

図 8-1. INA181 の基本的な接続

正常に動作させるには、0.1µF 以上の電源バイパス コンデンサが必要です。ノイズが多い、またはインピーダンスが高い電源を使ったアプリケーションでは、デカップリング・コンデンサの追加による電源ノイズの除去が必要な場合があります。デバイス・ピンの直近にバイパス・コンデンサを接続します。

8.1.2 R_{SENSE} とデバイスのゲインの選択

INAx181 の精度を最大限に上げるには、できるだけ大きな電流検出抵抗を選択します。検出抵抗が大きいほど、与えられた電流の量に対する差動入力信号が大きくなり、オフセット電圧が誤差に与える影響が低減されます。ただし、特定のアプリケーションで電流検出抵抗をどれだけ大きくできるかについては、実用面での制限があります。INAx181 を 12V の同相電圧入力で動作させると、各入力の標準的な入力バイアス電流は 75µA になります。大きな電流検出抵抗を使用すると、これらのバイアス電流によってオフセット誤差が増加し、同相除去が低下します。そのため、精度の高い電流監視が必要なアプリケーションでは、一般に数 Ω を超える電流検出抵抗の使用は推奨されません。電流検出抵抗の値に対するもう 1 つの一般的な制限は、抵抗に許容される最大消費電力です。特定の消費電力バジェットでの電流検出抵抗の最大値は、式 2 で計算されます。

$$R_{SENSE} < \frac{PD_{MAX}}{I_{MAX}^2} \tag{2}$$

ここで

- PD_{MAX} は、R_{SENSE} で許容される最大消費電力です。
- I_{MAX} は、R_{SENSE} を流れる最大電流です。

電流検出抵抗とデバイスのゲインの大きさは、電源電圧、V_S、およびデバイスのスイング ツー レール制限によっても制限されます。電流検出信号が出力に正しく渡されるよう、正と負の両方の出力スイングについて制限を調べる必要があります。デバイスが正のスイング制限に達しないための R_{SENSE} とゲインの最大値は、式 3 で示されます。

$$I_{MAX} \times R_{SENSE} \times GAIN < V_{SP} - V_{REF} \tag{3}$$

ここで

- I_{MAX} は、R_{SENSE} を流れる最大電流です。
- GAIN は電流センス アンプのゲインです。
- V_{SP} は、データシートに規定されている正の出力スイングです。
- V_{REF} は、REF ピンに外部から印加される電圧です。

R_{SENSE} の値を選択するときに正の出力スイング制限を回避するため、検出抵抗の値とデバイスのゲインとの間には常にトレードオフが存在します。最大消費電力に対して選択した検出抵抗が大きすぎる場合は、正のスイング制限を回避するため、ゲインの低いデバイスを選択できます。

負のスイング制限は、特定のアプリケーションでどれだけ小さい検出抵抗を使用できるかを制限します。検出抵抗の最小サイズの制限は、式 4 で示されます。

$$I_{MIN} \times R_{SENSE} \times GAIN > V_{SN} - V_{REF} \tag{4}$$

ここで

- I_{MIN} は、R_{SENSE} を流れる最小電流です。
- GAIN は電流センス アンプのゲインです。
- V_{SN} はデバイスの負の出力スイングです (レール・ツー・レール出力 を参照)。
- V_{REF} は、REF ピンに外部から印加される電圧です。

オフセットとゲインの調整に加えて、REF ピンに印加する電圧をわずかに高くすることで、負のスイングの制限を回避できます。

Copyright © 2024 Texas Instruments Incorporated

8.1.3 信号フィルタリング

INAx181 の出力が高インピーダンスの入力に接続されている場合、OUT から GND までの単純な RC ネットワークを使用して、デバイスの出力でフィルタ処理するのが最適です。出力でのフィルタ処理により、同相電圧、差動入力信号、INAx181 電源電圧の高周波外乱を減衰させることができます。出力でのフィルタ処理が不可能な場合、または差動入力信号のみがフィルタ処理を必要とする場合、本デバイスの入力ピンにフィルタを接続します。図 8-2 に、本デバイスの入力ピンでフィルタを使用する方法の例を示します。

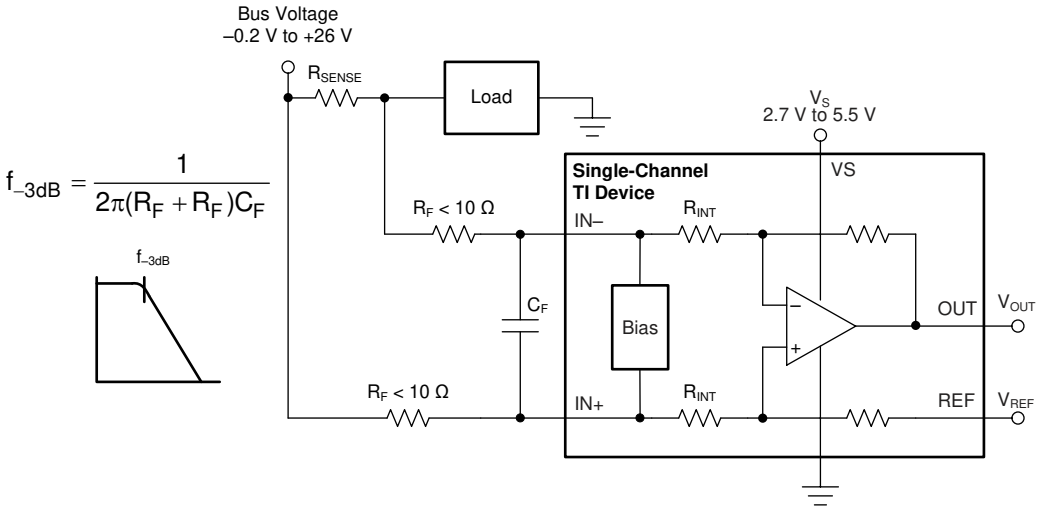


図 8-2. 入力ピンでのフィルタリング

外付け直列抵抗の追加は測定誤差の増大につながるため、これらの直列抵抗の値は 10Ω 以下に維持し、精度への影響を低減する必要があります。図 8-2 に示す内部バイアス ネットワークは、入力ピンの間に差動電圧が印加されたときに、入力バイアス電流のミスマッチを引き起こします。外付け直列フィルタ抵抗を回路に追加した場合、バイアス電流のミスマッチは結果的にフィルタ抵抗両端の電圧降下のミスマッチをもたらします。このミスマッチは、シャント抵抗の両端に発生する電圧から差し引かれる差動誤差電圧を生じさせます。この誤差により、シャント抵抗の両端に発生する電圧と本デバイスの入力ピンの電圧に差が生じます。直列抵抗を追加しなければ、入力バイアス電流のミスマッチがデバイスの動作に及ぼす影響はほとんどありません。これらの外付けフィルタ抵抗により追加される測定誤差の大きさは、式 6 を使用して計算できます。ゲイン誤差係数の計算には、式 5 が使用されます。

シャント抵抗に発生する電圧に対する本デバイスの入力差動電圧のばらつきの大きさは、外付け直列抵抗 (R_F) の値と内部入力抵抗 R_{INT} の値の両方に基づきます (図 8-2 を参照)。本デバイスの入力ピンに到達するシャント電圧の低下は、シャント抵抗両端の電圧と出力電圧を比較する際のゲイン誤差として現れます。外付け直列抵抗を追加することによって生じるゲイン誤差の大きさを求めるため、係数を計算できます。シャント電圧と本デバイスの入力ピンでの電圧の偏差の推定値は、式 5 を使用して計算します。

$$\text{Gain Error Factor} = \frac{1250 \times R_{INT}}{(1250 \times R_F) + (1250 \times R_{INT}) + (R_F \times R_{INT})} \quad (5)$$

ここで

- R_{INT} は内部入力抵抗です。
- R_F は外付け直列抵抗です。

式 5 からの調整係数にはデバイスの内部入力抵抗が含まれているため、この係数はゲインのバージョンによって異なります。バージョンごとのゲインを表 8-1 に示します。表 8-2 に、各デバイスのゲイン誤差係数を示します。

表 8-1. 入力抵抗

製品名	ゲイン	R_{INT} (kΩ)
INAx181A1	20	25
INAx181A2	50	10
INAx181A3	100	5
INAx181A4	200	2.5

表 8-2. デバイスのゲイン誤差係数

製品名	簡略化されたゲイン誤差係数
INAx181A1	$\frac{25000}{(21\times R_F)+25000}$
INAx181A2	$\frac{10000}{(9\times R_F)+10000}$
INAx181A3	$\frac{1000}{R_F+1000}$
INAx181A4	$\frac{2500}{(3\times R_F)+2500}$

外付け直列抵抗を追加した場合のゲイン誤差は、式 6 で計算できます。

$$\text{Gain Error (\%)} = 100 - (100 \times \text{Gain Error Factor}) \quad (6)$$

たとえば、INA181A2 と、表 8-2 の対応するゲイン誤差の式を使用すると、10Ω の直列抵抗に対して 0.991 のゲイン誤差係数が得られます。対応するゲイン誤差は式 6 を使用して計算され、10Ω の外付け直列抵抗のみの理由で約 0.89% の追加ゲイン誤差が生じます。

Copyright © 2024 Texas Instruments Incorporated

8.1.4 複数の電流の加算

INA2181 の出力は、1 つのチャネルの出力を 2 番目のチャネルのリファレンス入力に接続することで、簡単に加算できます。図 8-3 に、電流加算を簡単に実現する回路構成を示します。複数の電流を正しく加算するには、電流検出抵抗 R_{SENSE} の値をすべてのチャネルで同じにする必要があります。

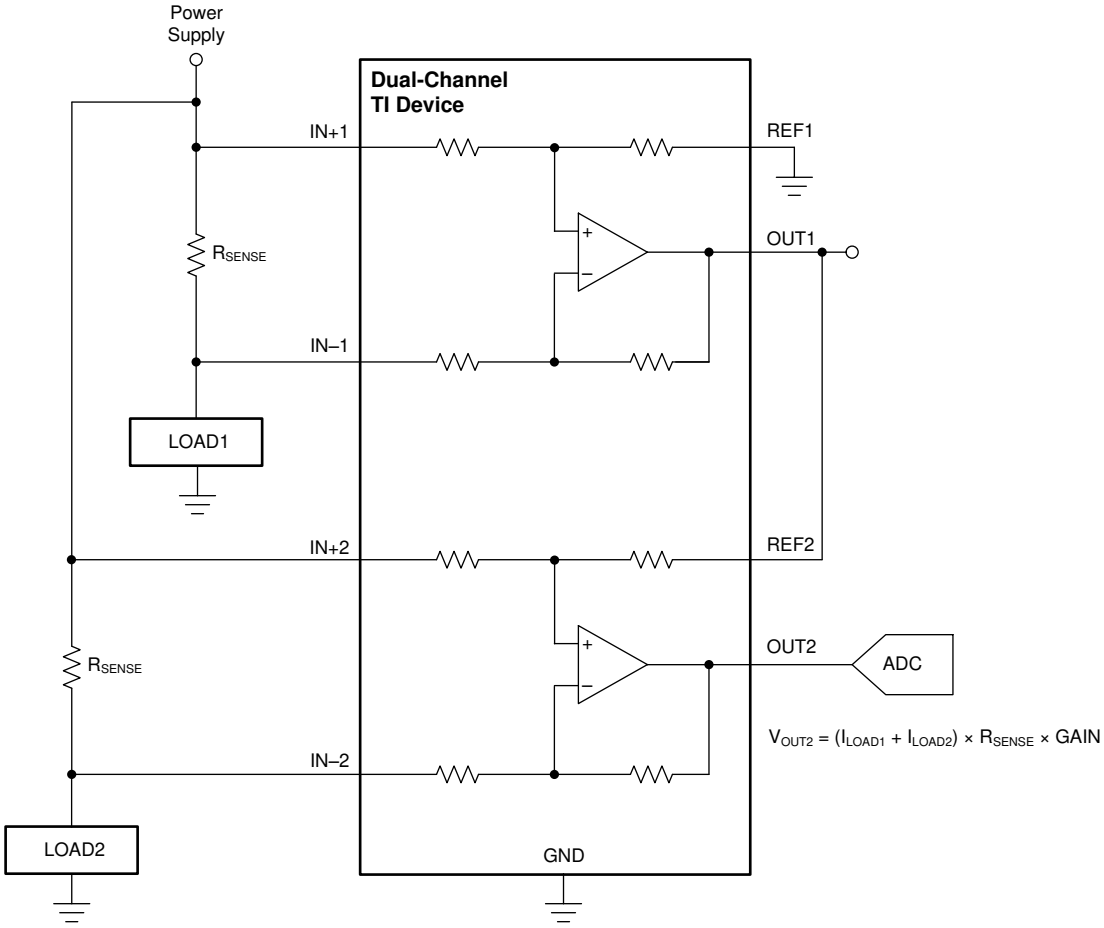


図 8-3. 複数の電流の加算

INA2181 の 1 つのチャネルの出力を、もう 1 つのチャネルのリファレンス入力に接続します。最初の回路のリファレンス入力を使用して、加算された最終的な出力動作点のリファレンスを設定します。チェーン内の各回路で検出された電流は、チェーン内の最後のデバイスの出力で加算されます。

Copyright © 2024 Texas Instruments Incorporated

図 8-4 に、加算構成の出力応答の例を示します。最初の回路のリファレンス ピンをグランドに接続し、さまざまな周波数の正弦波を 2 つの回路に印加すると、図に示すような加算された出力が生成されます。最初の回路への正弦波電圧入力は、波形全体が GND を上回るようオフセットされています。

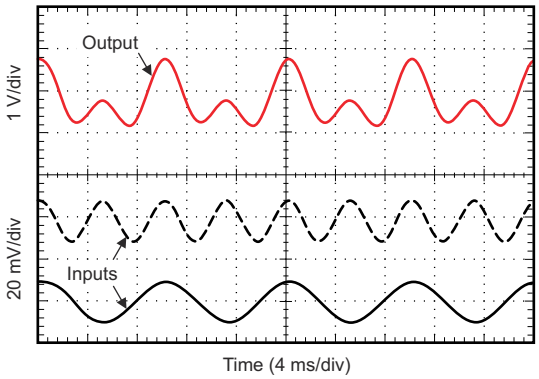


図 8-4. 電流加算アプリケーションの出力応答 (A2 デバイス)

8.1.5 リーク電流の検出

負荷に流入する電流と負荷から流出する電流が同一であることを確認する必要がある場合があります。通常これは、診断テストまたは障害検出の一部として行われます。この場合、高精度の電流差分が必要です。これは加算と同じですが、2 つのアンプの入力が互いに逆になるよう接続されている点が異なります。リーク電流を正しく検出するには、電流検出抵抗 R_{SENSE} の値をすべてのチャネルで同じにする必要があります。双方向のリーク電流検出を可能にするため、REF1 入力に外部基準電圧を印加します。

負荷に流入する電流が、負荷から流出する電流と等しい場合、OUT2 の電圧は REF1 に印加された電圧と同じになります。2 つの電流の正確な差分を取得するには、基準電圧を印加する必要があります。基準電圧は、デバイスの出力がグランドに駆動されるのを防ぎ、負荷に流入する電流が負荷から流出する電流より大きいか小さいかを検出できるようにします。

電流差分を取得するには、図 8-5 に示すように、デュアル チャネル INA2181 の入力が互いに逆になるよう接続する必要があります。最初のチャネルのリファレンス入力により、ストリング内のすべてのデバイスの出力静止レベルが設定されます。最初のチャネルの出力を、2 番目のチャネルのリファレンス入力に接続します。最初のチャネルのリファレンス入力により、出力の基準電圧が設定されます。この回路の例は電流加算の例と同じですが、2 つのシャント入力の極性が反転されています。通常動作条件では、最終的な出力は基準電圧値に非常に近く、電流差分に比例したものになります。この電流差分回路は、負荷に流入する電流と負荷から流出する電流が一致しないことを検出するのに役立ちます。

Copyright © 2024 Texas Instruments Incorporated

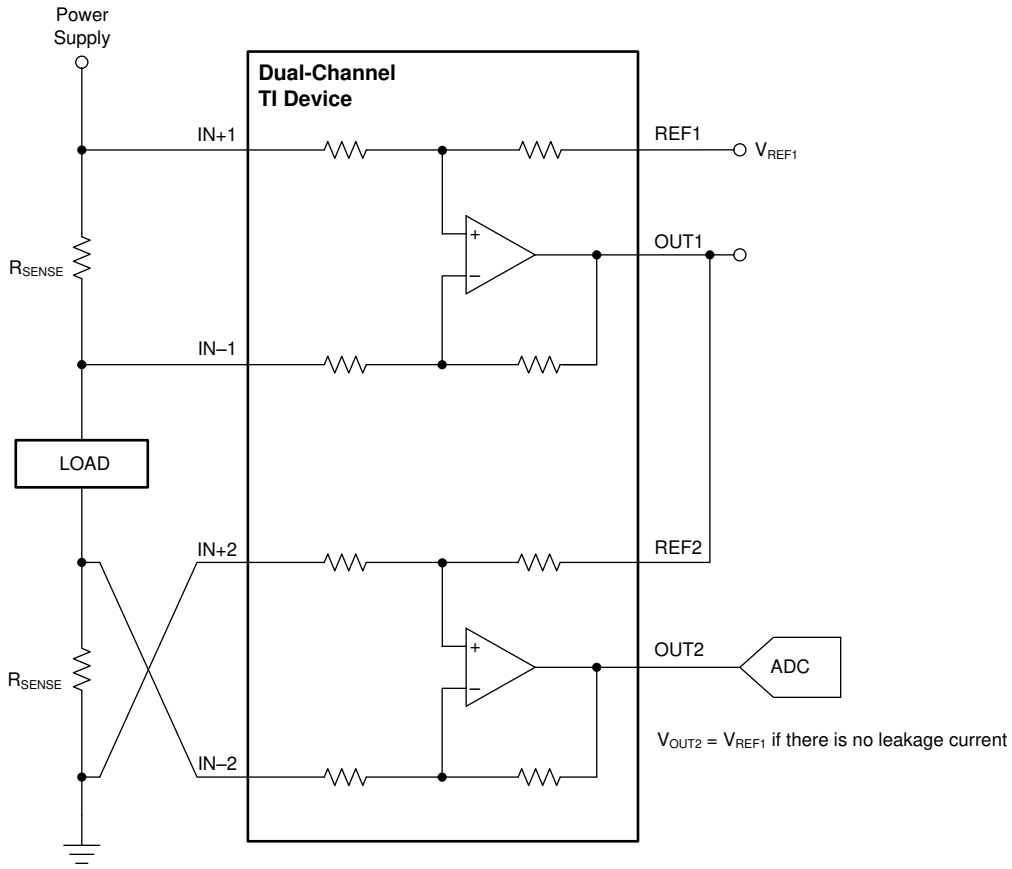


図 8-5. リーク電流の検出

図 8-6 に、差分構成の出力応答の例を示します。最初のチャネルのリファレンス ピンは 2.048V の基準電圧に接続されています。図に示すように、各回路の入力は 100Hz の正弦波で、互いに 180° の位相差があるので、出力は 0 になります。最初の回路への正弦波入力は、入力波が完全に GND を上回るようにオフセットされます。

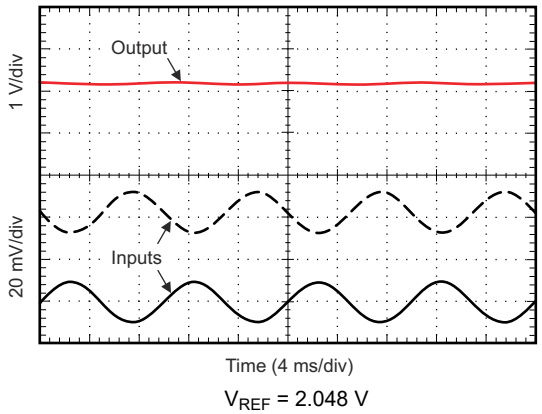


図 8-6. 電流差分アプリケーションの出力応答 (A2 デバイス)

8.2 代表的なアプリケーション

INAx181 のアプリケーションの 1 つは、双方向電流の監視です。双方向の電流は、双方向の電流を監視する必要があるシステムに存在します。一般的な例として、バッテリの充電と放電の監視、モーター制御での双方向電流の監視があります。図 8-7 に、双方向電流監視のデバイス構成を示します。この構成に示すように、REF ピンにデバイスの電源電圧の約 1/2 の安定した電圧を印加することで、正と負の両方の電流を監視できます。INAx181 を単方向の電流を監視するように構成するには、REF ピンをグランドに接続します。

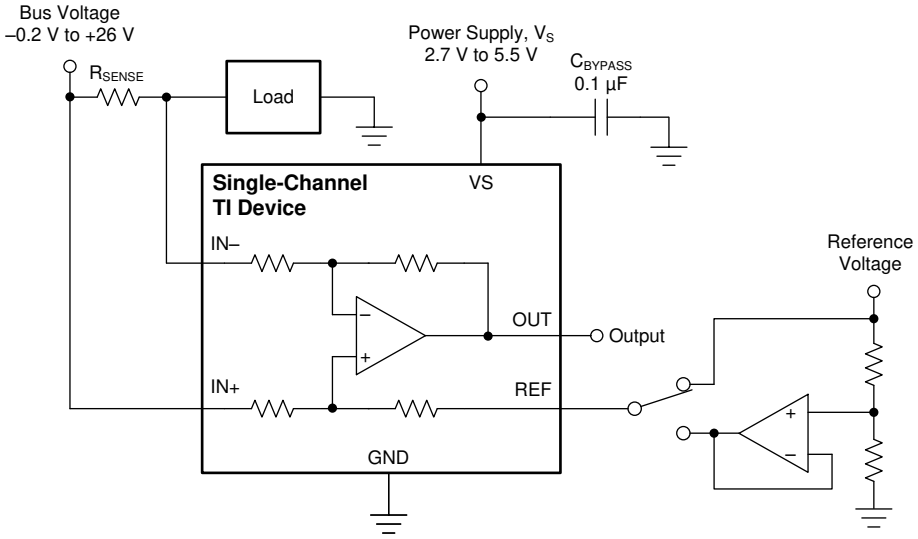


図 8-7. 双方向電流の測定

8.2.1 設計要件

図 8-7 に示す回路の設計要件を 表 8-3 に示します。

表 8-3. 設計パラメータ

設計パラメータ	数値の例
電源電圧 (V_S)	5V
バス電源レール (V_{CM})	12V
R_{SENSE} の電力損失	450mW 未満
最大センス電流 (I_{MAX})	±20A
電流センシング誤差	最大電流、T_J = 25°C 時に 3.5% 未満
小信号帯域幅	> 100 kHz

8.2.2 詳細な設計手順

電流検出抵抗の最大値は、最大電力損失の要件に基づいて計算されます。式 2 を使用して計算すると、電流検出抵抗の最大値は 1.125mΩ となります。これは検出抵抗 R_{SENSE} の最大値であるため、R_{SENSE} に 1mΩ を選択します。これが、電力損失の要件を満たす最も近い標準抵抗値です。

次の手順では、必要に応じて適切なゲインを選択して R_{SENSE} を削減し、出力信号スイングを V_S 範囲内に維持します。設計要件により双方向の電流監視が必要なため、REF ピンに 0 ～ V_S の範囲の電圧を印加する必要があります。監視対象の双方向電流は、約 0A を中心に対称となっています (±20A)。そのため、V_{REF} に印加する理想的な電圧は V_S/2 または 2.5V です。正電流が負電流より大きい場合、V_{REF} に印加する電圧を下げると、予測電流範囲の出力スイングを最大化できる利点があります。I_{MAX} = 20A、R_{SENSE} = 1mΩ、V_{REF} = 2.5V である場合、出力の正のスイング ツー レール制限を回避するための最大電流センス ゲインは、式 3 を使用して 122.5 と計算されます。同様に、負のスイング制限に対して式 4 を使用すると、最大ゲインは 124.75 になります。ゲインが 100 のデバイスを選択すると、出力スイング範囲内

Copyright © 2024 Texas Instruments Incorporated

に維持しながら出力範囲を最大化できます。計算された最大ゲインが 100 よりわずかに小さい場合は、電流検出抵抗の値を小さくすることにより、出力が出力スイング制限に達するのを防ぐことができます。

ピーク電流での精度を計算するには、ゲイン誤差とオフセット誤差の 2 つの要因を決定する必要があります。INAx181 のゲイン誤差は、最大 1% と規定されています。オフセットに起因する誤差は一定であり、V_{CM} = 12V、V_S = 5V の条件では 500µV (最大値) と規定されています。式 7 を使用すると、オフセット電圧の誤差寄与率は 2.5% と計算され、合計オフセット誤差 = 500µV、R_{SENSE} = 1mΩ、I_{SENSE} = 20A となります。

$$\text{Total Offset Error (\%)} = \frac{\text{Total Offset Error (V)}}{I_{SENSE} \times R_{SENSE}} \times 100\% \tag{7}$$

合計誤差を計算するには、オフセット誤差寄与率にゲイン誤差を加算するのが 1 つの方法です。ただしこの場合、ゲイン誤差とオフセット誤差は互いに影響を及ぼさず、相関もありません。合計誤差をより統計的に正確に計算するには、式 8 に示すように、エラーの RSS 合計を使用します。

$$\text{Total Error (\%)} = \sqrt{\text{Total Gain Error (\%)}^2 + \text{Total Offset Error (\%)}^2} \tag{8}$$

式 8 を適用すると、最大電流での合計電流センス誤差は 2.7% と計算されます。これは、設計例の要件である 3.5% を下回っています。

また、INA181A3 (ゲイン = 100) の帯域幅は 150kHz であり、100kHz の小信号帯域幅要件を満たします。より高い帯域幅が必要な場合は、ゲインの低いデバイスを使用できますが、出力電圧範囲が狭くなったり、R_{SENSE} の値が大きくなったりします。

8.2.3 アプリケーション曲線

図 8-8 に、双方向構成の出力応答の例を示します。REF ピンを基準電圧 (この場合 2.5V) に接続すると、出力電圧はこの基準電圧レベルによって上方にバイアスされます。出力は、正の差動入力信号に対しては基準電圧よりも高くなり、負の差動入力信号に対しては、基準電圧よりも低くなります。

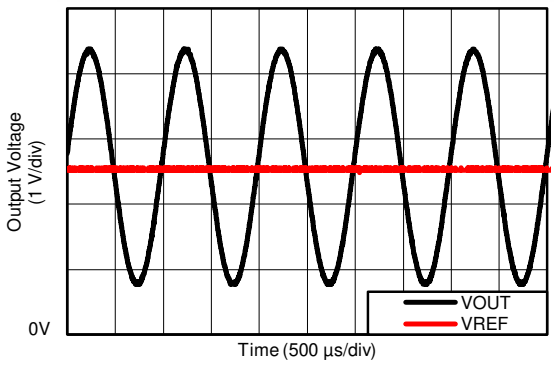


図 8-8. 双方向アプリケーションの出力応答

8.3 電源に関する推奨事項

INAx181 の入力回路は、電源電圧 V_S を超える電圧を正確に測定できます。たとえば、V_S が 5V であっても、IN+ および IN– でのバス電源電圧は最大 26V です。ただし、OUT ピンの出力電圧範囲は VS ピンの電圧によって制限されます。また、INAx181 は、デバイスの VS ピンに電力が供給されているかどうかにかかわらず、IN+ および IN- 入力ピンで最大 26V の全差動入力信号範囲に対応できます。

Copyright © 2024 Texas Instruments Incorporated

8.3.1 26V を超える同相過渡

INAx181 は、少量の回路を追加することにより、車載アプリケーションなどの 26V を超える過渡電圧が発生する回路で使用できます。ツェナー ダイオードまたはツェナー タイプの過渡アブソーバ (「トランゾーブ」とも呼ばれる) のみを使用してください。その他のタイプの過渡アブソーバには、許容できない時間遅延があります。ツェナーの動作インピーダンスとして 1 対の抵抗を追加する事から始めます。図 8-9 を参照してください。これらの抵抗はできるだけ小さい値 (ほとんどの場合、約 10Ω) にします。より大きな値も使えますが、ゲインに影響します (信号フィルタリング のセクションを参照)。この回路は短期的な過渡のみを制限するため、多くの用途では、許容される最小の電力定格の従来型のツェナー ダイオードと 10Ω の抵抗を使うことで満足な結果が得られます。この組み合わせを使うと、基板面積を最小化できます。これらのダイオードは、SOT-523 または SOD-523 などの小型パッケージで供給されます。

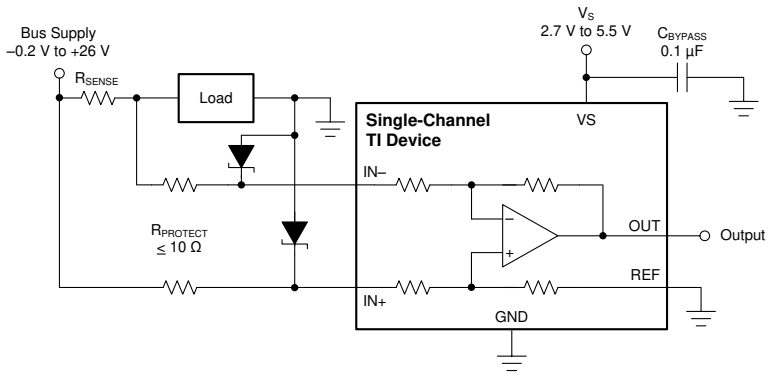


図 8-9. デュアル ツェナー ダイオードを使用した過渡保護

小電力のツェナー ダイオードでは十分な過渡吸収能力が得られない場合、大電力のトランゾーブを使用する必要があります。最もパッケージ効率の高いソリューションは、図 8-10 に示すように、デバイス入力の間に 1 つのトランゾーブと、2 つのダイオードを逆向きに並列接続して使用することです。最もスペース効率が高いソリューションは、1 つの SOT-523 または SOD-523 パッケージに封止されたデュアル直列接続ダイオードです。図 8-9 と図 8-10 に示す例のどちらでも、INAx181 とすべての保護部品が必要とする総基板面積は、SO-8 パッケージの基板面積より小さく、MSOP-8 パッケージの基板面積よりもわずかに大きいです。

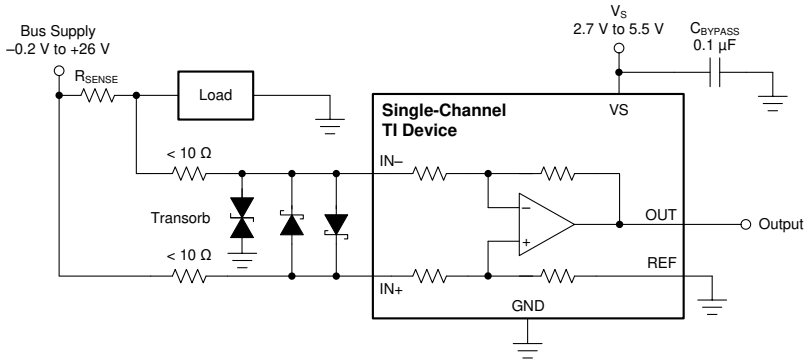


図 8-10. 1 つのトランゾーブと入力クランプを使用した過渡保護

詳細については、『過渡堅牢性を備えた電流シャント モニタ』リファレンス デザインを参照してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

- 入力ピンと検出抵抗との接続には、ケルビン接続や 4 線接続を使用します。この接続技術により、入力ピン間の電流検出抵抗のインピーダンスだけを検出できます。一般に、電流検出抵抗の配線に不備があると、入力ピン間の抵抗が

Copyright © 2024 Texas Instruments Incorporated

増加します。電流検出抵抗の抵抗値は非常に小さいため、余分なインピーダンスに大電流が流れると大きな測定誤差が生じます。

- 電源バイパス コンデンサは、デバイスの電源ピンとグランド ピンのできるだけ近くに配置します。このバイパス・コンデンサの推奨値は 0.1µF です。電源のノイズが多い、またはインピーダンスが高い場合は、補償のためにデカップリング容量を追加できます。
- 電流検出抵抗からデバイスに接続を配線するときは、インピーダンスのミスマッチを最小限に抑えるため、トレース長ができるだけ近くなるようにしてください。

8.4.2 レイアウト例

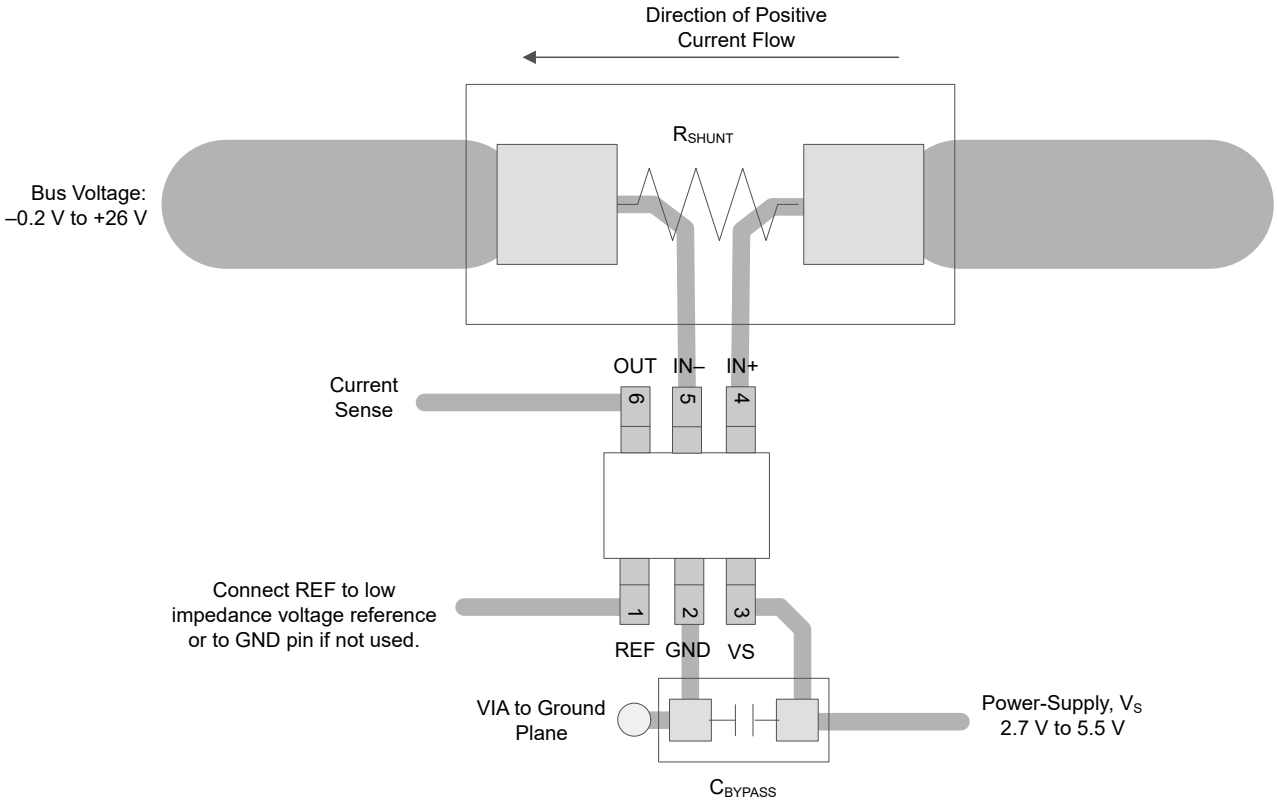


図 8-11. シングル チャネルの推奨レイアウト (SC70)

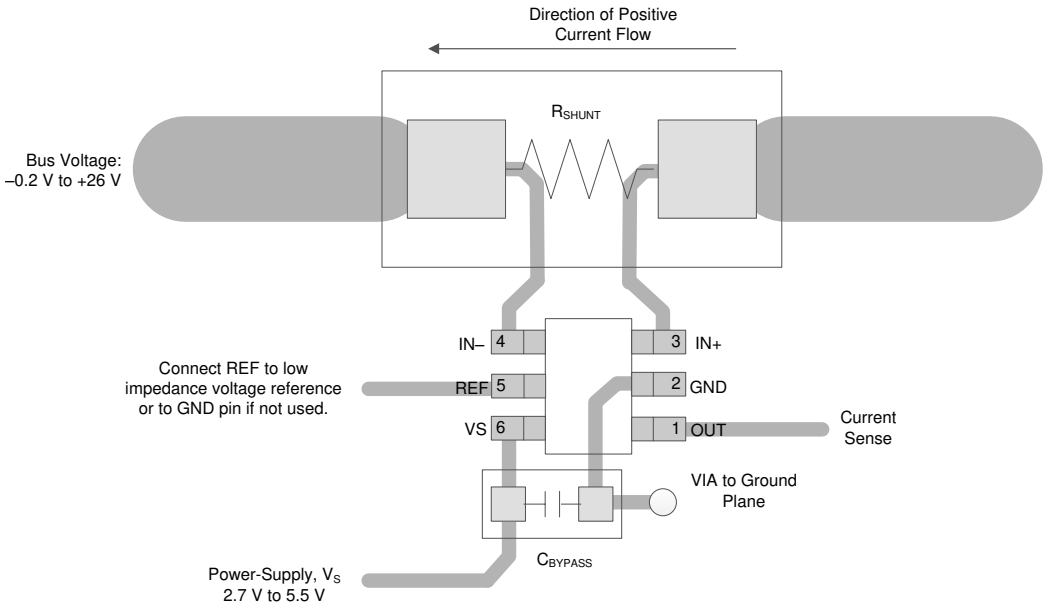


図 8-12. シングル チャネルの推奨レイアウト (SOT-23)

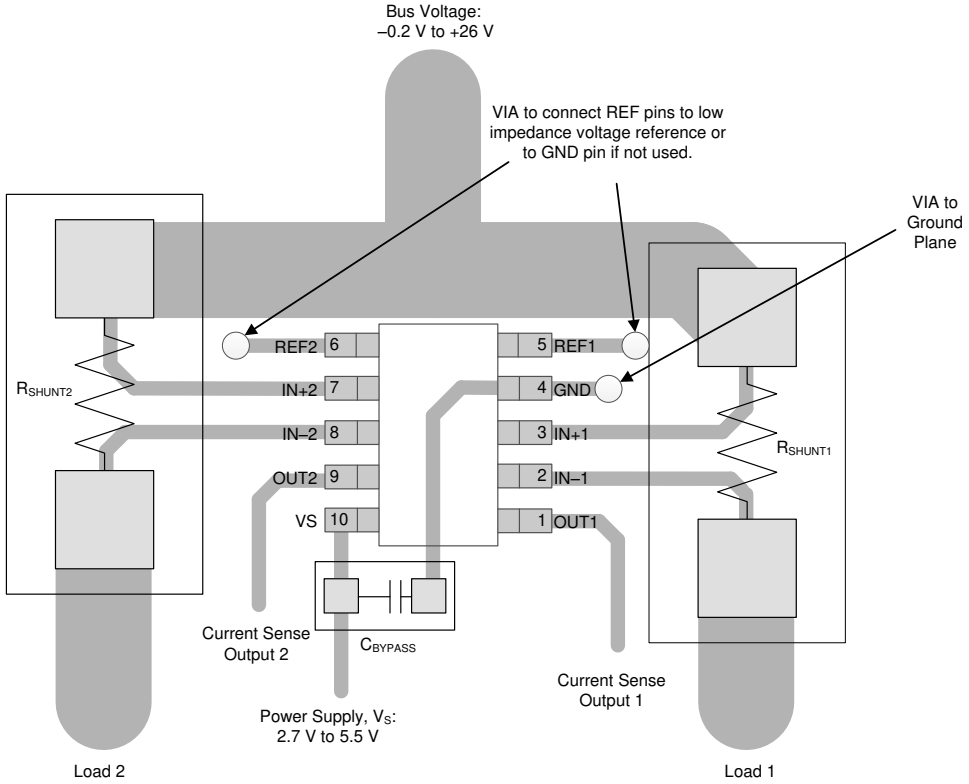


図 8-13. デュアル チャネルの推奨レイアウト (VSSOP)

Copyright © 2024 Texas Instruments Incorporated

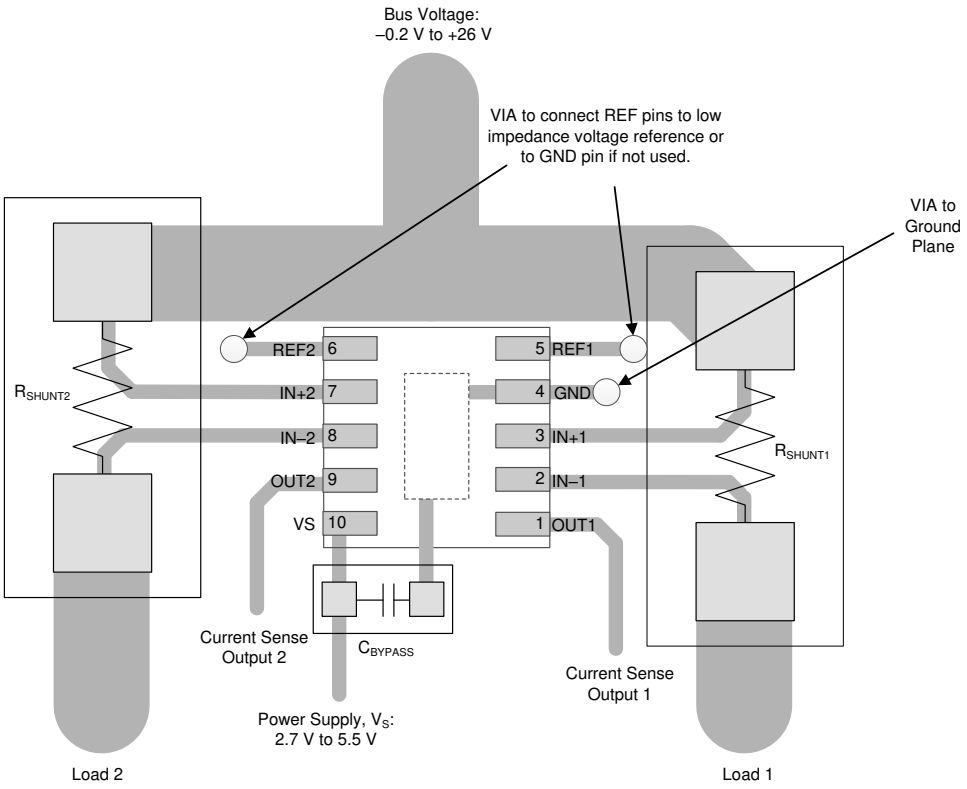


図 8-14. デュアル チャネルの推奨レイアウト (WSON)

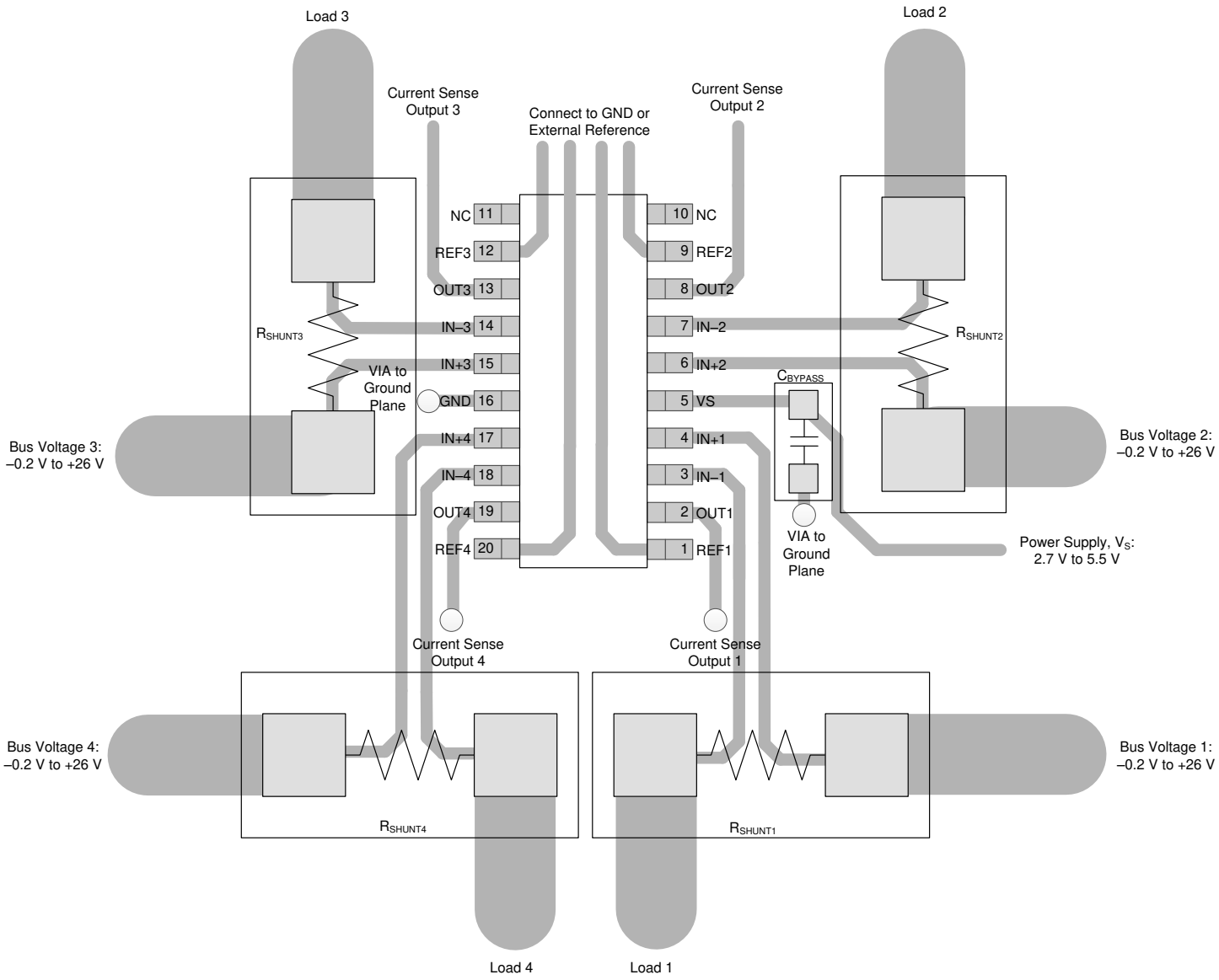


図 8-15. クワッド チャネルの推奨レイアウト

Copyright © 2024 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 デバイスのサポート

9.1.1 開発サポート

- テキサス・インスツルメンツ、『過渡堅牢性を備えた電流シャント モニタ』リファレンス デザイン

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『INA180-181EVM ユーザー ガイド』
- テキサス・インスツルメンツ、『INA2180-2181EVM ユーザー ガイド』
- テキサス・インスツルメンツ、『INA4180-4181EVM ユーザー ガイド』

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from Revision G (May 2020) to Revision H (November 2023) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 ... 1
- INA181 6 ピン SC70 パッケージをデータシートに追加 ... 4

Changes from Revision F (March 2019) to Revision G (May 2020) **Page**

- INA2181 10 ピン WSON パッケージをデータシートに追加 ... 1

Changes from Revision E (July 2018) to Revision F (March 2019) **Page**

- 「入力差動過負荷」セクションの末尾に位相反転に関する段落を追加 ... 21
- ピン番号の誤字を修正するため図 57 を変更 ... 33
- ピン番号の誤字を修正するため図 58 を変更 ... 33

Changes from Revision D (March 2018) to Revision E (July 2018) **Page**

- INAx180 のインスタンスを INAx181 に変更 (誤字) ... 1

Changes from Revision C (December 2017) to Revision D (March 2018) **Page**

- INA4181 デバイスをプレビューから量産データ (アクティブ) に変更 ... 1
- INA4181 の新しい図 25 を追加 ... 9
- INA4181 の新しい図 28 を追加 ... 9
- 「複数の電流の加算」セクションのチャネル接続を明確化するため図 49 の後の最初の文に「その他」を追加 ... 27

Changes from Revision B (November 2017) to Revision C (December 2017) **Page**

- INA2181 デバイスをプレビューから量産データ (アクティブ) に変更 ... 1
- 図 21 のタイトルに「両方の入力」を追加 ... 9
- INA2181 の新しい図 24 を追加 ... 9
- INA4181 の新しい図 25 のプレースホルダを追加 ... 9
- INA2181 の新しい図 27 を追加 ... 9
- INA4181 の新しい図 28 のプレースホルダを追加 ... 9
- 図 29 を変更し、タイトルの末尾に「(A3 デバイス)」を追加 ... 9
- INA2181 の新しい図 38 を追加 ... 9
- 「高精度ローサイド電流センシング」セクションのオフセット電圧について、「150µV 未満」を「±150µV 以内」に変更 19
- 図 45 の下部の注に、RC フィルタに関するテキストとアプリケーション レポートへの参照を追加 ... 23
- 式 3 から V_S を削除 ... 24
- 図 48 に f_{-3dB} の式と曲線を追加 ... 25
- 「複数の電流の加算」セクションに新しい内容を追加し、「アプリケーション情報」セクションに移動 ... 27
- 「リーク電流の検出」セクションに新しい内容を追加し、「アプリケーション情報」セクションに移動 ... 28
- 「レイアウトのガイドライン」セクションに新しい箇条書き項目を追加 ... 32

Changes from Revision A (August 2017) to Revision B (November 2017) **Page**

- INA4181 プレビュー デバイスおよび関連する内容をデータシートに追加 ... 1
- 表 3 の設計パラメータ名を明確にするため「精度」から「電流センシング誤差」に変更 ... 30
- 式 7 への参照で「RMS」を「RSS」に変更 ... 30

Changes from Revision * (April 2017) to Revision A (August 2017) **Page**

- INA2181 プレビュー デバイスおよび関連する内容をデータシートに追加 ... 1

Copyright © 2024 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA181A1IDBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	18JD
INA181A1IDBVR.B	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	18JD
INA181A1IDBVT	Active	Production	SOT-23 (DBV) | 6	250 | SMALL T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	18JD
INA181A1IDBVT.B	Active	Production	SOT-23 (DBV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	18JD
INA181A1IDCKR	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1P8
INA181A1IDCKR.B	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1P8
INA181A2IDBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1AED
INA181A2IDBVR.B	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1AED
INA181A2IDBVT	Active	Production	SOT-23 (DBV) | 6	250 | SMALL T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	1AED
INA181A2IDBVT.B	Active	Production	SOT-23 (DBV) | 6	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1AED
INA181A2IDCKR	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1PE
INA181A2IDCKR.B	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1PE
INA181A3IDBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1AFD
INA181A3IDBVR.B	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1AFD
INA181A3IDBVT	Active	Production	SOT-23 (DBV) | 6	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1AFD
INA181A3IDBVT.B	Active	Production	SOT-23 (DBV) | 6	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1AFD
INA181A3IDCKR	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1PF
INA181A3IDCKR.B	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1PF
INA181A4IDBVR	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	1AGD
INA181A4IDBVR.B	Active	Production	SOT-23 (DBV) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1AGD
INA181A4IDCKR	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1PG
INA181A4IDCKR.B	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1PG
INA2181A1IDGSR	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	NIPDAU | SN | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	1CW6
INA2181A1IDGSR.B	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	1CW6
INA2181A1IDGST	Obsolete	Production	VSSOP (DGS) | 10	-	-	Call TI	Call TI	-40 to 125	1CW6
INA2181A1IDSQR	Active	Production	WSON (DSQ) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	25IY
INA2181A1IDSQR.B	Active	Production	WSON (DSQ) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	25IY
INA2181A2IDGSR	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	NIPDAU | SN | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	1DR6

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA2181A2IDGSR.B	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	1DR6
INA2181A2IDGST	Obsolete	Production	VSSOP (DGS) | 10	-	-	Call TI	Call TI	-40 to 125	1DR6
INA2181A2IDSQR	Active	Production	WSON (DSQ) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	25JY
INA2181A2IDSQR.B	Active	Production	WSON (DSQ) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	25JY
INA2181A2IDSQT	Obsolete	Production	WSON (DSQ) | 10	-	-	Call TI	Call TI	-40 to 125	25JY
INA2181A3IDGSR	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	NIPDAU | SN | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	1DS6
INA2181A3IDGSR.B	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	1DS6
INA2181A3IDGST	Obsolete	Production	VSSOP (DGS) | 10	-	-	Call TI	Call TI	-40 to 125	1DS6
INA2181A3IDSQR	Active	Production	WSON (DSQ) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	25KY
INA2181A3IDSQR.B	Active	Production	WSON (DSQ) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	25KY
INA2181A3IDSQT	Obsolete	Production	WSON (DSQ) | 10	-	-	Call TI	Call TI	-40 to 125	25KY
INA2181A4IDGSR	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	NIPDAU | SN | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	1DT6
INA2181A4IDGSR.B	Active	Production	VSSOP (DGS) | 10	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	1DT6
INA2181A4IDGST	Obsolete	Production	VSSOP (DGS) | 10	-	-	Call TI	Call TI	-40 to 125	1DT6
INA2181A4IDSQR	Active	Production	WSON (DSQ) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	25LY
INA2181A4IDSQR.B	Active	Production	WSON (DSQ) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	25LY
INA2181A4IDSQT	Obsolete	Production	WSON (DSQ) | 10	-	-	Call TI	Call TI	-40 to 125	25LY
INA4181A1IPWR	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4181A1
INA4181A1IPWR.B	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4181A1
INA4181A2IPWR	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4181A2
INA4181A2IPWR.B	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4181A2
INA4181A2IPWRG4	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4181A2
INA4181A2IPWRG4.B	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4181A2
INA4181A3IPWR	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4181A3
INA4181A3IPWR.B	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4181A3
INA4181A4IPWR	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4181A4
INA4181A4IPWR.B	Active	Production	TSSOP (PW) | 20	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4181A4

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF INA181, INA2181, INA4181 :

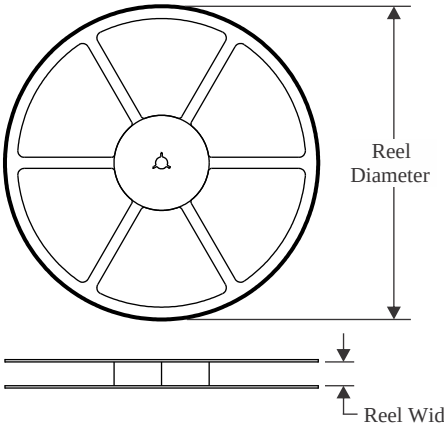
- Automotive : INA181-Q1, INA2181-Q1, INA4181-Q1

NOTE: Qualified Version Definitions:

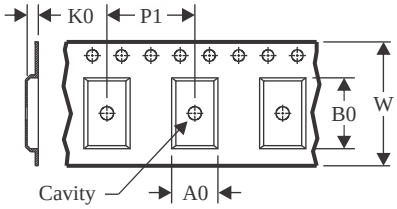
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

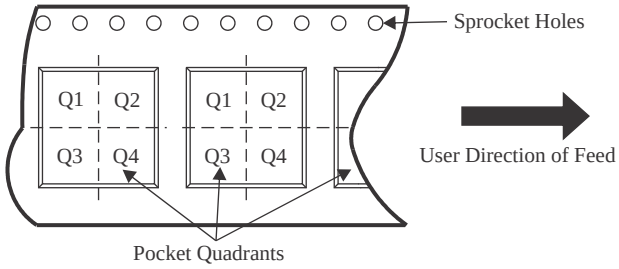


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

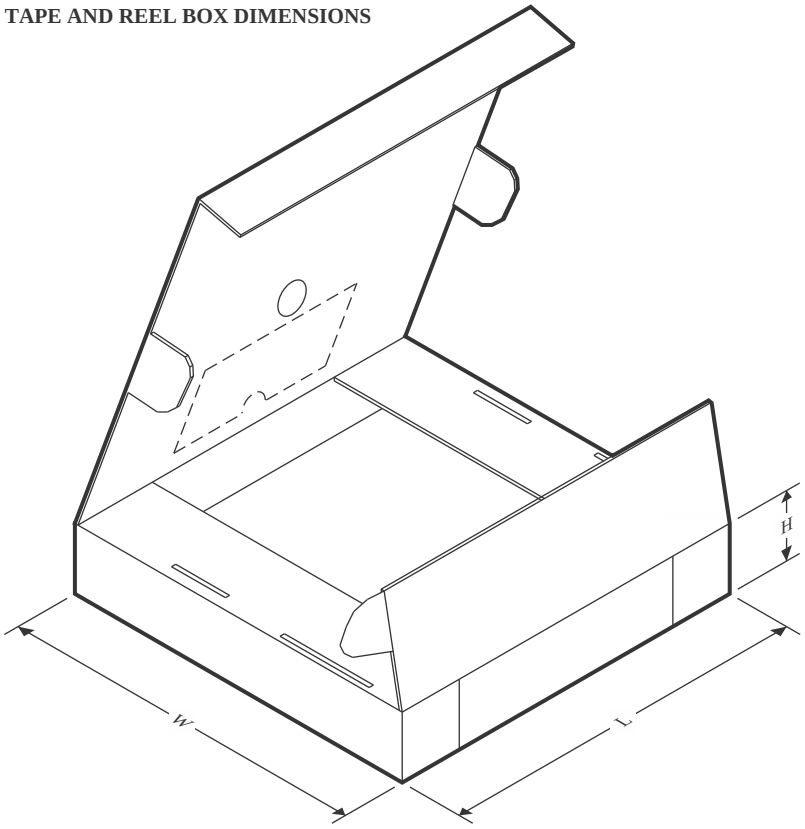


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA181A1IDBVR	SOT-23	DBV	6	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
INA181A1IDBVT	SOT-23	DBV	6	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
INA181A1IDCKR	SC70	DCK	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
INA181A2IDBVR	SOT-23	DBV	6	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
INA181A2IDBVT	SOT-23	DBV	6	250	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
INA181A2IDCKR	SC70	DCK	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
INA181A3IDBVR	SOT-23	DBV	6	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
INA181A3IDBVT	SOT-23	DBV	6	250	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
INA181A3IDCKR	SC70	DCK	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
INA181A4IDBVR	SOT-23	DBV	6	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
INA181A4IDCKR	SC70	DCK	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
INA2181A1IDGSR	VSSOP	DGS	10	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
INA2181A1IDSQR	WSON	DSQ	10	3000	178.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
INA2181A2IDGSR	VSSOP	DGS	10	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
INA2181A2IDSQR	WSON	DSQ	10	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
INA2181A3IDGSR	VSSOP	DGS	10	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA2181A3IDSQR	WSON	DSQ	10	3000	178.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
INA2181A4IDGSR	VSSOP	DGS	10	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
INA2181A4IDSQR	WSON	DSQ	10	3000	178.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
INA4181A1IPWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
INA4181A2IPWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
INA4181A2IPWRG4	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
INA4181A3IPWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
INA4181A4IPWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA181A1IDBVR	SOT-23	DBV	6	3000	208.0	191.0	35.0
INA181A1IDBVT	SOT-23	DBV	6	250	210.0	185.0	35.0
INA181A1IDCKR	SC70	DCK	6	3000	180.0	180.0	18.0
INA181A2IDBVR	SOT-23	DBV	6	3000	208.0	191.0	35.0
INA181A2IDBVT	SOT-23	DBV	6	250	208.0	191.0	35.0
INA181A2IDCKR	SC70	DCK	6	3000	180.0	180.0	18.0
INA181A3IDBVR	SOT-23	DBV	6	3000	208.0	191.0	35.0
INA181A3IDBVT	SOT-23	DBV	6	250	208.0	191.0	35.0
INA181A3IDCKR	SC70	DCK	6	3000	180.0	180.0	18.0
INA181A4IDBVR	SOT-23	DBV	6	3000	208.0	191.0	35.0
INA181A4IDCKR	SC70	DCK	6	3000	180.0	180.0	18.0
INA2181A1IDGSR	VSSOP	DGS	10	2500	366.0	364.0	50.0
INA2181A1IDSQR	WSON	DSQ	10	3000	208.0	191.0	35.0
INA2181A2IDGSR	VSSOP	DGS	10	2500	366.0	364.0	50.0
INA2181A2IDSQR	WSON	DSQ	10	3000	210.0	185.0	35.0
INA2181A3IDGSR	VSSOP	DGS	10	2500	366.0	364.0	50.0
INA2181A3IDSQR	WSON	DSQ	10	3000	208.0	191.0	35.0
INA2181A4IDGSR	VSSOP	DGS	10	2500	366.0	364.0	50.0

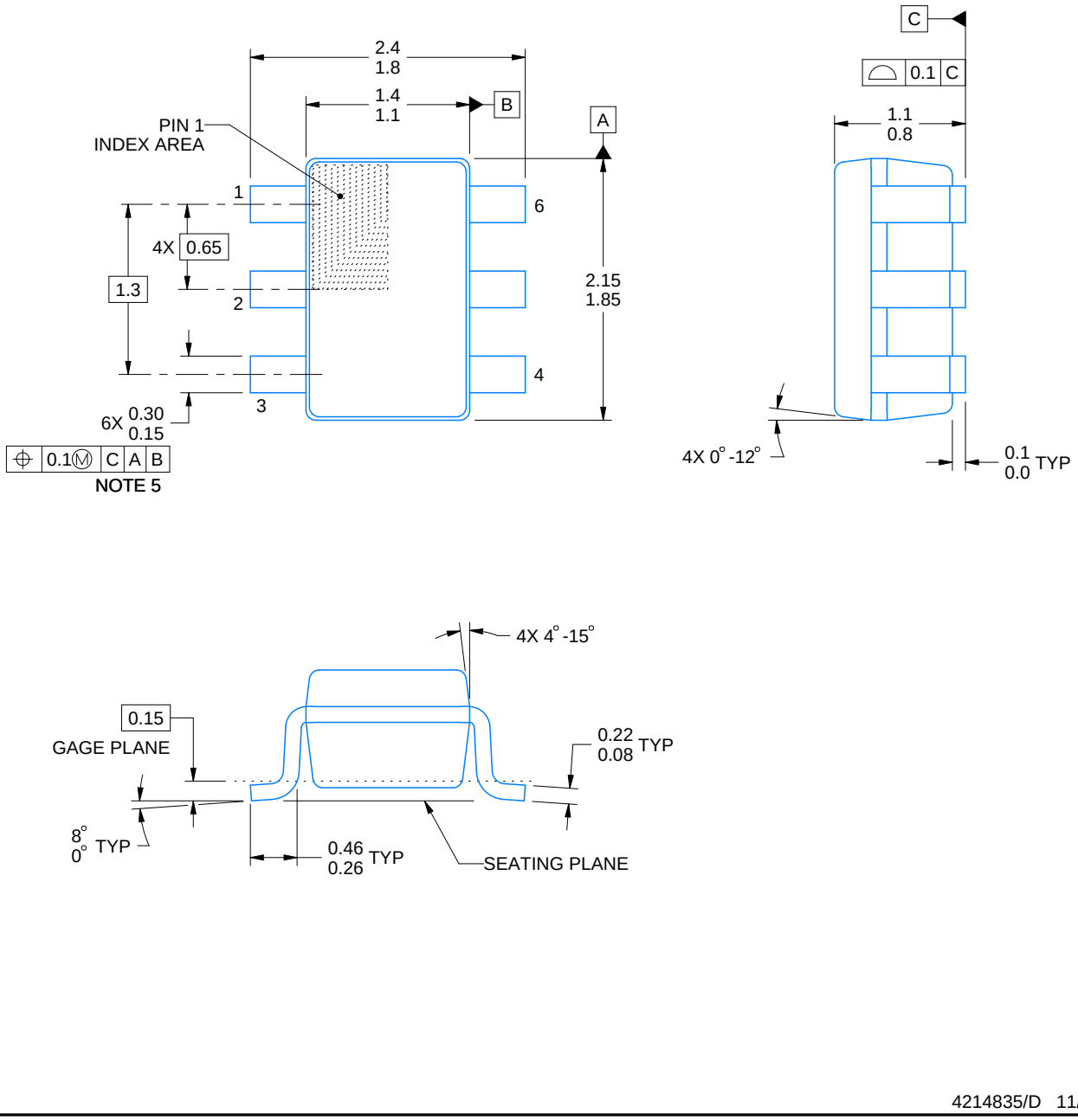
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA2181A4IDSQR	WSON	DSQ	10	3000	208.0	191.0	35.0
INA4181A1IPWR	TSSOP	PW	20	2000	353.0	353.0	32.0
INA4181A2IPWR	TSSOP	PW	20	2000	353.0	353.0	32.0
INA4181A2IPWRG4	TSSOP	PW	20	2000	353.0	353.0	32.0
INA4181A3IPWR	TSSOP	PW	20	2000	353.0	353.0	32.0
INA4181A4IPWR	TSSOP	PW	20	2000	353.0	353.0	32.0

PACKAGE OUTLINE

DCK0006A

SOT - 1.1 max height

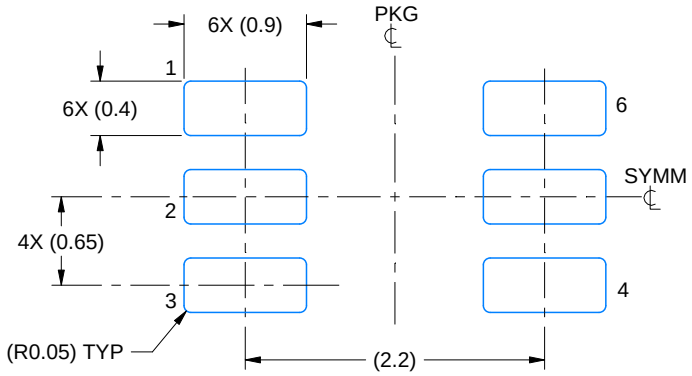
SMALL OUTLINE TRANSISTOR



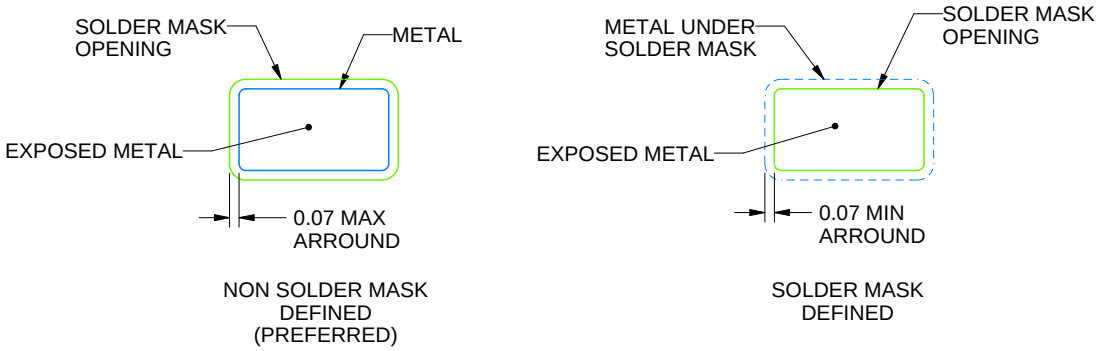
4214835/D 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
4. Falls within JEDEC MO-203 variation AB.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

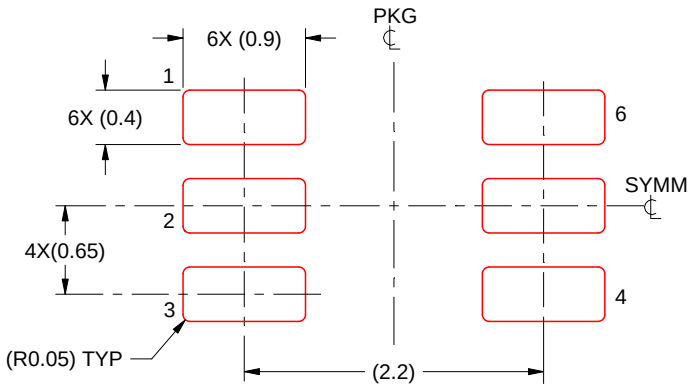


SOLDER MASK DETAILS

4214835/D 11/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214835/D 11/2024

NOTES: (continued)

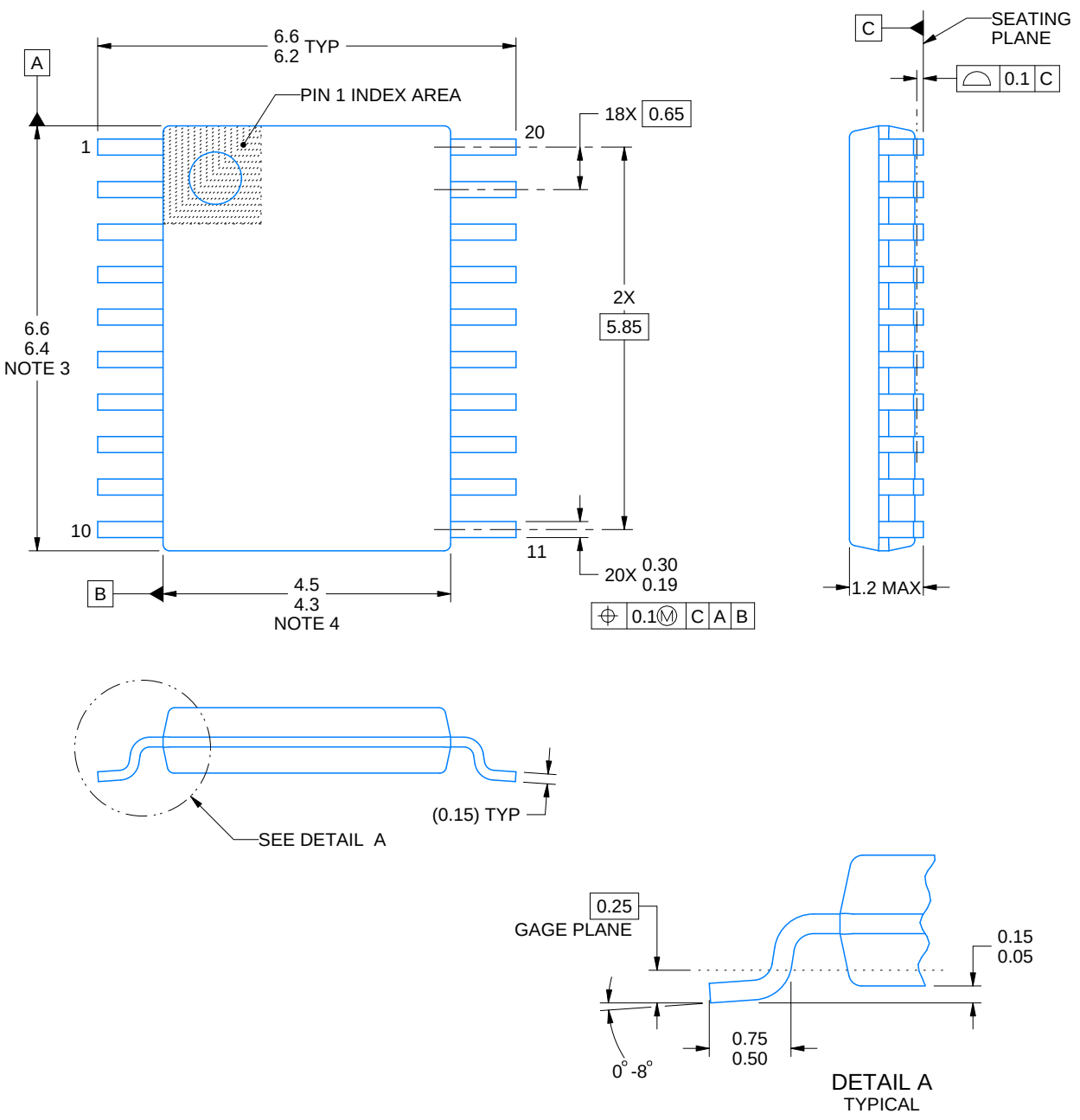
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0020A

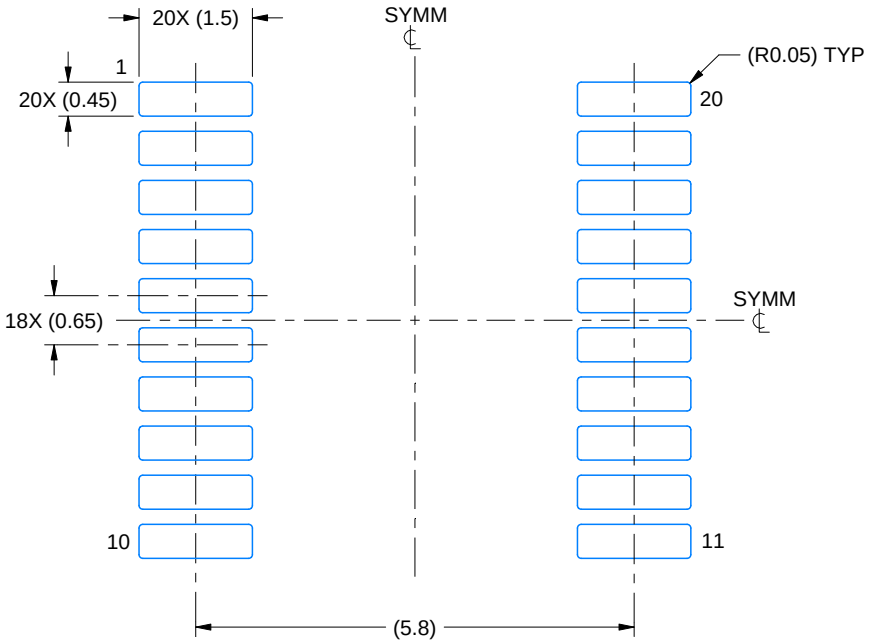
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

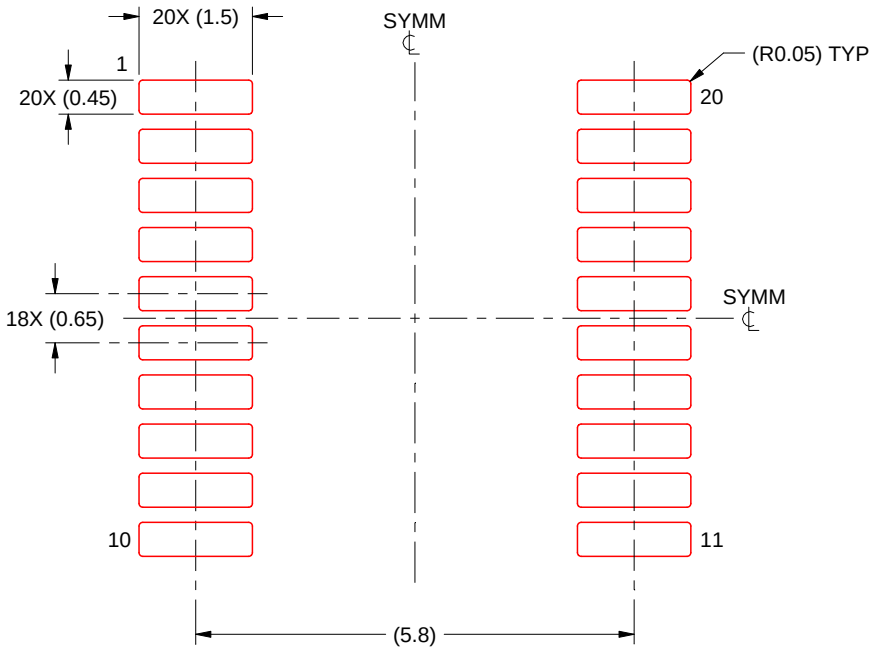


SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

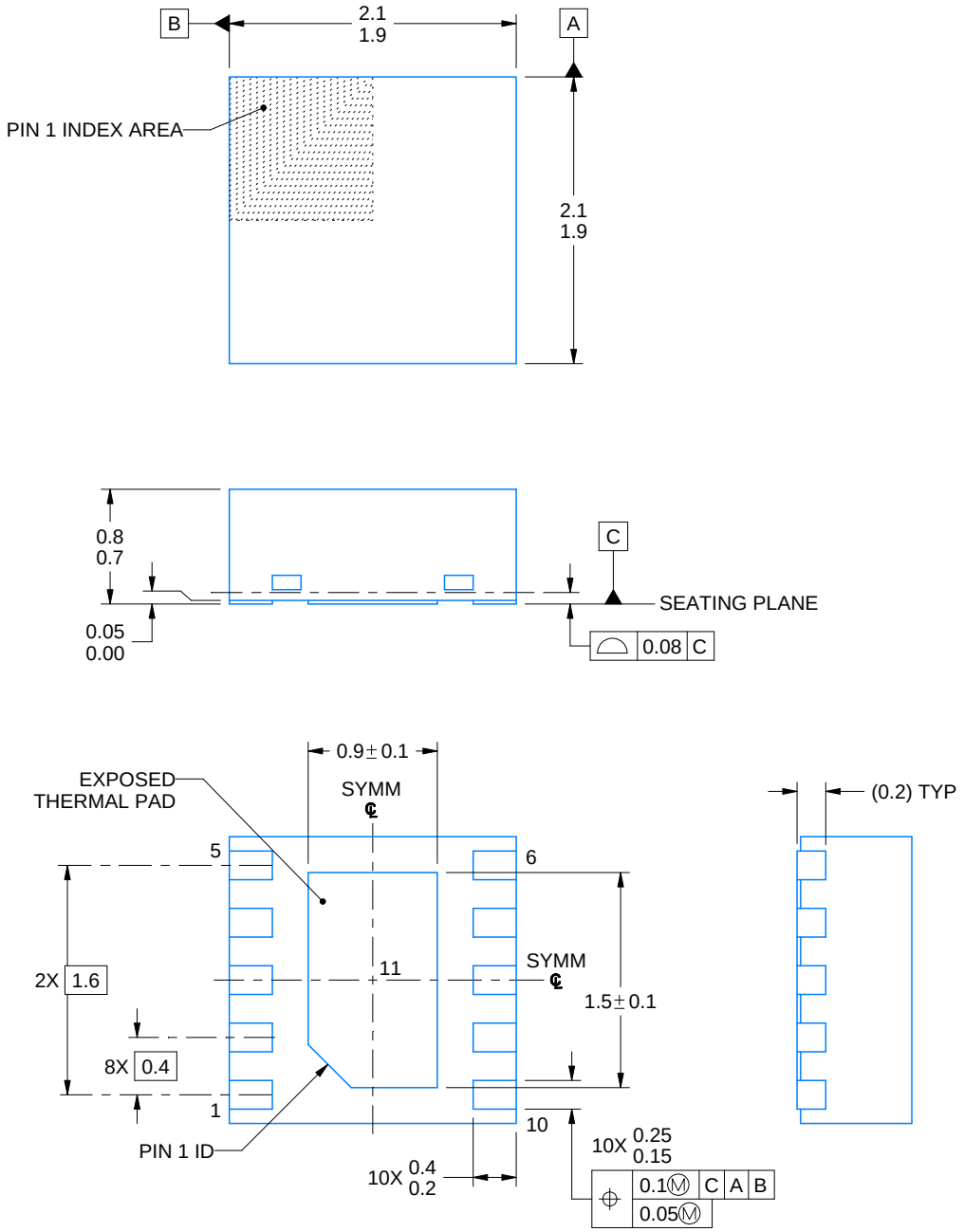
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DSQ0010A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



4218906/A 04/2019

NOTES:

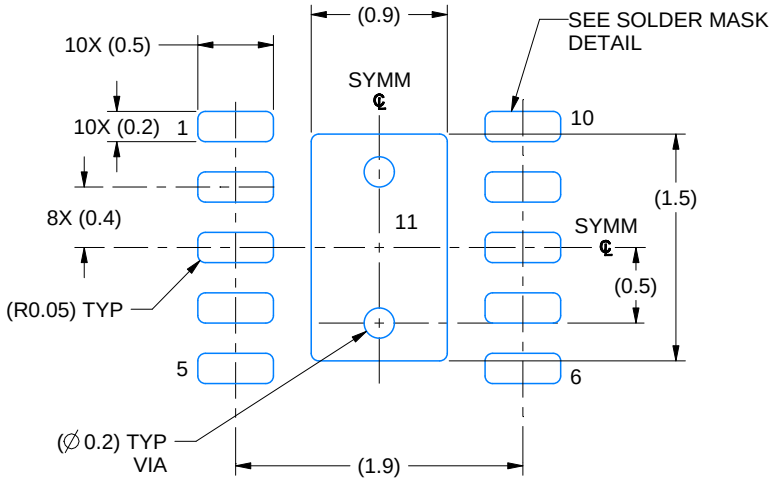
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

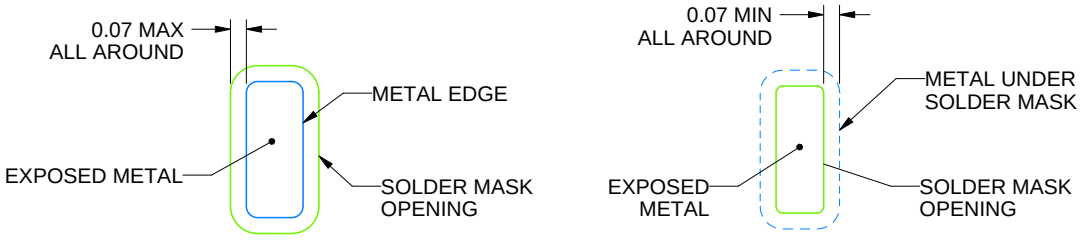
DSQ0010A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



NON SOLDER MASK DEFINED (PREFERRED)

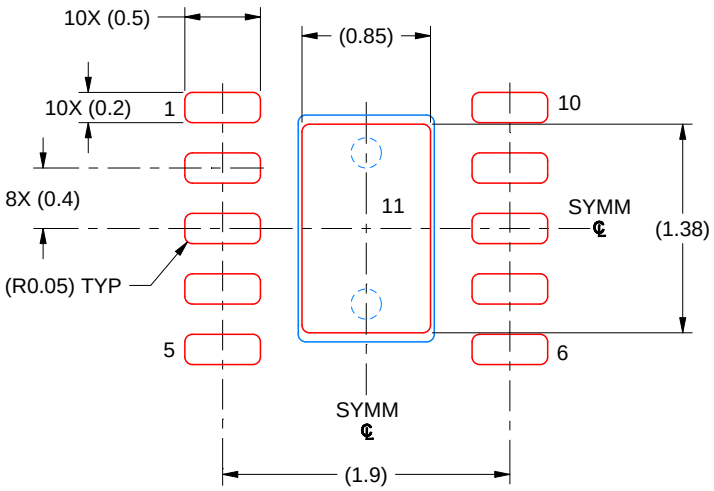
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4218906/A 04/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 11
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4218906/A 04/2019

NOTES: (continued)

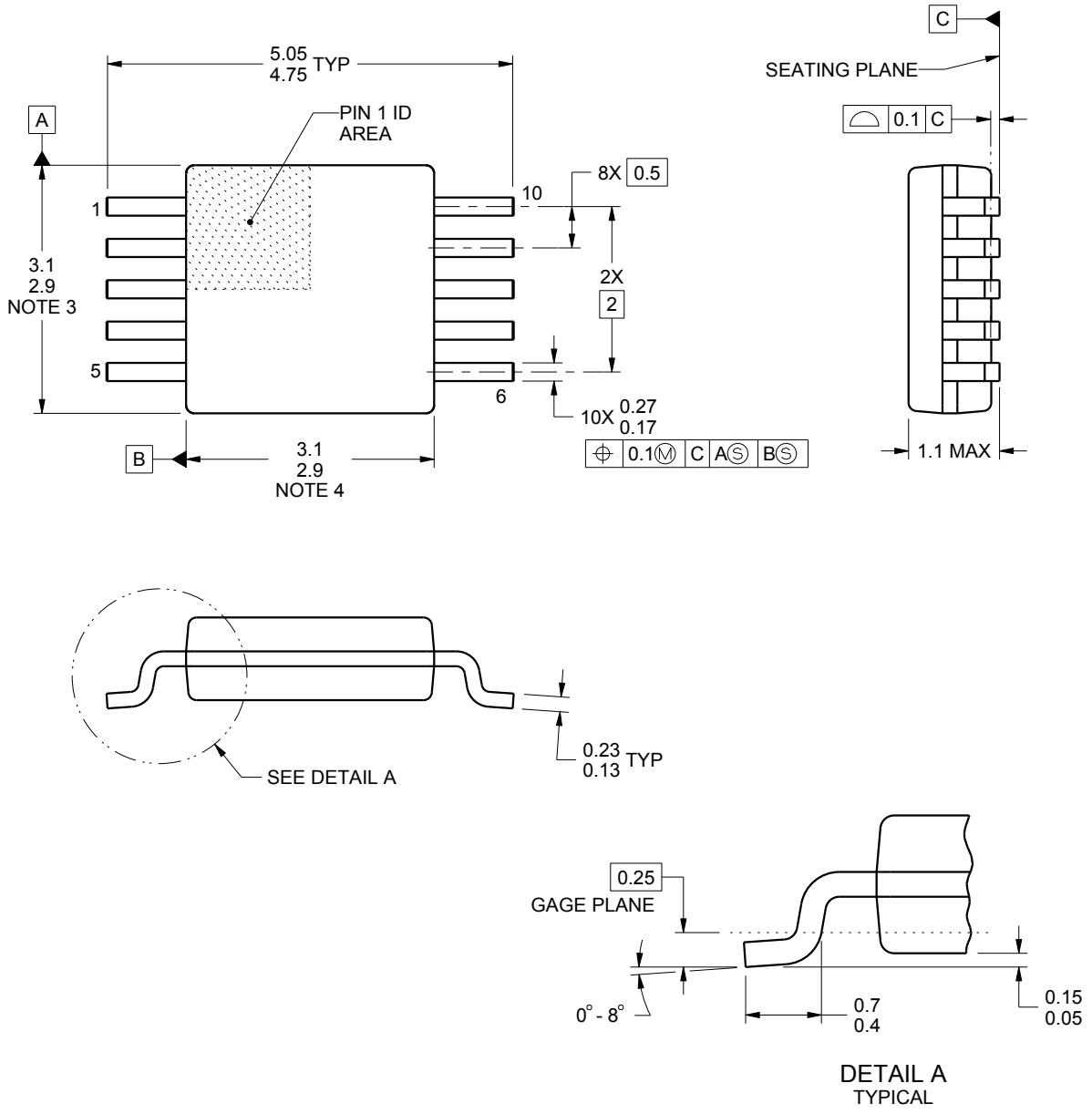
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DGS0010A

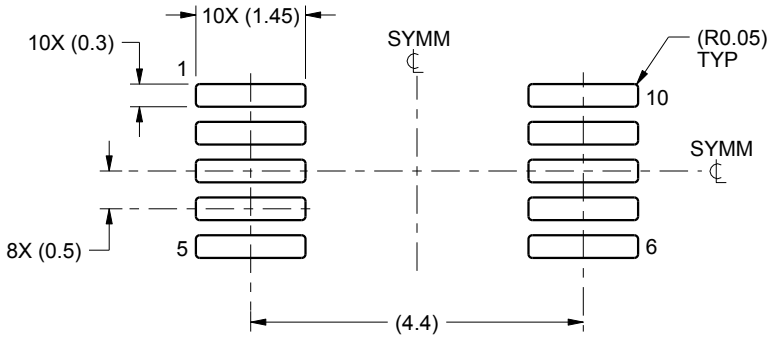
VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

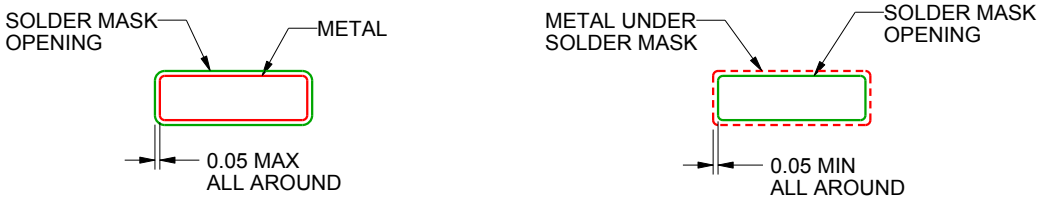


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA.



LAND PATTERN EXAMPLE
SCALE:10X

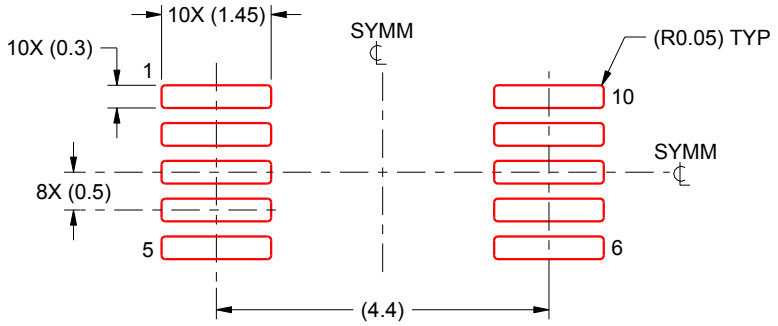


SOLDER MASK DETAILS
NOT TO SCALE

4221984/A 05/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221984/A 05/2015

NOTES: (continued)

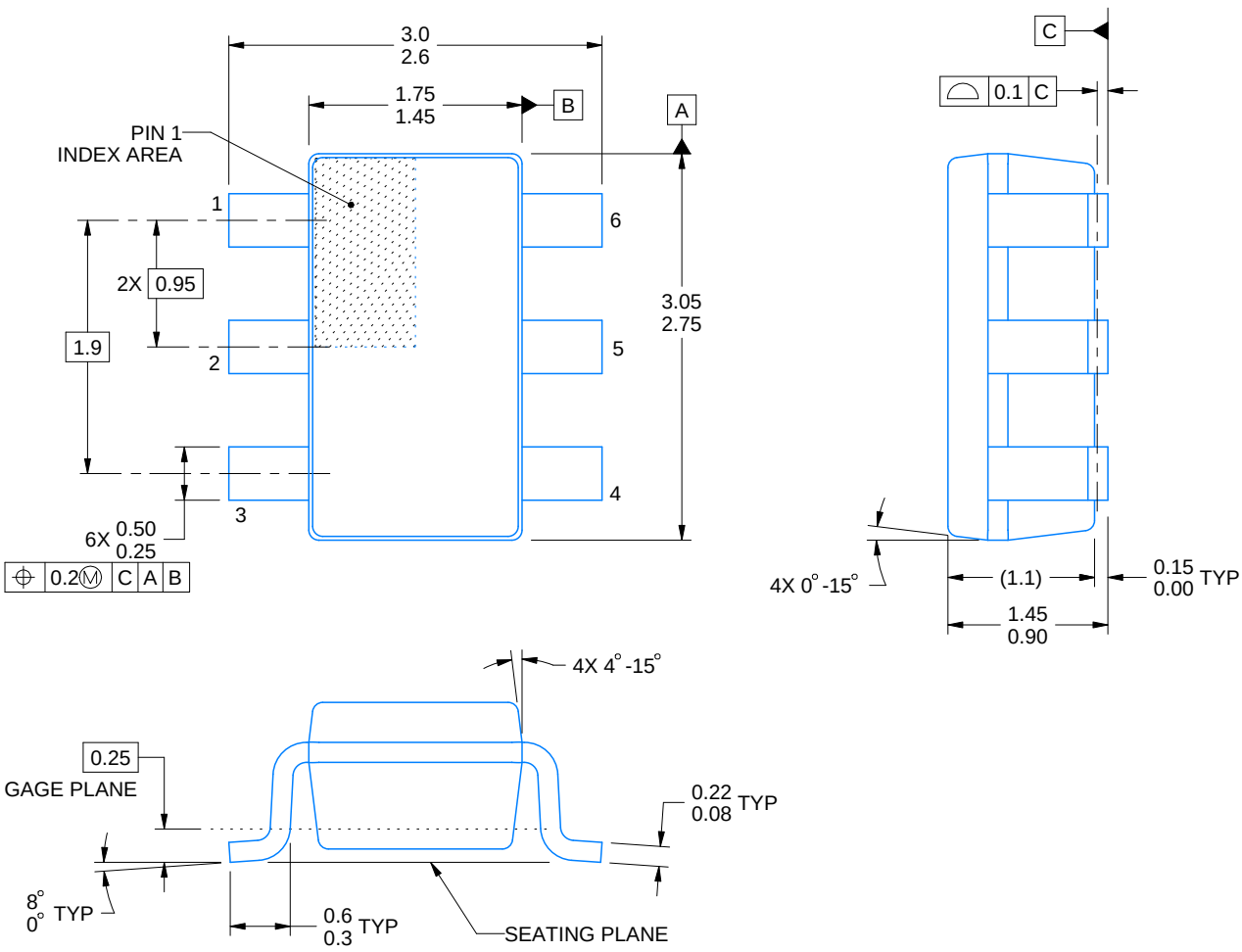
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0006A

SOT-23 - 1.45 mm max height

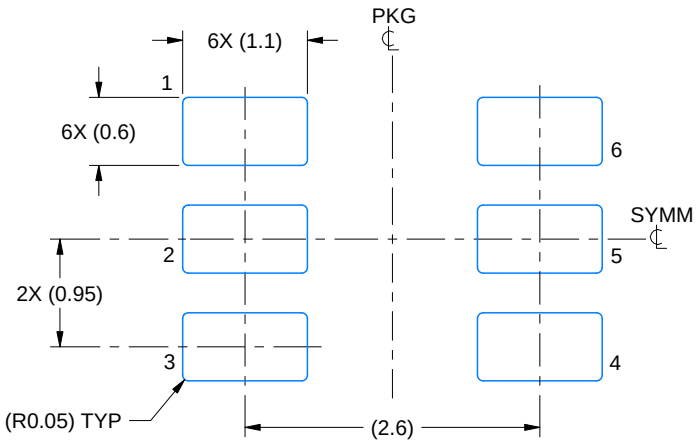
SMALL OUTLINE TRANSISTOR



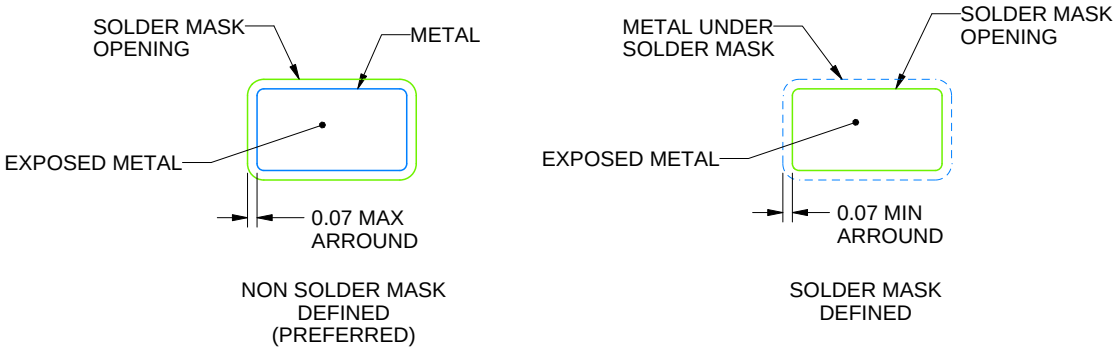
4214840/G 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Refernce JEDEC MO-178.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

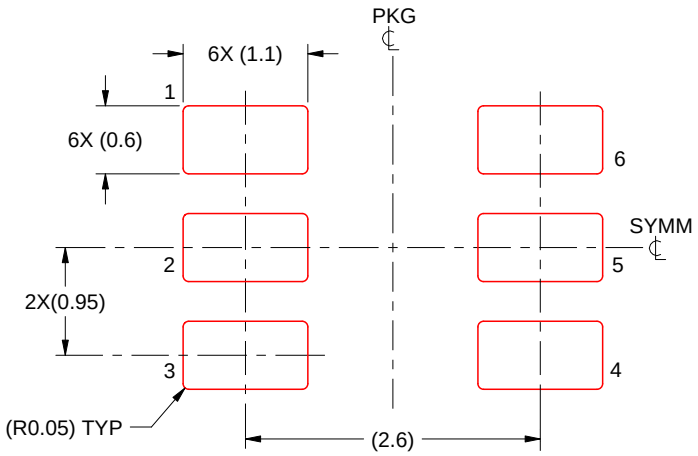


SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月