TEXAS INSTRUMENTS
INA240
JAJSCL0C – JULY 2016 – REVISED DECEMBER 2021

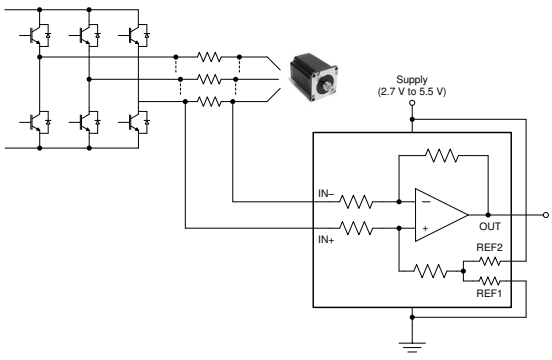
INA240–4V～80V、双方向、超高精度の電流センス・アンプ、強化型 PWM 除去機能搭載

1 特長

- 強化された PWM 除去
- 非常に優れた CMRR:
  - 132dB の DC CMRR
  - 50kHz において 93dB の AC CMRR
- 広い同相電圧範囲:–4V～80V
- 精度:
  - ゲイン:
    - ゲイン誤差:0.20% (最大値)
    - ゲイン・ドリフト:2.5ppm/℃ (最大値)
  - オフセット:
    - オフセット電圧:±25μV (最大値)
    - オフセット・ドリフト:250nV/℃ (最大値)
- 利用可能なゲイン
  - INA240A1:20V/V
  - INA240A2:50V/V
  - INA240A3:100V/V
  - INA240A4:200V/V
- 静止電流:2.4mA (最大値)

2 アプリケーション

- モータ制御
- ソレノイドおよびバルブの制御
- パワー・マネージメント
- アクチュエータ制御
- 圧力レギュレータ
- 通信機器



代表的なアプリケーション

3 概要

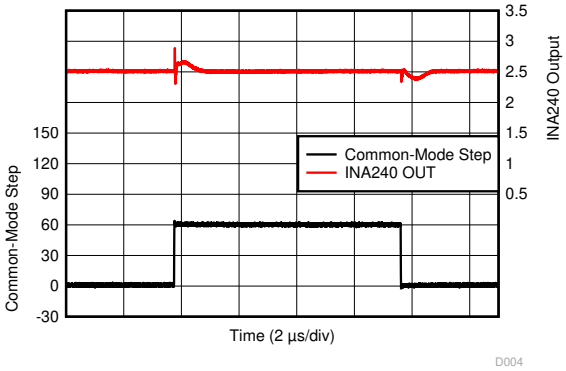
INA240 デバイスは、電圧出力の電流センス・アンプであり、強化された PWM 除去機能によって、電源電圧にかかわらず –4V～80V の広い同相電圧範囲でシャント抵抗両端の電圧降下を検出できます。負の同相電圧により、グランドより低い電位で動作でき、標準的なソレノイド・アプリケーションのフライバック期間に対応できます。強化された PWM 除去により、パルス幅変調 (PWM) 信号を使用するシステム (モータ・ドライブやソレノイド制御システムなど) において、大きな同相過渡電圧 (ΔV/Δt) を高いレベルで抑制します。この機能により、大きな過渡電圧や、それに伴う出力電圧の回復リップルなしに、正確な電流を測定できます。

このデバイスは 2.7V～5.5V の単電源で動作し、消費電流は最大 2.4mA です。4 つの固定ゲイン (20V/V、50V/V、100V/V、200V/V) を利用できます。ゼロドリフト・アーキテクチャの低いオフセットにより、シャントでの最大電圧降下がわずか 10mV フルスケールで電流センシングが可能です。すべてのバージョンは、拡張動作温度範囲 (–40℃～+125℃) で動作が規定されており、8 ピンの TSSOP および 8 ピンの SOIC パッケージで供給されます。

製品情報(1)

部品番号	パッケージ	本体サイズ (公称)
INA240	TSSOP (8)	3.00mm × 4.40mm
	SOIC (8)	4.90mm × 3.91mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にあるパッケージ・オプションについての付録を参照してください。



強化された PWM 除去

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 改訂履歴 ... 2
5 デバイスの比較 ... 3
6 ピン構成および機能 ... 3
7 仕様 ... 4
7.1 絶対最大定格 ... 4
7.2 ESD 定格 ... 4
7.3 推奨動作条件 ... 4
7.4 熱に関する情報 ... 4
7.5 電気的特性 ... 5
7.6 代表的特性 ... 6
8 詳細説明 ... 10
8.1 概要 ... 10
8.2 機能ブロック図 ... 10
8.3 機能説明 ... 10
8.4 デバイスの機能モード ... 12
9 アプリケーションと実装 ... 18
9.1 アプリケーション情報 ... 18
9.2 代表的なアプリケーション ... 20
9.3 推奨事項および禁止事項 ... 23
10 電源に関する推奨事項 ... 23
10.1 電源のデカップリング ... 23
11 レイアウト ... 24
11.1 レイアウトのガイドライン ... 24
11.2 レイアウト例 ... 24
12 デバイスおよびドキュメントのサポート ... 26
12.1 ドキュメントのサポート ... 26
12.2 Receiving Notification of Documentation Updates ... 26
12.3 サポート・リソース ... 26
12.4 商標 ... 26
12.5 Electrostatic Discharge Caution ... 26
12.6 Glossary ... 26
13 メカニカル、パッケージ、および注文情報 ... 26

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (October 2017) to Revision C (December 2021)	Page
• D (SOIC) パッケージのサイズを 4.00mm × 3.91mm から 4.90mm × 3.91mm に変更	1
• NC ピンの説明に、「または未接続のまま」というテキストを追加	3

Changes from Revision A (October 2016) to Revision B (October 2017)	Page
• 「製品情報」表に D (SOIC) パッケージを追加	1
• *「概要 (続き)」*セクションを追加	1
• 8 ピン TSSOP パッケージにプレビューのラベルを追加	1
• 「ピン構成および機能」セクションに D (SOIC) のピン配置の図と表を追加	3
• 図 7-15 の y 軸の値を変更	6
• 図 11-2 を追加	24

Changes from Revision * (July 2016) to Revision A (October 2016)	Page
• ドキュメントのステータスを製品プレビューから量産データへ変更	1

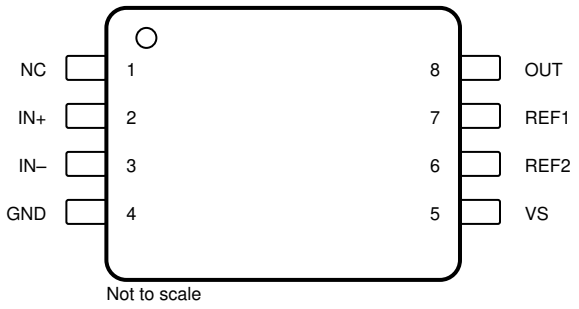
Copyright © 2022 Texas Instruments Incorporated

5 デバイスの比較

表 5-1. デバイスの比較

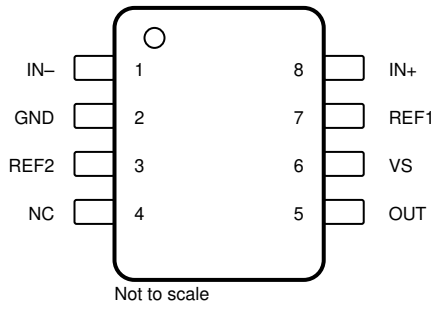
製品名	ゲイン (V/V)
INA240A1	20
INA240A2	50
INA240A3	100
INA240A4	200

6 ピン構成および機能



NC - 内部接続なし

図 6-1. INA240 PW パッケージ 8 ピン TSSOP 上面図



NC - 内部接続なし

図 6-2. INA240 D パッケージ 8 ピン SOIC 上面図

表 6-1. ピンの機能

ピン			I/O	説明
名称	PW (TSSOP)	D (SOIC)		
GND	4	2	アナログ	グランド
IN-	3	1	アナログ入力	シャント抵抗の負荷側に接続
IN+	2	8	アナログ入力	シャント抵抗の電源側に接続
NC	1	4	—	予約済み。グランドに接続するか、フローティングのまま
OUT	8	5	アナログ出力	出力電圧
REF1	7	7	アナログ入力	リファレンス 1 電圧。0V から VS に接続します。接続オプションについてはリファレンス・ピンによる出力中間点の調整セクションを参照
REF2	6	3	アナログ入力	リファレンス 2 電圧。0V から VS に接続します。接続オプションについては、リファレンス・ピンによる出力中間点の調整セクションを参照
VS	5	6	—	電源、2.7V～5.5V

Copyright © 2022 Texas Instruments Incorporated

7 仕様

7.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電源電圧			6	V
アナログ入力、V_{IN+}、V_{IN-} (2)	差動 (V_{IN+}) - (V_{IN-})	-80	80	V
	同相	-6	90	
REF1、REF2、NC 入力		GND - 0.3	V_S + 0.3	V
出力		GND - 0.3	V_S + 0.3	V
自由気流での動作温度、T_A		-55	150	℃
接合部温度、T_J			150	℃
保管温度、T_{stg}		-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについての話で、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
(2) V_{IN+} と V_{IN-} はそれぞれ IN+ ピンと IN- ピンの電圧です。

7.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠(2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 制御プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

7.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_{CM}	同相入力電圧	-4		80	V
V_S	動作電源電圧	2.7		5.5	V
T_A	自由気流での動作温度	-40		125	℃

7.4 熱に関する情報

熱評価基準 (1)		INA240		単位
		PW (TSSOP)	D (SOIC)	
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	149.1	113.5	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	33.2	51.9	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	78.4	57.8	℃/W
ψ_{JT}	接合部から上面への熱特性パラメータ	1.5	10.2	℃/W
ψ_{JB}	接合部から基板への熱特性パラメータ	76.4	56.9	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

Copyright © 2022 Texas Instruments Incorporated

7.5 電気的特性

T_A = 25℃、VS = 5V、V_{SENSE} = V_{IN+} - V_{IN-}、V_{CM} = 12V、V_{REF1} = V_{REF2} = V_S / 2 (特に記述のない限り)

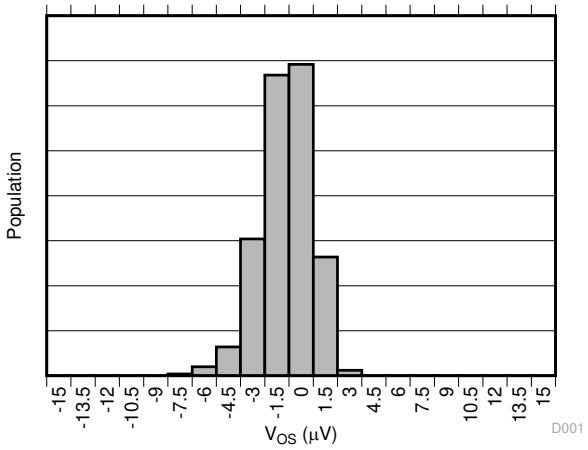
パラメータ		テスト条件	最小値	標準値	最大値	単位
入力						
V_{CM}	同相入力範囲	V_{IN+} = -4V～80V、V_{SENSE} = 0mV T_A = -40℃～125℃	-4		80	V
CMRR	同相信号除去比	V_{IN+} = -4V～80V、V_{SENSE} = 0mV T_A = -40℃～125℃	120	132		dB
		f = 50kHz		93		
V_{OS}	オフセット電圧、入力換算	V_{SENSE} = 0mV		±5	±25	µV
dV_{OS}/dT	オフセット電圧ドリフト	V_{SENSE} = 0mV、T_A = -40℃～125℃		±50	±250	nV/℃
PSRR	電源電圧変動除去比	V_S = 2.7V～5.5V、V_{SENSE} = 0mV T_A = -40℃～125℃		±1	±10	µV/V
I_B	入力バイアス電流	I_{B+}、I_{B-}、V_{SENSE} = 0mV		90		µA
	リファレンス入力範囲		0		V_S	V
出力						
G	ゲイン	INA240A1		20		V/V
		INA240A2		50		
		INA240A3		100		
		INA240A4		200		
	ゲイン誤差	GND + 50mV ≦ V_{OUT} ≦ V_S - 200mV		±0.05%	±0.20%	
		T_A = -40℃～125℃		±0.5	±2.5	ppm/℃
	非直線性誤差	GND + 10mV ≦ V_{OUT} ≦ V_S - 200mV		±0.01%		
	リファレンス分割器の精度	V_{SENSE} = 0mV、T_A = -40℃～125℃で、 V_{OUT} = | (V_{REF1} - V_{REF2}) | / 2		0.02%	0.1%	
RVRR	リファレンス電圧除去比 (入力換算)	INA240A1		20		µV/V
		INA240A3		5		
		INA240A2、INA240A4		2		
	最大容量性負荷	発振が持続しないこと		1		nF
電圧出力(2)						
	V_S 電源レールまでスイング	R_L = 10kΩ を GND に接続、 T_A= -40℃～125℃		V_S - 0.05	V_S - 0.2	V
	GND までスイング	R_L = 10kΩ を GND に接続、V_{SENSE} = 0mV V_{REF1} = V_{REF2} = 0V、T_A = -40℃～125℃		V_{GND} + 1	V_{GND} + 10	mV
周波数特性						
BW	帯域幅	すべてのゲイン、-3dB 帯域幅		400		kHz
		すべてのゲイン、2% THD+N(1)		100		
	セトリング・タイム - 出力が最終値の 0.5% 以内にセトリングするまで	INA240A1		9.6		µs
		INA240A4		9.8		
SR	スルーレート			2		V/µs
ノイズ (入力換算)						
	電圧ノイズ密度			40		nV/√Hz
電源						
V_S	動作電圧範囲	T_A = -40℃～125℃	2.7		5.5	V
I_Q	静止時電流	V_{SENSE} = 0mV		1.8	2.4	mA
		I_Q と温度との関係、T_A = -40℃～125℃			2.6	
温度範囲						
	仕様範囲		-40		125	℃

(1) 詳細については、「入力信号帯域幅」セクションを参照してください。
(2) 図 7-13 を参照してください。

Copyright © 2022 Texas Instruments Incorporated

7.6 代表的特性

T_A = 25℃、V_S = 5V、V_{CM} = 12V、V_{REF} = V_S / 2 (特に記述のない限り)



すべてのゲイン

図 7-1. 入力オフセット電圧の製品分布

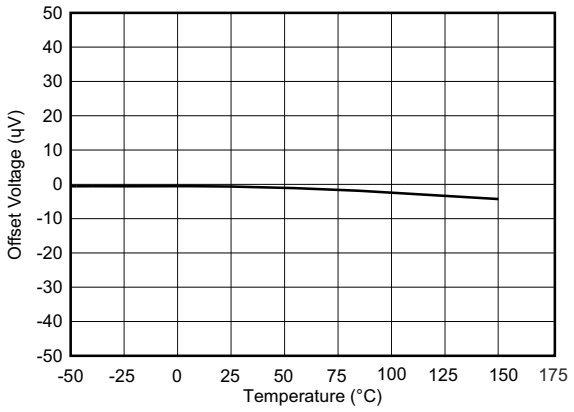
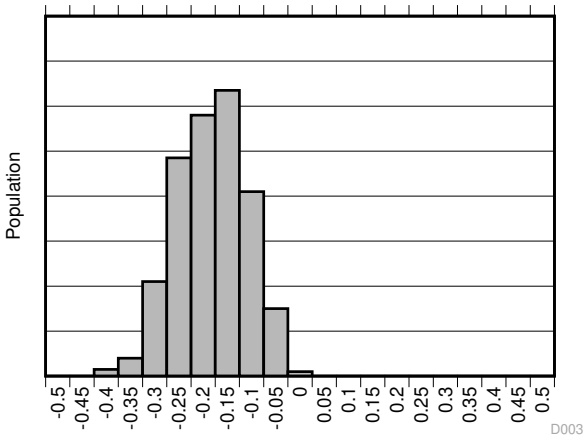


図 7-2. オフセット電圧と温度との関係



すべてのゲイン

図 7-3. 同相除去比の製品分布

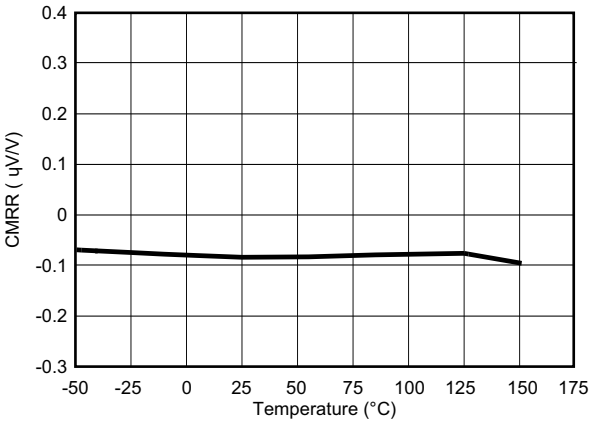
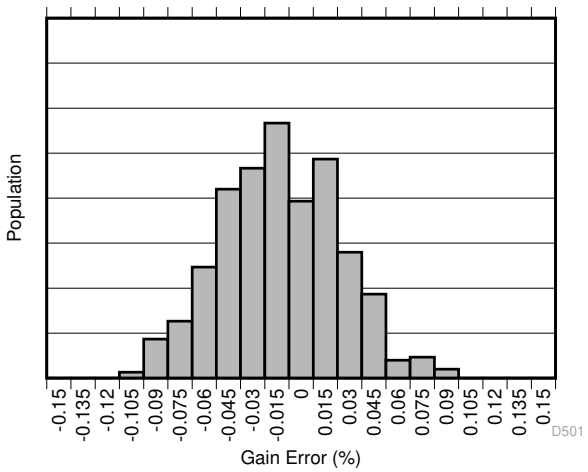
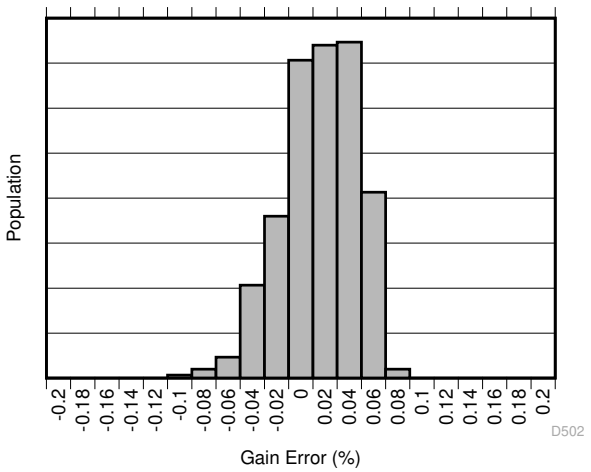


図 7-4. 同相除去比と温度との関係



INA240A1

図 7-5. ゲイン誤差の製品分布



INA240A2

図 7-6. ゲイン誤差の製品分布

Copyright © 2022 Texas Instruments Incorporated

7.6 代表的特性 (continued)

T_A = 25℃、V_S = 5V、V_{CM} = 12V、V_{REF} = V_S / 2 (特に記述のない限り)

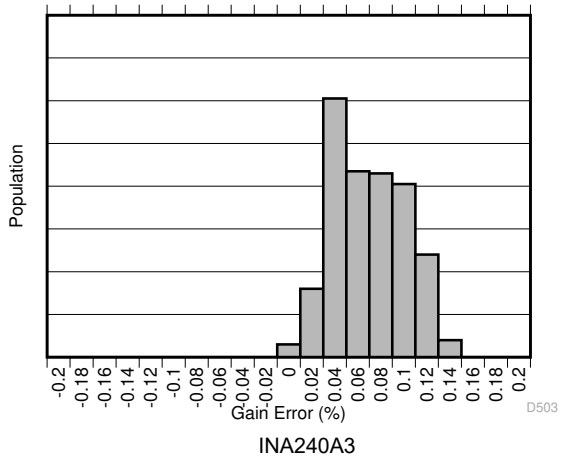


図 7-7. ゲイン誤差の製品分布

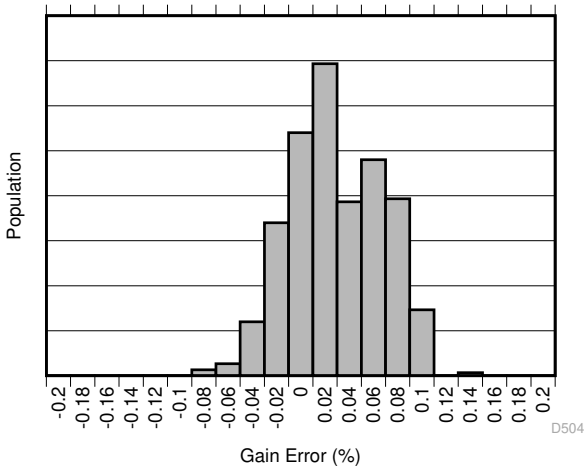


図 7-8. ゲイン誤差の製品分布

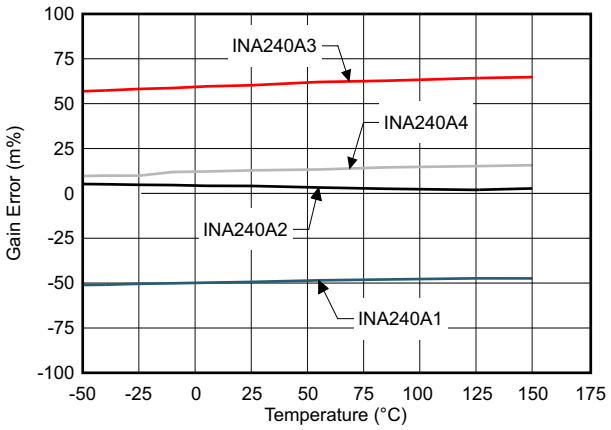
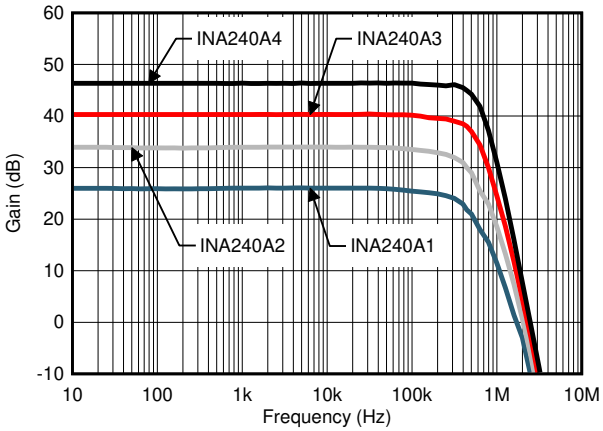


図 7-9. ゲイン誤差と温度との関係



V_{CM} = 0V　　V_{DIF} = 10mV_{PP} 正弦波

図 7-10. ゲインと周波数との関係

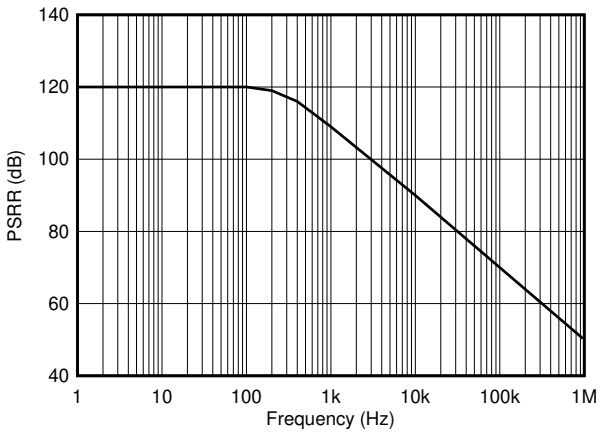


図 7-11. 電源除去比と周波数との関係

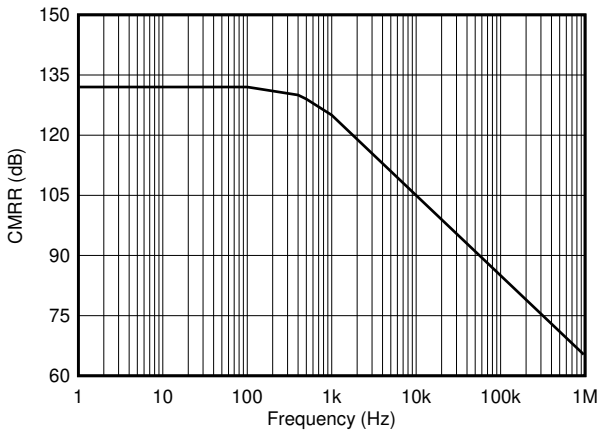


図 7-12. 同相除去比と周波数との関係

Copyright © 2022 Texas Instruments Incorporated

7.6 代表的特性 (continued)

T_A = 25℃、V_S = 5V、V_{CM} = 12V、V_{REF} = V_S / 2 (特に記述のない限り)

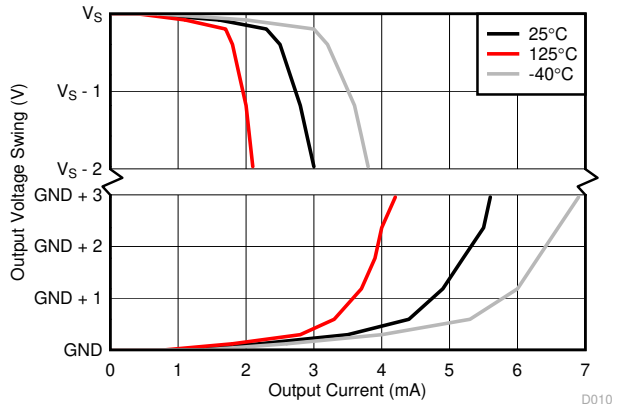
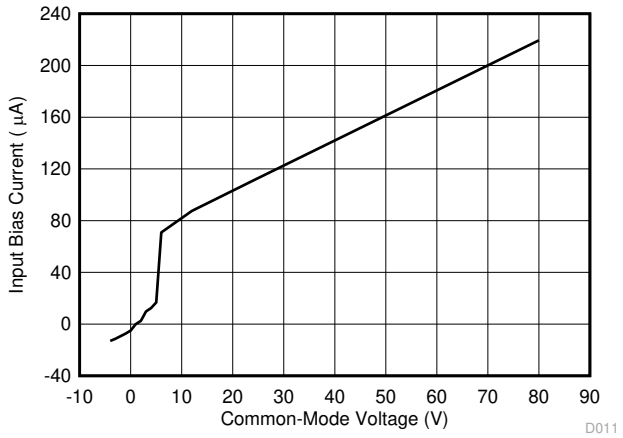
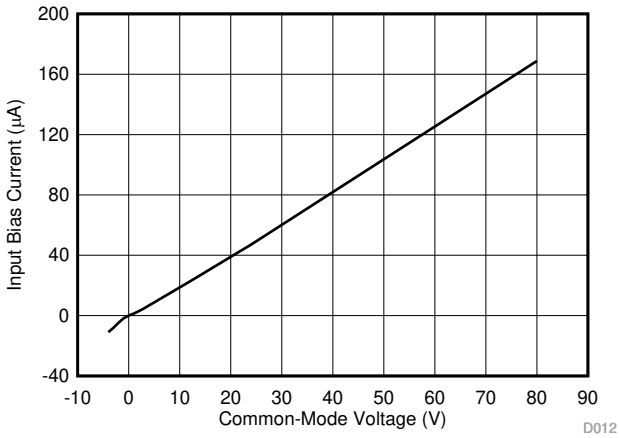


図 7-13. 出力電圧スイングと出力電流との関係



V_S = 5V

図 7-14. 入力バイアス電流と同相電圧との関係



V_S = 0V

図 7-15. 入力バイアス電流と同相電圧との関係

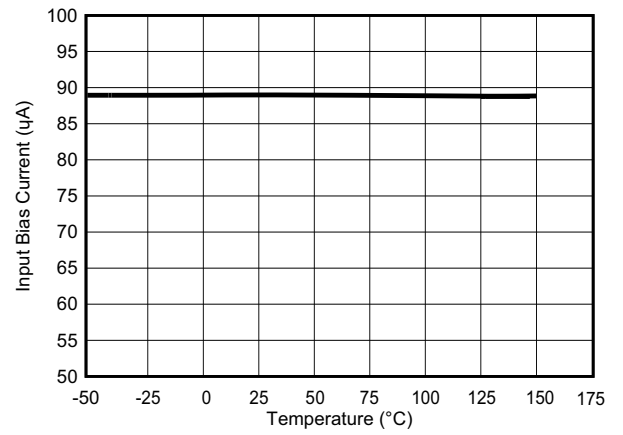


図 7-16. 入力バイアス電流と温度との関係

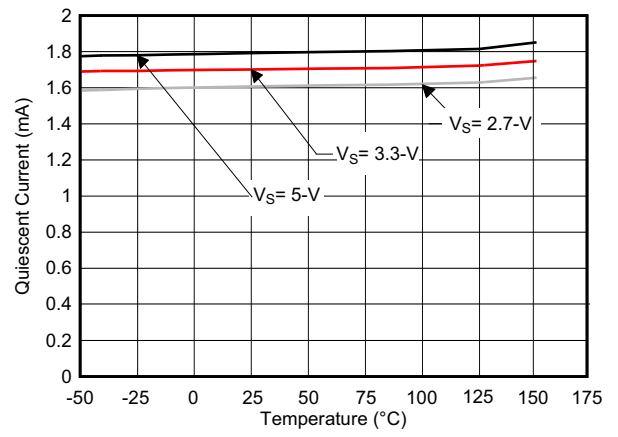


図 7-17. 静止電流と温度との関係

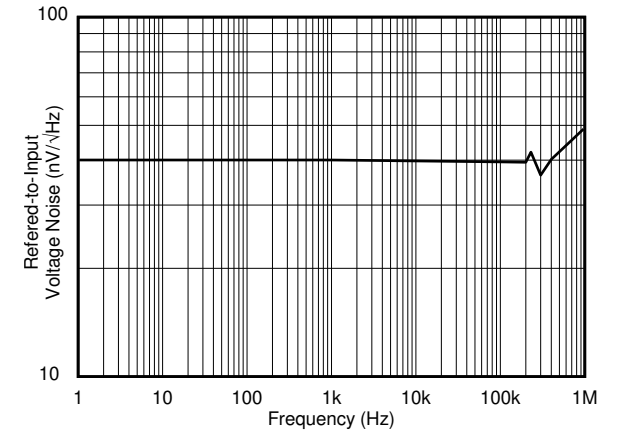
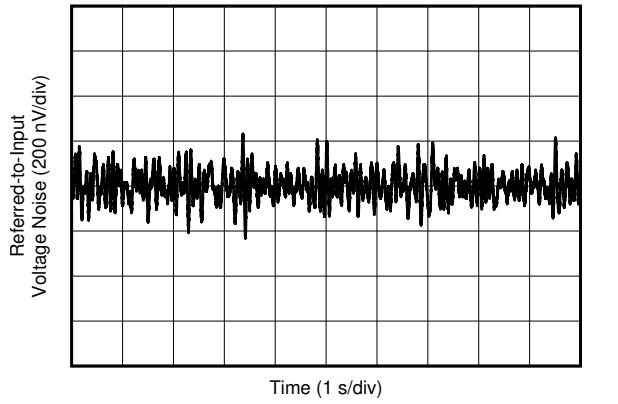


図 7-18. 入力換算電圧ノイズと周波数との関係

Copyright © 2022 Texas Instruments Incorporated

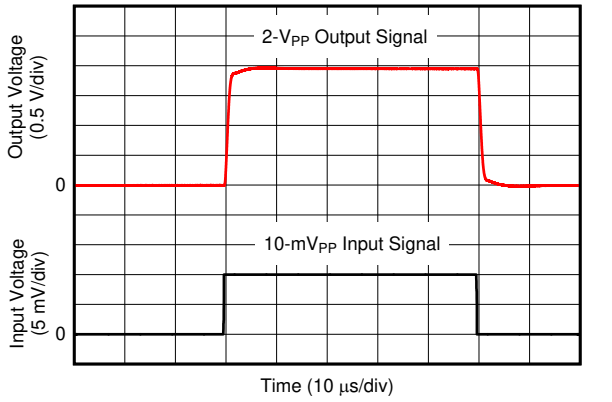
7.6 代表的特性 (continued)

T_A = 25℃、V_S = 5V、V_{CM} = 12V、V_{REF} = V_S / 2 (特に記述のない限り)



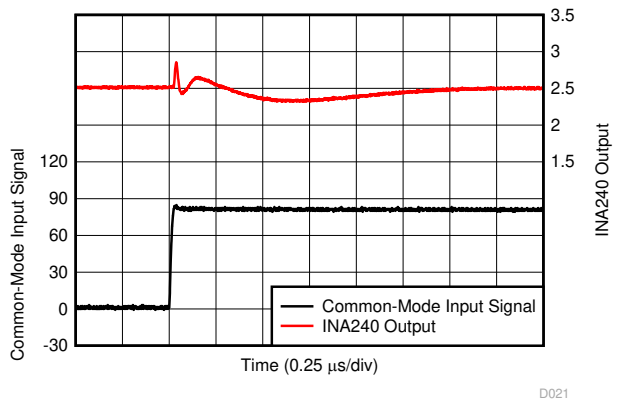
V_S = ±2.5V　　V_{CM} = 0V　　V_{DIF} = 0V
V_{REF1} = V_{REF2} = 0V　　入力換算

図 7-19. 0.1Hz～10Hz の電圧ノイズ



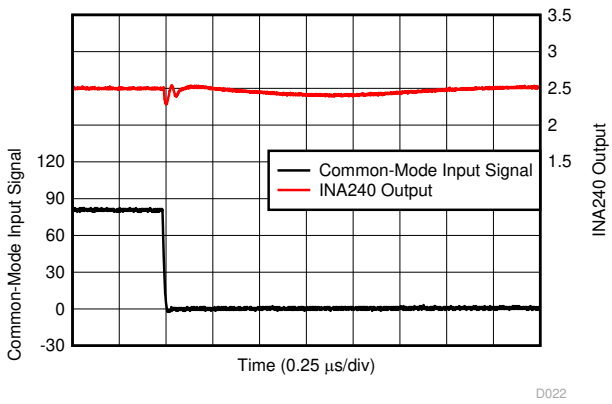
V_{REF1} = V_{REF2} = 0V　　10mV_{PP} の入力ステップ

図 7-20. ステップ応答



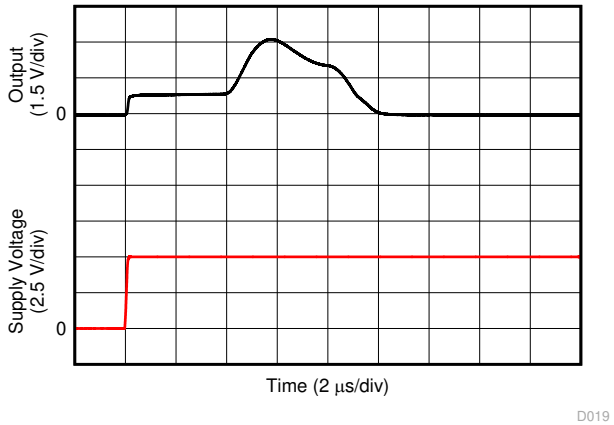
立ち上がりエッジ

図 7-21. 同相電圧の過渡応答



立ち下がりエッジ

図 7-22. 同相電圧の過渡応答



V_{REF1} = V_{REF2} = 0V

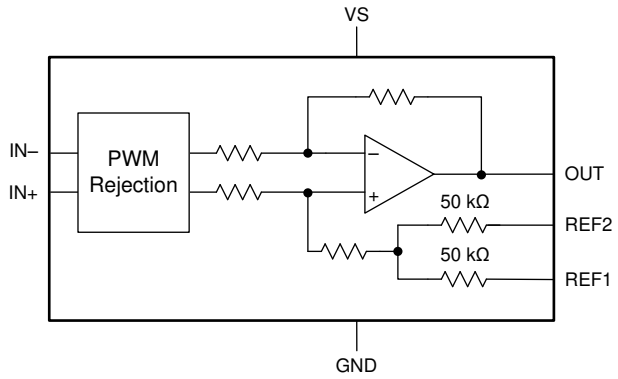
図 7-23. スタートアップ応答

8 詳細説明

8.1 概要

INA240 は電流検出アンプで、広い同相範囲、高精度、ゼロドリフト・トポロジ、優れた同相除去比 (CMRR) を実現し、強化されたパルス幅変調 (PWM) 除去機能を備えています。強化された PWM 除去機能により、PWM 信号に関連する出力信号の同相過渡の影響が低減されます。複数のゲイン・バージョンを利用でき、アプリケーションで予測される目標の電流範囲に基づいて、要求されるフルスケール出力電圧を最適化できます。

8.2 機能ブロック図



8.3 機能説明

8.3.1 アンプの入力信号

INA240 は、広い電圧範囲にわたって大きな同相過渡に対処できるように設計されています。リニアおよび PWM アプリケーション用の電流測定アプリケーションからの入力信号をアンプに接続して、同相過渡アーティファクトを最小限に抑えながら、高精度の出力を実現できます。

8.3.1.1 強化された PWM 除去動作

INA240 の強化された PWM 除去機能により、大きな同相 ΔV/Δt 過渡の減衰が増加しています。PWM 信号に関連する大きな ΔV/Δt 同相過渡は、モーターやソレノイドの駆動、スイッチング電源などのアプリケーションで採用されています。従来、ΔV/Δt の大きな同相モード遷移は、アンプの信号帯域幅を大きくすることによってのみ処理されていましたが、この方法ではチップのサイズ、複雑性、そして最終的にはコストが増加する可能性があります。INA240 は高い同相除去技法を使用して設計されており、大きな ΔV/Δt 過渡を低減して、システムがこのような大きな信号に妨害されることを予防します。高い AC CMRR と信号帯域幅の組み合わせにより、INA240 は標準的な回路の手法に比べて出力過渡とリンギングを最小限に抑えることができます。

8.3.1.2 入力信号帯域幅

INA240 の入力信号は測定対象の電流を表し、前述のように大きな ΔV/Δt 同相過渡からの外乱を最小限に抑えて正確に測定されます。PWM 信号は一般にモーター、ソレノイド、他のスイッチング・アプリケーションに関連し、監視対象の電流は、より高速な PWM 周波数よりも大幅にゆっくりと変化します。

INA240 の帯域幅は、デバイス内部の電流検出アンプの -3dB 帯域幅によって定義されます。「電気的特性」表を参照してください。このデバイスの帯域幅は、過電流イベントの迅速な検出と処理に必要な、高速スループットと高速応答を実現しています。帯域幅が高くないと、保護回路の応答時間が不十分になり、監視対象のアプリケーションや回路が損傷する可能性があります。

Copyright © 2022 Texas Instruments Incorporated

周波数範囲でのデバイスの性能プロファイルを、図 8-1 に示します。アンプの帯域幅の上限で高調波歪が増加し、過電流イベントの検出に悪影響を及ぼすことはありません。ただし、測定された電流帯域幅が INA240 の帯域幅に近づいたときは、最大周波数での歪みの増加を考慮する必要があります。

歪みに敏感な信号を必要とするアプリケーションの場合、図 8-1 を参照し、アンプの最適な周波数性能範囲が存在することを確認してください。アンプの全帯域幅は、高速な過電流イベントのため常に利用できると同時に、低周波数の信号は低歪のレベルで増幅されます。最大帯域幅に近い周波数では、出力信号の精度が低下します。高周波数の電流検出アプリケーションでは、個別の要件によって、許容される歪みの限界が決定されます。受け入れ基準を決定し、性能レベルがシステム仕様を満たしていることを検証するには、最終アプリケーションや回路でのテストと評価が必要です。

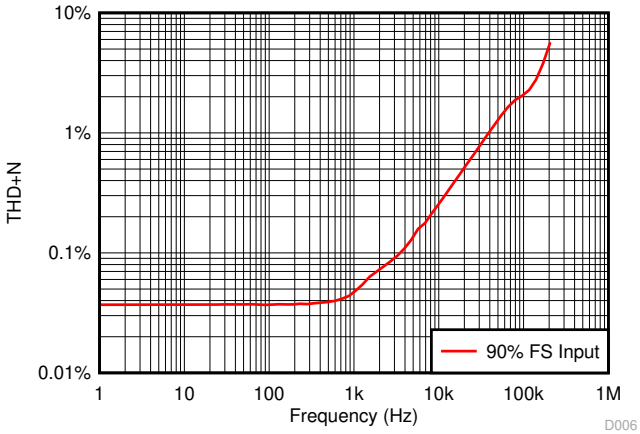


図 8-1. 周波数帯域全体での性能

8.3.2 検出抵抗 (R_{SENSE}) の選択

INA240 は、抵抗の両端で発生する差動電圧の測定値から、電流の大きさを判定します。この抵抗は、電流検出抵抗または電流シャント抵抗と呼ばれます。本デバイスは柔軟に設計されているため、この電流検出抵抗の両端で広い範囲の入力信号を測定できます。

電流検出抵抗は、理想的には測定するフルスケール電流、デバイスに続く回路のフルスケール入力範囲、デバイスで選択したゲインのみに基づいて選択されます。最小の電流検出抵抗は、信号チェーン回路の入力範囲を最大化するよう、設計に基づいて決定されます。フルスケール出力信号がシステム回路の入力範囲全体に最大化されていないと、ダイナミック・レンジ全体のシステム制御が行えなくなります。

電流検出抵抗の値を最終決定するときは、必要な電流測定精度と、抵抗での最大消費電力という 2 つの重要な要素を検討します。抵抗の電圧が大きいと測定が正確になりますが、抵抗の消費電力が増加します。消費電力が増加すると熱が発生するため、温度係数により検出抵抗の精度が低下します。入力信号が大きくなると、測定される信号のうち固定誤差が占める割合が小さくなるため、電圧信号測定の不確定な要素が減少します。設計では、測定精度を向上すると、電流検出抵抗の値が増加するトレードオフがあります。抵抗値を大きくすると、システムの消費電力が増加し、システム全体の精度がさらに低下する可能性があります。このような関係があるため、測定精度は抵抗値と消費電力の両方に反比例し、このどちらも電流シャントの選択に関係します。

電流シャント抵抗を大きくすると、抵抗の両端での差動電圧が増加します。入力差動電圧が大きい場合、アンプのフルスケールの出力電圧を得るには、アンプのゲインを小さくする必要があります。電流シャント抵抗は小さいほうが望ましいのですが、アンプのゲイン設定を大きくする必要があります。ゲイン設定を大きくすると誤差やノイズのパラメータが大きくなる傾向があり、これは高精度の設計では望ましくないことです。従来は、高性能測定の設計目標を満たすため、電流検出抵抗を大きくし、アンプのゲイン設定は小さくすることを受け入れる必要がありました。INA240 には 100V/V と 200V/V のゲイン・オプションがあり、高いゲインを設定しながら、25µV 未満のオフセット値で高い性能レベルを維持できます。これらのデバイスでは、より低いシャント抵抗の値を使用して、消費電力を低減しながら、高いシステム性能仕様を満たすことができます。

INA240 のゲインが異なる 2 つのバージョンを使用して得られるさまざまな結果の例を、表 8-1 に示します。表のデータから、ゲインが高いデバイスでは、小さな電流シャント抵抗を使用して、素子の消費電力を低減できます。「合計誤差の計算」セクションでは、INA240 を使用する設計において、ゲインおよび電流シャントの値のほかに考慮する必要がある誤差計算について説明します。

Copyright © 2022 Texas Instruments Incorporated

表 8-1. R_{SENSE} の選択と消費電力(1)

パラメータ		式	結果	
			INA240A1	INA240A4
ゲイン		—	20V/V	200V/V
V_{DIFF}	理想的な最大差動入力電圧	$V_{DIFF} = V_{OUT}$ / ゲイン	150mV	15mV
R_{SENSE}	電流検出抵抗の値	$R_{SENSE} = V_{DIFF} / I_{MAX}$	15mΩ	1.5mΩ
P_{RSENSE}	電流検出抵抗の消費電力	$R_{SENSE} \times I_{MAX}^2$	1.5W	0.15W

(1) フルスケール電流 = 10A、フルスケール出力電圧 = 3V

8.4 デバイスの機能モード

8.4.1 リファレンス・ピンによる出力中間点の調整

リファレンス分割器の精度のテスト回路を、図 8-2 に示します。INA240 の出力は、単方向または双方向の動作を可能にするように構成できます。

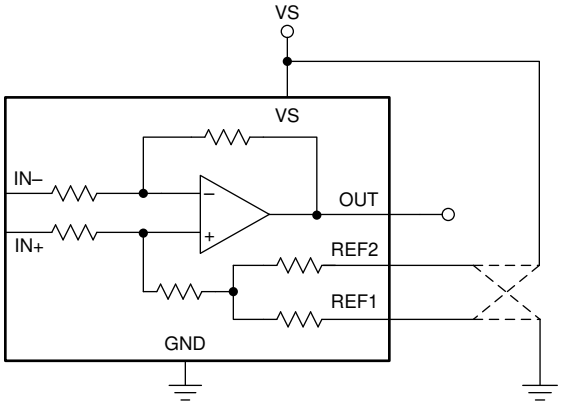


図 8-2. リファレンス分割器の精度のテスト回路

注

REF1 ピンまたは REF2 ピンは、GND より低い電圧ソース、または V_S より高い電圧ソースには接続しないでください。

出力電圧は、リファレンス電圧入力である REF1 と REF2 に電圧を印加することで設定されます。リファレンス入力は内部ゲイン・ネットワークに接続されます。2 つのリファレンス・ピンの間に動作の違いはありません。

8.4.2 単方向電流測定のためのリファレンス・ピンの接続

単方向動作では、抵抗性シャントを通過する電流を 1 つの方向で測定できます。単方向動作を行うには、デバイスのリファレンス・ピンを互いに接続してから、負のレール (グランド基準の出力セクションを参照) または正のレール (VS 基準の出力セクションを参照) に接続します。必要な差動入力極性は、出力電圧の設定によって異なります。アンプの出力は、外付けシャント抵抗を通過する電流に比例して、リファレンス電圧レールから離れます。アンプのリファレンス・ピンを正のレールに接続する場合、アンプの出力を下に (グランドに向かって) 動かすために、入力極性を負にする必要があります。アンプのリファレンス・ピンをグランドに接続する場合、アンプの出力を上に (電源に向かって) 動かすために、入力極性を正にする必要があります。

以下のセクションでは、単方向動作用に出力を構成する方法について説明します。

8.4.2.1 グランド基準の出力

INA240 をグランド基準出力の単方向モードで使用する場合、両方のリファレンス入力がグランドに接続されます。この構成では、入力に 0V の差動が存在するとき、出力がグランドに接続されます (図 8-3 を参照)。

Copyright © 2022 Texas Instruments Incorporated

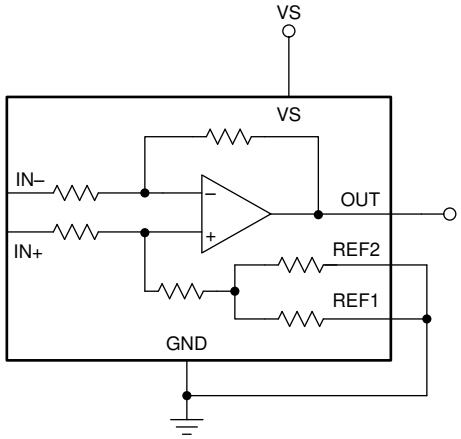


図 8-3. グランド基準の出力

8.4.2.2 VS 基準の出力

VS 基準の出力を持つ単方向モードは、両方のリファレンス電圧ピンを正の電源に接続することで構成されます。この構成は、負荷に電力を供給する前に (図 8-4 に示すように) アンプの出力信号や他の制御回路のパワーアップと安定化を必要とする回路に使用します。

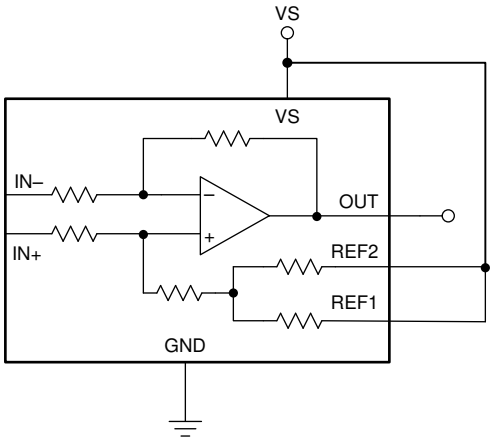


図 8-4. VS 基準の出力

8.4.3 双方向電流測定のためのリファレンス・ピンの接続

INA240 は双方向動作を行い、抵抗性シャントを通過する電流を 2 つの方向で測定できます。この動作の場合、出力電圧はリファレンス入力の制限内で任意の場所に設定できます。一般的な構成は、リファレンス入力をどちらの方向でも同じ範囲になるようハーフスケールに設定することです。ただし、双方向電流が対称でない場合、リファレンス入力をハーフスケール以外の電圧に設定できます。

Copyright © 2022 Texas Instruments Incorporated

8.4.3.1 出力を外部リファレンス電圧に設定する

両方のピンを互いに接続してからリファレンス電圧に接続すると、入力ピンの短絡または 0V 差動入力の状況で、リファレンス電圧と等しい出力電圧が得られます。この構成を、図 8-5 に示します。IN+ ピンが IN- ピンに対して負の場合、出力電圧はリファレンス電圧より低くなり、IN+ ピンが IN- ピンに対して正の場合は高くなります。この技法は、出力を高精度の電圧にバイアスする最も正確な方法です。

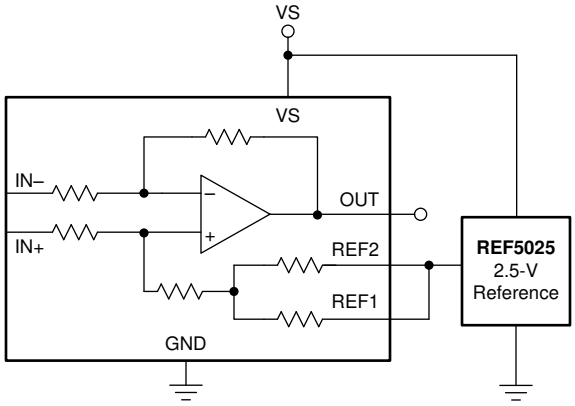


図 8-5. 外部リファレンス出力

8.4.3.2 出力を中間電源電圧に設定

図 8-6 に示すように、リファレンス電圧ピンの 1 つを VS に、もう 1 つを GND ピンに接続すると、差動入力がない場合、出力は電源の半分に設定されます。この方法では、電源電圧に対してレシオメトリックなオフセットが発生し、入力に 0V が印加されると、出力電圧は VS / 2 に維持されます。

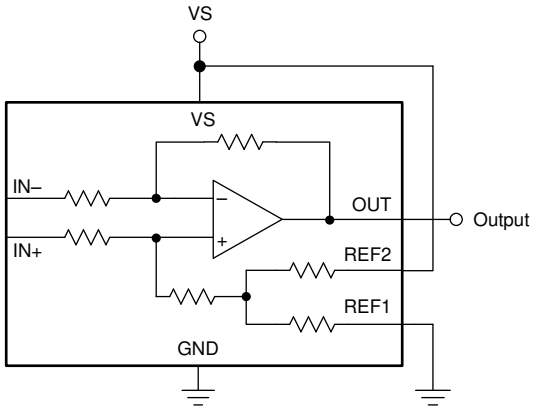


図 8-6. 中間電圧出力

8.4.3.3 出力を外部リファレンス電圧の中間に設定する

この場合は、図 8-7 に示すように、REF ピンの 1 つをグランドに、もう 1 つをリファレンス電圧に接続し、外部リファレンス電圧を 2 つに分割します。

Copyright © 2022 Texas Instruments Incorporated

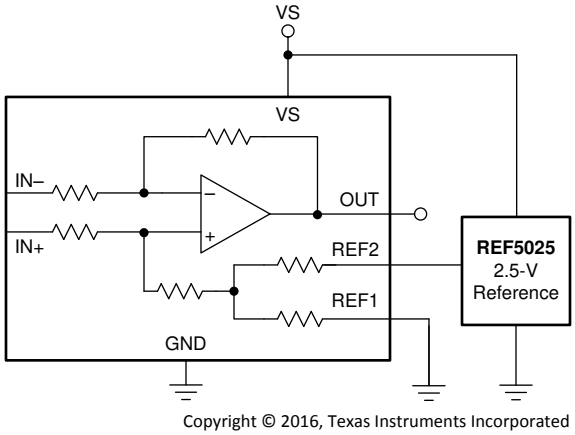


図 8-7. 外部リファレンス電圧の中間の出力

8.4.3.4 分圧抵抗を使用して出力を設定

INA240 の REF1 と REF2 ピンを使用して、A/D コンバータ (ADC) または他のアンプへのシステム回路接続のために、出力電圧の中点を調整できます。REF ピンは、電源、グランド、または低インピーダンスのリファレンス電圧に直接接続するよう設計されています。REF ピンを互いに接続し、分圧抵抗を使用してバイアスすると、カスタムの出力電圧が得られます。この構成でアンプを使用するときは、図 8-8 に示すように、分圧抵抗の電圧を基準とした差動信号として出力を使用します。この構成では、アンプの出力をシングルエンド信号として使用することはお勧めしません。内部インピーダンスの変化がデバイスの性能仕様に悪影響を及ぼす可能性があるためです。

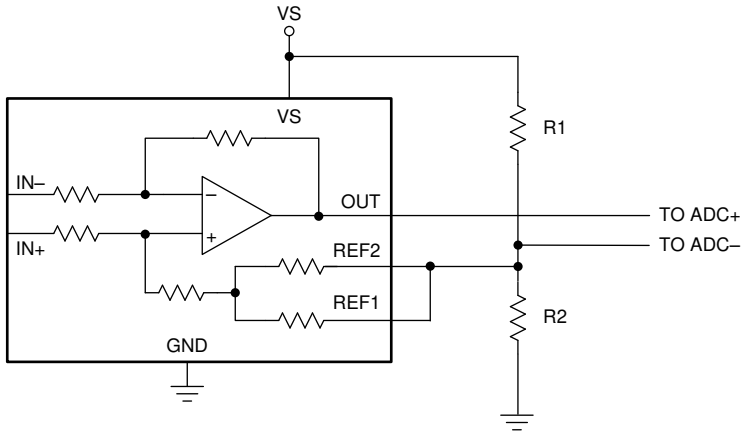


図 8-8. 分圧抵抗を使用したリファレンス電圧の設定

8.4.4 合計誤差の計算

INA240 の電気的仕様 (電気的特性表を参照) には、標準的な個別の誤差項 (ゲイン誤差、オフセット誤差、非直線性誤差など) が含まれています。これらすべての個別の誤差成分を含む合計誤差は、電気的特性表には記載されていません。デバイスの予測誤差を正確に計算するには、まずデバイスの動作条件を把握する必要があります。一部の電流シャント・モニタでは、製品のデータシートに合計誤差が記載されています。ただし、この合計誤差項が正確なのは、特定の一連の動作条件のみです。この時点で合計誤差を指定すると、これらの特定の動作条件からの偏差によって同じ合計誤差値が得られなくなるため、値が制限されます。このセクションでは、個々の誤差発生源と、特定の条件に対するこれらの誤差の組み合わせからデバイスの合計誤差値を計算する方法について説明します。

各種の動作条件が合計誤差の計算にどのような影響を与えるかの詳細として、2 つの例を表 8-2 と表 8-3 に示します。標準値と最大値の計算も示されており、デバイス間で誤差がどの程度ばらつくかを詳しく知ることができます。

Copyright © 2022 Texas Instruments Incorporated

8.4.4.1 誤差発生源

デバイスの合計誤差に最大の影響を及ぼす一般的な誤差ソースは、ゲイン誤差、非直線性、同相除去比、入力オフセット電圧誤差です。INA240 の場合、合計誤差の値にはほかの誤差発生源 (リファレンス電圧除去比と呼ばれます) も含まれます。

8.4.4.2 リファレンス電圧除去比誤差

リファレンス電圧除去比とは、デバイスの電源電圧の中点から離れたリファレンス電圧を INA240 に印加したときに発生する誤差の大きさを指します。

8.4.4.2.1 合計誤差の例 1

表 8-2. 合計誤差の計算：例 1(1)

用語	記号	式	標準値
初期入力オフセット電圧	V_{OS}	—	5µV
同相電圧による入力オフセット電圧を追加	V_{OS_CM}	$\frac{1}{10^{\left(\frac{CMRR_dB}{20}\right)}} \times (V_{CM} - 12V)$	0µV
リファレンス電圧による入力オフセット電圧を追加	V_{OS_REF}	$RVRR \times \lvert V_S / 2 - V_{REF} \rvert$	0µV
合計入力オフセット電圧	V_{OS_Total}	$\sqrt{(V_{OS})^2 + (V_{OS_CM})^2 + (V_{OS_REF})^2}$	5µV
入力オフセット電圧からの誤差	$Error_V_{OS}$	$\frac{V_{OS_Total}}{V_{SENSE}} \times 100$	0.05%
ゲイン誤差	Error_Gain	—	0.05%
非直線性誤差	Error_Lin	—	0.01%
合計誤差	—	$\sqrt{(Error_V_{OS})^2 + (Error_Gain)^2 + (Error_Lin)^2}$	0.07%

(1) 表 8-2 のデータは、INA240A4、V_S = 5V、V_{CM} = 12V、V_{REF1} = V_{REF2} = V_S / 2、V_{SENSE} = 10mV で取得されたものです。

8.4.4.2.2 合計誤差の例 2

表 8-3. 合計誤差の計算：例 2(1)

用語	記号	式	標準値
初期入力オフセット電圧	V_{OS}	—	5µV
同相電圧による入力オフセット電圧を追加	V_{OS_CM}	$\frac{1}{10^{\left(\frac{CMRR_dB}{20}\right)}} \times (V_{CM} - 12V)$	12.1µV
リファレンス電圧による入力オフセット電圧を追加	V_{OS_REF}	$RVRR \times \lvert V_S / 2 - V_{REF} \rvert$	5µV
合計入力オフセット電圧	V_{OS_Total}	$\sqrt{(V_{OS})^2 + (V_{OS_CM})^2 + (V_{OS_REF})^2}$	14µV
入力オフセット電圧からの誤差	$Error_V_{OS}$	$\frac{V_{OS_Total}}{V_{SENSE}} \times 100$	0.14%
ゲイン誤差	Error_Gain	—	0.05%
非直線性誤差	Error_Lin	—	0.01%

Copyright © 2022 Texas Instruments Incorporated

表 8-3. 合計誤差の計算：例 2(1) (continued)

用語	記号	式	標準値
合計誤差	—	$\sqrt{(\text{Error_V}_{OS})^2 + (\text{Error_Gain})^2 + (\text{Error_Lin})^2}$	0.15%

(1) 表 8-3 のデータは、INA240A4、V_S = 5V、V_{CM} = 60V、V_{REF1} = V_{REF2} = 0V、V_{SENSE} = 10mV で取得されたものです。

Copyright © 2022 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

INA240 は、電流検出抵抗を通過する電流と関連する電圧を測定します。このデバイスは、単方向または双方向の出力スイングとして動作を構成するためのリファレンス・ピンを備えています。INA240 をインラインのモーター電流検出に使用する場合、一般に双方向動作用に構成されます。

9.1.1 入力フィルタリング

注

INA240 を使用する高精度測定には入力フィルタは必要ありません。この場所でのフィルタの使用は推奨しません。アンプの入力にフィルタ部品を使用する場合、性能への影響を最小限に抑えるため、このセクションのガイドラインに従ってください。

ユーザーの設計要件を厳密に守るため、電流信号の外部フィルタリングが求められる場合があります。フィルタの初期位置は、電流アンプの出力です。出力にフィルタを配置するとフィルタの要件が満たされますが、この位置では出力電圧ピンに接続されている回路によって測定される低出力インピーダンスが変化します。フィルタを配置するもう 1 つの場所は、電流アンプの入力ピンです。この場所はフィルタリング要件も満たされますが、デバイスの性能に及ぼす影響が最小限になるよう、注意して部品を選択する必要があります。入力ピンに配置されたフィルタを、図 9-1 に示します。

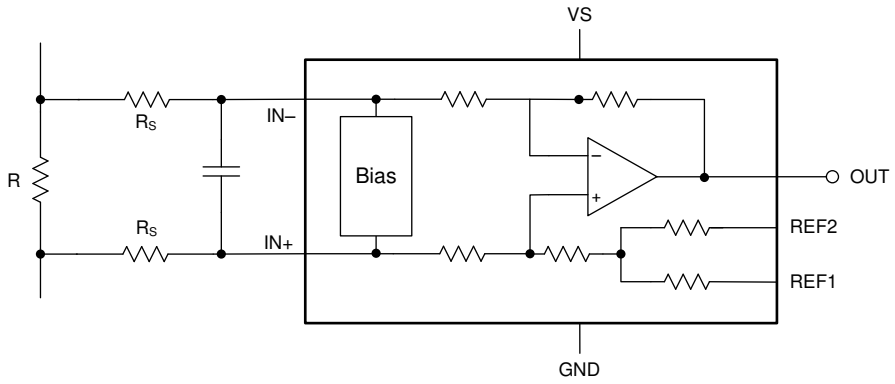


図 9-1. 入力ピンに配置したフィルタ

外付けの直列抵抗は測定誤差を増やす原因になるので、精度の低下を低減するために、これらの直列抵抗の値は 10Ω 以下にしてください。図 9-1 に示す内部バイアス・ネットワークは、入力ピンの間に差動電圧が印加されたとき、入力バイアス電流の不一致を引き起こします (図 9-2 を参照)。外付けの直列フィルタ抵抗を回路に追加すると、フィルタ抵抗の両端の電圧降下に不一致が発生します。この電圧は、シャント抵抗電圧の差動誤差電圧です。誤差は実際に測定される抵抗値に基づいて計算されるので、抵抗の絶対値に加えて、抵抗の公差に起因する不一致が、誤差に大きな影響を及ぼす可能性があります。

Copyright © 2022 Texas Instruments Incorporated

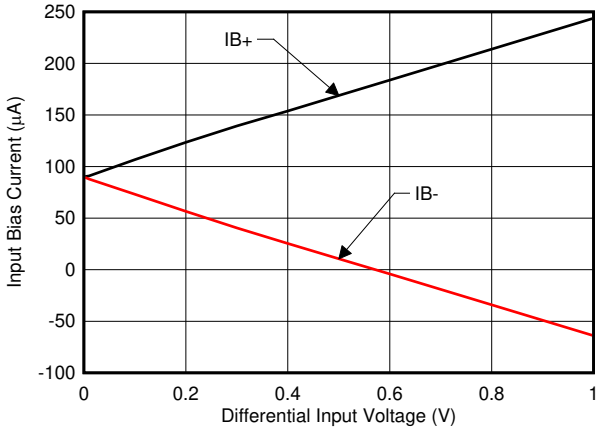


図 9-2. 入力バイアス電流と差動入力電圧との関係

追加の外付けフィルタ抵抗から予測される測定誤差は、式 1 を使用して計算できます。ここで、ゲイン誤差係数は式 2 を使用して計算されます。

$$\text{Gain Error (\%)} = 100 - (100 \times \text{Gain Error Factor}) \quad (1)$$

式 1 に示すゲイン誤差係数の計算によって、追加の外付け直列抵抗によって生じるゲイン誤差を決定できます。式 1 は、追加された外付けフィルタ抵抗によって生じる減衰と不均衡に起因するシャント電圧の偏差を計算します。いくつかの抵抗値について、ゲイン誤差係数とゲイン誤差を表 9-1 に示します。

$$\text{Gain Error Factor} = \frac{3000}{R_S + 3000} \quad (2)$$

ここで

- R_S は外付けフィルタの抵抗値です。

表 9-1. 外付け入力抵抗のゲイン誤差係数とゲイン誤差

外付け抵抗 (Ω)	ゲイン誤差係数	ゲイン誤差 (%)
5	0.998	0.17
10	0.997	0.33
100	0.968	3.23

Copyright © 2022 Texas Instruments Incorporated

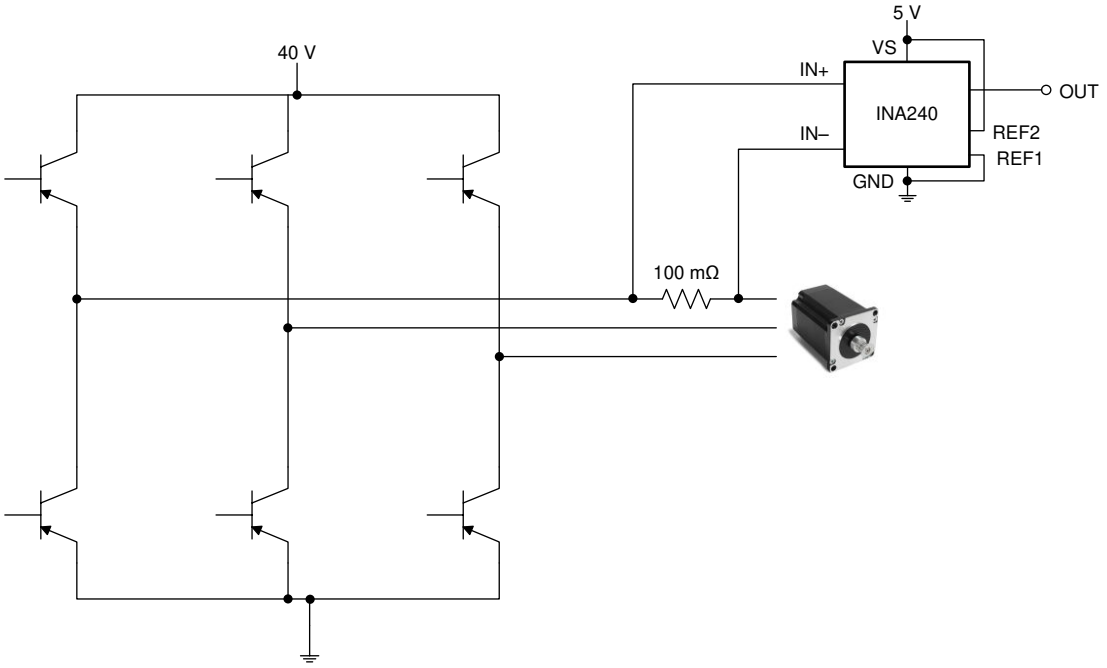
9.2 代表的なアプリケーション

INA240 は、次のような複数のアプリケーションで有用です。

- 同相範囲が広く、CMRR が優れているため、直接インライン検出を行えます。
- オフセットとドリフトが非常に小さいため、キャリブレーションが不要です。
- 電源電圧範囲が広いため、ほとんどのマイクロプロセッサと直接接続できます。

2 つのアプリケーション例が提供され、詳細情報も含まれています。

9.2.1 インライン・モーターの電流検出アプリケーション



Copyright © 2016, Texas Instruments Incorporated

図 9-3. インライン・モーター・アプリケーションの回路

9.2.1.1 設計要件

インライン電流検出には、トルク・リップルの低減からリアルタイムのモーター状態監視まで、モーター制御に多くの利点があります。ただし、インライン電流測定で電流を正確に測定するには、フルスケール PWM 電圧要件に関する課題があります。スイッチング周波数が 50kHz～100kHz の範囲では、大きな ΔV/Δt の信号遷移が発生し、正確なインライン電流測定のためにはこれに対処する必要があります。

INA240 は、優れた同相除去能力、高精度、高い同相仕様により、幅広い同相電圧で性能を発揮します。

9.2.1.2 詳細な設計手順

このアプリケーションでは、INA240 で 36V、4000RPM のモーターのドライブ回路の電流を測定します。

デバイスの性能を示すため、この設計ではゲインが 20V/V の INA240A1 を選択し、5V 電源から電力を供給します。

リファレンス・ピンによる出力中間点の調整セクションの情報を使用して、電源をグランドに接続した REF1 と電源に接続した REF2 で分割し、リファレンス点をミッドスケールに設定します。この構成により、バイポーラ電流測定が可能になります。または、リファレンス・ピンを互いに接続し、外部の高精度リファレンス電圧で駆動することもできます。

電流検出抵抗の大きさは、INA240 の出力が飽和しないように設定します。アナログ入力をデバイスの制限内に維持するため、100mΩ の値が選択されています。

Copyright © 2022 Texas Instruments Incorporated

9.2.1.3 アプリケーション曲線

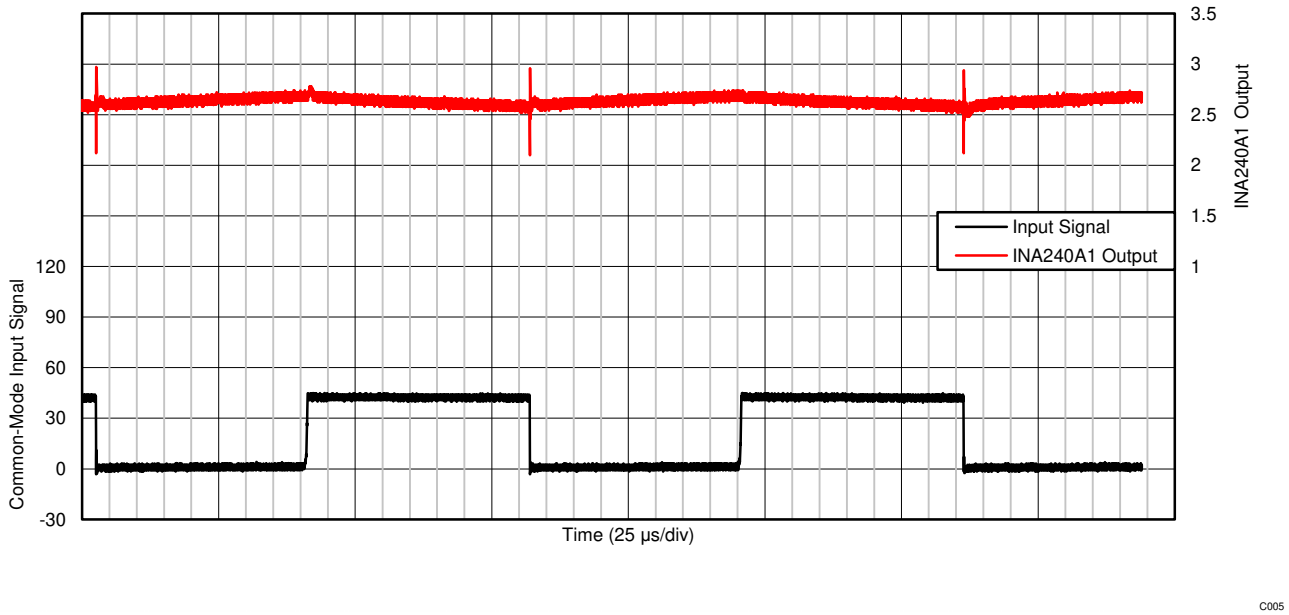
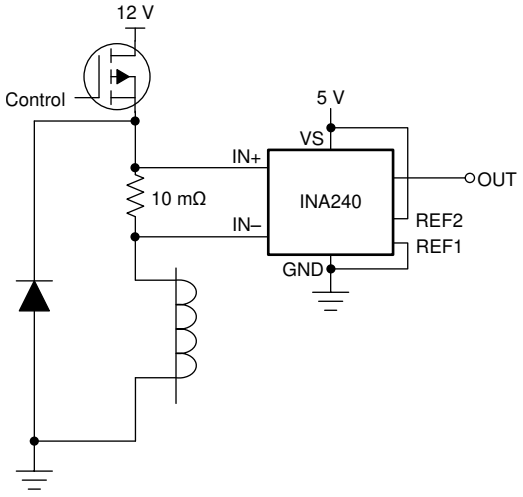


図 9-4. インライン・モーター電流検出の入力および出力信号

9.2.2 ソレノイド駆動電流の検出アプリケーション



Copyright © 2016, Texas Instruments Incorporated

図 9-5. ソレノイド駆動アプリケーションの回路

9.2.2.1 設計要件

ソレノイド駆動の電流検出には、モーターのインライン電流検出と同様の問題があります。特定のトポロジでは、電流検出アンプはグランドと電源の間のフルスケール PWM 電圧にさらされます。INA240 は、この種のアプリケーションに最適です。

9.2.2.2 詳細な設計手順

このアプリケーションでは、INA240 で 24V、500mA の水バルブのドライバ回路の電流を測定します。

デバイスの性能を示すため、この設計ではゲインが 200V/V の INA240A4 を選択し、5V 電源から電力を供給します。

リファレンス・ピンによる出力中間点の調整セクションの情報を使用して、電源をグランドに接続した REF1 と電源に接続した REF2 で分割し、リファレンス点をミッドスケールに設定します。または、リファレンス・ピンを互いに接続し、外部の高精度リファレンス電圧で駆動することもできます。

アナログ入力をデバイスの制限内に維持するため、10mΩ の値が選択されています。

9.2.2.3 アプリケーション曲線

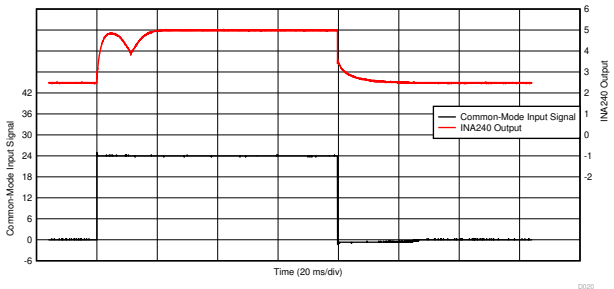


図 9-6. ソレノイド駆動の電流検出の入力および出力信号

Copyright © 2022 Texas Instruments Incorporated

9.3 推奨事項および禁止事項

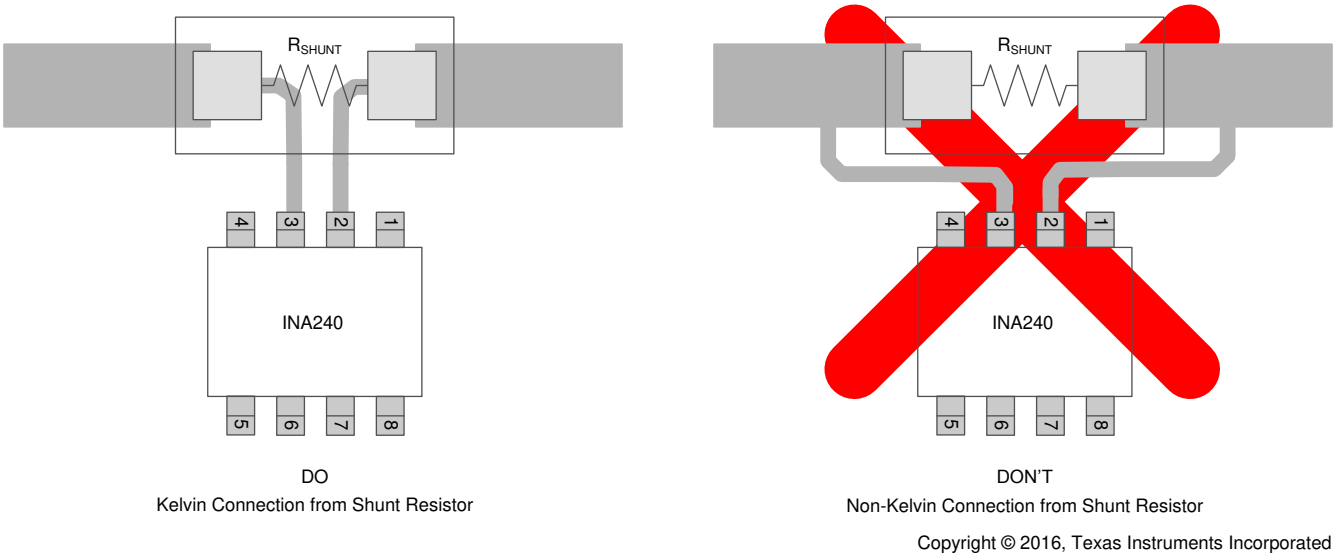
9.3.1 高精度アプリケーション

高精度アプリケーションでは、アンプの精度と安定性を次の方法で確認します。

- REF1 と REF2 に接続された高精度リファレンスを提供する。
- 電力のレイアウトと、検出抵抗の検出パスを最適化する (「レイアウト」セクションを参照)。
- 電源ピンに適切なバイパス容量を確保する (「電源のデカップリング」セクションを参照)。

9.3.2 電流検出抵抗からのケルビン接続

電流を正確に測定するには、電流検出抵抗とアンプとの間の配線がケルビン接続を使用していることを確認します。デバイスのレイアウト時には、図 9-7 と「電流検出抵抗への接続」セクションに記載されている情報を使用してください。



Copyright © 2016, Texas Instruments Incorporated

図 9-7. INA240 へのシャント接続

10 電源に関する推奨事項

INA240 シリーズは、接続されている電源電圧 (V_S) の範囲を超えて高精度の測定を行います。これは、入力 (IN+ および IN-) が V_S から独立して -4V～80V の範囲で動作するためです。たとえば、5V の V_S 電源で、同相電圧が 80V までのシャントを測定できます。

入力の同相電圧は電源電圧を超えることができますが、INA240 シリーズの出力電圧範囲は電源電圧に制限されます。

10.1 電源のデカップリング

電源バイパス・コンデンサは、電源ピンとグランド・ピンにできるだけ近づけて配置します。バイパス・コンデンサの値は 0.1µF を推奨します。ノイズが多い、または高インピーダンスの電源を補償するため、デカップリング容量を追加してもかまいません。

11 レイアウト

11.1 レイアウトのガイドライン

11.1.1 電流検出抵抗への接続

電流検出抵抗の配線が適切でないと、アンプの入力ピンの間に追加の抵抗が発生することがあります。電流抵抗の抵抗値が非常に小さいため、大電流が通過するインピーダンスが増えると、測定誤差が大きくなる可能性があります。ケルビンまたは 4 線式の接続を使用し、デバイスの入力ピンに接続します。この接続方法により、入力ピン間の電流検出抵抗のインピーダンスのみを確実に検出できます。

11.2 レイアウト例

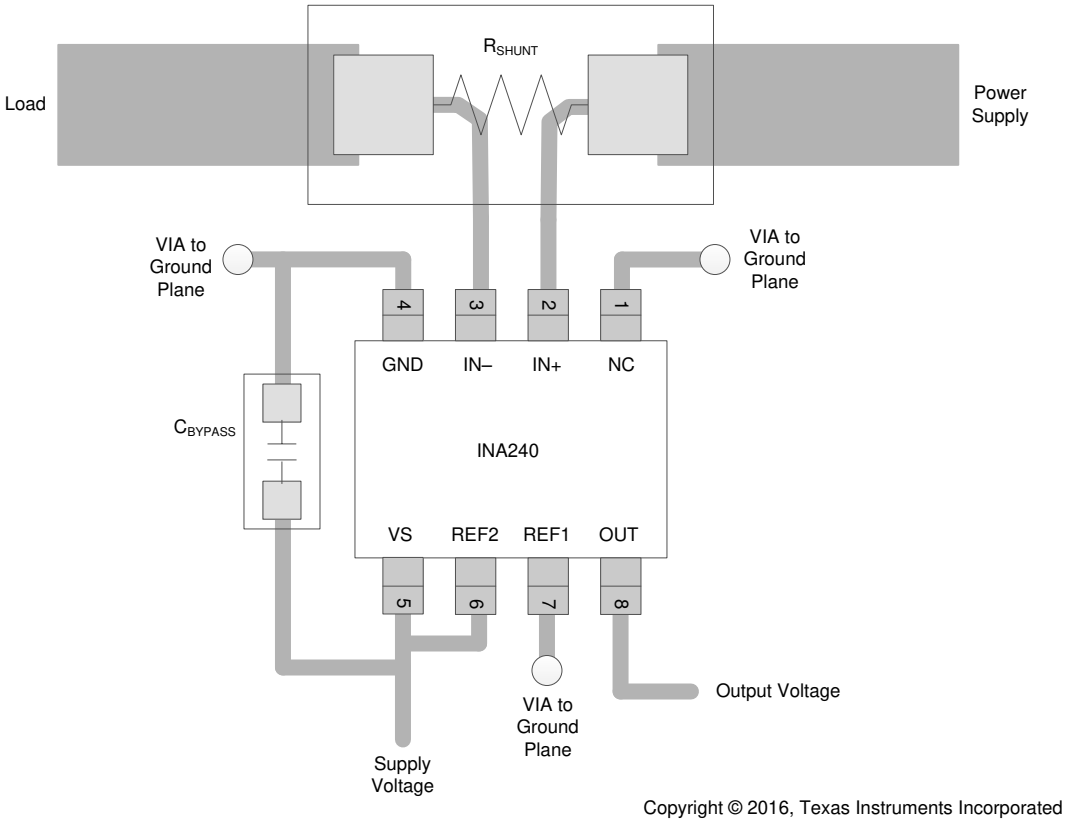


図 11-1. 推奨される TSSOP パッケージのレイアウト

Copyright © 2022 Texas Instruments Incorporated

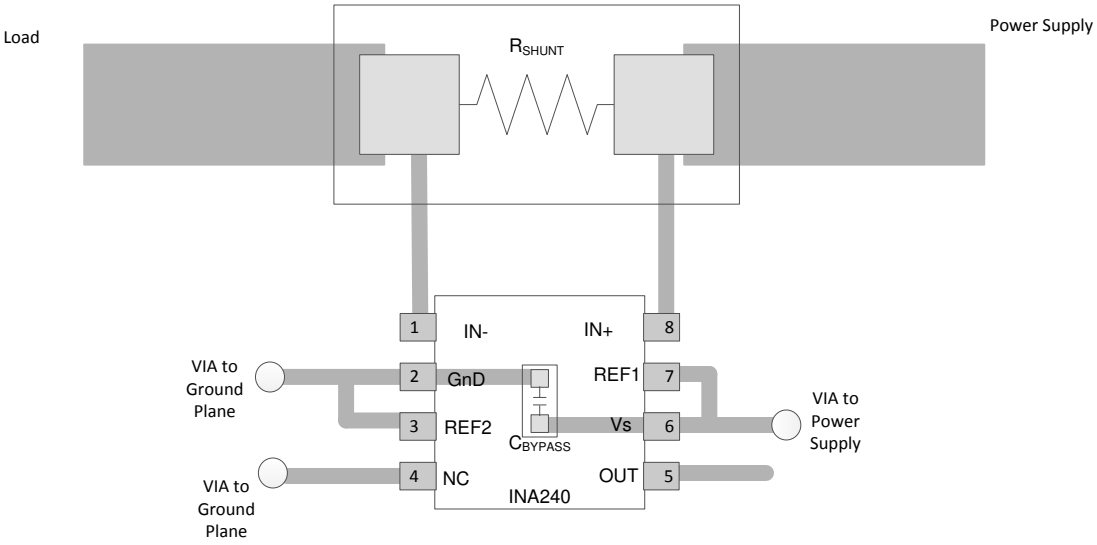


図 11-2. 推奨される SOIC パッケージのレイアウト

12 デバイスおよびドキュメントのサポート

12.1 ドキュメントのサポート

12.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『INA240EVM ユーザー・ガイド』
- テキサス・インスツルメンツ、『モーター制御アプリケーション・レポート』
- テキサス・インスツルメンツ、シャント・ベースのインライン・モーター位相電流センシング機能を搭載した、48V の 3 相インバータのリファレンス・デザイン

12.2 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on ti.com. Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

12.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

12.4 商標

TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

12.5 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

12.6 Glossary

TI Glossary — This glossary lists and explains terms, acronyms, and definitions.

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2022 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA240A1D	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A1
INA240A1D.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A1
INA240A1DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A1
INA240A1DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A1
INA240A1DRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A1
INA240A1DRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A1
INA240A1PWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A1
INA240A1PWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A1
INA240A1PWRG4	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A1
INA240A1PWRG4.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A1
INA240A2DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A2
INA240A2DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A2
INA240A2DRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A2
INA240A2DRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A2
INA240A2PW	Obsolete	Production	TSSOP (PW) | 8	-	-	Call TI	Call TI	-40 to 125	I240A2
INA240A2PWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A2
INA240A2PWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A2
INA240A2PWRG4	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A2
INA240A2PWRG4.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A2
INA240A3D	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A3
INA240A3D.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A3
INA240A3DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A3
INA240A3DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A3
INA240A3DRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A3
INA240A3DRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A3
INA240A3PW	Obsolete	Production	TSSOP (PW) | 8	-	-	Call TI	Call TI	-40 to 125	I240A3
INA240A3PWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A3
INA240A3PWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A3
INA240A3PWRG4	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A3

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA240A3PWRG4.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A3
INA240A4D	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	I240A4
INA240A4DR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A4
INA240A4DR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A4
INA240A4PW	Obsolete	Production	TSSOP (PW) | 8	-	-	Call TI	Call TI	-40 to 125	I240A4
INA240A4PWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A4
INA240A4PWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A4
INA240A4PWRG4	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A4
INA240A4PWRG4.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	I240A4

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF INA240 :

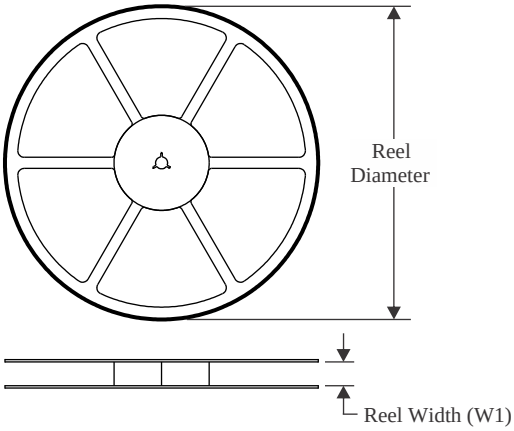
- Automotive : INA240-Q1

NOTE: Qualified Version Definitions:

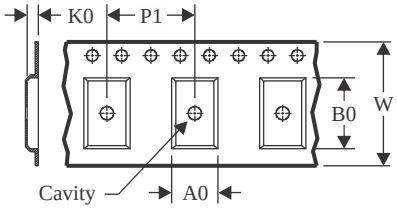
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

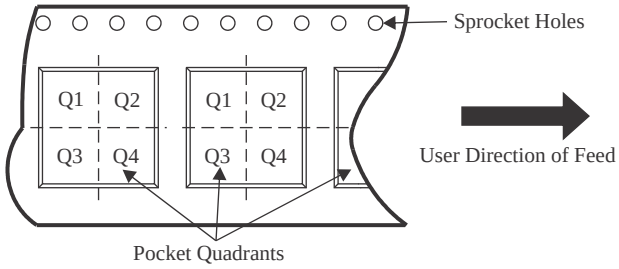


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

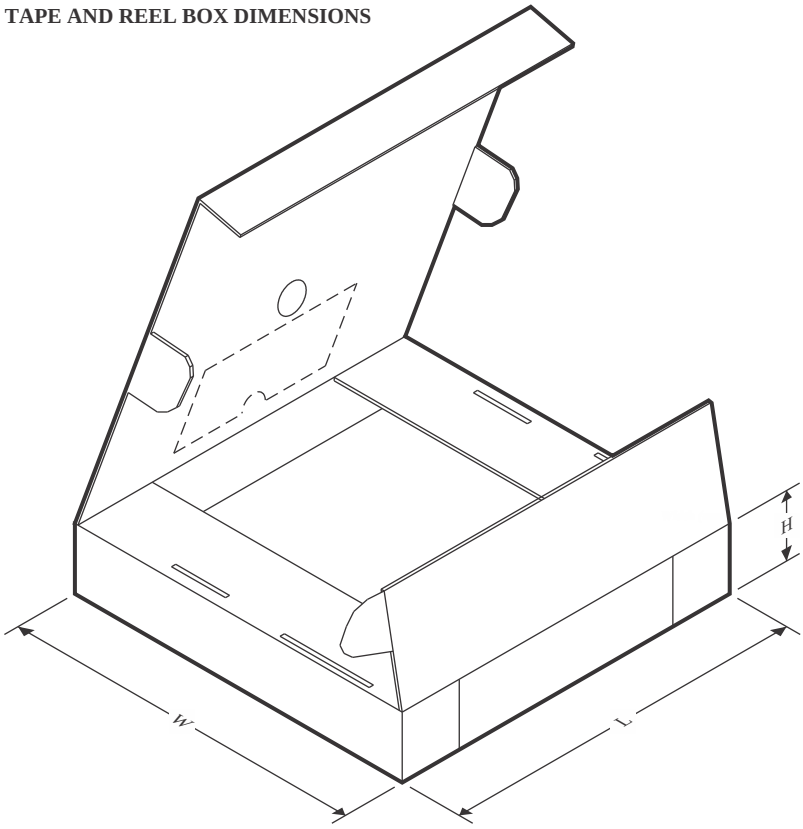
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA240A1DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA240A1DRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA240A1PWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
INA240A1PWRG4	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
INA240A2DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA240A2DRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA240A2PWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
INA240A2PWRG4	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
INA240A3DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA240A3DRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA240A3PWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
INA240A3PWRG4	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
INA240A4DR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
INA240A4PWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
INA240A4PWRG4	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1

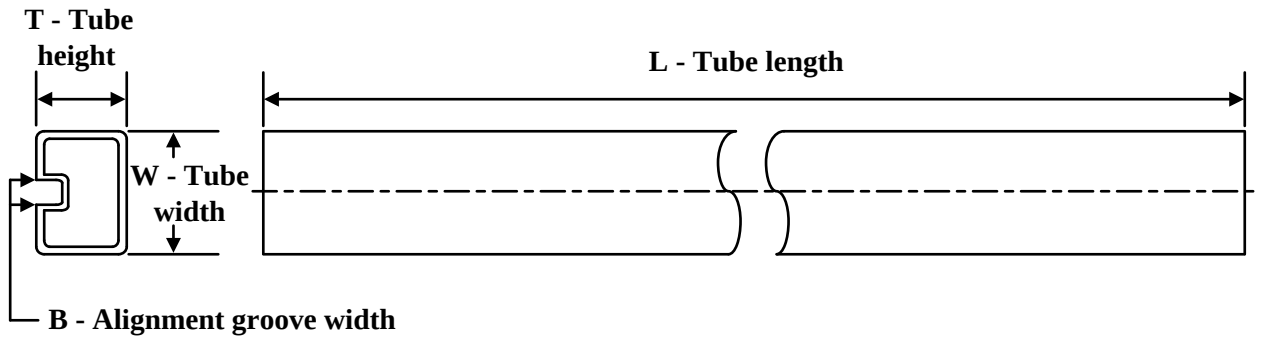
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

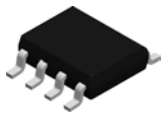
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA240A1DR	SOIC	D	8	2500	353.0	353.0	32.0
INA240A1DRG4	SOIC	D	8	2500	353.0	353.0	32.0
INA240A1PWR	TSSOP	PW	8	2000	353.0	353.0	32.0
INA240A1PWRG4	TSSOP	PW	8	2000	353.0	353.0	32.0
INA240A2DR	SOIC	D	8	2500	353.0	353.0	32.0
INA240A2DRG4	SOIC	D	8	2500	353.0	353.0	32.0
INA240A2PWR	TSSOP	PW	8	2000	353.0	353.0	32.0
INA240A2PWRG4	TSSOP	PW	8	2000	353.0	353.0	32.0
INA240A3DR	SOIC	D	8	2500	353.0	353.0	32.0
INA240A3DRG4	SOIC	D	8	2500	353.0	353.0	32.0
INA240A3PWR	TSSOP	PW	8	2000	353.0	353.0	32.0
INA240A3PWRG4	TSSOP	PW	8	2000	353.0	353.0	32.0
INA240A4DR	SOIC	D	8	2500	353.0	353.0	32.0
INA240A4PWR	TSSOP	PW	8	2000	353.0	353.0	32.0
INA240A4PWRG4	TSSOP	PW	8	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
INA240A1D	D	SOIC	8	75	507	8	3940	4.32
INA240A1D.A	D	SOIC	8	75	507	8	3940	4.32
INA240A3D	D	SOIC	8	75	507	8	3940	4.32
INA240A3D.A	D	SOIC	8	75	507	8	3940	4.32

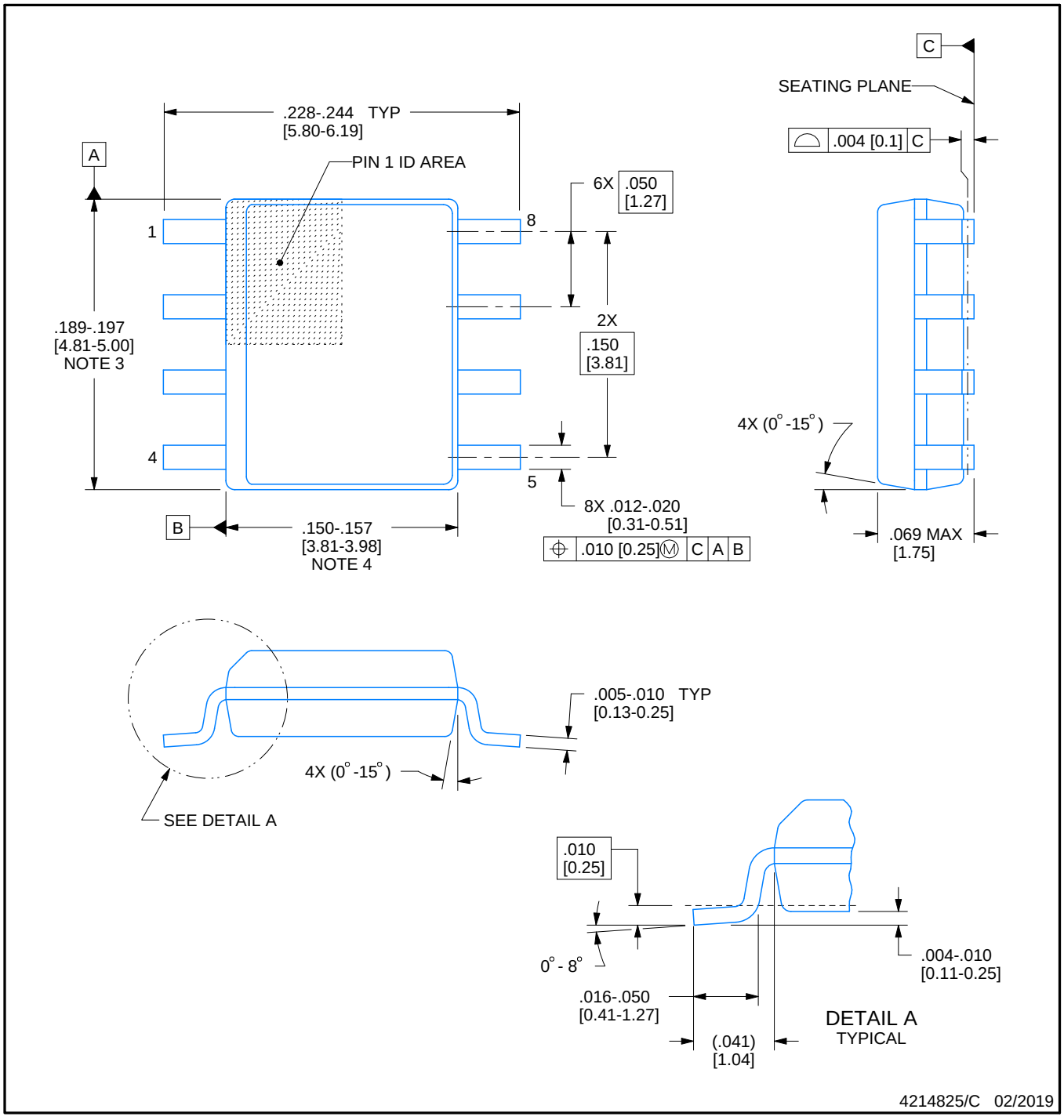


PACKAGE OUTLINE

D0008A

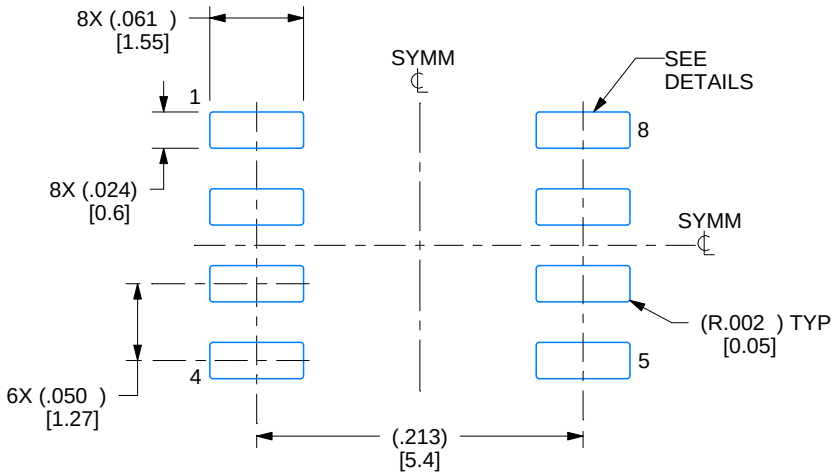
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

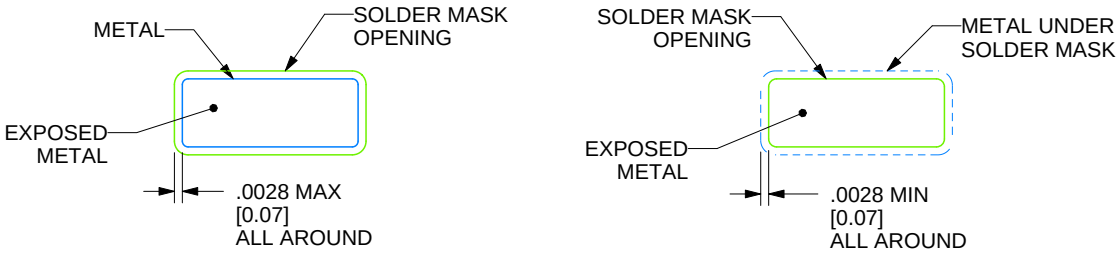


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

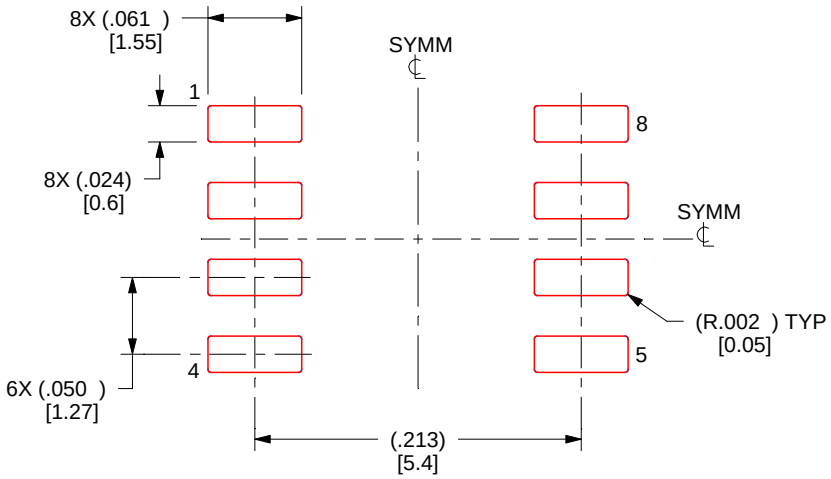
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

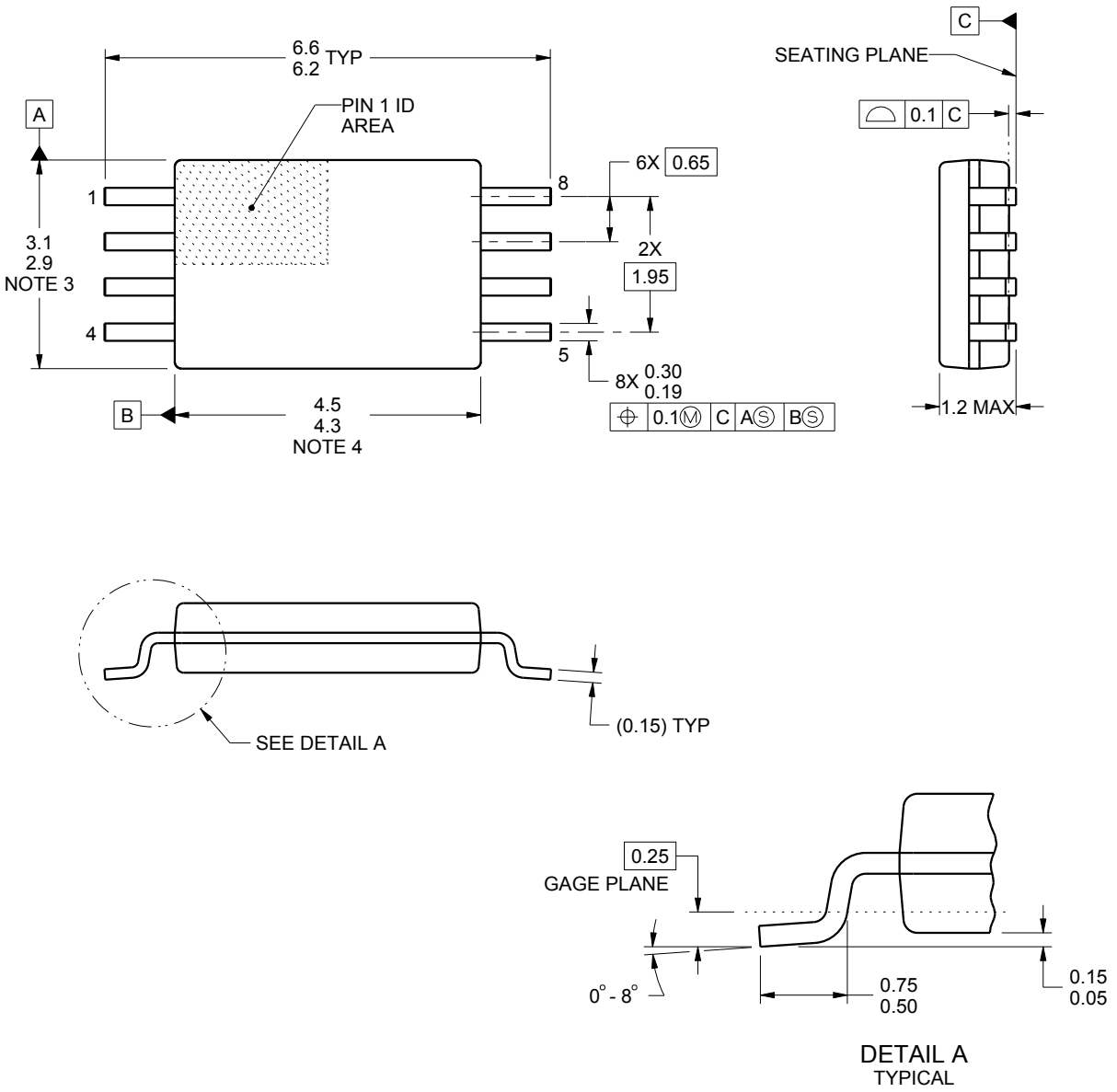
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0008A

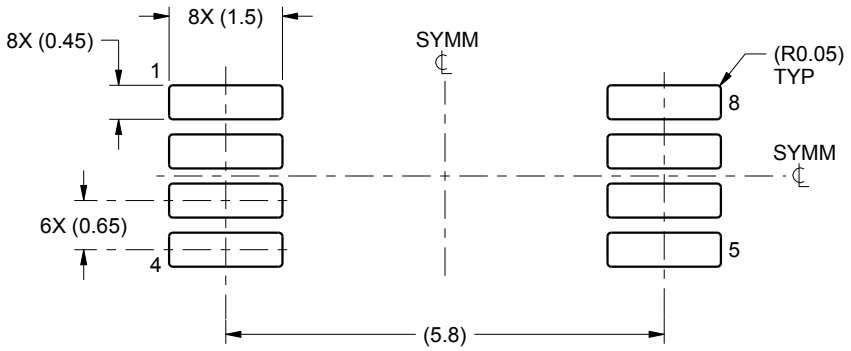
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

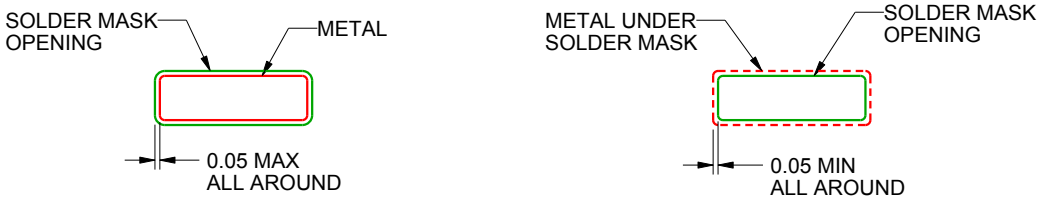


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

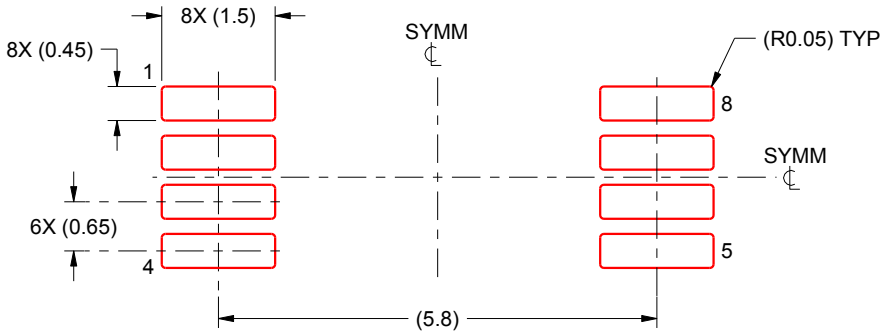


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月