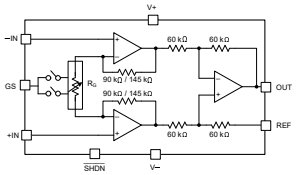
INA350 コストとサイズの最適化、低消費電力、1.8V～5.5V、選択可能なゲインの計測アンプ

1 特長

- サイズ、コスト、消費電力の厳しい制約がある設計を最適化
- 選択可能なゲイン・オプション
  - G = 10 または G = 20 (INA350ABS)
  - G = 30 または G = 50 (INA350CDS)
- 省スペースの超小型パッケージ・オプション
  - 10 ピン X2QFN (RUG) - 3mm^2
  - 8 ピン WSON (DSG) - 4mm^2
  - 8 ピン SOT23-THN (DDF) - 4.64mm^2
- 10 ビット～14 ビットのシステム向けに最適化された性能
  - CMRR：すべてのゲインで 95dB (標準値)
  - オフセット電圧：すべてのゲインで 0.2mV (標準値)
  - ゲイン誤差 (標準値)：
    - G = 10 の場合は 0.05%、G = 20 の場合は 0.06%
    - G = 30 の場合は 0.075%、G = 50 の場合は 0.082%
- 帯域幅：G = 10 の場合は 100kHz (標準値)
- 20% 未満のオーバーシュートで 500pF を駆動 (標準値)
- 最適化された静止電流：100 µA (標準値)
- 消費電力の厳しい制約があるアプリケーション用のシャットダウン・オプション
- 電源電圧範囲：1.8V (±0.9V)～5.5V (±2.75V)
- 仕様温度範囲：-40°C～125°C

2 アプリケーション

- ブリッジ・ネットワーク・センシング
- 差動→シングルエンド変換
- 重量計
- アナログ入力モジュール
- 流量トランスミッタ
- ウェアラブル・フィットネスおよびアクティビティ・モニタ
- 血糖値測定器
- 圧力 / 温度センシング



注：INA350ABS 用 90kΩ、INA350CDS 用 145kΩ

簡略化された内部回路図

3 概要

INA350 はゲイン選択可能な計測アンプで、INA350ABS と INA350CDS のバリアントで 4 つのゲイン・オプションが用意されており、小型パッケージで供給されます。INA350ABS は 10 または 20 のゲイン・オプション、INA350CDS は 30 または 50 のゲイン・オプションです。ゲイン選択 (GS) ピンを切り替えることで、これらのゲイン・オプションを選択できます。INA350 は、ブリッジ型のセンシングと、差動からシングルエンドへの変換のアプリケーションに最適です。

INA350 は、高精度でマッチングされた内蔵抵抗を搭載し、高精度外部抵抗や外部抵抗の厳密なマッチングを必要としないため、部品表 (BOM) コスト、ピック・アンド・プレース機械の処理コスト、基板面積を低減できます。このデバイスは低速の 10 ビットから 14 ビットの A/D コンバータ (ADC) に直接接続できるため、一般的なアンプやディスクリート抵抗を使用した計測アンプのディスクリート実装の代替に最適です。

INA350 は、その性能の実現に最適な 3 つのアンプのアーキテクチャで設計されています。85dB の最小 CMRR、最大ゲイン誤差 0.6%、すべてのゲイン・オプションで 1.2mV の最大オフセット、わずか 125µA の最大静止電流を実現しています。アイドル時にアンプをオフにするシャットダウン・オプションを内蔵し、バッテリ駆動アプリケーションでの消費電力をさらに低減できます。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
INA350ABS、INA350CDS	DSG (WSON、8)	2.00 mm × 2.00mm
	DDF (SOT-23、8)	1.60mm x 2.90mm
	RUG (X2QFN、10)	1.50mm × 2.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にあるパッケージ・オプションについての付録を参照してください。

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 改訂履歴.....2
5 デバイス比較表.....3
6 ピン構成および機能.....4
7 仕様.....6
7.1 絶対最大定格.....6
7.2 ESD 定格.....6
7.3 推奨動作条件.....6
7.4 熱に関する情報.....6
7.5 電気的特性.....7
7.6 代表的特性.....9
8 詳細説明.....20
8.1 概要.....20
8.2 機能ブロック図.....20
8.3 機能説明.....21
8.4 デバイスの機能モード.....25
9 アプリケーションと実装.....26
9.1 アプリケーション情報.....26
9.2 代表的なアプリケーション.....28
9.3 電源に関する推奨事項.....30
9.4 レイアウト.....31
10 デバイスおよびドキュメントのサポート.....33
10.1 デバイスのサポート.....33
10.2 ドキュメントのサポート.....33
10.3 ドキュメントの更新通知を受け取る方法.....33
10.4 サポート・リソース.....33
10.5 商標.....33
10.6 静電気放電に関する注意事項.....33
10.7 用語集.....33
11 メカニカル、パッケージ、および注文情報.....33

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (April 2022) to Revision C (May 2023) **Page**

- 「パッケージ情報」の表から X2QFN (10) のプレビューの注を削除.....1
- 「デバイス比較表」から X2QFN (RUG) のプレビューの注を削除.....3
- X2QFN (RUG) の量産リリースについて「熱に関する情報」の表を更新.....6

Changes from Revision A (December 2021) to Revision B (April 2022) **Page**

- 「パッケージ情報」の表から INA350CDS のプレビューの注を削除.....1
- 「デバイス比較表」から INA350CDS のプレビューの注を削除.....3
- INA350CDS の量産リリースについて「電気的特性」の表を更新.....6
- 「EMIRR テスト」の曲線に G = 30 および G = 50 のデータを追加.....22
- 「入力同相電圧と出力電圧との関係」の曲線に G = 30 および G = 50 のデータを追加.....29
- 外付け抵抗 RG に関する注を削除.....31

Changes from Revision * (November 2021) to Revision A (December 2021) **Page**

- デバイス・ステータスを「事前情報」から「量産データ」に変更 1

Copyright © 2023 Texas Instruments Incorporated

5 デバイス比較表

デバイス	チャネル数	パッケージ・リード		
		SOT-23-8 DDF	WSON DSG	X2QFN RUG
INA350ABS	1	8	8	8
INA350CDS	1	8	8	8

Copyright © 2023 Texas Instruments Incorporated

6 ピン構成および機能

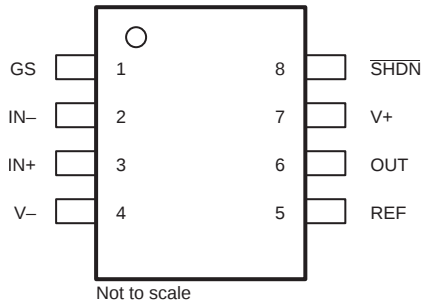
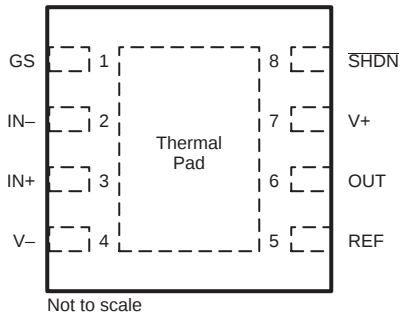


図 6-1. DDF パッケージ
8 ピン SOT-23
(上面図)



注:サーマル・パッドは (V-) に接続します

図 6-2. DSG パッケージ
8 ピン WSON (露出サーマル・パッド付き)
(上面図)

表 6-1. ピンの機能

ピン		種類[1]	概要
名称	番号		
IN-	2	I	負 (反転) 入力
IN+	3	O	正 (非反転) 入力
OUT	6	—	出力
REF	5	—	リファレンス入力。このピンは、低インピーダンスのソースで駆動する必要があります。
GS	1	I	ゲイン選択 - ロジック Low (INA350ABS では G = 10、INA350CDS では G = 30) ゲイン選択 - ロジック High (INA350ABS では G = 20、INA350CDS では G = 50) ゲイン選択 - 無接続 (INA350ABS では G = 20、INA350CDS では G = 50)
$\overline{\text{SHDN}}$	8	I	シャットダウン - ロジック High (デバイスがイネーブル) シャットダウン - ロジック Low (デバイスがディセーブル) シャットダウン - 無接続 (デバイスがイネーブル)
V-	4	—	負電源
V+	7	—	正電源

(1) I = 入力、O = 出力

Copyright © 2023 Texas Instruments Incorporated

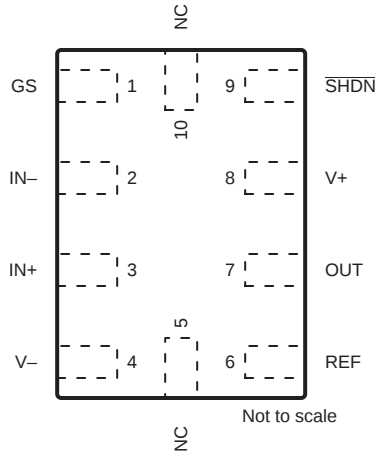


図 6-3. RUG パッケージ
10 ピン X2QFN
(上面図)

表 6-2. ピンの機能

ピン		種類(1)	概要
名称	番号		
IN-	2	I	負 (反転) 入力
IN+	3	O	正 (非反転) 入力
OUT	7	—	出力
REF	6	—	リファレンス入力。このピンは、低インピーダンスのソースで駆動する必要があります。
GS	1	I	ゲイン選択 - ロジック Low (INA350ABS では G = 10、INA350CDS では G = 30) ゲイン選択 - ロジック High (INA350ABS では G = 20、INA350CDS では G = 50) ゲイン選択 - 無接続 (INA350ABS では G = 20、INA350CDS では G = 50)
$\overline{\text{SHDN}}$	9	I	シャットダウン - ロジック High (デバイスがイネーブル) シャットダウン - ロジック Low (デバイスがディセーブル) シャットダウン - 無接続 (デバイスがイネーブル)
V-	4	—	負電源
V+	8	—	正電源
NC	5、10	—	無接続

(1) I = 入力、O = 出力

Copyright © 2023 Texas Instruments Incorporated

7 仕様

7.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
電源電圧、V_S = (V+) - (V-)		0	6	V
信号入力ピン	同相電圧(2)	(V-) - 0.5	(V+) + 0.5	V
	差動電圧(3)		V_S + 0.2	V
	電流(2)	-10	10	mA
出力短絡(4)		連続		
動作温度、T_A		-55	150	℃
接合部温度、T_J			150	
保存温度、T_{stg}		-65	150	

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このような条件や、「推奨動作条件」に記載されている条件を超える条件でデバイスが機能するということを意味するわけではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 入力ピンは、電源レールに対してダイオード・クランプされています。電源レールを超えて 0.5V 以上スイングする入力信号は、電流を 10mA 以下に抑える必要があります。
(3) 0.5V を超える差動入力電圧が連続的に印加されると、入力オフセット電圧がこのパラメータの最大仕様を上回る可能性があります。動作時の周囲温度が高いときほど、その影響が大きくなります。
(4) V_S / 2 への短絡

7.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI / ESDA / JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠(2)	±1000	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

7.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
電源電圧、V_S = (V+) - (V-)	単一電源	1.8	5.5	V
	デュアル電源	±0.9	±2.75	
入力電圧範囲		(V-)	(V+)	V
仕様温度範囲	仕様温度範囲	-40	125	℃

7.4 熱に関する情報

熱評価基準 (1)		INA350ABS、INA350CDS			単位
		DDF (SOT-23-THN)	DSG (WSON)	RUG (X2QFN)	
		8 ピン	8 ピン	10 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	169.1	89.2	199.0	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	101.7	111.8	78.3	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	84.8	55.8	123.2	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	12.6	9.3	2.1	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	84.3	55.7	122.7	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	31.0	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

Copyright © 2023 Texas Instruments Incorporated

7.5 電気的特性

V_S = (V+) - (V-) = 1.8V～5.5V (±0.9V～±2.75V) について、T_A = 25℃、V_{REF} = V_S/2、G = 10、20、30、50、R_L = 10kΩ を V_S/2 に接続、V_{CM} = [(V_{IN+}) + ($V_{IN–}$)]/2 = V_S/2、V_{IN} = (V_{IN+}) - (V_{IN-}) = 0V、V_{OUT} = V_S/2 のとき (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
入力							
V_{OSI}	オフセット電圧、RTI(1)	V_S = 5.5V	T_A = 25℃		±0.2	±1.2	mV
V_{OSI}	T の範囲にわたるオフセット電圧、RTI(1)	V_S = 5.5V	T_A = -40℃～125℃			±1.3	mV
V_{OSI}	オフセットの温度ドリフト、RTI(2)	V_S = 5.5V	T_A = -40℃～125℃		±0.6		µV/℃
PSRR	電源除去比		T_A = 25℃		20	75	µV/V
Z_{IN-DM}	差動インピーダンス				100 || 5		GΩ || pF
Z_{IN-CM}	同相インピーダンス				100 || 9		GΩ || pF
V_{CM}	入力段の同相範囲(3)			(V-)		(V+)	V
CMRR DC	同相除去比、RTI	V_{CM} = (V-) + 0.1V～(V+) - 1V、高 CMRR 領域	V_S = 5.5V、V_{REF} = V_S/2	85	95		dB
CMRR DC	同相除去比、RTI	V_{CM} = (V-) + 0.1V～(V+) - 1V、高 CMRR 領域	V_S = 3.3V、V_{REF} = V_S/2		94		dB
CMRR DC	同相除去比、RTI	V_{CM} = (V-) + 0.1V～(V+) - 0.1V	V_S = 5.5V、V_{REF} = V_S/2	62	75		dB
バイアス電流							
I_B	入力バイアス電流	V_{CM} = V_S/2			±0.65		pA
I_{OS}	入力オフセット電流	V_{CM} = V_S/2			±0.25		pA
ノイズ電圧							
e_{NI}	入力換算電圧ノイズ密度(5)		f = 1kHz		36		nV/√Hz
e_{NI}	入力換算電圧ノイズ密度(5)		f = 10kHz		34		nV/√Hz
E_{NI}	入力換算電圧ノイズ(5)	f_B = 0.1Hz～10Hz			3.2		$µV_{PP}$
i_n	入力電流ノイズ	f = 1kHz	f = 1kHz		22		fA/√Hz
ゲイン							
GE	ゲイン誤差(4)	G = 10、V_{REF} = V_S/2	V_O = (V-) + 0.1V～(V+) - 0.1V		±0.05	±0.50	%
		G = 20、V_{REF} = V_S/2			±0.06	±0.60	
	ゲイン誤差(4)	G = 30、V_{REF} = V_S/2			±0.075	±0.60	
		G = 50、V_{REF} = V_S/2			±0.082	±0.60	
出力							
V_{OH}	正のレール・ヘッドルーム	R_L = 10kΩ を V_S/2 に接続			15	30	mV
V_{OL}	負のレール・ヘッドルーム	R_L = 10kΩ を V_S/2 に接続			15	30	mV
C_L の駆動	負荷容量の駆動	V_O = 100mV 刻み、オーバーシュート < 20%			500		pF
Z_O	閉ループ出力インピーダンス	f = 10kHz			51		Ω
I_{SC}	短絡電流	V_S = 5.5V			±20		mA
周波数特性							
BW	帯域幅、-3dB	G = 10	V_{IN} = 10mV_{pk-pk}		100		kHz
		G = 20			50		
	帯域幅、-3dB	G = 30			40		
		G = 50			25		
THD+N	全高調波歪 + ノイズ	V_S = 5.5V、V_{CM} = 2.75V、V_O = 1V_{RMS}、G = 10、R_L = 100kΩ *f* = 1kHz、80kHz の測定帯域幅			0.04		%
THD+N	全高調波歪 + ノイズ	V_S = 5.5V、V_{CM} = 2.75V、V_O = 1V_{RMS}、G = 50、R_L = 100kΩ *f* = 1kHz、80kHz の測定帯域幅	V_S = 5.5V、V_{CM} = 2.75V、V_O = 1V_{RMS}、G = 50、R_L = 100kΩ *f* = 1kHz、80kHz の測定帯域幅		0.15		%

Copyright © 2023 Texas Instruments Incorporated

7.5 電気的特性 (continued)

V_S = (V+) - (V-) = 1.8V～5.5V (±0.9V～±2.75V) について、T_A = 25℃、V_{REF} = V_S/2、G = 10、20、30、50、R_L = 10kΩ を V_S/2 に接続、V_{CM} = [(V_{IN+}) + ($V_{IN–}$)]/2 = V_S/2、V_{IN} = (V_{IN+}) - (V_{IN-}) = 0V、V_{OUT} = V_S/2 のとき (特に記述のない限り)

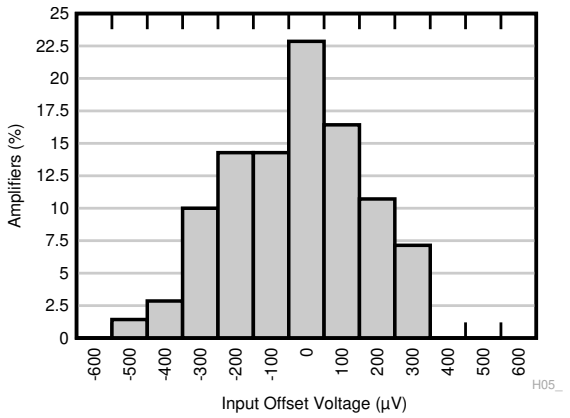
パラメータ		テスト条件		最小値	標準値	最大値	単位
EMIRR	電磁干渉除去比	f = 1GHz、V_{IN_EMIRR} = 100mV			96		dB
SR	スルーレート	V_S = 5V、V_O = 2V 刻み			0.24		V/µs
t_S	セトリング・タイム	G = 10、0.1% まで、V_S = 5.5V、V_{STEP} = 2V、C_L = 10pF			17		µs
		G = 10、0.01% まで、V_S = 5.5V、V_{STEP} = 2V、C_L = 10pF			38		
		G = 20、0.1% まで、V_S = 5.5V、V_{STEP} = 2V、C_L = 10pF			20		
		G = 20、0.01% まで、V_S = 5.5V、V_{STEP} = 2V、C_L = 10pF			27		
	セトリング・タイム	G = 30、0.1% まで、V_S = 5.5V、V_{STEP} = 2V、C_L = 10pF			30		
		G = 30、0.01% まで、V_S = 5.5V、V_{STEP} = 2V、C_L = 10pF			57		
		G = 50、0.1% まで、V_S = 5.5V、V_{STEP} = 2V、C_L = 10pF			44		
		G = 50、0.01% まで、V_S = 5.5V、V_{STEP} = 2V、C_L = 10pF			85		
	過負荷からの回復	V_{IN} = 1V、G = 10			16		µs
	過負荷からの回復	V_{IN} = 1V、G = 50	V_{IN} = 1V、G = 50		6.5		µs
基準電圧入力							
R_{IN}	入力インピーダンス				60		kΩ
	電圧範囲			(V-)		(V+)	V
	ゲインから出力へ				1		V/V
	基準ゲイン誤差				±0.004		%
電源							
V_S	電源電圧	単一電源		1.7		5.5	V
V_S	電源電圧	デュアル電源		±0.85		±2.75	V
I_Q	静止電流	V_{IN} = 0V			100	125	µA
		T_A = -40℃～125℃				135	
I_{QSD}	アンプごとの静止電流	すべてのアンプがディセーブル、$\overline{SHDN}$ = V-			0.70	1.25	µA
V_{IL}	ロジック Low のスレッショルド電圧 (ゲイン選択)	INA350ABS では G = 10、INA350CDS では G = 30				(V-) + 0.2V	V
V_{IH}	ロジック High のスレッショルド電圧 (ゲイン選択)	INA350ABS では G = 20、INA350CDS では G = 50		(V-) + 1V			V
t_{ON}	アンプのイネーブル時間 (フル・シャットダウン) (6)	V_{CM} = V_S/2、V_O = 0.9 × V_S/2、R_L を V- に接続			100		µs
t_{OFF}	アンプのディセーブル時間 (6)	V_{CM} = V_S/2、V_O = 0.1 × V_S/2、R_L を V- に接続			4		µs
	$\overline{SHDN}$ ピンの入力バイアス電流 (ピンごと)	(V+) ≧ $\overline{SHDN}$ ≧ (V-) + 1V			10		nA
	$\overline{SHDN}$ ピンの入力バイアス電流 (ピンごと)	(V-) ≦ $\overline{SHDN}$ ≦ (V-) + 0.2V			175		nA

(1) 合計オフセット、入力換算 (RTI): V_{OS} = (V_{OSI}) + (V_{OSO}/G)。
(2) オフセットの各ドリフトは無相関です。入力換算のオフセットのドリフトは、以下を使用して計算されます。$\Delta V_{OS(RTI)} = \sqrt{[\Delta V_{OSI}^2 + (\Delta V_{OSO}/G)^2]}$
(3) 計測アンプの入力段のみの入力同相電圧範囲。INA350x の入力範囲全体は、入力同相電圧、差動電圧、ゲイン、リファレンス電圧、電源電圧の組み合わせに依存します。代表的特性の曲線とともに、その他の情報が追加されます。
(4) 最小値と最大値は特性により規定されています。
(5) RTI の合計電圧ノイズは、$e_{N(RTI)} = \sqrt{[e_{NI}^2 + (e_{NO}/G)^2]}$ で表されます。
(6) ディセーブル時間 (t_{OFF}) とイネーブル時間 (t_{ON}) は、$\overline{SHDN}$ ピンに印加される信号の 50% ポイントと、出力電圧が 10% (ディセーブル) または 90% (イネーブル) レベルに達する時点との間の時間間隔として定義されます。

Copyright © 2023 Texas Instruments Incorporated

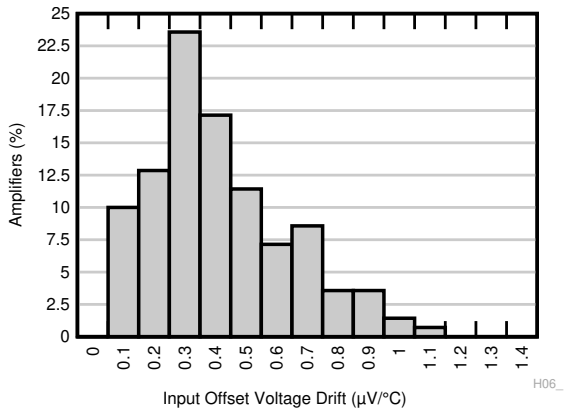
7.6 代表的特性

T_A = 25℃、V_S = (V+) - (V-) = 5.5V、V_{IN} = (V_{IN+}) - (V_{IN-}) = 0V、R_L = 10kΩ、C_L = 10pF、V_{REF} = V_S/2、V_{CM} = [(V_{IN+}) + (V_{IN-})]/2 = V_S/2、V_{OUT} = V_S/2、G = 10 (特に記述のない限り)



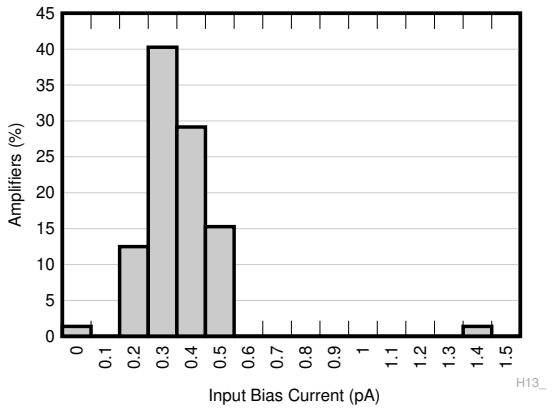
G = 10、20、30、50　N = 140　µ = 18µV　σ = 0.185mV

図 7-1. 入力換算オフセット電圧の標準的な分布



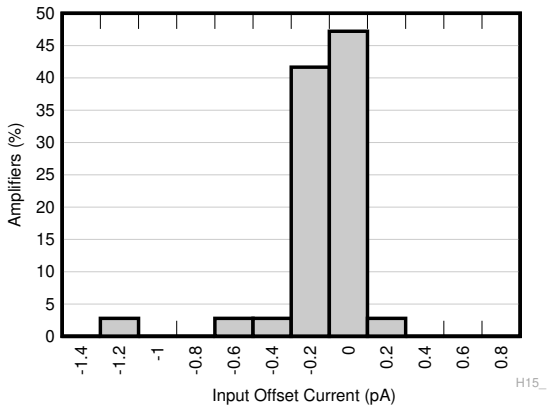
G = 10、20、30、50　N = 140　µ = 0.37µV/℃　σ = 0.23µV/℃

図 7-2. 入力換算オフセットのドリフトの標準的な分布



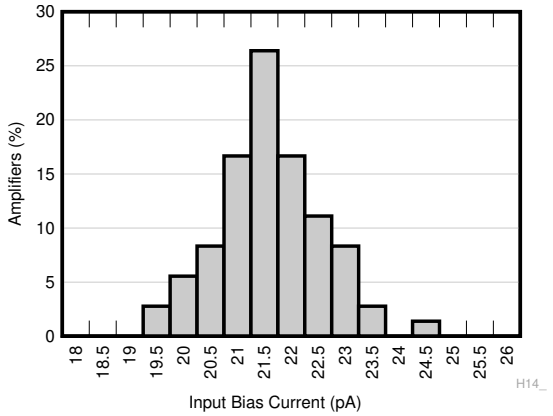
T_A = 25℃　N = 72　µ = 0.40pA　σ = 0.15pA

図 7-3. 入力バイアス電流の標準的な分布



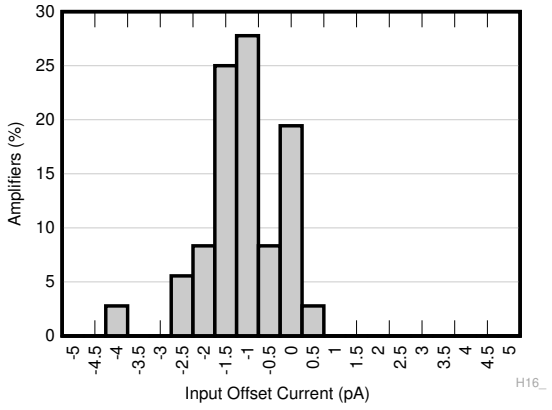
T_A = 25℃　N = 36　µ = -0.03pA　σ = 0.23pA

図 7-4. 入力オフセット電流の標準的な分布



T_A = 85℃　N = 72　µ = 22pA　σ = 0.95pA

図 7-5. 入力バイアス電流の標準的な分布



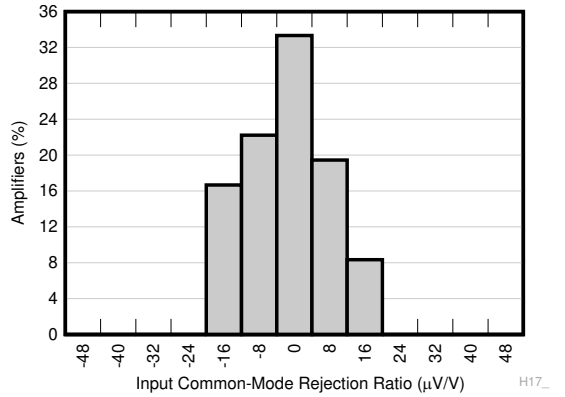
T_A = 85℃　N = 36　µ = -1pA　σ = 1pA

図 7-6. 入力オフセット電流の標準的な分布

Copyright © 2023 Texas Instruments Incorporated

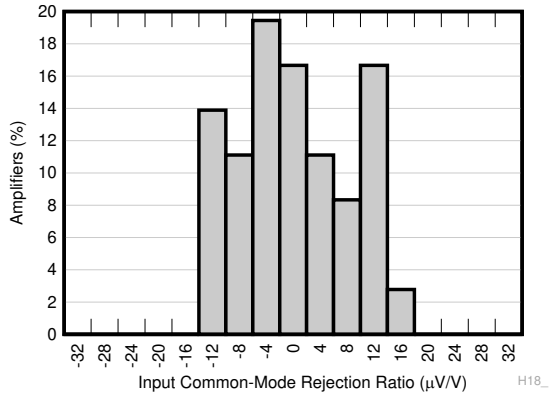
7.6 代表的特性 (continued)

T_A = 25℃、V_S = (V+) - (V-) = 5.5V、V_{IN} = (V_{IN+}) - (V_{IN-}) = 0V、R_L = 10kΩ、C_L = 10pF、V_{REF} = V_S/2、V_{CM} = [(V_{IN+}) + (V_{IN-})]/2 = V_S/2、V_{OUT} = V_S/2、G = 10 (特に記述のない限り)



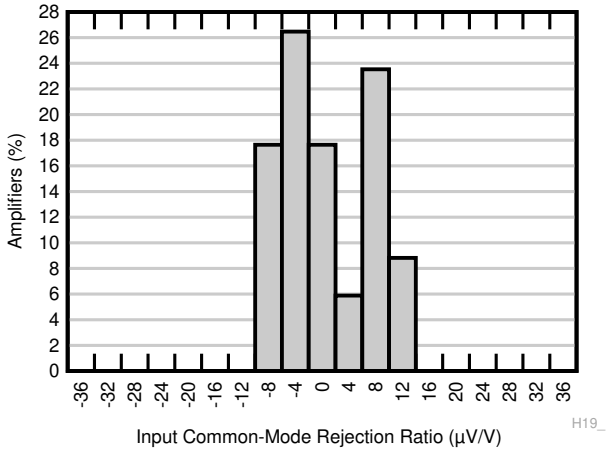
G = 10　　N = 36　　µ = 2.50µV/V　　σ = 8.92µV/V

図 7-7. CMRR の標準的な分布



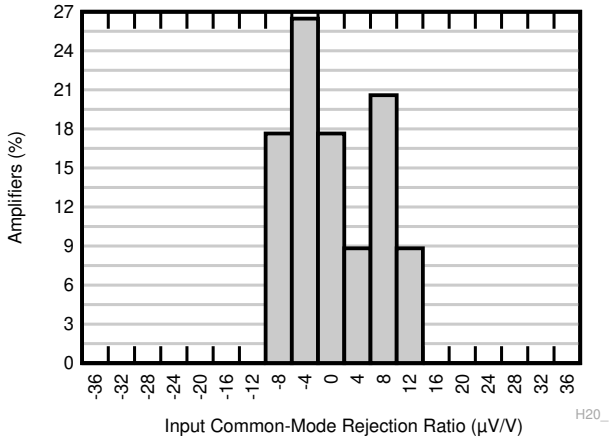
G = 20　　N = 36　　µ = 2.33µV/V　　σ = 8.45µV/V

図 7-8. CMRR の標準的な分布



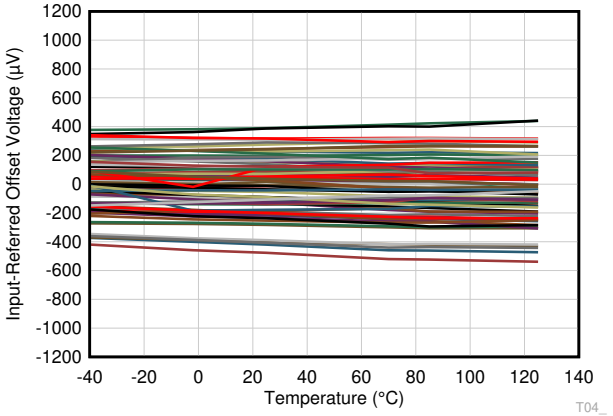
G = 30　　N = 34　　µ = -1.05µV/V　　σ = 6.85µV/V

図 7-9. CMRR の標準的な分布



G = 50　　N = 34　　µ = -1.43µV/V　　σ = 6.62µV/V

図 7-10. CMRR の標準的な分布



G = 10、20、30、50

図 7-11. 入力換算オフセット電圧と温度との関係

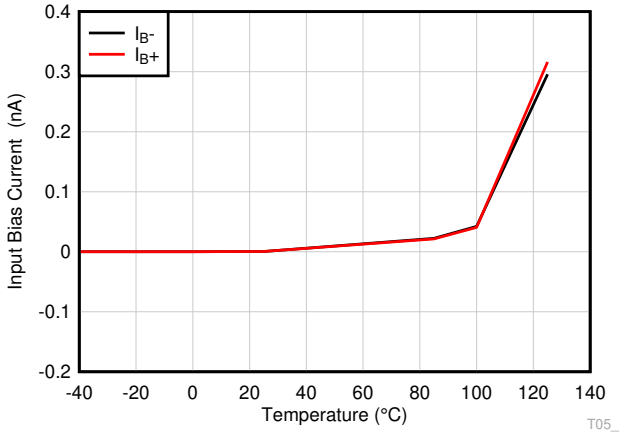


図 7-12. 入力バイアス電流と温度との関係

Copyright © 2023 Texas Instruments Incorporated

7.6 代表的特性 (continued)

T_A = 25℃、V_S = (V+) - (V-) = 5.5V、V_{IN} = (V_{IN+}) - (V_{IN-}) = 0V、R_L = 10kΩ、C_L = 10pF、V_{REF} = V_S/2、V_{CM} = [(V_{IN+}) + (V_{IN-})]/2 = V_S/2、V_{OUT} = V_S/2、G = 10 (特に記述のない限り)

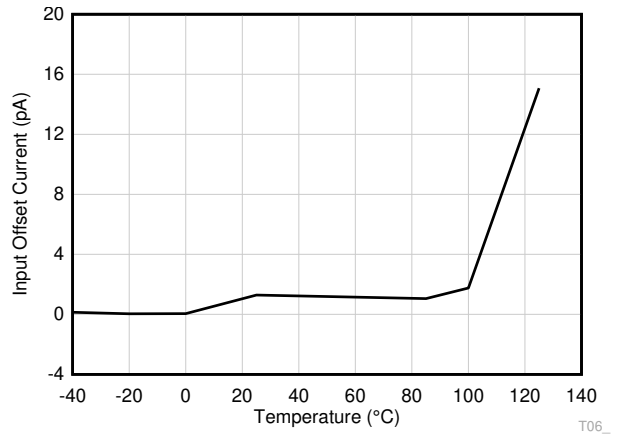


図 7-13. 入力オフセット電流と温度との関係

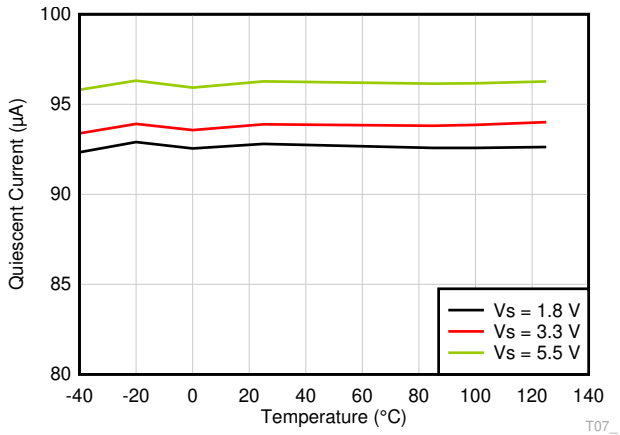


図 7-14. 静止電流と温度との関係

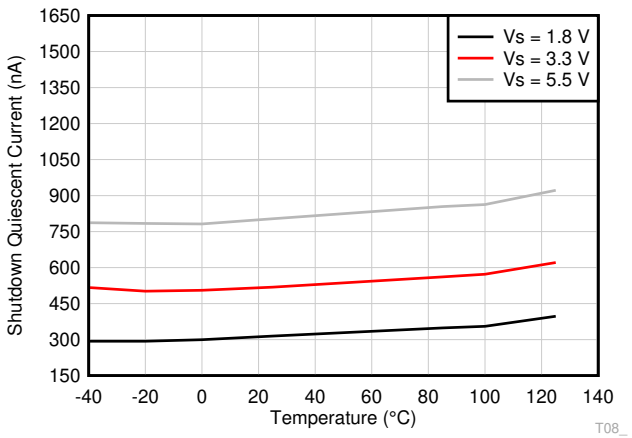


図 7-15. シャットダウン時の静止電流と温度との関係

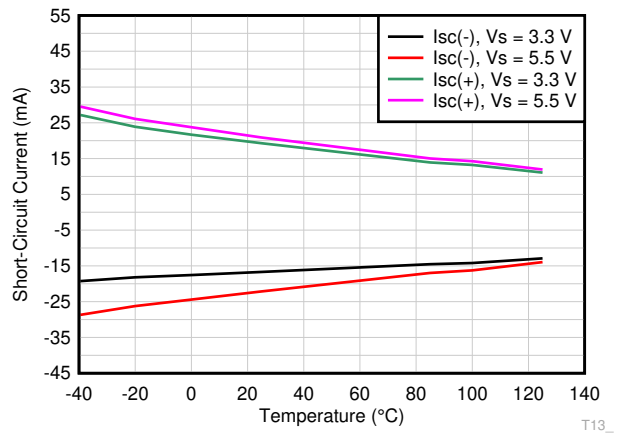


図 7-16. 短絡電流と温度との関係

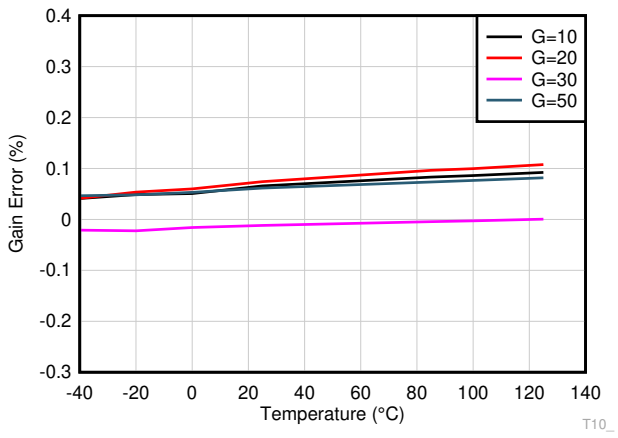


図 7-17. ゲイン誤差と温度との関係

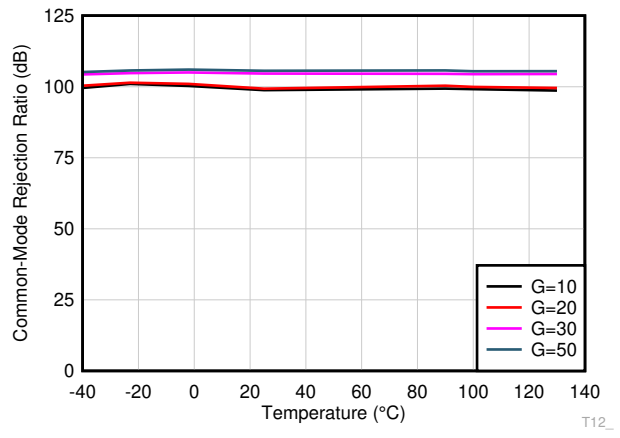
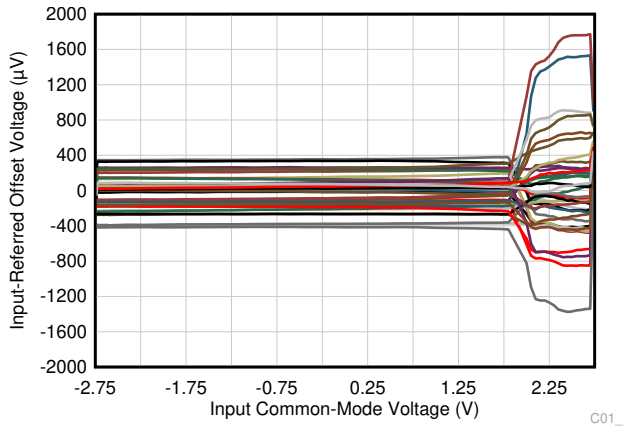


図 7-18. CMRR と温度との関係

Copyright © 2023 Texas Instruments Incorporated

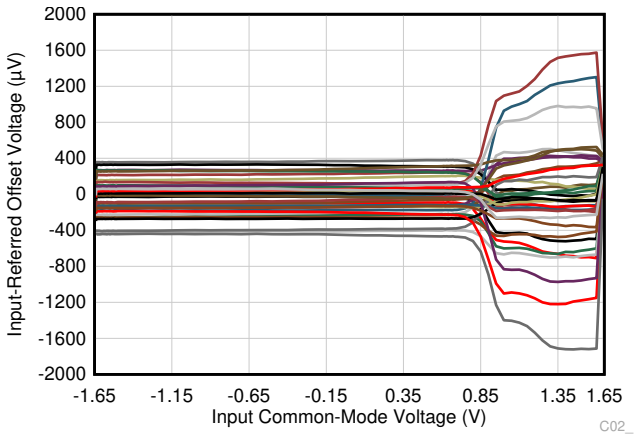
7.6 代表的特性 (continued)

T_A = 25℃、V_S = (V+) - (V-) = 5.5V、V_{IN} = (V_{IN+}) - (V_{IN-}) = 0V、R_L = 10kΩ、C_L = 10pF、V_{REF} = V_S/2、V_{CM} = [(V_{IN+}) + (V_{IN-})]/2 = V_S/2、V_{OUT} = V_S/2、G = 10 (特に記述のない限り)



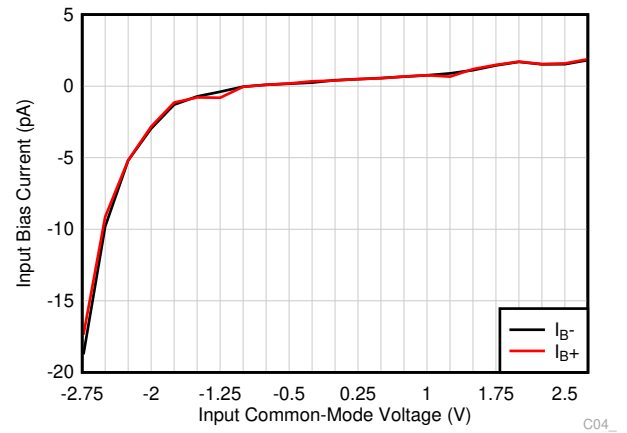
V+ = 2.75V、V- = -2.75V

図 7-19. 入力換算オフセット電圧と入力同相電圧との関係



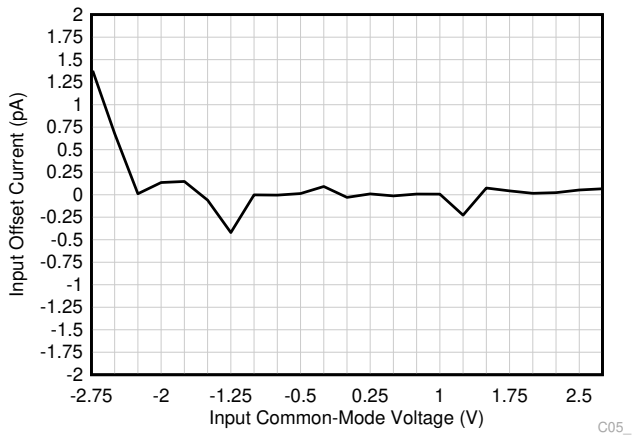
V+ = 1.65V、V- = -1.65V

図 7-20. 入力換算オフセット電圧と入力同相電圧との関係



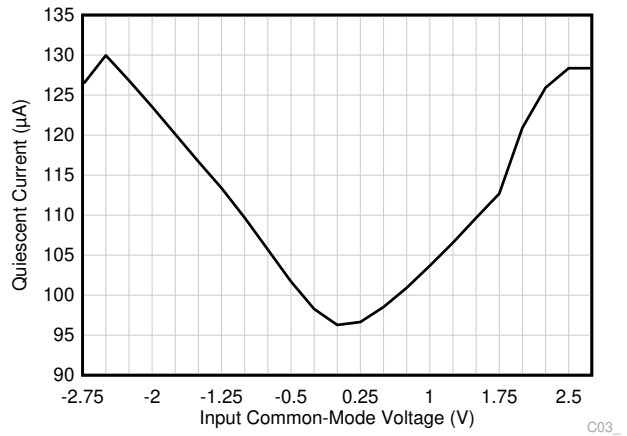
V+ = 2.75V、V- = -2.75V

図 7-21. 入力バイアス電流と入力同相電圧との関係



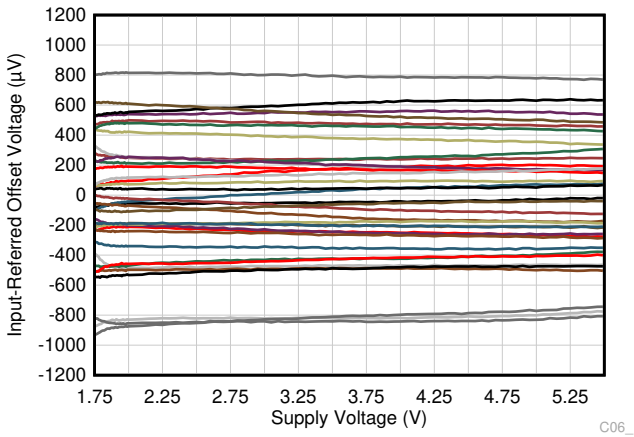
V+ = 2.75V、V- = -2.75V

図 7-22. 入力オフセット電流と入力同相電圧との関係



V+ = 2.75V、V- = -2.75V

図 7-23. 静止電流と入力同相電圧との関係



G = 10

図 7-24. 入力換算オフセット電圧と電源電圧との関係

Copyright © 2023 Texas Instruments Incorporated

7.6 代表的特性 (continued)

T_A = 25℃、V_S = (V+) - (V-) = 5.5V、V_{IN} = (V_{IN+}) - (V_{IN-}) = 0V、R_L = 10kΩ、C_L = 10pF、V_{REF} = V_S/2、V_{CM} = [(V_{IN+}) + (V_{IN-})]/2 = V_S/2、V_{OUT} = V_S/2、G = 10 (特に記述のない限り)

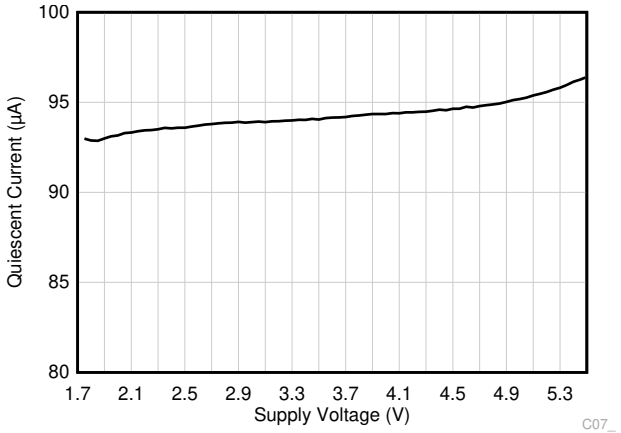


図 7-25. 静止電流と電源電圧との関係

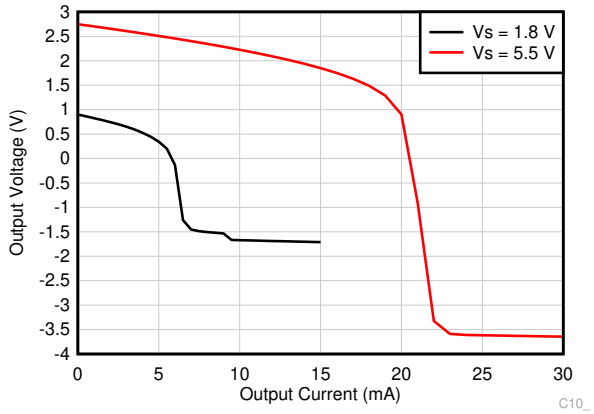


図 7-26. 出力電圧と出力電流との関係 (ソース)

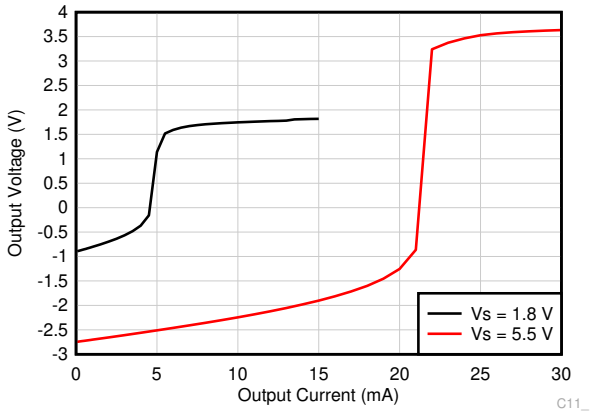


図 7-27. 出力電圧と出力電流との関係 (シンク)

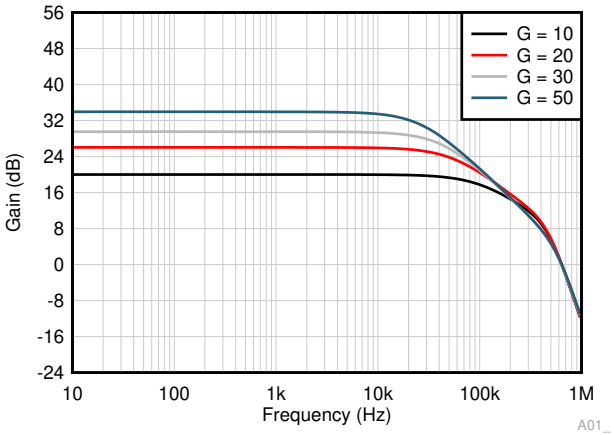


図 7-28. 閉ループ・ゲインと周波数との関係

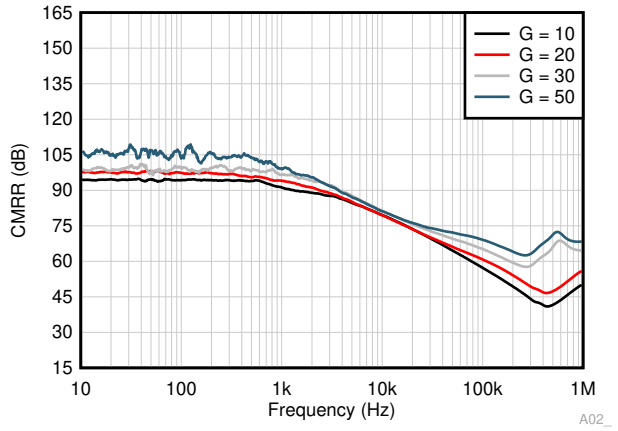


図 7-29. CMRR (入力換算) と周波数との関係

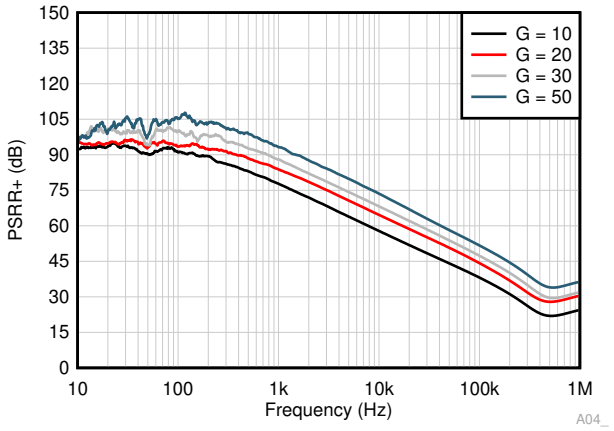


図 7-30. PSRR+ (入力換算) と周波数との関係

Copyright © 2023 Texas Instruments Incorporated

7.6 代表的特性 (continued)

T_A = 25℃、V_S = (V+) - (V-) = 5.5V、V_{IN} = (V_{IN+}) - (V_{IN-}) = 0V、R_L = 10kΩ、C_L = 10pF、V_{REF} = V_S/2、V_{CM} = [(V_{IN+}) + (V_{IN-})]/2 = V_S/2、V_{OUT} = V_S/2、G = 10 (特に記述のない限り)

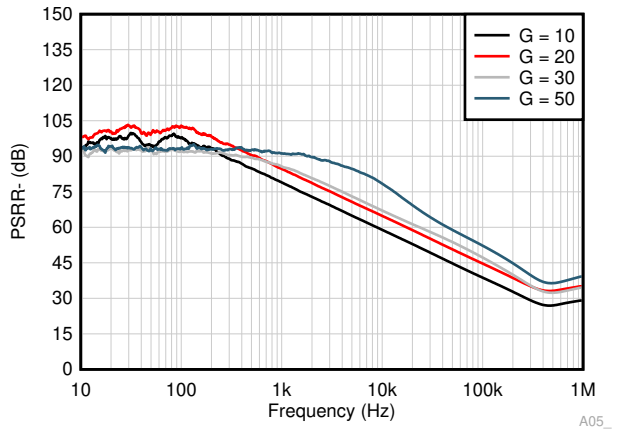


図 7-31. PSRR- (入力換算) と周波数との関係

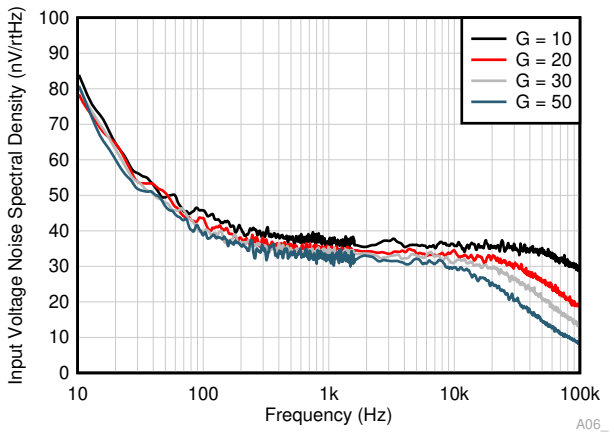


図 7-32. 入力換算の電圧ノイズ・スペクトル密度

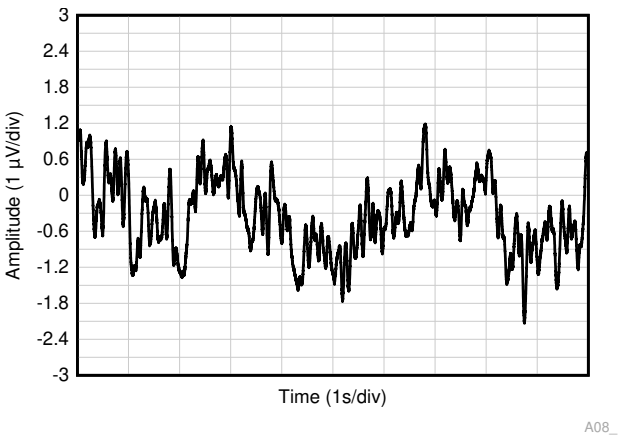


図 7-33. 時間領域での 0.1Hz～10Hz の電圧ノイズ

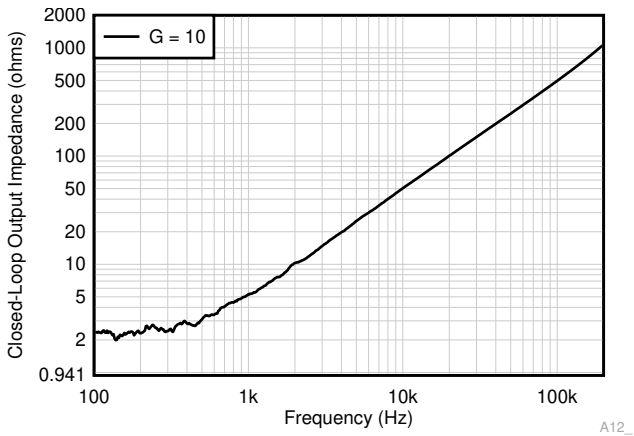


図 7-34. 閉ループ出力インピーダンスと周波数との関係

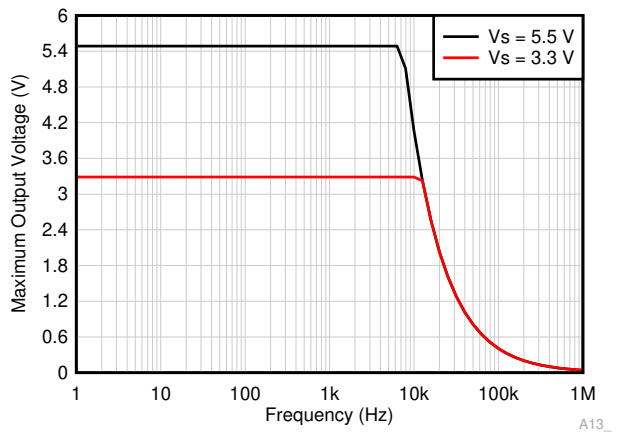
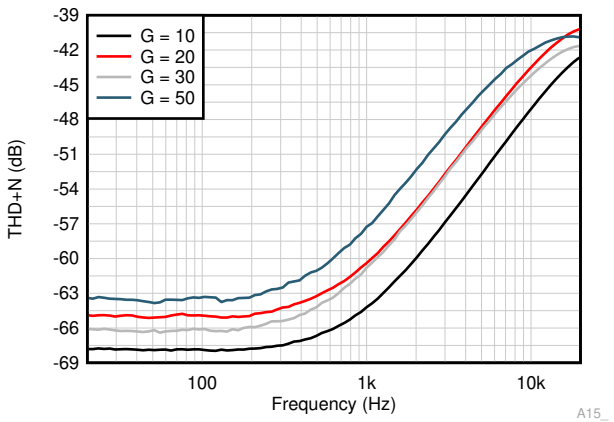


図 7-35. 最大出力電圧と周波数との関係



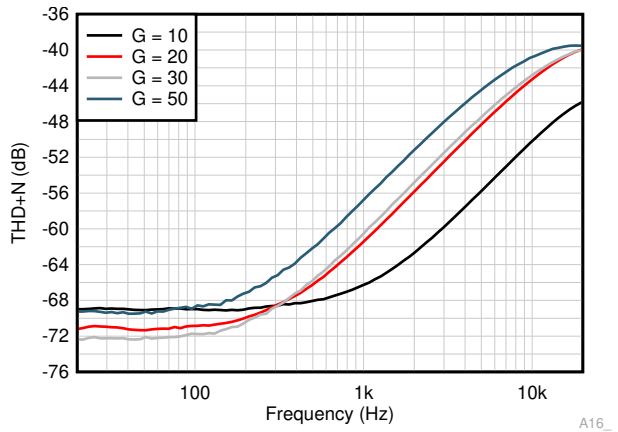
V_S = 5.5V　　BW = 80kHz　　V_{CM} = 2.75V
R_L = 10kΩ　　V_{OUT} = 0.5V_{RMS}

図 7-36. THD+N 周波数

Copyright © 2023 Texas Instruments Incorporated

7.6 代表的特性 (continued)

T_A = 25℃、V_S = (V+) - (V-) = 5.5V、V_{IN} = (V_{IN+}) - (V_{IN-}) = 0V、R_L = 10kΩ、C_L = 10pF、V_{REF} = V_S/2、V_{CM} = [(V_{IN+}) + (V_{IN-})]/2 = V_S/2、V_{OUT} = V_S/2、G = 10 (特に記述のない限り)



V_S = 5.5V　　BW = 80kHz　　V_{CM} = 2.75V
R_L = 100kΩ　　V_{OUT} = 1V_{RMS}

図 7-37. THD+N 周波数

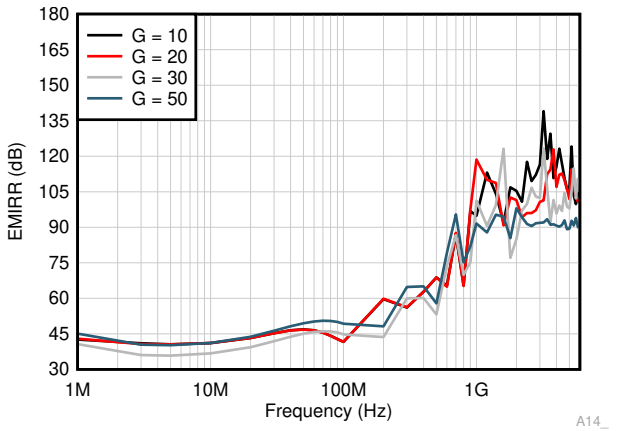
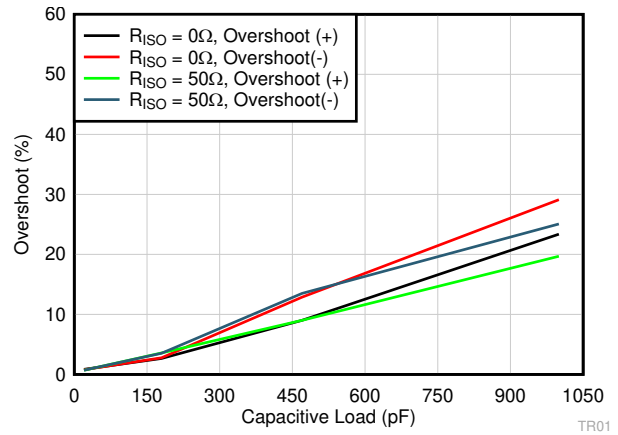
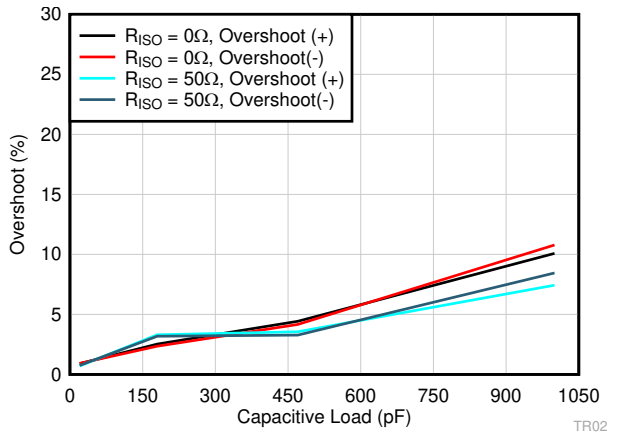


図 7-38. 非反転入力を基準とする電磁干渉除去比 (EMIRR+) と周波数との関係



V_S = 5.5V　　G = 10　　V_{OUT} = 100mV_{PP}

図 7-39. 小信号オーバーシュートと容量性負荷との関係



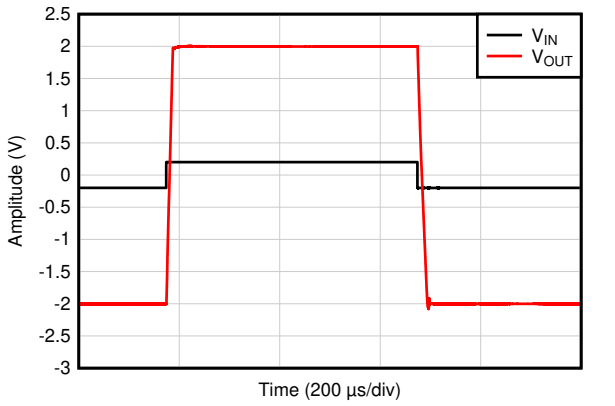
V_S = 5.5V　　G = 20　　V_{OUT} = 100mV_{PP}

図 7-40. 小信号オーバーシュートと容量性負荷との関係

Copyright © 2023 Texas Instruments Incorporated

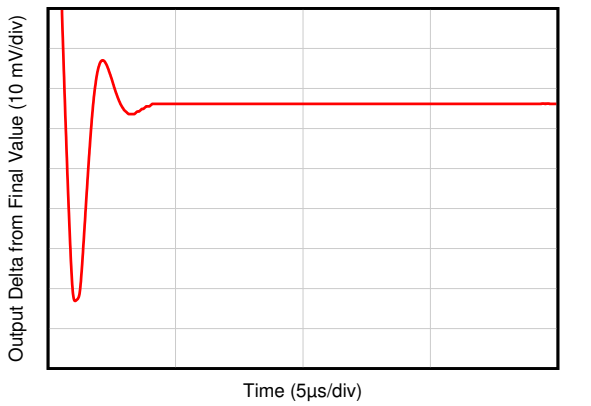
7.6 代表的特性 (continued)

T_A = 25℃、V_S = (V+) - (V-) = 5.5V、V_{IN} = (V_{IN+}) - (V_{IN-}) = 0V、R_L = 10kΩ、C_L = 10pF、V_{REF} = V_S/2、V_{CM} = [(V_{IN+}) + (V_{IN-})]/2 = V_S/2、V_{OUT} = V_S/2、G = 10 (特に記述のない限り)



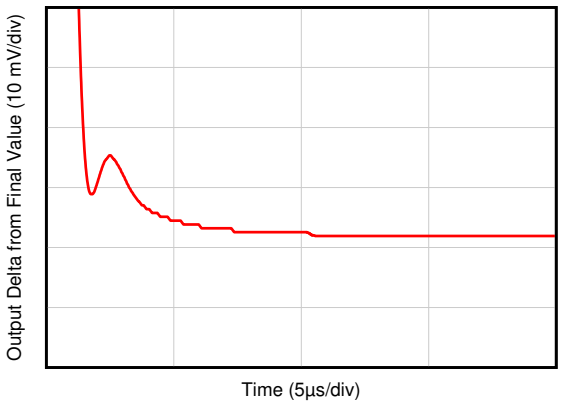
V+ = 2.75V　V- = -2.75V　G = 10　V_{OUT} = $4V_{PP}$

図 7-41. 大信号ステップ応答



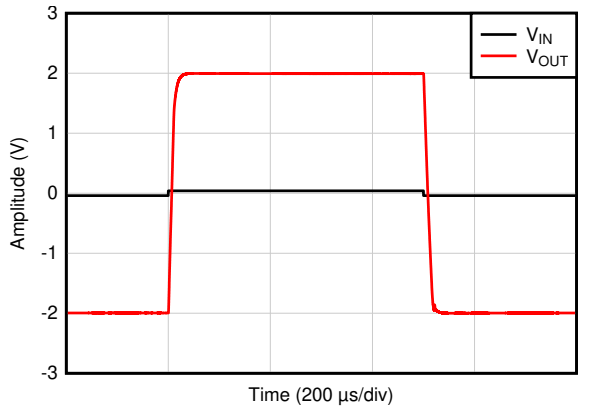
V+ = 2.75V　V- = -2.75V　G = 10　V_{OUT} = $4V_{PP}$

図 7-42. 大信号セトリング・タイム (立ち下がりエッジ)



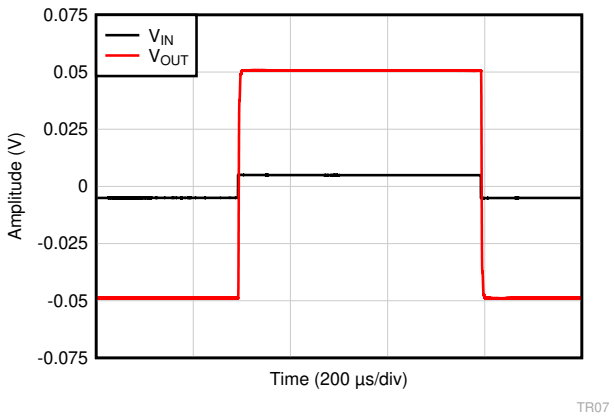
V+ = 2.75V　V- = -2.75V　G = 10　V_{OUT} = $4V_{PP}$

図 7-43. 大信号セトリング・タイム (立ち上がりエッジ)



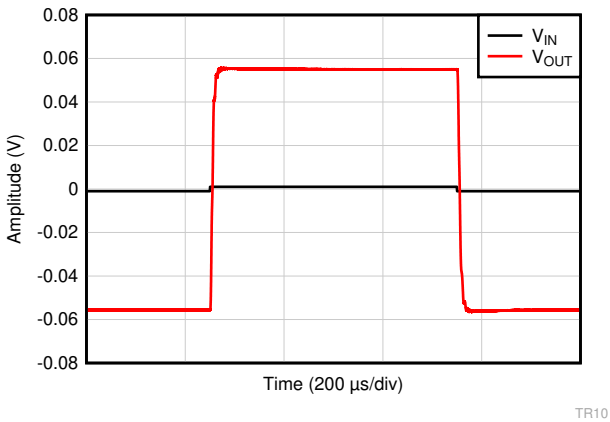
V+ = 2.75V　V- = -2.75V　G = 50　V_{OUT} = $4V_{PP}$

図 7-44. 大信号ステップ応答



V+ = 2.75V　V- = -2.75V　G = 10　V_{OUT} = $0.1V_{PP}$

図 7-45. 小信号ステップ応答



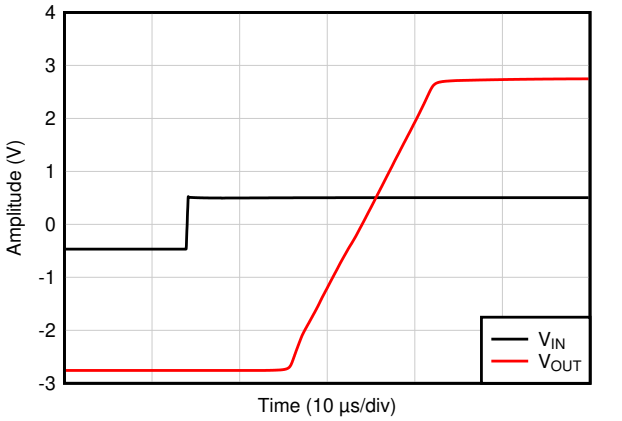
V+ = 2.75V　V- = -2.75V　G = 50　V_{OUT} = $0.1V_{PP}$

図 7-46. 小信号ステップ応答

Copyright © 2023 Texas Instruments Incorporated

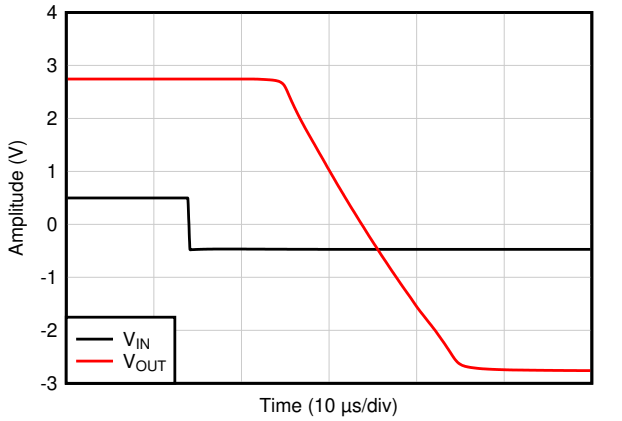
7.6 代表的特性 (continued)

T_A = 25℃、V_S = (V+) - (V-) = 5.5V、V_{IN} = (V_{IN+}) - (V_{IN-}) = 0V、R_L = 10kΩ、C_L = 10pF、V_{REF} = V_S/2、V_{CM} = [(V_{IN+}) + (V_{IN-})]/2 = V_S/2、V_{OUT} = V_S/2、G = 10 (特に記述のない限り)



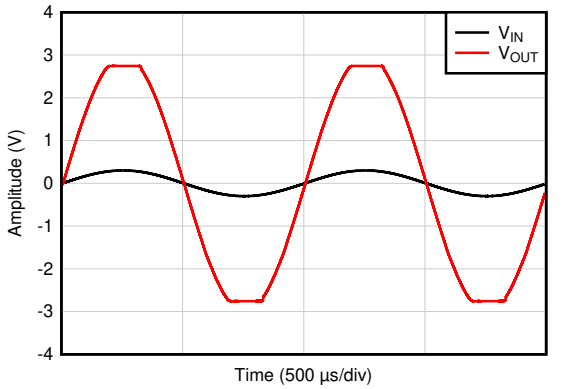
V+ = 2.75V　V- = -2.75V　G = 10　V_{IN} = 1V_{PP}

図 7-47. 過負荷回復 (立ち上がりエッジ)



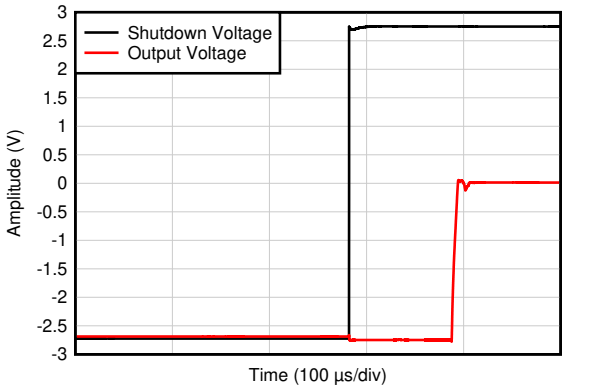
V+ = 2.75V　V- = -2.75V　G = 10　V_{IN} = 1V_{PP}

図 7-48. 過負荷回復 (立ち下がりエッジ)



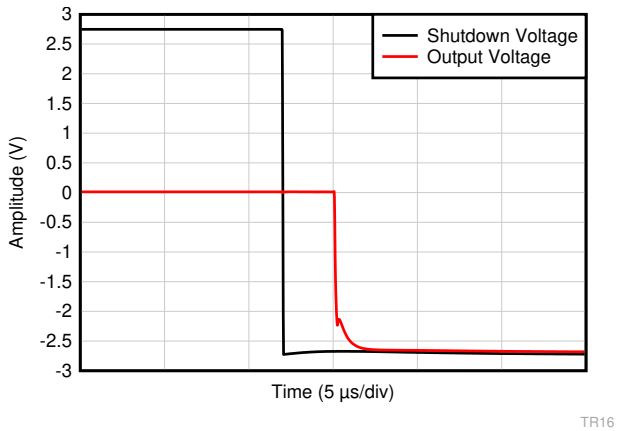
V+ = 2.75V　V- = -2.75V　G = 10　V_{IN} = 0.6V_{PP}

図 7-49. 位相反転なし



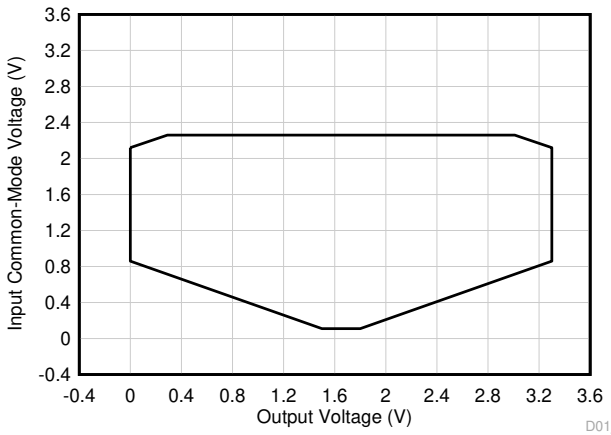
V+ = +2.75V　V- = -2.75V　G = 10

図 7-50. イネーブル応答



V+ = +2.75V　V- = -2.75V　G = 10

図 7-51. ディセーブル応答



V_S = 3.3V　G = 10、20、30、50　V_{REF} = V_S/2

図 7-52. 入力同相電圧と出力電圧との関係 (高 CMRR 領域)

Copyright © 2023 Texas Instruments Incorporated

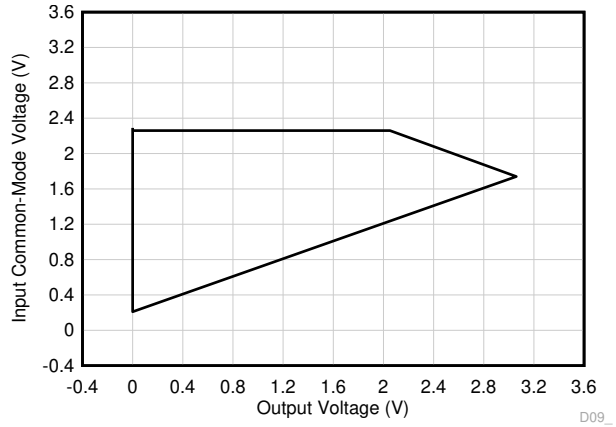
7.6 代表的特性 (continued)

T_A = 25℃、V_S = (V+) - (V-) = 5.5V、V_{IN} = (V_{IN+}) - (V_{IN-}) = 0V、R_L = 10kΩ、C_L = 10pF、V_{REF} = V_S/2、V_{CM} = [(V_{IN+}) + (V_{IN-})]/2 = V_S/2、V_{OUT} = V_S/2、G = 10 (特に記述のない限り)



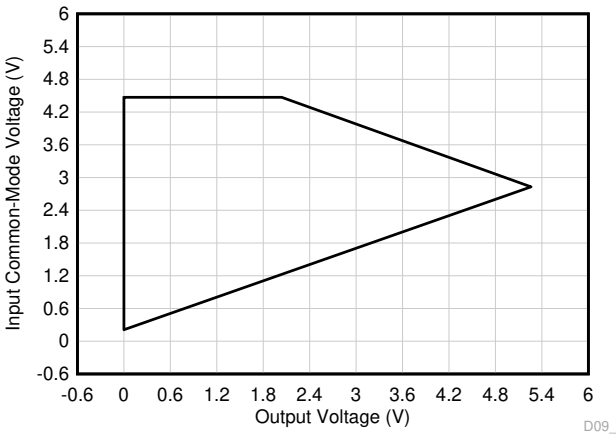
V_S = 5.5V　　G = 10、20、30、50　　V_{REF} = V_S/2

図 7-53. 入力同相電圧と出力電圧との関係 (高 CMRR 領域)



V_S = 3.3V　　G = 10、20、30、50　　V_{REF} = 0V

図 7-54. 入力同相電圧と出力電圧との関係 (高 CMRR 領域)



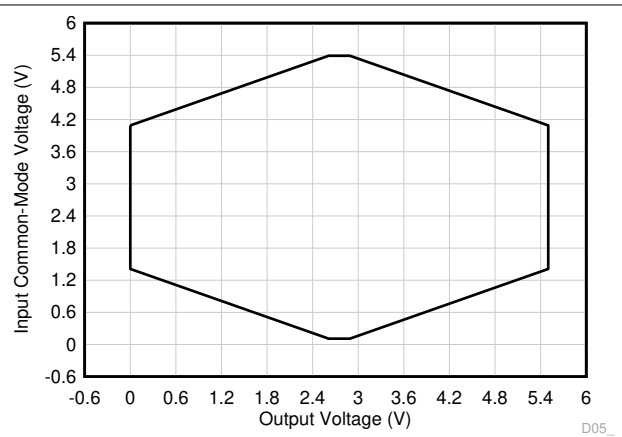
V_S = 5.5V　　G = 10、20、30、50　　V_{REF} = 0V

図 7-55. 入力同相電圧と出力電圧との関係 (高 CMRR 領域)



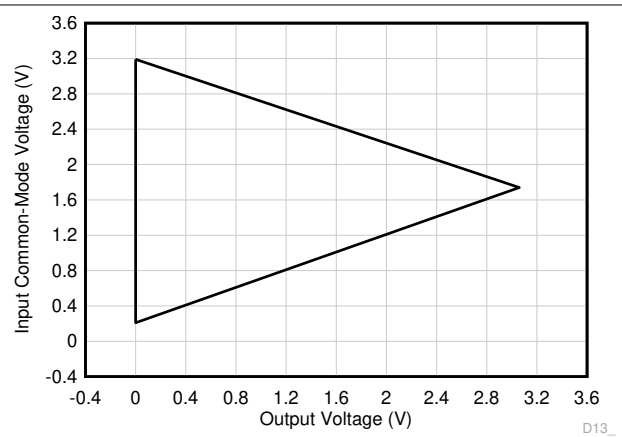
V_S = 3.3V　　G = 10、20、30、50　　V_{REF} = V_S/2

図 7-56. 入力同相電圧と出力電圧との関係



V_S = 5.5V　　G = 10、20、30、50　　V_{REF} = V_S/2

図 7-57. 入力同相電圧と出力電圧との関係



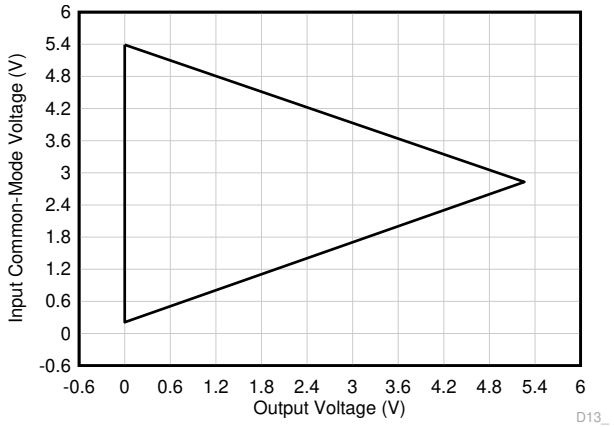
V_S = 3.3V　　G = 10、20、30、50　　V_{REF} = 0V

図 7-58. 入力同相電圧と出力電圧との関係

Copyright © 2023 Texas Instruments Incorporated

7.6 代表的特性 (continued)

T_A = 25℃、V_S = (V+) - (V-) = 5.5V、V_{IN} = (V_{IN+}) - (V_{IN-}) = 0V、R_L = 10kΩ、C_L = 10pF、V_{REF} = V_S/2、V_{CM} = [(V_{IN+}) + (V_{IN-})]/2 = V_S/2、V_{OUT} = V_S/2、G = 10 (特に記述のない限り)



V_S = 5.5V　　G = 10、20、30、50　　V_{REF} = 0V

図 7-59. 入力同相電圧と出力電圧との関係

8 詳細説明

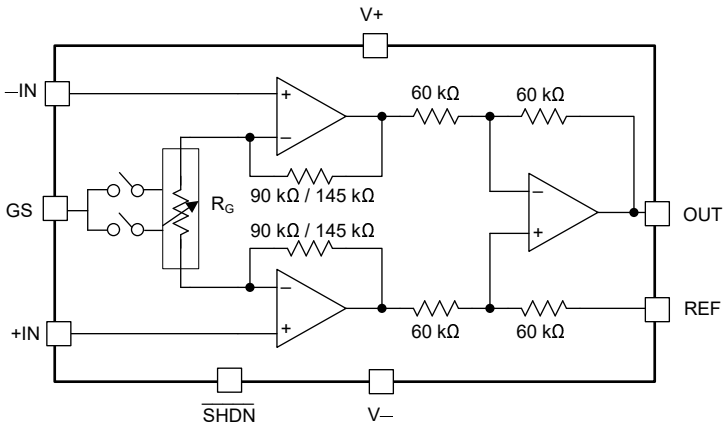
8.1 概要

INA350 はゲインを選択可能な計測アンプで、汎用の INA を採用するアプリケーションや、汎用アンプと抵抗を使用する INA のディスクリート実装によるアプリケーション向けに、小さくコスト効率の優れた統合型ソリューションを提供することを主な目的としています。3 つのオペアンプ INA アーキテクチャを組み込み、3 つのオペアンプと 7 つの高精度一致済み抵抗が内蔵されています。主に 10 ビットから 14 ビットのシステムでの使用を対象としていますが、オフセットとゲイン誤差をシステム・レベルでキャリブレーションすることで、システムの分解能と精度をさらに向上しているため、高精度アプリケーションで使用できます。

INA350 の主な特長の 1 つは、外付け抵抗なしにゲインを設定できることです。多くの場合、これらの外付け抵抗は公差が小さく、配線を注意深く行う必要があるため、システムの複雑さとコストが増大します。INA350 には、2 つのバリアントと 4 つのゲイン・オプションがあります。INA350ABS には、10 と 20 の 2 つのゲイン・オプションがあります。INA350CDS には、他に 30 と 50 の 2 つのゲイン・オプションがあります。ゲインは、GS ピンをロジック High またはロジック Low に接続することで選択できます。GS ピンには内部プルアップがあり、デフォルトでも GS がロジック High に接続されているのと同じ構成となるため、フローティングのままでも問題ないことに注意してください。

INA350 は、ブリッジ型センサ・ネットワークと負荷セルを使用して圧力センシングと温度センシングを行う、ファクトリ・オートメーション用の産業用アプリケーションや家電分野向けに開発されたものです。また、患者モニタ、睡眠診断、電子式病院用ベッド、血糖値監視などの医療アプリケーションで、電圧センシングや差動からシングルエンドへの変換の機能を、限られたスペースに搭載するため使用できます。INA350 は、2mm × 1.5mm の X2QFN パッケージや 2mm × 2mm の WSON パッケージなどの超小型パッケージを使用するため、これらのアプリケーションの全体的なサイズを縮小できます。

8.2 機能ブロック図



注:INA350ABS 用 90kΩ、INA350CDS 用 145kΩ

簡略化された内部回路図

Copyright © 2023 Texas Instruments Incorporated

8.3 機能説明

8.3.1 ゲイン設定

INA350ABS のゲイン計算式は、式 1 で与えられます。

$$G = 1 + \frac{180\ k\Omega}{R_G} \tag{1}$$

INA350ABS の内部ゲイン抵抗 R_G の値は、次のゲイン式で求められます。

$$R_G = \frac{180\ k\Omega}{G - 1} \tag{2}$$

同様に、INA350CDS のゲイン計算式は、式 3 で与えられます。

$$G = 1 + \frac{290\ k\Omega}{R_G} \tag{3}$$

INA350CDS の内部ゲイン抵抗 R_G の値は、次のゲイン式で求められます。

$$R_G = \frac{290\ k\Omega}{G - 1} \tag{4}$$

表 8-1 は、INA350ABS と INA350CDS で異なるゲイン・オプションを選択する方法を示しています。ここに示されている 60kΩ、90kΩ、145kΩ の抵抗はすべて、オンチップ抵抗の標準値です。

表 8-1. ゲイン選択表

デバイス	ゲイン選択 (GS)	選択したゲイン
INA350ABS	High または未接続	20
	Low	10
INA350CDS	High または未接続	50
	Low	30

8.3.1.1 ゲイン誤差とドリフト係数

INA350 のゲイン誤差は、内蔵の高精度抵抗の不一致によって制限され、特性の結果に基づいて規定されています。ゲインが 10 の場合は最大 0.5%、ゲインが 20、30、50 の場合は 0.6% のゲイン誤差が予想されます。INA350 のゲイン・ドリフトは、内蔵抵抗の温度係数のわずかな不一致によって制限されます。これらの内蔵抵抗は、最初に温度係数の低い抵抗と高精度で一致されるため、外付け抵抗を使用して構築された計測アンプのディスクリート実装と比較して、総合的なゲイン・ドリフトははるかに優れています。

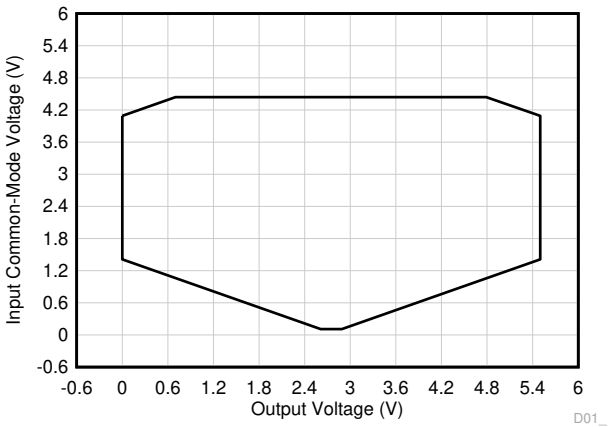
8.3.2 入力同相電圧範囲

INA350 には 2 つのゲイン段があり、1 段目は同相ゲインが 1 で、GS ピンによって差動ゲインが設定されます。2 段目は差動ゲイン 1 の差動アンプに構成され、理想的にはすべての入力同相モードを完全に除去します。また 2 段目は、出力同相電圧を設定するため、REF ピンから 1 のゲインも供給します。

INA350 の線形入力電圧範囲は、レール・ツー・レールの最初の段でも、最初の段の出力における信号スイングと、2 段目の入力同相電圧範囲の出力スイングによって決定されます。INA350 は、選択した入力差動について、ゲイン、リファレンス電圧、入力同相電圧の特定の組み合わせに対して、線形動作を保つ必要があります。このセクションの入力同相電圧 (V_{CM}) と出力電圧 (V_{OUT}) のグラフは、INA350 の線形性能領域の概要を示す特定のリファレンス電圧とゲイン構成を示しています。V_{CM} と V_{OUT} のグラフの制限内で動作している場合、良好な同相除去が期待できます。INA350 のリニア入力電圧は、最初の段の出力が飽和状態まで駆動されるため、電源レールに近い値またはそれを超える値にできないことに注意してください。

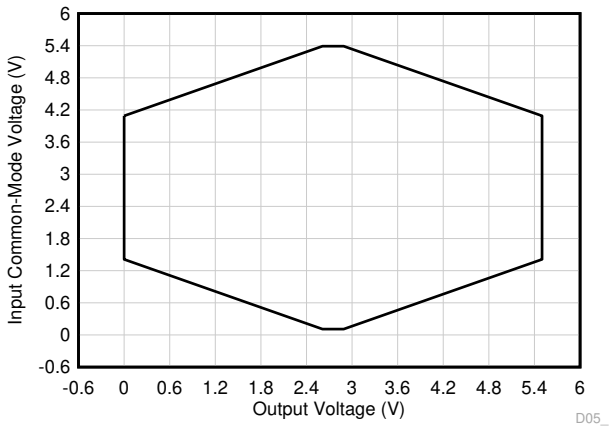
Copyright © 2023 Texas Instruments Incorporated

最も一般的な動作条件の場合の同相範囲について、概要を以下に示します。最小 85dB を達成できる動作領域を、図 8-1 に示します。図 8-2 では入力信号が入力ペアの遷移領域と交差してレール・ツー・レール動作を実現するため、動作領域がはるかに広く、最小 CMRR が 62dB に低下しています。他の動作条件の同相範囲は、TI.com のアナログ技術者向けカリキュレータの「アンプとコンパレータ」セクションにある、INA の V_{CM} と V_{OUT} の比較ツールを使用して計算するのが最適です。INA350-HCM モデルは特に、高 CMRR を必要とするアプリケーションで使用でき、図 8-1 に示す性能に対応します。INA350xxS モデルは、入力同相がレール・ツー・レールを変動することが予想されるアプリケーションに使用でき、図 8-2 で CMRR が最小 62dB まで低下するときの性能に対応しています。



V_S = 5.5V　　G = 10、20、30、50　　V_{REF} = V_S/2

図 8-1. 入力同相電圧と出力電圧との関係 (高 CMRR 領域)



V_S = 5.5V　　G = 10、20、30、50　　V_{REF} = V_S/2

図 8-2. 入力同相電圧と出力電圧との関係

8.3.3 EMI 除去

INA350 は、内蔵の電磁干渉 (EMI) フィルタリングを使用して、ワイヤレス通信や、アナログ信号チェーンとデジタル部品が混在する高密度実装の基板などのソースによる EMI の影響を低減します。EMI 耐性は回路設計手法により改善可能で、INA350 はこのような設計の改善を活用しています。テキサス・インスツルメンツは、10MHz から 6GHz までの幅広い周波数スペクトルにわたって、オペアンプの耐性を正確に測定および数量化する機能を開発しました。INA350 でこのテストを行った結果を、図 8-3 に示します。実際のアプリケーションで一般的に発生する、特定の周波数における INA350 の EMIRR IN+ 値を、表 8-2 に示します。『オペアンプの EMI 除去率』アプリケーション・レポートには、オペアンプに関連する EMIRR 性能の詳細情報が記載されており、www.tij.co.jp からダウンロードできます。

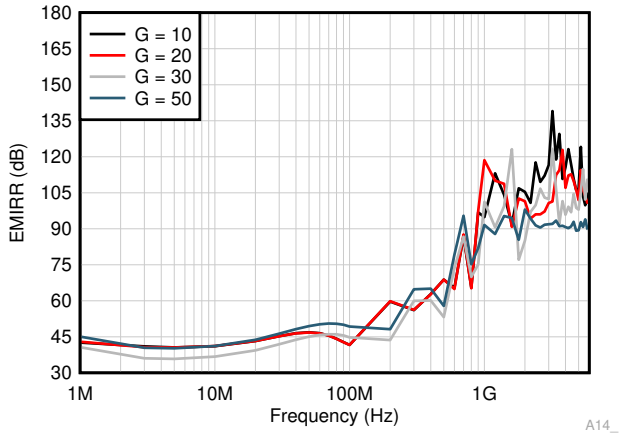


図 8-3. EMIRR テスト

Copyright © 2023 Texas Instruments Incorporated

表 8-2. 対象周波数における INA350 の EMIRR IN+

周波数	アプリケーションまたは割り当て	EMIRR IN+
400MHz	モバイル無線、モバイル衛星、宇宙での運用、気象、レーダー、極超短波 (UHF) アプリケーション	60dB
900MHz	GSM 移動通信システム、無線通信、ナビゲーション、GPS (最高 1.6GHz まで)、GSM、航空移動通信、UHF アプリケーション	92dB
1.8GHz	GSM アプリケーション、モバイル・パーソナル通信、ブロードバンド、衛星、L バンド (1GHz～2GHz)	90dB
2.4GHz	802.11b、802.11g、802.11n、Bluetooth®、モバイル・パーソナル通信、産業用、科学用および医療用 (ISM) 無線帯域、アマチュア無線および衛星、S バンド (2GHz～4GHz)	95dB
3.6GHz	無線測位、航空通信およびナビゲーション、衛星、モバイル、S バンド	108dB
5GHz	802.11a、802.11n、航空通信とナビゲーション、モバイル通信、宇宙と衛星での運用、C バンド (4GHz～8GHz)	105dB

8.3.4 代表的な仕様と分布

設計者は多くの場合、より堅牢な回路を設計するため、アンプの標準仕様についての疑問を抱きます。プロセス・テクノロジーや製造手順には自然に差異が発生するため、アンプのすべての仕様は、アンプの入力オフセット電圧など、理想的な値からある程度の偏差が生じます。これらの偏差は多くの場合、ガウス分布 (「ベル曲線」) または正規分布に従います。回路設計者は、「電気的特性」表に最小値または最大値の仕様がない場合でも、この情報を活用してシステムの最低限の品質を確保できます。

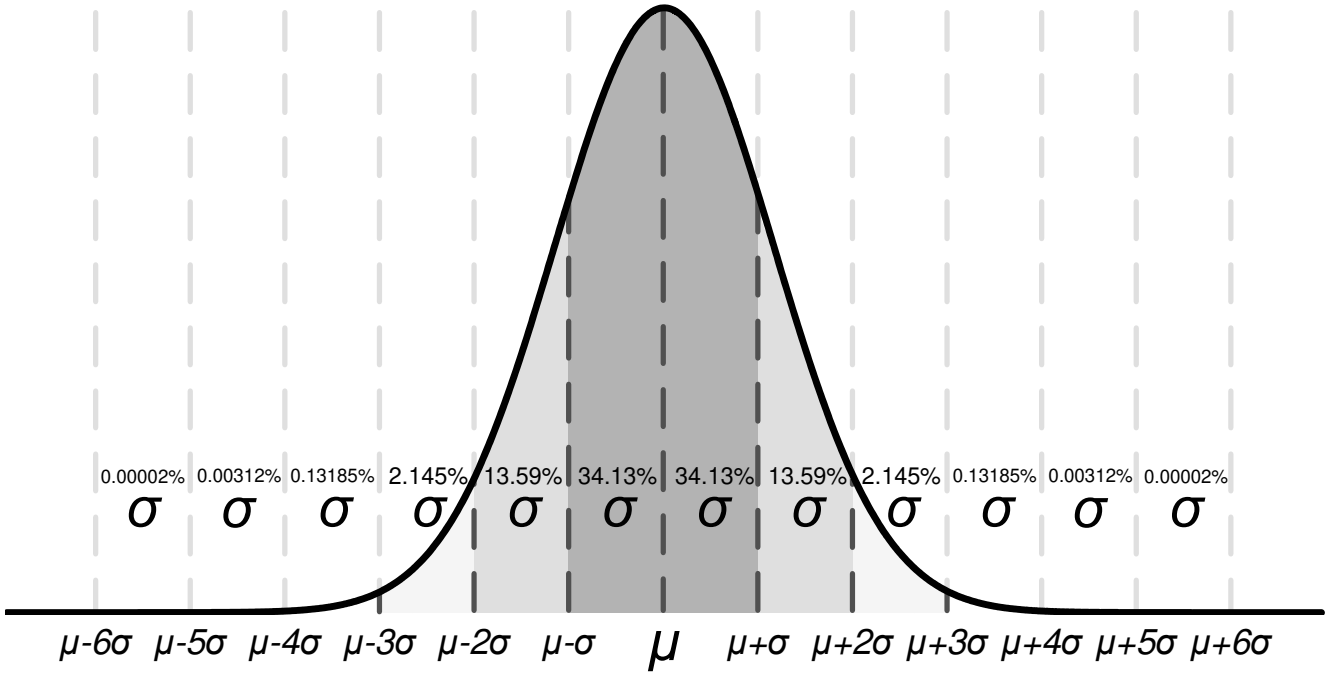


図 8-4. 理想的なガウス分布

分布の例を、図 8-4 に示します。ここで、μ (ミュー) は分布の平均値、σ (シグマ) はシステムの標準偏差です。このような分布を示す仕様では、すべてのユニットのうち約 2/3 (68.26%) の値は、平均値から 1 標準偏差、すなわち 1 シグマ (μ –σ から μ + σ まで) 以内と推定できます。

「電気的特性」表の「標準値」列に記載されている値は、仕様に応じてさまざまな方法で表現されます。原則として、仕様の性質上平均値が 0 以外の場合 (ゲイン帯域幅など)、標準値は平均値 (μ) と等しくなります。ただし、入力オフセット電圧のように、その性質上仕様の平均値が 0 に近い場合、最も正確に標準値を表すため、標準値は平均値に 1 標準偏差を加えた値 (μ + σ) と等しくなります。

Copyright © 2023 Texas Instruments Incorporated

このグラフを使用して、ユニット内の仕様のおおよその確率を計算できます。たとえば INA350 の場合、入力電圧オフセットの標準値は 200µV なので、すべての INA350 デバイスのうち 68.2% は -200µV～+200µV のオフセットを持つと予想されます。4σ (±800µV) では、分布の 99.9937% のオフセット電圧は ±800µV 未満です。これは、母集団のうちこの制限値を超えているものは 0.0063%、15,873 ユニットのうち約 1 個ということです。

仕様の最小値または最大値の列に値が記載されているものはテキサス・インスツルメンツによって保証されており、これらの制限値を超えたユニットは生産から除去されます。たとえば、INA350 ファミリの最大オフセット電圧は 25℃において 1.2mV で、これは 6σ (約 5 億ユニットのうち 1 つ) に相当し、確率としては非常に低いため、テキサス・インスツルメンツはオフセット電圧が 1.2mV を超えるユニットが生産から除去されることを保証しています。

最小値や最大値の列に値がない仕様については、アプリケーションに十分なガードバンドとなる σ 値を選択し、その値を使用してワーストケース条件を設計することを検討してください。上述したように、6σ の値は約 5 億ユニットのうち 1 つに相当します。これは非常に可能性が低く、システムの設計で大きな余裕を持たせるために適切な可能性があります。この場合、INA350 ファミリにはオフセット電圧ドリフトの最大値または最小値はありませんが、図 7-2 および「電気的特性」表の標準値である 0.6µV/℃に基づいて、オフセット電圧ドリフトの 6σ 値は約 2µV/℃と計算できます。ワーストケースのシステム条件を設計する場合、この値を使用すると、実際の最小値または最大値を使用せずに、ワーストケースのオフセット・ドリフトを推定できます。

ただし、時間の経過に伴うプロセスの変動と調整によって、標準偏差と平均値の標準値が変動する可能性があるため、仕様の最小値または最大値の列に値が記載されていないものについて、テキサス・インスツルメンツはデバイスの性能を保証できません。この情報は、デバイスの性能を推定する目的でのみ使用してください。

8.3.5 電気的オーバーストレス

設計者は多くの場合、オペアンプが電気的オーバーストレスにどの程度耐えられるのかという質問をします。これらの質問は、主にデバイスの入力に関するものですが、電源電圧ピンや、さらに出力ピンにも関係する場合があります。これらの各ピンの機能には電気的ストレスの制限が定められており、使用される半導体の製造プロセスの電圧ブレークダウン特性と、ピンに接続される特定の回路によって決定されます。また、これらの回路には内部静電気放電 (ESD) 保護機能が組み込まれており、製品の組み立て前と組み立て中の両方で、偶発的な ESD イベントから保護します。

この基本的な ESD 回路と、電気的オーバーストレス・イベントとの関連性を十分に理解しておくと役に立ちます。INA350 デバイスに搭載されている ESD 回路を、図 8-5 に示します。ESD 保護回路には、いくつかの電流ステアリング・ダイオードが含まれており、入力や出力のピンから、内部の電源ラインに戻るよう配線され、オペアンプ内部の吸収デバイスと接続されます。この保護回路は、通常の回路動作中は非アクティブに保たれるよう設計されます。

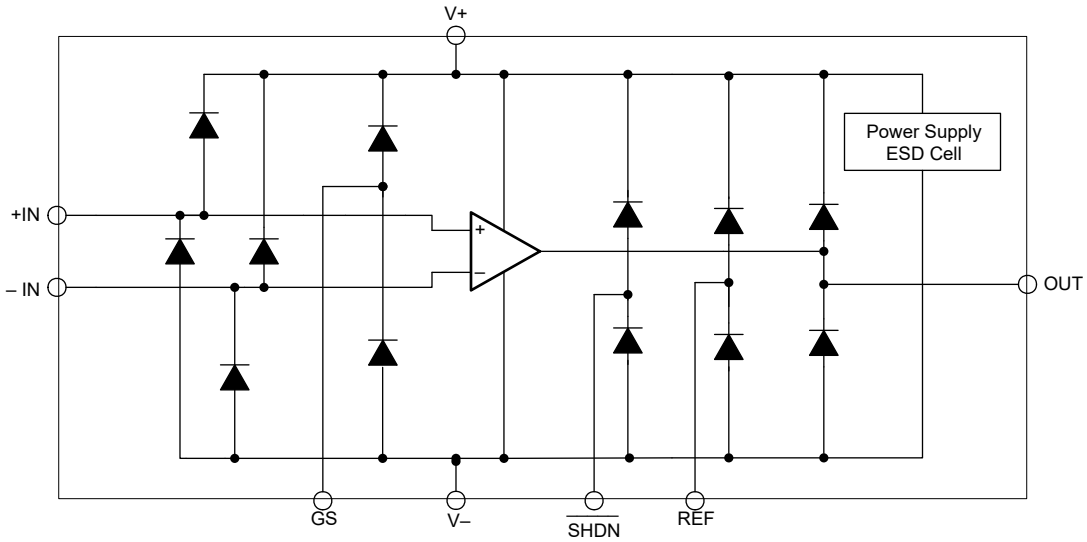


図 8-5. 等価な内部 ESD 回路

Copyright © 2023 Texas Instruments Incorporated

8.4 デバイスの機能モード

INA350 にはシャットダウン (ディセーブル) モードがあり、バッテリ駆動アプリケーションで省電力を実現できます。シャットダウン・モードでの最大静止電流はわずか 1.25µA で、アンプの電源オン (イネーブル) 時の静止電流の 1/100 です。

$\overline{\text{SHDN}}$ ピンが Low に接続されると、INA350 はディセーブル・モードに移行します。$\overline{\text{SHDN}}$ ピンを High に接続すると、INA350 はイネーブルされます。このピンには内部プルアップ電流があり、デフォルトでは $\overline{\text{SHDN}}$ ピンが High に接続されているのと同じ構成になるため、$\overline{\text{SHDN}}$ ピンが無接続やフローティングのときは INA が電源オンになります。

Copyright © 2023 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

9.1.1 リファレンス・ピン

INA350 の出力電圧は、リファレンス・ピン (REF) の電圧を基準にして開発されています。デュアル電源動作では多くの場合、REF ピンが低インピーダンスのシステム・グランドに接続されます。単一電源動作では、出力信号を正確な中間電源レベルにオフセットすることが有用です (電源が 5.5V の環境なら 2.75V)。このレベル・シフトを実現するには、INA350 が単一電源の ADC を駆動するように、電圧ソースを REF ピンに接続して出力をレベル・シフトする必要があります。

リファレンス・ピンに印加される電圧ソースは、出力インピーダンスを低くする必要があります。リファレンス・ピン (R_{REF}) の抵抗は、内部の 60kΩ 抵抗と直列です。

リファレンス・ピン (R_{REF}) の寄生抵抗は、内部差動アンプの 4 つの抵抗に不均衡を生じさせ、同相除去比 (CMRR) が低下します。最良の性能を得るため、REF ピン (R_{REF}) へのソース・インピーダンスは 5Ω 未満に維持してください。

電圧リファレンス・デバイスは、リファレンス・ピン用の低インピーダンス電圧ソースを提供するための優れたオプションです。ただし、抵抗分圧器でリファレンス電圧を生成する場合は、CMRR の劣化を避けるため、図 9-1 に示すように分圧器をオペアンプでバッファする必要があります。

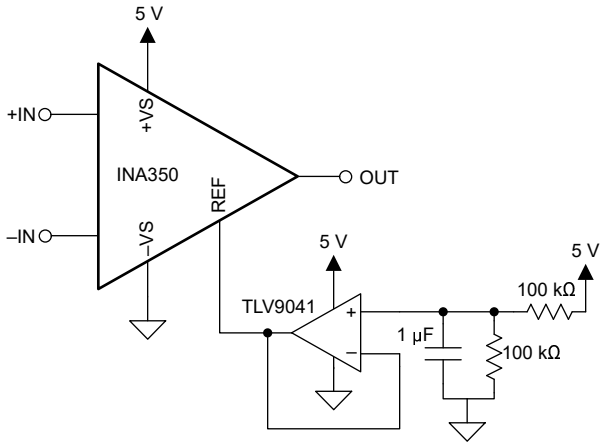


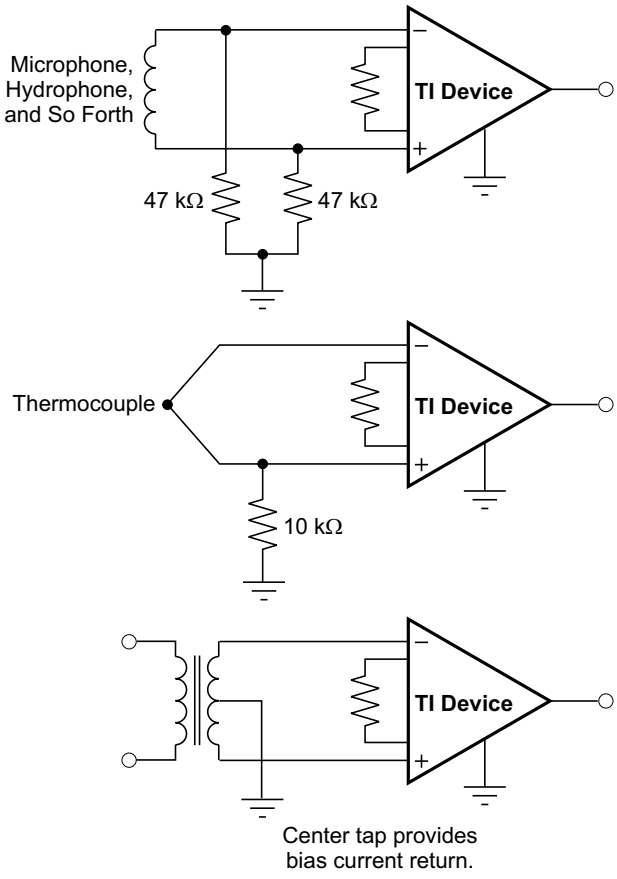
図 9-1. オペアンプによるリファレンス電圧のバッファリング

9.1.2 入力バイアス電流のリターン・パス

INA350 の入力インピーダンスは非常に高くなりますが、両方の入力の入力バイアス電流に対してパスを用意する必要があります。この入力バイアス電流は通常数ピコアンペアですが、高温の場合は数ナノアンペアになる可能性があります。入力インピーダンスが高いと、入力電圧が変化しても、入力バイアス電流の変化はわずかです。

正常な動作のため、入力回路には、この入力バイアス電流のパスが必要です。図 9-2 は、さまざまな入力バイアス電流パスを示しています。バイアス電流パスがないと、入力は INA350 の同相範囲を超える電位に対してフローティングし、入力アンプが飽和します。差動ソース抵抗が低い場合、バイアス電流のリターン・パスは (図 9-2 の熱電対の例に示すように) 1 つの入力に接続します。ソースのインピーダンスがより高い場合、2 つの等価な抵抗を使用すると平衡入力を得られます。これを行うと、バイアス電流により入力オフセット電圧が低減し、高周波の同相除去も改善される可能性があります。

Copyright © 2023 Texas Instruments Incorporated



Copyright © 2017, Texas Instruments Incorporated

図 9-2. 入力同相電流パスの供給

9.2 代表的なアプリケーション

9.2.1 抵抗性ブリッジ圧力センサ

INA350 は、小さな差動電圧を測定すると同時に、より大きな同相電圧を除去する統合型計測アンプです。このデバイスは消費電力が 100µA (標準値) と小さく、フォーム・ファクタが小型化されています。

このデバイスは、液体、圧力、温度、湿度の変化などの物理的パラメータをセンサで測定するポータブル・アプリケーション向けに設計されています。医療分野で使用されている圧力センサの例には、ポータブル点滴用ポンプや透析装置があります。

圧力センサはピエゾ抵抗素子で構成されており、従来の 4 抵抗ホイートストン・ブリッジとして利用できます。

遮蔽 (液体、薬物、または栄養の注入) は一方向にのみ発生するため、抵抗性要素 (R) のみが大きくなる可能性があります。この増加によってホイートストーン・ブリッジの 1 つのレグの電圧が変化し、差動電圧 V_{DIFF} が誘発されます。

点滴用ポンプで必要になる、遮蔽圧力センサ・アプリケーションの回路例を、図 9-3 に示します。設定点の値に対してブロック (遮蔽) が発生すると、配管が押し下げられ、ピエゾ抵抗素子が拡張されます (ノード AD:R + ΔR)。ブリッジの下流に接続された信号チェーンは圧力変化を処理し、アラームをトリガできます。

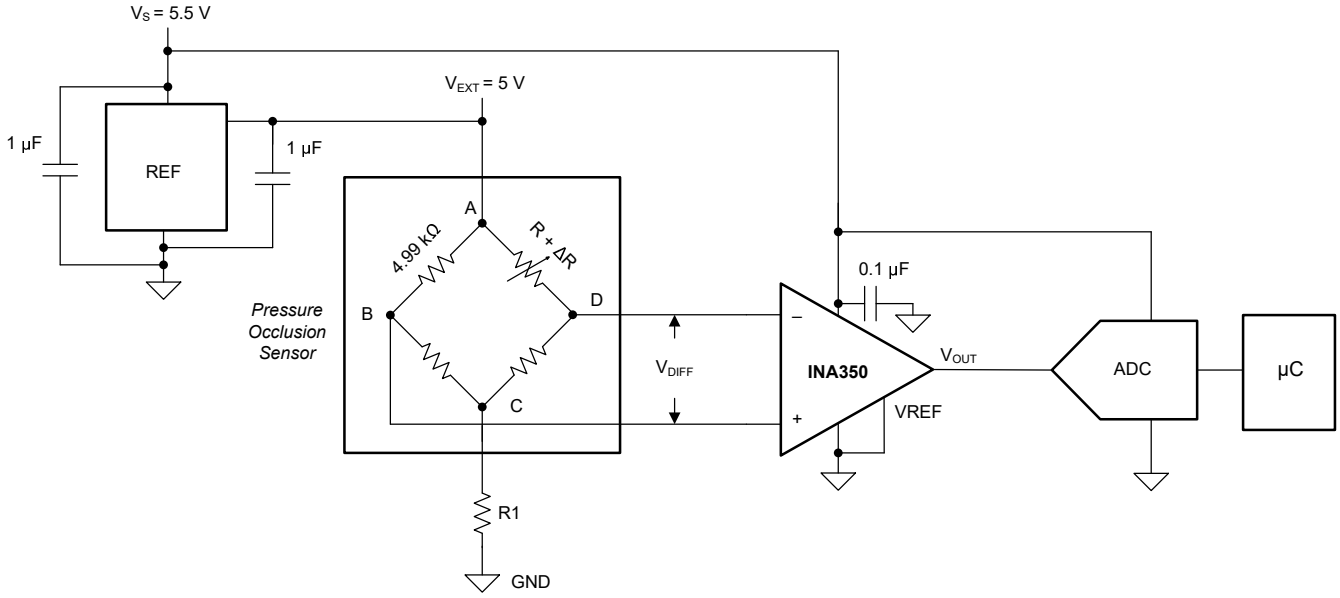


図 9-3. 抵抗性ブリッジ圧力センサ

オフセット誤差とゲイン誤差を最小限に抑えるため、公差の小さいブリッジ抵抗を使用する必要があります。

正の差動電圧のみが印加されている場合、この回路はシングルエンド電源モードにレイアウトされます。ブリッジへの励起電圧 V_{EXT} は高精度で安定している必要があります。これが満たされていないと、測定誤差が発生する可能性があります。

Copyright © 2023 Texas Instruments Incorporated

9.2.1.1 設計要件

このアプリケーションの設計要件を 表 9-1 に示します。

表 9-1. 設計要件

説明	値
単一電源電圧	V_S = 5.5V
励起電圧	V_{EXT} = 5.0V
遮蔽圧力範囲	P = 1psi～12psi、P = 0.5psi 刻み
遮蔽圧力感度	S = 2 ±0.5 (25%) mV/V/psi
遮蔽圧力インピーダンス (R)	R = 4.99kΩ ±50Ω (0.1%)
合計圧力サンプリング・レート	SR = 20Hz
ADC のフルスケール範囲	$V_{ADC(fs)}$ = V_{OUT} = 3.0V

9.2.1.2 詳細な設計手順

このセクションでは、与えられた設計要件に応じて計測アンプをレイアウトするための基本的な計算について説明します。

抵抗性ブリッジ・センサの主な考慮事項の 1 つは、同相電圧 V_{CM} です。ブリッジが平衡な場合 (圧力がないため電圧変化がない場合)、$V_{CM(zero)}$ はブリッジ励起 (V_{EXT}) の半分です。この例では、$V_{CM\ (zero)}$ は 2.5V です。最大圧力が 12psi の場合、ブリッジの同相電圧 $V_{CM(MAX)}$ は次の式で計算されます。

$$V_{CM(MAX)} = \frac{V_{DIFF}}{2} + V_{CM(zero)} \tag{5}$$

ここで

$$V_{DIFF} = S_{MAX} \times V_{EXT} \times P_{MAX} = 2.5\,\frac{mV}{V \times psi} \times 5\,V \times 12\,psi = 150\,mV \tag{6}$$

したがって、印加される最大同相電圧は次の式で得られます。

$$V_{CM(MAX)} = \frac{150\,mV}{2} + 2.5\,V = 2.575\,V \tag{7}$$

同様に、最小同相電圧は次の式で得られます。

$$V_{CM(MIN)} = \frac{-150\,mV}{2} + 2.5\,V = 2.425\,V \tag{8}$$

次のステップは、与えられた最大センサ出力電圧範囲 V_{DIFF} に対して必要なゲインを計算することです。これは、ADC のフルスケール範囲である、必要な V_{OUT} を基準にしています。

次の式は、最大入力電圧と必要な出力電圧を使用して、ゲインの値を計算します。

$$G = \frac{V_{OUT}}{V_{DIFF(MAX)}} = \frac{3.0\,V}{150\,mV} = 20\,V/V \tag{9}$$

INA350 はゲインを選択できる INA で、ゲインに 10、20、30、50 のオプションがあるため、INA350ABS の GS を High に接続すると G = 20 を選択でき、ADC の最大出力信号スイングを保証できます。

次に、「代表的特性」セクションの「入力同相電圧と出力電圧との関係」曲線をチェックし、INA350 がこの範囲内で動作できることを確認します。利便性のため、関連する図もこのセクションに掲載しています。図 9-4 に注目すると、2.425V～2.575V の入力信号スイングで 3V の出力信号スイングがサポートされていることを確認でき、リニア動作を確保できます。

Copyright © 2023 Texas Instruments Incorporated

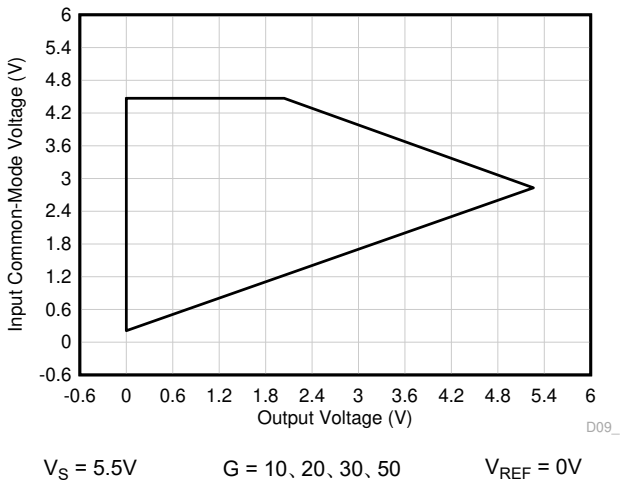


図 9-4. 入力同相電圧と出力電圧との関係 (高 CMRR 領域)

ホイートストン・ブリッジ・ストリング (R1) に直列抵抗を追加する必要がある場合と、必要ない場合があります。これは、電源電圧、リファレンス電圧、および入力同相電圧範囲に対して選択したゲインについての特定の組み合わせに対して意図される出力電圧スイングに基づいて決定されます。R1 は入力同相電圧範囲の調整に役立つため、目的の出力電圧スイングに対応できます。この例については、この機能は必須ではなく、短絡にしてもかまいません。

9.2.1.3 アプリケーション曲線

次に示す代表的な特性の曲線は、図 9-3 の回路に対応するものです。

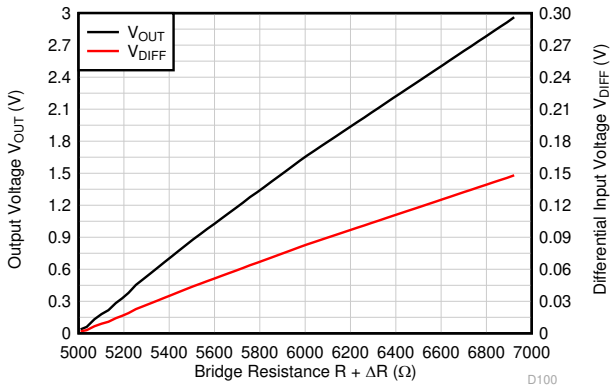


図 9-5. 入力差動電圧および出力電圧とブリッジ抵抗との関係

9.3 電源に関する推奨事項

INA350 の公称性能は、電源電圧 ±2.75V と、中間電源のリファレンス電圧で規定されています。また、このデバイスは ±0.85V (1.7V) から ±2.75V (5.5V) までの電源と、中間電圧以外のリファレンス電圧を使用しても、優れた性能で動作します。パラメータは、動作電圧およびリファレンス電圧によって大きく変化する可能性があります。

Copyright © 2023 Texas Instruments Incorporated

9.4 レイアウト

9.4.1 レイアウトのガイドライン

優れたレイアウト手法に対して、常に関心を持つことをお勧めします。デバイスの最高の動作性能を実現するため、以下のような PCB レイアウト手法を使用してください。

- 同相信号が差動信号に変換されないようにするために、両方の入力パスがソース・インピーダンスと容量に対して適切にマッチングされていることを確認してください。
- バイパス・コンデンサを使用すると、アナログ回路に対してローカルに低インピーダンスの電源を供給することにより、結合ノイズを低減します。
  - 各電源ピンとグランドとの間に、低 ESR の 0.1µF セラミック・バイパス・コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグランドに対して単一のバイパス・コンデンサを接続します。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を分離しておけない場合、敏感な配線をノイズの多い配線と平行にするよりは、垂直に交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します。
- 配線はできる限り短くします。

Copyright © 2023 Texas Instruments Incorporated

9.4.2 レイアウト例

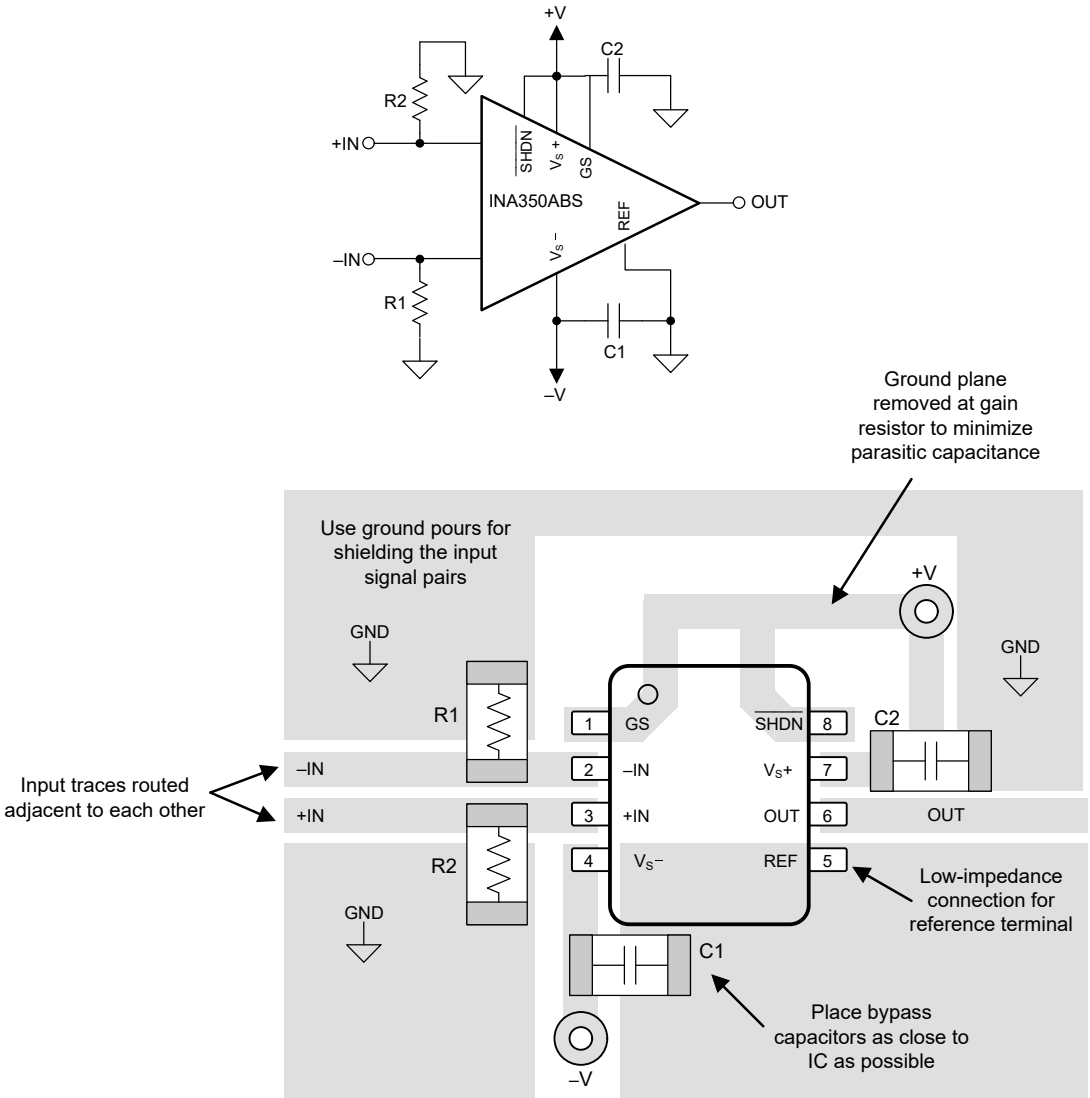


図 9-6. 回路図と関連する PCB レイアウトの例

Copyright © 2023 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 デバイスのサポート

10.1.1 開発サポート

- SPICE ベースのアナログ・シミュレーション・プログラム - TINA-TI ソフトウェア・フォルダ
- アナログ技術者向けカリキュレータ

10.1.1.1 PSpice® for TI

PSpice® for TI は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造に移る前に、サブシステムの設計とプロトタイプ・ソリューションを作成することで、開発コストを削減し、市場投入までの期間を短縮できます。

10.2 ドキュメントのサポート

10.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『オペアンプの EMI 除去率』アプリケーション・レポート

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

10.5 商標

TI E2E™ is a trademark of Texas Instruments.
Bluetooth® is a registered trademark of Bluetooth SIG, Inc.
PSpice® is a registered trademark of Cadence Design Systems, Inc.
すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA350ABSIDDFR	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	IN35A
INA350ABSIDDFR.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	IN35A
INA350ABSIDSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	I35A
INA350ABSIDSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	I35A
INA350ABSIRUGR	Active	Production	X2QFN (RUG) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1NC
INA350ABSIRUGR.A	Active	Production	X2QFN (RUG) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1NC
INA350CDSIDDFR	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	IN35C
INA350CDSIDDFR.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	IN35C
INA350CDSIDSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	I35C
INA350CDSIDSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	I35C
INA350CDSIRUGR	Active	Production	X2QFN (RUG) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1ND
INA350CDSIRUGR.A	Active	Production	X2QFN (RUG) | 10	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1ND

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

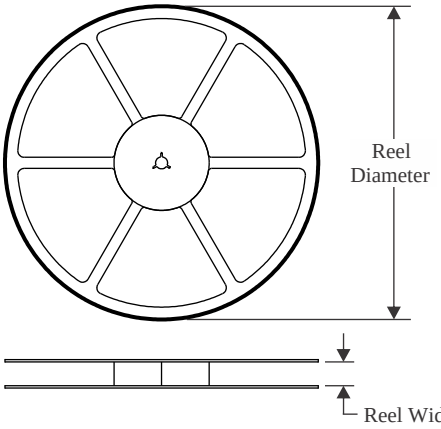
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

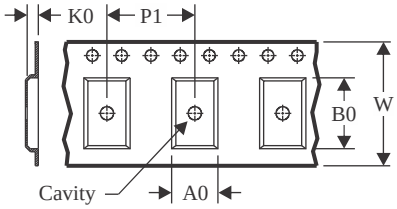
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

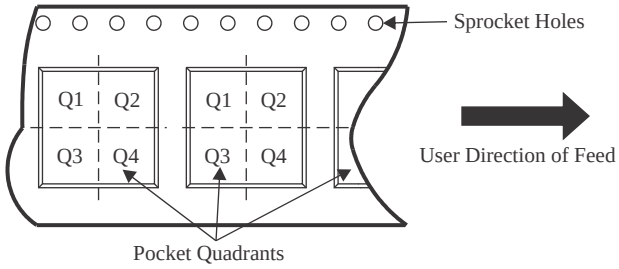


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

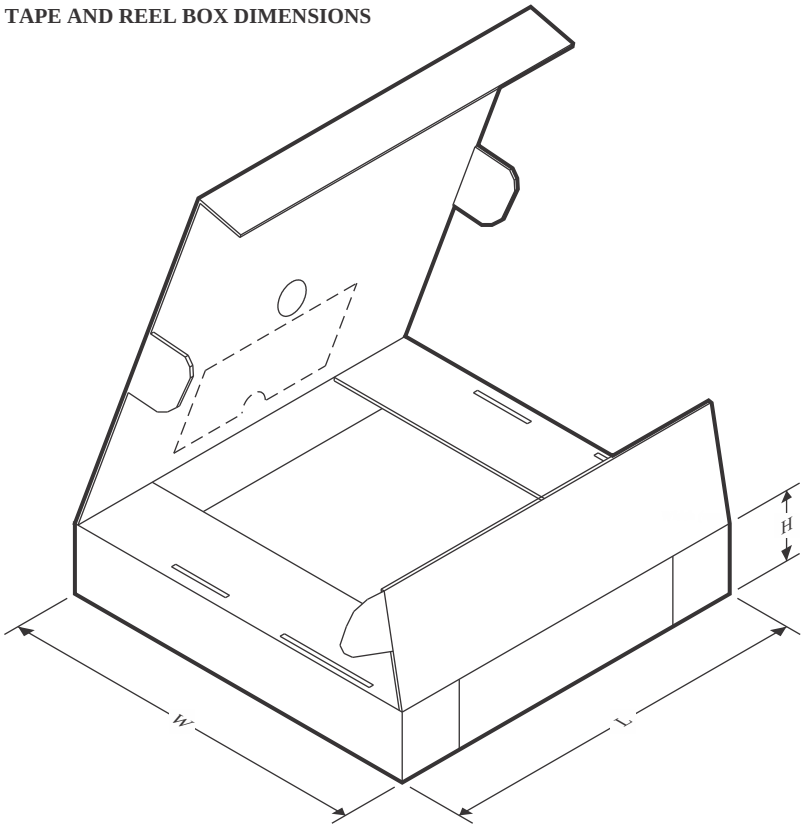
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA350ABSIDDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
INA350ABSIDSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
INA350ABSIRUGR	X2QFN	RUG	10	3000	180.0	8.4	1.75	2.25	0.55	4.0	8.0	Q1
INA350CDSIDDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
INA350CDSIDSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
INA350CDSIRUGR	X2QFN	RUG	10	3000	180.0	8.4	1.75	2.25	0.55	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

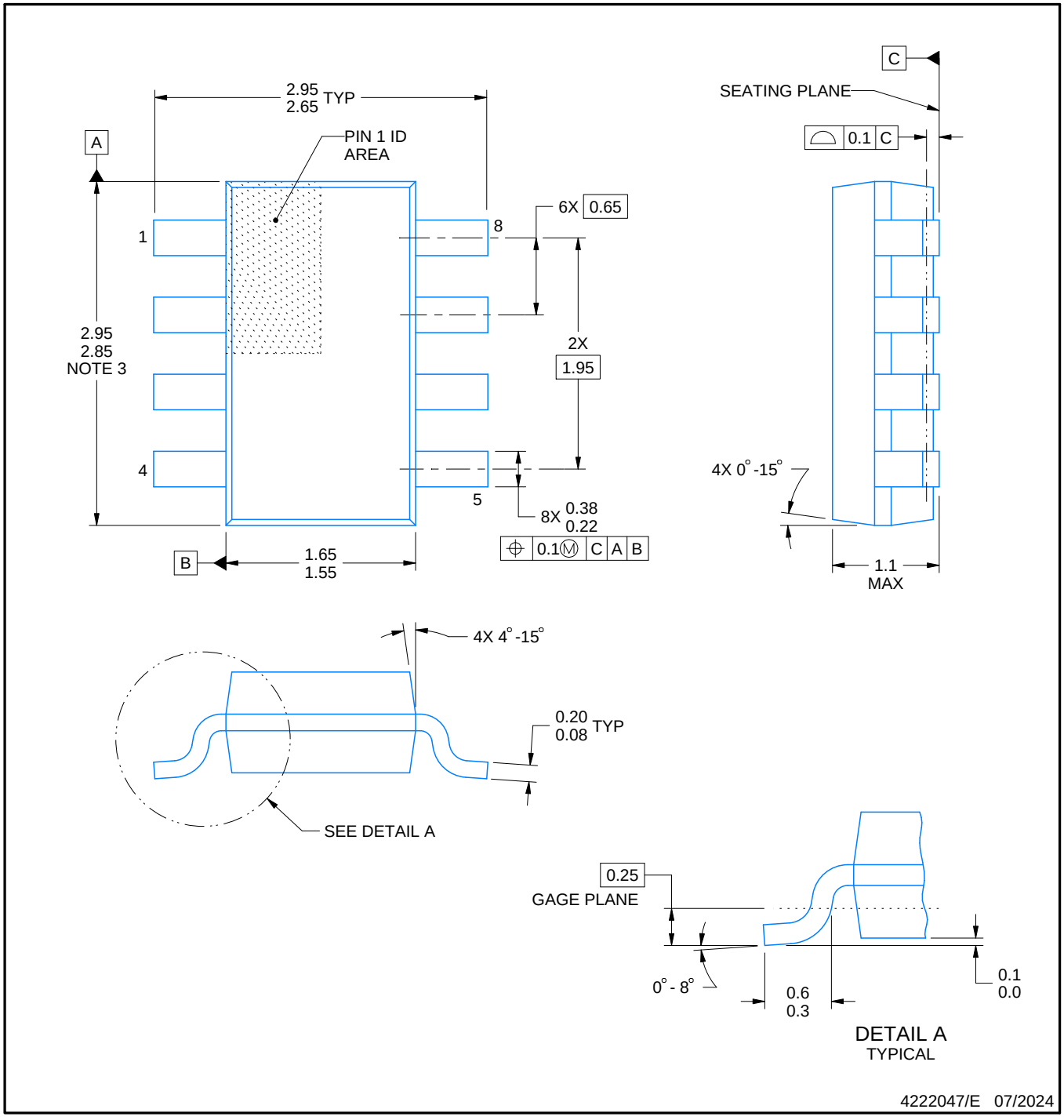
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA350ABSIDDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
INA350ABSIDSGR	WSON	DSG	8	3000	210.0	185.0	35.0
INA350ABSIRUGR	X2QFN	RUG	10	3000	210.0	185.0	35.0
INA350CDSIDDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
INA350CDSIDSGR	WSON	DSG	8	3000	210.0	185.0	35.0
INA350CDSIRUGR	X2QFN	RUG	10	3000	210.0	185.0	35.0

PACKAGE OUTLINE

DDF0008A

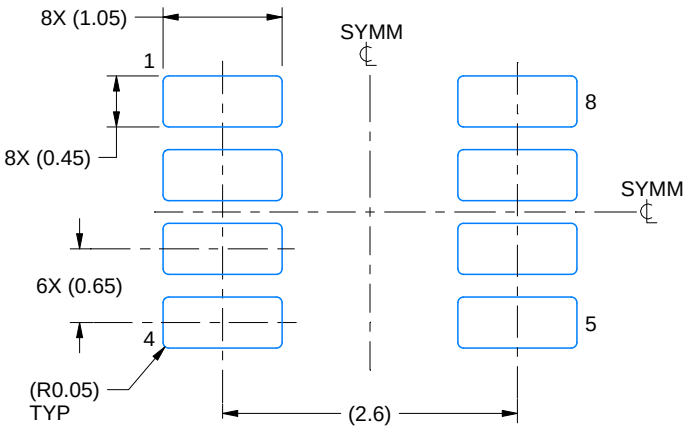
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

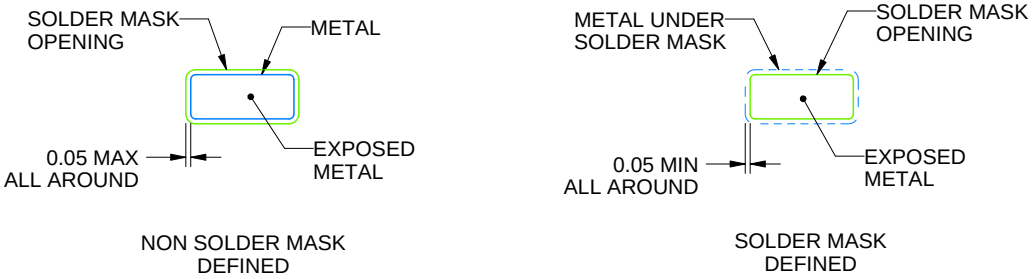


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

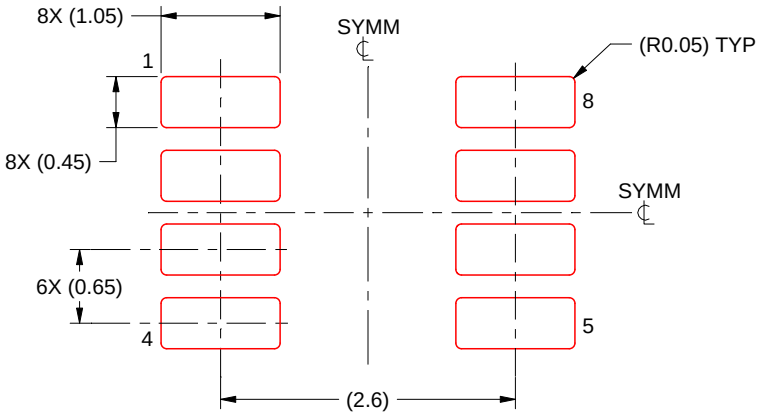
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

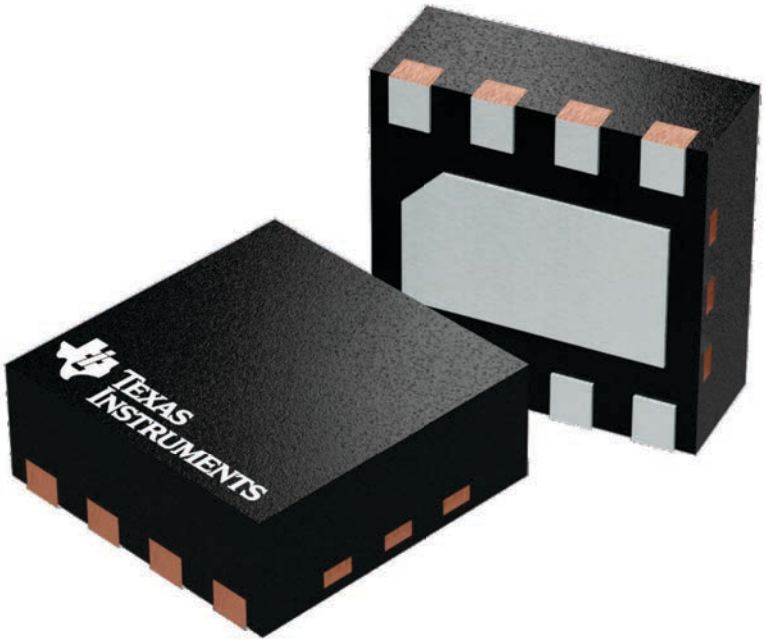
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



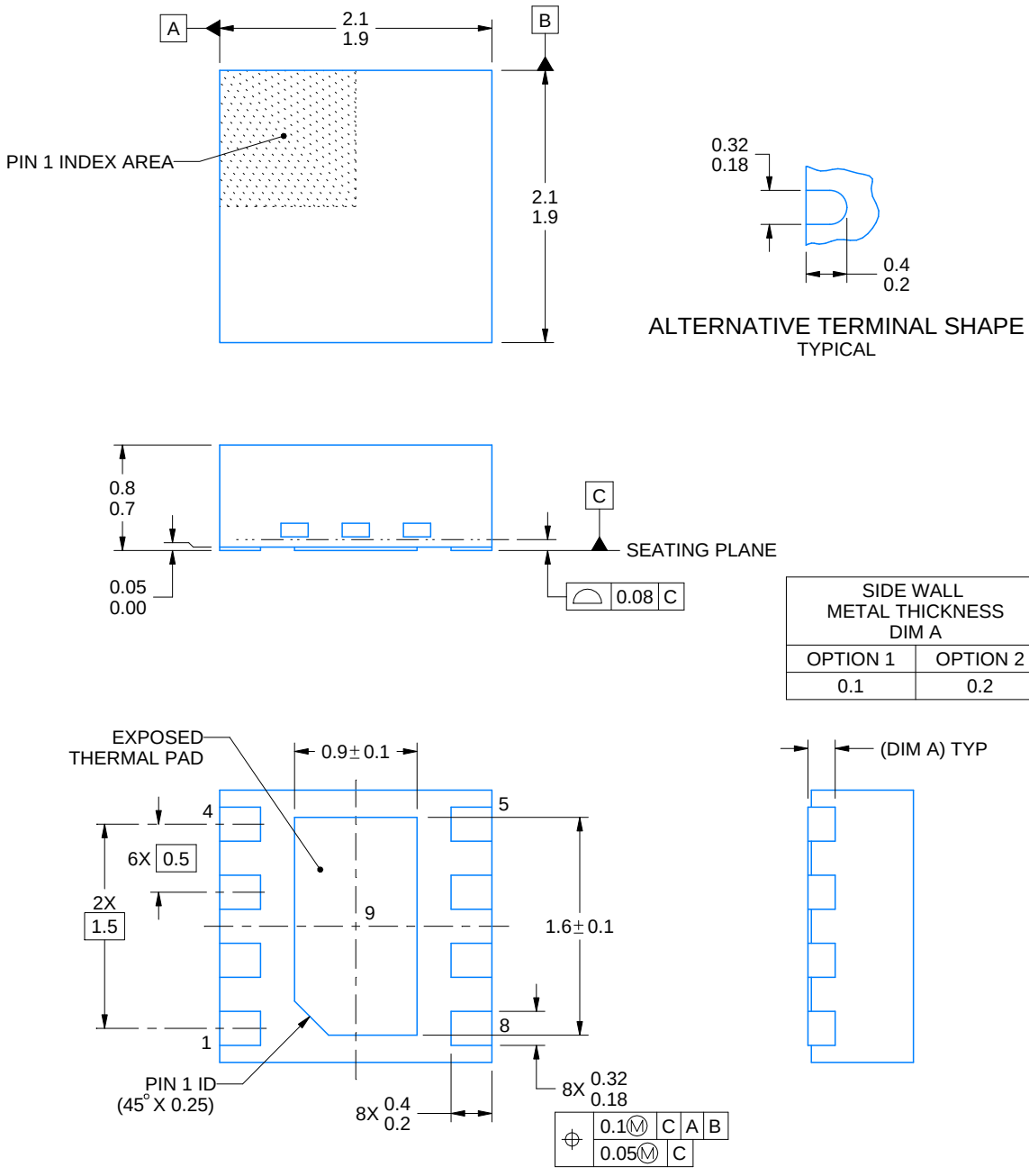
4224783/A

PACKAGE OUTLINE

DSG0008A

WSON - 0.8 mm max height

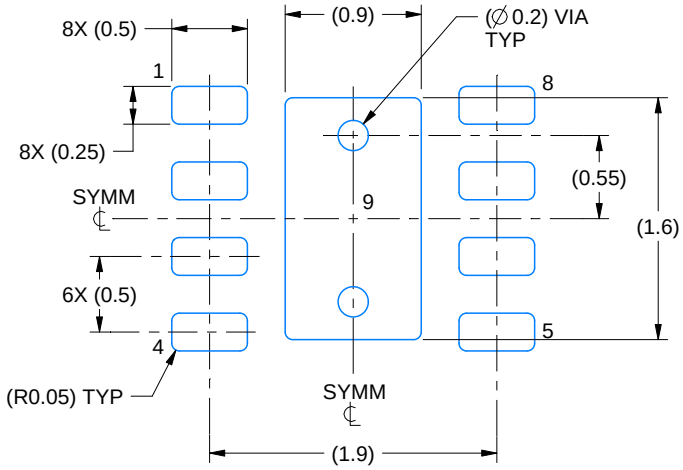
PLASTIC SMALL OUTLINE - NO LEAD



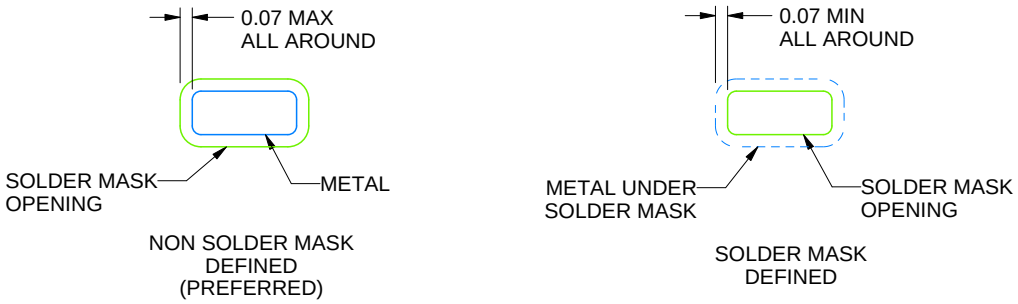
4218900/E 08/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

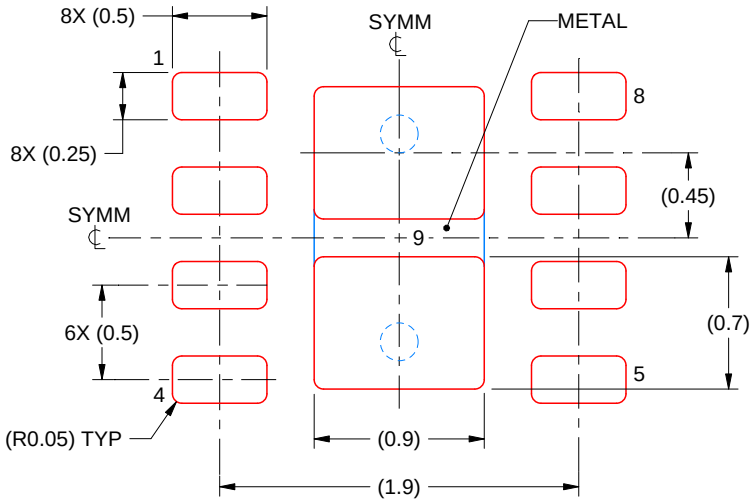


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

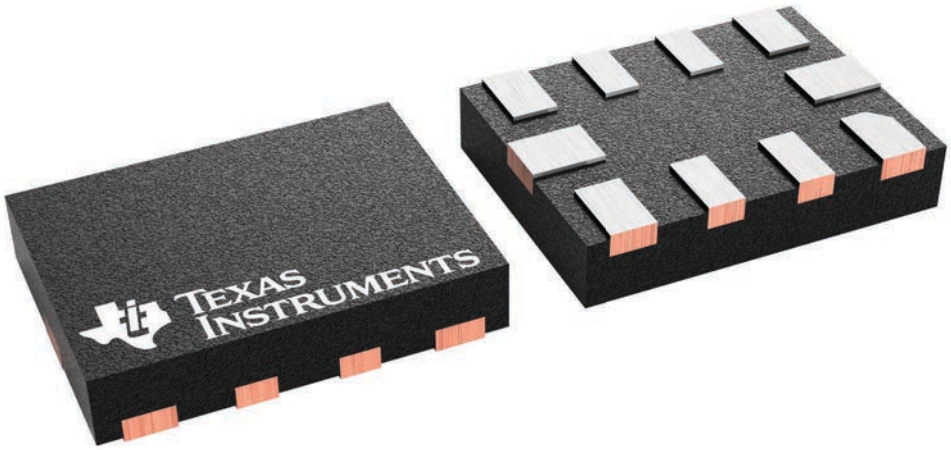
RUG 10

X2QFN - 0.4 mm max height

1.5 x 2, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



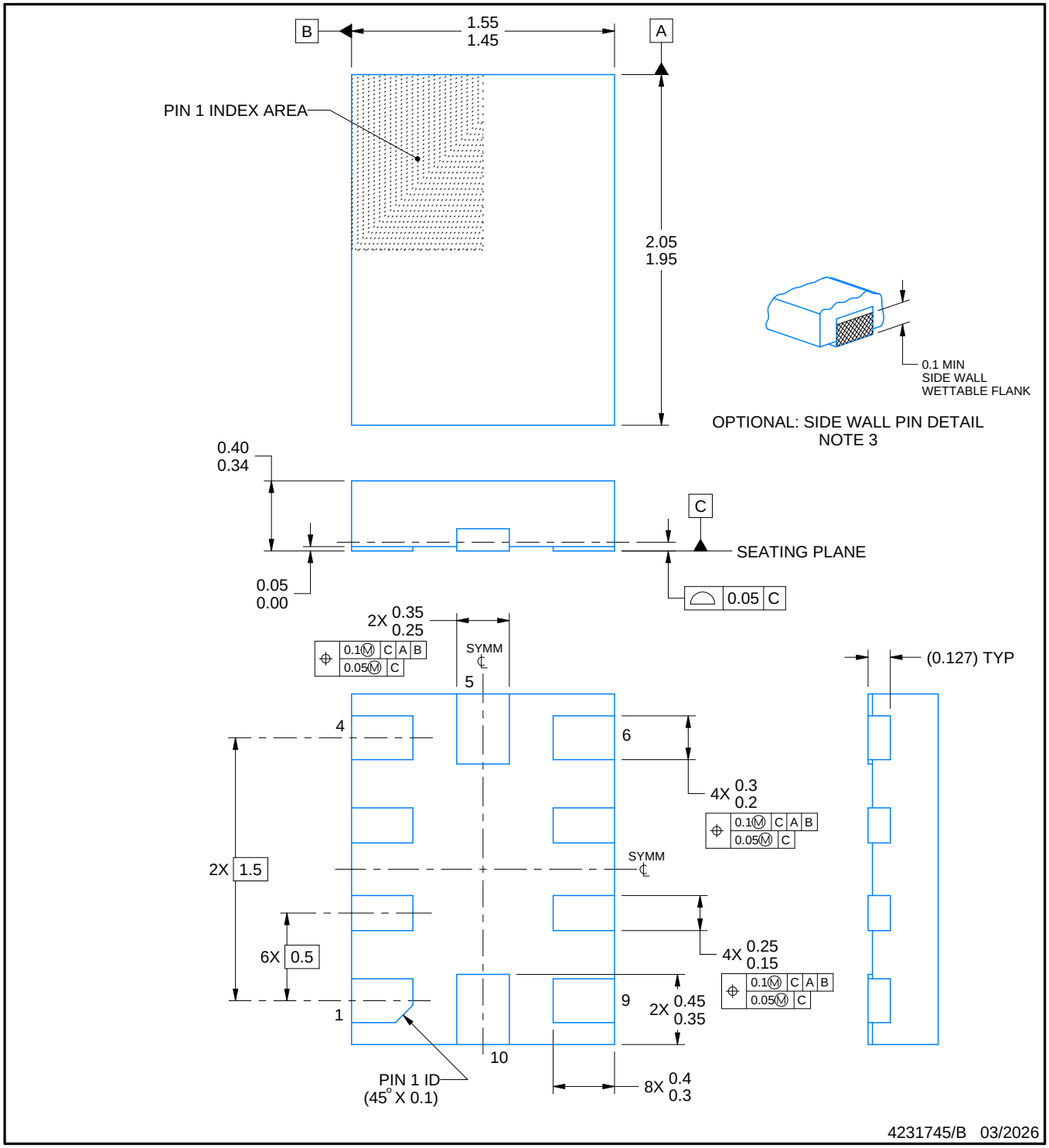
4231768/A

RUG0010A

PACKAGE OUTLINE

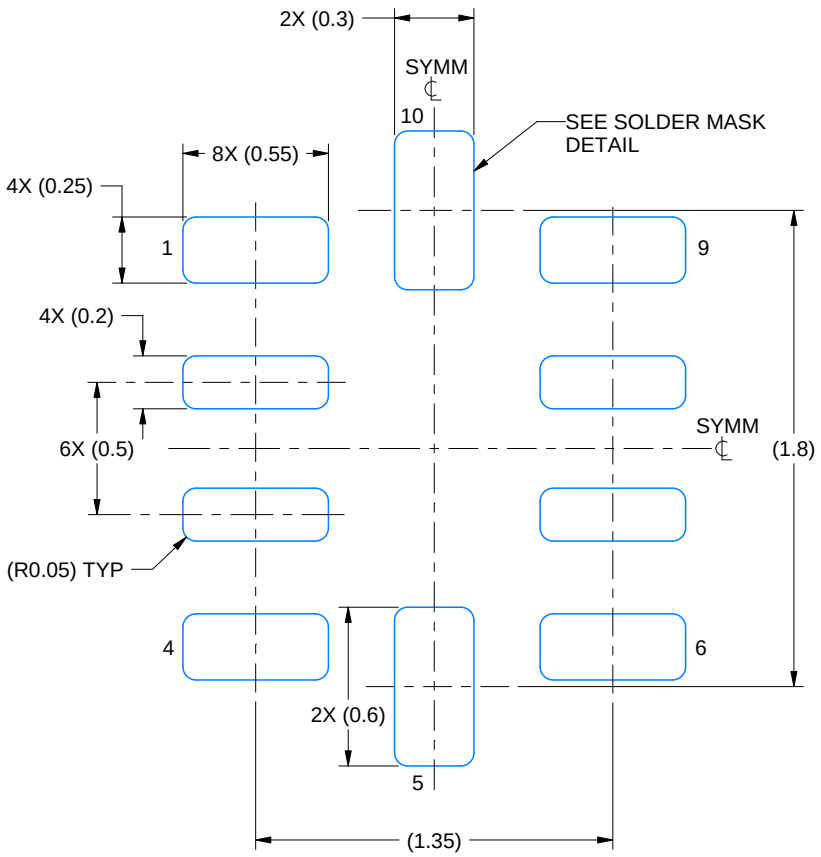
X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

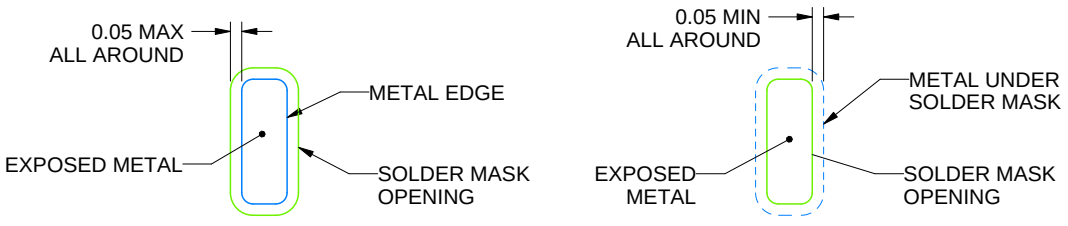


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Minimum 0.1 mm solder wetting on pin side wall. Available for wettable flank version only.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 35X



SOLDER MASK DETAILS

4231745/B 03/2026

NOTES: (continued)

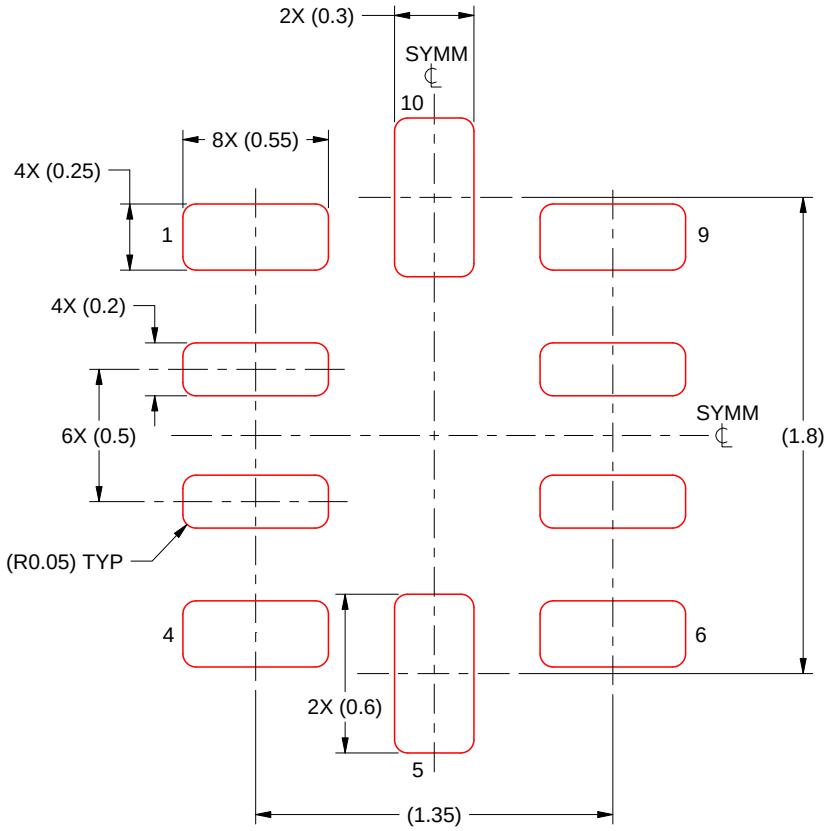
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RUG0010A

X2QFN - 0.4 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 35X

4231745/B 03/2026

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月