ISO644x、コストが最適化された堅牢な EMC、基本型と強化型、4 チャネル デジタル アイソレータ、±250kV/µs CMTI、150Mbps

1 特長

- 機能安全対応
  - IEC 61508 システムの設計に役立つ資料を利用可能
- 最大 150Mbps のデータ レート
- 堅牢な SiO_2 絶縁バリア:
  - 最大 $1061V_{RMS}$ および $1500V_{DC}$ の動作電圧での長い寿命
  - 最高 $5000V_{RMS}$ の絶縁定格
  - 最高 10.4kV のサージ耐量
  - 最大 最小 ±200kV/µs CMTI
  - 幅広い温度範囲:–40°C ～ 125°C の動作時周囲温度
- 電源電圧範囲:2.25V～5.5V
- 過電圧に耐性を持つ入力
- デフォルト出力 High (ISO644x) および Low (ISO644xF) のオプション
- 短い伝搬遅延:5V で最大 10ns、3.3V で最大 12ns
- サポートする最大 SPI:5V で 25MHz、3.3V で 20.8MHz
- 低いパルス幅歪み:5V で最大 1.8ns、3.3V で最大 2.2ns
- 堅牢な電磁両立性 (EMC)
  - システム レベルでの ESD、EFT、サージ耐性
  - 低い放射
- 小型フットプリント パッケージ:
  - ワイド SSOP (DFP-16) パッケージ
  - SSOP (DBQ-16) パッケージ
- 安全関連の認定:
  - DIN EN IEC 60747-17 (VDE 0884-17)
  - UL 1577 および CSA CAS 通知 No. 5A
  - IEC 62368-1、IEC 61010-1、および GB 4943.1 認定

2 アプリケーション

- 電源
- 電力網、電力量計
- モータードライブ
- ファクトリ オートメーション
- ビル オートメーション
- 照明器具
- 電化製品

3 説明

ISO644x デバイスは、UL 1577 準拠の最大 $5000V_{RMS}$ の絶縁定格を必要とするコスト重視のアプリケーションのための汎用デジタル アイソレータです。デバイスは VDE、TUV、CQC の認定も受けています。

ISO644x デバイスは、CMOS または LVCMOS デジタル I/O を絶縁するとともに、高い電磁耐性を備えています。ISO644x は、絶縁バリアとして SiO_2 を使用します。各絶縁チャネルはロジック入力と出力のバッファを搭載しており、それらのバッファは絶縁バリアによって電気的に分離されています。これらのデバイスには、対応する出力を高インピーダンス状態にするために使用できるイネーブルピンが備わっています。

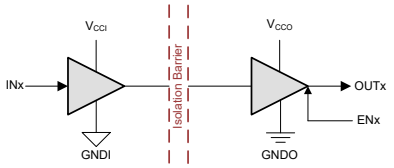
ISO6440 および ISO6440F デバイスでは、すべてのチャネルが順方向です。ISO6441 および ISO6441F デバイスには、逆方向チャネルが 1 つあります。ISO6442 および ISO6442F デバイスには、逆方向チャネルが 2 つあります。

入力電力または入力信号が失われた場合のデフォルト出力は、接尾辞 F のないデバイスでは High、接尾辞 F のあるデバイスでは Low です。詳細はデバイスの機能モードセクションを参照してください。

パッケージ情報

部品番号 (1)	パッケージ	パッケージ サイズ(2)
ISO6440、ISO6440F	ワイド SOIC (DW-16) (3)	10.3mm × 10.3mm
ISO6441 、ISO6441F	ワイド SSOP (DFP-16) (3)	10.3mm × 4.65mm
ISO6442、ISO6442F	SSOP (DBQ-16) (3)	6mm × 4.9mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
(3) 特定のデバイスとパッケージの量産ステータスおよび量産開始前スタースについては、「メカニカル、パッケージ、および注文情報」セクション「パッケージ オプションの付録」ページで「パッケージ情報」表を参照してください。



V_{CCI} = 入力電源、V_{CCO} = 出力電源
GNDI = 入力グランド、GNDO = 出力グランド

概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 デバイスの比較 ... 3
5 ピン構成および機能 ... 4
6 仕様 ... 6
6.1 絶対最大定格 ... 6
6.2 ESD 定格 ... 6
6.3 推奨動作条件 ... 7
6.4 熱に関する情報 ... 7
6.5 電力定格 ... 8
6.6 絶縁仕様 ... 9
6.7 安全関連認証 ... 11
6.8 安全限界値 ... 11
6.9 電気的特性 — 5V 電源 ... 12
6.10 電源電流特性 — 5V 電源 ... 13
6.11 電気的特性 — 3.3V 電源 ... 14
6.12 電源電流特性 — 3.3V 電源 ... 15
6.13 電気的特性 — 2.5V 電源 ... 16
6.14 電源電流特性 — 2.5V 電源 ... 17
6.15 スイッチング特性 — 5V 電源 ... 18
6.16 スイッチング特性 — 3.3V 電源 ... 19
6.17 スイッチング特性 — 2.5V 電源 ... 20
6.18 絶縁特性曲線 ... 21
6.19 代表的特性 ... 23
7 パラメータ測定情報 ... 25
8 詳細説明 ... 27
8.1 概要 ... 27
8.2 機能ブロック図 ... 27
8.3 機能説明 ... 28
8.4 デバイスの機能モード ... 28
8.5 デバイス I/O 回路図 ... 29
8.6 過電圧に耐性を持つ入力 ... 29
9 アプリケーションと実装 ... 30
9.1 使用上の注意 ... 30
9.2 代表的なアプリケーション ... 30
9.3 電源に関する推奨事項 ... 33
9.4 レイアウト ... 33
10 デバイスおよびドキュメントのサポート ... 35
10.1 ドキュメントのサポート ... 35
10.2 ドキュメントの更新通知を受け取る方法 ... 35
10.3 サポート・リソース ... 35
10.4 デバイスの命名規則 ... 35
10.5 商標 ... 35
10.6 静電気放電に関する注意事項 ... 36
10.7 用語集 ... 36
11 改訂履歴 ... 36
12 メカニカル、パッケージ、および注文情報 ... 37

Copyright © 2026 Texas Instruments Incorporated

4 デバイスの比較

表 4-1. デバイス比較表

型番	合計チャネル数	逆方向チャネル数	デフォルト出力	パッケージ	沿面距離	VDE 定格	UL V_{ISO}	CMTI
ISO6440DWR	4	0	High	ワイド SOIC (DW-16)	>8.15mm	強化	5000V_{RMS}	標準値 ±250kV/µs、最小 ±200kV/µs
ISO6440FDWR			Low					
ISO6441DWR		1	High					
ISO6441FDWR			Low					
ISO6442DWR		2	High					
ISO6442FDWR			Low					
ISO6440DFPR	4	0	High	ワイド SSOP (DFP-16)	>8mm	強化	5000V_{RMS}	標準値 ±250kV/µs、最小 ±200kV/µs
ISO6440FDFPR			Low					
ISO6441DFPR		1	High					
ISO6441FDFPR			Low					
ISO6442DFPR		2	High					
ISO6442FDFPR			Low					
ISO6440DBQR	4	0	High	SSOP (DBQ-16)	>3.7mm	基本	3000V_{RMS}	標準値 ±180kV/µs、最小 ±150kV/µs
ISO6440FDBQR			Low					
ISO6441DBQR		1	High					
ISO6441FDBQR			Low					
ISO6442DBQR		2	High					
ISO6442FDBQR			Low					

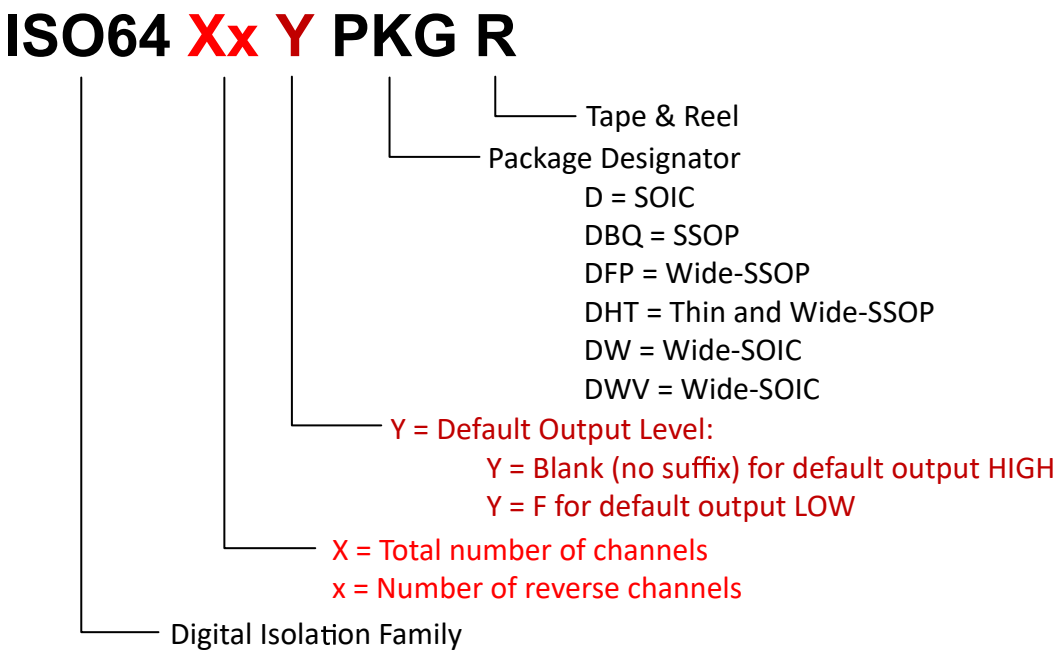


図 4-1. デバイスの命名規則

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

ワイド SOIC (DW-16)、ワイド SSOP (DFP-16) および SSOP (DBQ-16) のピン構成

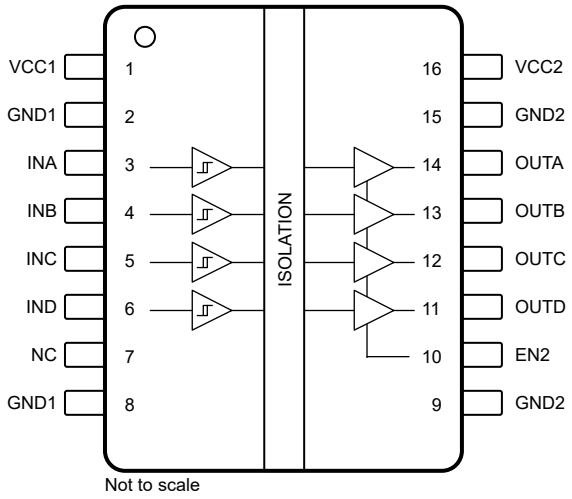


図 5-1. ISO6440 および ISO6440F の上面図

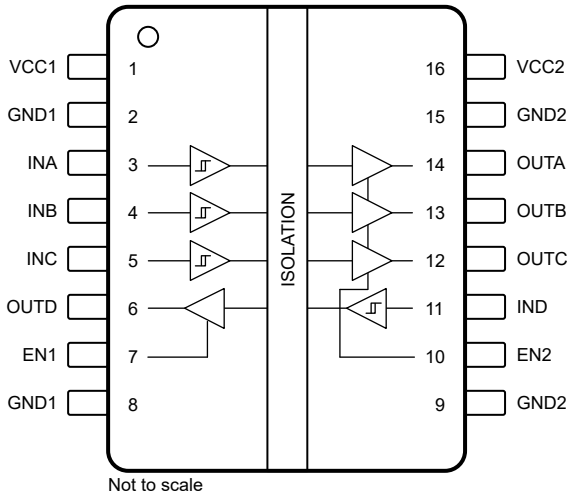


図 5-2. ISO6441 および ISO6441F の上面図

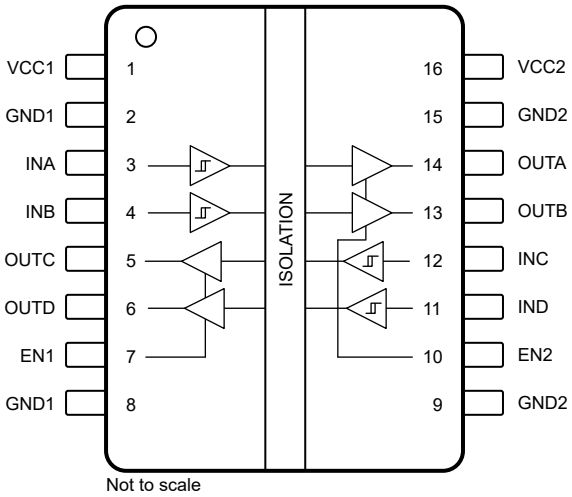


図 5-3. ISO6442 および ISO6442F の上面図

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピンの機能

ピン				種類[1]	説明
名称	ISO6440、ISO6440F	ISO6441、ISO6441F	ISO6442、ISO6442F		
EN1	-	7	7	I	出力イネーブル 1。サイド 1 の出力ピンは、EN1 が HIGH またはオープンのときにイネーブル、EN1 が LOW のときは高インピーダンス状態になります。
EN2	10	10	10	I	出力イネーブル 2。サイド 2 の出力ピンは、EN2 が HIGH またはオープンのときにイネーブル、EN2 が LOW のときは高インピーダンス状態になります。
GND1	2、8	2.8	2.8	—	V_{CC1} のグランド接続
GND2	9、15	9.15	9.15	—	V_{CC2} のグランド接続
INA	3	3	3	I	入力、チャネル A
INB	4	4	4	I	入力、チャネル B
INC	5	5	12	I	入力、チャネル C
IND	6	11	11	I	入力、チャネル D
NC	7	-	-		未接続
OUTA	14	14	14	O	出力、チャネル A
OUTB	13	13	13	O	出力、チャネル B
OUTC	12	12	5	O	出力、チャネル C
OUTD	11	6	6	O	出力、チャネル D
V_{CC1}	1	1	1	—	電源、1 次側
V_{CC2}	16	16	16	—	電源、2 次側

(1) I = 入力、O = 出力

6 仕様

6.1 絶対最大定格

(1) を参照

		最小値	最大値	単位
電源電圧 (2)	V_{CC1} から GND1	-0.5	7	V
	V_{CC2} から GND2	-0.5	7	
デジタル入力電圧	INx から GNDx	-0.5	7	V
デジタル入力電圧	ENx から GNDx	-0.5	7	V
デジタル出力電圧	OUTx から GNDx	-0.5	V_{CCX} + 0.5 (3)	V
デジタル出力電流	I_O	-15	15	mA
温度	動作時の接合部温度、T_J		150	°C
	保管温度、T_{stg}	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 差動 I/O バス電圧を除くすべての電圧値は、ローカル グランド ピン (GND1 または GND2) を基準としており、ピーク電圧値です。
(3) 最大電圧は 7V 以下である必要があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±1500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

Copyright © 2026 Texas Instruments Incorporated

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{CC_RO}(1)	電源電圧サイド 1 (推奨動作範囲)	V_{CC1} = 2.5V ～ 5V(3)	2.25		5.5	V
	電源電圧サイド 2 (推奨動作範囲)	V_{CC2} = 2.5V ～ 5V(3)	2.25		5.5	V
V_{CC_UVLO+}	電源電圧が上昇しているときの V_{CC} UVLO スレッショルド				2.24	V
V_{CC_UVLO-}	電源電圧が下降しているときの V_{CC} UVLO スレッショルド		1.6			V
$V_{CC_UVLO_HYS}$	V_{CC} 電源電圧 UVLO ヒステリシス		0.1			V
$V_{IH(ENx)}$	イネーブル:High レベル入力電圧		0.7 × V_{CCI} (2)		V_{CCI}	V
$V_{IL(ENx)}$	イネーブル:low レベル入力電圧		0		0.3 × V_{CCI}	V
$V_{IH(INx)}$	入力:High レベル入力電圧		0.7 × V_{CCI} (2)		V_{CCI}	V
$V_{IL(INx)}$	入力:Low レベル入力電圧		0		0.3 × V_{CCI}	V
I_{OH}	出力:High レベル出力電流	V_{CCO} = 5V (2)	-4			mA
		V_{CCO} = 3.3V (2)	-2			mA
		V_{CCO} = 2.5V (2)	-1			mA
I_{OL}	出力:Low レベル出力電流	V_{CCO} = 5V (2)			4	mA
		V_{CCO} = 3.3V (2)			2	mA
		V_{CCO} = 2.5V (2)			1	mA
DR	データ レート	3.0V ≤ V_{CCx} ≤ 5.5V および C_L≤ 15pF(4)	0		150	Mbps
		2.25V ≤ V_{CCx} < 3V および C_L≤ 10pF(4)	0		150	Mbps
		2.25V ≤ V_{CCx} < 3V および 10pF < C_L≤ 15pF(4)	0		100	Mbps
T_A	周辺温度		-40	25	125	°C

(1) V_{CC1} と V_{CC2} は、互いに独立して設定できます
(2) V_{CCI} = 入力側 V_{CC}、V_{CCO} = 出力側 V_{CC}
(3) V_{CC_UVLO-} ≤ V_{CC1} または V_{CC2} < $V_{CC_RO(MIN)}$ のとき、チャネル出力は不定状態になります。
(4) セクション 7 を参照してください。

6.4 熱に関する情報

		熱評価基準(1)						単位
パッケージ	ピン	$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
DW (Wide-SOIC)	16	83	48.5	49	28	48.4	該当なし	°C/W
DFP (Wide-SSOP)	16	113.3	63.6	75.6	32.5	74.4	該当なし	°C/W
DBQ (SSOP)	16	117.8	60	69.8	29.9	69	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.5 電力定格

パラメータ		テスト条件	最小値	標準値	最大値	単位
ISO6440 (デフォルトが High) および ISO6440F (デフォルトが Low、接尾辞 F 付き)						
P_D	最大消費電力 (両サイド)	V_{CC1} = V_{CC2} = 5.5V、T_J = 150℃、C_L = 15pF、75MHz 50% デューティ サイクルの方形波を入力			268.2	mW
P_{D1}	最大消費電力 (サイド 1)				58.1	mW
P_{D2}	最大消費電力 (サイド 2)				210.1	mW
ISO6441 (デフォルトが High) および ISO6441F (デフォルトが Low、接尾辞 F 付き)						
P_D	最大消費電力 (両サイド)	V_{CC1} = V_{CC2} = 5.5V、T_J = 150℃、C_L = 15pF、75MHz 50% デューティ サイクルの方形波を入力			262.2	mW
P_{D1}	最大消費電力 (サイド 1)				94.1	mW
P_{D2}	最大消費電力 (サイド 2)				168.1	mW
ISO6442 (デフォルトが High) および ISO6442F (デフォルトが Low、接尾辞 F 付き)						
P_D	最大消費電力 (両サイド)	V_{CC1} = V_{CC2} = 5.5V、T_J = 150℃、C_L = 15pF、75MHz 50% デューティ サイクルの方形波を入力			268	mW
P_{D1}	最大消費電力 (サイド 1)				134	mW
P_{D2}	最大消費電力 (サイド 2)				134	mW

Copyright © 2026 Texas Instruments Incorporated

6.6 絶縁仕様

パラメータ		テスト条件	パッケージ			単位
			16-DW	16-DFP	16-DBQ	
固有の絶縁能力						
V_{AC_RMS}	固有の動作電圧(1)	AC 電圧、バイポーラ	1061	1061	500	V_{RMS}
V_{AC_PK}			1500	1500	707	V_{PK}
V_{DC}		DC 電圧	2121	2121	707	V_{DC}
IEC 60664-1						
CLR	外部空間距離(2)	空気を通したサイド 1 とサイド 2 の距離	>8.15	>8.0	>3.7	mm
CPG	外部沿面距離(2)	パッケージ表面上でのサイド 1 とサイド 2 の距離	>8.15	>8.0	>3.7	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	>17	>17	>9	µm
CTI	比較トラッキング インデックス	IEC 60112	>600	>600	>600	V
	材料グループ	IEC 60664-1 に準拠	I	I	I	
	過電圧カテゴリ	定格商用電源 V_{RMS} が 150V 以下	I-IV	I-IV	I-IV	
		定格商用電源 V_{RMS} が 300V 以下	I-IV	I-IV	I-III	
		定格商用電源 V_{RMS} が 600V 以下	I-IV	I-IV	該当なし	
		定格商用電源 V_{RMS} が 1000V 以下	I-III	I-III	該当なし	
DIN EN IEC 60747-17 (VDE 0884-17)						
	認定の評価(3)		強化	強化	基本	
V_{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	1500	1500	707	V_{PK}
V_{IOWM}	最大絶縁動作電圧	AC 電圧 (正弦波)、絶縁膜経時破壊 (TDDB) テスト。	1061	1061	500	V_{RMS}
		DC 電圧	1500	1500	707	V_{DC}
V_{IOTM}	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}$、t = 60s (認定)、 $V_{TEST} = 1.2 \times V_{IOTM}$、t= 1s (100% 出荷時テスト)	7071	7071	4243	V_{PK}
V_{IMP}	最大インパルス電圧 (4)	気中でテスト、IEC 62368-1 に準拠した 1.2/50µs の波形	8000	8000	4000	V_{PK}
V_{IOSM}	最大サージ絶縁電圧(5)	$V_{IOSM} \geq 1.3 \times V_{IMP}$、油中でテスト (認定試験)、IEC 62368-1 に準拠した 1.2/50µs 波形	10400	10400	5200	V_{PK}
q_{pd}	見掛けの電荷(6)	メソッド a、I/O 安全テスト サブグループ 2/3 の後、$V_{ini} = V_{IOTM}$、t_{ini} = 60s、$V_{pd(m)} = 1.2 \times V_{IORM}$、$t_m$ = 10s	≦ 5	≦ 5	≦ 5	pC
		手法 a、環境テスト サブグループ 1 の後、$V_{ini} = V_{IOTM}$、t_{ini} = 60s、$V_{pd(m)} = 1.6 \times V_{IORM}$ (強化デバイスの場合) または $1.2 \times V_{IORM}$ (基本デバイスの場合)、t_m = 10s で	≦ 5	≦ 5	≦ 5	
		メソッド b：ルーチン テスト (100% 出荷時)、$V_{ini} = 1.2 \times V_{IOTM}$、$t_{ini}$ = 1s、$V_{pd(m)} = 1.875 \times V_{IORM}$ (強化デバイスの場合) または $1.5 \times V_{IORM}$ (基本デバイスの場合)、t_m = 1s (メソッド b1) または $V_{pd(m)} = V_{ini}$、$t_m = t_{ini}$ (メソッド b2)	≦ 5	≦ 5	≦ 5	
C_{IO}	絶縁バリア容量、入力から出力へ(7)	$V_{IO} = 0.4 \times \sin(2\pi ft)$、f = 1MHz	≅1.6	≅1.3	≅1.9	pF
R_{IO}	絶縁抵抗、入力から出力へ(7)	V_{IO} = 500V、T_A = 25℃	$>10^{12}$	$>10^{12}$	$>10^{12}$	Ω
		V_{IO} = 500V (100℃ ≦ T_A ≦ 125℃時)	$>10^{11}$	$>10^{11}$	$>10^{11}$	
		V_{IO} = 500V (T_S = 150℃時)	$>10^{9}$	$>10^{9}$	$>10^{9}$	
	汚染度		2	2	2	
	耐候性カテゴリ		40/125/21	40/125/21	40/125/21	

Copyright © 2026 Texas Instruments Incorporated

パラメータ		テスト条件	パッケージ			単位
			16-DW	16-DFP	16-DBQ	
UL 1577						
V_{ISO}	絶縁耐圧	$V_{TEST} = V_{ISO}$、t = 60s (認定)、$V_{TEST} = 1.2 \times V_{ISO}$、t = 1s (100% 出荷時テスト)	5000	5000	3000	V_{RMS}

(1) 固有の絶縁能力:これは、材料グループがパッケージに一致し、高度 2000m、汚染度 1 と仮定した場合のデバイスの能力です。特定の規格や定格の認定値については、VDE および UL のセクションを参照してください。その他の使用事例、定格 (基本絶縁または強化絶縁)、高度、汚染度については、IEC 60664-1、IEC 60664-3、または関連する規格を参照してください。
(2) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。
(3) このデジタル アイソレータは、安全定格内の安全な電気絶縁 (強化デバイス) または基本的な電気絶縁 (基本デバイス) にのみ適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
(4) テストは、パッケージのサージ耐性を判定するため、空気中で実行されます。
(5) テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。
(6) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
(7) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

Copyright © 2026 Texas Instruments Incorporated

6.7 安全関連認証

VDE	UL	CQC	TUV
DIN EN IEC 60747-17 (VDE 0884-17) による認証	UL 1577 および CSA CAS 通知 No. 5A に従い認証	GB4943.1 による認証	EN 61010-1 および EN 62368-1 による認証
強化認証:40040142 基本認証:40047657	ファイル番号:E181974	DW および DFP パッケージ認証: CQC21001304083 DBQ パッケージ認証: CQC25001462481	クライアント ID 番号:077311

6.8 安全限界値

安全限界値 (1) の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。

パラメータ		テスト条件	最小値	標準値	最大値	単位
DW-16 パッケージ						
I_S	安全入力、出力、または電源電流	$R_{\theta JA}$ = 83℃/W、V_I = 5.5V、T_J = 150℃、T_A = 25℃			273.8	mA
		$R_{\theta JA}$ = 83℃/W、V_I = 3.6V、T_J = 150℃、T_A = 25℃			418.3	mA
		$R_{\theta JA}$ = 83℃/W、V_I = 2.75V、T_J = 150℃、T_A = 25℃			547.6	
P_S	安全入力、出力、または合計電力	$R_{\theta JA}$ = 83℃/W、T_J = 150℃、T_A = 25℃			1506	mW
T_S	最高安全温度				150	℃
DFP-16 パッケージ						
I_S	安全入力、出力、または電源電流	$R_{\theta JA}$ = 113.3℃/W、V_I = 5.5V、T_J = 150℃、T_A = 25℃			200.6	mA
I_S	安全入力、出力、または電源電流	$R_{\theta JA}$ = 113.3℃/W、V_I = 3.6V、T_J = 150℃、T_A = 25℃			306.5	mA
I_S	安全入力、出力、または電源電流	$R_{\theta JA}$ = 113.3℃/W、V_I = 2.75V、T_J = 150℃、T_A = 25℃			401.2	mA
P_S	安全入力、出力、または合計電力	$R_{\theta JA}$ = 113.3℃/W、T_J = 150℃、T_A = 25℃			1103.3	mW
T_S	最高安全温度				150	℃
DBQ-16 パッケージ						
I_S	安全入力、出力、または電源電流	$R_{\theta JA}$ = 117.8℃/W、V_I = 5.5V、T_J = 150℃、T_A = 25℃			192.9	mA
I_S	安全入力、出力、または電源電流	$R_{\theta JA}$ = 117.8℃/W、V_I = 3.6V、T_J = 150℃、T_A = 25℃			294.8	mA
I_S	安全入力、出力、または電源電流	$R_{\theta JA}$ = 117.8℃/W、V_I = 2.75V、T_J = 150℃、T_A = 25℃			385.9	mA
P_S	安全入力、出力、または合計電力	$R_{\theta JA}$ = 117.8℃/W、T_J = 150℃、T_A = 25℃			1061.1	mW
T_S	最高安全温度				150	℃

(1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。I_S および P_S の最大限界値を超過してはなりません。これらの限界値は、周囲温度 T_A によって異なります。
表にある接合部から空気への熱抵抗 $R_{\theta JA}$ は、リード付き表面実装パッケージ向けの High-K テスト ボードに実装されたデバイスの数値です。これらの式を使って各パラメータの値を計算します。
$T_J = T_A + R_{\theta JA} \times P$、ここで P は本デバイスで消費される電力です。
$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$、ここで $T_{J(max)}$ は最大許容接合部温度です。
$P_S = I_S \times V_I$、ここで V_I は最大入力電圧です。

6.9 電気的特性 — 5V 電源

V_{CC1} = V_{CC2} = 5V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{OH(OUTx)}$	OUTx (出力) ハイレベル出力電圧	I_{OH} = -4mA、セクション 7 を参照	V_{CCO} - 0.4[1]			V
$V_{OL(OUTx)}$	OUTx (出力) ローレベル出力電圧	I_{OL} = 4mA、セクション 7 を参照			0.4	
$V_{IT+(INx)}$	INx (入力) スイッチング スレッショルド電圧、立ち上がり				0.7 × V_{CCI}[1]	
$V_{IT-(INx)}$	INx (入力) スイッチング スレッショルド電圧、立ち下がり		0.3 × V_{CCI}[1]			
$V_{I_HYS\ (INx)}$	INx (入力) スイッチング スレッショルド電圧のヒステリシス		0.1 × V_{CCI}[1]			
$I_{I(INx)}$	INx (入力) 入力電流 (デフォルトが High のデバイス)	高入力電流:INx で V_{IH} = V_{CCI}[1] (リーク電流)			1	μA
		低入力電流:INx で V_{IL} = 0V (リーク電流およびデフォルトが High のプルアップ抵抗を流れる電流)	-10			
	INx (入力) 入力電流 (デフォルトが Low のデバイス、接尾辞 F 付き)	高入力電流:INx で V_{IH} = V_{CCI}[1] (リーク電流およびデフォルトが Low のプルダウン抵抗を流れる電流)			10	
		低入力電流:INx で V_{IL} = 0V (リーク電流)	-1			
$V_{IH(ENx)}$	ENx (イネーブル) スレッショルド電圧、立ち上がり				0.7 × V_{CCI}[1]	V
$V_{IL(ENx)}$	ENx (イネーブル) スレッショルド電圧、立ち下がり		0.3 × V_{CCI}[1]			
$V_{I_HYS(ENx)}$	ENx (イネーブル) スレッショルド電圧のヒステリシス		0.1 × V_{CCI}[1]			
$I_{I(ENx)}$	ENx (イネーブル) 入力電流 (内蔵プルアップ)	高入力電流:ENx で V_{IH} = V_{CCI}[1] (リーク電流)			1	μA
		低入力電流:ENx で V_{IL} = 0V (リーク電流およびデフォルトが High のプルアップ抵抗を流れる電流)	-10			
CMTI_R	同相過渡電圧耐性、強化絶縁の定格デバイス (DW パッケージ、DFP パッケージ)	V_I = V_{CC} または 0V、V_{CM} = 1200VV_{ENx} = V_{CC}、セクション 7 を参照	200	250		kV/μs
CMTI_B	同相過渡電圧耐性、基本絶縁の定格デバイス (DBQ パッケージ)	V_I = V_{CC} または 0V、V_{CM} = 500VV_{ENx} = V_{CC}、セクション 7 を参照	150	180		kV/μs
C_i	入力容量 [2]	V_I = V_{CC}/ 2 + 0.4×sin(2πft)、f = 2MHz、V_{CC} = 5V		1.5		pF

(1) V_{CCI} = 入力側 V_{CC}、V_{CCO} = 出力側 V_{CC}
(2) 入力ピンから同じ側のグランドまで測定。

Copyright © 2026 Texas Instruments Incorporated

6.10 電源電流特性 — 5V 電源

V_{CC1} = V_{CC2} = 5V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件		電源電流	最小値	標準値	最大値	単位
ISO6440 (デフォルトが High) および ISO6440F (デフォルトが Low、接尾辞 F 付き)							
電源電流 - DC 信号 (2)	V_I = V_{CC1} (1)(デフォルトが High)、V_I = 0V (デフォルトが Low、接尾辞 F 付き)		I_{CC1}		3.4	4.7	mA
			I_{CC2}		1.3	1.5	
	V_I = 0V (デフォルトが High)、V_I = V_{CC1} (デフォルトが Low、接尾辞 F 付き)		I_{CC1}		11.3	13.1	
			I_{CC2}		1.1	1.3	
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}		7.25	8.9	
			I_{CC2}		1.4	1.6	
		10Mbps	I_{CC1}		7.35	8.9	
			I_{CC2}		3.2	3.9	
		100Mbps	I_{CC1}		7.8	10.0	
			I_{CC2}		22	26	
ISO6441 (デフォルトが High) および ISO6441F (デフォルトが Low、接尾辞 F 付き)							
電源電流 - DC 信号 (2)	V_I = V_{CC1} (1)(デフォルトが High)、V_I = 0V (デフォルトが Low、接尾辞 F 付き)		I_{CC1}		3.2	4.6	mA
			I_{CC2}		2.2	3	
	V_I = 0V (デフォルトが High)、V_I = V_{CC1} (デフォルトが Low、接尾辞 F 付き)		I_{CC1}		8.5	10.5	
			I_{CC2}		3.9	4.8	
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}		5.9	7.5	
			I_{CC2}		3.2	4	
		10Mbps	I_{CC1}		6.5	8.1	
			I_{CC2}		4.7	5.6	
		100Mbps	I_{CC1}		11.5	13.9	
			I_{CC2}		18.4	21.7	
ISO6442 (デフォルトが High) および ISO6442F (デフォルトが Low、接尾辞 F 付き)							
電源電流 - DC 信号 (2)	V_I = V_{CC1} (1)(デフォルトが High)、V_I = 0V (デフォルトが Low、接尾辞 F 付き)		I_{CC1}、I_{CC2}		2.2	3.15	mA
	V_I = 0V (デフォルトが High)、V_I = V_{CC1} (デフォルトが Low、接尾辞 F 付き)		I_{CC1}、I_{CC2}		5.6	7.4	
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		4.1	5.3	
		10Mbps	I_{CC1}、I_{CC2}		5.5	6.5	
		100Mbps	I_{CC1}、I_{CC2}		15.2	18.0	

(1) V_{CCI} = 入力側 V_{CC}
(2) 電源電流は ENx = V_{CCx} の場合に有効
(3) 電源電流は ENx = V_{CCx} の場合に有効

Copyright © 2026 Texas Instruments Incorporated

6.11 電気的特性 — 3.3V 電源

V_{CC1} = V_{CC2} = 3.3V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{OH(OUTx)}$	OUTx (出力) ハイレベル出力電圧	I_{OH} = -2mA、セクション 7 を参照	V_{CCO} - 0.2[1]			V
$V_{OL(OUTx)}$	OUTx (出力) ローレベル出力電圧	I_{OL} = 2mA、セクション 7 を参照			0.2	
$V_{IT+(INx)}$	INx (入力) スイッチング スレッショルド電圧、立ち上がり				0.7 × V_{CCI}[1]	
$V_{IT-(INx)}$	INx (入力) スイッチング スレッショルド電圧、立ち下がり		0.3 × V_{CCI}[1]			
$V_{I_HYS\ (INx)}$	INx (入力) スイッチング スレッショルド電圧のヒステリシス		0.1 × V_{CCI}[1]			
$I_{I(INx)}$	INx (入力) 入力電流 (デフォルトが High のデバイス)	高入力電流:INx で V_{IH} = V_{CCI}[1] (リーク電流)			1	μA
		低入力電流:INx で V_{IL} = 0V (リーク電流およびデフォルトが High のプルアップ抵抗を流れる電流)	-10			
	INx (入力) 入力電流 (デフォルトが Low のデバイス、接尾辞 F 付き)	高入力電流:INx で V_{IH} = V_{CCI}[1] (リーク電流およびデフォルトが Low のプルダウン抵抗を流れる電流)			10	
		低入力電流:INx で V_{IL} = 0V (リーク電流)	-1			
$V_{IH(ENx)}$	ENx (イネーブル) スレッショルド電圧、立ち上がり				0.7 × V_{CCI}[1]	V
$V_{IL(ENx)}$	ENx (イネーブル) スレッショルド電圧、立ち下がり		0.3 × V_{CCI}[1]			
$V_{I_HYS(ENx)}$	ENx (イネーブル) スレッショルド電圧のヒステリシス		0.1 × V_{CCI}[1]			
$I_{I(ENx)}$	ENx (イネーブル) 入力電流 (内蔵プルアップ)	高入力電流:ENx で V_{IH} = V_{CCI}[1] (リーク電流)			1	μA
		低入力電流:ENx で V_{IL} = 0V (リーク電流およびデフォルトが High のプルアップ抵抗を流れる電流)	-10			
CMTI_R	同相過渡電圧耐性、強化絶縁の定格デバイス (DW パッケージ、DFP パッケージ)	V_I = V_{CC} または 0V、V_{CM} = 1200VV_{ENx} = V_{CC}、セクション 7 を参照	200	250		kV/μs
CMTI_B	同相過渡電圧耐性、基本絶縁の定格デバイス (DBQ パッケージ)	V_I = V_{CC} または 0V、V_{CM} = 500VV_{ENx} = V_{CC}、セクション 7 を参照	150	180		kV/μs
C_i	入力容量 [2]	V_I = V_{CC}/ 2 + 0.4×sin(2πft)、f = 2MHz、V_{CC} = 3.3V		1.5		pF

(1) V_{CCI} = 入力側 V_{CC}、V_{CCO} = 出力側 V_{CC}
(2) 入力ピンから同じ側のグランドまで測定。

Copyright © 2026 Texas Instruments Incorporated

6.12 電源電流特性 — 3.3V 電源

V_{CC1} = V_{CC2} = 3.3V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件		電源電流	最小値	標準値	最大値	単位
ISO6440 (デフォルトが High) および ISO6440F (デフォルトが Low、接尾辞 F 付き)							
電源電流 - DC 信号 (2)	V_I = V_{CC1} (1)(デフォルトが High)、V_I = 0V (デフォルトが Low、接尾辞 F 付き)		I_{CC1}		3.3	4.7	mA
			I_{CC2}		1.2	1.5	
	V_I = 0V (デフォルトが High)、V_I = V_{CC1} (デフォルトが Low、接尾辞 F 付き)		I_{CC1}		10.3	13.1	
			I_{CC2}		1.1	1.3	
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}		7.5	8.8	
			I_{CC2}		1.3	1.5	
		10Mbps	I_{CC1}		7.5	8.9	
			I_{CC2}		2.5	2.9	
		100Mbps	I_{CC1}		8.0	9.5	
			I_{CC2}		14.9	17.0	
ISO6441 (デフォルトが High) および ISO6441F (デフォルトが Low、接尾辞 F 付き)							
電源電流 - DC 信号 (2)	V_I = V_{CC1} (1)(デフォルトが High)、V_I = 0V (デフォルトが Low、接尾辞 F 付き)		I_{CC1}		3.2	4.5	mA
			I_{CC2}		2.2	2.9	
	V_I = 0V (デフォルトが High)、V_I = V_{CC1} (デフォルトが Low、接尾辞 F 付き)		I_{CC1}		8.5	10.4	
			I_{CC2}		3.8	4.8	
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}		5.9	7.4	
			I_{CC2}		3.1	3.9	
		10Mbps	I_{CC1}		6.2	7.8	
			I_{CC2}		4.1	5	
		100Mbps	I_{CC1}		9.5	11.6	
			I_{CC2}		13.2	15.5	
ISO6442 (デフォルトが High) および ISO6442F (デフォルトが Low、接尾辞 F 付き)							
電源電流 - DC 信号 (2)	V_I = V_{CC1} (1)(デフォルトが High)、V_I = 0V (デフォルトが Low、接尾辞 F 付き)		I_{CC1}、I_{CC2}		2.4	3.1	mA
	V_I = V_{CC1} (1)(デフォルトが High)、V_I = 0V (デフォルトが Low、接尾辞 F 付き)		I_{CC1}、I_{CC2}		5.6	7.3	
電源電流 - AC 信号 (3)	V_I = 0V (デフォルトが High)、V_I = V_{CC1} (デフォルトが Low、接尾辞 F 付き)	1Mbps	I_{CC1}、I_{CC2}		4.4	5.2	
		10Mbps	I_{CC1}、I_{CC2}		5.1	6.0	
		100Mbps	I_{CC1}、I_{CC2}		11.5	13.1	

(1) V_{CCI} = 入力側 V_{CC}
(2) 電源電流は ENx = V_{CCx} の場合に有効
(3) 電源電流は ENx = V_{CCx} の場合に有効

Copyright © 2026 Texas Instruments Incorporated

6.13 電気的特性 — 2.5V 電源

V_{CC1} = V_{CC2} = 2.5V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{OH(OUTx)}$	OUTx (出力) ハイレベル出力電圧	I_{OH} = -1mA、セクション 7 を参照	V_{CCO} - 0.1[1]			V
$V_{OL(OUTx)}$	OUTx (出力) ローレベル出力電圧	I_{OL} = 1mA、セクション 7 を参照			0.1	
$V_{IT+(INx)}$	INx (入力) スイッチング スレッショルド電圧、立ち上がり				0.7 × V_{CCI}[1]	
$V_{IT-(INx)}$	INx (入力) スイッチング スレッショルド電圧、立ち下がり		0.3 × V_{CCI}[1]			
$V_{I_HYS\ (INx)}$	INx (入力) スイッチング スレッショルド電圧のヒステリシス		0.1 × V_{CCI}[1]			
$I_{I(INx)}$	INx (入力) 入力電流 (デフォルトが High のデバイス)	高入力電流:INx で V_{IH} = V_{CCI}[1] (リーク電流)			1	μA
		低入力電流:INx で V_{IL} = 0V (リーク電流およびデフォルトが High のプルアップ抵抗を流れる電流)	-10			
	INx (入力) 入力電流 (デフォルトが Low のデバイス、接尾辞 F 付き)	高入力電流:INx で V_{IH} = V_{CCI}[1] (リーク電流およびデフォルトが Low のプルダウン抵抗を流れる電流)			10	
		低入力電流:INx で V_{IL} = 0V (リーク電流)	-1			
$V_{IH(ENx)}$	ENx (イネーブル) スレッショルド電圧、立ち上がり				0.7 × V_{CCI}[1]	V
$V_{IL(ENx)}$	ENx (イネーブル) スレッショルド電圧、立ち下がり		0.3 × V_{CCI}[1]			
$V_{I_HYS(ENx)}$	ENx (イネーブル) スレッショルド電圧のヒステリシス		0.1 × V_{CCI}[1]			
$I_{I(ENx)}$	ENx (イネーブル) 入力電流 (内蔵プルアップ)	高入力電流:ENx で V_{IH} = V_{CCI}[1] (リーク電流)			1	μA
		低入力電流:ENx で V_{IL} = 0V (リーク電流およびデフォルトが High のプルアップ抵抗を流れる電流)	-10			
CMTI_R	同相過渡電圧耐性、強化絶縁の定格デバイス (DW パッケージ、DFP パッケージ)	V_I = V_{CC} または 0V、V_{CM} = 1200VV_{ENx} = V_{CC}、セクション 7 を参照	200	250		kV/μs
CMTI_B	同相過渡電圧耐性、基本絶縁の定格デバイス (DBQ パッケージ)	V_I = V_{CC} または 0V、V_{CM} = 500VV_{ENx} = V_{CC}、セクション 7 を参照	150	180		kV/μs
C_i	入力容量 [2]	V_I = V_{CC}/ 2 + 0.4×sin(2πft)、f = 2MHz、V_{CC} = 2.5V		1.5		pF

(1) V_{CCI} = 入力側 V_{CC}、V_{CCO} = 出力側 V_{CC}
(2) 入力ピンから同じ側のグランドまで測定。

Copyright © 2026 Texas Instruments Incorporated

6.14 電源電流特性 — 2.5V 電源

V_{CC1} = V_{CC2} = 2.5V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件		電源電流	最小値	標準値	最大値	単位
ISO6440 (デフォルトが High) および ISO6440F (デフォルトが Low、接尾辞 F 付き)							
電源電流 - DC 信号 (2)	V_I = V_{CC1} (1)(デフォルトが High)、V_I = 0V (デフォルトが Low、接尾辞 F 付き)		I_{CC1}		3.3	4.6	mA
			I_{CC2}		1.2	1.4	
	V_I = 0V (デフォルトが High)、V_I = V_{CC1} (デフォルトが Low、接尾辞 F 付き)		I_{CC1}		11.2	13.0	
			I_{CC2}		1.0	1.21	
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}		7.3	8.8	
			I_{CC2}		1.2	1.5	
		10Mbps	I_{CC1}		7.4	8.8	
			I_{CC2}		2.2	2.5	
		100Mbps	I_{CC1}		7.6	9.3	
			I_{CC2}		11.5	13.3	
ISO6441 (デフォルトが High) および ISO6441F (デフォルトが Low、接尾辞 F 付き)							
電源電流 - DC 信号 (2)	V_I = V_{CC1} (1)(デフォルトが High)、V_I = 0V (デフォルトが Low、接尾辞 F 付き)		I_{CC1}		3.1	4.5	mA
			I_{CC2}		2.1	2.9	
	V_I = 0V (デフォルトが High)、V_I = V_{CC1} (デフォルトが Low、接尾辞 F 付き)		I_{CC1}		8.5	10.4	
			I_{CC2}		3.8	4.7	
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}		5.8	7.4	
			I_{CC2}		3.1	3.9	
		10Mbps	I_{CC1}		6.1	7.7	
			I_{CC2}		3.8	4.7	
		100Mbps	I_{CC1}		8.6	10.6	
			I_{CC2}		10.7	12.7	
ISO6442 (デフォルトが High) および ISO6442F (デフォルトが Low、接尾辞 F 付き)							
電源電流 - DC 信号 (2)	V_I = V_{CC1} (1)(デフォルトが High)、V_I = 0V (デフォルトが Low、接尾辞 F 付き)		I_{CC1}、I_{CC2}		2.1	3.1	mA
	V_I = 0V (デフォルトが High)、V_I = V_{CC1} (デフォルトが Low、接尾辞 F 付き)		I_{CC1}、I_{CC2}		5.6	7.2	
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		3.9	5.2	
		10Mbps	I_{CC1}、I_{CC2}		4.6	5.8	
		100Mbps	I_{CC1}、I_{CC2}		9.3	11.5	

(1) V_{CCI} = 入力側 V_{CC}
(2) 電源電流は ENx = V_{CCx} の場合に有効
(3) 電源電流は ENx = V_{CCx} の場合に有効

Copyright © 2026 Texas Instruments Incorporated

6.15 スイッチング特性 — 5V 電源

V_{CC1} = V_{CC2} = 5V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}、t_{PHL}	伝搬遅延時間	100kbps の場合 セクション 7 を参照してください	3.85	6.2	10	ns
PWD	パルス幅歪み (1) $\lvert t_{PHL} - t_{PLH} \rvert$			0.07	1.8	
$t_{sk(o)}$	チャネル間の出力スキュー時間 (2)	同方向チャネル			1.5	ns
$t_{sk(pp)}$	部品間のスキュー時間 (3)				3	
t_r	出力信号の立ち上がり時間	「セクション 7」を参照			3	ns
t_f	出力信号の立ち下がり時間				3	
t_{PHZ}	ディセーブルの伝搬遅延、出力 High から高インピーダンスへ	「セクション 7」を参照			9	ns
t_{PLZ}	ディセーブルの伝搬遅延、出力 Low から高インピーダンスへ				8	
t_{PZH}	イネーブルの伝搬遅延、高インピーダンスから出力 High へ (EN を備えたデバイス)	「セクション 7」を参照			7	ns
t_{PZL}	イネーブルの伝搬遅延、高インピーダンスから出力 Low へ (EN を備えたデバイス)				8	
t_{PU}	V_{CC} UVLO から有効な出力データまでの時間	V_{CC} ランプ < 1µs			90	µs
t_{DO}	入力電源喪失からデフォルト出力までの遅延時間	VCC が $V_{CC_UVLO-(MIN)}$ を下回る時間から測定。「セクション 7」を参照		0.045	0.1	µs
t_{ie}	タイム インターバル エラー	100Mbps で 2^{16} - 1 PRBS データ		0.23		ns

(1) 別名パルス スキュー。
(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。
(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

Copyright © 2026 Texas Instruments Incorporated

6.16 スイッチング特性 — 3.3V 電源

V_{CC1} = V_{CC2} = 3.3V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}、t_{PHL}	伝搬遅延時間	100kbps の場合 セクション 7 を参照してください	4	7	12	ns
PWD	パルス幅歪み (1) $\lvert t_{PHL} - t_{PLH} \rvert$			0.35	2.2	
$t_{sk(o)}$	チャネル間の出力スキュー時間 (2)	同方向チャネル			1.5	ns
$t_{sk(pp)}$	部品間のスキュー時間 (3)				3	
t_r	出力信号の立ち上がり時間	「セクション 7」を参照			4	ns
t_f	出力信号の立ち下がり時間				4	
t_{PHZ}	ディセーブルの伝搬遅延、出力 High から高インピーダンスへ	「セクション 7」を参照			14	ns
t_{PLZ}	ディセーブルの伝搬遅延、出力 Low から高インピーダンスへ				12	
t_{PZH}	イネーブルの伝搬遅延、高インピーダンスから出力 High へ (EN を備えたデバイス)	「セクション 7」を参照			11	ns
t_{PZL}	イネーブルの伝搬遅延、高インピーダンスから出力 Low へ (EN を備えたデバイス)				10	
t_{PU}	V_{CC} UVLO から有効な出力データまでの時間	V_{CC} ランプ < 1µs			70	µs
t_{DO}	入力電源喪失からデフォルト出力までの遅延時間	VCC が $V_{CC_UVLO-(MIN)}$ を下回る時間から測定。「セクション 7」を参照		0.045	0.1	µs
t_{ie}	タイム インターバル エラー	100Mbps で 2^{16} - 1 PRBS データ		0.2		ns

(1) 別名パルス スキュー。
(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。
(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

Copyright © 2026 Texas Instruments Incorporated

6.17 スイッチング特性 — 2.5V 電源

V_{CC1} = V_{CC2} = 2.5V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}、t_{PHL}	伝搬遅延時間	100kbps の場合 セクション 7 を参照	4.75	8.4	14.5	ns
PWD	パルス幅歪み (1) $\lvert t_{PHL} - t_{PLH} \rvert$			0.55	2.6	
$t_{sk(o)}$	チャネル間の出力スキュー時間 (2)	同方向チャネル			1.5	ns
$t_{sk(pp)}$	部品間のスキュー時間 (3)				3	
t_r	出力信号の立ち上がり時間	「セクション 7」を参照			5	ns
t_f	出力信号の立ち下がり時間				5	
t_{PHZ}	ディセーブルの伝搬遅延、出力 High から高インピーダンスへ	「セクション 7」を参照			19	ns
t_{PLZ}	ディセーブルの伝搬遅延、出力 Low から高インピーダンスへ				17	
t_{PZH}	イネーブルの伝搬遅延、高インピーダンスから出力 High へ (EN を備えたデバイス)	「セクション 7」を参照			17	ns
t_{PZL}	イネーブルの伝搬遅延、高インピーダンスから出力 Low へ (EN を備えたデバイス)				12	
t_{PU}	V_{CC} UVLO から有効な出力データまでの時間	V_{CC} ランプ < 1µs			80	µs
t_{DO}	入力電源喪失からデフォルト出力までの遅延時間	VCC が $V_{CC_UVLO-(MIN)}$ を下回る時間から測定。「セクション 7」を参照		0.047	0.1	µs
t_{ie}	タイム インターバル エラー	100Mbps で 2^{16} - 1 PRBS データ		0.22		ns

(1) 別名パルス スキュー。
(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。
(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

Copyright © 2026 Texas Instruments Incorporated

6.18 絶縁特性曲線

ワイド SOIC (DW-16) パッケージでの絶縁特性曲線

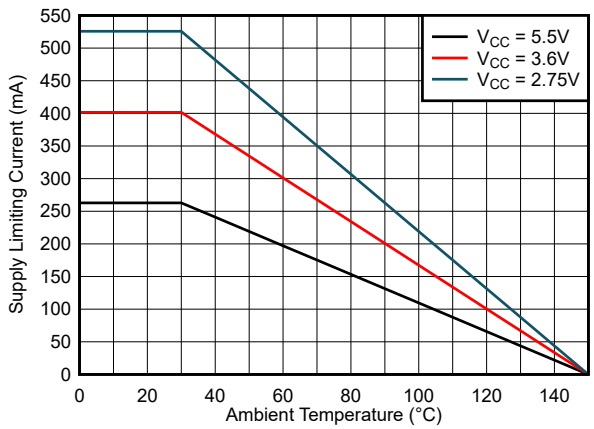


図 6-1. ワイド SOIC (DW-16) パッケージでの安全限界電流の熱特性低下曲線

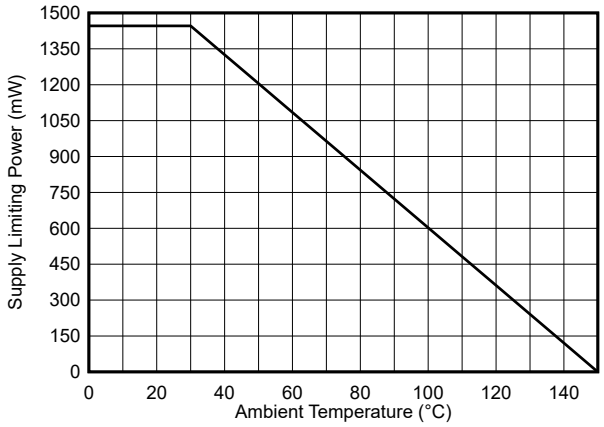


図 6-2. ワイド SOIC (DW-16) パッケージでの安全限界電力の熱特性低下曲線

ワイド SSOP (DFP-16) パッケージでの絶縁特性曲線

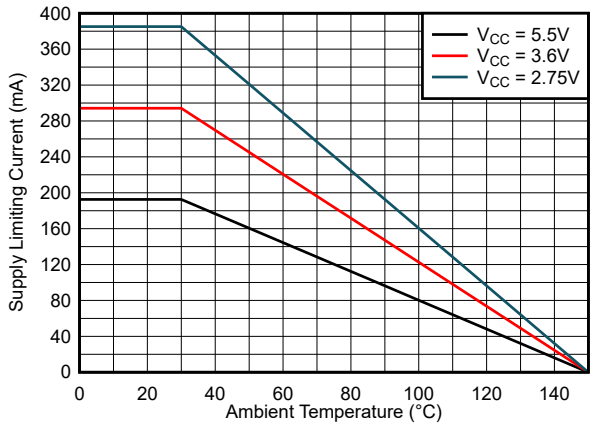


図 6-3. ワイド SSOP (DFP-16) パッケージでの安全限界電流の熱特性低下曲線

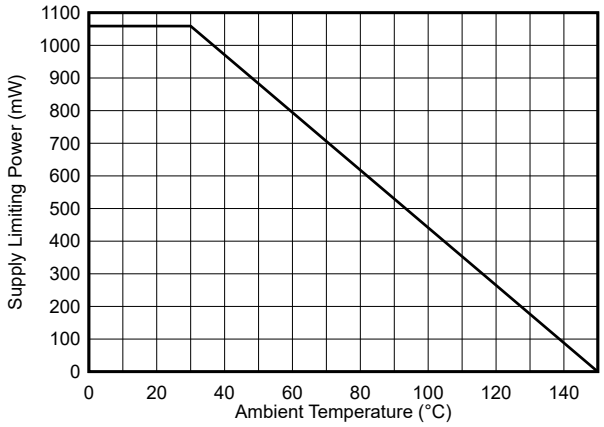


図 6-4. ワイド SSOP (DFP-16) パッケージでの安全限界電力の熱特性低下曲線

SSOP (DBQ-16) パッケージでの絶縁特性曲線

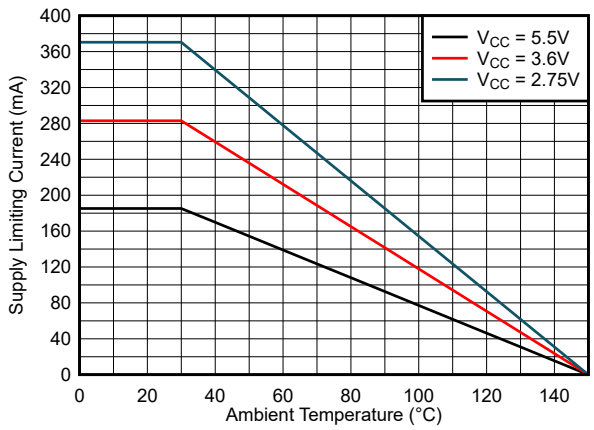


図 6-5. SSOP (DBQ-16) パッケージでの安全限界電流の熱特性低下曲線

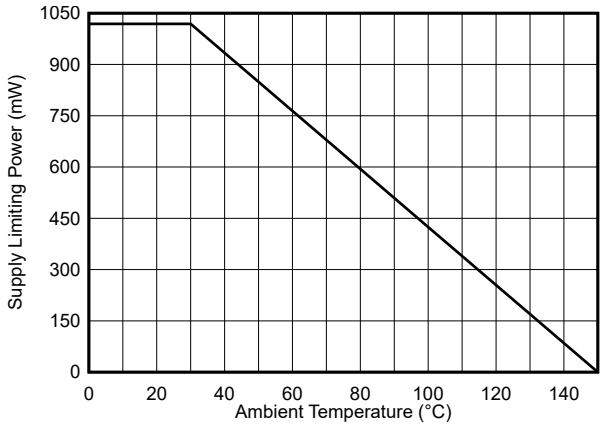


図 6-6. SSOP (DBQ-16) パッケージでの安全限界電力の熱特性低下曲線

Copyright © 2026 Texas Instruments Incorporated

6.19 代表的特性

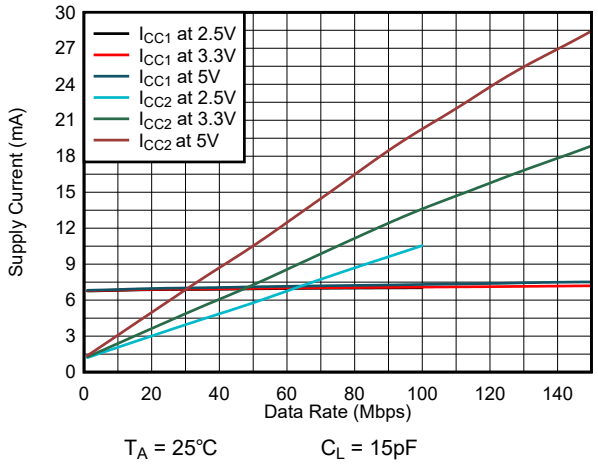


図 6-7. ISO6440 または ISO6440F の消費電流とデータレートとの関係 (15pF 負荷時)

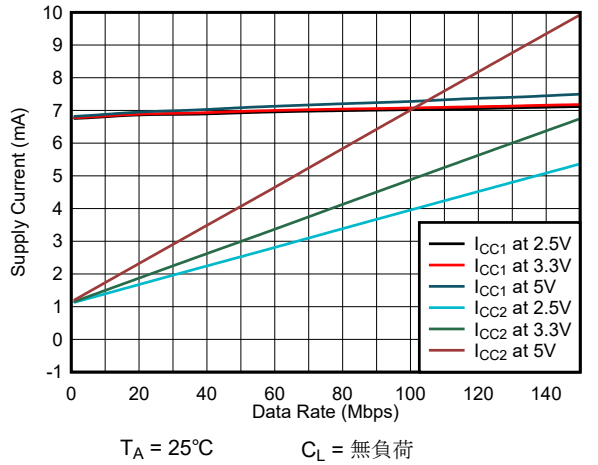


図 6-8. ISO6440 または ISO6440F の消費電流とデータレートとの関係 (無負荷時)

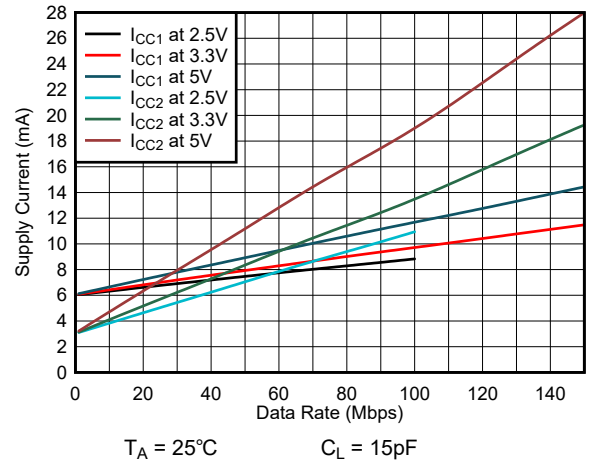


図 6-9. ISO6441 または ISO6441F の消費電流とデータレートとの関係 (15pF 負荷時)

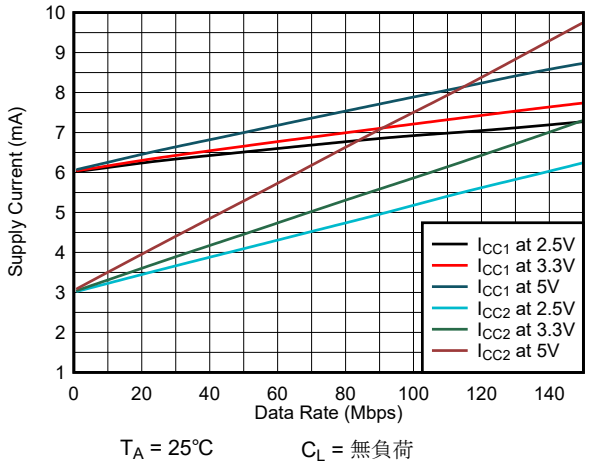


図 6-10. ISO6441 または ISO6441F の消費電流とデータレートとの関係 (無負荷時)

Copyright © 2026 Texas Instruments Incorporated

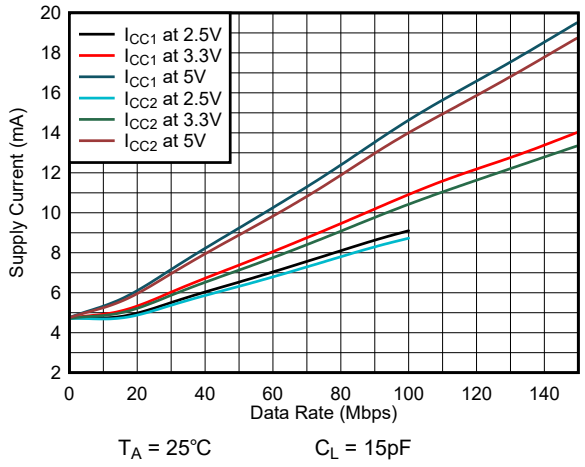


図 6-11. ISO6442 または ISO6442F の消費電流とデータレートとの関係 (15pF 負荷時)

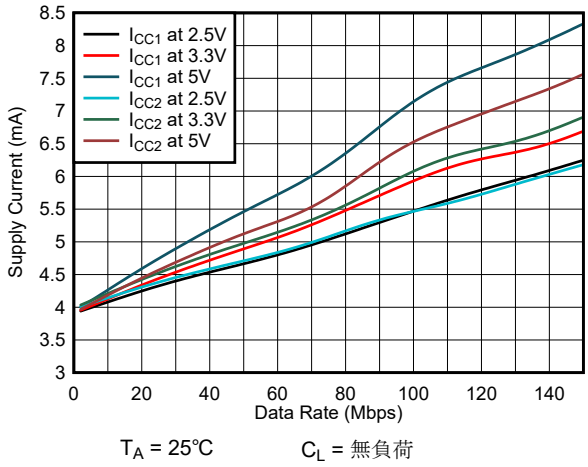


図 6-12. ISO6442 または ISO6442F の消費電流とデータレートとの関係 (無負荷時)

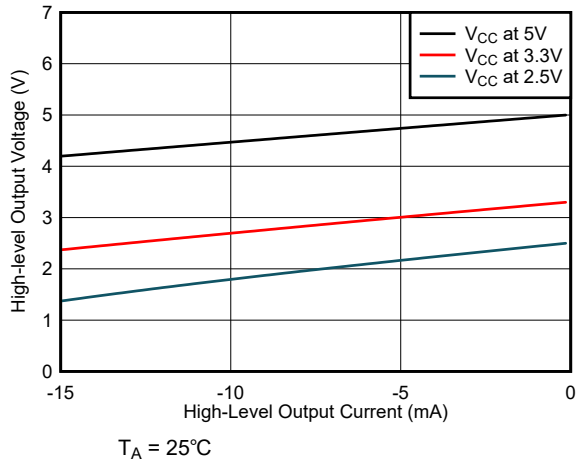


図 6-13. High レベル出力電圧と High レベル出力電流との関係

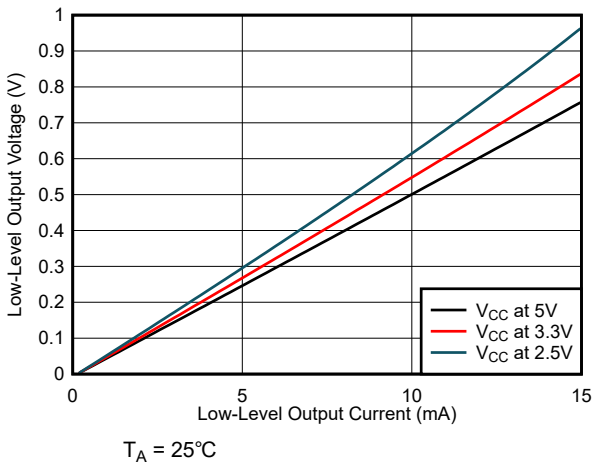


図 6-14. Low レベル出力電圧と Low レベル出力電流との関係

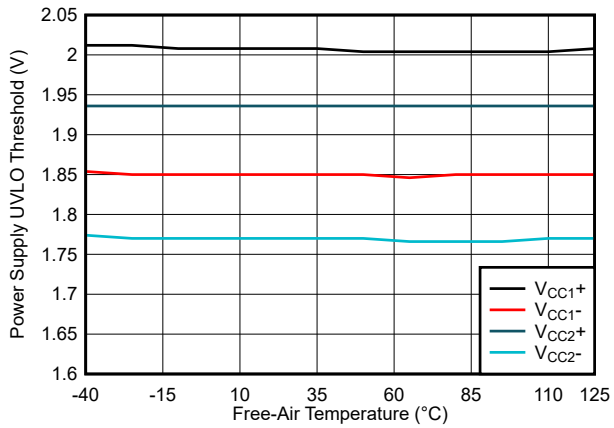


図 6-15. 電源低電圧スレッショルドと周囲温度との関係

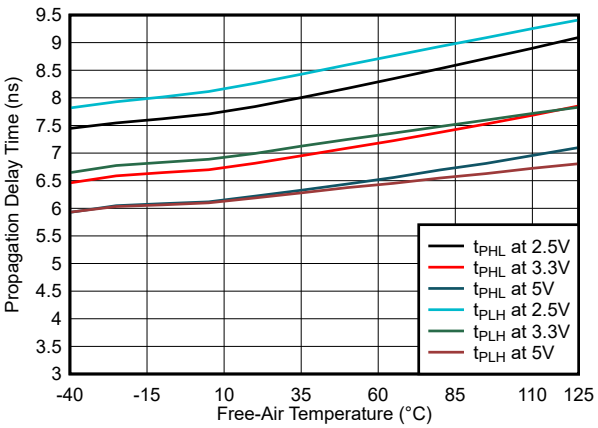
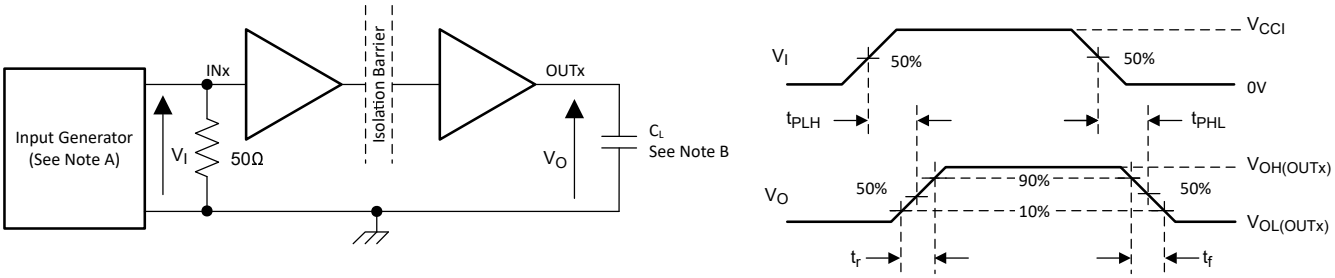


図 6-16. 伝搬遅延時間と周囲温度との関係

Copyright © 2026 Texas Instruments Incorporated

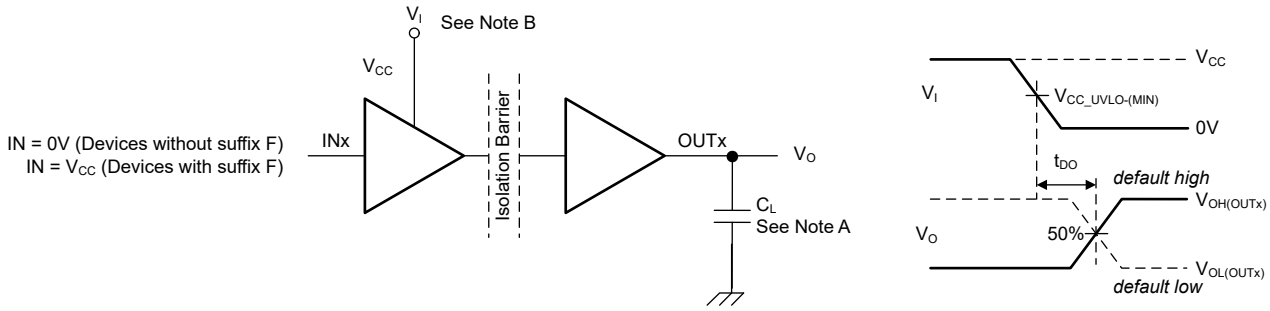
7 パラメータ測定情報



A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≤ 50kHz、50% デューティ サイクル、t_r ≤ 1ns、t_f ≤ 1ns、Z_O = 50Ω。INx (入力) ジェネレータ信号を終端するため、入力に 50Ω の抵抗が必要です。実際のアプリケーションでは、この 50Ω 抵抗は不要です。

B. C_L = 15pF であり、±20% 以内の計測器および治具の容量が含まれています。

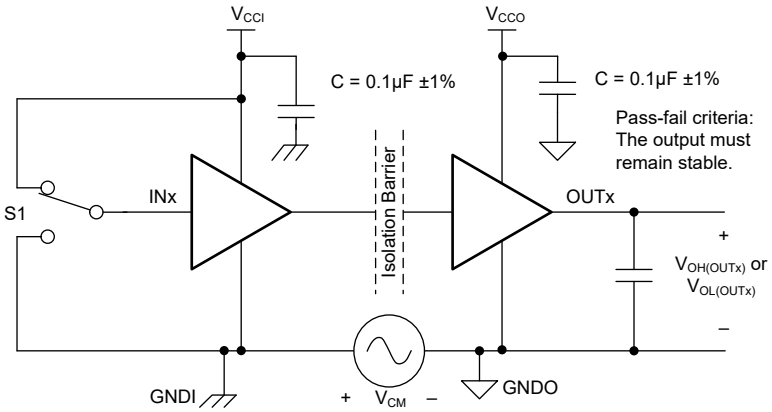
図 7-1. スイッチング特性試験回路と電圧波形



A. C_L = 15pF であり、±20% 以内の計測器および治具の容量が含まれています。

B. 電源ランプ レート = 10mV/ns

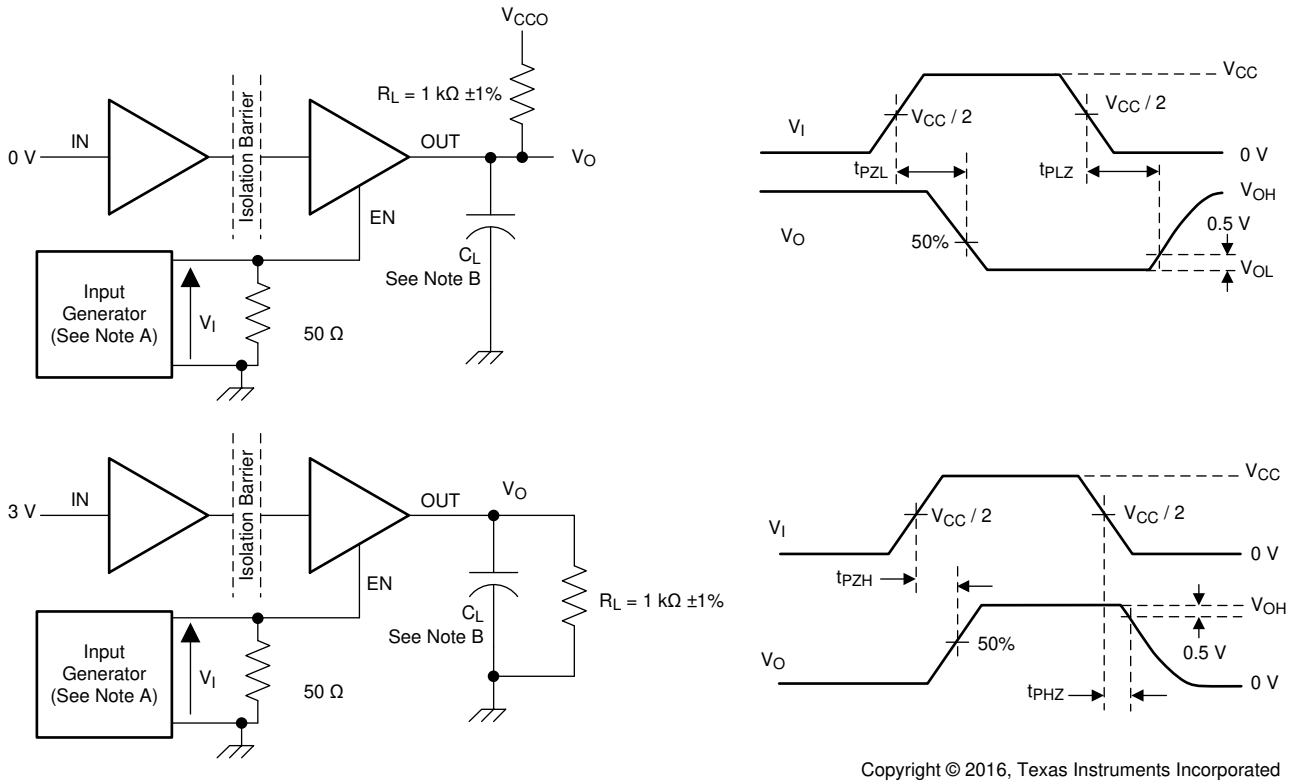
図 7-2. デフォルトの出力遅延時間テスト回路と電圧波形



A. C_L = 15pF であり、±20% 以内の計測器および治具の容量が含まれています。

B. ENx = V_{CC}、CMTI テスト中チャネルはイネーブルです。

図 7-3. 同相過渡電圧耐性試験回路



Copyright © 2016, Texas Instruments Incorporated

A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≦ 10kHz、50% デューティ サイクル、t_r ≦ 3ns、t_f ≦ 3ns、Z_O = 50Ω。

B. C_L = 15pF であり、±20% 以内の計測器および治具の容量が含まれています。

図 7-4. イネーブル伝搬遅延時間のテスト回路と波形

Copyright © 2026 Texas Instruments Incorporated

8 詳細説明

8.1 概要

ISO644x ファミリのデバイスは、オン オフ キーイング (OOK) 変調方式を使用し、二酸化ケイ素をベースとする絶縁バリアを介してデジタル データを送信します。

トランスミッタは、バリアを介して高周波キャリアを送信することによって、1 つのデジタル状態を表しています。また、信号を送信しないことによって、もう 1 つのデジタル状態を表しています。レシーバは、高度な信号コンディショニングを行ってから信号を復調し、バッファ段経由で出力を生成します。ISO644x デバイスには高度な回路技法も使用されており、CMTI 性能を最大化し、高周波キャリアと IO バッファのスイッチングによる放射ノイズを最小化しています。

8.2 機能ブロック図

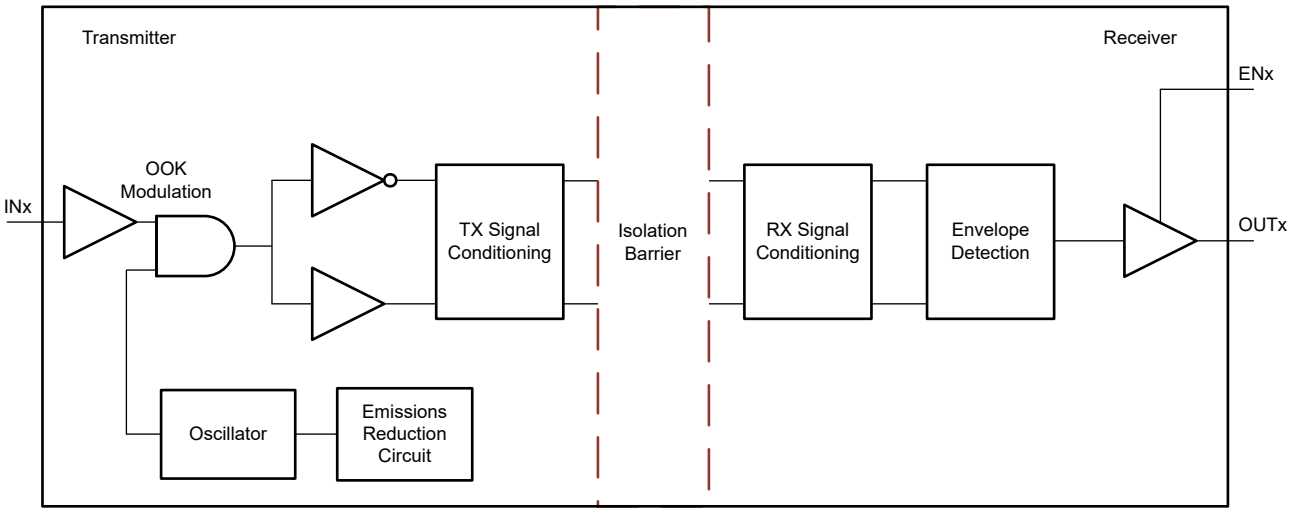


図 8-1. OOK ベースのデジタルアイソレータの概念ブロック図

オン オフ キーイング方式の動作の概念的な詳細を、図 8-2 に示します。

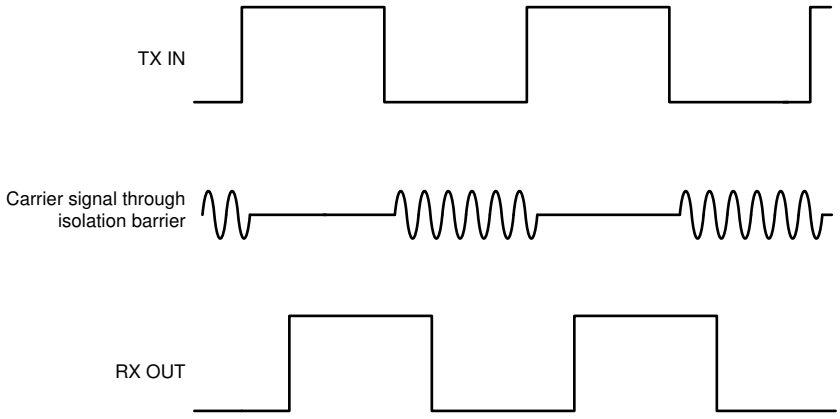


図 8-2. オン オフ キーイング (OOK) による変調方式

8.3 機能説明

表 8-1 に、デバイスの機能概要を示します。

表 8-1. デバイスの機能

部品番号	チャネル方向	最大データ レート	デフォルト出力	パッケージ
ISO6440	4 順方向 0 逆方向	150Mbps	高	DW-16、DFP-16、DBQ-16
ISO6440F	4 順方向 0 逆方向	150Mbps	低	DW-16、DFP-16、DBQ-16
ISO6441	3 順方向 1 逆方向	150Mbps	高	DW-16、DFP-16、DBQ-16
ISO6441F	3 順方向 1 逆方向	150Mbps	低	DW-16、DFP-16、DBQ-16
ISO6442	順方向 2 逆方向 2	150Mbps	高	DW-16、DFP-16、DBQ-16
ISO6442F	順方向 2 逆方向 2	150Mbps	低	DW-16、DFP-16、DBQ-16

8.3.1 電磁両立性 (EMC) に関する検討事項

過酷な産業用環境で使用される多くのアプリケーションは、静電気放電 (ESD)、電気的高速過渡現象 (EFT)、サージ、電磁放射のような外乱の影響を受けやすくなっています。これらの電磁妨害は、IEC 61000-4-x や CISPR 32、などの国際規格により定義および試験されています。システム レベルの性能と信頼性は、アプリケーション基板の設計とレイアウトに大きく左右されますが、ISO644x ファミリのデバイスは、システム全体の堅牢性を高めるために多くのチップレベルの設計技術を取り入れています。

8.4 デバイスの機能モード

下表に ISO644x デバイスの機能モードを示します。

表 8-2. 機能表

V_{CCI}(1)	V_{CCO}	入力 (INx)	出力イネーブル (ENx)	出力 (OUTx)	備考
PU	PU	H	H またはオープン	H	通常動作:チャネルの出力は、入力の論理状態になります。
		L	H またはオープン	L	
		オープン	H またはオープン	デフォルト	デフォルト モード:INx がオープンのとき、対応するチャネル出力はデフォルトのロジック状態に移行します。ISO644x ではデフォルトは *High*、接尾辞 F 付きの ISO644xF ではデフォルトは *Low* です。
X	PU	X	L	Z	出力イネーブルの値が LOW のとき、出力は高インピーダンスになります。
PD	PU	X	H またはオープン	デフォルト	デフォルト モード:V_{CCI} に電源が供給されていないとき、チャネル出力は選択されたデフォルト オプションに基づいたロジック状態になります。 ISO644x ではデフォルトは *High*、接尾辞 F 付きの ISO644xF ではデフォルトは *Low* です。 V_{CCI} が電源オフから電源オンに遷移すると、チャネル出力は入力のロジック状態と同じになります。 V_{CCI} が電源オンから電源オフに遷移すると、チャネル出力は選択されているデフォルト状態になります。
X	PD	X	X	不定	V_{CCO} が電源オフのとき、チャネルの出力は不定です(2)。V_{CCO} が電源オフから電源オンに遷移すると、チャネル出力は入力のロジック状態と同じになります。

(1) V_{CCI} = 入力側 V_{CC}、V_{CCO} = 出力側 V_{CC}、PU = 電源オン ($V_{CC} \geq V_{CC_RO(MIN)}$)、PD = 電源オフ ($V_{CC} \leq V_{CC_UVLO-}$)、X = 無関係、H = HIGH レベル、L = LOW レベル、Z = 高インピーダンス

(2) $V_{CC_UVLO-} \leq V_{CCI}$ または $V_{CCO} < V_{CC} \geq V_{CC_RO(MIN)}$ のとき、出力は不定状態になります。

Copyright © 2026 Texas Instruments Incorporated

8.5 デバイス I/O 回路図

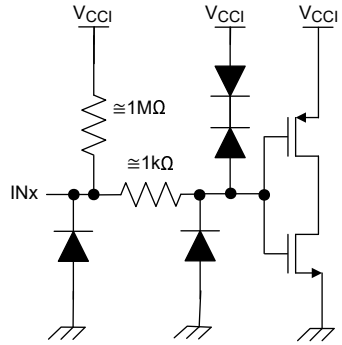


図 8-3. 入力 (INx) がデフォルトが High (接尾辞 F なしのデバイス) の回路図

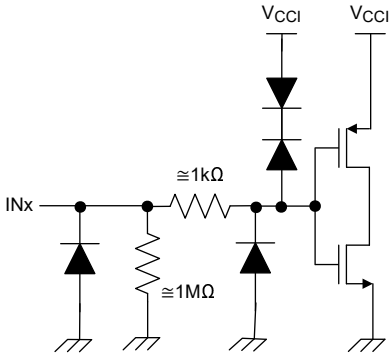


図 8-4. 入力 (INx) がデフォルトが Low (接尾辞 F が付いたデバイス) の回路図

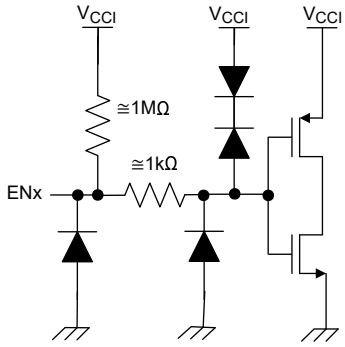


図 8-5. イネーブル (ENx) の回路図

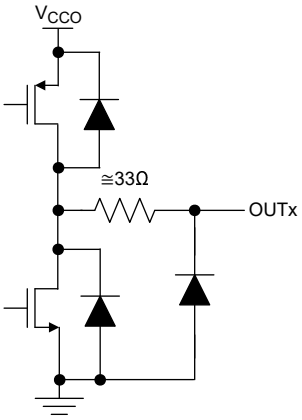


図 8-6. 出力 (OUTx) の回路図

8.6 過電圧に耐性を持つ入力

このデバイスの入力ピン (INx および ENx) は、入力側の電源電圧 (V_{CCI}) を超える入力信号電圧をサポートします。ただし、入力の電圧が 推奨動作条件 および 絶対最大定格 に示す電圧を下回る場合に限ります。

これにより、入力側の電源 (V_{CCI}) が供給されていないときも、デバイスは入力ピンへの入力信号電圧に対応できます。この使用例では、入力側に有効な電源がないと、出力はデフォルトの出力状態に遷移します。

これらの入力ピンは、入力が、推奨動作条件 に記載された最大 V_{IMAX} まで入力信号電圧を降圧変換する機能も備えています。たとえば、V_{CCI} が 3.3V で動作している場合も、5V のハイレベル入力信号を使用できます。

Copyright © 2026 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

ISO644x デバイスは、高性能で低消費電力のクワッド チャネル構成のデジタルアイソレータです。これらのデバイスは両側にイネーブルピンがあり、対応する出力を高インピーダンスに移行して、パラレル (複数) ドライバマルチマスタ駆動アプリケーションに使用できます。ISO644x デバイスは、シングルエンド CMOS ロジック スイッチング テクノロジーを使用しています。

電源電圧の範囲は、V_{CC1} と V_{CC2} の両方の電源で 2.25V～5.5V です。絶縁バリアは 2 つの側を分離するため、推奨動作条件 セクションの範囲内の任意の電圧を使用し、それぞれの側を独立してソースできます。たとえば、ISO644x に 3.3V の V_{CC1} (2.25V～5.5V の範囲内) と 5V の V_{CC2} (これも 2.25V～5.5V の範囲内) を供給できます。デジタル アイソレータは、絶縁に加えて、ロジック レベル トランスレータとしても使用できます。デジタル アイソレータを使って設計する場合は、シングルエンド設計構造のため、デジタル アイソレータが特定のインターフェイス規格に準拠していないこと、シングルエンド CMOS または TTL デジタル信号ラインの絶縁のみを目的としていることに注意してください。アイソレータは通常、インターフェイスの種類や規格にかかわらず、データ コントローラ (MCU または FPGA) と、データ コンバータまたはライン トランシーバとの間に配置されます。

9.2 代表的なアプリケーション

図 9-1 に、絶縁型シリアル ペリフェラル インターフェイス (SPI) を示します。

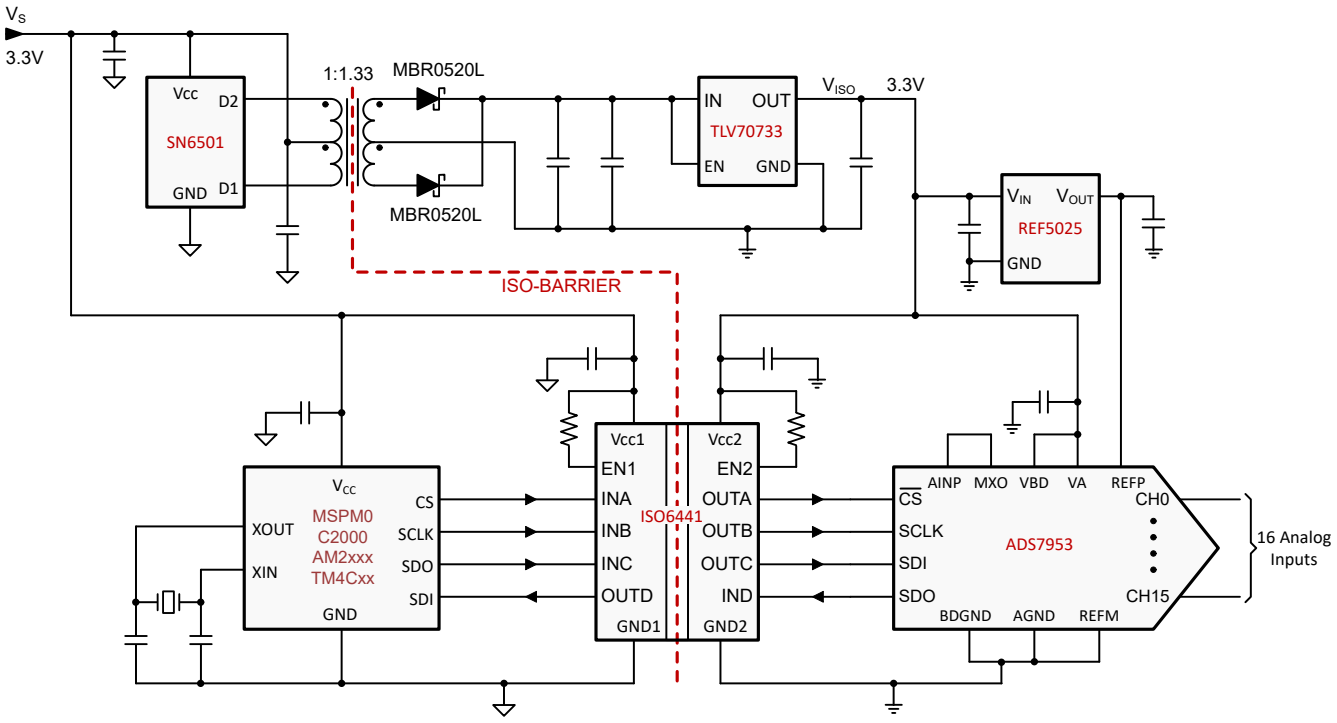


図 9-1. 16 入力のアナログ入力モジュール向け絶縁型 SPI

Copyright © 2026 Texas Instruments Incorporated

9.2.1 設計要件

このデバイスを使用する設計には、表 9-1 に記載されているパラメータを使用します。

表 9-1. 設計パラメータ

パラメータ	値
電源電圧、V_{CC1} および V_{CC2}	2.25V～5.5V
V_{CC1} と GND1 との間のデカップリング コンデンサ	0.1µF
V_{CC2} と GND2 との間のデカップリング コンデンサ	0.1µF

9.2.2 詳細な設計手順

ISO644x ファミリのデバイスは、フォトカプラとは異なり、性能向上、バイアス供給、電流制限のために外付け部品を必要としません。必要とするのは、動作に必要な外付けバイパスコンデンサは 2 個のみです。

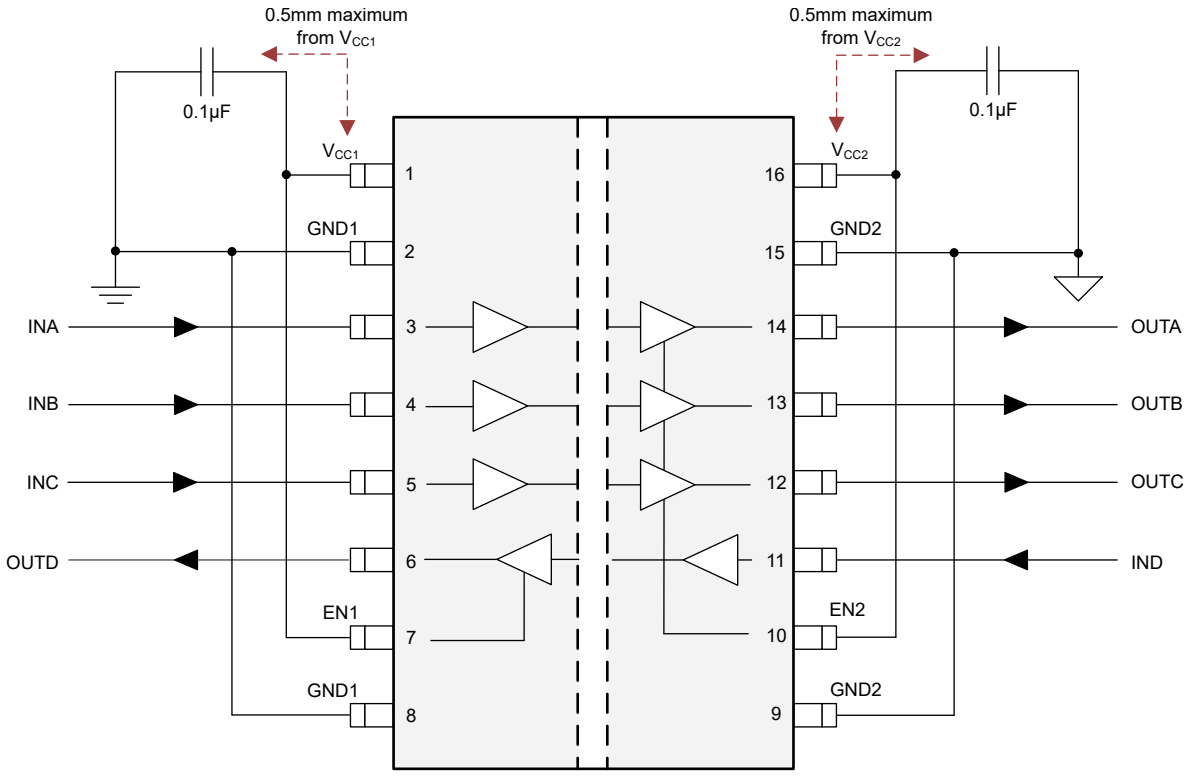
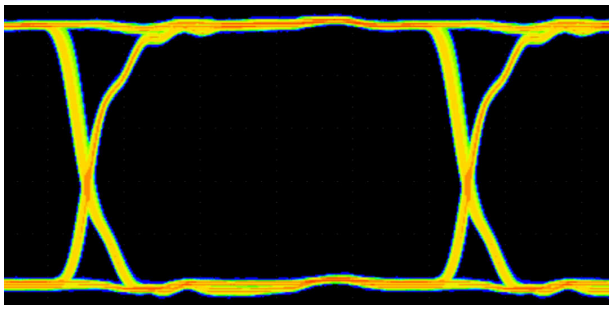


図 9-2. ISO644x の一般的な回路例

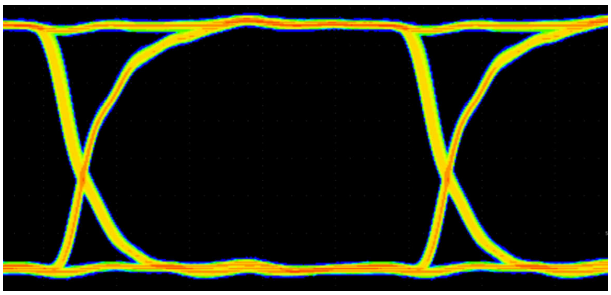
9.2.3 アプリケーション曲線

以下に示す、ISO644x ファミリのデバイスの代表的なアイダイアグラムは、100Mbps で低ジッタと広いオープンアイを示しています。



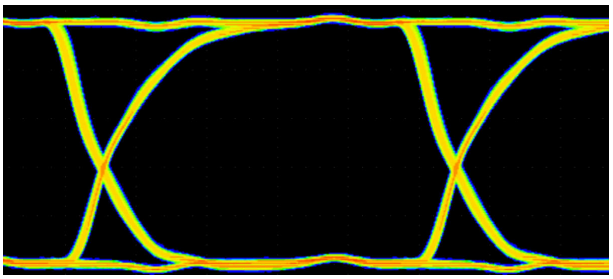
水平 2ns/分周、垂直 1V/分周。

図 9-3. ISO644x アイダイアグラム (100Mbps PRBS 2^{16} – 1、5V、25°C)



水平 2ns/分周、垂直 500mV/分周。

図 9-4. ISO644x アイダイアグラム (100Mbps PRBS 2^{16} – 1、3.3V、25°C)



水平 2ns/分周、垂直 500mV/分周。

図 9-5. ISO644x アイダイアグラム (100Mbps PRBS 2^{16} – 1、2.5V、25°C)

Copyright © 2026 Texas Instruments Incorporated

9.3 電源に関する推奨事項

データレートおよび電源電圧に対する信頼性の高い動作を確保するため、入力および出力電源ピン (V_{CC1} および V_{CC2}) に 0.1µF のバイパスコンデンサを推奨します。コンデンサは、電源ピンのできるだけ近くに配置する必要があります。アプリケーションで使用できる 1 次側電源が 1 つだけの場合は、トランスドライバを使用して 2 次側用の絶縁型電源を生成できます。産業用アプリケーションでは、テキサス・インスツルメンツの SN6501 または SN6505B を使用してください。このようなアプリケーションでは、『*SN6501 絶縁電源用の変圧器ドライバ*』または『*SN6505B 絶縁型電源用の低ノイズ、1A 変圧器ドライバ*』で、電源の詳細な設計とトランスの選択についての推奨事項を参照できます。

9.4 レイアウト

9.4.1 レイアウトガイドライン

コストが最適化された低 EMI PCB の設計を実現するには、最小 2 層が必要です。EMI をさらに改善するために、4 層基板を使用できます (レイアウト例の回路図 を参照)。4 層基板の層は、上層から下層に向かって、高速信号層、グランド プレーン、電源プレーン、低周波数信号層の順に配置する必要があります。

- 上層に高速パターンを配線することにより、ビアの使用 (およびそれに伴うインダクタンスの発生) を避けて、データ リンクのトランスミッタおよびレシーバ回路とアイソレータとの間のクリーンな相互接続が可能になります。
- 高速信号層の次の層に、ベタのグランド プレーンを配置することにより、伝送ライン接続のインピーダンスを制御し、リターン電流のための優れた低インダクタンス パスを実現します。
- グランド プレーンの次の層に、電源プレーンを配置すると、高周波バイパス容量を約 100pF/インチ ^{2} 増加させることができます。
- 最下層に低速の制御信号を配線すると、これらの信号リンクには一般的に、ビアのような不連続性を許容するマージンがあるため、高い柔軟性が得られます。

電源プレーンまたは信号層の追加が必要な場合は、対称性を保つために、第 2 の電源系統またはグランド プレーン系統を層構成に追加します。この設計により、基板の層構成が機械的に安定し、反りを防ぎます。また、各電源系統の電源プレーンとグランド プレーンを互いに近づけて配置できるため、高周波バイパス容量を大幅に増やすことができます。

レイアウトの推奨事項の詳細については、『デジタル アイソレータ設計ガイド』アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

9.4.2 レイアウト例

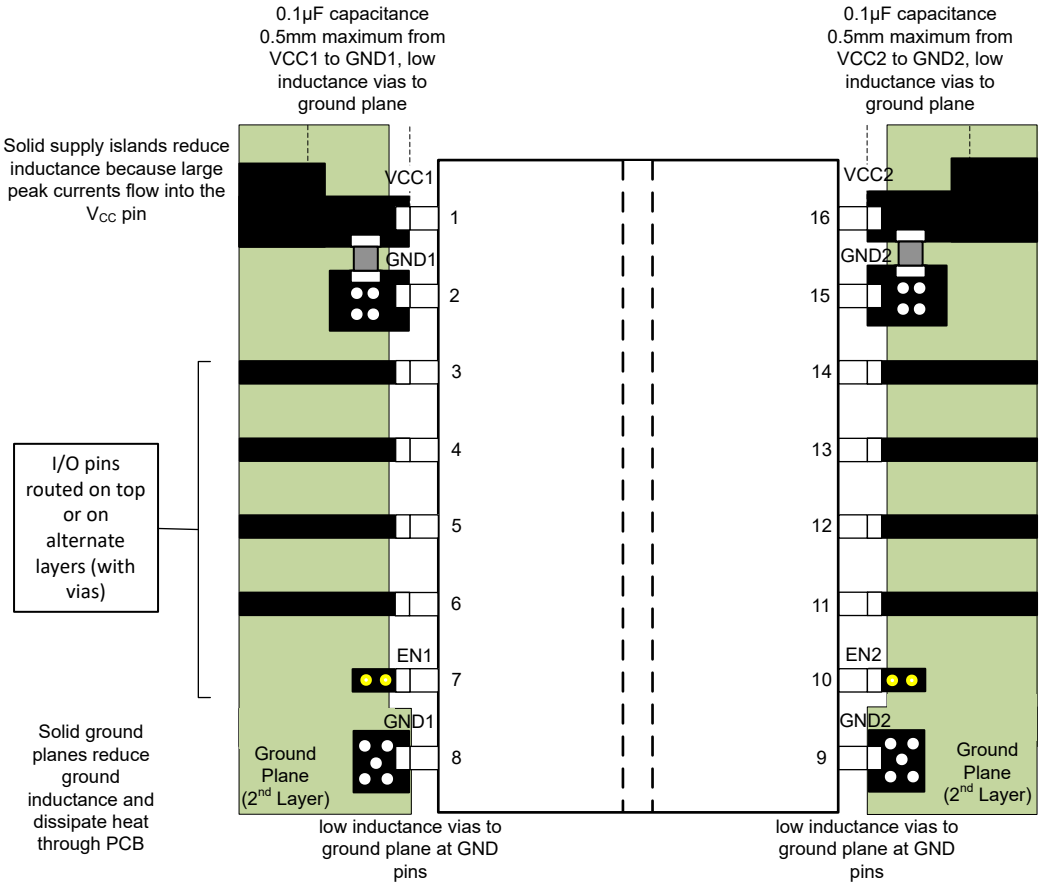


図 9-6. レイアウト例

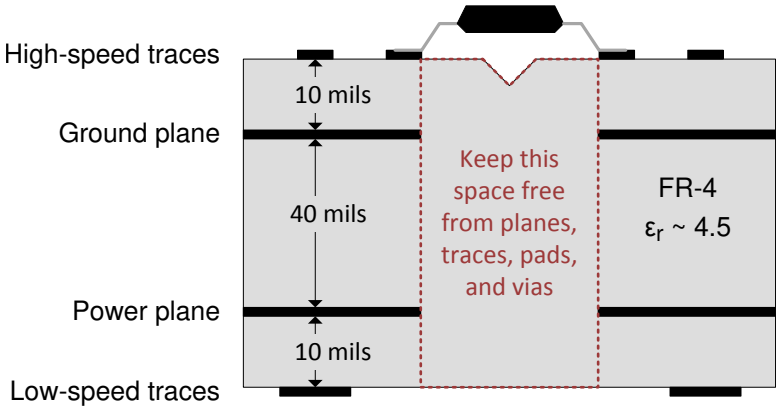


図 9-7. レイアウト例：PCB 断面

Copyright © 2026 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連ドキュメント

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、*ISO6440 技術資料*
- テキサス・インスツルメンツ、*ISO6441 技術資料*
- テキサス・インスツルメンツ、*ISO6442 技術資料*
- テキサス・インスツルメンツ、*SN6501 絶縁電源用のトランスドライバ*データシート

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 デバイスの命名規則

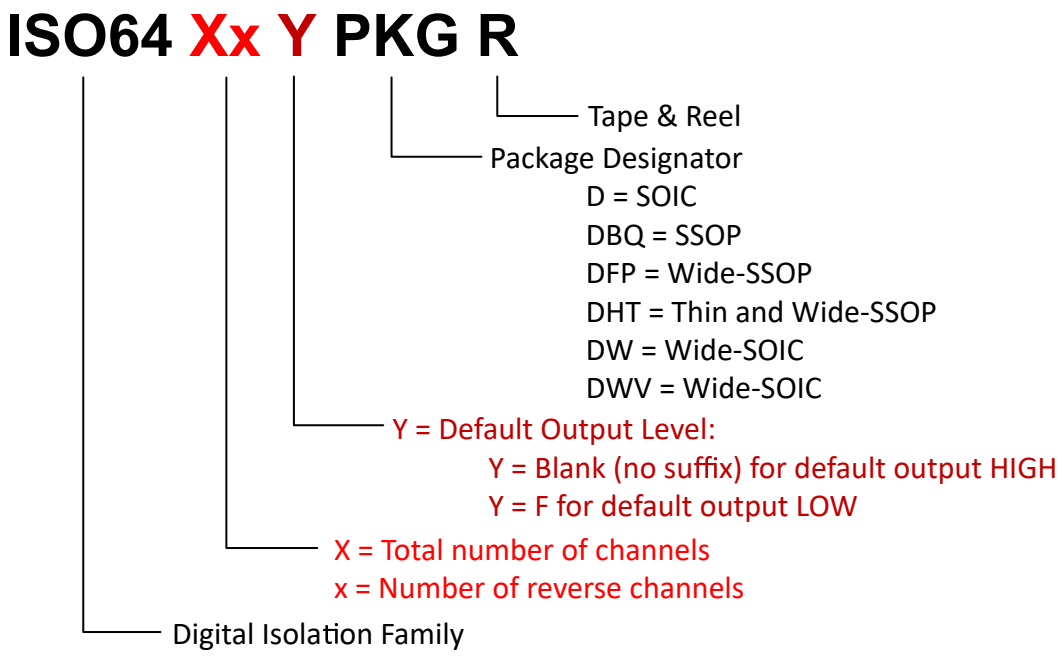


図 10-1. デバイスの命名規則

10.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from May 1, 2026 to October 26, 2026 (from Revision C (May 2026) to Revision D (October 2026)) **Page**

- デバイス性能を明確化するため詳細なデータシートのタイトルを更新。 0
- 「仕様」セクションの「絶対最大定格」サブセクションで電源入力 (V_{CC1}、V_{CC2})、入力 (INx)、出力 (OUTx) の絶対最大値を 6V から 7V に改善。 6
- 「仕様」セクションの「安全関連認証」サブセクションを「予定」から「認証」に更新して認証の詳細を追加。 6
- 「仕様」セクションの「絶縁仕様」セクションに「固有の絶縁能力」サブセクションを追加。 6

Changes from Revision B (November 2025) to Revision C (May 2026) **Page**

- 予定されている CSA 認証を削除し、ドキュメント全体を通して予定されている UL 1577 および CSA CAS 通知 No. 5A 認証を追加。予定されている認証から IEC 60601-1 を削除。 1
- 「特長」セクションに記載されているパッケージを、すべてのパッケージではなく小型フットプリント パッケージについて更新。 1
- 「説明」セクションの「パッケージ情報」表で DFP パッケージの公称幅を更新。 1
- CMTI の最小値および標準値を、CMTI_B (基本絶縁型のデバイス) のドキュメント全体を通して更新。 1
- 「ピン構成および機能」セクションの「ピン機能」表に ISO6440 および ISO6442 を追加。 4
- 「仕様」セクションの「絶縁仕様」サブセクションに 16-DFP および 16-DBQ パッケージを追加し、基本デバイス (16-DBQ パッケージ) のテスト条件を追加。 6
- 「仕様」セクションの「安全関連認証」サブセクションを更新。 6
- *「仕様」*セクションの「すべての電源電圧に関する電気的特性」サブセクションで、C_I の標準値と CMTI_B の最小値および標準値を更新。 6

Changes from Revision A (October 2024) to Revision B (November 2025) **Page**

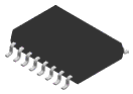
- データシートのステータスを、量産情報と事前情報の両方のデバイスについて混在ステータスに更新。ISO6440、ISO6440F、ISO6441F、ISO6442、ISO6442F デバイスをデータシートに追加。Wide-SSOP (DFP-16) および SSOP (DBQ-16) パッケージをデータシートに追加。 1
- データシートに「デバイスの比較」セクションを追加 3
- ISO6440 および ISO6442 がデータシートに追加されたデバイスのファミリ全体について説明している「仕様」セクションの「5V スイッチング特性」サブセクションと「2.5V スイッチング特性」サブセクションで、最小伝搬遅延時間 t_{PLH} および t_{PHL} を更新。 6
- イネーブル伝搬遅延時間のテスト回路と波形を セクション 7 に追加。 24

Copyright © 2026 Texas Instruments Incorporated

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

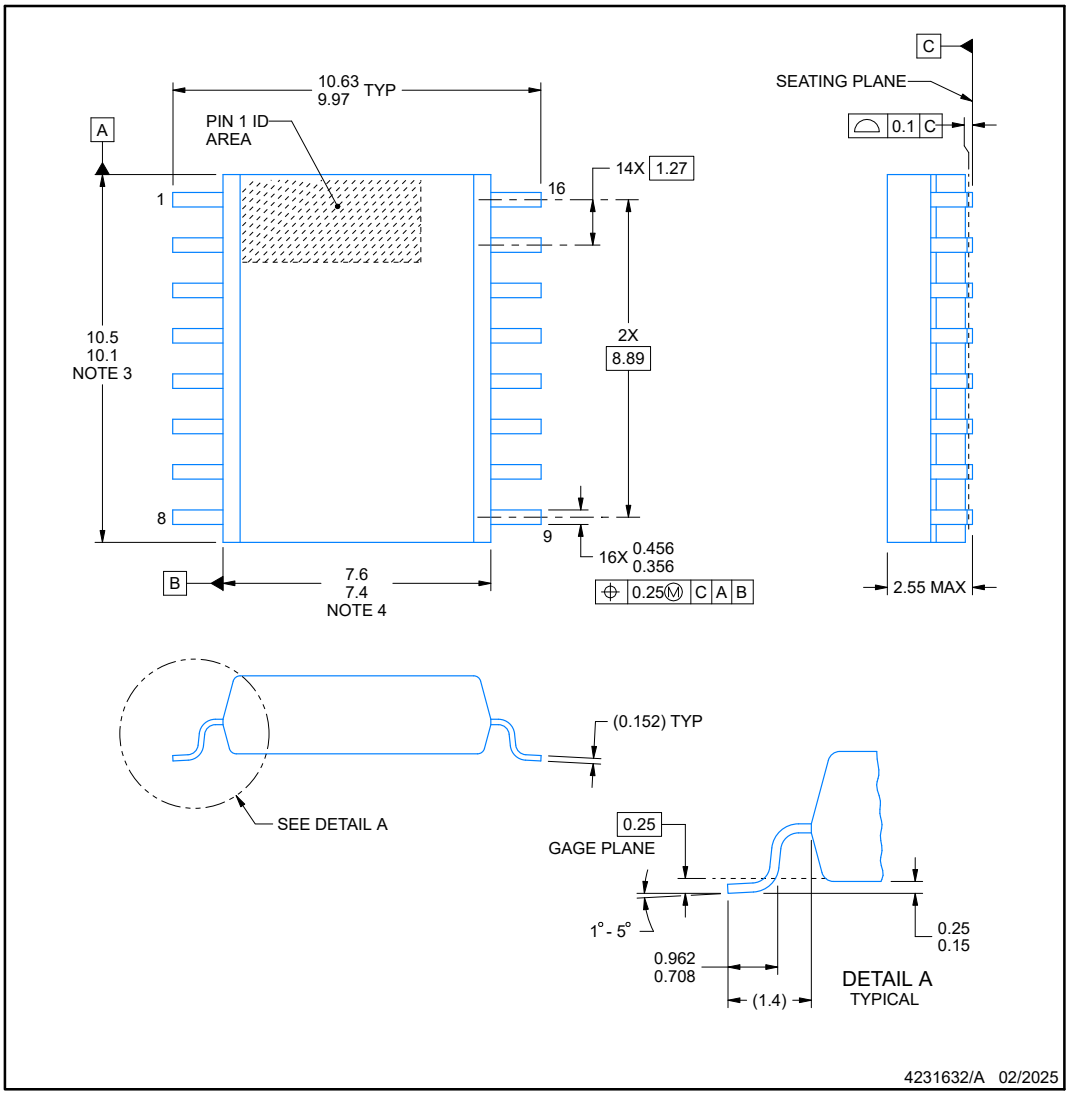


PACKAGE OUTLINE

DW0016C-C01

SOIC - 2.55 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

TEXAS INSTRUMENTS
www.ti.com

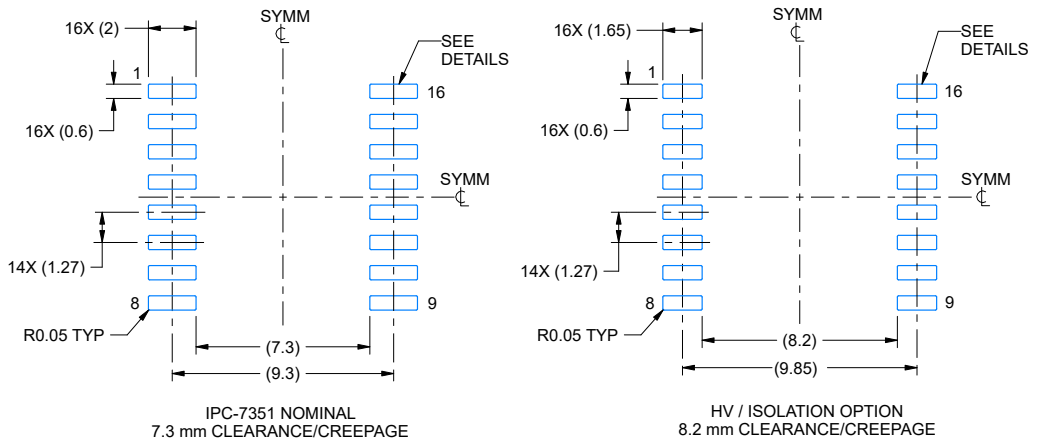
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

DW0016C-C01

SOIC - 2.55 mm max height

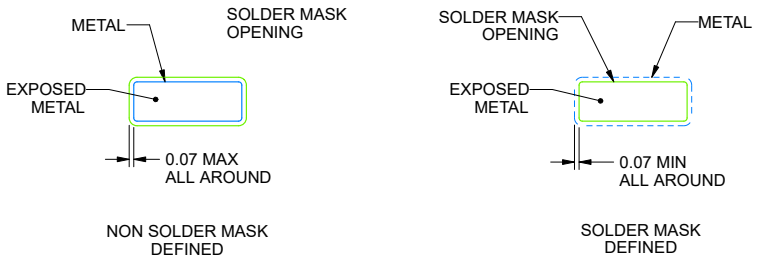
SMALL OUTLINE INTEGRATED CIRCUIT



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.2 mm CLEARANCE/CREEPAGE

LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:4X



NON SOLDER MASK DEFINED

SOLDER MASK DEFINED

SOLDER MASK DETAILS

4231632/A 02/2025

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

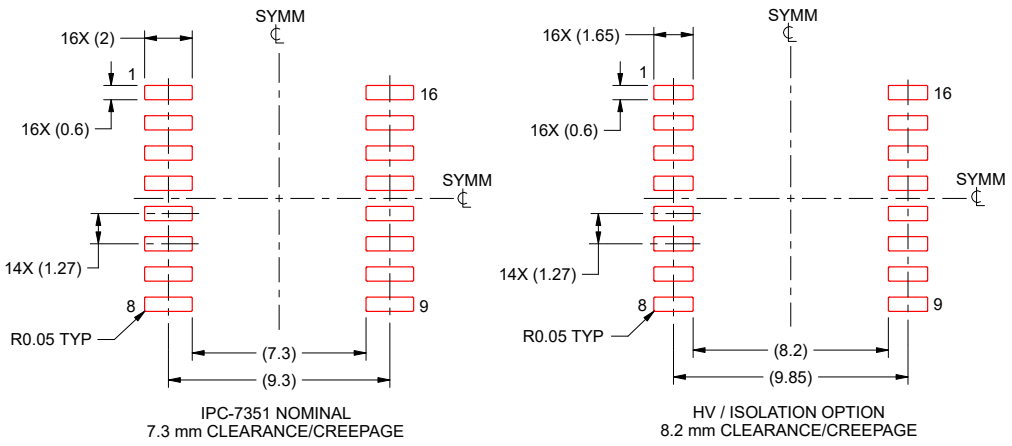
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DW0016C-C01

SOIC - 2.55 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

4231632/A 02/2025

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

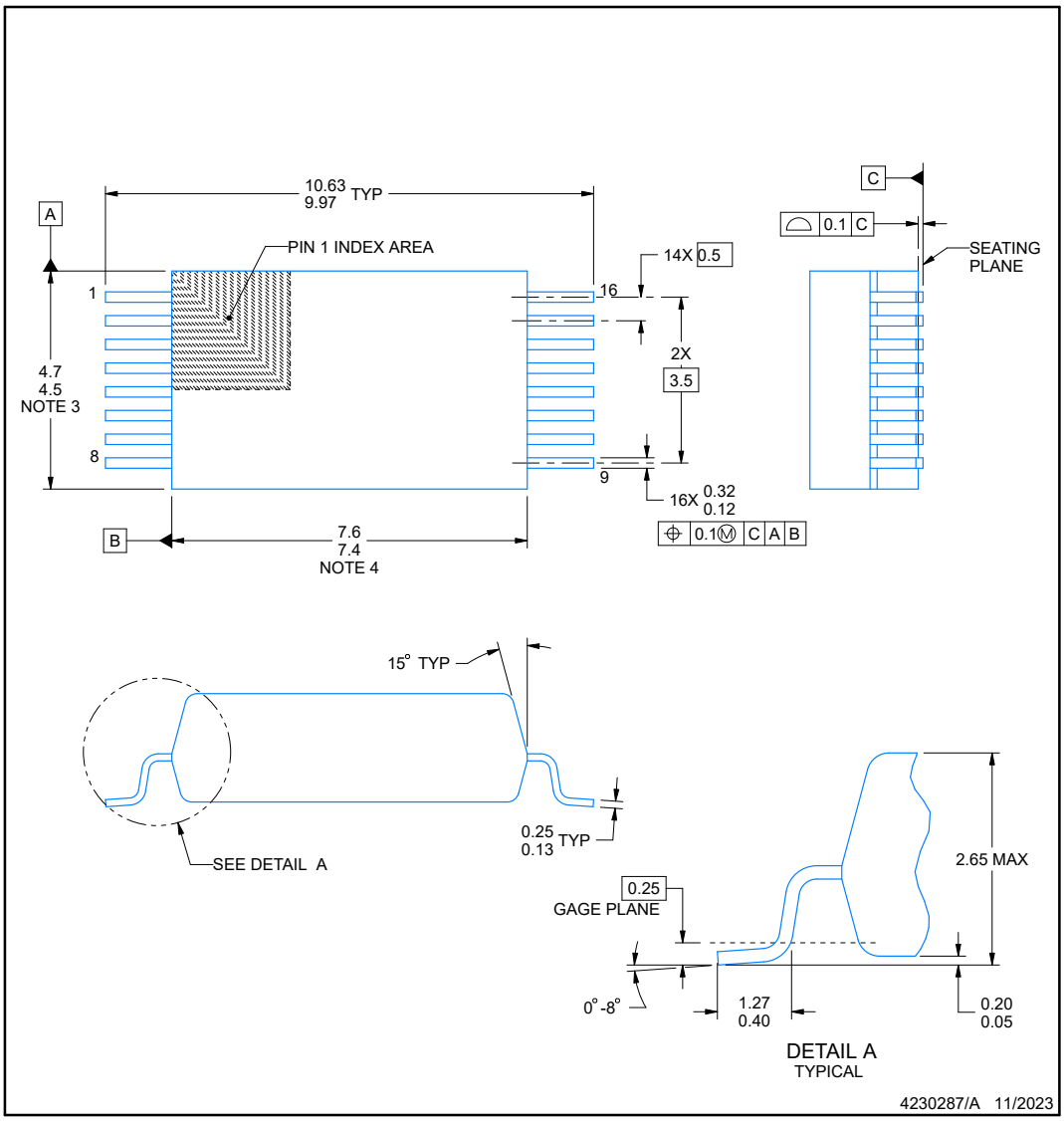
PACKAGE OUTLINE

DFP0016A



SSOP - 2.65 mm max height

SMALL OUTLINE PACKAGE



NOTES:

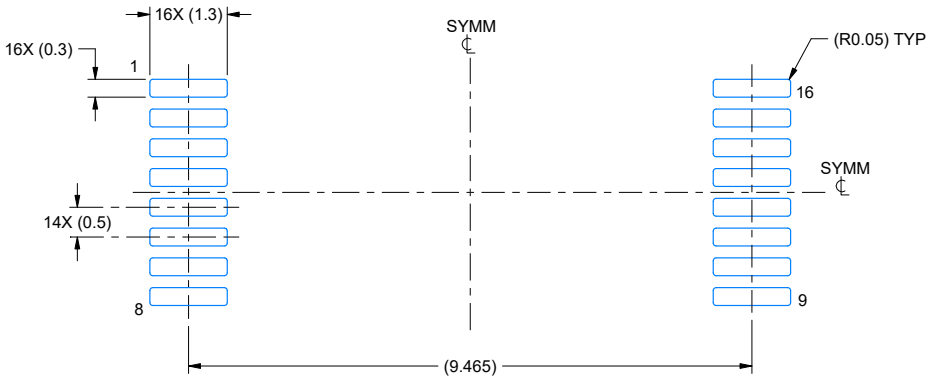
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.

Copyright © 2026 Texas Instruments Incorporated

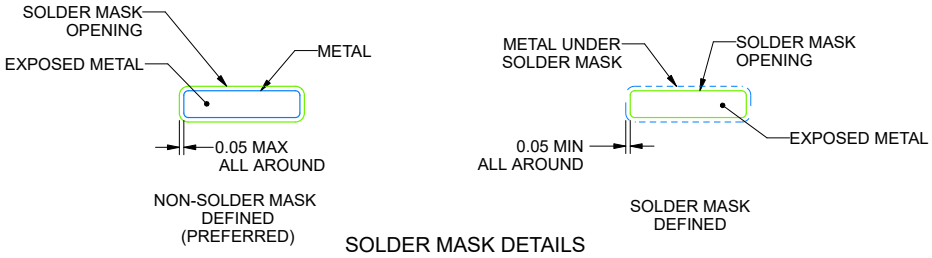
EXAMPLE BOARD LAYOUT

DFP0016A — **SSOP - 2.65 mm max height**

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4230287/A 11/2023

NOTES: (continued)

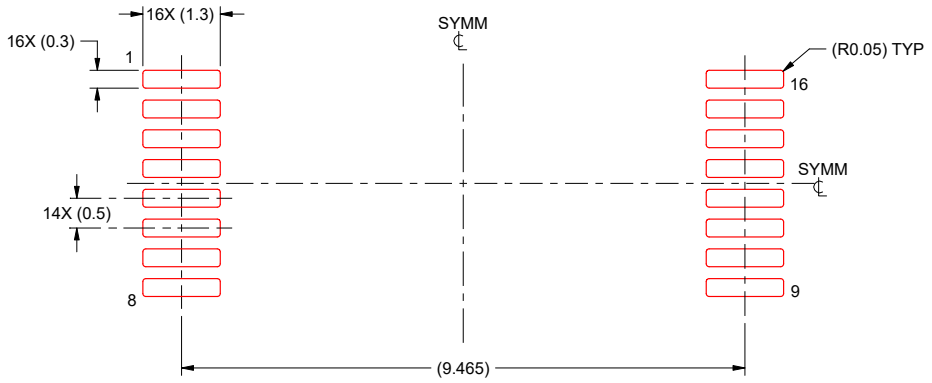
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DFP0016A — **SSOP - 2.65 mm max height**

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4230287/A 11/2023

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

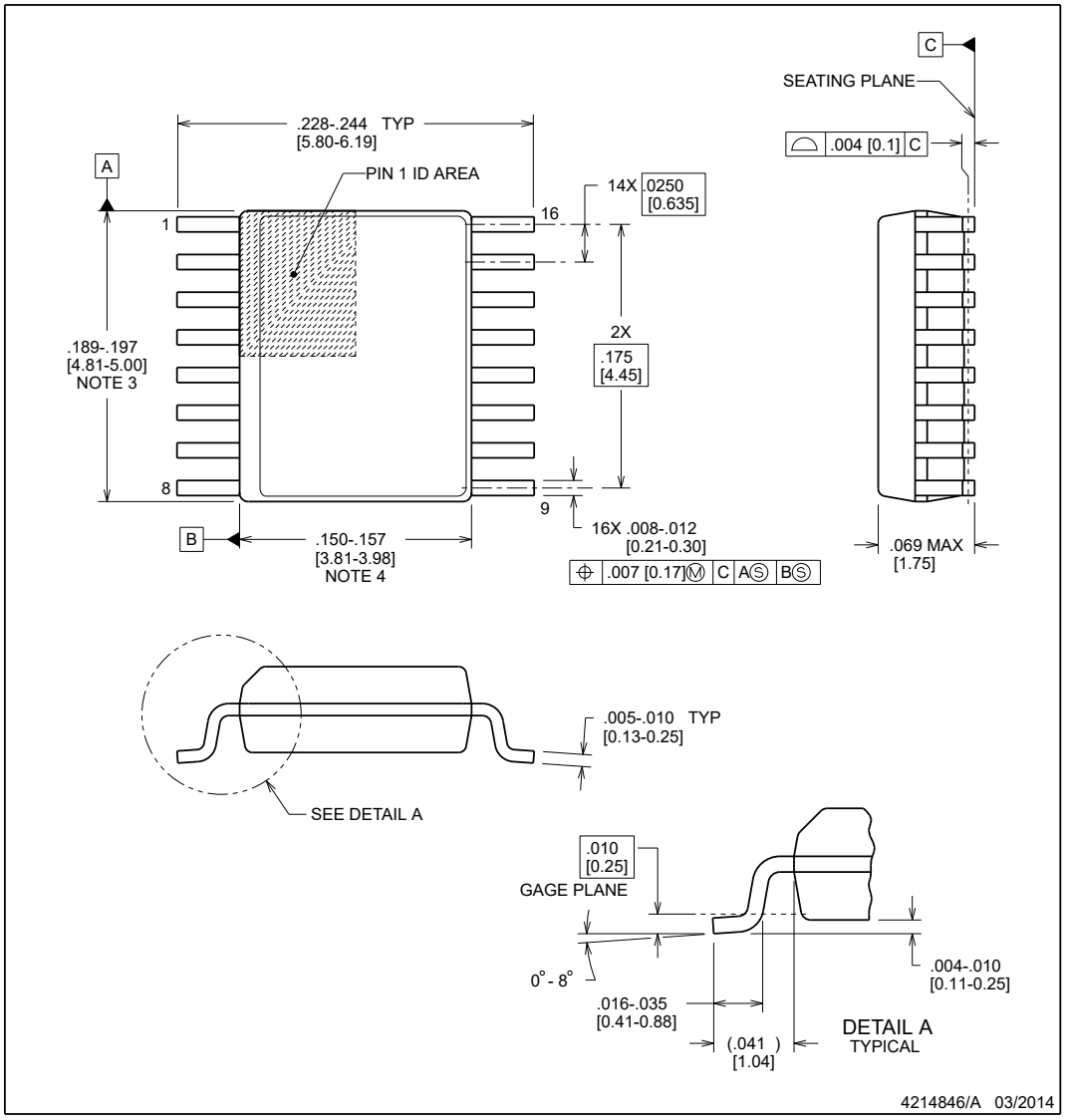


PACKAGE OUTLINE

DBQ0016A

SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE



NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 inch, per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MO-137, variation AB.

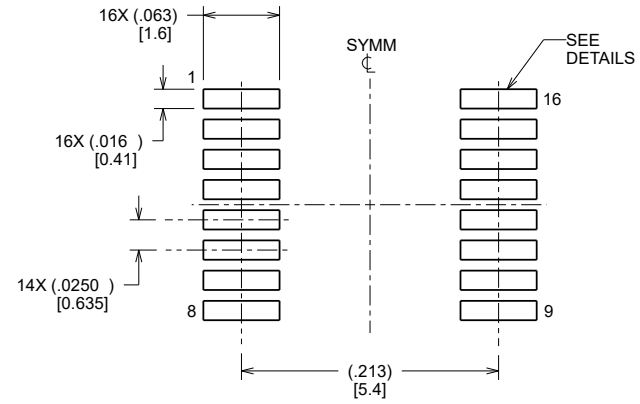
TEXAS INSTRUMENTS
www.ti.com

Copyright © 2026 Texas Instruments Incorporated

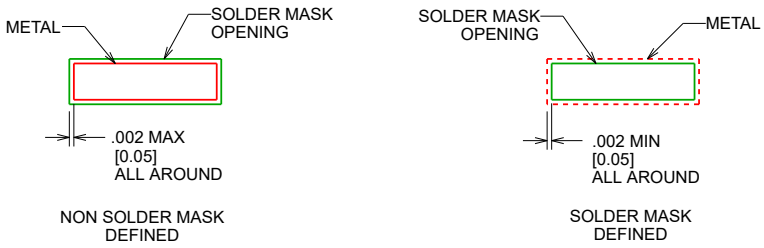
EXAMPLE BOARD LAYOUT

DBQ0016A — **SSOP - 1.75 mm max height**

SHRINK SMALL-OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4214846/A 03/2014

NOTES: (continued)

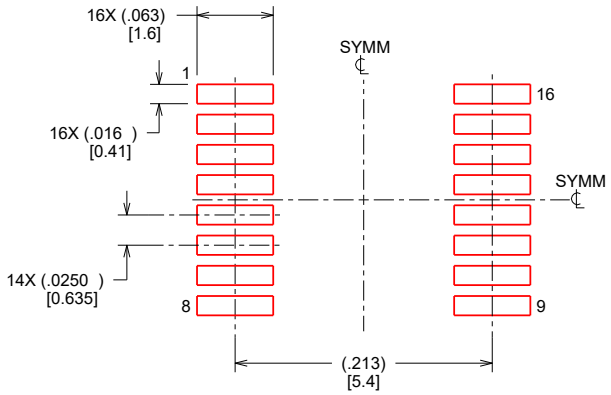
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DBQ0016A — **SSOP - 1.75 mm max height**

SHRINK SMALL-OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.127 MM] THICK STENCIL
SCALE:8X

4214846/A 03/2014

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISO6440DBQR	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6440
ISO6440DFPR	Active	Production	SSOP (DFP) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO6440
ISO6440DWR	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6440
ISO6440FDBQR	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6440F
ISO6440FDFPR	Active	Production	SSOP (DFP) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISO6440F
ISO6440FDWR	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6440F
ISO6441DBQR	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6441
ISO6441DWR	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6441
ISO6441FDBQR	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6441F
ISO6441FDWR	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6441F
ISO6442DBQR	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6442
ISO6442DWR	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6442
ISO6442FDBQR	Active	Production	SSOP (DBQ) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6442F
ISO6442FDWR	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6442F
XISO6440DFPR	Active	Preproduction	SSOP (DFP) | 16	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XISO6440FDFPR	Active	Preproduction	SSOP (DFP) | 16	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XISO6441DFPR	Active	Preproduction	SSOP (DFP) | 16	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XISO6441FDFPR	Active	Preproduction	SSOP (DFP) | 16	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XISO6442DFPR	Active	Preproduction	null (null) |	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XISO6442FDFPR	Active	Preproduction	SSOP (DFP) | 16	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF ISO6440, ISO6441, ISO6442 :

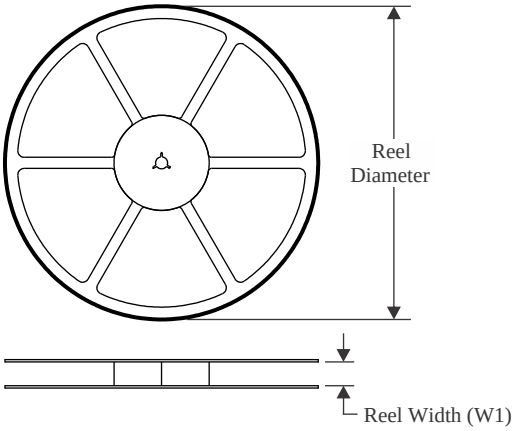
- Automotive : ISO6440-Q1, ISO6441-Q1, ISO6442-Q1

NOTE: Qualified Version Definitions:

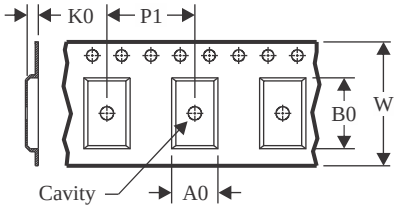
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

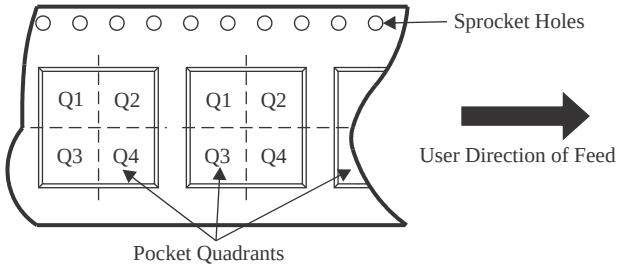


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

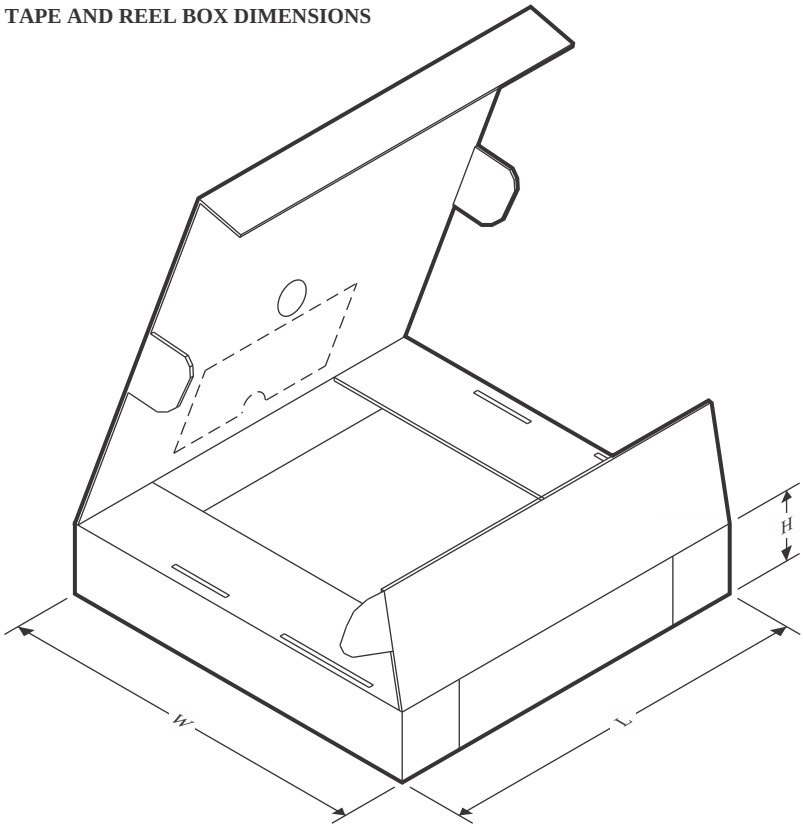
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO6440DBQR	SSOP	DBQ	16	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6440DFPR	SSOP	DFP	16	2000	330.0	16.4	10.9	5.1	2.7	12.0	16.0	Q1
ISO6440DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO6440FDBQR	SSOP	DBQ	16	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6440FDFPR	SSOP	DFP	16	2000	330.0	16.4	10.9	5.1	2.7	12.0	16.0	Q1
ISO6440FDWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO6441DBQR	SSOP	DBQ	16	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6441FDBQR	SSOP	DBQ	16	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6442DBQR	SSOP	DBQ	16	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6442DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO6442FDBQR	SSOP	DBQ	16	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6442FDWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO6440DBQR	SSOP	DBQ	16	2500	353.0	353.0	32.0
ISO6440DFPR	SSOP	DFP	16	2000	353.0	353.0	32.0
ISO6440DWR	SOIC	DW	16	2000	353.0	353.0	32.0
ISO6440FDBQR	SSOP	DBQ	16	2500	353.0	353.0	32.0
ISO6440FDFPR	SSOP	DFP	16	2000	353.0	353.0	32.0
ISO6440FDWR	SOIC	DW	16	2000	353.0	353.0	32.0
ISO6441DBQR	SSOP	DBQ	16	2500	353.0	353.0	32.0
ISO6441FDBQR	SSOP	DBQ	16	2500	353.0	353.0	32.0
ISO6442DBQR	SSOP	DBQ	16	2500	353.0	353.0	32.0
ISO6442DWR	SOIC	DW	16	2000	353.0	353.0	32.0
ISO6442FDBQR	SSOP	DBQ	16	2500	353.0	353.0	32.0
ISO6442FDWR	SOIC	DW	16	2000	353.0	353.0	32.0

GENERIC PACKAGE VIEW

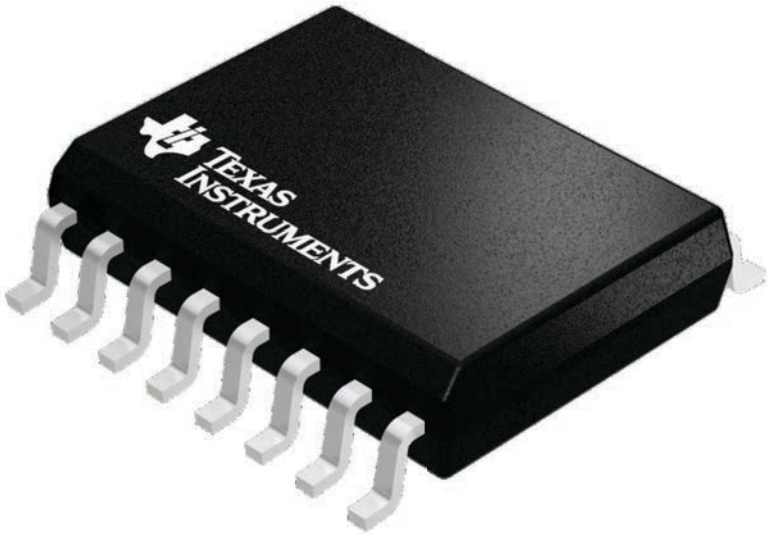
DW 16

SOIC - 2.65 mm max height

7.5 x 10.3, 1.27 mm pitch

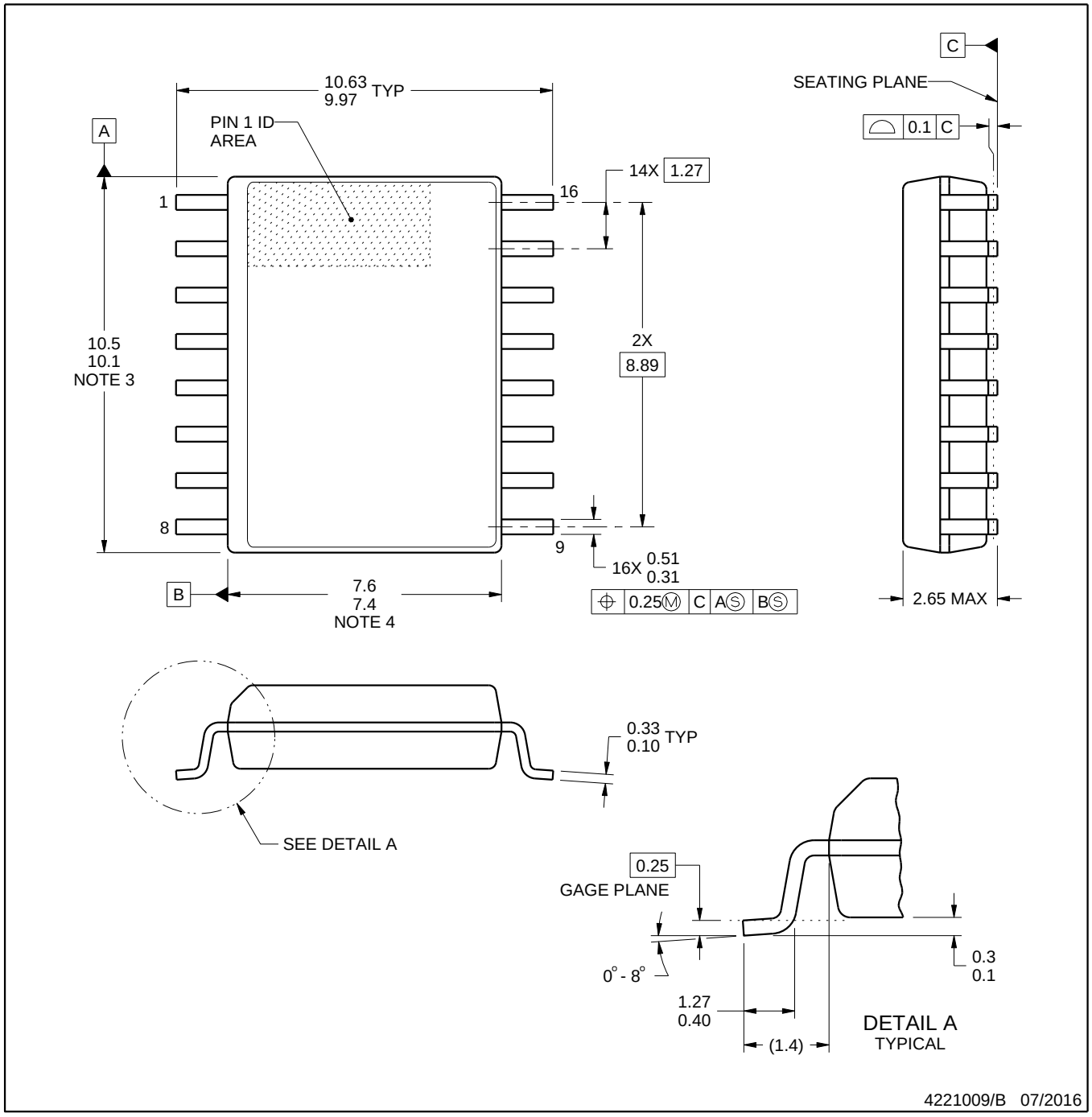
SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



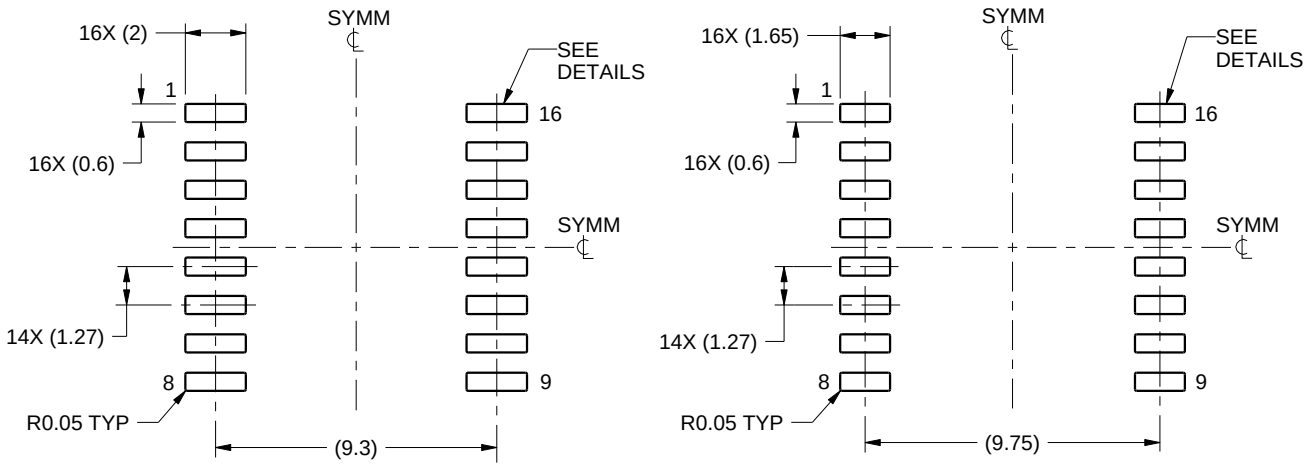
4224780/A

SOIC



NOTES:

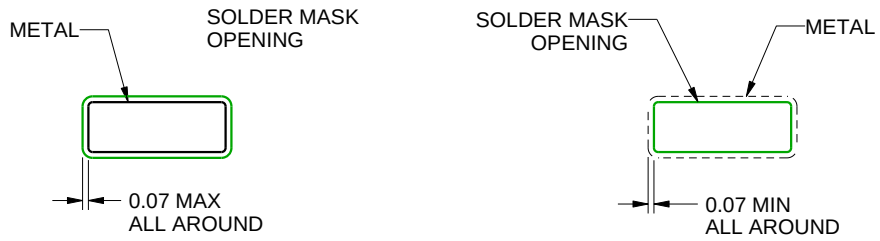
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

LAND PATTERN EXAMPLE
SCALE:4X



NON SOLDER MASK DEFINED

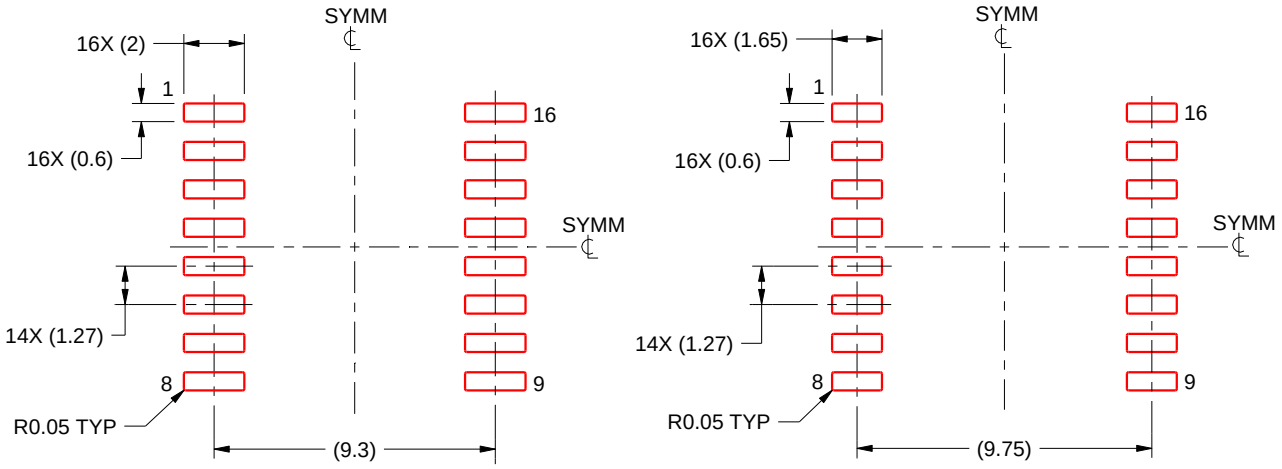
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4221009/B 07/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

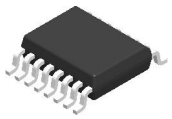
HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

4221009/B 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

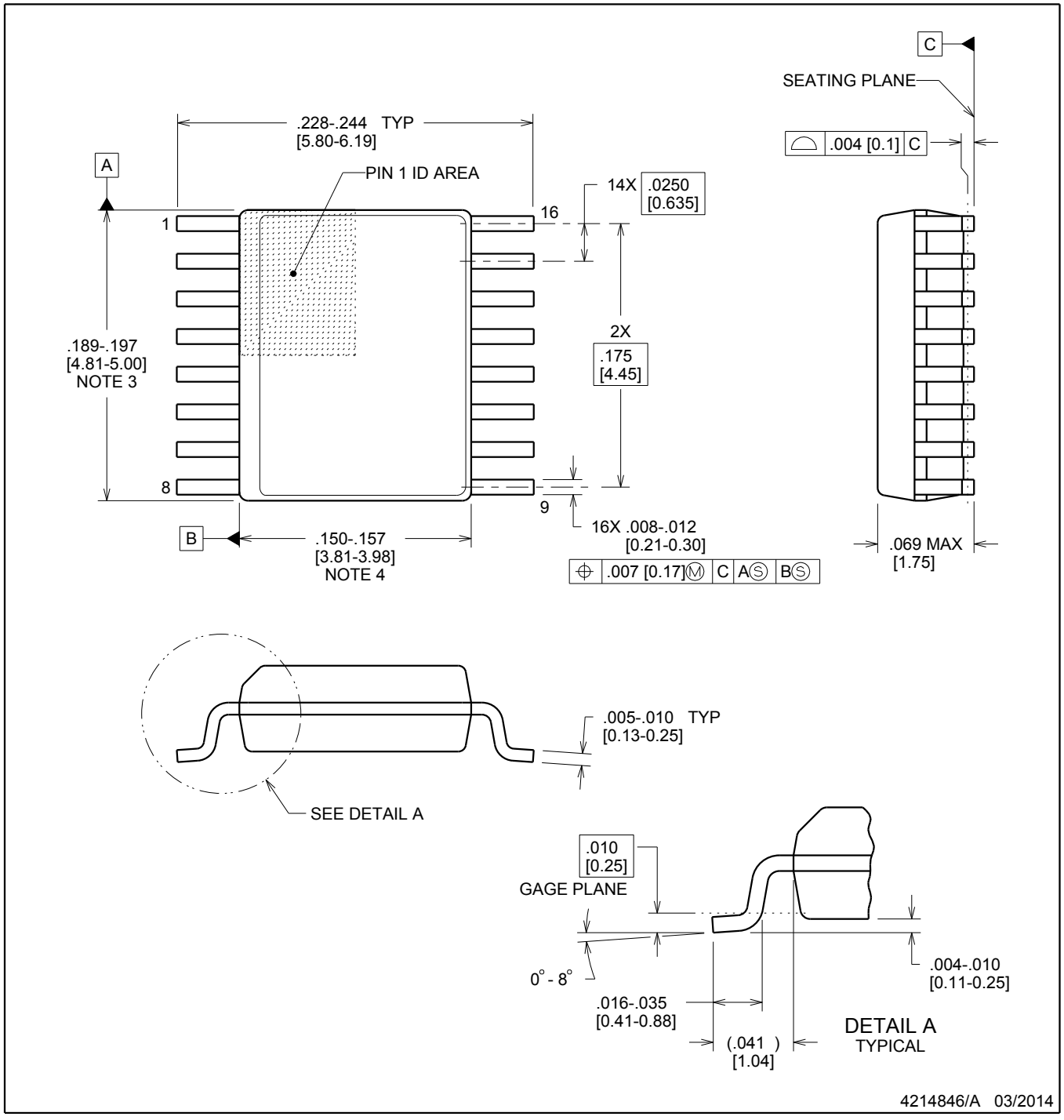


PACKAGE OUTLINE

DBQ0016A

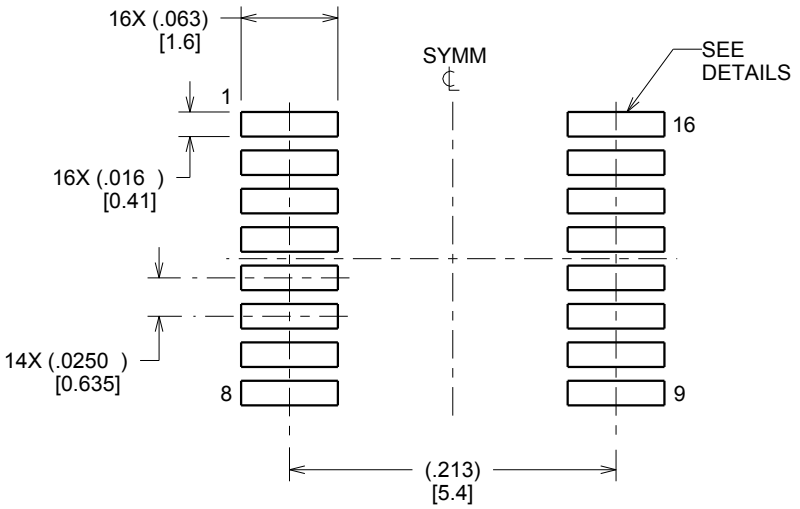
SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE

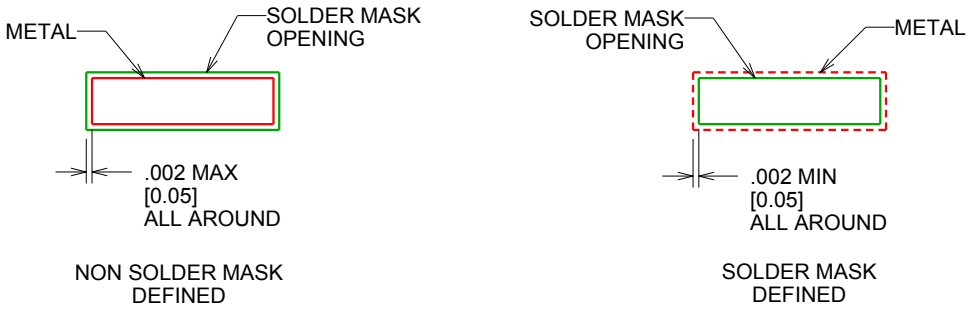


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 inch, per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MO-137, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4214846/A 03/2014

NOTES: (continued)

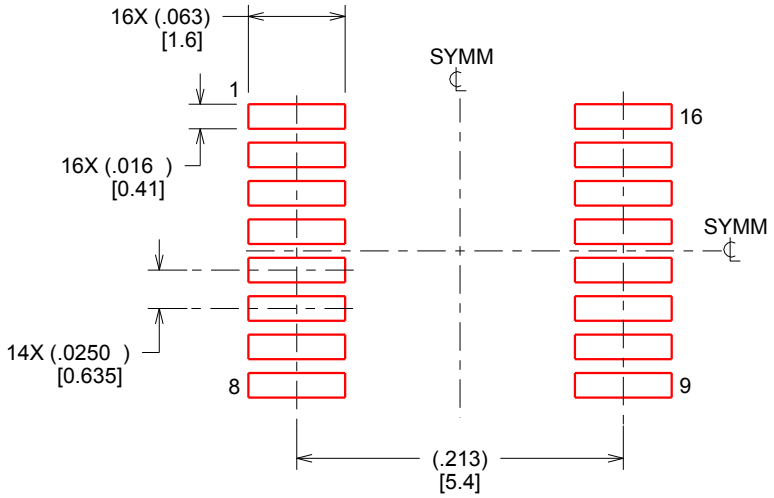
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBQ0016A

SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.127 MM] THICK STENCIL
SCALE:8X

4214846/A 03/2014

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月