

ISO652x 汎用、デュアルチャネル、機能的アイソレータ

1 特長

- デュアルチャネル、CMOS 出力機能的アイソレータ
- 50Mbps のデータレート
- CMTI が $\pm 150\text{kV}/\mu\text{s}$ (標準値) の堅牢な SiO_2 絶縁バリア
- 機能絶縁 (8-REU):
 - $450\text{V}_{\text{RMS}}, 637\text{V}_{\text{DC}}$ の動作電圧
 - $2000\text{V}_{\text{RMS}}, 2828\text{V}_{\text{DC}}$ の過渡電圧 (60s)
- 機能絶縁 (8-D):
 - $450\text{V}_{\text{RMS}}, 637\text{V}_{\text{DC}}$ の動作電圧
 - $2000\text{V}_{\text{RMS}}, 2828\text{V}_{\text{DC}}$ の過渡電圧 (60s)
- 沿面距離 2.2mm 未満のコンパクトな 8-REU パッケージで供給
- 幅広い電源電圧範囲: 1.71V ~ 1.89V, 2.25V ~ 5.5V
- 1.71V から 5.5V への電圧変換
- デフォルト出力 HIGH (ISO652x) および LOW (ISO652xF) のオプション
- 幅広い温度範囲: -40°C ~ 125°C
- チャネルごとに 1.8mA (標準値, 3.3V, 1Mbps 時)
- 小さい伝搬遅延: 11ns (標準値, 3.3V 時)
- 堅牢な電磁両立性 (EMC)
 - システムレベルでの ESD、EFT、サージ耐性
 - きわめて低い電磁放射
- Leadless-DFN (8-REU) パッケージおよび Narrow-SOIC (D-8) パッケージのオプション

2 アプリケーション

- 電源
- 電力網、電力量計
- モータードライブ
- ファクトリ オートメーション
- ビル オートメーション
- 照明器具
- 電化製品

3 説明

ISO652x デバイスは、安全ではないアプリケーション用の絶縁を必要とするが、コスト重視でスペースに制約があるようなアプリケーション向けに設計された、高性能なデュアルチャネルの機能的アイソレータです。この絶縁バリアは、 $450\text{V}_{\text{RMS}} / 637\text{V}_{\text{DC}}$ の動作電圧と、 $2000\text{V}_{\text{RMS}} / 2828\text{V}_{\text{DC}}$ の過渡電圧に対応しています。

デバイスは、CMOS または LVC MOS デジタル I/O を絶縁しながら、低消費電力で高い電磁気耐性と低い放射を実現します。各絶縁チャネルは、テキサス・インスツルメンツの二重容量性二酸化ケイ素 (SiO_2) 絶縁バリアで分離されたロジック入力および出力バッファを備えています。ISO6520 は 2 つの絶縁チャネルを備えており、どちらのチャネルも同一方向です。ISO6521 は 2 つの絶縁チャネルを備えており、各チャネルは別方向です。入力電力または入力信号が失われた場合のデフォルト出力は、接尾辞 F のないデバイスでは High、接尾辞 F のあるデバイスでは Low です。詳細は「[デバイスの機能モード](#)」のセクションを参照してください。

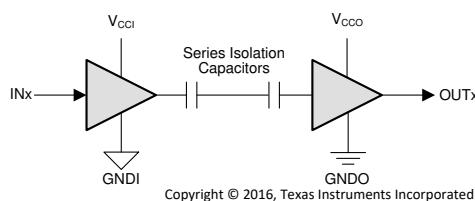
これらのデバイスにより、UART、SPI、RS-485、RS-232、CAN などのデータバスのノイズ電流によって敏感な回路が損傷を受けることを防止できます。チップ設計およびレイアウト技法により、は電磁両立性が大幅に強化されているため、システムレベルの ESD および放射のコンプライアンスを容易に達成できます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
ISO6520、ISO6520F	DFN (8-REU)	3.0mm × 2.0mm
ISO6521、ISO6521F		
ISO6520、ISO6520F	D (8)	4.9mm × 6.0mm
ISO6521、ISO6521F		

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

(2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



V_{CCI} =入力電源、 V_{CCO} =出力電源
 GNDI =入力グランド、 GNDO =出力グランド

概略回路図

⚠️ このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール（機械翻訳）を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

English Data Sheet: [SLLSFU0](#)

目次

1 特長	1	5.18 代表的特性	13
2 アプリケーション	1	6 パラメータ測定情報	15
3 説明	1	7 詳細説明	16
4 ピン構成および機能	3	7.1 概要	16
5 仕様	4	7.2 機能ブロック図	16
5.1 絶対最大定格	4	7.3 機能説明	17
5.2 ESD 定格	4	7.4 デバイスの機能モード	17
5.3 推奨動作条件	4	8 アプリケーションと実装	19
5.4 熱に関する情報	5	8.1 アプリケーション情報	19
5.5 パッケージの特性	5	8.2 代表的なアプリケーション	19
5.6 電気的特性— 5V 電源	7	8.3 絶縁寿命	20
5.7 電源電流特性— 5V 電源	7	8.4 電源に関する推奨事項	21
5.8 電気的特性— 3.3V 電源	8	8.5 レイアウト	21
5.9 電源電流特性— 3.3V 電源	8	9 デバイスおよびドキュメントのサポート	23
5.10 電気的特性— 2.5V 電源	9	9.1 ドキュメントのサポート	23
5.11 電源電流特性— 2.5V 電源	9	9.2 ドキュメントの更新通知を受け取る方法	23
5.12 電気的特性— 1.8V 電源	10	9.3 サポート・リソース	23
5.13 電源電流特性— 1.8V 電源	10	9.4 商標	23
5.14 スイッチング特性— 5V 電源	11	9.5 静電気放電に関する注意事項	23
5.15 スイッチング特性— 3.3V 電源	11	9.6 用語集	23
5.16 スイッチング特性— 2.5V 電源	12	10 改訂履歴	23
5.17 スイッチング特性— 1.8V 電源	12	11 メカニカル、パッケージ、および注文情報	24

4 ピン構成および機能

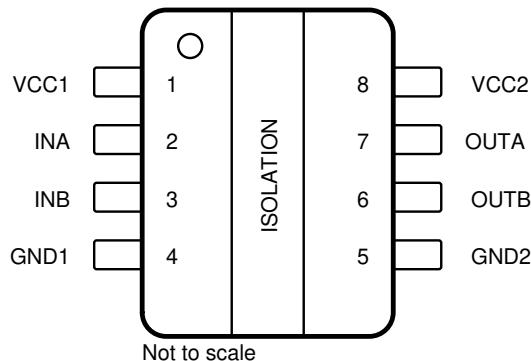


図 4-1. ISO6520 D パッケージ 8 ピン SOIC 上面図

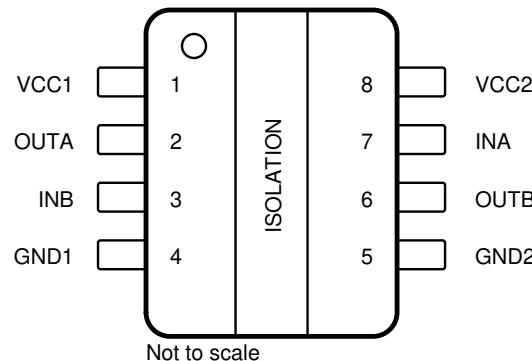


図 4-2. ISO6521 D パッケージ 8 ピン SOIC 上面図

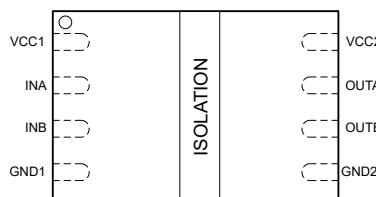


図 4-3. ISO6520 DFN パッケージ 8 ピン REU 上面図

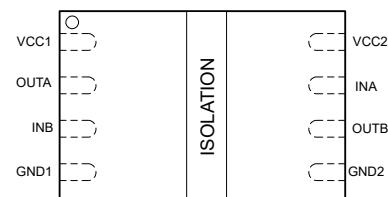


図 4-4. ISO6521 DFN パッケージ 8 ピン REU 上面図

表 4-1. ピンの機能

名称	ピン		タイプ ⁽¹⁾	説明
	ISO6520	ISO6521		
GND1	4	4	-	V _{CC1} のグラウンド接続
GND2	5	5	-	V _{CC2} のグラウンド接続
INA	2	7	I	入力、チャネル A
INB	3	3	I	入力、チャネル B
OUTA	7	2	O	出力、チャネル A
OUTB	6	6	O	出力、チャネル B
V _{CC1}	1	1	P	電源、V _{CC1}
V _{CC2}	8	8	P	電源、V _{CC2}

(1) I = 入力、O = 出力、P = 電源

5 仕様

5.1 絶対最大定格

(1) を参照

		最小値	最大値	単位
電源電圧 (2)	V _{CC1} から GND1	-0.5	6	V
	V _{CC2} から GND2	-0.5	6	
入力 / 出力電圧	INx から GNDx	-0.5	V _{CCX} + 0.5 (3)	V
	OUTx から GNDx	-0.5	V _{CCX} + 0.5 (3)	
出力電流	I _O	-15	15	mA
温度	動作時の接合部温度、T _J		150	°C
	保管温度、T _{stg}	-65	150	°C
過渡絶縁電圧 (REU-8)	AC 電圧、t = 60s		2000	V _{RMS}
	DC 電圧、t = 60s		2828	V _{DC}
過渡絶縁電圧 (SOIC-8)	AC 電圧、t = 60s		2000	V _{RMS}
	DC 電圧、t = 60s		2828	V _{DC}

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、このデータシートの「推奨動作条件」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、これが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
- (2) 差動 I/O バス電圧を除くすべての電圧値は、ローカル グランド ピン (GND1 または GND2) を基準としており、ピーク電圧値です。
- (3) 最大電圧は 6V 以下である必要があります。

5.2 ESD 定格

		値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±6000
		デバイス帶電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

		テスト条件	最小値	公称値	最大値	単位
V _{CC1} (1)	サイド 1 電源電圧	V _{CC} ≥ 1.8V (3)	1.71	1.89		V
V _{CC1} (1)	サイド 1 電源電圧	V _{CC} = 2.5V ~ 5V (3)	2.25		5.5	V
V _{CC2} (1)	サイド 2 電源電圧	V _{CC} = 1.8 V (3)	1.71	1.89		V
V _{CC2} (1)	サイド 2 電源電圧	V _{CC} = 2.5V ~ 5V (3)	2.25		5.5	V
V _{CC} (UVLO+)	電源電圧が上昇しているときの UVLO スレッショルド			1.53	1.71	V
V _{CC} (UVLO-)	電源電圧が下降しているときの UVLO スレッショルド		1.1	1.41		V
V _{hys} (UVLO)	電源電圧 UVLO ヒステリシス		0.08	0.13		V
V _{IL}	High レベル入力電圧	0.7 × V _{CCI} (2)		V _{CCI}		V
V _{IL}	Low レベル入力電圧	0	0.3 × V _{CCI}			V

		テスト条件	最小値	公称値	最大値	単位
I_{OH}	High レベル入力電流	V_{CCO} (2) = 5V	-4			mA
		$V_{CCO} = 3.3V$	-2			mA
		$V_{CCO} = 2.5V$	-1			mA
		$V_{CCO} = 1.8V$	-1			mA
I_{OL}	Low レベル出力電流	$V_{CCO} = 5V$		4		mA
		$V_{CCO} = 3.3V$		2		mA
		$V_{CCO} = 2.5V$		1		mA
		$V_{CCO} = 1.8V$		1		mA
DR	データレート		0	50	Mbps	
T_A	周囲温度		-40	25	125	°C
V_{IOWM}	機能絶縁の動作電圧 (REU-8)	AC 電圧 (正弦波)、絶縁膜絶縁時破壊 (TDDB)、テスト (図 8-3 を参照)		450		V_{RMS}
		DC 電圧		637		V_{DC}
V_{IOWM}	機能絶縁の動作電圧 (SOIC-8)	AC 電圧 (正弦波)		450		V_{RMS}
		DC 電圧		637		V_{DC}

(1) V_{CC1} と V_{CC2} は、互いに独立して設定できます

(2) V_{CCI} = 入力側 V_{CC} 、 V_{CCO} = 出力側 V_{CC}

(3) $1.89V < V_{CC1}, V_{CC2} < 2.25V$ かつ $1.05V < V_{CC1}, V_{CC2} < 1.71V$ のとき、チャネル出力は不定状態です

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		ISO652x		単位
		DFN (REU-8)	D (SOIC-8)	
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	143.4	104.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	70.0	48.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	78.3	52.9	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	4.2	7.9	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	77.7	52.1	°C/W

(1) 従来および最新の熱評価基準の詳細については、「半導体およびIC パッケージの熱評価基準」アプリケーション ノートを参照してください。

5.5 パッケージの特性

パラメータ		テスト条件	値	値	単位
			8-REU	8-D	
CLR	外部空間距離 ⁽¹⁾	空気中での最短のピン間距離	>2.2	>4	mm
CPG	外部沿面距離 ⁽¹⁾	パッケージ表面に沿った最短のピン間距離	>2.2	>4	mm
CTI	比較トラッキング インデックス	IEC 60112, UL 746A	>400	>400	V
	材料グループ	IEC 60664-1 に準拠	II	II	
C_{IO}	容量、入力から出力へ ⁽²⁾	$V_{IO} = 0.4 \times \sin(2\pi ft)$, f = 1MHz	$\cong 0.5$	$\cong 0.5$	pF
R_{IO}	抵抗、入力から出力へ ⁽²⁾	$T_A = 25^\circ C$	$>10^{12}$	$>10^{12}$	Ω

(1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレーターの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。

- (2) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2つの端子を持つデバイスを構成します。

5.6 電気的特性— 5V 電源

$V_{CC1} = V_{CC2} = 5V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OH}	High レベル出力電圧	$I_{OH} = -4mA$ 、図 6-1 を参照	$V_{CC0} - 0.4$			V
V_{OL}	Low レベル出力電圧	$I_{OL} = 4 mA$ 、図 6-1 を参照			0.4	V
$V_{IT+(IN)}$	立ち上がり入力のスイッチング スレッショルド				$0.7 \times V_{CCI}$ (1)	V
$V_{IT-(IN)}$	立ち下がり入力のスイッチング スレッショルド			$0.3 \times V_{CCI}$		V
$V_{I(HYS)}$	入力スレッショルド電圧のヒステリシス			$0.1 \times V_{CCI}$		V
I_{IH}	High レベル入力電流	INx で $V_{IH} = V_{CCI}$ (1)			10	μA
I_{IL}	Low レベル入力電流	INx で $V_{IL} = 0V$		-10		μA
CMTI	同相過渡耐性	$V_I = V_{CC}$ または $0V$, $V_{CM} = 700V$ 、図 6-3 を参照	100	150		$kV/\mu s$
C_i	入力容量 (2)	$V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft), f = 2MHz, V_{CC} = 5V$			2.8	pF

(1) V_{CCI} = 入力側 V_{CC} 、 V_{CC0} = 出力側 V_{CC} 。

(2) 入力ピンから同じ側のグランドまで測定。

5.7 電源電流特性— 5V 電源

$V_{CC1} = V_{CC2} = 5V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	電源電流	最小値	標準値	最大値	単位
ISO6520							
電源電流 - DC 信号 (2)	$V_I = V_{CCI}$ (1) (ISO6520)、 $V_I = 0V$ (F 接尾辞付き ISO6520)	I_{CC1}		1.1	1.7		mA
		I_{CC2}		1.3	2.2		
	$V_I = 0V$ (ISO6520)、 $V_I = V_{CCI}$ (接尾辞 F 付き ISO6520)	I_{CC1}		3.2	4.6		
		I_{CC2}		1.4	2.3		
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{CC1}	2.1	3.1		mA
			I_{CC2}	1.5	2.4		
		10Mbps	I_{CC1}	2.2	3.2		
			I_{CC2}	2.7	3.6		
		50Mbps	I_{CC1}	2.5	3.6		
			I_{CC2}	7.9	9.5		
ISO6521							
電源電流 - DC 信号 (2)	$V_I = V_{CCI}$ (1) (ISO6521)、 $V_I = 0V$ (F 接尾辞付き ISO6521)	I_{CC1}, I_{CC2}		1.2	2.2		mA
		I_{CC1}, I_{CC2}		2.3	3.5		
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{CC1}, I_{CC2}	1.9	2.9		mA
			I_{CC1}, I_{CC2}	2.5	3.6		
		50Mbps	I_{CC1}, I_{CC2}	5.2	6.7		

(1) V_{CCI} = 入力側 V_{CC}

(2) 電源電流は $ENx = V_{CCx}$ および $ENx = 0V$ の場合に有効

(3) 電源電流は $ENx = V_{CCx}$ の場合に有効

5.8 電気的特性— 3.3V 電源

$V_{CC1} = V_{CC2} = 3.3V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OH}	High レベル出力電圧	$I_{OH} = -2mA$ 、図 6-1 を参照	$V_{CC0} - 0.2$			V
V_{OL}	Low レベル出力電圧	$I_{OL} = 2mA$ 、図 6-1 を参照			0.2	V
$V_{IT+(IN)}$	立ち上がり入力のスイッチング スレッショルド			0.7 × V_{CCI} (1)		V
$V_{IT-(IN)}$	立ち下がり入力のスイッチング スレッショルド		0.3 × V_{CCI}			V
$V_{I(HYS)}$	入力スレッショルド電圧のヒステリシス		0.1 × V_{CCI}			V
I_{IH}	High レベル入力電流	INx で $V_{IH} = V_{CCI}$ (1)			10	μA
I_{IL}	Low レベル入力電流	INx で $V_{IL} = 0V$	-10			μA
CMTI	同相過渡耐性	$V_I = V_{CC}$ または $0V$ 、 $V_{CM} = 700V$ 、図 6-3 を参照	100	150		kV/μs
C_i	入力容量(2)	$V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft)$ 、 $f = 2MHz$ 、 $V_{CC} = 3.3V$		2.8		pF

(1) V_{CCI} = 入力側 V_{CC} 、 V_{CC0} = 出力側 V_{CC} 。

(2) 入力ピンから同じ側のグランドまで測定。

5.9 電源電流特性— 3.3V 電源

$V_{CC1} = V_{CC2} = 3.3V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	電源電流	最小値	標準値	最大値	単位
ISO6520						
電源電流 - DC 信号 (2)	$V_I = V_{CCI}$ (1) (ISO6520)、 $V_I = 0V$ (F 接尾辞付き ISO6520)	I_{CC1}	1.1	1.6		mA
		I_{CC2}	1.3	2.2		
電源電流 - AC 信号 (3)	$V_I = 0V$ (ISO6520)、 $V_I = V_{CCI}$ (接尾辞 F 付き ISO6520)	I_{CC1}	3.2	4.5		
		I_{CC2}	1.4	2.3		
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{CC1}	2.1	3.1	mA
			I_{CC2}	1.4	2.3	
		10Mbps	I_{CC1}	2.2	3.1	
			I_{CC2}	2.3	3.2	
		50Mbps	I_{CC1}	2.4	3.4	
			I_{CC2}	6	7.3	
ISO6521						
電源電流 - DC 信号 (2)	$V_I = V_{CCI}$ (1) (ISO6521)、 $V_I = 0V$ (F 接尾辞付き ISO6521)	I_{CC1}, I_{CC2}	1.2	2.2		mA
	$V_I = 0V$ (ISO6521)、 $V_I = V_{CCI}$ (F 接尾辞付き ISO6521)	I_{CC1}, I_{CC2}	2.3	3.5		
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{CC1}, I_{CC2}	1.8	2.9	
		10Mbps	I_{CC1}, I_{CC2}	2.3	3.4	
		50Mbps	I_{CC1}, I_{CC2}	4.2	5.5	

(1) V_{CCI} = 入力側 V_{CC}

(2) 電源電流は $ENx = V_{CCx}$ および $ENx = 0V$ の場合に有効

(3) 電源電流は $ENx = V_{CCx}$ の場合に有効

5.10 電気的特性— 2.5V 電源

$V_{CC1} = V_{CC2} = 2.5V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OH}	High レベル出力電圧	$I_{OH} = -1mA$ 、図 6-1 を参照	$V_{CC0} - 0.1$			V
V_{OL}	Low レベル出力電圧	$I_{OL} = 1mA$ 、図 6-1 を参照			0.1	V
$V_{IT+(IN)}$	立ち上がり入力のスイッチング スレッショルド			0.7 × V_{CCI} (1)		V
$V_{IT-(IN)}$	立ち下がり入力のスイッチング スレッショルド		0.3 × V_{CCI}			V
$V_{I(HYS)}$	入力スレッショルド電圧のヒステリシス		0.1 × V_{CCI}			V
I_{IH}	High レベル入力電流	INx で $V_{IH} = V_{CCI}$ (1)			10	μA
I_{IL}	Low レベル入力電流	INx で $V_{IL} = 0V$	-10			μA
CMTI	同相過渡耐性	$V_I = V_{CC}$ または $0V$ 、 $V_{CM} = 700V$ 、図 6-3 を参照	100	150		kV/ μs
C_i	入力容量(2)	$V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft)$ 、 $f = 2MHz$ 、 $V_{CC} = 2.5V$		2.8		pF

(1) V_{CCI} = 入力側 V_{CC} 、 V_{CC0} = 出力側 V_{CC} 。

(2) 入力ピンから同じ側のグランドまで測定。

5.11 電源電流特性— 2.5V 電源

$V_{CC1} = V_{CC2} = 2.5V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件	電源電流	最小値	標準値	最大値	単位
ISO6520						
電源電流 - DC 信号 (2)	$V_I = V_{CCI}$ (1) (ISO6520)、 $V_I = 0V$ (F 接尾辞付き ISO6520)	I_{CC1}	1.1	1.6		mA
		I_{CC2}	1.3	2.1		
	$V_I = 0V$ (ISO6520)、 $V_I = V_{CCI}$ (接尾辞 F 付き ISO6520)	I_{CC1}	3.1	4.5		
		I_{CC2}	1.4	2.3		
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{CC1}	2.1	3.1	mA
			I_{CC2}	1.4	2.3	
		10Mbps	I_{CC1}	2.1	3.1	
			I_{CC2}	2	2.9	
		50Mbps	I_{CC1}	2.3	3.3	
			I_{CC2}	4.8	6	
ISO6521						
電源電流 - DC 信号 (2)	$V_I = V_{CCI}$ (1) (ISO6521)、 $V_I = 0V$ (F 接尾辞付き ISO6521)	I_{CC1}, I_{CC2}	1.2	2.2		mA
	$V_I = 0V$ (ISO6521)、 $V_I = V_{CCI}$ (F 接尾辞付き ISO6521)	I_{CC1}, I_{CC2}	2.3	3.5		
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{CC1}, I_{CC2}	1.8	2.9	mA
		10Mbps	I_{CC1}, I_{CC2}	2.1	3.2	
		50Mbps	I_{CC1}, I_{CC2}	3.6	4.9	

(1) V_{CCI} = 入力側 V_{CC}

(2) 電源電流は $ENx = V_{CCx}$ および $ENx = 0V$ の場合に有効

(3) 電源電流は $ENx = V_{CCx}$ の場合に有効

5.12 電気的特性— 1.8V 電源

$V_{CC1} = V_{CC2} = 1.8V \pm 5\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OH}	High レベル出力電圧	$I_{OH} = -1mA$ 、図 6-1 を参照	$V_{CC0} - 0.1$			V
V_{OL}	Low レベル出力電圧	$I_{OL} = 1mA$ 、図 6-1 を参照			0.1	V
$V_{IT+(IN)}$	立ち上がり入力のスイッチング スレッショルド				$0.7 \times V_{CCI}$ (1)	V
$V_{IT-(IN)}$	立ち下がり入力のスイッチング スレッショルド			$0.3 \times V_{CCI}$		V
$V_{I(HYS)}$	入力スレッショルド電圧のヒステリシス			$0.1 \times V_{CCI}$		V
I_{IH}	High レベル入力電流	INx で $V_{IH} = V_{CCI}$ (1)			10	μA
I_{IL}	Low レベル入力電流	INx で $V_{IL} = 0V$		-10		μA
CMTI	同相過渡耐性	$V_I = V_{CC}$ または $0V$, $V_{CM} = 700V$ 、図 6-3 を参照	100	150		$kV/\mu s$
C_i	入力容量(2)	$V_I = V_{CC}/2 + 0.4 \times \sin(2\pi ft), f = 2MHz, V_{CC} = 1.8V$			2.8	pF

(1) V_{CCI} = 入力側 V_{CC} 、 V_{CC0} = 出力側 V_{CC} 。

(2) 入力ピンから同じ側のグランドまで測定。

5.13 電源電流特性— 1.8V 電源

$V_{CC1} = V_{CC2} = 1.8V \pm 5\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	電源電流	最小値	標準値	最大値	単位
ISO6520							
電源電流 - DC 信号 (2)	$V_I = V_{CCI}$ (1)(ISO6520)、 $V_I = 0V$ (F 接尾辞付き ISO6520)	I_{CC1}		0.8	1.5		mA
		I_{CC2}		1.2	2.1		
	$V_I = 0V$ (ISO6520)、 $V_I = V_{CCI}$ (接尾辞 F 付き ISO6520)	I_{CC1}		2.8	4.3		
		I_{CC2}		1.3	2.3		
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{CC1}		1.8	2.9	mA
			I_{CC2}		1.3	2.3	
		10Mbps	I_{CC1}		1.8	2.9	
			I_{CC2}		1.8	2.7	
		50Mbps	I_{CC1}		2	3.1	
			I_{CC2}		3.8	4.9	
ISO6521							
電源電流 - DC 信号 (2)	$V_I = V_{CCI}$ (1)(ISO6521)、 $V_I = 0V$ (F 接尾辞付き ISO6521)	I_{CC1}, I_{CC2}		1.1	2.1		mA
		I_{CC1}, I_{CC2}		2.1	3.4		
電源電流 - AC 信号 (3)	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{CC1}, I_{CC2}		1.6	2.7	mA
			I_{CC1}, I_{CC2}		1.9	3	
		50Mbps	I_{CC1}, I_{CC2}		3	4.2	

(1) V_{CCI} = 入力側 V_{CC}

(2) 電源電流は $ENx = V_{CCx}$ および $ENx = 0V$ の場合に有効

(3) 電源電流は $ENx = V_{CCx}$ の場合に有効

5.14 スイッチング特性— 5V 電源

$V_{CC1} = V_{CC2} = 5V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}, t_{PHL}	伝搬遅延時間	図 6-1 を参照	11	18	ns	
$t_{P(dft)}$	伝搬遅延のドリフト		8			ps/°C
t_{UI}	最小パルス幅	図 6-1 を参照してください	20			ns
PWD	パルス幅歪み ⁽¹⁾ $ t_{PHL} - t_{PLH} $	図 6-1 を参照してください	0.2	7	ns	
$t_{sk(o)}$	チャネル間の出力スキュー時間 ⁽²⁾	同じ方向のチャネル	6			ns
$t_{sk(p-p)}$	部品間のスキュー時間 ⁽³⁾		6			ns
t_r	出力信号の立ち上がり時間	図 6-1 を参照してください	2.6	4.5	ns	
t_f	出力信号の立ち下がり時間		2.6	4.5	ns	
t_{PU}	UVLO から有効な出力データまでの時間		300			μs
t_{DO}	入力電源喪失からデフォルト出力までの遅延時間	V_{CC} が 1.2V を下回る時間から測定。図 6-2 を参照してください	0.1	0.3		μs
t_{ie}	タイム インターバル エラー	50Mbps で $2^{16} - 1$ PRBS データ	1			ns

(1) 別名パルス スキュー。

(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。

(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

5.15 スイッチング特性— 3.3V 電源

$V_{CC1} = V_{CC2} = 3.3V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}, t_{PHL}	伝搬遅延時間	図 6-1 を参照してください	11	18	ns	
$t_{P(dft)}$	伝搬遅延のドリフト		9.2			ps/°C
t_{UI}	最小パルス幅	図 6-1 を参照してください	20			ns
PWD	パルス幅歪み ⁽¹⁾ $ t_{PHL} - t_{PLH} $	図 6-1 を参照してください	0.5	7	ns	
$t_{sk(o)}$	チャネル間の出力スキュー時間 ⁽²⁾	同じ方向のチャネル	6			ns
$t_{sk(p-p)}$	部品間のスキュー時間 ⁽³⁾		6			ns
t_r	出力信号の立ち上がり時間	図 6-1 を参照してください	1.6	3.2	ns	
t_f	出力信号の立ち下がり時間		1.6	3.2	ns	
t_{PU}	UVLO から有効な出力データまでの時間		300			μs
t_{DO}	入力電源喪失からデフォルト出力までの遅延時間	V_{CC} が 1.2V を下回る時間から測定。図 6-2 を参照してください	0.1	0.3		μs
t_{ie}	タイム インターバル エラー	50Mbps で $2^{16} - 1$ PRBS データ	1			ns

(1) 別名パルス スキュー。

(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。

(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

5.16 スイッチング特性— 2.5V 電源

$V_{CC1} = V_{CC2} = 2.5V \pm 10\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}, t_{PHL}	伝搬遅延時間	図 6-1 を参照してください	12	20.5		ns
$t_{P(dft)}$	伝搬遅延のドリフト		14.3			ps/°C
t_{UI}	最小パルス幅	図 6-1 を参照してください	20			ns
PWD	パルス幅歪み ⁽¹⁾ $ t_{PHL} - t_{PLH} $	図 6-1 を参照してください	0.6	7.1		ns
$t_{sk(o)}$	チャネル間の出力スキー時間 ⁽²⁾	同じ方向のチャネル	6			ns
$t_{sk(p-p)}$	部品間のスキー時間 ⁽³⁾		6.1			ns
t_r	出力信号の立ち上がり時間	図 6-1 を参照してください	2	4		ns
t_f	出力信号の立ち下がり時間		2	4		ns
t_{PU}	UVLO から有効な出力データまでの時間		300			μs
t_{DO}	入力電源喪失からデフォルト出力までの遅延時間	V_{CC} が 1.2V を下回る時間から測定。図 6-2 を参照してください	0.1	0.3		μs
t_{ie}	タイム インターバル エラー	50Mbps で $2^{16} - 1$ PRBS データ	1			ns

(1) 別名パルス スキー。

(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキーです。

(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

5.17 スイッチング特性— 1.8V 電源

$V_{CC1} = V_{CC2} = 1.8V \pm 5\%$ (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}, t_{PHL}	伝搬遅延時間	図 7-1 をご覧ください	15	25.1		ns
$t_{P(dft)}$	伝搬遅延のドリフト		15.2			ps/°C
t_{UI}	最小パルス幅	図 7-1 をご覧ください	20			ns
PWD	パルス幅歪み ⁽¹⁾ $ t_{PHL} - t_{PLH} $	図 7-1 をご覧ください	0.7	8.2		ns
$t_{sk(o)}$	チャネル間の出力スキー時間 ⁽²⁾	同じ方向のチャネル	6			ns
$t_{sk(p-p)}$	部品間のスキー時間 ⁽³⁾		8.8			ns
t_r	出力信号の立ち上がり時間	図 7-1 をご覧ください	2.7	5.3		ns
t_f	出力信号の立ち下がり時間		2.7	5.3		ns
t_{PU}	UVLO から有効な出力データまでの時間		300			μs
t_{DO}	入力電源喪失からデフォルト出力までの遅延時間	V_{CC} が 1.2V を下回る時間から測定。図 6-2 を参照してください	0.1	0.3		μs
t_{ie}	タイム インターバル エラー	50Mbps で $2^{16} - 1$ PRBS データ	1			ns

(1) 別名パルス スキー。

(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキーです。

(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

5.18 代表的特性

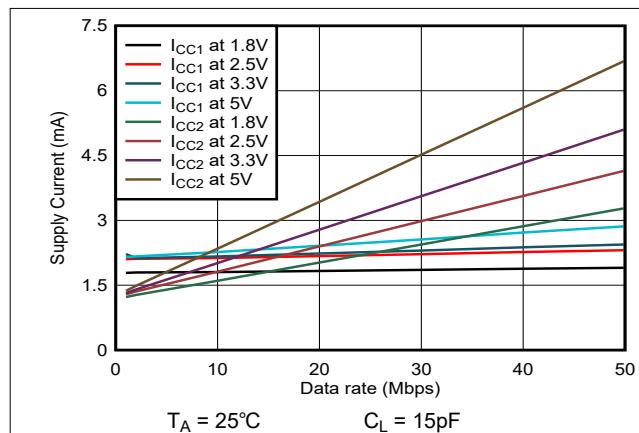


図 5-1. ISO6520 の消費電流とデータ レートとの関係
(15pF 負荷時)

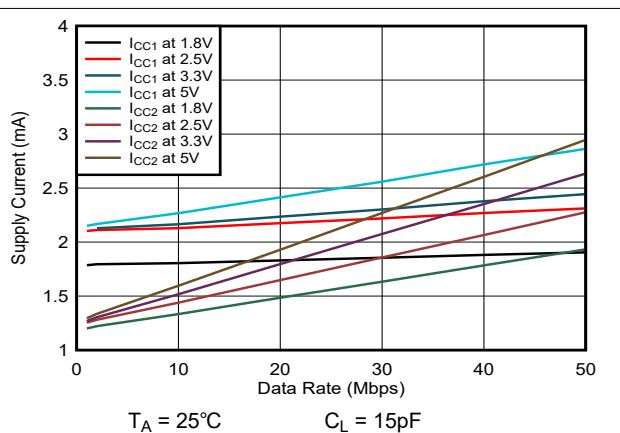


図 5-2. ISO6520 の電源電流とデータ レートとの関係
(負荷なし)

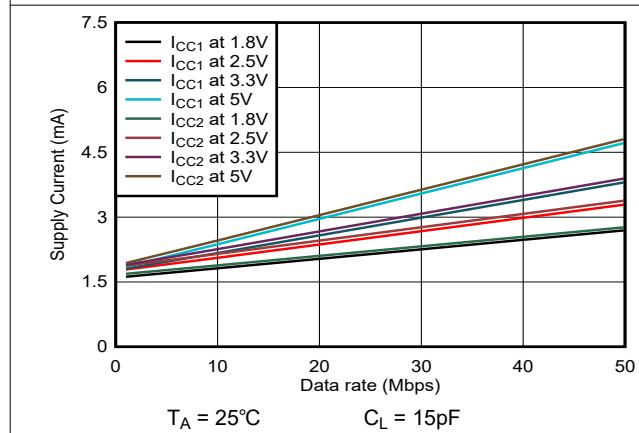


図 5-3. ISO6521 の消費電流とデータ レートとの関係
(15pF 負荷時)

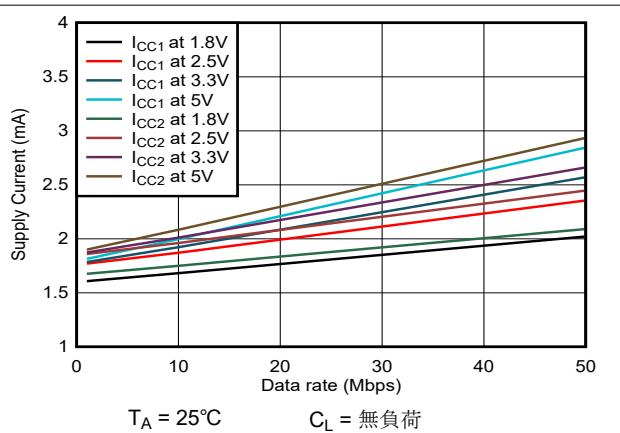


図 5-4. ISO6521 の電源電流とデータ レートとの関係
(負荷なし)

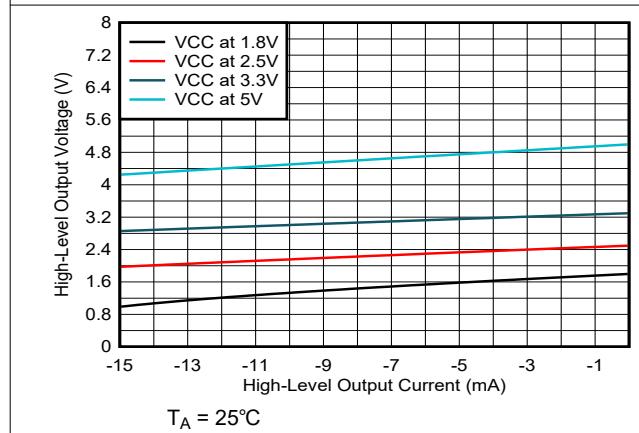


図 5-5. High レベル出力電圧と High レベル出力電流
との関係

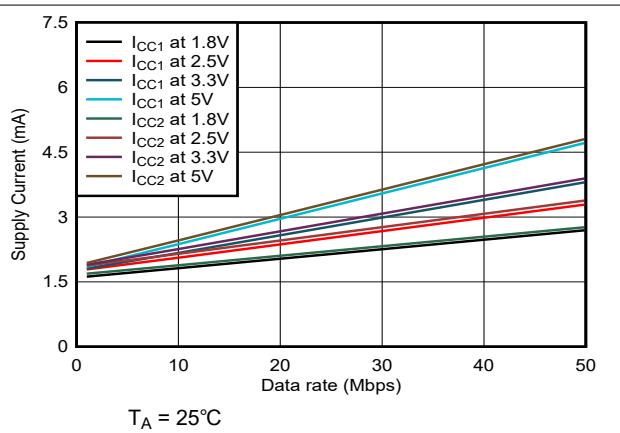


図 5-6. Low レベル出力電圧と Low レベル出力電流との関係

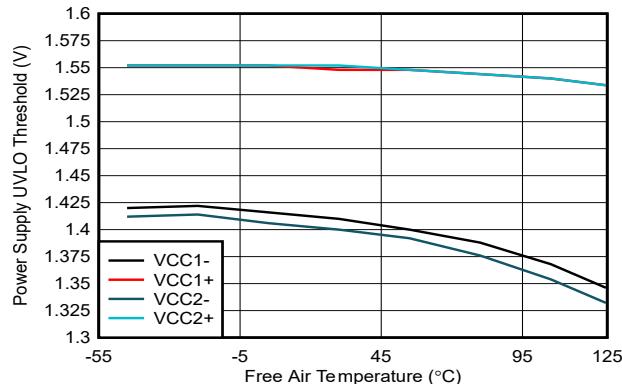


図 5-7. 電源低電圧スレッショルドと周囲温度との関係

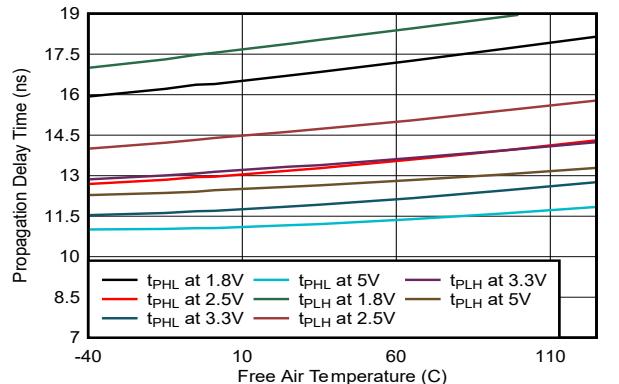
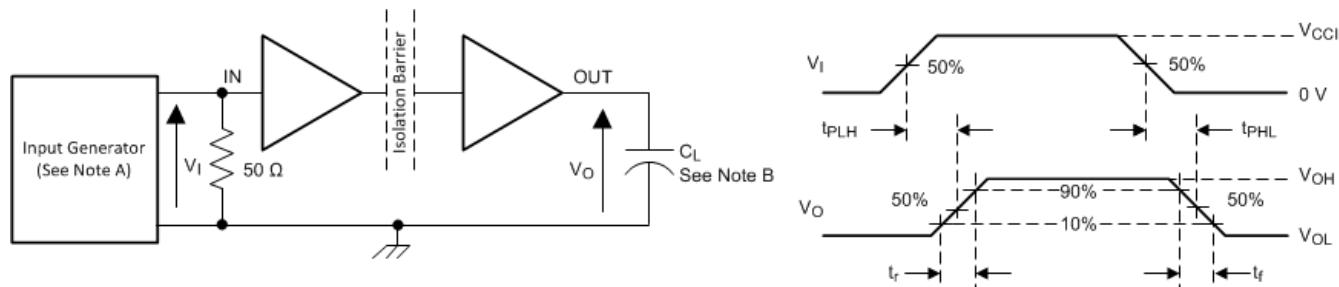


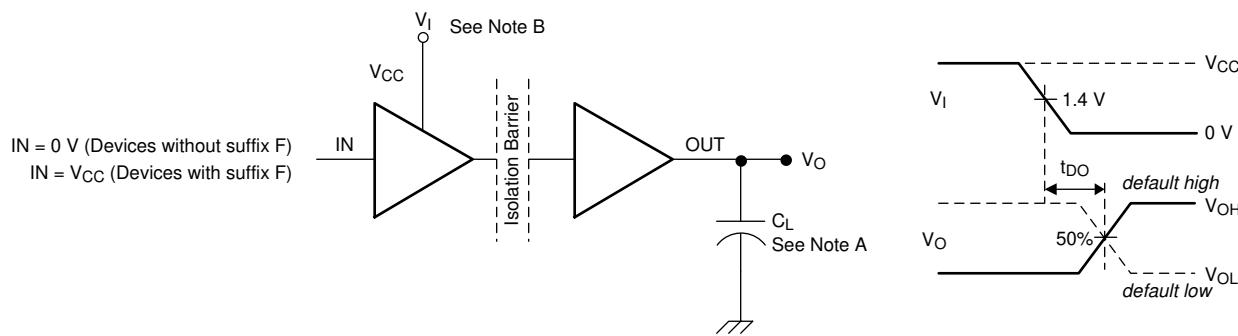
図 5-8. 伝搬遅延時間と周囲温度との関係

6 パラメータ測定情報



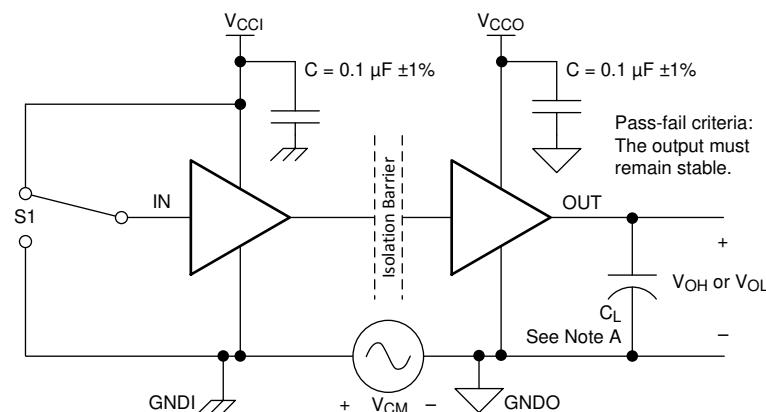
- A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR \leq 50kHz、50% デューティ サイクル、 $t_r \leq 3\text{ns}$ 、 $t_f \leq 3\text{ns}$ 、 $Z_o = 50\Omega$ 。入力 ジェネレータ信号を終端するため、入力に 50Ω の抵抗が必要です。実際のアプリケーションでは、この 50Ω 抵抗は不要です。
- B. $C_L = 15\text{pF}$ であり、 $\pm 20\%$ 以内の計測器および治具の容量が含まれています。

図 6-1. スイッチング特性試験回路と電圧波形



- A. $C_L = 15\text{pF}$ であり、 $\pm 20\%$ 以内の計測器および治具の容量が含まれています。
- B. 電源ランプ レート = 10mV/ns

図 6-2. デフォルトの出力遅延時間テスト回路と電圧波形



- A. $C_L = 15\text{pF}$ であり、 $\pm 20\%$ 以内の計測器および治具の容量が含まれています。

図 6-3. 同相過渡電圧耐性試験回路

7 詳細説明

7.1 概要

ISO652x ファミリのデバイスは、オン オフ キーイング (OOK) 変調方式を使用し、二酸化ケイ素をベースとする絶縁バリアを介してデジタル データを送信します。トランスマッタは、バリアを介して高周波キャリアを送信することによって、1 つのデジタル状態を表しています。また、信号を送信しないことによって、もう 1 つのデジタル状態を表しています。レシーバは、高度な信号コンディショニングを行ってから信号を復調し、バッファ段経由で出力を生成します。これらのデバイスには高度な回路技法も使用されており、CMTI 性能を最大化し、高周波キャリアと IO バッファのスイッチングによる放射ノイズを最小化しています。デジタル容量性アイソレータの概念ブロック図である図 7-1 は、代表的なチャネルの機能ブロック図を示しています。

7.2 機能ブロック図

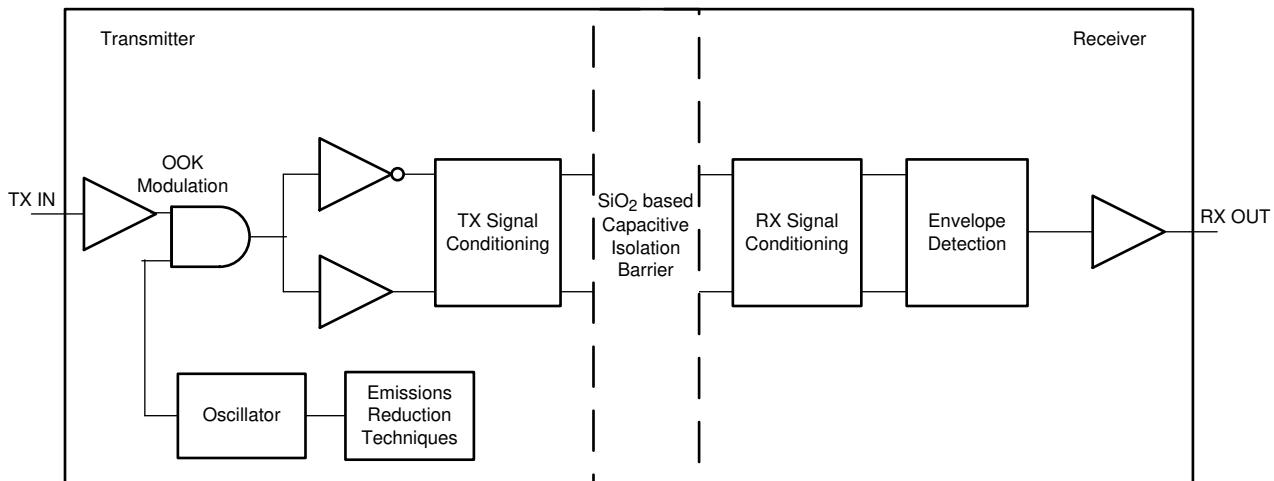


図 7-1. デジタル容量性アイソレータの概念ブロック図

図 7-2 に、OOK 方式の概念図を示します。

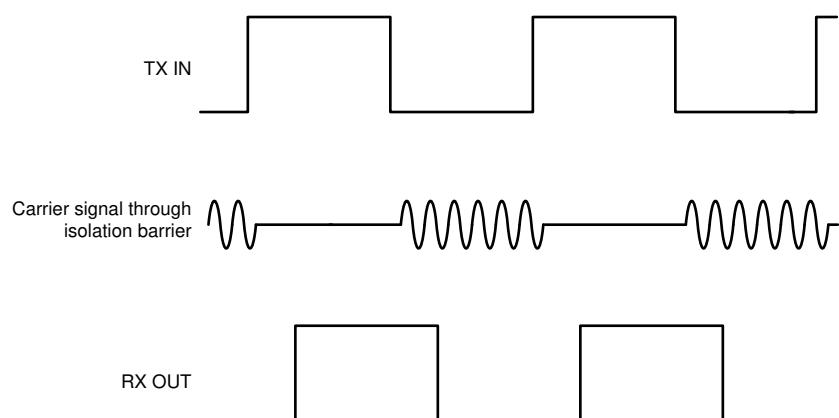


図 7-2. オン オフ キーイング (OOK) による変調方式

7.3 機能説明

ファミリのデバイスは、2つのチャネル構成とデフォルトの出力状態オプションで利用でき、さまざまなアプリケーション用途に使用できます。に、デバイスの機能を示します。

表 7-1. デバイスの機能

部品番号	最大データレート	チャネル方向	デフォルト出力状態	パッケージ
ISO6520	50Mbps	正方向 2、逆方向 0	High	REU-8
ISO6520F	50Mbps	正方向 2、逆方向 0	Low	REU-8
ISO6521	50Mbps	正方向 1、逆方向 1	High	REU-8
ISO6521F	50Mbps	正方向 1、逆方向 1	Low	REU-8

7.4 デバイスの機能モード

表 7-2 に、デバイスの機能モードを示します。

表 7-2. 機能表

V_{CCI} ⁽¹⁾	V_{CCO}	入力 (INx) ⁽²⁾	出力 (OUTx)	備考
PU	PU	H	H	通常動作:チャネルの出力は、入力の論理状態になります。
		L	L	
		オープン	デフォルト	デフォルト モード:INx がオープンのとき、対応するチャネル出力はデフォルトのロジック状態に移行します。デフォルトは、では High、では F 接尾辞付きの Low です。
PD	PU	X	デフォルト	デフォルト モード: V_{CCI} に電源が供給されていないとき、チャネル出力は選択されたデフォルト オプションに基づいたロジック状態になります。デフォルトは、では High、では F 接尾辞付きの Low です。 V_{CCI} が電源オフから電源オンに遷移すると、チャネル出力は入力のロジック状態と同じになります。 V_{CCI} が電源オンから電源オフに遷移すると、チャネル出力は選択されているデフォルト状態になります。
X	PD	X	不定	V_{CCO} の電源がオフのとき、チャネルの出力は不定です ⁽³⁾ 。 V_{CCO} が電源オフから電源オンに遷移すると、チャネル出力は入力のロジック状態と同じになります

(1) V_{CCI} = 入力側 V_{CC} 、 V_{CCO} = 出力側 V_{CC} 、PU = 電源オン ($V_{CC} \geq 1.71$ V)、PD = 電源オフ ($V_{CC} \leq 1.05$ V)、X = 無関係、H = High レベル、L = Low レベル

(2) 強く駆動される入力信号は、内部保護ダイオードを経由してフローティング V_{CC} に弱い電力を供給し、出力が不定になる可能性があります。

(3) $1.89V < V_{CCI}, V_{CCO} < 2.25V$ 、 $1.05V < V_{CCI}, V_{CCO} < 1.71V$ のとき、出力の状態は不定です。

7.4.1 デバイス I/O 回路図

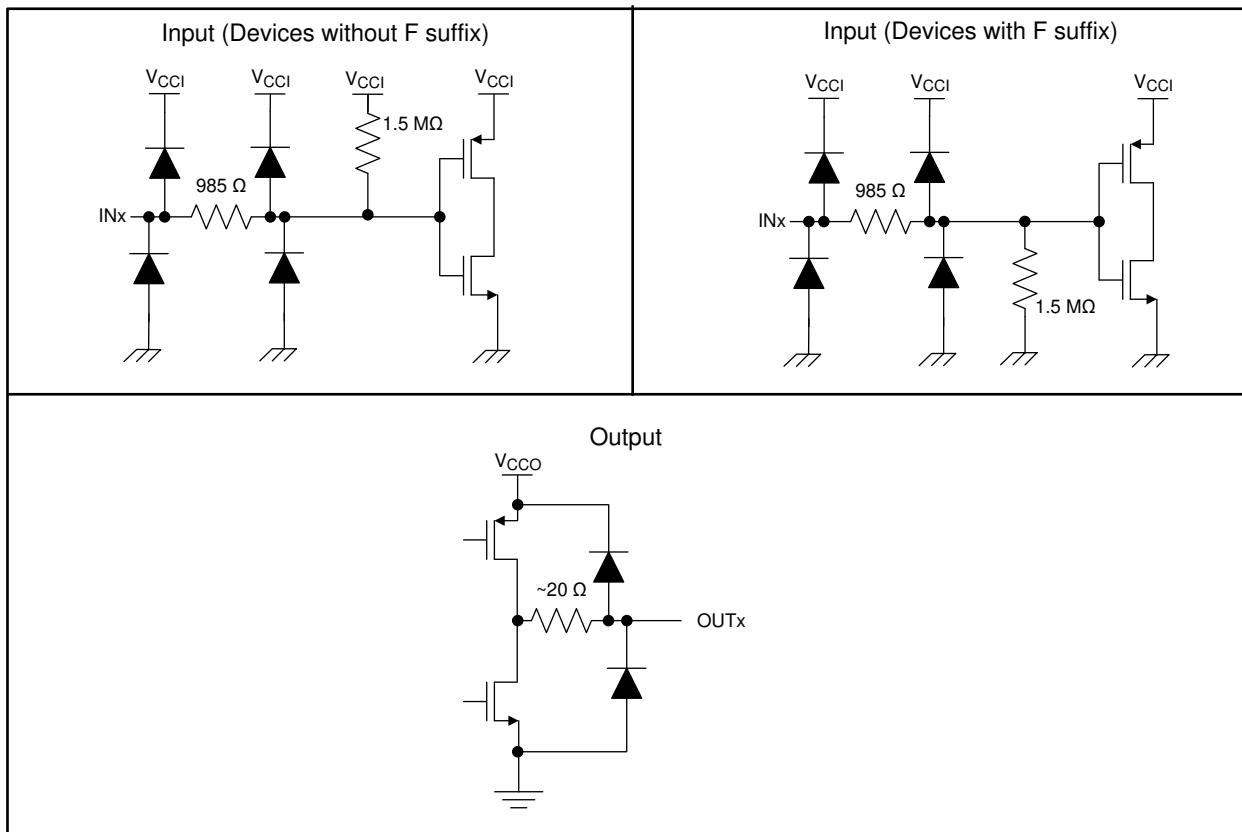


図 7-3. デバイス I/O 回路図

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

ISO652x デバイスは、高性能のデュアル チャネル デジタル アイソレータです。これらのデバイスは、シングルエンドの CMOS ロジック スイッチング技術を使用しています。電源電圧の範囲は、 V_{CC1} と V_{CC2} の両方の電源で 1.71V~5.5V です。絶縁バリアは 2 つの側を分離するため、推奨動作条件内の任意の電圧を使用し、それぞれの側を独立してソースできます。 V_{CC1} に 3.3V (1.71V ~ 1.89V と 2.25V ~ 5V の範囲内)、 V_{CC2} に 5V (これも 1.71V ~ 1.89V と 2.25V ~ 5V の範囲内) を供給できます。デジタル アイソレータは、絶縁に加えて、ロジック レベルトランスレータとしても使用できます。デジタル アイソレータを使って設計する場合は、シングルエンド設計構造のため、デジタル アイソレータが特定のインターフェイス規格に準拠していないこと、シングルエンド CMOS または TTL デジタル信号ラインの絶縁のみを目的としていることに注意してください。アイソレータは通常、インターフェイスの種類や規格にかかわらず、データ コントローラ (MCU または FPGA) と、データ コンバータまたはライン ラインシーバとの間に配置されます。

注

ISO652x は機能絶縁デバイスであり、標準化機構による絶縁に関する認証を受けていません。標準化機構による絶縁の認証が必要な用途では、ISO672x、ISO772x、ISO782x のいずれかのデジタル アイソレータ ファミリを選択する必要があります。

8.2 代表的なアプリケーション

ISO652x は、テキサス インスツルメンツのミックスド シグナル マイコン、電圧レギュレータ、ドライバ内蔵 GaN と組み合わせて、複数の電源設計で使用できます。ISO652x は、高電圧パワー MOSFET を敏感なロジック制御回路から絶縁するのに役立ちます。

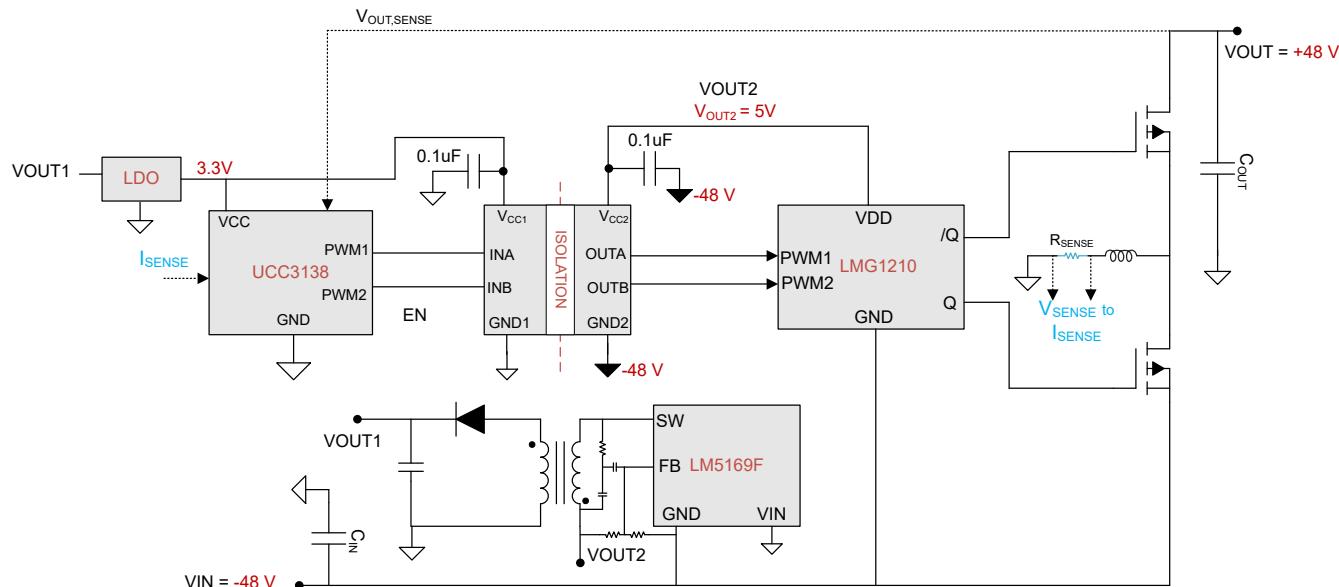


図 8-1. ISO6520 は、反転昇降圧トポロジにおいて、グランドを基準とするコントローラから FET ドライバへ PWM 信号をレベルシフトします

8.2.1 設計要件

このデバイスを使用する設計には、表 8-1 に記載されているパラメータを使用します。

表 8-1. 設計パラメータ

パラメータ	値
電源電圧、 V_{CC1} および V_{CC2}	1.71V~1.89V、2.25V~5.5V
V_{CC1} と GND1 との間のデカップリング コンデンサ	0.1μF
V_{CC2} と GND2 との間のデカップリング コンデンサ	0.1μF

8.3 絶縁寿命

絶縁寿命予測データは、業界標準の TDDB (Time Dependent Dielectric Breakdown、経時絶縁破壊) テスト手法を使用して収集されます。このテストでは、バリアのそれぞれの側にあるすべてのピンを互いに接続して 2 つの端子を持つデバイスを構成し、その両側に高電圧を印加します。TDDB テスト構成については、図 8-2 を参照してください。この絶縁破壊データは、動作温度範囲で、さまざまな電圧について 60Hz でスイッチングして収集されます。

図 8-3 に、寿命全体にわたって高電圧ストレスに耐えることができる、絶縁バリアの固有能力を示します。この TDDB データによれば、絶縁バリアの固有容量は、REU-8 と 8-D パッケージの両方を含む ISO652x の場合、450 V_{RMS} で寿命は 100 年を超え、8-DWV パッケージの場合はパッケージ サイズ、汚染度、材料グループなど他の要因により、部品の動作電圧がさらに制限される場合があります。動作電圧が低い場合、対応する絶縁寿命は、100 年よりはるかに長くなります。。

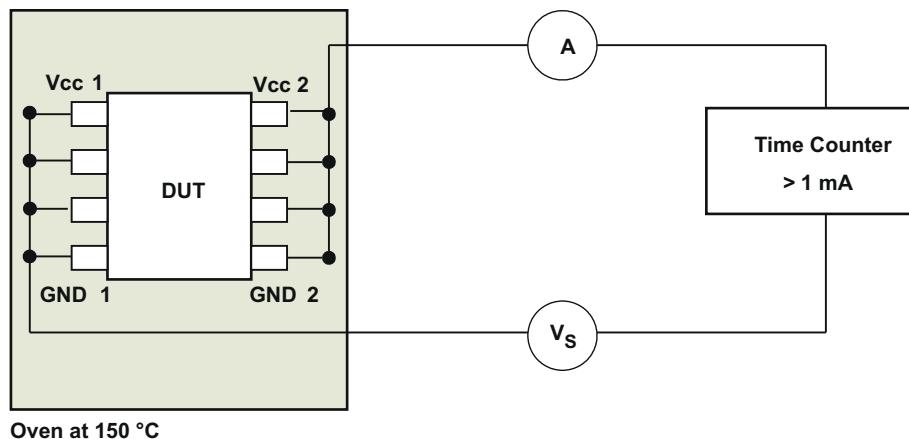


図 8-2. 絶縁寿命測定用のテスト構成

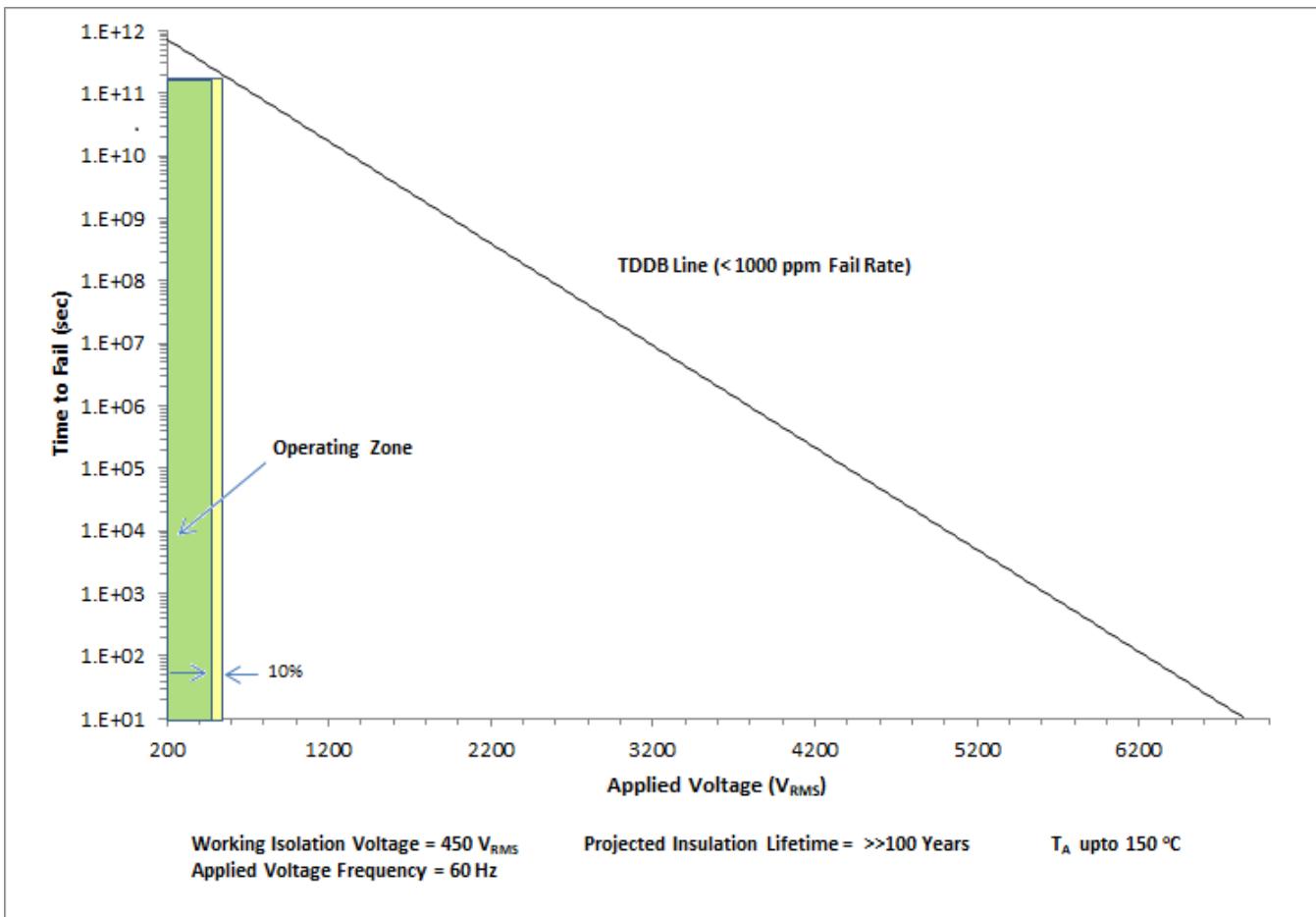


図 8-3. 絶縁寿命予測データ

8.4 電源に関する推奨事項

データ レートおよび電源電圧に対する信頼性の高い動作を確保するため、入力および出力電源ピン (V_{CC1} および V_{CC2}) に $0.1\mu F$ のバイパスコンデンサを推奨します。コンデンサは、電源ピンのできるだけ近くに配置する必要があります。アプリケーションで使用できる 1 次側電源が 1 つだけの場合は、トランスマジックアーティファクトを使用して 2 次側用の絶縁型電源を生成できます。産業用アプリケーションでは、テキサス・インスツルメンツの [SN6501](#) または [SN6505B](#) を使用してください。このようなアプリケーションでは、『[SN6501 絶縁電源用の変圧器ドライバ](#)』または『[SN6505B-Q1 絶縁型電源用の低ノイズ、1A 変圧器ドライバ](#)』で、電源の詳細な設計とトランスの選択についての推奨事項を参照できます。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

コストが最適化された低 EMI PCB の設計を実現するには、最小 2 層が必要です。EMI をさらに改善するために、4 層基板を使用できます。4 層基板の層は、上層から下層に向かって、高速信号層、グランドプレーン、電源プレーン、低周波数信号層の順に配置する必要があります。

- 上層に高速パターンを配線することにより、ビアの使用 (およびそれに伴うインダクタンスの発生) を避けて、データリンクのトランスマジックアーティファクトおよびレシーバ回路とアイソレータとの間のクリーンな相互接続が可能になります。
- 高速信号層の次の層に、ベタのグランドプレーンを配置することにより、伝送ライン接続のインピーダンスを制御し、リターン電流のための優れた低インダクタンスパスを実現します。
- グランドプレーンの次の層に、電源プレーンを配置すると、高周波バイパス容量を約 $100\text{pF}/\text{inch}^2$ 増加させることができます。

- 最下層に低速の制御信号を配線すると、これらの信号リンクには一般的に、ビアのような不連続性を許容するマージンがあるため、高い柔軟性が得られます。
- 低 ESR セラミックバイパスコンデンサを使用して、VCC ピンをグランドにバイパスします。X5R または X7R 定格の誘電体でセラミックコンデンサを使用する場合、推奨される標準バイパス容量は $0.1\mu\text{F}$ です。コンデンサは、PCB レイアウトの同じ層で、VCC ピンのできるだけ近くに配置する必要があります。このコンデンサの電圧定格は、VCC 電圧レベルよりも大きい必要があります。

電源プレーンまたは信号層の追加が必要な場合は、対称性を保つために、第 2 の電源系統またはグランドプレーン系統を層構成に追加します。この設計により、基板の層構成が機械的に安定し、反りを防ぎます。また、各電源系統の電源プレーンとグランドプレーンを互いに近づけて配置できるため、高周波バイパス容量を大幅に増やすことができます。

レイアウトの推奨事項の詳細については、『[デジタルアイソレータ設計ガイド](#)』を参照してください。

8.5.1.1 PCB 材料

150Mbps 未満で動作する場合（または、立ち上がり立ち下がり時間が 1ns 超）、およびトレース長が 10 インチ未満の場合のデジタル回路基板には、標準の FR-4 UL94V-0 プリント基板を使用します。この PCB は、高周波での誘電損失の低減、吸湿性の低減、強度と剛性の向上、および自己消火性の特性により、安価な代替品よりも推奨されます。

8.5.2 レイアウト例

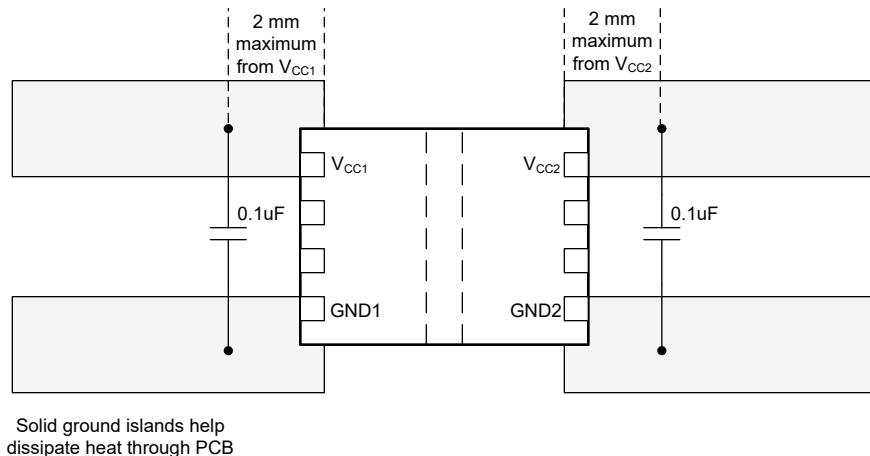


図 8-4. レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[絶縁用語集](#)』アプリケーション ノート
- テキサス・インスツルメンツ、『[SN6501 絶縁電源用のトランジストドライバ](#)』データシート
- テキサス・インスツルメンツ、『[SN6505x 絶縁電源用の低ノイズ、1A トランジストドライバ](#)』データシート
- テキサス・インスツルメンツ、『[SN6507 デューティサイクル制御機能搭載、絶縁電源用の低エミッション、36V プッシュプルトランジストドライバ](#)』データシート
- テキサス・インスツルメンツ、『[LMG341xR070 600-V 70-mΩ GaN ドライバ/保護機能搭載](#)』データシート

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の【アラートを受け取る】をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことをお勧めします。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (April 2024) to Revision C (August 2025)	Page
ドキュメント全体にわたって表、図、相互参照の採番方法を更新。	1
REU-8 パッケージの過渡絶縁電圧を 2000Vrms(AC) および 2828V(DC) に更新	4
8D パッケージの過渡絶縁電圧を、2000Vrms(AC) および 2828V(DC)	4
REU-8 パッケージ バリアントの VIOWM AC 電圧を更新	4
REU-8 パッケージ バリアントの VIOWM DC 電圧を更新	4
絶縁寿命予測データの画像を更新	20

- 「電源に関する推奨事項」のドキュメント参照を更新 21

Changes from Revision A (December 2023) to Revision B (April 2024)	Page
---	-------------

- | | |
|--------------------------------------|---|
| • ドキュメント全体にわたって表、図、相互参照の採番方法を更新。 | 1 |
| • ドキュメント全体を通して ISO6521F バリアントの情報を追加。 | 1 |
-

Changes from Revision * (August 2023) to Revision A (December 2023)	Page
--	-------------

- | | |
|--------------------------|----|
| • デバイスのステータスを「量産データ」に更新。 | 1 |
| • 「代表的なアプリケーション」図を更新。 | 19 |
-

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ（データシートを含みます）、設計リソース（リファレンス デザインを含みます）、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、[テキサス・インスツルメンツの販売条件](#)、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいづれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISO6520DR	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6520
ISO6520DR.A	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6520
ISO6520FDR	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6520F
ISO6520FDR.A	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6520F
ISO6520FREUR	Active	Production	VSON (REU) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6520F
ISO6520FREUR.A	Active	Production	VSON (REU) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6520F
ISO6520REUR	Active	Production	VSON (REU) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6520
ISO6520REUR.A	Active	Production	VSON (REU) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6520
ISO6521DR	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6521
ISO6521DR.A	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6521
ISO6521FDR	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6521F
ISO6521FDR.A	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6521F
ISO6521FREUR	Active	Production	VSON (REU) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6521F
ISO6521FREUR.A	Active	Production	VSON (REU) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6521F
ISO6521REUR	Active	Production	VSON (REU) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6521
ISO6521REUR.A	Active	Production	VSON (REU) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6521

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

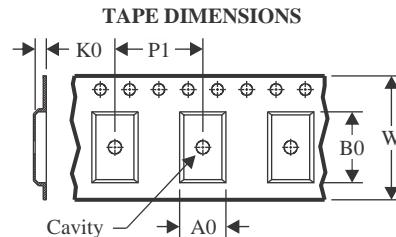
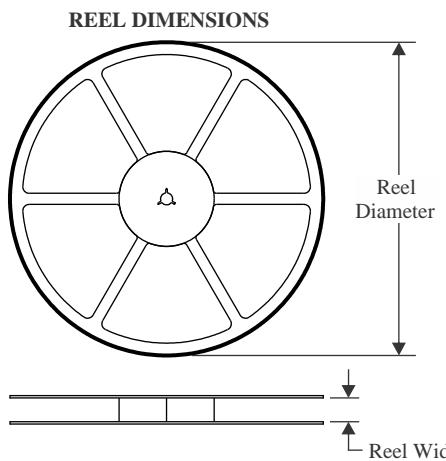
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF ISO6520, ISO6521 :

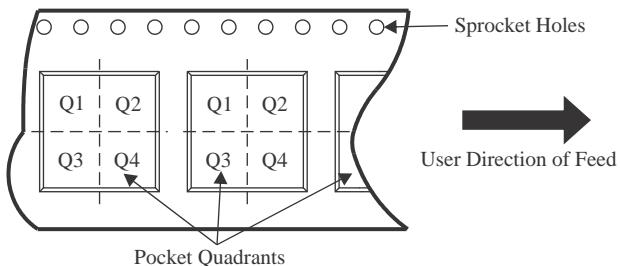
- Automotive : [ISO6520-Q1](#), [ISO6521-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

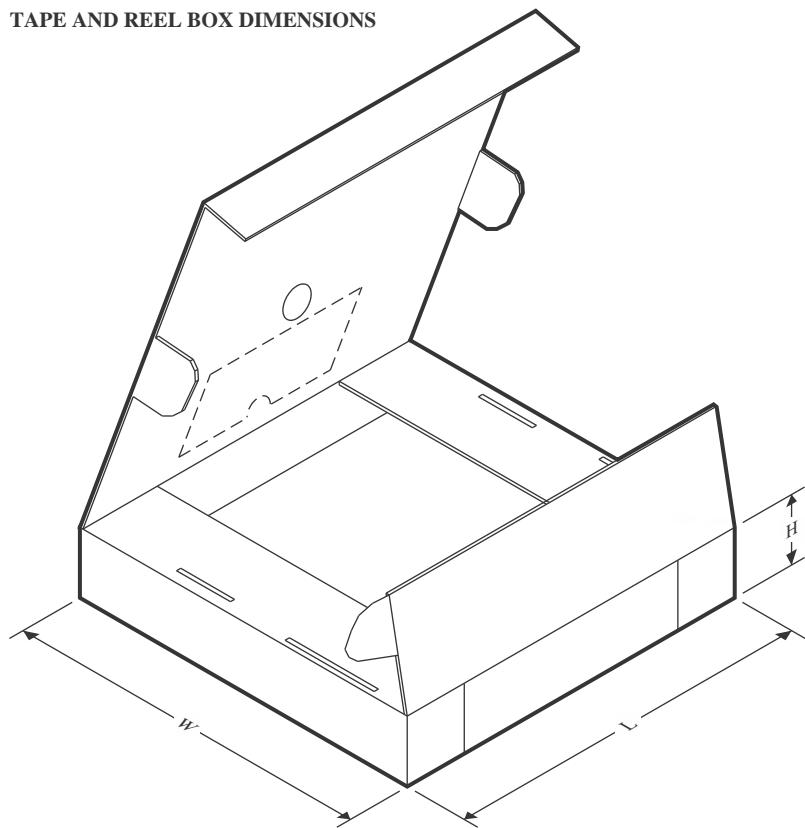
TAPE AND REEL INFORMATION

A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO6520DR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6520FDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6520FREUR	VSON	REU	8	3000	180.0	12.4	2.3	3.3	1.2	4.0	12.0	Q2
ISO6520REUR	VSON	REU	8	3000	180.0	12.4	2.3	3.3	1.2	4.0	12.0	Q2
ISO6521DR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6521FDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6521FREUR	VSON	REU	8	3000	180.0	12.4	2.3	3.3	1.2	4.0	12.0	Q2
ISO6521REUR	VSON	REU	8	3000	180.0	12.4	2.3	3.3	1.2	4.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO6520DR	SOIC	D	8	3000	353.0	353.0	32.0
ISO6520FDR	SOIC	D	8	3000	353.0	353.0	32.0
ISO6520FREUR	VSON	REU	8	3000	210.0	185.0	35.0
ISO6520REUR	VSON	REU	8	3000	210.0	185.0	35.0
ISO6521DR	SOIC	D	8	3000	353.0	353.0	32.0
ISO6521FDR	SOIC	D	8	3000	353.0	353.0	32.0
ISO6521FREUR	VSON	REU	8	3000	210.0	185.0	35.0
ISO6521REUR	VSON	REU	8	3000	210.0	185.0	35.0

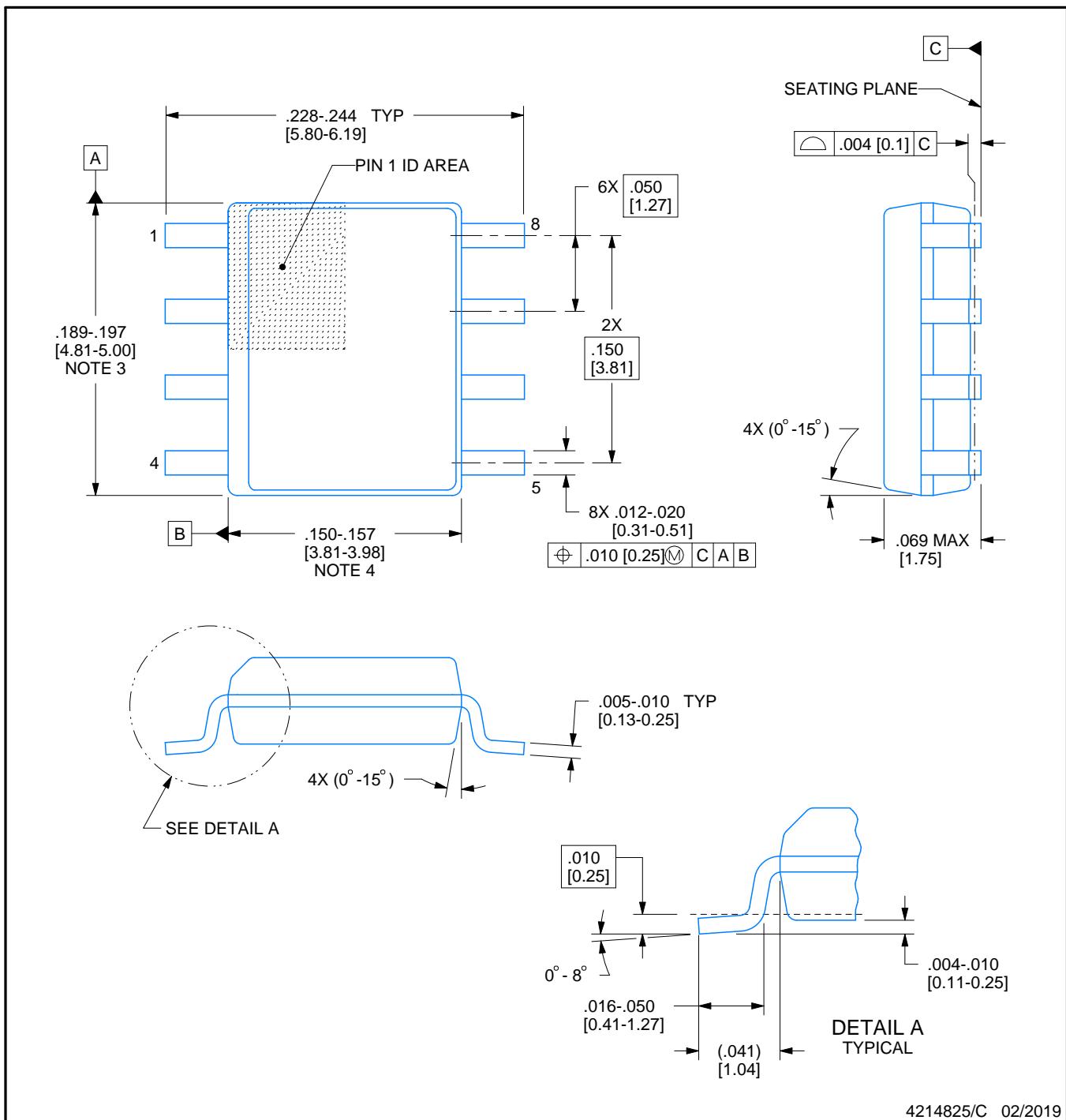
D0008A



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

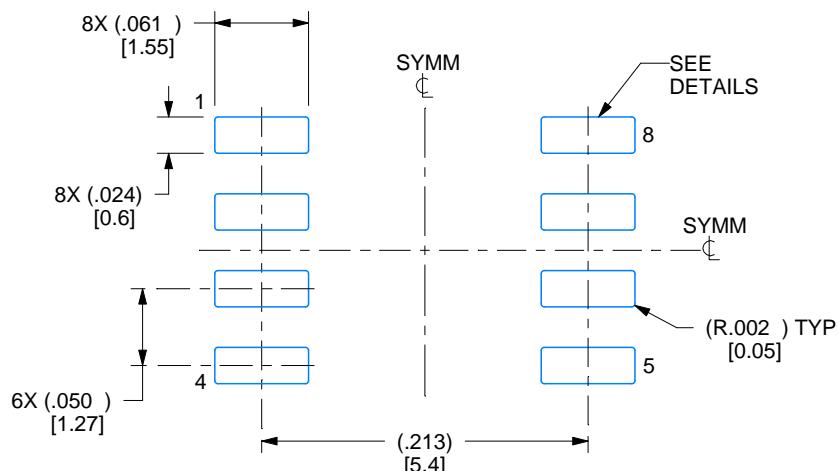
- Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
- This dimension does not include interlead flash.
- Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

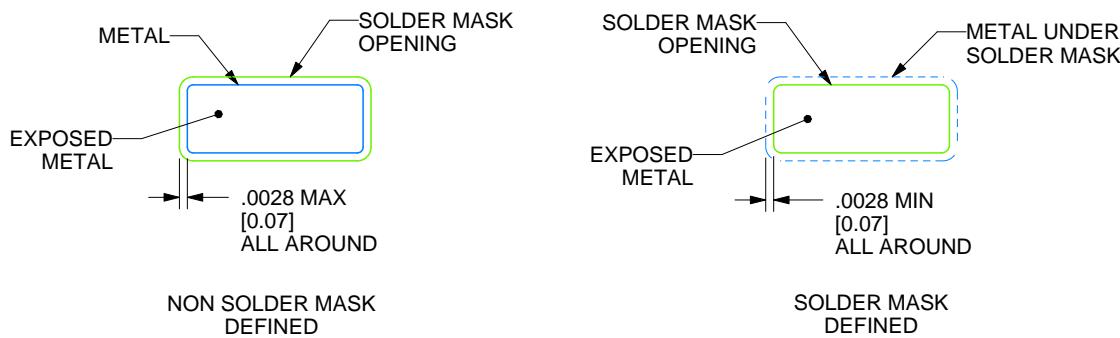
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

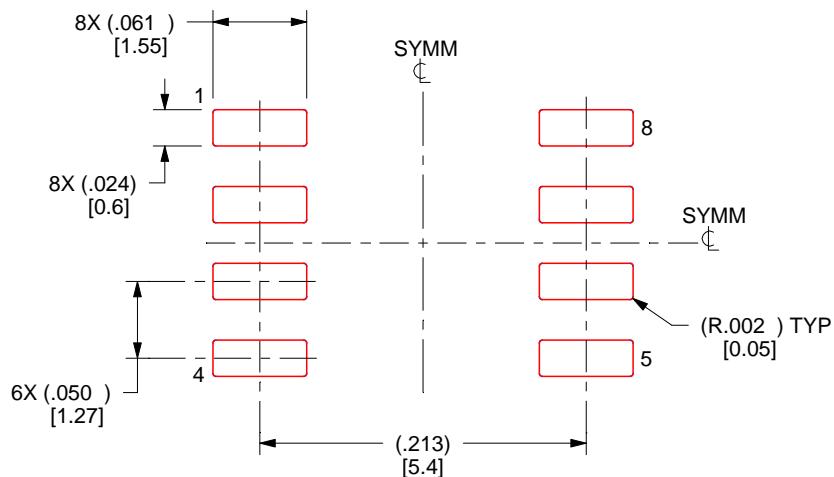
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



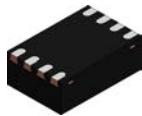
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

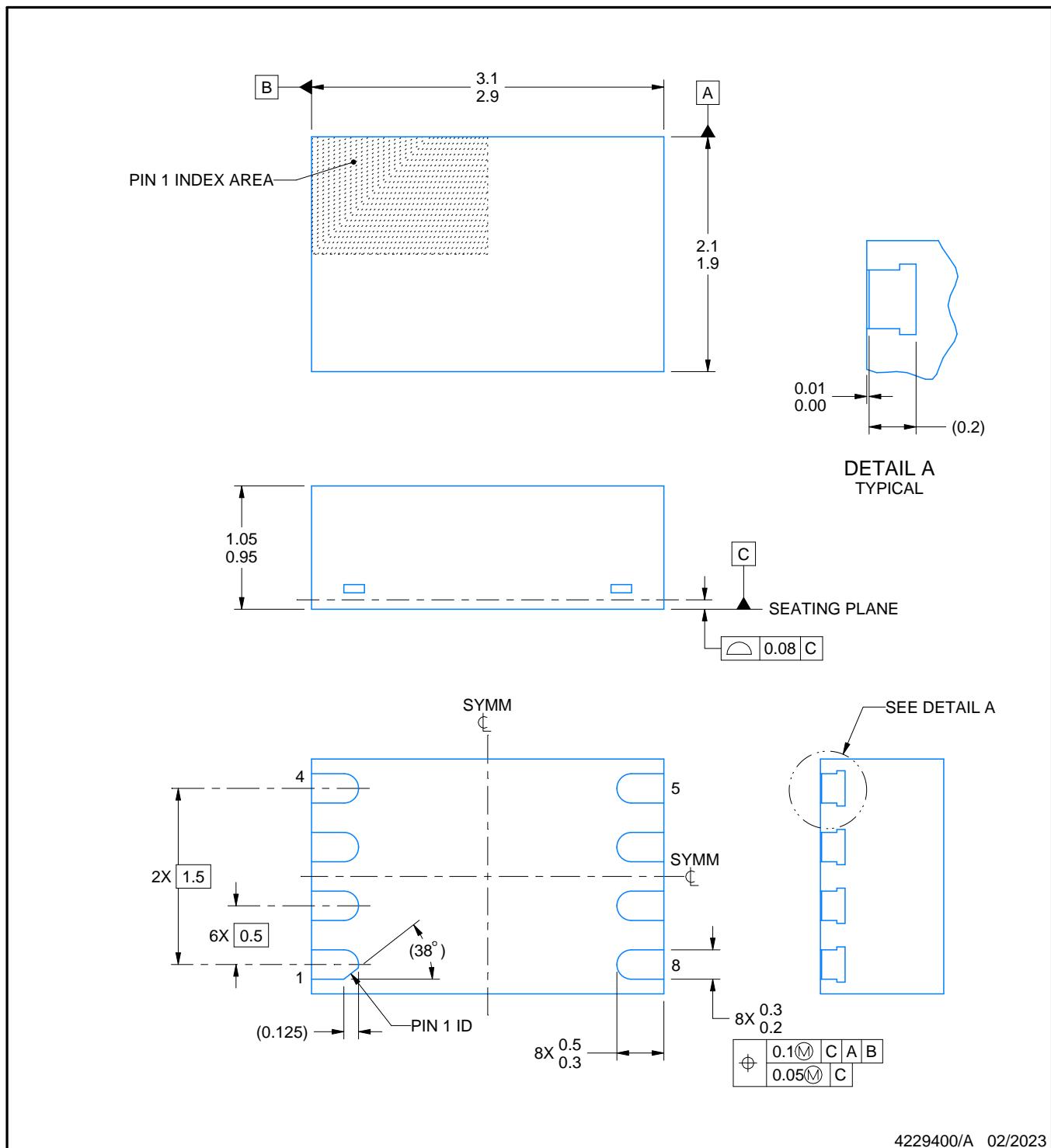
REU0008A



PACKAGE OUTLINE

VSON - 1.05 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



4229400/A 02/2023

NOTES:

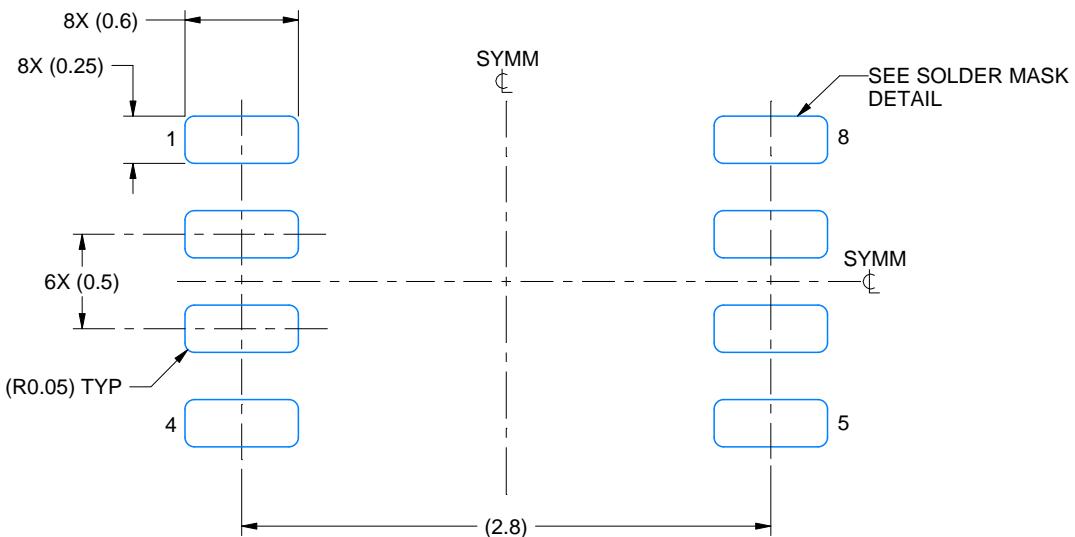
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

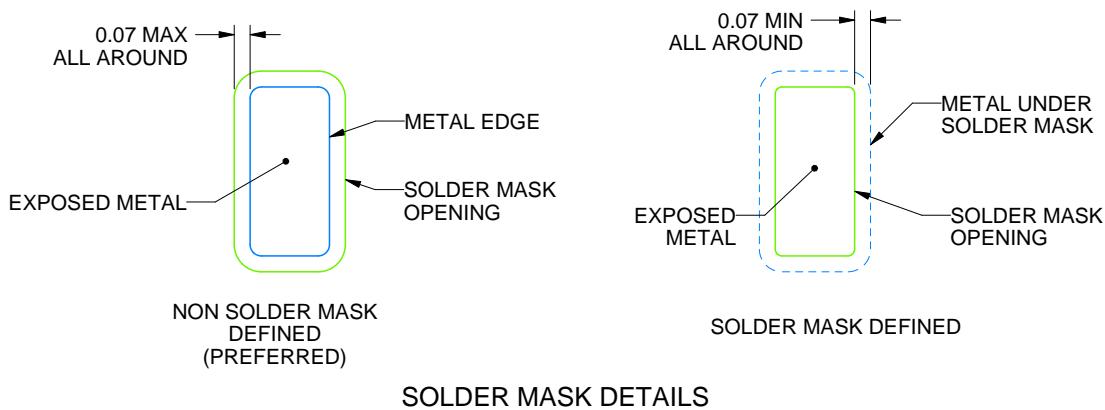
REU0008A

VSON - 1.05 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 25X



4229400/A 02/2023

NOTES: (continued)

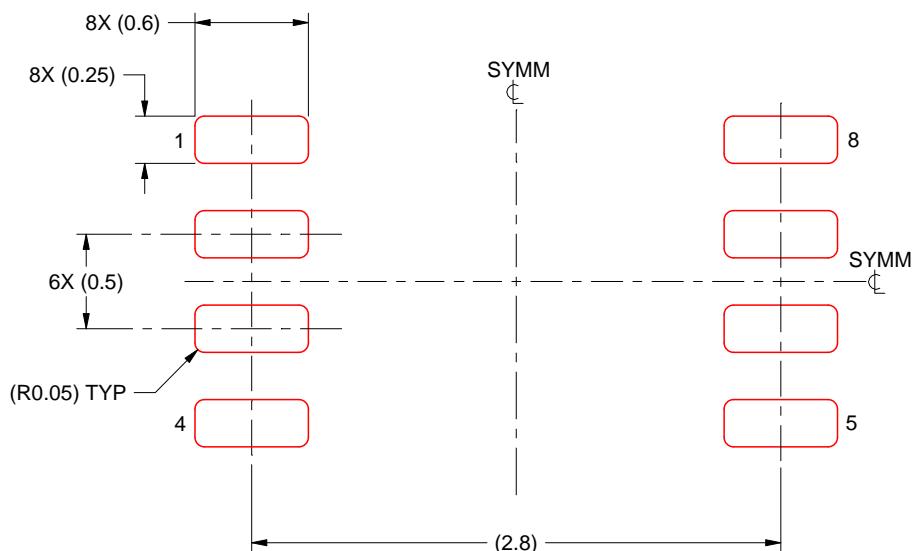
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

REU0008A

VSON - 1.05 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 25X

4229400/A 02/2023

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TIは、技術データと信頼性データ(データシートを含みます)、設計リソース(リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Webツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1)お客様のアプリケーションに適した TI 製品の選定、(2)お客様のアプリケーションの設計、検証、試験、(3)お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月