ISO672x-Q1 汎用、強化および基本絶縁、車載用デュアルチャネル デジタル アイソレータ、堅牢な EMC

1 特長

- 機能安全対応
  - 機能安全システムの設計に役立つ資料を利用可能:ISO6720-Q1、ISO6721-Q1
- 以下の結果で AEC-Q100 認定済み:
  - デバイス温度グレード 1:動作時周囲温度範囲 -40℃～+125℃
- VDA320 絶縁要件に適合
- 50Mbps のデータ レート
- 堅牢な絶縁バリア:
  - 1060V_{RMS} の使用電圧での長い寿命
  - 最高 5000V_{RMS} の絶縁定格
  - CMTI: ±150kV/μs (代表値)
- 幅広い電源電圧範囲:1.71V～1.89V、2.25V～5.5V
- 1.71V から 5.5V への電圧変換
- デフォルト出力 HIGH (ISO672x-Q1) および LOW (ISO672xF-Q1) のオプション
- チャネルごとに 1.8mA (標準値、1Mbps 時)
- 小さい伝搬遅延:11ns (標準値)
- 堅牢な電磁両立性 (EMC)
  - システム レベルでの ESD、EFT、サージ耐性
  - 絶縁バリアの両側で ±8kV の IEC 61000-4-2 接触放電保護
  - 低い放射
- ナロー SOIC (D-8) およびワイド SOIC (DWV-8) パッケージ
- 安全関連の認定:
  - DIN EN IEC 60747-17 (VDE 0884-17)
  - UL 1577 部品認定プログラム
  - IEC 62368-1、IEC 61010-1、IEC 60601-1
  - GB 4943.1

2 アプリケーション

- ハイブリッド、電気自動車、およびパワートレイン システム (EV/HEV)
  - バッテリ管理システム (BMS)
  - オンボード チャージャ
  - トラクション インバータ
  - DC/DC コンバータ
  - インバータおよびモータ制御
- 電源
- 電力網、電力量計
- 電化製品

製品情報

部品番号	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (公称)
ISO6720B-Q1、ISO6720FB-Q1	D (SOIC、8)	4.90mm × 6.00mm	4.90mm × 3.91mm
ISO6721B-Q1、ISO6721FB-Q1			
ISO6721RB-Q1、ISO6721RFB-Q1			
ISO6720-Q1、ISO6720F-Q1	DWV (SOIC、8)	5.85mm × 11.50mm	5.85mm × 7.50mm
ISO6721-Q1、ISO6721F-Q1			

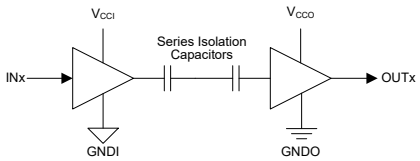
(1) 詳細については、メカニカル、パッケージ、および注文情報 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

3 説明

ISO672x-Q1 デバイスは、最大 5000V_{RMS} (DWV パッケージ) と 3000V_{RMS} (D パッケージ) の UL 1577 絶縁定格を必要とする、コストの制約が厳しいアプリケーション向けに設計された、高性能デュアルチャネル デジタル アイソレータです。これらのデバイスは VDE、TUV、CSA、CQC の認定も受けています。

ISO672x-Q1 デバイスは、CMOS または LVCMOS デジタル I/O を絶縁しながら、低消費電力で高い電磁気耐性と低い放射を実現します。各絶縁チャネルは、テキサス・インスツルメンツの二重容量性二酸化ケイ素 (SiO_2) 絶縁バリアで分離されたロジック入力および出力バッファを備えています。ISO6720-Q1 デバイスは 2 つの絶縁チャネルを備えており、どちらのチャネルも同一方向です。ISO6721-Q1 デバイスは 2 つの絶縁チャネルを備えており、各チャネルは別方向です。入力電力または入力信号が失われた場合のデフォルト出力は、接尾辞 F のないデバイスでは「High」、接尾辞 F のあるデバイスでは「Low」です。詳細は「デバイスの機能モード」のセクションを参照してください。



V_{CCI}=入力電源、V_{CCO}=出力電源
GNDI=入力グランド、GNDO=出力グランド

概略回路図

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 2
4 ピン構成および機能 ... 4
5 仕様 ... 5
5.1 絶対最大定格 ... 5
5.2 ESD 定格 ... 5
5.3 推奨動作条件 ... 6
5.4 熱に関する情報 ... 7
5.5 電力定格 ... 7
5.6 絶縁仕様 ... 8
5.7 安全関連認証 ... 10
5.8 安全限界値 ... 11
5.9 電気的特性— 5V 電源 ... 13
5.10 電源電流特性— 5V 電源 ... 13
5.11 電気的特性— 3.3V 電源 ... 15
5.12 電源電流特性— 3.3V 電源 ... 15
5.13 電気的特性— 2.5V 電源 ... 17
5.14 電源電流特性— 2.5V 電源 ... 17
5.15 電気的特性— 1.8V 電源 ... 19
5.16 電源電流特性— 1.8V 電源 ... 19
5.17 スイッチング特性— 5V 電源 ... 21
5.18 スイッチング特性— 3.3V 電源 ... 21
5.19 スイッチング特性— 2.5V 電源 ... 22
5.20 スイッチング特性— 1.8V 電源 ... 22
5.21 絶縁特性曲線 ... 23
5.22 代表的特性 ... 24
6 パラメータ測定情報 ... 26
7 詳細説明 ... 27
7.1 概要 ... 27
7.2 機能ブロック図 ... 27
7.3 機能説明 ... 28
7.4 デバイスの機能モード ... 29
8 アプリケーションと実装 ... 30
8.1 使用上の注意 ... 30
8.2 代表的なアプリケーション ... 31
8.3 電源に関する推奨事項 ... 36
8.4 レイアウト ... 36
9 デバイスおよびドキュメントのサポート ... 38
9.1 デバイス サポート ... 38
9.2 ドキュメントのサポート ... 38
9.3 ドキュメントの更新通知を受け取る方法 ... 38
9.4 サポート・リソース ... 38
9.5 商標 ... 38
9.6 静電気放電に関する注意事項 ... 38
9.7 用語集 ... 39
10 改訂履歴 ... 40
11 メカニカル、パッケージ、および注文情報 ... 41
11.1 付録：パッケージ オプション ... 48
11.2 テープおよびリール情報 ... 49

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

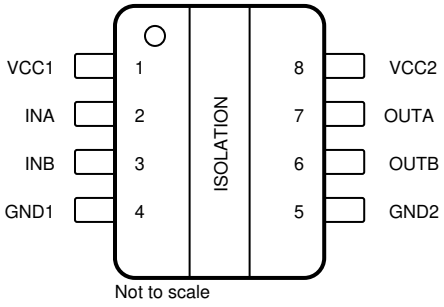


図 4-1. ISO6720-Q1 D および DWV パッケージ 8 ピン SOIC 上面図

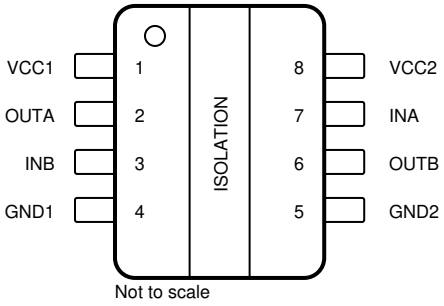


図 4-2. ISO6721-Q1 D および DWV パッケージ 8 ピン SOIC 上面図

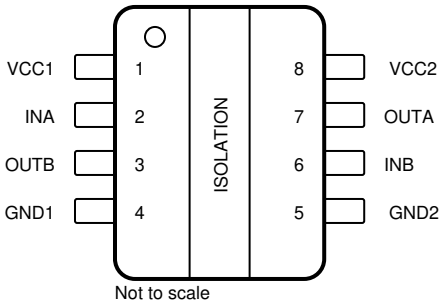


図 4-3. ISO6721RB-Q1 D パッケージ 8 ピン SOIC 上面図

表 4-1. ピンの機能

ピン				タイプ(1)	説明
名称	D および DWV パッケージ		D パッケージ		
	ISO6720-Q1	ISO6721-Q1	ISO6721RB-Q1		
GND1	4	4	4	—	V_{CC1} のグランド接続
GND2	5	5	5	—	V_{CC2} のグランド接続
INA	2	7	2	I	入力、チャネル A
INB	3	3	6	I	入力、チャネル B
OUTA	7	2	7	O	出力、チャネル A
OUTB	6	6	3	O	出力、チャネル B
V_{CC1}	1	1	1	—	電源、V_{CC1}
V_{CC2}	8	8	8	—	電源、V_{CC2}

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

(1) を参照

		最小値	最大値	単位
電源電圧 (2)	V_{CC1} から GND1	-0.5	6	V
	V_{CC2} から GND2	-0.5	6	
入力 / 出力電圧	INx から GNDx	-0.5	V_{CCX} + 0.5 (3)	V
	OUTx から GNDx	-0.5	V_{CCX} + 0.5 (3)	
出力電流	Io	-15	15	mA
温度	動作時の接合部温度、T_J		150	°C
	保管温度、T_{stg}	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 差動 I/O バス電圧を除くすべての電圧値は、ローカル グランド ピン (GND1 または GND2) を基準としており、ピーク電圧値です。
(3) 最大電圧は 6V 以下である必要があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±6000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±1500	
		IEC 61000-4-2 準拠の接触放電、絶縁バリア耐性試験(3) (4)	±8000	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(3) IEC 試験では、バリアのそれぞれの側にあるすべてのピンを互いに接続して 2 つの端子を持つデバイスを構成し、バリアをはさんで ESD 衝撃を印加します。
(4) テストは、デバイスの固有接触放電能力を判定するため、気中または油中で実行されます。

Copyright © 2026 Texas Instruments Incorporated

5.3 推奨動作条件

			最小値	公称値	最大値	単位
V_{CC1} (1)	サイド 1 電源電圧	V_{CC} = 1.8V(3)	1.71		1.89	V
V_{CC1} (1)	サイド 1 電源電圧	V_{CC} = 2.5V ～ 5V(3)	2.25		5.5	V
V_{CC2} (1)	サイド 2 電源電圧	V_{CC} = 1.8V(3)	1.71		1.89	V
V_{CC2} (1)	サイド 2 電源電圧	V_{CC} = 2.5V ～ 5V(3)	2.25		5.5	V
V_{CC} (UVLO+)	電源電圧が上昇しているときの UVLO スレッショルド			1.53	1.71	V
V_{CC} (UVLO-)	電源電圧が下降しているときの UVLO スレッショルド		1.1	1.41		V
Vhys (UVLO)	電源電圧 UVLO ヒステリシス		0.08	0.13		V
V_{IH}	High レベル入力電圧		0.7 × V_{CCI} (2)		V_{CCI}	V
V_{IL}	Low レベル入力電圧		0		0.3 × V_{CCI}	V
I_{OH}	High レベル入力電流	V_{CCO} (2) = 5V	-4			mA
		V_{CCO} = 3.3V	-2			mA
		V_{CCO} = 2.5V	-1			mA
		V_{CCO} = 1.8V	-1			mA
I_{OL}	Low レベル出力電流	V_{CCO} = 5V			4	mA
		V_{CCO} = 3.3V			2	mA
		V_{CCO} = 2.5V			1	mA
		V_{CCO} = 1.8V			1	mA
DR	データ レート		0		50	Mbps
T_A	周辺温度		-40	25	125	°C

(1) V_{CC1} と V_{CC2} は、互いに独立して設定できます
(2) V_{CCI} = 入力側 V_{CC}、V_{CCO} = 出力側 V_{CC}
(3) 1.89V < V_{CC1}、V_{CC2} < 2.25V かつ 1.05V < V_{CC1}、V_{CC2} < 1.71V のとき、チャネル出力は不定状態です

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準 (1)		ISO672x	ISO672xB	ISO6721RB	単位
		DWV (SOIC)	D (SOIC)	D (SOIC)	
		8 ピン	8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	84.3	104.6	98.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	36.3	48.9	33.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	47.0	52.9	47	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	7.4	7.9	2.3	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	45.1	52.1	46.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電力定格

パラメータ		テスト条件	最小値	標準値	最大値	単位
ISO6720						
P_D	最大消費電力 (両サイド)	V_{CC1} = V_{CC2} = 5.5V、T_J = 150°C、C_L = 15pF、25MHz 50% デューティ サイクルの方形波を入力			72	mW
P_{D1}	最大消費電力 (サイド 1)				20	mW
P_{D2}	最大消費電力 (サイド 2)				52	mW
ISO6721						
P_D	最大消費電力 (両サイド)	V_{CC1} = V_{CC2} = 5.5V、T_J = 150°C、C_L = 15pF、25MHz 50% デューティ サイクルの方形波を入力			73	mW
P_{D1}	最大消費電力 (サイド 1)				37	mW
P_{D2}	最大消費電力 (サイド 2)				37	mW
ISO6721RB						
P_D	最大消費電力 (両サイド)	V_{CC1} = V_{CC2} = 5.5V、T_J = 150°C、C_L = 15pF、25MHz 50% デューティ サイクルの方形波を入力			86	mW
P_{D1}	最大消費電力 (サイド 1)				43	mW
P_{D2}	最大消費電力 (サイド 2)				43	mW

Copyright © 2026 Texas Instruments Incorporated

5.6 絶縁仕様

パラメータ		テスト条件	値 8-DWV	値 8-D	単位
IEC 60664-1					
CLR	外部空間距離(1)	空気を通したサイド 1 とサイド 2 の距離	>8.5	>4	mm
CPG	外部沿面距離(1)	パッケージ表面上でのサイド 1 とサイド 2 の距離	>8.5	>4	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	>17	>17	µm
CTI	比較トラッキング インデックス	IEC 60112、UL 746A	>600	>400	V
	材料グループ	IEC 60664-1 に準拠	I	II	
	過電圧カテゴリ	定格商用電源 V_{RMS} が 150V 以下	I–IV	I-IV	
		定格商用電源 V_{RMS} が 300V 以下	I–IV	I-III	
		定格商用電源 V_{RMS} が 600V 以下	I–IV	該当なし	
		定格商用電源 V_{RMS} が 1000V 以下	I-III	該当なし	
DIN EN IEC 60747-17 (VDE 0884-17) (2)					
V_{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	1500	637	V_{PK}
V_{IOWM}	最大絶縁動作電圧	AC 電圧 (正弦波)、絶縁膜経時破壊 (TDDB) テスト。図 8-9 を参照	1060	450	V_{RMS}
		DC 電圧	1500	637	V_{DC}
V_{IOTM}	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}$、t = 60s (認定)、$V_{TEST} = 1.2 \times V_{IOTM}$、t = 1s (100% 出荷時テスト)	7071	4242	V_{PK}
V_{IMP}	最大インパルス電圧 (3)	IEC 62368-1 に準拠し空気中でテスト、1.2/50µs の波形	7692	5000	V_{PK}
V_{IOSM}	最大サージ絶縁電圧 (4)	$V_{IOSM} \geqq 1.3 \times V_{IMP}$、油中でテスト (認定)、1.2/50µs 波形、IEC 62368-1 に準拠	10000	6500	V_{PK}
q_{pd}	見掛けの電荷(5)	方法 a:I/O 安全テスト サブグループ 2/3 の後、$V_{ini} = V_{IOTM}$、t_{ini} = 60s、$V_{pd(m)} = 1.2 \times V_{IORM}$、$t_m$ = 10s	≦ 5	≦ 5	pC
		方法 a:環境テスト サブグループ 1 の後、$V_{ini} = V_{IOTM}$、t_{ini} = 60s、 **DWV:** $V_{pd(m)} = 1.6 \times V_{IORM}$、$t_m$ = 10s **D:** $V_{pd(m)} = 1.2 \times V_{IORM}$、$t_m$ = 10s	≦ 5	≦ 5	
		ルーチン テスト (100% 出荷時テスト)、 メソッド b1:$V_{ini} = 1.2 \times V_{IOTM}$、$t_{ini}$ = 1s、 **DWV:** $V_{pd(m)} = 1.875 \times V_{IORM}$、$t_m$ = 1s **D:** $V_{pd(m)} = 1.5 \times V_{IORM}$、$t_m$ = 1s、または メソッド b2:$V_{pd(m)} = V_{ini}$、$t_m = t_{ini}$	≦ 5	≦ 5	
C_{IO}	絶縁バリア容量、入力から出力へ(6)	V_{IO} = 0.4 × sin (2πft)、f = 1MHz	≅0.5	≅0.5	pF
R_{IO}	絶縁抵抗、入力から出力へ(6)	V_{IO} = 500V、T_A = 25℃	$>10^{12}$	$>10^{12}$	Ω
		V_{IO} = 500V (100℃ ≦ T_A ≦ 125℃時)	$>10^{11}$	$>10^{11}$	
		V_{IO} = 500V (T_S = 150℃時)	$>10^{9}$	$>10^{9}$	
	汚染度		2	2	
	耐候性カテゴリ		40/125/21	40/125/21	
UL 1577					

Copyright © 2026 Texas Instruments Incorporated

パラメータ		テスト条件	値	値	単位
			8-DWV	8-D	
V_{ISO}	絶縁耐圧	$V_{TEST} = V_{ISO}$、t = 60s (認定)、$V_{TEST} = 1.2 \times V_{ISO}$、t = 1s (100% 出荷時テスト)	5000	3000	V_{RMS}

(1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。
(2) このカプラは、「安全定格内の安全な電気絶縁 (ISO672x)」および「基本的な電気絶縁 (ISO672xB)」にのみ適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
(3) テストは、パッケージのサージ耐性を判定するため、空気中で実行されます。
(4) テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。
(5) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
(6) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

Copyright © 2026 Texas Instruments Incorporated

5.7 安全関連認証

VDE	CSA	UL	CQC	TUV
DIN EN IEC 60747-17 (VDE 0884-17) による認証	IEC 62368-1、IEC 61010-1、IEC 60601-1 による認証	UL 1577 部品認定プログラムによる認証	GB 4943.1 に従う認証	EN 61010-1 および EN 62368-1 による認証
認証: 強化絶縁:40040142 基本絶縁:40047657	マスタ契約書番号:220991	ファイル番号:E181974	認証: CQC18001199096 (DWV-8) CQC21001305151 (D-8)	顧客 ID 番号:77311

Copyright © 2026 Texas Instruments Incorporated

5.8 安全限界値

安全限界値 (1) の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。

パラメータ		テスト条件	最小値	標準値	最大値	単位
D-8 パッケージ - ISO672xB						
I_S	安全入力、出力、または電源電流 (1)	$R_{\theta JA}$ =104.6°C/W、V_I = 5.5V、T_J = 150°、T_A = 25°C 図 5-1 を参照			217.2	mA
		$R_{\theta JA}$ = 104.6°C/W、V_I = 3.6V、T_J = 150°C、T_A = 25°C、 図 5-1 を参照			332	mA
		$R_{\theta JA}$ = 104.6°C/W、V_I = 2.75V、T_J = 150°C、T_A = 25°C、 図 5-1 を参照			434.5	mA
		$R_{\theta JA}$ = 104.6°C/W、V_I = 1.89V、T_J = 150°C、T_A = 25°C、 図 5-1 を参照			628.9	mA
P_S	安全入力、出力、または合計電力 (1)	$R_{\theta JA}$ = 104.6°C/W、T_J = 150°C、T_A = 25°C 図 5-2 を参照			1195	mW
T_S	最高安全温度 (1)				150	°C
D-8 パッケージ - ISO6721RB						
I_S	安全入力、出力、または電源電流 (1)	$R_{\theta JA}$ = 98.5°C/W、V_I = 5.5V、T_J = 150°C、T_A = 25°C、 図 5-3 を参照			230.7	mA
I_S	安全入力、出力、または電源電流 (1)	$R_{\theta JA}$ = 98.5°C/W、V_I = 3.6V、T_J = 150°C、T_A = 25°C、 図 5-3 を参照			352.5	mA
I_S	安全入力、出力、または電源電流 (1)	$R_{\theta JA}$ = 98.5°C/W、V_I = 2.75V、T_J = 150°C、T_A = 25°C、 図 5-3 を参照			461.5	mA
I_S	安全入力、出力、または電源電流 (1)	$R_{\theta JA}$ = 98.5°C/W、V_I = 1.89V、T_J = 150°C、T_A = 25°C、 図 5-3 を参照			671.4	mA
P_S	安全入力、出力、または合計電力 (1)	$R_{\theta JA}$ = 98.5°C/W、T_J = 150°C、T_A = 25°C 図 5-4 を参照			1269	mW
T_S	最高安全温度 (1)				150	°C

Copyright © 2026 Texas Instruments Incorporated

安全限界値 (1) の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。

パラメータ		テスト条件	最小値	標準値	最大値	単位
DWV-8 パッケージ						
I_S	安全入力、出力、または電源電流 (1)	$R_{\theta JA}$ =84.3°C/W、V_I = 5.5V、T_J = 150°、T_A = 25°C 図 5-5 を参照			270	mA
I_S		$R_{\theta JA}$ = 84.3.6℃/W、V_I = 3.6V、T_J = 150℃、T_A = 25℃ 図 5-5 を参照			412	mA
I_S		$R_{\theta JA}$ = 84.3℃/W、V_I = 2.75V、T_J = 150℃、T_A = 25℃、 図 5-5 を参照			539	mA
I_S		$R_{\theta JA}$ = 84.3℃/W、V_I = 1.89V、T_J = 150℃、T_A = 25℃、 図 5-5 を参照			790	mA
P_S	安全入力、出力、または合計電力 (1)	$R_{\theta JA}$ = 84.3℃/W、T_J = 150℃、T_A = 25℃ 図 5-5 を参照			1483	mW
T_S	最高安全温度 (1)				150	°C

(1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。I_S および P_S の最大限界値を超過してはなりません。これらの限界値は、周囲温度 T_A によって異なります。
表にある接合部から空気への熱抵抗 $R_{\theta JA}$ は、リード付き表面実装パッケージ向けの High-K テスト ボードに実装されたデバイスの数値です。これらの式を使って各パラメータの値を計算します。
$T_J = T_A + R_{\theta JA} \times P$、ここで P は本デバイスで消費される電力です。
$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$、ここで $T_{J(max)}$ は最大許容接合部温度です。
$P_S = I_S \times V_I$、ここで V_I は最大入力電圧です。

Copyright © 2026 Texas Instruments Incorporated

5.9 電気的特性— 5V 電源

V_{CC1} = V_{CC2} = 5V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OH}	High レベル出力電圧	I_{OH} = -4mA、図 6-1 を参照	V_{CCO} - 0.4			V
V_{OL}	Low レベル出力電圧	I_{OL} = 4 mA、図 6-1 を参照			0.4	V
$V_{IT+(IN)}$	立ち上がり入力のスイッチング スレッショルド				0.7 × V_{CCI} (1)	V
$V_{IT-(IN)}$	立ち下がり入力のスイッチング スレッショルド		0.3 × V_{CCI}			V
$V_{I(HYS)}$	入力スレッショルド電圧のヒステリシス		0.1 × V_{CCI}			V
I_{IH}	High レベル入力電流	INx で V_{IH} = V_{CCI} (1)			10	µA
I_{IL}	Low レベル入力電流	INx で V_{IL} = 0V	-10			µA
CMTI	同相過渡耐性	V_I = V_{CC} または 0V、V_{CM} = 1200V	100	150		kV/µs
C_i	入力容量 (2)	V_I = V_{CC}/2 + 0.4×sin(2πft)、f = 2MHz、V_{CC} = 5V、図 6-3 を参照		2.8		pF

(1) V_{CCI} = 入力側 V_{CC}、V_{CCO} = 出力側 V_{CC}
(2) 入力ピンから同じ側のグランドまで測定。

5.10 電源電流特性— 5V 電源

V_{CC1} = V_{CC2} = 5V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件		電源電流	最小値	標準値	最大値	単位
ISO6720							
電源電流 - DC 信号	V_I = V_{CCI} (1) (ISO6720)、V_I = 0V (F 接尾辞付き ISO6720)		I_{CC1}		1.1	1.7	mA
			I_{CC2}		1.3	2.1	
	V_I = 0V (ISO6720)、V_I = V_{CC1} (接尾辞 F 付き ISO6720)		I_{CC1}		3.2	4.6	
			I_{CC2}		1.4	2.3	
電源電流 - AC 信号	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}		2.1	3.1	
			I_{CC2}		1.5	2.3	
		10Mbps	I_{CC1}		2.2	3.2	
			I_{CC2}		2.7	3.6	
		50Mbps	I_{CC1}		2.5	3.6	
			I_{CC2}		7.9	9.5	
ISO6721							
電源電流 - DC 信号	V_I = V_{CCI} (1) (ISO6721)、V_I = 0V (F 接尾辞付き ISO6721)		I_{CC1}、I_{CC2}		1.2	2.1	mA
	V_I = 0V (ISO6721)、V_I = V_{CCI} (F 接尾辞付き ISO6721)		I_{CC1}、I_{CC2}		2.3	3.5	
電源電流 - AC 信号	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		1.9	2.9	
		10Mbps	I_{CC1}、I_{CC2}		2.5	3.6	
		50Mbps	I_{CC1}、I_{CC2}		5.2	6.7	

Copyright © 2026 Texas Instruments Incorporated

V_{CC1} = V_{CC2} = 5V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件		電源電流	最小値	標準値	最大値	単位
ISO6721RB							
電源電流 - DC 信号	V_I = V_{CCI} (1) (ISO6721R)、V_I = 0V (F 接尾辞付き ISO6721R)		I_{CC1} 、I_{CC2}		2.1	3.3	mA
	V_I = 0V (ISO6721R)、V_I = V_{CCI} (F 接尾辞付き ISO6721R)		I_{CC1} 、I_{CC2}		3.2	4.7	
電源電流 - AC 信号	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		2.7	4.1	
		10Mbps	I_{CC1}、I_{CC2}		3.3	4.7	
		50Mbps	I_{CC1}、I_{CC2}		6.0	7.7	

(1) V_{CCI} = 入力側 V_{CC}

Copyright © 2026 Texas Instruments Incorporated

5.11 電気的特性— 3.3V 電源

V_{CC1} = V_{CC2} = 3.3V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OH}	High レベル出力電圧	I_{OH} = -2mA、図 6-1 を参照	V_{CCO} - 0.2			V
V_{OL}	Low レベル出力電圧	I_{OL} = 2mA、図 6-1 を参照			0.2	V
$V_{IT+(IN)}$	立ち上がり入力のスイッチング スレッショルド				0.7× V_{CCI} (1)	V
$V_{IT-(IN)}$	立ち下がり入力のスイッチング スレッショルド		0.3 × V_{CCI}			V
$V_{I(HYS)}$	入力スレッショルド電圧のヒステリシス		0.1 × V_{CCI}			V
I_{IH}	High レベル入力電流	INx で V_{IH} = V_{CCI} (1)			10	µA
I_{IL}	Low レベル入力電流	INx で V_{IL} = 0V	-10			µA
CMTI	同相過渡耐性	V_I = V_{CC} または 0V、V_{CM} = 1200V	100	150		kV/µs
C_i	入力容量(2)	V_I = V_{CC}/2 + 0.4×sin(2πft)、f = 2MHz、V_{CC} = 3.3V、図 6-3 を参照		2.8		pF

(1) V_{CCI} = 入力側 V_{CC}、V_{CCO} = 出力側 V_{CC}
(2) 入力ピンから同じ側のグランドまで測定。

5.12 電源電流特性— 3.3V 電源

V_{CC1} = V_{CC2} = 3.3V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件		電源電流	最小値	標準値	最大値	単位
ISO6720							
電源電流 - DC 信号	V_I = V_{CCI} (1) (ISO6720)、V_I = 0V (F 接尾辞付き ISO6720)		I_{CC1}		1.1	1.6	mA
			I_{CC2}		1.3	2	
	V_I = 0V (ISO6720)、V_I = V_{CC1} (接尾辞 F 付き ISO6720)		I_{CC1}		3.2	4.5	
			I_{CC2}		1.4	2.2	
電源電流 - AC 信号	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}		2.1	3.1	
			I_{CC2}		1.4	2.2	
		10Mbps	I_{CC1}		2.2	3.1	
			I_{CC2}		2.3	3.2	
		50Mbps	I_{CC1}		2.4	3.4	
			I_{CC2}		6	7.3	
ISO6721							
電源電流 - DC 信号	V_I = V_{CCI} (1) (ISO6721)、V_I = 0V (F 接尾辞付き ISO6721)		I_{CC1}、I_{CC2}		1.2	2.1	mA
	V_I = 0V (ISO6721)、 V_I = V_{CCI} (F 接尾辞付き ISO6721)		I_{CC1}、I_{CC2}		2.3	3.5	
電源電流 - AC 信号	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		1.8	2.8	
		10Mbps	I_{CC1}、I_{CC2}		2.3	3.3	
		50Mbps	I_{CC1}、I_{CC2}		4.2	5.5	

Copyright © 2026 Texas Instruments Incorporated

V_{CC1} = V_{CC2} = 3.3V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件		電源電流	最小値	標準値	最大値	単位
ISO6721RB							
電源電流 - DC 信号	V_I = V_{CCI} (1) (ISO6721R)、V_I = 0V (F 接尾辞付き ISO6721R)		I_{CC1} 、I_{CC2}		2.1	3.3	mA
	V_I = 0V (ISO6721R)、V_I = V_{CCI} (F 接尾辞付き ISO6721R)		I_{CC1} 、I_{CC2}		3.2	4.7	
電源電流 - AC 信号	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		2.7	4.0	
		10Mbps	I_{CC1}、I_{CC2}		3.1	4.5	
		50Mbps	I_{CC1}、I_{CC2}		5.0	6.7	

(1) V_{CCI} = 入力側 V_{CC}

Copyright © 2026 Texas Instruments Incorporated

5.13 電気的特性— 2.5V 電源

V_{CC1} = V_{CC2} = 2.5V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OH}	High レベル出力電圧	I_{OH} = -1mA、図 6-1 を参照	V_{CCO} - 0.1			V
V_{OL}	Low レベル出力電圧	I_{OL} = 1mA、図 6-1 を参照			0.1	V
$V_{IT+(IN)}$	立ち上がり入力のスイッチング スレッショルド				0.7 × V_{CCI} (1)	V
$V_{IT-(IN)}$	立ち下がり入力のスイッチング スレッショルド		0.3 × V_{CCI}			V
$V_{I(HYS)}$	入力スレッショルド電圧のヒステリシス		0.1 × V_{CCI}			V
I_{IH}	High レベル入力電流	INx で V_{IH} = V_{CCI} (1)			10	µA
I_{IL}	Low レベル入力電流	INx で V_{IL} = 0V	-10			µA
CMTI	同相過渡耐性	V_I = V_{CC} または 0V、V_{CM} = 1200V	100	150		kV/µs
C_i	入力容量(2)	V_I = V_{CC}/2 + 0.4×sin(2πft)、f = 2MHz、V_{CC} = 2.5V、図 6-3 を参照		2.8		pF

(1) V_{CCI} = 入力側 V_{CC}、V_{CCO} = 出力側 V_{CC}
(2) 入力ピンから同じ側のグランドまで測定。

5.14 電源電流特性— 2.5V 電源

V_{CC1} = V_{CC2} = 2.5V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件		電源電流	最小値	標準値	最大値	単位
ISO6720							
電源電流 - DC 信号	V_I = V_{CCI} (1) (ISO6720)、V_I = 0V (F 接尾辞付き ISO6720)		I_{CC1}		1.1	1.6	mA
			I_{CC2}		1.3	2	
	V_I = 0V (ISO6720)、V_I = V_{CC1} (接尾辞 F 付き ISO6720)		I_{CC1}		3.1	4.5	
			I_{CC2}		1.4	2.2	
電源電流 - AC 信号	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}		2.1	3.1	
			I_{CC2}		1.4	2.2	
		10Mbps	I_{CC1}		2.1	3.1	
			I_{CC2}		2	2.9	
		50Mbps	I_{CC1}		2.3	3.3	
			I_{CC2}		4.8	6	
ISO6721							
電源電流 - DC 信号	V_I = V_{CCI} (1) (ISO6721)、V_I = 0V (F 接尾辞付き ISO6721)		I_{CC1}、I_{CC2}		1.2	2.1	mA
	V_I = 0V (ISO6721)、V_I = V_{CCI} (F 接尾辞付き ISO6721)		I_{CC1}、I_{CC2}		2.3	3.5	
電源電流 - AC 信号	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		1.8	2.8	
		10Mbps	I_{CC1}、I_{CC2}		2.1	3.2	
		50Mbps	I_{CC1}、I_{CC2}		3.6	4.9	

Copyright © 2026 Texas Instruments Incorporated

V_{CC1} = V_{CC2} = 2.5V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件		電源電流	最小値	標準値	最大値	単位
ISO6721RB							
電源電流 - DC 信号	V_I = V_{CCI} (1) (ISO6721R)、V_I = 0V (F 接尾辞付き ISO6721R)		I_{CC1} 、I_{CC2}		2.1	3.3	mA
	V_I = 0V (ISO6721R)、V_I = V_{CCI} (F 接尾辞付き ISO6721R)		I_{CC1} 、I_{CC2}		3.2	4.7	
電源電流 - AC 信号	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		2.7	4.0	
		10Mbps	I_{CC1}、I_{CC2}		3.0	4.4	
		50Mbps	I_{CC1}、I_{CC2}		4.4	6	

(1) V_{CCI} = 入力側 V_{CC}

Copyright © 2026 Texas Instruments Incorporated

5.15 電気的特性— 1.8V 電源

V_{CC1} = V_{CC2} = 1.8V ± 5% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OH}	High レベル出力電圧	I_{OH} = -1mA、図 6-1 を参照	V_{CCO} - 0.1			V
V_{OL}	Low レベル出力電圧	I_{OL} = 1mA、図 6-1 を参照			0.1	V
$V_{IT+(IN)}$	立ち上がり入力のスイッチング スレッショルド				0.7 × V_{CCI} (1)	V
$V_{IT-(IN)}$	立ち下がり入力のスイッチング スレッショルド		0.3 × V_{CCI}			V
$V_{I(HYS)}$	入力スレッショルド電圧のヒステリシス		0.1 × V_{CCI}			V
I_{IH}	High レベル入力電流	INx で V_{IH} = V_{CCI} (1)			10	µA
I_{IL}	Low レベル入力電流	INx で V_{IL} = 0V	-10			µA
CMTI	同相過渡耐性	V_I = V_{CC} または 0V、V_{CM} = 1200V	100	150		kV/µs
C_i	入力容量(2)	V_I = V_{CC}/2 + 0.4×sin(2πft)、f = 2MHz、V_{CC} = 1.8V、図 6-3 を参照		2.8		pF

(1) V_{CCI} = 入力側 V_{CC}、V_{CCO} = 出力側 V_{CC}
(2) 入力ピンから同じ側のグランドまで測定。

5.16 電源電流特性— 1.8V 電源

V_{CC1} = V_{CC2} = 1.8V ± 5% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件		電源電流	最小値	標準値	最大値	単位
ISO6720							
電源電流 - DC 信号	V_I = V_{CCI} (1) (ISO6720)、V_I = 0V (F 接尾辞付き ISO6720)		I_{CC1}		0.8	1.5	mA
			I_{CC2}		1.2	2.1	
	V_I = 0V (ISO6720)、V_I = V_{CC1} (接尾辞 F 付き ISO6720)		I_{CC1}		2.8	4.3	
			I_{CC2}		1.3	2.2	
電源電流 - AC 信号	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}		1.8	2.9	
			I_{CC2}		1.3	2.2	
		10Mbps	I_{CC1}		1.8	2.9	
			I_{CC2}		1.8	2.7	
		50Mbps	I_{CC1}		2	3.1	
			I_{CC2}		3.8	4.9	
ISO6721							
電源電流 - DC 信号	V_I = V_{CCI} (1) (ISO6721)、V_I = 0V (F 接尾辞付き ISO6721)		I_{CC1}、I_{CC2}		1.1	2	mA
	V_I = 0V (ISO6721)、V_I = V_{CCI} (F 接尾辞付き ISO6721)		I_{CC1}、I_{CC2}		2.1	3.4	
電源電流 - AC 信号	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		1.6	2.7	
		10Mbps	I_{CC1}、I_{CC2}		1.9	3	
		50Mbps	I_{CC1}、I_{CC2}		3	4.2	

Copyright © 2026 Texas Instruments Incorporated

V_{CC1} = V_{CC2} = 1.8V ± 5% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件		電源電流	最小値	標準値	最大値	単位
ISO6721RB							
電源電流 - DC 信号	V_I = V_{CCI} (1) (ISO6721R)、V_I = 0V (F 接尾辞付き ISO6721R)		I_{CC1} 、I_{CC2}		1.8	3.1	mA
	V_I = 0V (ISO6721R)、V_I = V_{CCI} (接尾辞 F 付きの ISO6721R)		I_{CC1} 、I_{CC2}		2.9	4.5	
電源電流 - AC 信号	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		2.4	3.8	
		10Mbps	I_{CC1}、I_{CC2}		2.6	4.1	
		50Mbps	I_{CC1}、I_{CC2}		3.7	5.3	

(1) V_{CCI} = 入力側 V_{CC}

Copyright © 2026 Texas Instruments Incorporated

5.17 スイッチング特性— 5V 電源

V_{CC1} = V_{CC2} = 5V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}、t_{PHL}	伝搬遅延時間	図 6-1 を参照		11	18	ns
$t_{P(dft)}$	伝搬遅延のドリフト			8		ps/℃
t_{UI}	最小パルス幅	図 6-1 を参照	20			ns
PWD	パルス幅歪み (1) $\lvert t_{PHL} - t_{PLH} \rvert$	図 6-1 を参照		0.2	7	ns
$t_{sk(o)}$	チャネル間の出力スキュー時間 (2)	同じ方向のチャネル			6	ns
$t_{sk(p-p)}$	部品間のスキュー時間 (3)				6	ns
t_r	出力信号の立ち上がり時間	図 6-1 を参照		2.6	4.5	ns
t_f	出力信号の立ち下がり時間			2.6	4.5	ns
t_{PU}	UVLO から有効な出力データまでの時間				300	µs
t_{DO}	入力電源喪失からデフォルト出力までの遅延時間	V_{CC} が 1.2V を下回る時間から測定。図 6-2 を参照		0.1	0.3	µs
t_{ie}	タイム インターバル エラー	50Mbps で 2^{16} - 1PRBS データ		1		ns

(1) 別名パルス スキュー。
(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。
(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

5.18 スイッチング特性— 3.3V 電源

V_{CC1} = V_{CC2} = 3.3V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}、t_{PHL}	伝搬遅延時間	図 6-1 を参照		11	18	ns
$t_{P(dft)}$	伝搬遅延のドリフト			9.2		ps/℃
t_{UI}	最小パルス幅	図 6-1 を参照	20			ns
PWD	パルス幅歪み (1) $\lvert t_{PHL} - t_{PLH} \rvert$	図 6-1 を参照		0.5	7	ns
$t_{sk(o)}$	チャネル間の出力スキュー時間 (2)	同じ方向のチャネル			6	ns
$t_{sk(p-p)}$	部品間のスキュー時間 (3)				6	ns
t_r	出力信号の立ち上がり時間	図 6-1 を参照		1.6	3.2	ns
t_f	出力信号の立ち下がり時間			1.6	3.2	ns
t_{PU}	UVLO から有効な出力データまでの時間				300	µs
t_{DO}	入力電源喪失からデフォルト出力までの遅延時間	V_{CC} が 1.2V を下回る時間から測定。図 6-2 を参照		0.1	0.3	µs
t_{ie}	タイム インターバル エラー	50Mbps で 2^{16} - 1PRBS データ		1		ns

(1) 別名パルス スキュー。
(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。
(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

Copyright © 2026 Texas Instruments Incorporated

5.19 スイッチング特性— 2.5V 電源

V_{CC1} = V_{CC2} = 2.5V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}、t_{PHL}	伝搬遅延時間	図 6-1 を参照		12	20.5	ns
$t_{P(dft)}$	伝搬遅延のドリフト			14.3		ps/℃
t_{UI}	最小パルス幅	図 6-1 を参照	20			ns
PWD	パルス幅歪み (1) $\lvert t_{PHL} - t_{PLH} \rvert$	図 6-1 を参照		0.6	7.1	ns
$t_{sk(o)}$	チャネル間の出力スキュー時間 (2)	同じ方向のチャネル			6	ns
$t_{sk(p-p)}$	部品間のスキュー時間 (3)				6.1	ns
t_r	出力信号の立ち上がり時間	図 6-1 を参照		2	4	ns
t_f	出力信号の立ち下がり時間			2	4	ns
t_{PU}	UVLO から有効な出力データまでの時間				300	µs
t_{DO}	入力電源喪失からデフォルト出力までの遅延時間	V_{CC} が 1.2V を下回る時間から測定。図 6-2 を参照		0.1	0.3	µs
t_{ie}	タイム インターバル エラー	50Mbps で 2^{16} - 1PRBS データ		1		ns

(1) 別名パルス スキュー。
(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。
(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

5.20 スイッチング特性— 1.8V 電源

V_{CC1} = V_{CC2} = 1.8V ± 5% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}、t_{PHL}	伝搬遅延時間	図 6-1 を参照		15	24	ns
$t_{P(dft)}$	伝搬遅延のドリフト			15.2		ps/℃
t_{UI}	最小パルス幅	図 6-1 を参照	20			ns
PWD	パルス幅歪み (1) $\lvert t_{PHL} - t_{PLH} \rvert$	図 6-1 を参照		0.7	8.2	ns
$t_{sk(o)}$	チャネル間の出力スキュー時間 (2)	同じ方向のチャネル			6	ns
$t_{sk(p-p)}$	部品間のスキュー時間 (3)				8.8	ns
t_r	出力信号の立ち上がり時間	図 6-1 を参照		2.7	5.3	ns
t_f	出力信号の立ち下がり時間			2.7	5.3	ns
t_{PU}	UVLO から有効な出力データまでの時間				300	µs
t_{DO}	入力電源喪失からデフォルト出力までの遅延時間	V_{CC} が 1.2V を下回る時間から測定。図 6-2 を参照		0.1	0.3	µs
t_{ie}	タイム インターバル エラー	50Mbps で 2^{16} - 1PRBS データ		1		ns

(1) 別名パルス スキュー。
(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。
(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

Copyright © 2026 Texas Instruments Incorporated

5.21 絶縁特性曲線

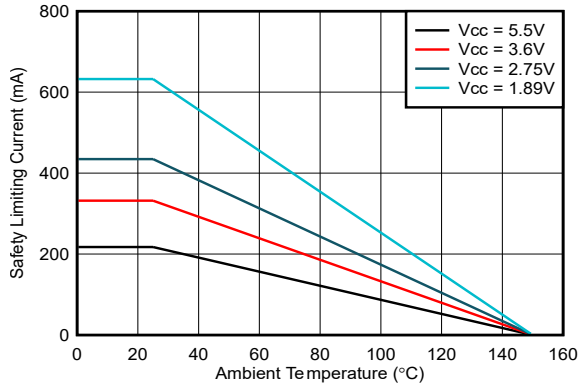


図 5-1. D-8 パッケージでの安全限界電流の熱特性低下曲線 - ISO672x

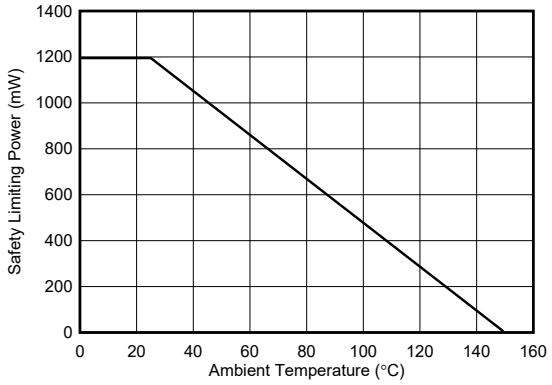


図 5-2. D-8 パッケージでの安全限界電力の熱特性低下曲線 - ISO672x

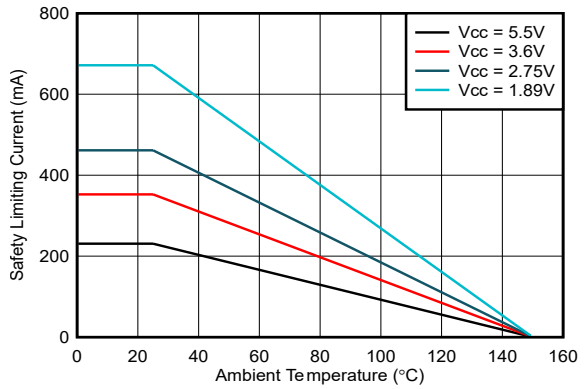


図 5-3. D-8 パッケージでの安全限界電流の熱特性低下曲線 - ISO6721R

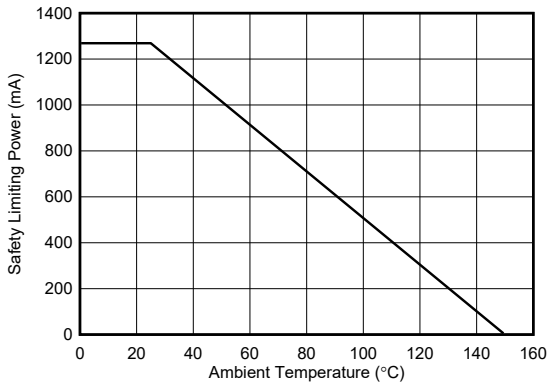


図 5-4. D-8 パッケージでの安全限界電力の熱特性低下曲線 - ISO6721R

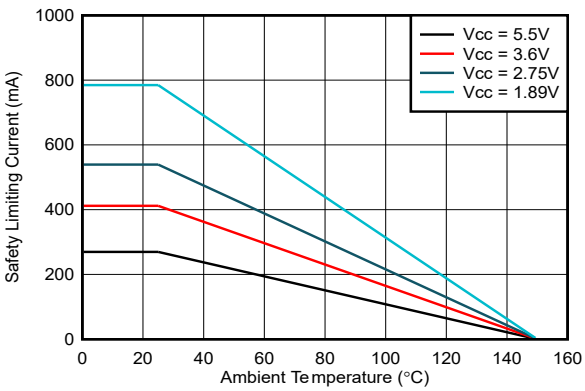


図 5-5. DWV-8 パッケージでの安全限界電流の熱特性低下曲線 - ISO672x

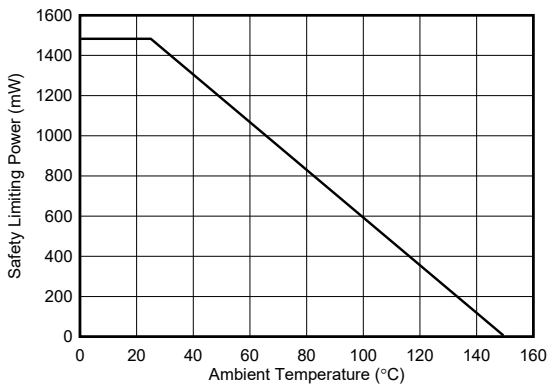


図 5-6. DWV-8 パッケージでの安全限界電力の熱特性低下曲線 - ISO672x

5.22 代表的特性

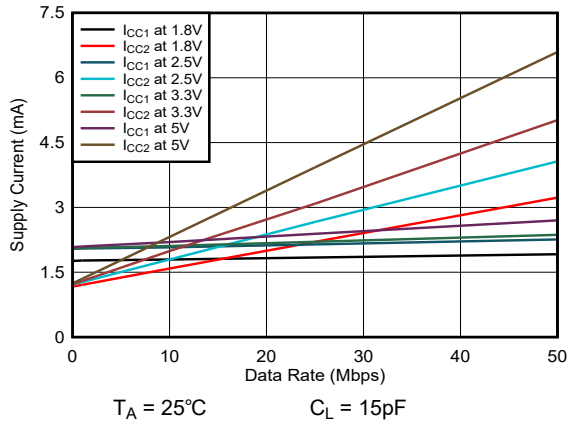


図 5-7. ISO6720 の電源電流とデータ レートとの関係 (15pF 負荷あり)

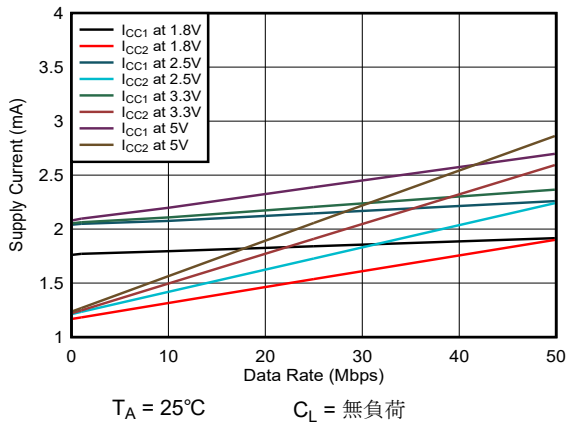


図 5-8. ISO6720 の電源電流とデータ レートとの関係 (負荷なし)

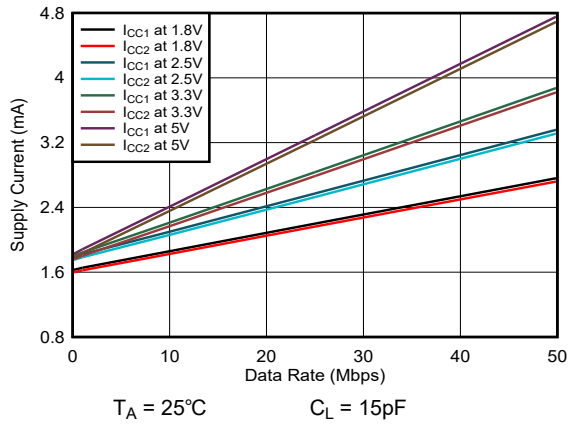


図 5-9. ISO6721 の電源電流とデータ レートとの関係 (15pF 負荷あり)

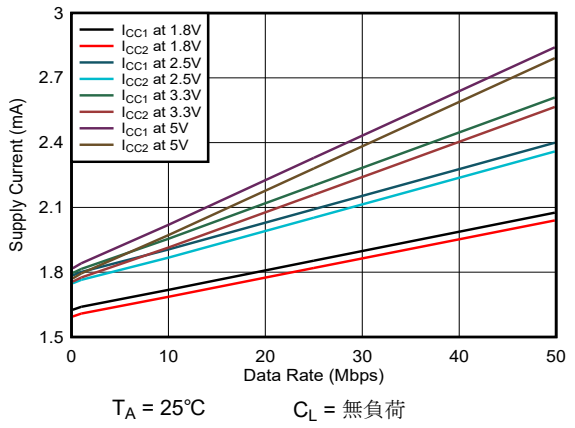


図 5-10. ISO6721 の電源電流とデータ レートとの関係 (負荷なし)

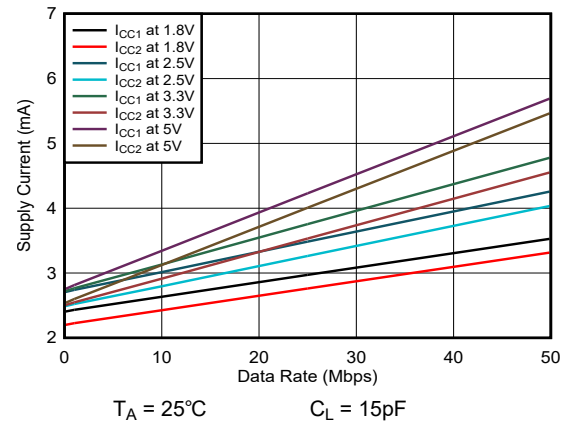


図 5-11. ISO6721RB の電源電流とデータ レートとの関係 (15pF 負荷あり)

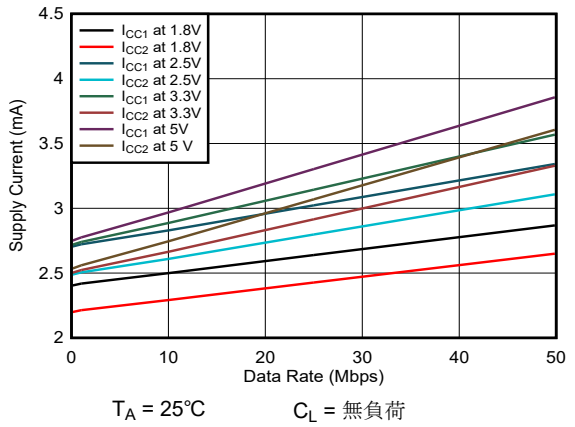
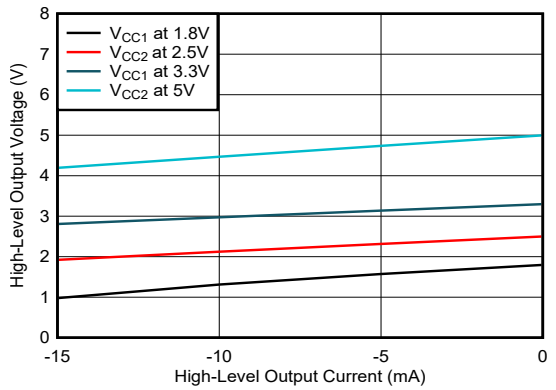


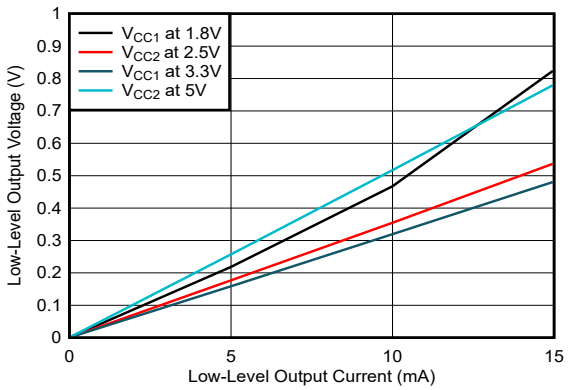
図 5-12. ISO6721RB の電源電流とデータ レートとの関係 (負荷なし)

Copyright © 2026 Texas Instruments Incorporated



T_A = 25℃

図 5-13. High レベル出力電圧と High レベル出力電流との関係



T_A = 25℃

図 5-14. Low レベル出力電圧と Low レベル出力電流との関係

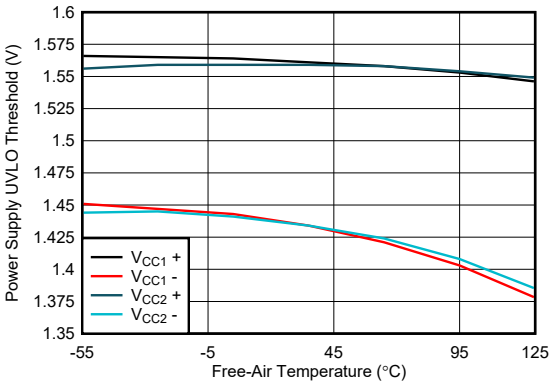


図 5-15. 電源低電圧スレッショルドと周囲温度との関係

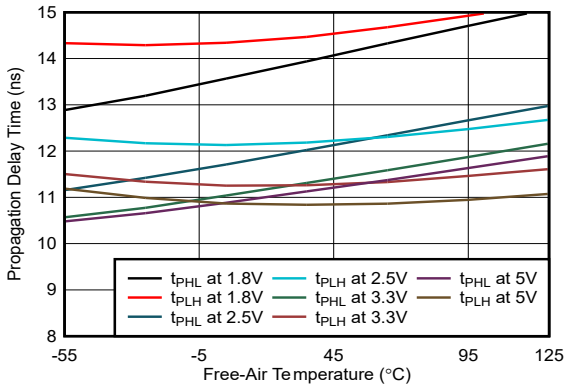
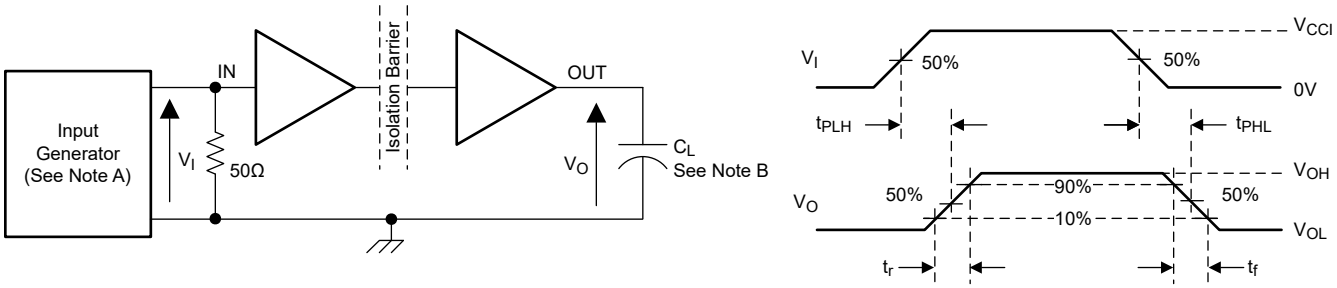


図 5-16. 伝搬遅延時間と周囲温度との関係

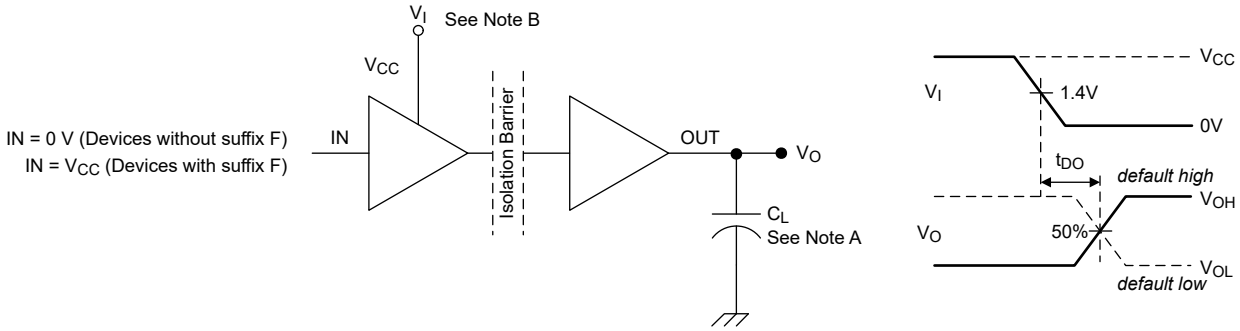
6 パラメータ測定情報



A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≤ 50kHz、50% デューティ サイクル、t_r ≤ 3ns、t_f ≤ 3ns、Z_O = 50Ω。入力ジェネレータ信号を終端するため、入力に 50Ω の抵抗が必要です。実際のアプリケーションでは、この 50Ω 抵抗は不要です。

B. C_L = 15pF であり、±20% 以内の計測器および治具の容量が含まれています。

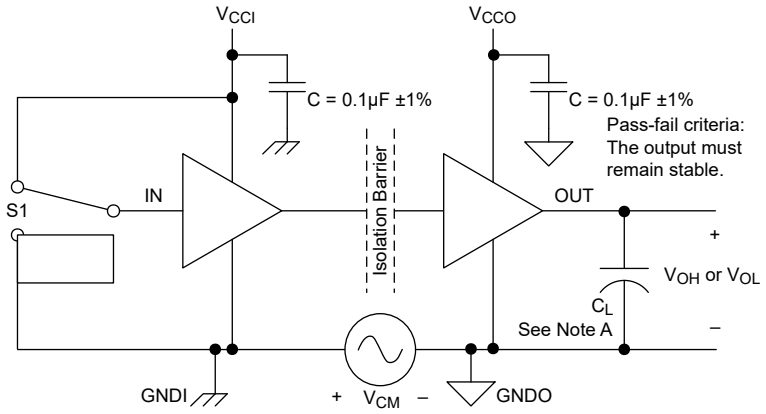
図 6-1. スイッチング特性試験回路と電圧波形



A. C_L = 15pF であり、±20% 以内の計測器および治具の容量が含まれています。

B. 電源ランプ レート = 10mV/ns

図 6-2. デフォルトの出力遅延時間テスト回路と電圧波形



A. C_L = 15pF であり、±20% 以内の計測器および治具の容量が含まれています。

図 6-3. 同相過渡電圧耐性試験回路

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

ISO672x-Q1 ファミリのデバイスは、オン オフ キーイング (OOK) 変調方式を使用し、二酸化ケイ素をベースとする絶縁バリアを介してデジタル データを送信します。トランスミッタは、バリアを介して高周波キャリアを送信することによって、1 つのデジタル状態を表しています。また、信号を送信しないことによって、もう 1 つのデジタル状態を表しています。レシーバは、高度な信号コンディショニングを行ってから信号を復調し、バッファ段経由で出力を生成します。これらのデバイスには高度な回路技法も使用されており、CMTI 性能を最大化し、高周波キャリアと IO バッファのスイッチングによる放射ノイズを最小化しています。デジタル容量性アイソレータの概念ブロック図である図 7-1 は、代表的なチャネルの機能ブロック図を示しています。

7.2 機能ブロック図

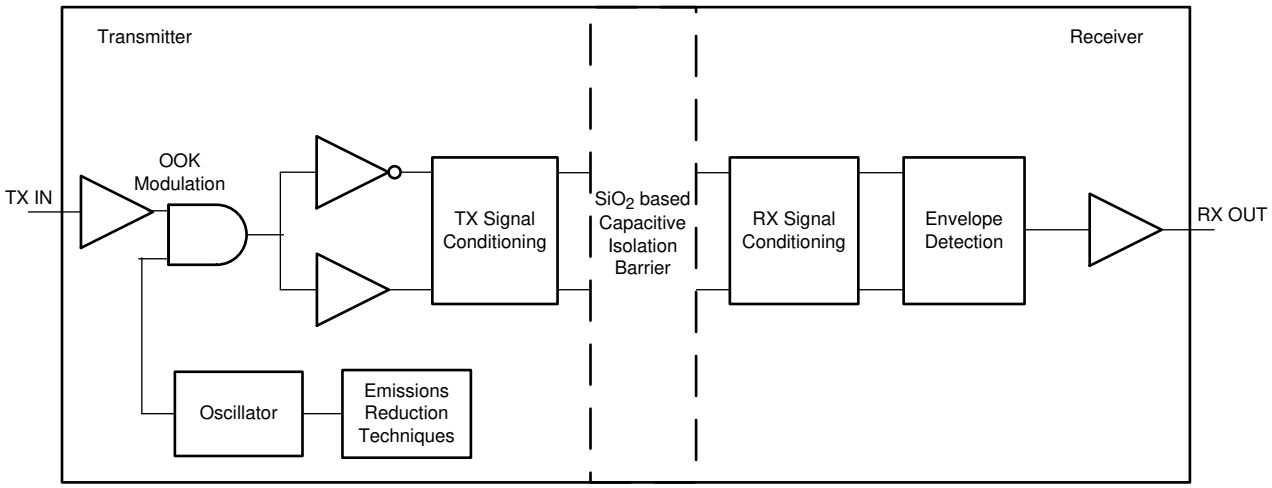


図 7-1. デジタル容量性アイソレータの概念ブロック図

図 7-2 に、OOK 方式の概念図を示します。

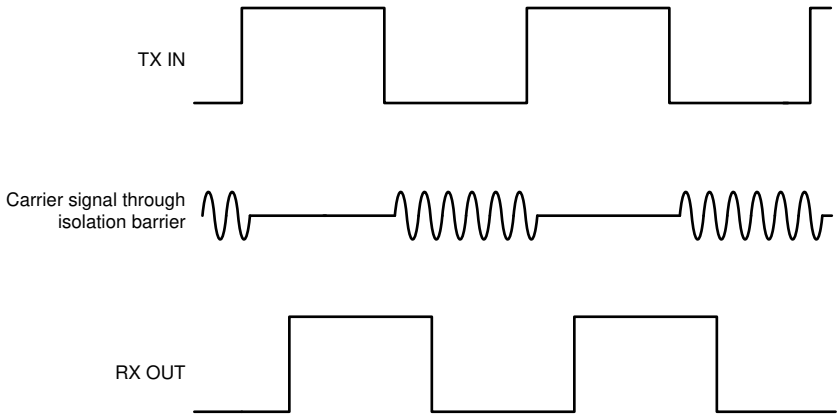


図 7-2. オン オフ キーイング (OOK) による変調方式

7.3 機能説明

ISO672x-Q1 ファミリのデバイスは、2 つのチャネル構成とデフォルトの出力状態オプションで利用でき、さまざまなアプリケーション用途に使用できます。表 7-1 に、ISO672x-Q1 デバイスの機能を示します。

表 7-1. デバイスの機能

部品番号	最大データ レート	チャネル方向	デフォルト出力状態	パッケージ	絶縁定格 (1)
ISO6720B-Q1	50Mbps	正方向 2、逆方向 0	高	D-8	$3000V_{RMS}$ / $4242V_{PK}$
ISO6720FB-Q1	50Mbps	正方向 2、逆方向 0	低	D-8	$3000V_{RMS}$ / $4242V_{PK}$
ISO6721B-Q1	50Mbps	正方向 1、逆方向 1	高	D-8	$3000V_{RMS}$ / $4242V_{PK}$
ISO6721FB-Q1	50Mbps	正方向 1、逆方向 1	低	D-8	$3000V_{RMS}$ / $4242V_{PK}$
ISO6721RB-Q1	50Mbps	正方向 1、逆方向 1	高	D-8	$3000V_{RMS}$ / $4242V_{PK}$
ISO6721RFB-Q1	50Mbps	正方向 1、逆方向 1	低	D-8	$3000V_{RMS}$ / $4242V_{PK}$
ISO6720-Q1	50Mbps	正方向 2、逆方向 0	高	DWV-8	$5000V_{RMS}$ / $7071V_{PK}$
ISO6720F-Q1	50Mbps	正方向 2、逆方向 0	低	DWV-8	$5000V_{RMS}$ / $7071V_{PK}$
ISO6721-Q1	50Mbps	正方向 1、逆方向 1	高	DWV-8	$5000V_{RMS}$ / $7071V_{PK}$
ISO6721F-Q1	50Mbps	正方向 1、逆方向 1	低	DWV-8	$5000V_{RMS}$ / $7071V_{PK}$

(1) 絶縁定格の詳細については、「安全関連の認定」を参照してください。

7.3.1 電磁両立性 (EMC) に関する検討事項

過酷な産業用環境で使用される多くのアプリケーションは、静電気放電 (ESD)、電気的高速過渡現象 (EFT)、サージ、電磁放射のような外乱の影響を受けやすくなっています。これらの電磁妨害は、IEC 61000-4-x や CISPR 25 などの国際規格により規制されています。システム レベルの性能と信頼性は、アプリケーション基板の設計とレイアウトに大きく左右されますが、ISO672x-Q1 ファミリのデバイスは、数多くのチップ レベルの設計改善を取り入れて、システム全体の堅牢性を高めています。改善項目の一部を以下に示します。

- 入出力信号ピンおよびチップ間のボンド パッドに、堅牢な ESD 保護セル。
- 電源ピンおよびグランド ピンに、ESD セルの低抵抗接続。
- 高電圧絶縁コンデンサの性能を強化し、ESD、EFT、サージの各イベントに対する耐性を向上。
- 低インピーダンス パスを経由して不要な高エネルギー信号をバイパスする、オンチップ デカップリング コンデンサの大容量化。
- ガード リングによって PMOS デバイスと NMOS デバイスを相互に絶縁し、寄生 SCR がトリガされるのを防止。
- 完全差動内部動作を確保し、絶縁バリアをまたぐコモン モード電流を低減。

Copyright © 2026 Texas Instruments Incorporated

7.4 デバイスの機能モード

表 7-2 に、ISO672x-Q1 デバイスの機能モードを示します。

表 7-2. 機能表

V_{CCI} (1)	V_{CCO}	入力 (INx) (2)	出力 (OUTx)	コメント
PU	PU	H	H	通常動作:チャネルの出力は、入力の論理状態になります。
		L	L	
		オープン	デフォルト	デフォルト モード:INx がオープンのとき、対応するチャネル出力はデフォルトのロジック状態に移行します。デフォルトは、ISO672x-Q1 では「High」、ISO672x-Q1 では F 接尾辞付きの「Low」です。
PD	PU	X	デフォルト	デフォルト モード:V_{CCI} に電源が供給されていないとき、チャネル出力は選択されたデフォルト オプションに基づいたロジック状態になります。デフォルトは、ISO672x-Q1 では「High」、ISO672x-Q1 では F 接尾辞付きの「Low」です。 V_{CCI} が電源オフから電源オンに遷移すると、チャネル出力は入力のロジック状態と同じになります。 V_{CCI} が電源オンから電源オフに遷移すると、チャネル出力は選択されているデフォルト状態になります。
X	PD	X	不定	V_{CCO} の電源がオフのとき、チャネルの出力は不定です(3)。 V_{CCO} が電源オフから電源オンに遷移すると、チャネル出力は入力のロジック状態と同じになります

(1) V_{CCI} = 入力側 V_{CC}、V_{CCO} = 出力側 V_{CC}、PU = 電源オン (V_{CC} ≧ 1.71 V)、PD = 電源オフ (V_{CC} ≦ 1.05 V)、X = 無関係、H = High レベル、L = Low レベル
(2) 入力信号が強く駆動されると、内部保護ダイオードを使用してフローティング V_{CC} に弱い電力を供給し、出力が不定になる可能性があります。
(3) 1.89V < V_{CCI}、V_{CCO} < 2.25V、1.05V < V_{CCI}、V_{CCO} < 1.71V のとき、出力の状態は不定です。

7.4.1 デバイス I/O 回路図

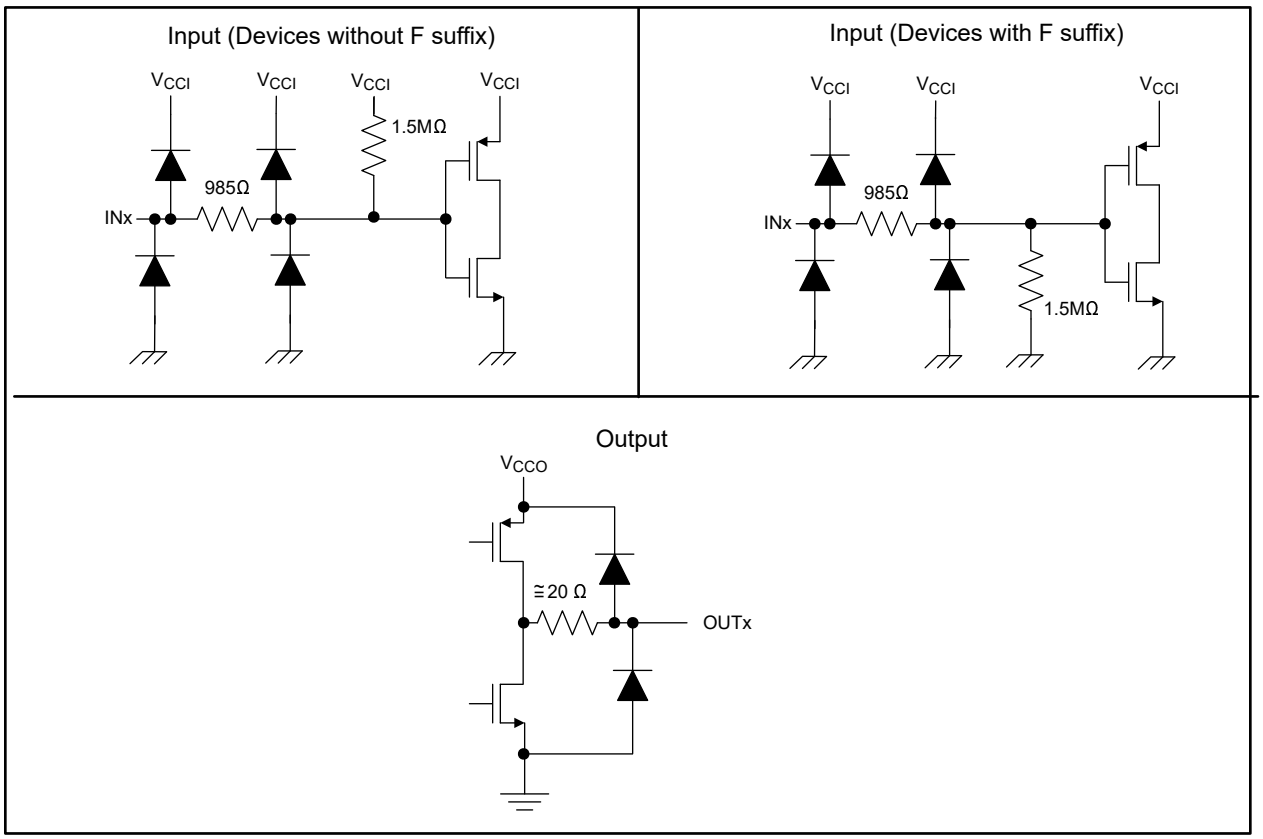


図 7-3. デバイス I/O 回路図

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

ISO672x-Q1 デバイスは、高性能のデュアル チャネル デジタル アイソレータです。これらのデバイスは、シングルエンドの CMOS ロジック スイッチング技術を使用しています。電源電圧の範囲は、V_{CC1} と V_{CC2} の両方の電源で 1.71V～5.5V です。絶縁バリアは 2 つの側を分離するため、推奨動作条件内の任意の電圧を使用し、それぞれの側を独立してソースできます。ISO672x-Q1 の V_{CC1} に 3.3V (1.71V ～ 1.89V と 2.25V ～ 5V の範囲内)、V_{CC2} に 5V (これも 1.71V ～ 1.89V と 2.25V ～ 5V の範囲内) を供給できます。デジタル アイソレータは、絶縁に加えて、ロジック レベル トランスレータとしても使用できます。デジタル アイソレータを使って設計する場合は、シングルエンド設計構造のため、デジタル アイソレータが特定のインターフェイス規格に準拠していないこと、シングルエンド CMOS または TTL デジタル信号ラインの絶縁のみを目的としていることに注意してください。アイソレータは通常、インターフェイスの種類や規格にかかわらず、データ コントローラ (MCU または FPGA) と、データ コンバータまたはライン トランシーバとの間に配置されます。

Copyright © 2026 Texas Instruments Incorporated

8.2 代表的なアプリケーション

車載アプリケーション向けに、ISO672x-Q1 デバイスは、テキサス インスツルメンツの Piccolo™ マイコン、CAN トランシーバ、トランス ドライバ、電圧レギュレータと組み合わせて、絶縁型 CAN インターフェイスを作成するためにも使用できます。

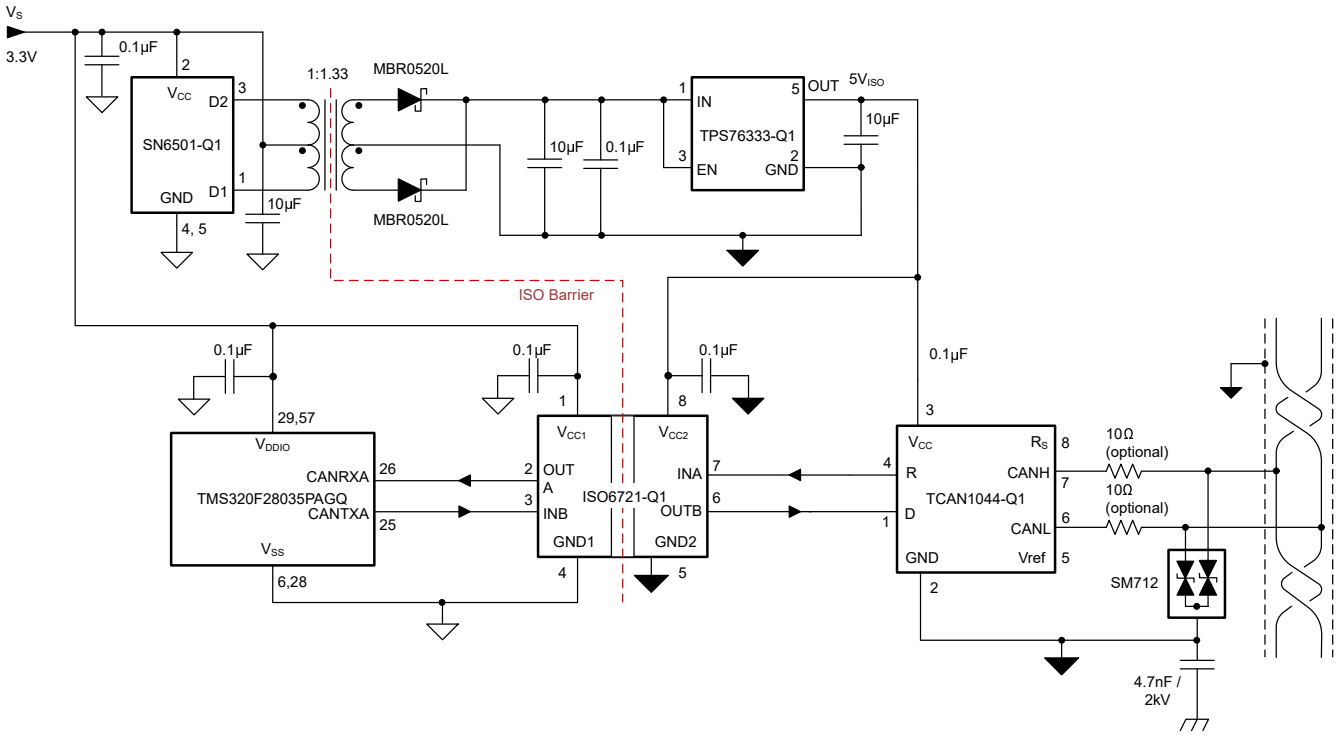


図 8-1. 代表的な絶縁型 CAN アプリケーション回路

8.2.1 設計要件

このデバイスを使用する設計には、表 8-1 に記載されているパラメータを使用します。

表 8-1. 設計パラメータ

パラメータ	値
電源電圧、V_{CC1} および V_{CC2}	1.71V～1.89V、2.25V～5.5V
V_{CC1} と GND1 との間のデカップリング コンデンサ	0.1µF
V_{CC2} と GND2 との間のデカップリング コンデンサ	0.1µF

8.2.2 詳細な設計手順

ISO672x-Q1 デバイスは、フォトカプラとは異なり、性能向上、バイアス供給、電流制限のために外付け部品を必要としません。必要とするのは、動作に必要な外付けバイパス コンデンサは 2 個のみです。

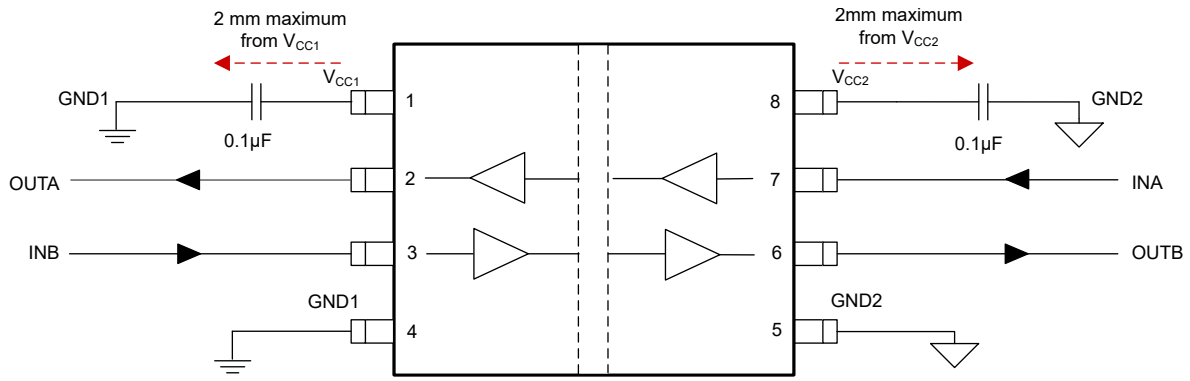


図 8-2. ISO672x-Q1 回路の標準的な接続

Copyright © 2026 Texas Instruments Incorporated

8.2.3 アプリケーション曲線

以下に示す、ISO672x-Q1 ファミリのデバイスの代表的なアイ ダイアグラムは、50Mbps の最大データ レートで低ジッタと広いオープン アイを示しています。

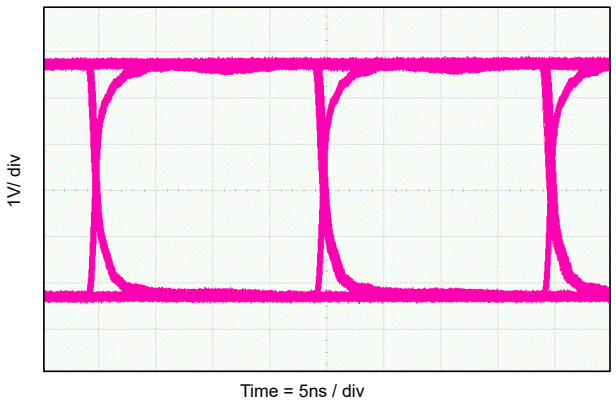


図 8-3. アイ ダイアグラム (50Mbps PRBS 2^{16} – 1、5V、25°C)

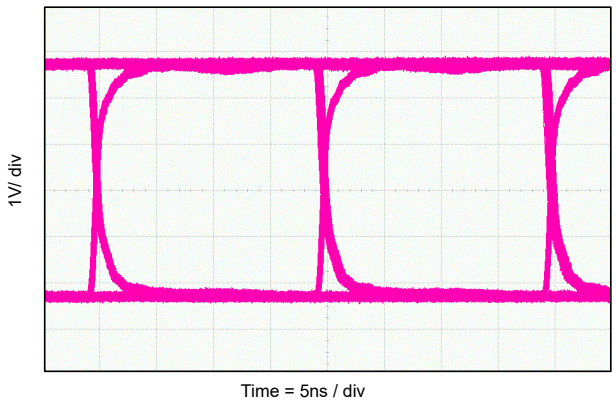


図 8-4. アイ ダイアグラム (50Mbps PRBS 2^{16} – 1、3.3V、25°C)

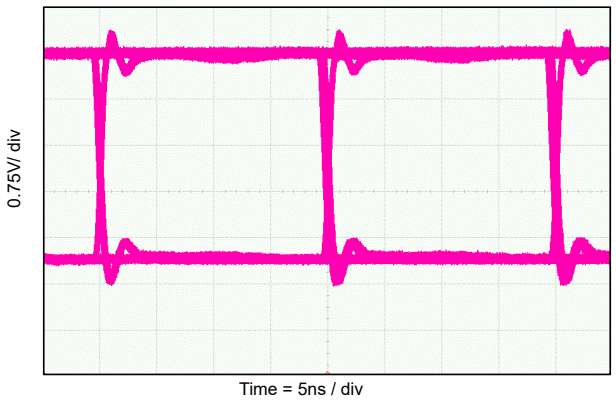


図 8-5. アイ ダイアグラム (50Mbps PRBS 2^{16} – 1、2.5V、25°C)

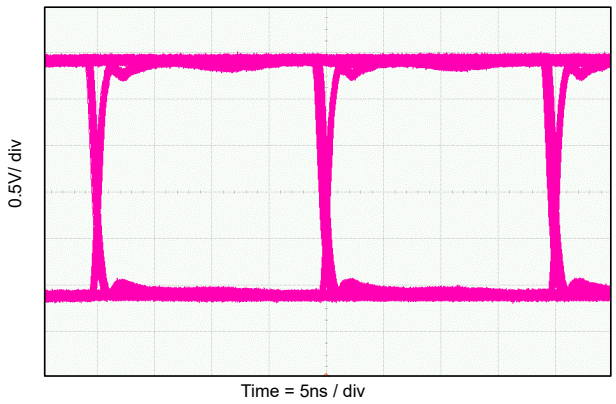


図 8-6. アイ ダイアグラム (50Mbps PRBS 2^{16} – 1、1.8V、25°C)

8.2.3.1 *絶縁寿命*

絶縁寿命予測データは、業界標準の TDDB (Time Dependent Dielectric Breakdown、経時絶縁破壊) テスト手法を使用して収集されます。このテストでは、バリアのそれぞれの側にあるすべてのピンを互いに接続して 2 つの端子を持つデバイスを構成し、その両側に高電圧を印加します。TDDB テスト構成については、図 8-7 を参照してください。この絶縁破壊データは、動作温度範囲で、さまざまな電圧について 60Hz でスイッチングして収集されます。基本絶縁について、VDE 規格では、100 万分の 1000 (ppm) 未満の故障率での TDDB (経時絶縁破壊) 予測曲線の使用が求められています。強化絶縁について、VDE 規格では、100 万分の 1 (ppm) 未満の故障率での TDDB (経時絶縁破壊) 予測曲線の使用が求められています。

期待される最小絶縁寿命は 20 年ですが、規定の動作絶縁電圧の場合、VDE の基本および強化絶縁認証には、動作電圧についてさらに 20% の安全マージンが必要です。基本絶縁認証の場合、デバイスの寿命には、20% の安全マージンが必要です。これは、規定値より 20% 高い動作電圧における最低必要絶縁寿命 24 年に変換されます。強化絶縁の場合、デバイスの寿命には、50% の安全マージンが必要です。これは、規定値より 20% 高い動作電圧における最低必要絶縁寿命 30 年に変換されます

図 8-8 および図 8-9 に、寿命全体にわたって高電圧ストレスに耐えることができる、絶縁バリアの固有容量を示します。この TDDB データによれば、絶縁バリアの固有容量は 8-DWV パッケージでは $1060V_{RMS}$ で、8D パッケージでは $450V_{RMS}$ で寿命は 100 年を超えます。パッケージ サイズ、汚染度、材料グループなどの要因により、部品の動作電圧がさらに制限される場合があります。

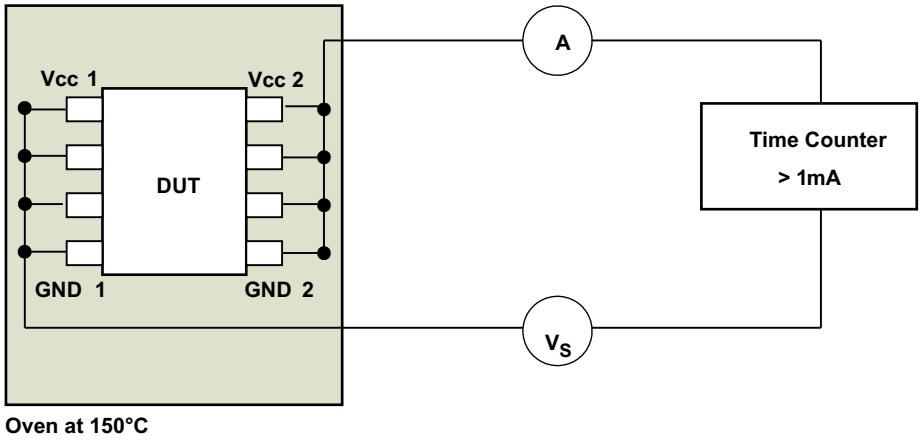


図 8-7. 絶縁寿命測定用のテスト構成

Copyright © 2026 Texas Instruments Incorporated

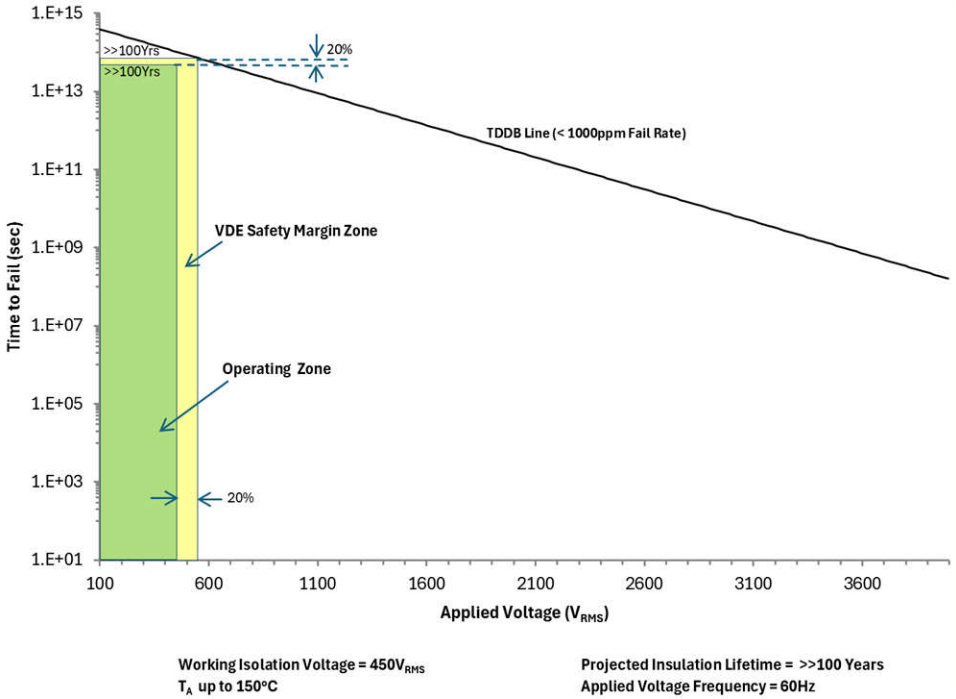


図 8-8. 8D パッケージの絶縁寿命予測データ

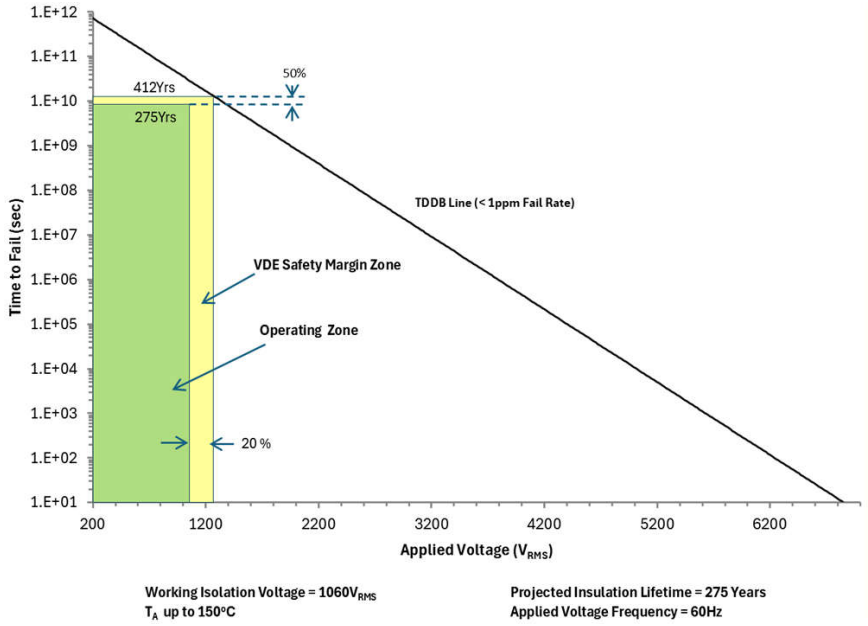


図 8-9. 8-DWV パッケージの絶縁寿命予測データ

8.3 電源に関する推奨事項

データレートおよび電源電圧に対する信頼性の高い動作を確保できるようにするため、入力および出力電源ピン (V_{CC1} および V_{CC2}) に 0.1µF のバイパス コンデンサを推奨します。コンデンサは、電源ピンのできるだけ近くに配置する必要があります。アプリケーションで使用できる 1 次側電源が 1 つだけの場合は、トランス ドライバを使用して 2 次側用の絶縁型電源を生成できます。車載アプリケーションには、SN6501-Q1 または SN6505B-Q1 を使用してください。このようなアプリケーションでは、『SN6501-Q1 絶縁電源用の変圧器ドライバ』または『SN6505B-Q1 絶縁型電源用の車載用、低ノイズ、1A、420kHz のソフトスタート付き変圧器ドライバ』で、電源の詳細な設計とトランスの選択についての推奨事項を参照できます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

コストが最適化された低 EMI PCB の設計を実現するには、最小 2 層が必要です。EMI をさらに改善するために、4 層基板を使用できます (セクション 8.4.2 を参照)。4 層基板の層は、上層から下層に向かって、高速信号層、グランド プレーン、電源プレーン、低周波数信号層の順に配置する必要があります。

- 上層に高速パターンを配線することにより、ビアの使用 (およびそれに伴うインダクタンスの発生) を避けて、データ リンクのトランスミッタおよびレシーバ回路とアイソレータとの間のクリーンな相互接続が可能になります。
- 高速信号層の次の層に、ベタのグランド プレーンを配置することにより、伝送ライン接続のインピーダンスを制御し、リターン電流のための優れた低インダクタンス パスを実現します。
- グランド プレーンの次の層に、電源プレーンを配置すると、高周波バイパス容量を約 100pF/インチ ^{2} 増加させることができます。
- 最下層に低速の制御信号を配線すると、これらの信号リンクには一般的に、ビアのような不連続性を許容するマージンがあるため、高い柔軟性が得られます。

電源プレーンまたは信号層の追加が必要な場合は、対称性を保つために、第 2 の電源系統またはグランド プレーン系統を層構成に追加します。これにより、基板の層構成は機械的に安定し、反りを防ぎます。また、各電源系統の電源プレーンとグランド プレーンを互いに近づけて配置できるため、高周波バイパス容量を大幅に増やすことができます。

レイアウトの推奨事項の詳細については、『デジタル アイソレータ設計ガイド』を参照してください。

8.4.1.1 PCB 材料

150Mbps 未満で動作する場合 (または、立ち上がり立ち下がり時間が 1ns 超)、およびトレース長が 10 インチ未満の場合のデジタル回路基板には、標準の FR-4 UL94V-0 プリント基板を使用します。この PCB は、高周波での誘電損失の低減、吸湿性の低減、強度と剛性の向上、および自己消火性の特性により、安価な代替品よりも推奨されます。

Copyright © 2026 Texas Instruments Incorporated

8.4.2 レイアウト例

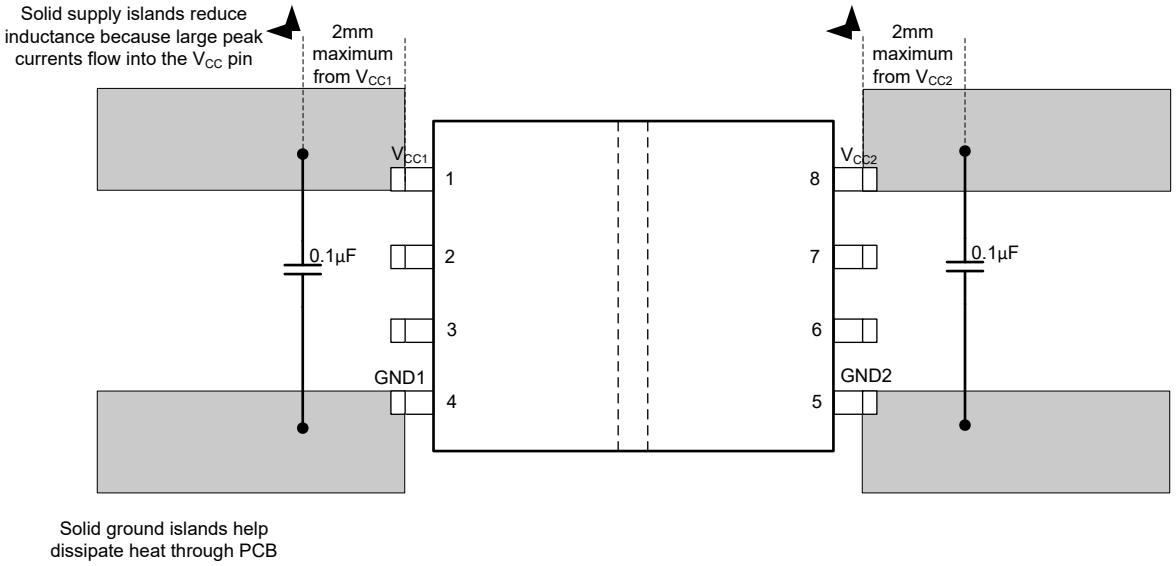


図 8-10. レイアウト例

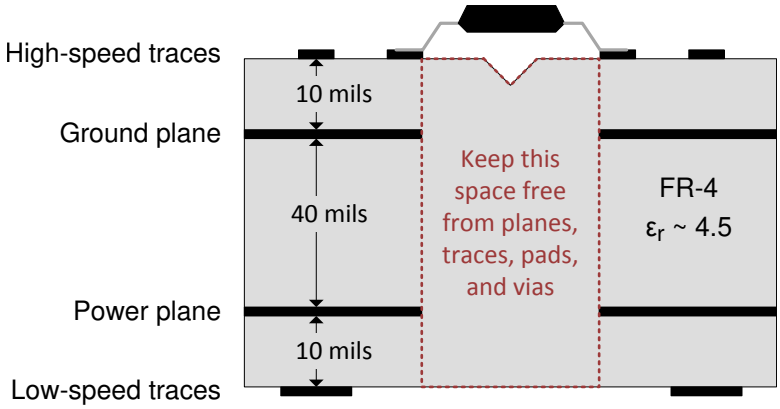


図 8-11. 4 層基板のレイアウト例

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 開発サポート

開発サポートについては、以下を参照してください。

- 絶縁型 CAN フレキシブル データ (FD) レート リピータのリファレンス デザイン
- デュアル同時サンプリング ADC を使用する絶縁 16 チャネル AC アナログ入力モジュールのリファレンス デザイン
- 絶縁型 AFE (アナログ フロントエンド) 搭載、多相シャント計量のリファレンス デザイン
- 電源絶縁型超小型アナログ出力モジュール向けリファレンス デザイン

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『デジタル アイソレータ設計ガイド』
- テキサス インスツルメンツ、『産業用システムで ESD、EFT、サージの耐性を改善する目的で絶縁を使用する方法』アプリケーション ノート
- テキサス インスツルメンツ、『絶縁の用語集』
- テキサス インスツルメンツ、『高電圧信号の絶縁品質と信頼性の向上を実現』
- テキサス インスツルメンツ、『SN6501-Q1 絶縁電源用のトランスドライバ』データシート
- テキサス・インスツルメンツ、『SN65HVD231Q 3.3V CAN トランシーバ』データシート
- テキサス・インスツルメンツ、『TPS763xx-Q1 低消費電力、150mA、低ドロップアウトのリニア レギュレータ』データシート
- テキサス インスツルメンツ、『TMS320F2803x Sitara™ マイコン』データシート

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の「Alert me」(アラートを受け取る) をクリックして登録すると、製品情報の更新に関する週次ダイジェストを受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

Piccolo™ is a trademark of Texas Instruments.
テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

Copyright © 2026 Texas Instruments Incorporated

9.7 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

Changes from Revision H (May 2022) to Revision I (August 2026) **Page**

- 「特長」およびドキュメント全体を通して認定情報を更新 1
- ドキュメント全体にわたって表、図、相互参照の採番方法を更新。 2
- IEC 60747-17 に準拠して最大インパルス電圧 (V_{IMP}) パラメータを追加。V_{IMP} 値は、8-DWV パッケージでは 7692V_{PK}、8-D パッケージでは 5000V_{PK} です。 8
- I_{IOSM} の値を次のとおりに変更：IEC 60747-17 に準拠して 8-DWV パッケージでは 6250V_{PK} から 10000V_{PK}、8-D パッケージでは 5000V_{PK} ～ 6500V_{PK} 8
- 「絶縁寿命予測データ」の図と「絶縁寿命」セクションを更新 34

Changes from Revision G (January 2022) to Revision H (May 2022) **Page**

- CMTI の標準値を 150kV/μs、最小値を 100kV/μs に更新 5

Changes from Revision F (November 2021) to Revision G (January 2022) **Page**

- 不足していた DWV 絶縁仕様を追加。 5

Changes from Revision E (July 2021) to Revision F (November 2021) **Page**

- ISO6721RBD をデータシートに追加 2

Changes from Revision D (April 2021) to Revision E (July 2021) **Page**

- 安全関連認証の表を更新。 5
- すべての「スイッチング特性」表のテスト条件を更新 5
- 絶縁寿命予測データの画像を更新 34
- 「電源に関する推奨事項」のドキュメント参照を更新 36

Changes from Revision C (March 2021) to Revision D (April 2021) **Page**

- デバイスのステータスを「量産データ」に更新 2

Changes from Revision B (January 2021) to Revision C (March 2021) **Page**

- 「デバイス サポート」セクションを追加 38

Changes from Revision A (December 2020) to Revision B (January 2021) **Page**

- デバイスのステータスを「量産データ」に変更 1
- 「ドキュメントの更新通知を受け取る方法」セクションを追加 38

Copyright © 2026 Texas Instruments Incorporated

• 「静電放電に関する注意事項」の記述を変更 38

Changes from Revision * (July 2020) to Revision A (December 2020) **Page**

• 事前 RTM 更新..... 1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

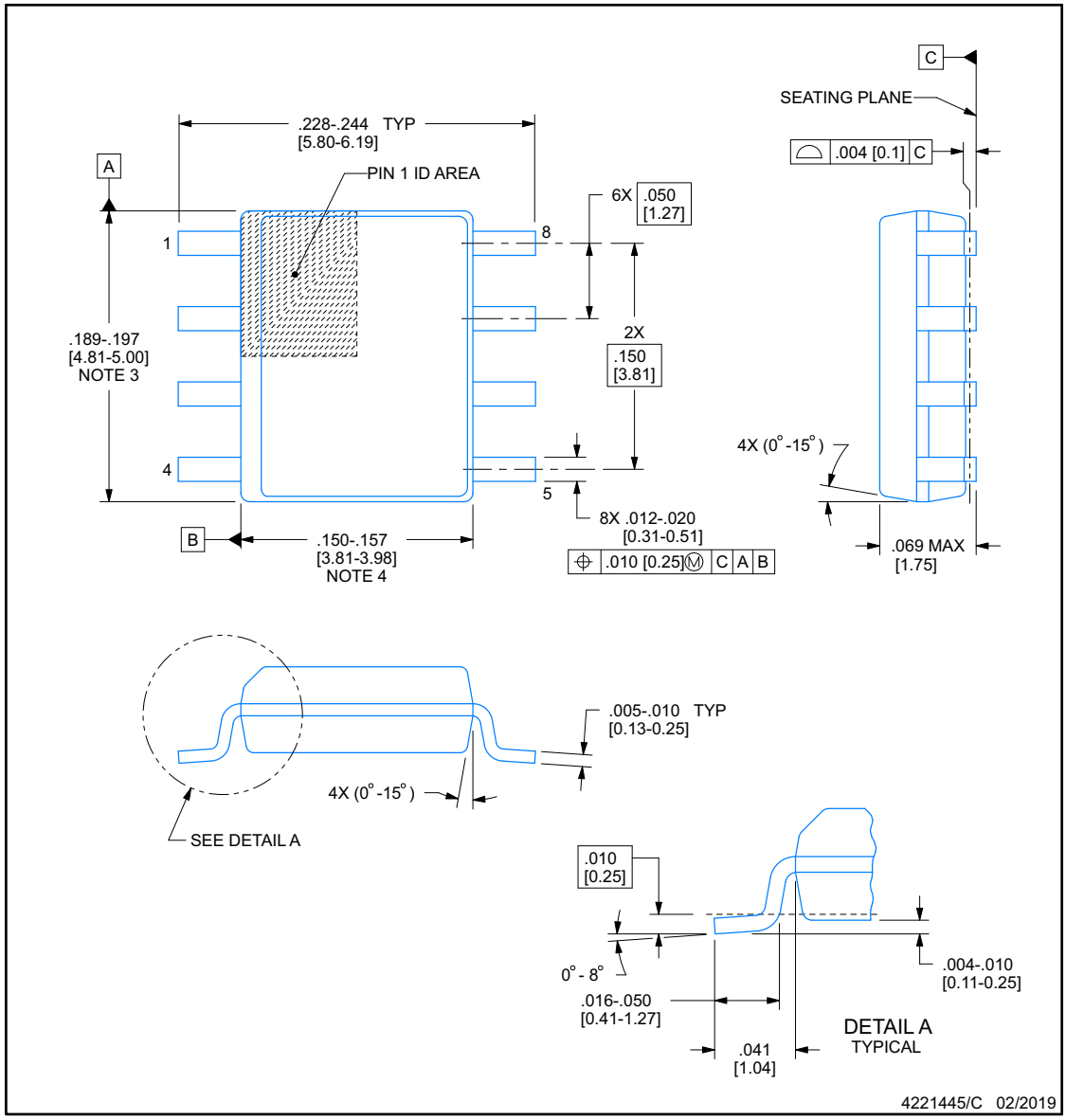


PACKAGE OUTLINE

D0008B

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15], per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

TEXAS INSTRUMENTS
www.ti.com

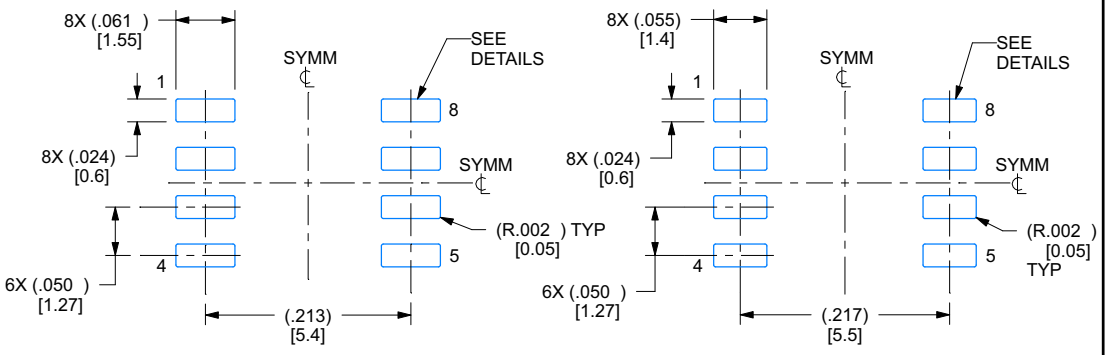
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

D0008B

SOIC - 1.75 mm max height

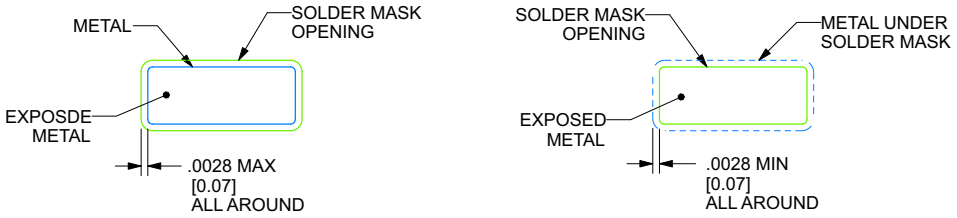
SMALL OUTLINE INTEGRATED CIRCUIT



IPC-7351 NOMINAL
.150 [3.85] CLEARANCE / CREEPAGE

HV / ISOLATION OPTION
.162 [4.1] CLEARANCE / CREEPAGE

LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



NON SOLDER MASK
DEFINED

SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4221445/C 02/2019

NOTES: (continued)

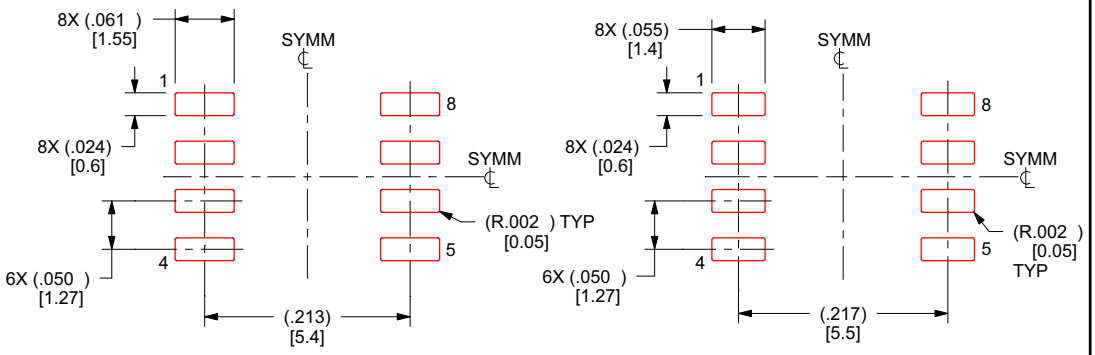
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

D0008B — **SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



IPC-7351 NOMINAL
.150 [3.85] CLEARANCE / CREEPAGE

HV / ISOLATION OPTION
.162 [4.1] CLEARANCE / CREEPAGE

SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.127 MM] THICK STENCIL
SCALE:6X

4221445/C 02/2019

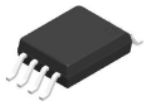
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

TEXAS INSTRUMENTS
www.ti.com

Copyright © 2026 Texas Instruments Incorporated

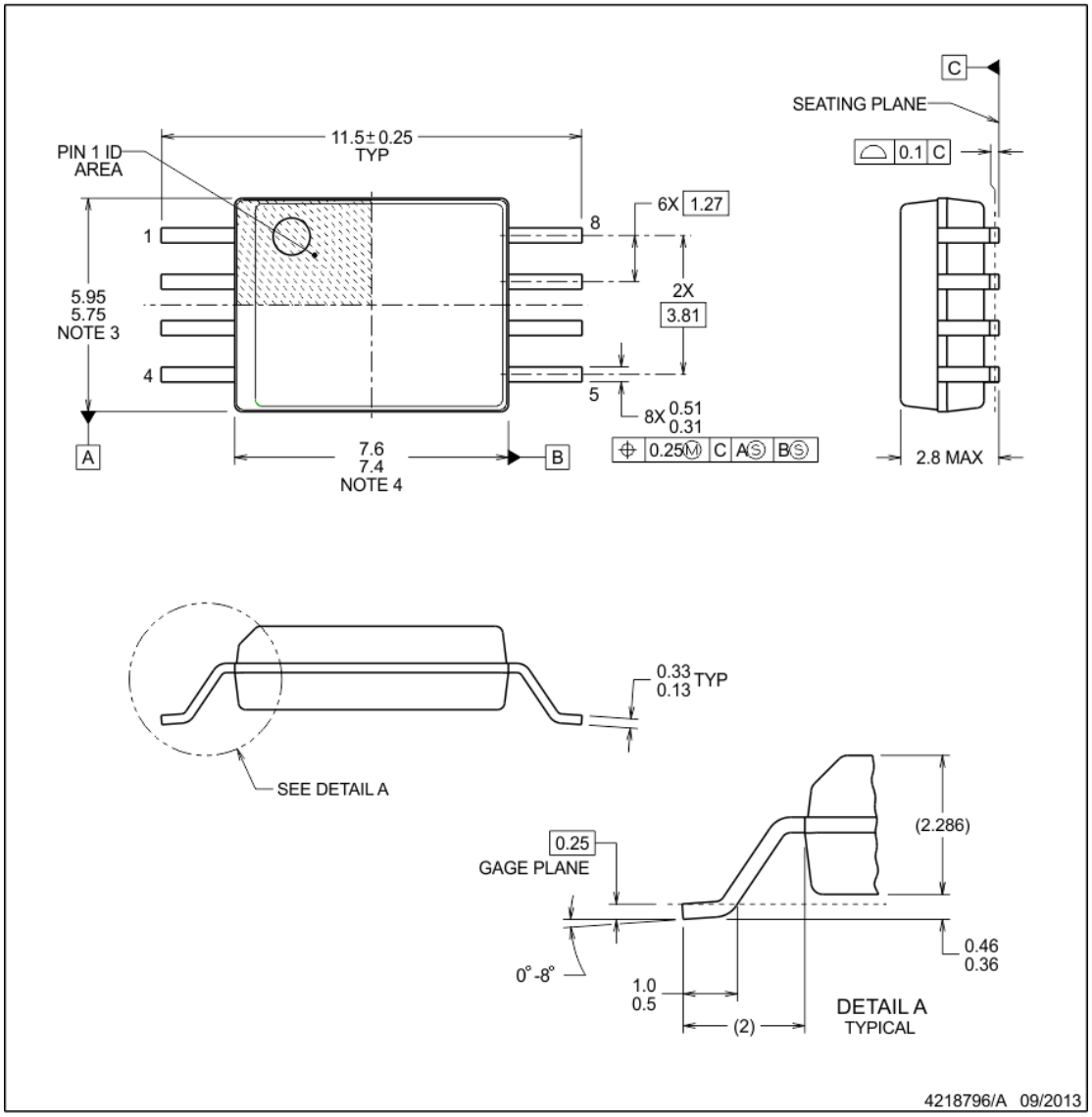
PACKAGE OUTLINE



DWV0008A

SOIC - 2.8 mm max height

SOIC



NOTES:

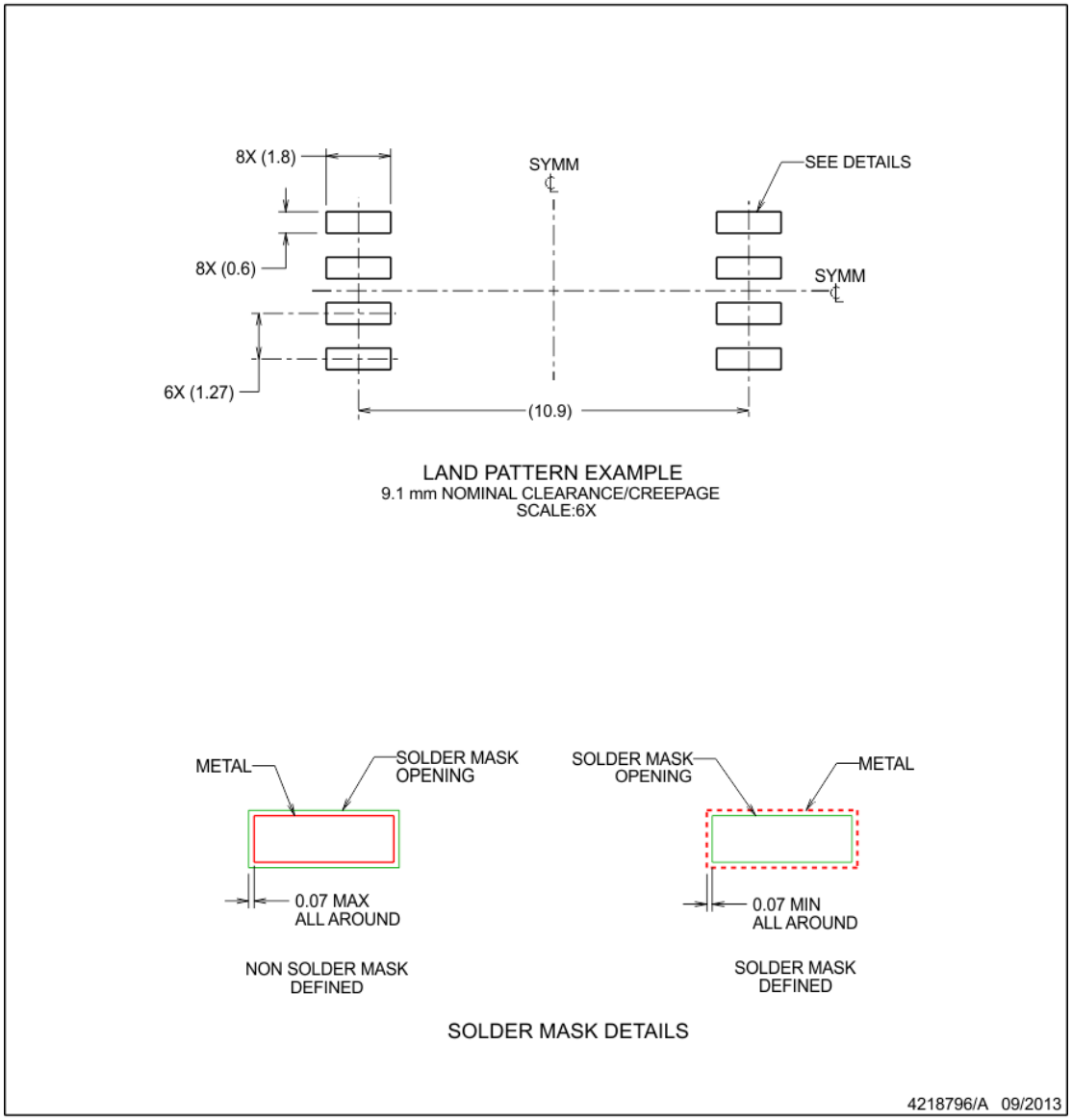
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

DWV0008A — SOIC - 2.8 mm max height

SOIC



NOTES: (continued)

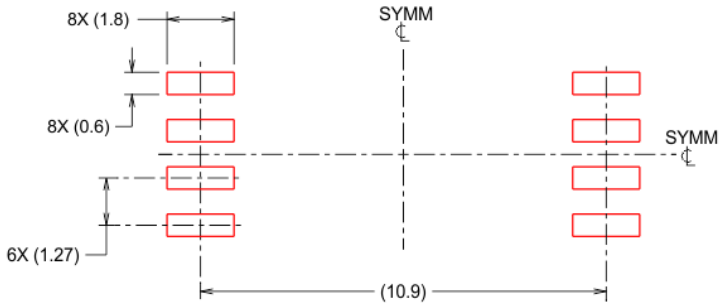
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DWV0008A — SOIC - 2.8 mm max height

SOIC



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4218796/A 09/2013

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

11.1 付録：パッケージ オプション

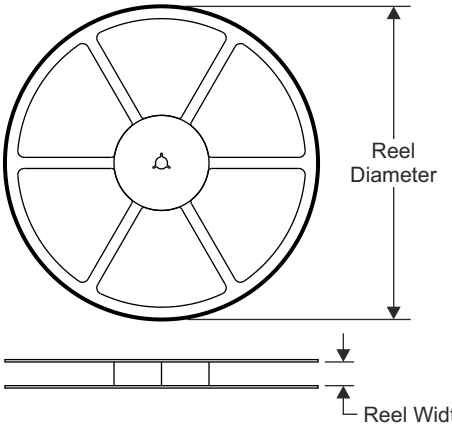
パッケージ情報

発注可能なデバイス	ステータス(1)	パッケージ タイプ	パッケージ図	ピン	パッケージの数量	エコ プラン(2)	リード / ボール仕上げ(6)	MSL ピーク温度(3)	動作温度 (℃)	デバイス マーキング(4) (5)
ISO6720QDWVRQ1	アクティブ	SOIC	DWV	8	1000	グリーン (RoHS 準拠、Sb/Br 非含有)	NiPdAu	レベル-2-260C-1 年	-40～125	6720
ISO6720FQDWVRQ1	アクティブ	SOIC	DWV	8	1000	グリーン (RoHS 準拠、Sb/Br 非含有)	NiPdAu	レベル-2-260C-1 年	-40～125	6720F
ISO6721QDWVRQ1	アクティブ	SOIC	DWV	8	1000	グリーン (RoHS 準拠、Sb/Br 非含有)	NiPdAu	レベル-2-260C-1 年	-40～125	6721
ISO6721FQDWVRQ1	アクティブ	SOIC	DWV	8	1000	グリーン (RoHS 準拠、Sb/Br 非含有)	NiPdAu	レベル-2-260C-1 年	-40～125	6721F
ISO6720BQDRQ1	アクティブ	SOIC	D	8	3000	グリーン (RoHS 準拠、Sb/Br 非含有)	NiPdAu	レベル-2-260C-1 年	-40～125	6720B
ISO6720FBQDRQ1	アクティブ	SOIC	D	8	3000	グリーン (RoHS 準拠、Sb/Br 非含有)	NiPdAu	レベル-2-260C-1 年	-40～125	6720FB
ISO6721BQDRQ1	アクティブ	SOIC	D	8	3000	グリーン (RoHS 準拠、Sb/Br 非含有)	NiPdAu	レベル-2-260C-1 年	-40～125	6721B
ISO6721FBQDRQ1	アクティブ	SOIC	D	8	3000	グリーン (RoHS 準拠、Sb/Br 非含有)	NiPdAu	レベル-2-260C-1 年	-40～125	6721FB
ISO6721RBQDRQ1	アクティブ	SOIC	D	8	3000	グリーン (RoHS 準拠、Sb/Br 非含有)	NiPdAu	レベル-2-260C-1 年	-40～125	21RB
ISO6721RFBQDRQ	アクティブ	SOIC	D	8	3000	グリーン (RoHS 準拠、Sb/Br 非含有)	NiPdAu	レベル-2-260C-1 年	-40～125	21RFB

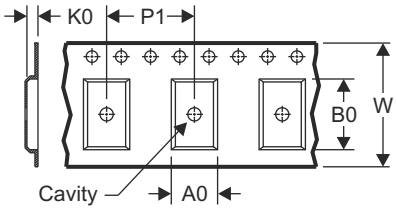
Copyright © 2026 Texas Instruments Incorporated

11.2 テープおよびリール情報

REEL DIMENSIONS

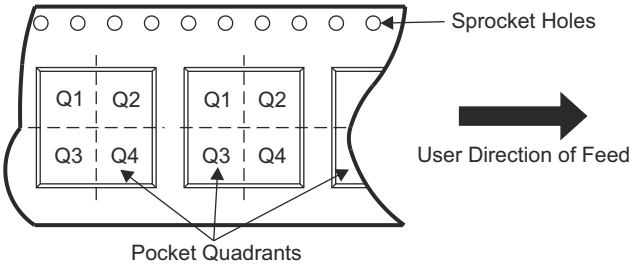


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

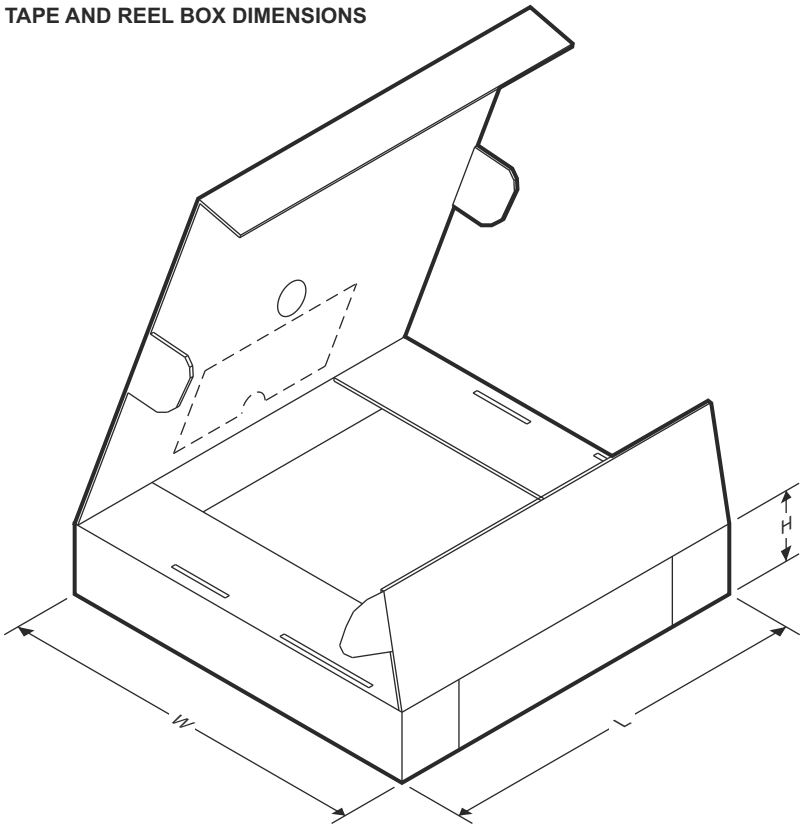
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
ISO6720QDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1
ISO6720FQDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1
ISO6721QDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1
ISO6721FQDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1
ISO6720BQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6720FBQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6721BQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6721FBQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6721RBQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6721RFBQDRQ	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

Copyright © 2026 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージ タイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
ISO6720QDWVRQ1	SOIC	DWV	8	1000	350.0	350.0	43.0
ISO6720FQDWVRQ1	SOIC	DWV	8	1000	350.0	350.0	43.0
ISO6721QDWVRQ1	SOIC	DWV	8	1000	350.0	350.0	43.0
ISO6721FQDWVRQ1	SOIC	DWV	8	1000	350.0	350.0	43.0
ISO6720BQDRQ1	SOIC	D	8	3000	367.0	367.0	35.0
ISO6720FBQDRQ1	SOIC	D	8	3000	367.0	367.0	35.0
ISO6721BQDRQ1	SOIC	D	8	3000	367.0	367.0	35.0
ISO6721FBQDRQ1	SOIC	D	8	3000	367.0	367.0	35.0
ISO6721RBQDRQ1	SOIC	D	8	3000	367.0	367.0	35.0
ISO6721RFBQDRQ	SOIC	D	8	3000	367.0	367.0	35.0

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISO6720BQDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6720B
ISO6720BQDRQ1.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6720B
ISO6720FBQDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6720FB
ISO6720FBQDRQ1.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6720FB
ISO6720FQDWVRQ1	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6720F
ISO6720FQDWVRQ1.A	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6720F
ISO6720QDWVRQ1	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6720
ISO6720QDWVRQ1.A	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6720
ISO6721BQDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6721B
ISO6721BQDRQ1.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6721B
ISO6721FBQDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6721FB
ISO6721FBQDRQ1.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6721FB
ISO6721FQDWVRQ1	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6721F
ISO6721FQDWVRQ1.A	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6721F
ISO6721QDWVRQ1	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6721
ISO6721QDWVRQ1.A	Active	Production	SOIC (DWV) | 8	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	6721
ISO6721RBQDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	21RB
ISO6721RBQDRQ1.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	21RB
ISO6721RFBQDRQ1	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	21RFB
ISO6721RFBQDRQ1.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	21RFB

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF ISO6720-Q1, ISO6721-Q1, ISO6721R-Q1 :

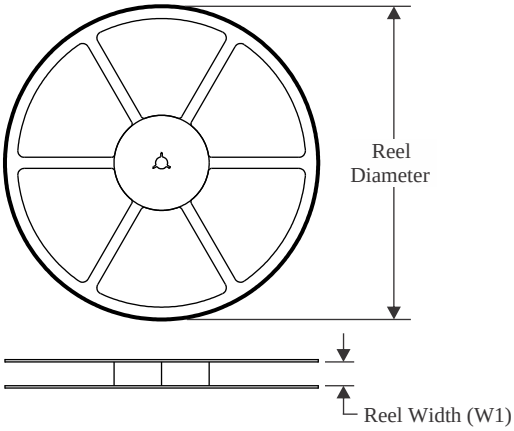
- Catalog : ISO6720, ISO6721, ISO6721R

NOTE: Qualified Version Definitions:

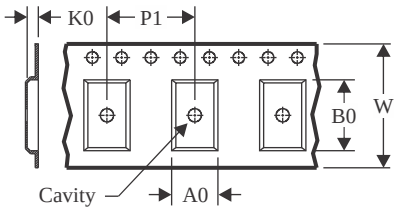
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

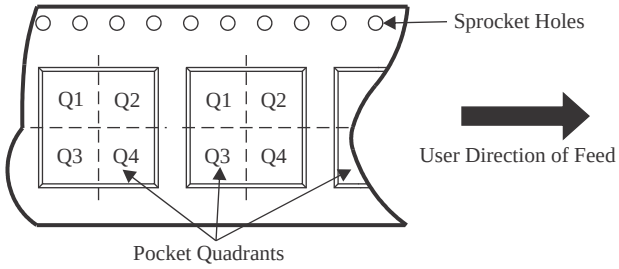


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

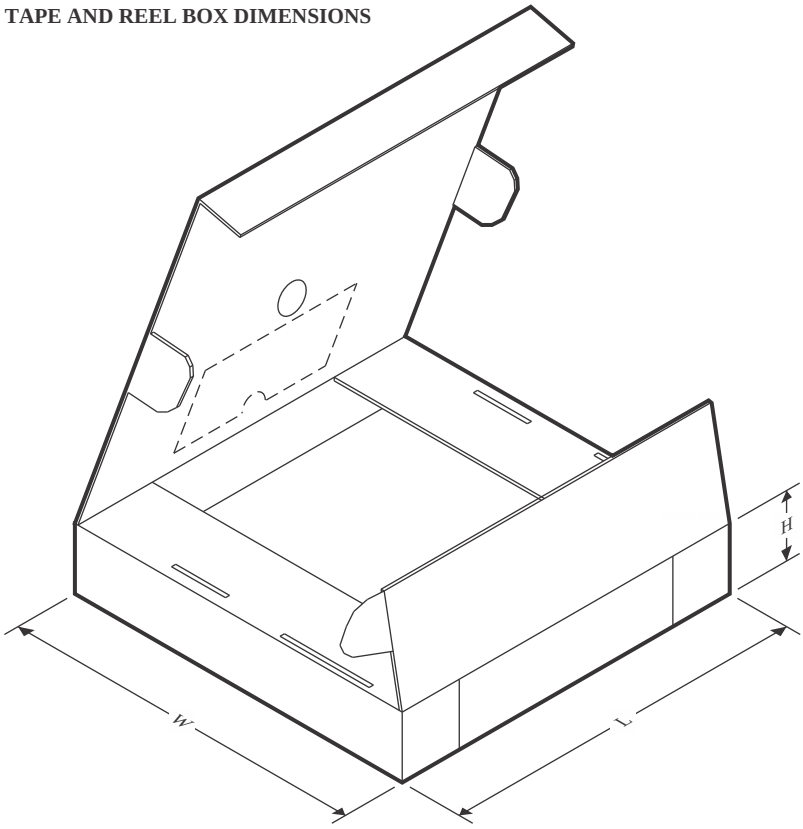


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO6720BQDRQ1	SOIC	D	8	3000	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
ISO6720BQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6720BQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6720FBQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6720FBQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6720FBQDRQ1	SOIC	D	8	3000	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
ISO6720FQDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.15	6.2	3.05	16.0	16.0	Q1
ISO6720FQDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.05	6.15	3.3	16.0	16.0	Q1
ISO6720QDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.15	6.2	3.05	16.0	16.0	Q1
ISO6721BQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6721BQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6721FBQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6721FBQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6721FQDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.15	6.2	3.05	16.0	16.0	Q1
ISO6721QDWVRQ1	SOIC	DWV	8	1000	330.0	16.4	12.15	6.2	3.05	16.0	16.0	Q1
ISO6721RBQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO6721RBQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6721RFBQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO6721RFBQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

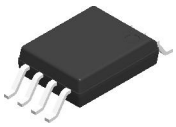
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO6720BQDRQ1	SOIC	D	8	3000	356.0	356.0	36.0
ISO6720BQDRQ1	SOIC	D	8	3000	356.0	356.0	36.0
ISO6720BQDRQ1	SOIC	D	8	3000	353.0	353.0	32.0
ISO6720FBQDRQ1	SOIC	D	8	3000	353.0	353.0	32.0
ISO6720FBQDRQ1	SOIC	D	8	3000	356.0	356.0	36.0
ISO6720FBQDRQ1	SOIC	D	8	3000	356.0	356.0	36.0
ISO6720FQDWVRQ1	SOIC	DWV	8	1000	353.0	353.0	32.0
ISO6720FQDWVRQ1	SOIC	DWV	8	1000	350.0	350.0	43.0
ISO6720QDWVRQ1	SOIC	DWV	8	1000	353.0	353.0	32.0
ISO6721BQDRQ1	SOIC	D	8	3000	353.0	353.0	32.0
ISO6721BQDRQ1	SOIC	D	8	3000	356.0	356.0	36.0
ISO6721FBQDRQ1	SOIC	D	8	3000	353.0	353.0	32.0
ISO6721FBQDRQ1	SOIC	D	8	3000	356.0	356.0	36.0
ISO6721FQDWVRQ1	SOIC	DWV	8	1000	353.0	353.0	32.0
ISO6721QDWVRQ1	SOIC	DWV	8	1000	353.0	353.0	32.0
ISO6721RBQDRQ1	SOIC	D	8	3000	356.0	356.0	36.0
ISO6721RBQDRQ1	SOIC	D	8	3000	353.0	353.0	32.0
ISO6721RFBQDRQ1	SOIC	D	8	3000	353.0	353.0	32.0

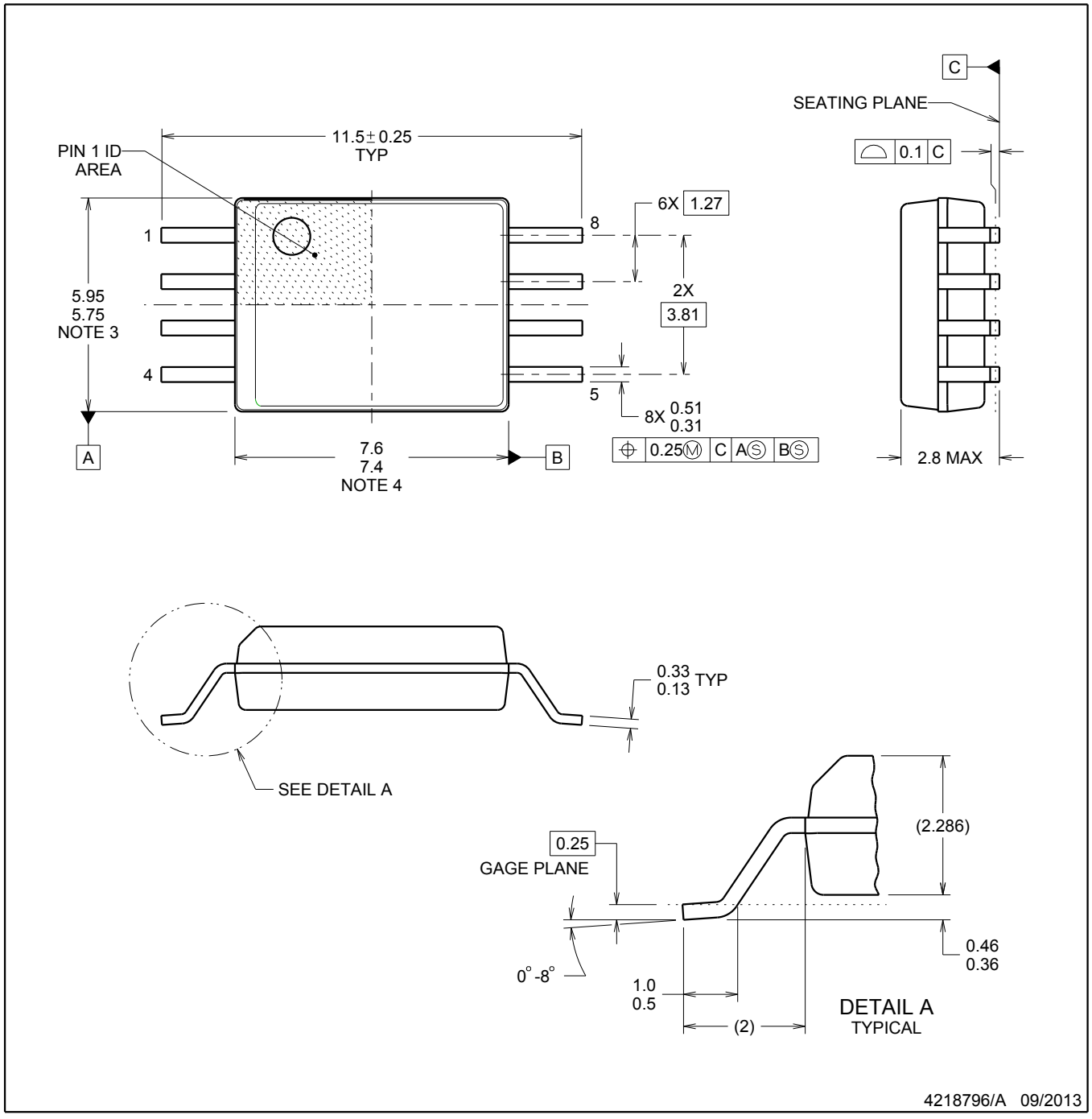
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO6721RFBQDRQ1	SOIC	D	8	3000	356.0	356.0	36.0



DWV0008A

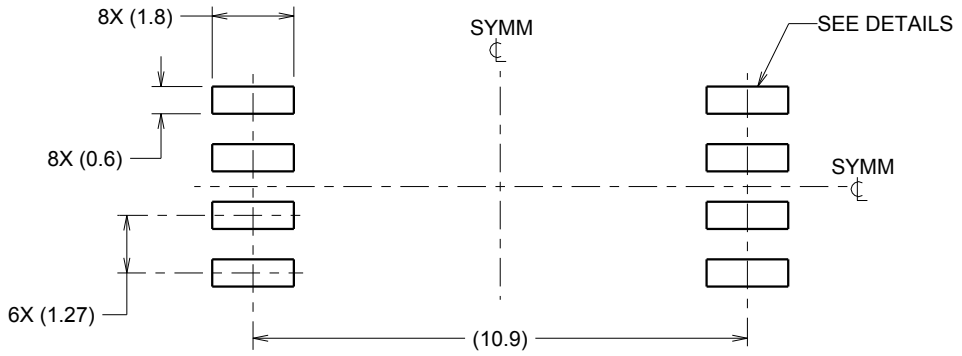
SOIC - 2.8 mm max height

SOIC

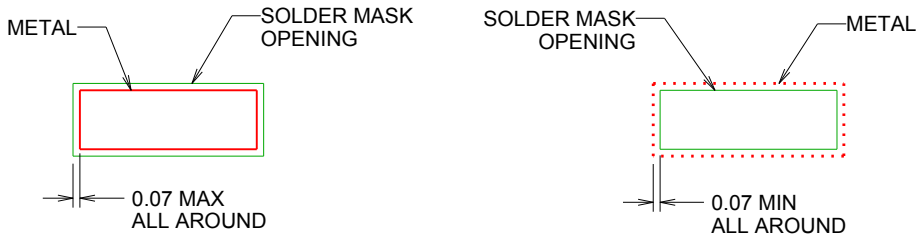


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



LAND PATTERN EXAMPLE
9.1 mm NOMINAL CLEARANCE/CREEPAGE
SCALE:6X



SOLDER MASK DETAILS

4218796/A 09/2013

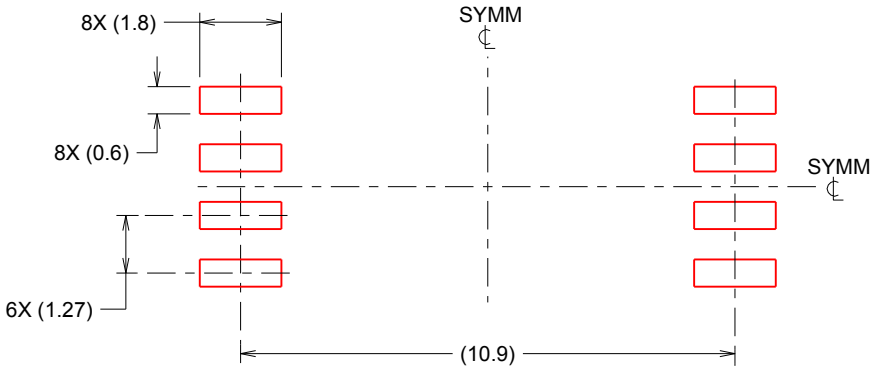
NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

DWV0008A

SOIC - 2.8 mm max height

SOIC

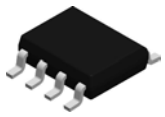


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4218796/A 09/2013

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

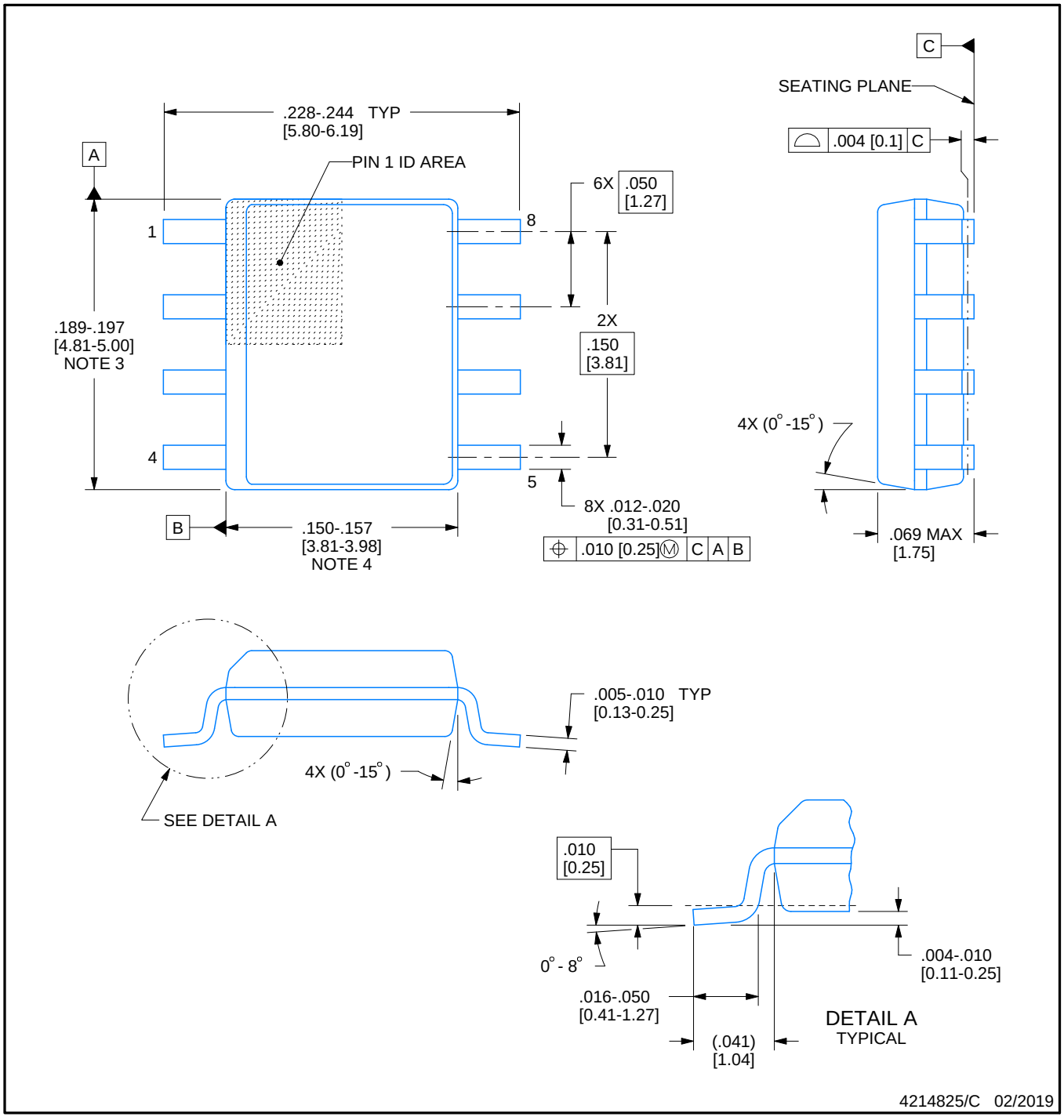


PACKAGE OUTLINE

D0008A

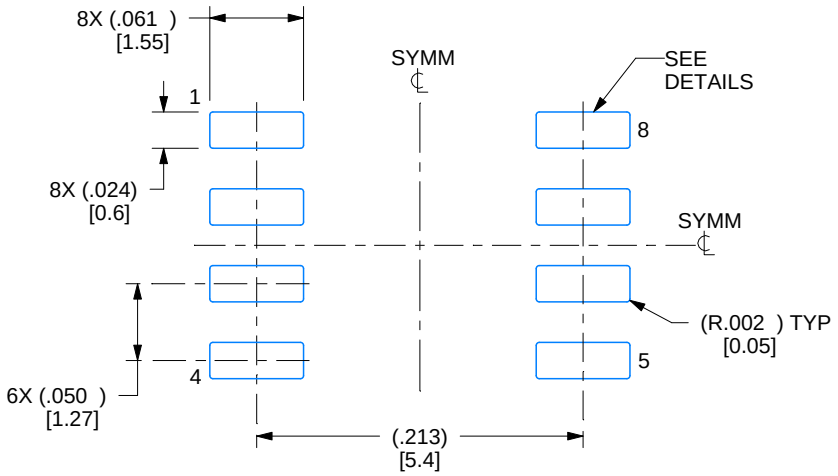
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

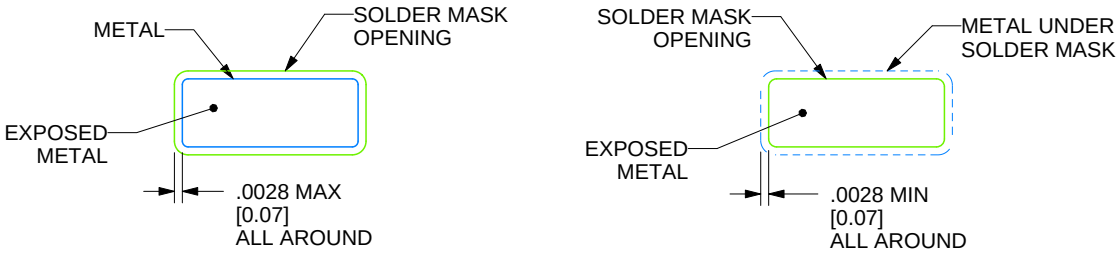


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

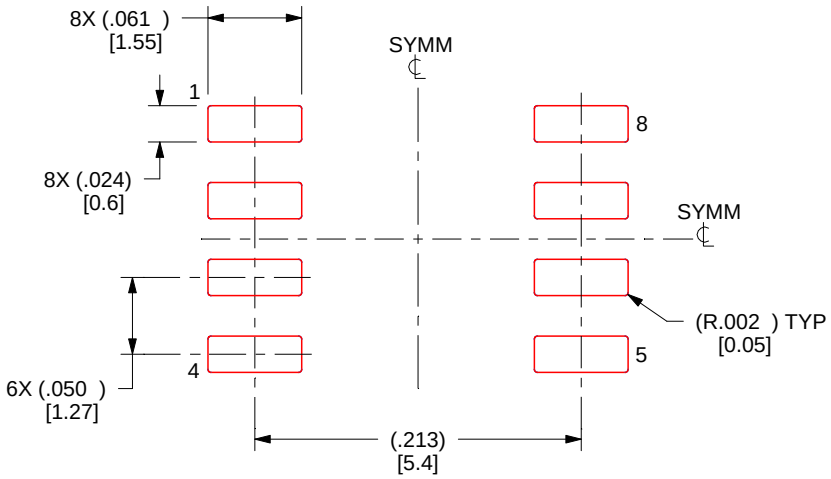
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月