ISO722x デュアル チャネルのデジタル アイソレータ

1 特長

- 1、5、25、および 150Mbps 信号速度オプション
  - 低いチャネル間の出力スキュー:
    最大値 1ns
  - 低いパルス幅歪み (PWD) :最大値 1ns
  - 低ジッタ成分:150Mbps で標準値 1ns
- 50kV/µs の標準過渡電圧耐性
- 2.8V (C グレード)、
  3.3V、または 5V の電源で動作
- ESD 保護:4kV
- 高い電磁気耐性
- 動作温度範囲: -40℃～+125℃
- 定格電圧で標準寿命 28 年
  (「絶縁寿命予測」を参照)
- 安全関連認証
  - DIN EN IEC 60747-17 (VDE 0884-17) 準拠
  - UL 1577 部品認定プログラム
  - IEC 61010-1 認定、IEC 62368-1 認定

2 アプリケーション

- ファクトリ オートメーション
  - Modbus
  - Profibus™
  - DeviceNet™ データ バス
- コンピュータ ペリフェラル インターフェイス
- サーボ制御インターフェイス
- データ アクイジション

3 概要

ISO7220x および ISO7221x ファミリのデバイスは、デュアル チャネルのデジタル アイソレータです。PCB レイアウトを行いやすくするため、チャネルは ISO7220x では同じ方向、ISO7221x では反対方向に配置されています。これらのデバイスはテキサス・インスツルメンツのシリコン酸化膜 (SiO_2) 絶縁バリアによって分離されたロジック入出力バッファを搭載しており、VDE に準拠した最大 $4000V_{PK}$ のガルバニック絶縁を提供します。これらのデバイスを絶縁型電源と組み合わせて使用すると、高電圧がブロックされ、グランドが絶縁されます。また、データ バスや他の回路で発生したノイズ電流がローカル グランドに入り込み、ノイズに敏感な回路に干渉または損傷を与えることを防止できます。

バイナリ入力信号がコンディショニングされ、平衡信号に変換されてから、絶縁バリアによって差動化されます。絶縁バリアを通過して、差動コンパレータがロジック変換情報を受け取り、それに応じてフリップフロップおよび出力回路を設定またはリセットします。バリアを通して周期的に更新パルスが送信され、出力の DC レベルが適切であることを検証します。この DC 更新パルスが 4µs ごとに受信されない場合、入力に電力が供給されていない、またはアクティブに駆動されていないと見なされ、フェイルセーフ回路により出力が論理 HIGH 状態に駆動されます。

その結果として得られる時定数により高速な動作が可能で、0Mbps (DC) から 150Mbps までの信号速度に対応できます (ラインの信号速度は、1 秒あたりの電圧遷移回数であり、bps 単位で表されます)。A オプション、B オプション、C オプションのデバイスは、入力に TTL 入力しきい値とノイズ フィルタが存在し、遷移パルスがデバイスの出力に渡されることを防止します。M オプションのデバイスには CMOS V_{CC}/2 入力しきい値が存在しますが、入力ノイズ フィルタはなく、追加の伝搬遅延が発生しません。

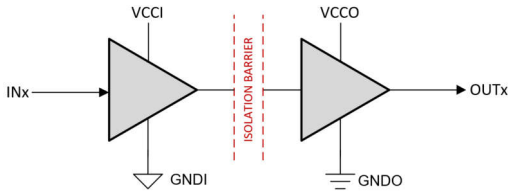
ISO7220x および ISO7221x ファミリのデバイスは 2.8V (C グレード)、3.3V、5V、またはいずれかの組み合わせの 2 つの電源電圧を必要とします。2.8V または 3.3V 電源で動作するとき、すべての入力は 5V 許容で、すべての出力は 4mA CMOS です。

ISO7220x および ISO7221x ファミリのデバイスは、-40℃～+125℃の周囲温度範囲で動作が規定されています。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)	パッケージ サイズ(2)
ISO7220x ISO7221x	D (SOIC、8)	4.90mm × 3.91mm	4.9mm × 6mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



V_{CCI} および GNDI は、それぞれ入力チャネルの電源およびグランド接続です。
V_{CCO} および GNDO は、それぞれ出力チャネルの電源およびグランド接続です。

概略回路図

目次

1 特長 1
2 アプリケーション 1
3 概要 1
4 ピン構成および機能 3
5 仕様 4
5.1 絶対最大定格 4
5.2 ESD 定格 4
5.3 推奨動作条件 5
5.4 熱に関する情報 5
5.5 電力定格 5
5.6 絶縁仕様 6
5.7 安全関連認証 6
5.8 安全限界値 7
5.9 電気的特性 ー 5V V_{CC1} および V_{CC2} 電源 8
5.10 電気的特性ー 5V V_{CC1} および 3.3V V_{CC2} 電源 8
5.11 電気的特性ー 3.3V V_{CC1} および 5V V_{CC2} 電源 10
5.12 電気的特性 - 3.3V V_{CC1} および V_{CC2} 電源 11
5.13 電気的特性 - 2.8V V_{CC1} および V_{CC2} 電源 12
5.14 スイッチング特性 - 5V V_{CC1} および V_{CC2} 電源 12
5.15 スイッチング特性ー 5V V_{CC1} および 3.3V V_{CC2} 電源 14
5.16 スイッチング特性ー 3.3V V_{CC1} および 5V V_{CC2} 電源 15
5.17 スイッチング特性 - 3.3V V_{CC1} および V_{CC2} 電源 16
5.18 スイッチング特性ー 2.8V V_{CC1} および V_{CC2} 電源 16
5.19 絶縁特性曲線 17
5.20 代表的特性 18
6 パラメータ測定情報 20
7 詳細説明 22
7.1 概要 22
7.2 機能ブロック図 22
7.3 機能説明 23
7.4 デバイスの機能モード 23
8 アプリケーションと実装 24
8.1 アプリケーション情報 24
8.2 代表的なアプリケーション 24
8.3 電源に関する推奨事項 26
8.4 レイアウト 26
9 デバイスおよびドキュメントのサポート 27
9.1 デバイス サポート 27
9.2 ドキュメントのサポート 27
9.3 ドキュメントの更新通知を受け取る方法 27
9.4 サポート・リソース 27
9.5 商標 27
9.6 静電気放電に関する注意事項 27
9.7 用語集 27
10 改訂履歴 27
11 メカニカル、パッケージ、および注文情報 28

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

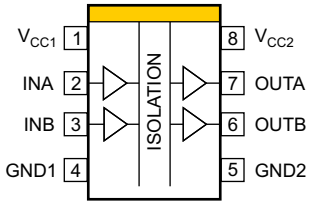


図 4-1. ISO7220x D パッケージ、 8 ピン SOIC (上面図)

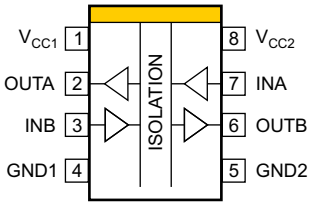


図 4-2. ISO7221x D パッケージ、 8 ピン SOIC (上面図)

表 4-1. ピンの機能

ピン			種類[1]	説明
名称	ISO7220x	ISO7221x		
INA	2	7	I	入力、チャネル A
INB	3	3	I	入力、チャネル B
GND1	4	4	—	V_{CC1} のグランド接続
GND2	5	5	—	V_{CC2} のグランド接続
OUTA	7	2	O	出力、チャネル A
OUTB	6	6	O	出力、チャネル B
V_{CC1}	1	1	—	電源、V_{CC1}
V_{CC2}	8	8	—	電源、V_{CC2}

(1) I = 入力、O = 出力

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
V_{CC}	電源電圧(2)、V_{CC1}、V_{CC2}	-0.5	6	V
V_I	IN での電圧、OUT	-0.5	V_{CC} + 0.5(3)	V
I_O	出力電流	-15	15	mA
T_J	最大接合部温度		170	°C
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 差動 I/O バス電圧を除くすべての電圧値は、ローカル グランド ピン (GND1 または GND2) を基準としており、ピーク電圧値です。
(3) 最大電圧は 6V 以下である必要があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±4000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±1000	V

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

Copyright © 2025 Texas Instruments Incorporated

5.3 推奨動作条件

			最小値	公称値	最大値	単位
V_{CC}	電源電圧(2)、V_{CC1}、V_{CC2}	ISO722xA、ISO722xB、ISO722xM	3		5.5	V
		ISO722xC	2.8		5.5	
I_{OH}	High レベル出力電流		-4			mA
I_{OL}	Low レベル出力電流				4	mA
t_{ui}	入力パルス幅(1)	ISO722xA	1			µs
		ISO722xB	200			ns
		ISO722xC	40			
		ISO722xM	6.67			
$1/t_{ui}$	信号速度(1)	ISO722xA	0		1000	kbps
		ISO722xB	0		5	Mbps
		ISO722xC	0		25	
		ISO722xM	0		150	
V_{IH}	High レベル入力電圧	ISO722xA、ISO722xB、ISO722xC	2		5.5	V
V_{IL}	Low レベル入力電圧	ISO722xA、ISO722xB、ISO722xC	0		0.8	V
V_{IH}	High レベル入力電圧	ISO722xM	0.7 x V_{CC}		V_{CC}	V
V_{IL}	Low レベル入力電圧	ISO722xM	0		0.3 x V_{CC}	V
T_J	接合部温度		-40		150	°C
H	IEC 61000-4-8 および IEC 61000-4-9 認証に基づく外部磁界強度耐性				1000	A/m

(1) 「標準的な信号速度と入力パルス幅は、25°C の理想的な条件で測定」に変更。
(2) 5V 動作時は、V_{CC1} または V_{CC2} を 4.5 V～5.5V に設定します。
3.3V 動作時は、V_{CC1} または V_{CC2} を 3V～3.6V に設定します。
2.8V 動作時は、V_{CC1} または V_{CC2} を 2.8V に設定します。

5.4 熱に関する情報

熱評価基準(1)			ISO7220x ISO7221x D (SOIC) 8 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	Low-K 熱抵抗(2)	212	°C/W
		High-K 熱抵抗	122	
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		69.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗		47.7	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ		15.2	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ		47.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗		—	°C/W

(1) 従来および最新の熱評価基準の詳細については、*半導体および IC パッケージの熱評価基準*アプリケーション ノートを参照してください。

(2) リード付き表面実装パッケージについて、EIA/JESD51-3 の Low-K または High-K の熱評価基準の定義に従ってテスト済みです。

5.5 電力定格

V_{CC1} = V_{CC2} = 5.5V、T_J = 150°C、C_L = 15pF、150Mbps 50% デューティ サイクルの方形波を入力

パラメータ		テスト条件	最小値 標準値 最大値	単位
P_D	デバイス消費電力、ISO722xM		390	mW

5.6 絶縁仕様

パラメータ		テスト条件	値	単位
一般				
CLR	外部空間距離(1)	空気を介した最短のピン間距離	4	mm
CPG	外部沿面距離(1)	パッケージ表面に沿った最短のピン間距離	4	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	0.008	mm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0884-17)、IEC 60112	≧ 400	V
	材料グループ		II	
	過電圧カテゴリ	定格商用電圧 ≤ 150V_{RMS}	I-IV	
		定格商用電圧 ≤ 300V_{RMS}	I-III	
		定格商用電圧 ≤ 400V_{RMS}	I-II	
DIN EN IEC 60747-17 (VDE 0884-17):(2)				
V_{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	560	V_{PK}
V_{IOTM}	最大過渡絶縁電圧	V_{TEST} = V_{IOTM}、t = 60s (認定)、 V_{TEST} = 1.2 × V_{IOTM}、t = 1s (100% 出荷時)	4000	V_{PK}
q_{pd}	見掛けの電荷(3)	方法 a：I/O 安全テスト サブグループ 2/3 の後、 V_{ini} = V_{IOTM}、t_{ini} = 60s、 $V_{pd(m)}$ = 1.2 × V_{IORM}、t_m = 10s	≦ 5	pC
		方法 a：環境テスト サブグループ 1 の後、 V_{ini} = V_{IOTM}、t_{ini} = 60s、 $V_{pd(m)}$ = 1.3 × V_{IORM}、t_m = 10s	≦ 5	
		メソッド b：ルーチン テスト (100% 出荷時)、 V_{ini} = 1.2 x V_{IOTM}、t_{ini} = 1s、 $V_{pd(m)}$ = 1.5 x V_{IORM}、t_m = 1s (メソッド b1) または $V_{pd(m)}$ = V_{ini}、t_m = t_{ini} (メソッド b2)	≦ 5	
C_{IO}	絶縁バリア容量、入力から出力へ(4)	V_{IO} = 0.4 sin (2πft)、f = 1MHz	1	pF
R_{IO}	絶縁抵抗、入力から出力へ(4)	V_{IO} = 500V、T_A = 25℃	$>10^{12}$	Ω
		V_{IO} = 500V (100℃ ≦ T_A ≦ 125℃時)	$>10^{11}$	
		V_{IO} = 500V (T_S = 150℃時)	$>10^{9}$	
	汚染度		2	
	耐候性カテゴリ		40/125/21	
UL 1577				
V_{ISO}	絶縁耐圧	V_{TEST} = V_{ISO} = 2500V_{RMS}、t = 60s (認定)、 V_{TEST} = 1.2 × V_{ISO} = 3000V_{RMS}、t = 1s (100% 出荷時)	2500	V_{RMS}

(1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上にグルーブやリブを設けるなどの技法を使用して、これらの仕様値を大きくすることができます。
(2) この絶縁素子は、最大動作定格内に限定した基本的な電気的絶縁に適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
(3) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
(4) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 端子のデバイスを構成します。

5.7 安全関連認証

VDE	CSA	UL
DIN EN IEC 60747-17 (VDE 0884-17) による認証	IEC 62368-1 による認証	UL 1577 部品認定プログラムによる認証
基本認証：40047657	マスタ契約書番号：220991	ファイル番号：E181974

Copyright © 2025 Texas Instruments Incorporated

5.8 安全限界値

安全限界値 (1) の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。I/O 回路の故障により、グランドあるいは電源との抵抗が低くなることがあります。電流制限がないと、チップがオーバーヒートして絶縁バリアが破壊されるほどの大電力が消費され、ひいてはシステムの 2 次故障に到る可能性があります。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_S	安全入力、出力、または電源電流	$R_{\theta JA}$ = 212℃/W、V_I = 5.5V、T_J = 170℃、T_A = 25℃、図 5-1 を参照			124	mA
		$R_{\theta JA}$ = 212℃/W、V_I = 3.6V、T_J = 170℃、T_A = 25℃、図 5-1 を参照			190	
T_S	安全温度				150	°C

(1) 安全限界は、データシートで規定されている最大接合部温度です。接合部の温度は、アプリケーション ハードウェアに搭載されているデバイスの消費電力、および接合部から空気への熱抵抗により決定されます。前提とされている接合部から空気への熱抵抗は、リード付き表面実装パッケージ向けの High-K テスト基板に実装されたデバイスの数値です。電力は、推奨最大入力電圧と電流との積です。この場合の接合部温度は、接合部から空気への熱抵抗と電力との積に周囲温度を加えたものです。

Copyright © 2025 Texas Instruments Incorporated

5.9 電気的特性 — 5V V_{CC1} および V_{CC2} 電源

V_{CC1} = V_{CC2} = 5V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{CC1}	V_{CC1} の電源電流	ISO7220x 静止、V_I = V_{CC} または 0V、無負荷		1	2	mA
		ISO7221 静止、V_I = V_{CC} または 0V、無負荷		8.5	17	
		ISO7220A および ISO7220B、1Mbps、0.5 MHz 入力クロック信号、無負荷		2	3	mA
		ISO7221A、ISO7221B 1Mbps、0.5MHz 入力クロック信号、無負荷		10	18	
		ISO7220C、ISO7220M 25Mbps、12.5MHz 入力クロック信号、無負荷		4	9	mA
		ISO7221C および ISO7221M 25Mbps、12.5MHz 入力クロック信号、無負荷		12	22	
I_{CC2}	V_{CC2} の電源電流	ISO7220x 静止、V_I = V_{CC} または 0V、無負荷		16	31	mA
		ISO7221x 静止、V_I = V_{CC} または 0V、無負荷		8.5	17	
		ISO7220A および ISO7220B、1 Mbps、0.5 MHz 入力クロック信号、無負荷		17	32	mA
		ISO7221A、ISO7221B 1Mbps、0.5MHz 入力クロック信号、無負荷		10	18	
		ISO7220C、ISO7220M 25Mbps、12.5MHz 入力クロック信号、無負荷		20	34	mA
		ISO7221C および ISO7221M 25Mbps、12.5MHz 入力クロック信号、無負荷		12	22	
V_{OH}	High レベル出力電圧	I_{OH} = -4mA、図 6-1 を参照	V_{CC} - 0.8	4.6		V
		I_{OH} = -20µA、図 6-1 を参照	V_{CC} - 0.1	5		
V_{OL}	Low レベル出力電圧	I_{OL} = 4mA、図 6-1 を参照		0.2	0.4	V
		I_{OL} = 20µA、図 6-1 を参照		0	0.1	
$V_{I(HYS)}$	入力電圧ヒステリシス			150		mV
I_{IH}	High レベル入力電流	0V から V_{CC} の IN			10	µA
I_{IL}	Low レベル入力電流	0V から V_{CC} の IN	-10			µA
C_I	グランドの入力容量	V_{CC} での IN、V_I = 0.4 sin (2πft)、f = 2MHz。		1		pF
CMTI	同相過渡耐性	V_I = V_{CC} または 0V、図 6-3 を参照	25	50		kV/µs

5.10 電気的特性— 5V V_{CC1} および 3.3V V_{CC2} 電源

V_{CC1} = 5V ±10%、V_{CC2} = 3.3V ±10% (特に記載のない限り、推奨動作条件内)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{CC1}	V_{CC1} の電源電流	ISO7220x 静止、V_I = V_{CC} または 0V、無負荷		1	2	mA
		ISO7221x 静止、V_I = V_{CC} または 0V、無負荷		8.5	17	
		ISO7220A および ISO7220B、1 Mbps、0.5 MHz 入力クロック信号、無負荷		2	3	mA
		ISO7221A および ISO7221B、1 Mbps、0.5 MHz 入力クロック信号、無負荷		10	18	
		ISO7220C および ISO7220M 25Mbps、12.5MHz 入力クロック信号、無負荷		4	9	mA
		ISO7221C および ISO7221M 25Mbps、12.5MHz 入力クロック信号、無負荷		12	22	

Copyright © 2025 Texas Instruments Incorporated

V_{CC1} = 5V ±10%、V_{CC2} = 3.3V ±10% (特に記載のない限り、推奨動作条件内)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{CC2}	V_{CC2} の電源電流	ISO7220x 静止、V_I = V_{CC} または 0V、無負荷		8	18	mA
		ISO7221x 静止、V_I = V_{CC} または 0V、無負荷		4.3	9.5	
		ISO7220A および ISO7220B、1 Mbps、0.5 MHz 入力クロック信号、無負荷		9	19	mA
		ISO7221A および ISO7221B、1 Mbps、0.5 MHz 入力クロック信号、無負荷		5	11	
		ISO7220C および ISO7220M 25Mbps、12.5MHz 入力クロック信号、無負荷		10	20	mA
		ISO7221C および ISO7221M 25Mbps、12.5MHz 入力クロック信号、無負荷		6	12	
V_{OH}	High レベル出力電圧	ISO7220x、ISO7221x (3.3V 側)、I_{OH} = –4mA、図 6-1 を参照	V_{CC} - 0.4			V
		ISO7221x (5V 側)、I_{OH} = –4mA、図 6-1 を参照	V_{CC} - 0.8			
		すべてのデバイス、I_{OH} = -20µA、図 6-1 を参照	V_{CC} - 0.1			
V_{OL}	Low レベル出力電圧	I_{OL} = 4mA、図 6-1 を参照			0.4	V
		I_{OL} = 20µA、図 6-1 を参照			0.1	
$V_{I(HYS)}$	入力電圧ヒステリシス			150		mV
I_{IH}	High レベル入力電流	0V から V_{CC} の IN			10	µA
I_{IL}	Low レベル入力電流	0V から V_{CC} の IN	-10			µA
C_I	グランドの入力容量	V_{CC} での IN、V_I = 0.4 sin (2πft)、f = 2MHz。		1		pF
CMTI	同相過渡耐性	V_I = V_{CC} または 0V、図 6-3 を参照	15	40		kV/µs

Copyright © 2025 Texas Instruments Incorporated

5.11 電気的特性ー 3.3V V_{CC1} および 5V V_{CC2} 電源

V_{CC1} = 3.3V ±10%、V_{CC2} = 5V ±10% (特に記載のない限り、推奨動作条件内)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{CC1}	V_{CC1} の電源電流	ISO7220x 静止、V_I = V_{CC} または 0V、無負荷		0.6	1	mA
		ISO7221x 静止、V_I = V_{CC} または 0V、無負荷		4.3	9.5	
		ISO7220A および ISO7220B、1 Mbps、0.5 MHz 入力クロック信号、無負荷		1	2	mA
		ISO7221A および ISO7221B、1 Mbps、0.5 MHz 入力クロック信号、無負荷		5	11	
		ISO7220C および ISO7220M 25Mbps、12.5MHz 入力クロック信号、無負荷		2	4	mA
		ISO7221C および ISO7221M 25Mbps、12.5MHz 入力クロック信号、無負荷		6	12	
I_{CC2}	V_{CC2} の電源電流	ISO7220x 静止、V_I = V_{CC} または 0V、無負荷		16	31	mA
		ISO7221x 静止、V_I = V_{CC} または 0V、無負荷		8.5	17	
		ISO7220A および ISO7220B、1 Mbps、0.5 MHz 入力クロック信号、無負荷		18	32	mA
		ISO7221A および ISO7221B、1 Mbps、0.5 MHz 入力クロック信号、無負荷		10	18	
		ISO7220C および ISO7220M 25Mbps、12.5MHz 入力クロック信号、無負荷		20	34	mA
		ISO7221C および ISO7221M 25Mbps、12.5MHz 入力クロック信号、無負荷		12	22	
V_{OH}	High レベル出力電圧	ISO7220x および ISO7221x (5V 側)、I_{OH} = –4mA、図 6-1 を参照	V_{CC} - 0.8			V
		ISO7221x (3.3V 側)、I_{OH} = –4mA、図 6-1 を参照	V_{CC} - 0.4			
		すべてのデバイス、I_{OH} = -20µA、図 6-1 を参照	V_{CC} - 0.1			
V_{OL}	Low レベル出力電圧	I_{OL} = 4mA、図 6-1 を参照			0.4	
		I_{OL} = 20µA、図 6-1 を参照		0	0.1	
$V_{I(HYS)}$	入力スレッショルド電圧のヒステリシス			150		mV
I_{IH}	High レベル入力電流	0V または V_{CC} の IN			10	µA
I_{IL}	Low レベル入力電流	0V または V_{CC} の IN	-10			µA
C_I	グランドの入力容量	V_{CC} での IN、V_I = 0.4 sin (2πft)、f = 2MHz。		1		pF
CMTI	同相過渡耐性	V_I = V_{CC} または 0V、図 6-3 を参照	15	40		kV/µs

Copyright © 2025 Texas Instruments Incorporated

5.12 電気的特性 - 3.3V V_{CC1} および V_{CC2} 電源

V_{CC1} および V_{CC2} = 3.3V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{CC1}	V_{CC2} の電源電流	ISO7220x 静止、V_I = V_{CC} または 0V、無負荷		0.6	1	mA
		ISO7221x 静止、V_I = V_{CC} または 0V、無負荷		4.3	9.5	
		ISO7220A および ISO7220B、1 Mbps、0.5 MHz 入力クロック信号、無負荷		1	2	mA
		ISO7221A および ISO7221B、1 Mbps、0.5 MHz 入力クロック信号、無負荷		5	11	
		ISO7220C および ISO7220M 25Mbps、12.5MHz 入力クロック信号、無負荷		2	4	mA
		ISO7221C および ISO7221M 25Mbps、12.5MHz 入力クロック信号、無負荷		6	12	
I_{CC2}	V_{CC2} の電源電流	ISO7220x 静止、V_I = V_{CC} または 0V、無負荷		8	18	mA
		ISO7221x 静止、V_I = V_{CC} または 0V、無負荷		4.3	9.5	
		ISO7220A および ISO7220B、1 Mbps、0.5 MHz 入力クロック信号、無負荷		9	19	mA
		ISO7221A および ISO7221B、1 Mbps、0.5 MHz 入力クロック信号、無負荷		5	11	
		ISO7220C および ISO7220M 25Mbps、12.5MHz 入力クロック信号、無負荷		10	20	mA
		ISO7221C および ISO7221M 25Mbps、12.5MHz 入力クロック信号、無負荷		6	12	
V_{OH}	High レベル出力電圧	I_{OH} = -4mA、図 6-1 を参照	V_{CC} - 0.4	3		V
		I_{OH} = -20µA、図 6-1 を参照	V_{CC} - 0.1	3.3		
V_{OL}	Low レベル出力電圧	I_{OL} = 4mA、図 6-1 を参照		0.2	0.4	
		I_{OL} = 20µA、図 6-1 を参照		0	0.1	
$V_{I(HYS)}$	入力電圧ヒステリシス			150		mV
I_{IH}	High レベル入力電流	0V または V_{CC} の IN			10	µA
I_{IL}	Low レベル入力電流	0V または V_{CC} の IN	-10			µA
C_I	グランドの入力容量	V_{CC} での IN、V_I = 0.4 sin (2πft)、f = 2MHz。		1		pF
CMTI	同相過渡耐性	V_I = V_{CC} または 0V、図 6-3 を参照	15	40		kV/µs

(1) 3.3V 動作の場合、V_{CC1} または V_{CC2} は 3V～3.6V の動作が規定されています。

Copyright © 2025 Texas Instruments Incorporated

5.13 電気的特性 - 2.8V V_{CC1} および V_{CC2} 電源

V_{CC1}、V_{CC2} = 2.8V (特に記述のない限り、推奨動作条件全体にわたって)2.8V 動作は、2012 年 1 月以降に生産スクリーニングが開始された ISO722xC にのみ規定されています。各デバイス上部に記載されたロットトレース コード (YMSLLLLG4) の最初の 2 桁は、それぞれ製造年と製造月を識別するために使用できます。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{CC1}	V_{CC1} の電源電流	ISO7220C 静止、V_I = V_{CC} または 0V、無負荷		0.4	0.9	mA
		ISO7221C 静止、V_I = V_{CC} または 0V、無負荷		3.7	7.5	
		ISO7220C 25Mbps、12.5MHz 入力クロック信号、無負荷		1.5	3.5	mA
		ISO7221C 25Mbps、12.5MHz 入力クロック信号、無負荷		4.5	10	
I_{CC2}	V_{CC2} の電源電流	ISO7220C 静止、V_I = V_{CC} または 0V、無負荷		6.8	15	mA
		ISO7221C 静止、V_I = V_{CC} または 0V、無負荷		3.7	7.5	
		ISO7220C 25Mbps、12.5MHz 入力クロック信号、無負荷		9	17	mA
		ISO7221C 25Mbps、12.5MHz 入力クロック信号、無負荷		4.5	10	
V_{OH}	High レベル出力電圧	I_{OH} = -4mA、図 6-1 を参照	V_{CC} - 0.6	2.55		V
		I_{OH} = -20µA、図 6-1 を参照	V_{CC} - 0.1	2.8		
V_{OL}	Low レベル出力電圧	I_{OL} = 4mA、図 6-1 を参照		0.25	0.6	
		I_{OL} = 20µA、図 6-1 を参照		0	0.1	
$V_{I(HYS)}$	入力電圧ヒステリシス			150		mV
I_{IH}	High レベル入力電流	0V または V_{CC} の IN			10	µA
I_{IL}	Low レベル入力電流	0V または V_{CC} の IN	-10			µA
C_I	グランドの入力容量	V_{CC} での IN、V_I = 0.4 sin (2πft)、f = 2MHz。		1		pF
CMTI	同相過渡耐性	V_I = V_{CC} または 0V、図 6-3 を参照	10	30		kV/µs

5.14 スイッチング特性 - 5V V_{CC1} および V_{CC2} 電源

V_{CC1} = V_{CC2} = 5V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}、t_{PHL}	伝搬遅延	ISO722xA、図 6-1 を参照	252	405	600	ns
PWD	パルス幅歪み $\|t_{PHL} - t_{PLH}\|$ (1)			1	18	ns
t_{PLH}、t_{PHL}	伝搬遅延	ISO722xB、図 6-1 を参照	35	55	70	ns
PWD	パルス幅歪み $\|t_{PHL} - t_{PLH}\|$ (1)			1	3	ns
t_{PLH}、t_{PHL}	伝搬遅延	ISO722xC、図 6-1 を参照	21	32	42	ns
PWD	パルス幅歪み $\|t_{PHL} - t_{PLH}\|$ (1)			1	2	ns
t_{PLH}、t_{PHL}	伝搬遅延	ISO722xM、図 6-1 を参照	6	10	16	ns
PWD	パルス幅歪み $\|t_{PHL} - t_{PLH}\|$ (1)			0.5	1	ns
$t_{sk(pp)}$	部品間スキュー (2)	ISO722xA			180	ns
		ISO722xB			17	
		ISO722xC			10	
		ISO722xM			3	
$t_{sk(o)}$	チャネル間の出力スキュー (3)	ISO7220A		3	15	ns
		ISO7220B		0.6	3	
		ISO7220C			2	
		ISO7220M		0.2	1	
t_r	出力信号の立ち上がり時間	図 6-1 を参照		2.3		ns
t_f	出力信号の立ち下がり時間			2.3		ns
t_{fs}	入力電源喪失からフェイルセーフ出力までの遅延時間	図 6-2 を参照		3		µs

Copyright © 2025 Texas Instruments Incorporated

V_{CC1} = V_{CC2} = 5V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{jit(pp)}$	ピーク ツー ピークのアイパターン ジッタ	ISO722xM、150Mbps PRBS NRZ データ、5 ビット、最大同一極性入力、両方のチャネル、図 6-4 および図 5-13 を参照		1		ns
		ISO722xM、150Mbps 制限なしビット ラン長データ入力、両方のチャネル、図 6-4 を参照		2		

(1) パルス スキューとも呼ばれます。
(2) $t_{sk(pp)}$ は、2 つのデバイスが同じ電源電圧、同じ温度で動作し、パッケージとテスト回路が同一である場合の、両方のデバイスの指定された任意のピン間の伝搬遅延時間の差です。
(3) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に規定出力をスイッチングし、同じ規定負荷を駆動するときの複数の出力間のスキューです。

Copyright © 2025 Texas Instruments Incorporated

5.15 スイッチング特性ー 5V V_{CC1} および 3.3V V_{CC2} 電源

V_{CC1} = 5V ±10%、V_{CC2} = 3.3V ±10% (特に記載のない限り、推奨動作条件内)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}、t_{PHL}	伝搬遅延	ISO722xA、図 6-1 を参照	253	410	585	ns
PWD	パルス幅歪み $\lvert t_{PHL} - t_{PLH} \rvert$ (1)			1	18	ns
t_{PLH}、t_{PHL}	伝搬遅延	ISO722xB、図 6-1 を参照	35	58	75	ns
PWD	パルス幅歪み $\lvert t_{PHL} - t_{PLH} \rvert$ (1)			1	3	ns
t_{PLH}、t_{PHL}	伝搬遅延	ISO722xC、図 6-1 を参照	21	36	48	ns
PWD	パルス幅歪み $\lvert t_{PHL} - t_{PLH} \rvert$ (1)			1	2	ns
t_{PLH}、t_{PHL}	伝搬遅延	ISO722xM、図 6-1 を参照	7	12	20	ns
PWD	パルス幅歪み $\lvert t_{PHL} - t_{PLH} \rvert$ (1)			0.5	1	ns
$t_{sk(pp)}$	部品間スキュー (2)	ISO722xA			180	ns
		ISO722xB			17	
		ISO722xC			10	
		ISO722xM			5	
$t_{sk(o)}$	チャネル間の出力スキュー (3)	ISO7220A		3	15	ns
		ISO7220B		0.6	3	
		ISO7220C			2	
		ISO7220M		0.2	1	
t_r	出力信号の立ち上がり時間	図 6-1 を参照		2.3		ns
t_f	出力信号の立ち下がり時間			2.3		ns
t_{fs}	入力電源喪失からフェイルセーフ出力までの遅延時間	図 6-2 を参照		3		µs
$t_{jit(pp)}$	ピーク ツー ピークのアイパターン ジッタ	ISO722xM、150Mbps PRBS NRZ データ、5 ビット、最大同一極性入力、両方のチャネル、図 6-4 および図 5-13 を参照		1		ns
		ISO722xM、150Mbps 制限なしビット ラン長データ入力、両方のチャネル、図 6-4 を参照		2		

(1) パルス スキューとも呼ばれます。
(2) $t_{sk(pp)}$ は、2 つのデバイスが同じ電源電圧、同じ温度で動作し、パッケージとテスト回路が同一である場合の、両方のデバイスの指定された任意のピン間の伝搬遅延時間の差です。
(3) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に規定出力をスイッチングし、同じ規定負荷を駆動するときの複数の出力間のスキューです。

Copyright © 2025 Texas Instruments Incorporated

5.16 スイッチング特性ー 3.3V V_{CC1} および 5V V_{CC2} 電源

V_{CC1} = 3.3V ±10%、V_{CC2} = 5V ±10% (特に記載のない限り、推奨動作条件内)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}、t_{PHL}	伝搬遅延	ISO722xA、図 6-1 を参照	268	395	605	ns
PWD	パルス幅歪み $\lvert t_{PHL} - t_{PLH} \rvert$ (1)			1	22	ns
t_{PLH}、t_{PHL}	伝搬遅延	ISO722xB、図 6-1 を参照	38	58	75	ns
PWD	パルス幅歪み $\lvert t_{PHL} - t_{PLH} \rvert$ (1)			1	4	ns
t_{PLH}、t_{PHL}	伝搬遅延	ISO722xC、図 6-1 を参照	21	36	48	ns
PWD	パルス幅歪み $\lvert t_{PHL} - t_{PLH} \rvert$ (1)			1	3	ns
t_{PLH}、t_{PHL}	伝搬遅延	ISO722xM、図 6-1 を参照	7	12	21	ns
PWD	パルス幅歪み $\lvert t_{PHL} - t_{PLH} \rvert$ (1)			0.5	1	ns
$t_{sk(pp)}$	部品間スキュー (2)	ISO722xA			190	ns
		ISO722xB			17	
		ISO722xC			10	
		ISO722xM			5	
$t_{sk(o)}$	チャネル間の出力スキュー (3)	ISO7220A		3	15	ns
		ISO7220B		0.6	3	
		ISO7220C			2.5	
		ISO7220M		0.2	1	
t_r	出力信号の立ち上がり時間	図 6-1 を参照		2.3		ns
t_f	出力信号の立ち下がり時間			2.3		ns
t_{fs}	入力電源喪失からフェイルセーフ出力までの遅延時間	図 6-2 を参照		3		µs
$t_{jit(pp)}$	ピーク ツー ピークのアイパターン ジッタ	ISO722xM、150Mbps PRBS NRZ データ、5 ビット、最大同一極性入力、両方のチャネル、図 6-4 および図 5-13 を参照		1		ns
		ISO722xM、150Mbps 制限なしビット ラン長データ入力、両方のチャネル、図 6-4 を参照		2		

(1) パルス スキューとも呼ばれます。
(2) $t_{sk(pp)}$ は、2 つのデバイスが同じ電源電圧、同じ温度で動作し、パッケージとテスト回路が同一である場合の、両方のデバイスの指定された任意のピン間の伝搬遅延時間の差です。
(3) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に規定出力をスイッチングし、同じ規定負荷を駆動するときの複数の出力間のスキューです。

Copyright © 2025 Texas Instruments Incorporated

5.17 スイッチング特性 - 3.3V V_{CC1} および V_{CC2} 電源

V_{CC1} および V_{CC2} = 3.3V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}、t_{PHL}	伝搬遅延	ISO722xA、図 6-1 を参照	267	400	610	ns
PWD	パルス幅歪み $\lvert t_{PHL} - t_{PLH} \rvert$ (1)			1	22	ns
t_{PLH}、t_{PHL}	伝搬遅延	ISO722xB、図 6-1 を参照	37	62	78	ns
PWD	パルス幅歪み $\lvert t_{PHL} - t_{PLH} \rvert$ (1)			1	4	ns
t_{PLH}、t_{PHL}	伝搬遅延	ISO722xC、図 6-1 を参照	23	40	52	ns
PWD	パルス幅歪み $\lvert t_{PHL} - t_{PLH} \rvert$ (1)			1	3	ns
t_{PLH}、t_{PHL}	伝搬遅延	ISO722xM、図 6-1 を参照	8	16	25	ns
PWD	パルス幅歪み $\lvert t_{PHL} - t_{PLH} \rvert$ (1)			0.5	1	ns
$t_{sk(pp)}$	部品間スキュー (2)	ISO722xA			190	ns
		ISO722xB			17	
		ISO722xC			10	
		ISO722xM			5	
$t_{sk(o)}$	チャネル間の出力スキュー (3)	ISO7220A		3	15	ns
		ISO7220B		0.6	3	
		ISO7220C			3.5	
		ISO7220M		0.2	1	
t_r	出力信号の立ち上がり時間	図 6-1 を参照		2.3		ns
t_f	出力信号の立ち下がり時間			2.3		ns
t_{fs}	入力電源喪失からフェイルセーフ出力までの遅延時間	図 6-2 を参照		3		µs
$t_{jit(pp)}$	ピーク ツー ピークのアイパターン ジッタ	ISO722xM、150Mbps PRBS NRZ データ、5 ビット、最大同一極性入力、両方のチャネル、図 6-4 および図 5-13 を参照		1		ns
		ISO722xM、150Mbps 制限なしビット ラン長データ入力、両方のチャネル、図 6-4 を参照		2		

(1) パルス スキューとも呼ばれます。
(2) $t_{sk(pp)}$ は、2 つのデバイスが同じ電源電圧、同じ温度で動作し、パッケージとテスト回路が同一である場合の、両方のデバイスの指定された任意のピン間の伝搬遅延時間の差です。
(3) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に規定出力をスイッチングし、同じ規定負荷を駆動するときの複数の出力間のスキューです。

5.18 スイッチング特性ー 2.8V V_{CC1} および V_{CC2} 電源

V_{CC1}、V_{CC2} = 2.8V (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}、t_{PHL}	伝搬遅延	ISO722xC、図 6-1 を参照	25	45	65	ns
PWD	パルス幅歪み $\lvert t_{PHL} - t_{PLH} \rvert$ (1)			1.5	5	ns
$t_{sk(pp)}$	部品間スキュー (2)	ISO722xC			12	ns
$t_{sk(o)}$	チャネル間の出力スキュー (3)	ISO7220C		0.2	5	ns
t_r	出力信号の立ち上がり時間	図 6-1 を参照		2.3		ns
t_f	出力信号の立ち下がり時間			2.3		ns
t_{fs}	入力電源喪失からフェイルセーフ出力までの遅延時間	図 6-2 を参照		4.6		µs

(1) パルス スキューとも呼ばれます。
(2) $t_{sk(pp)}$ は、2 つのデバイスが同じ電源電圧、同じ温度で動作し、パッケージとテスト回路が同一である場合の、両方のデバイスの指定された任意のピン間の伝搬遅延時間の差です。
(3) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に規定出力をスイッチングし、同じ規定負荷を駆動するときの複数の出力間のスキューです。

Copyright © 2025 Texas Instruments Incorporated

5.19 絶縁特性曲線

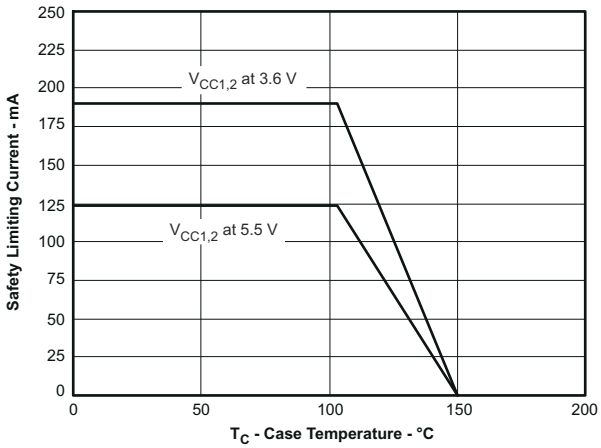


図 5-1. VDE に従う制限電流の熱特性低下曲線

5.20 代表的特性

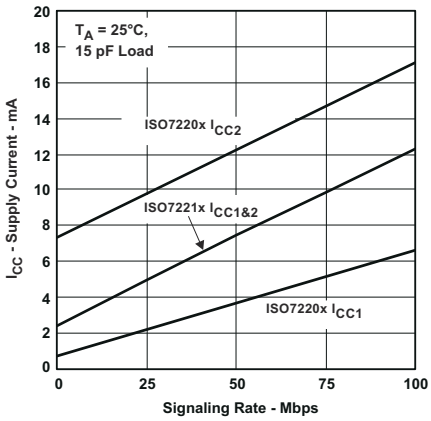


図 5-2. 3.3V_{RMS} 消費電流と信号速度との関係 (Mbps)

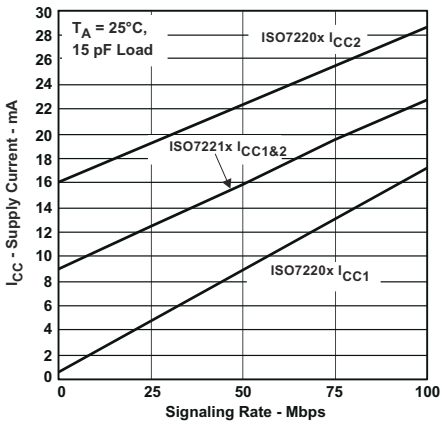


図 5-3. 5V_{RMS} 電源電流と信号伝送速度との関係 (Mbps)

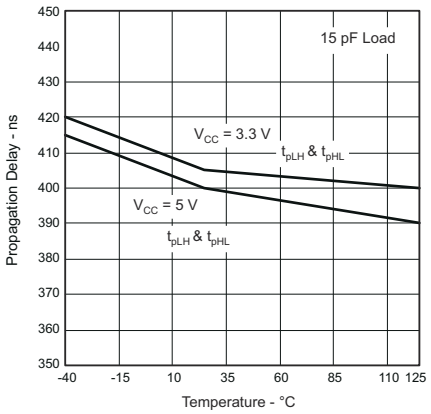


図 5-4. 伝搬遅延と自由気流温度との関係、ISO722xA

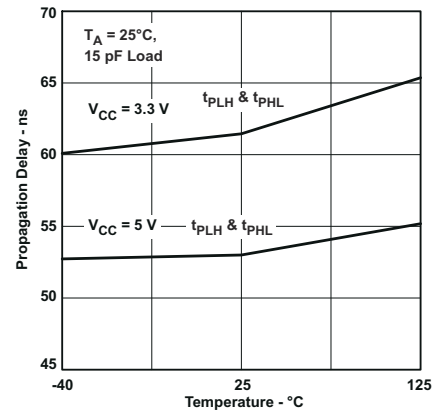


図 5-5. 伝搬遅延と自由気流温度との関係、ISO722xB

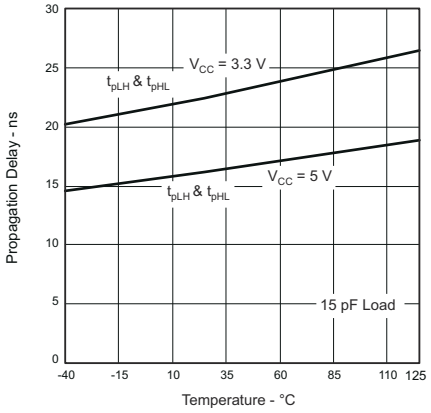


図 5-6. 伝搬遅延と自由気流温度との関係、ISO722xC

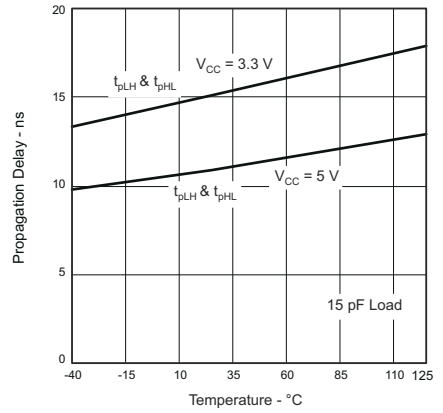


図 5-7. 伝搬遅延と自由気流温度との関係、ISO722xM

Copyright © 2025 Texas Instruments Incorporated

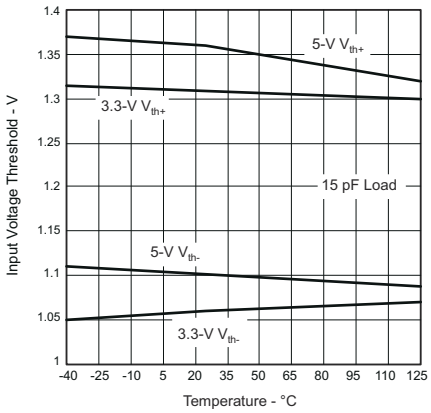


図 5-8. ISO722xA、ISO722xB、および ISO722xC の入力電圧 Low から High スイッチングスレッショルドと自由気流温度との関係

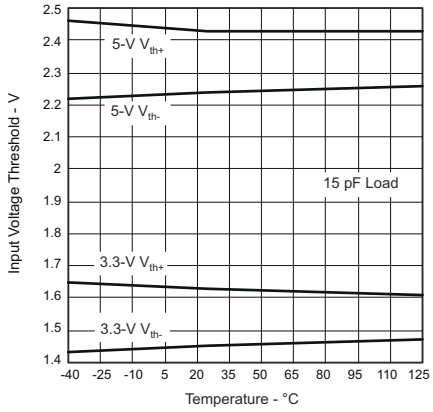


図 5-9. ISO722xM 入力電圧 High から Low と自由気流温度との関係

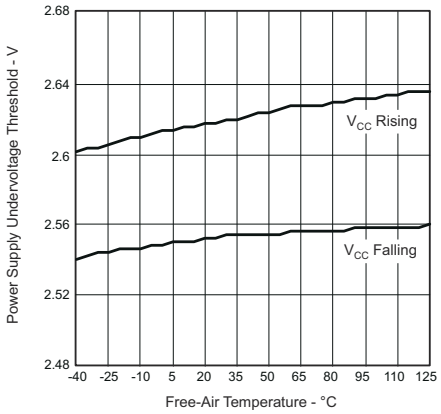


図 5-10. V_{CC} 低電圧スレッショルドと自由気流温度との関係

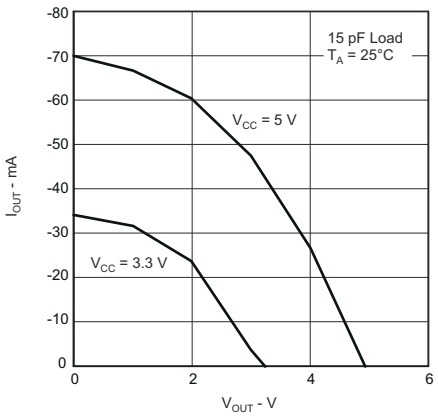


図 5-11. High レベル出力電流と High レベル出力電圧との関係

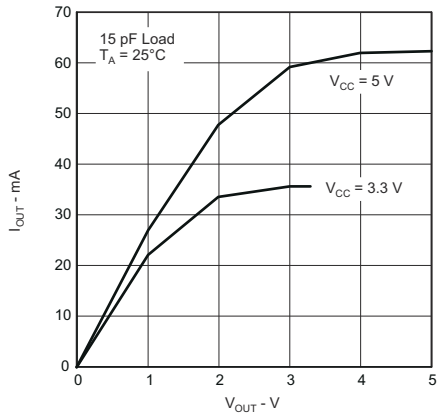


図 5-12. Low レベル出力電流と Low レベル出力電圧との関係

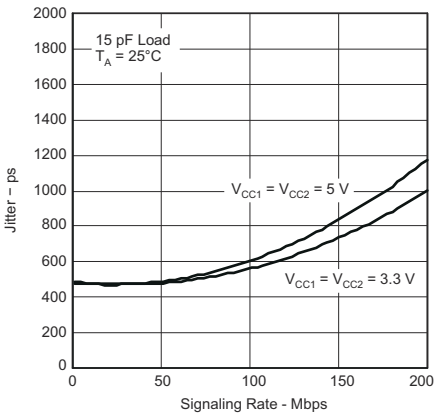
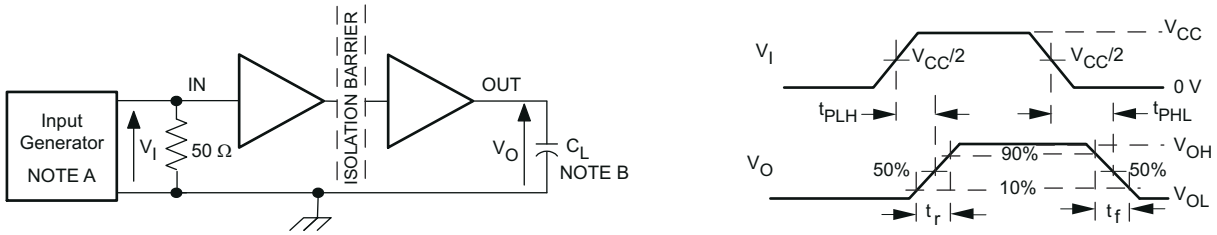


図 5-13. ISO722xM ジッタと信号速度との関係

Copyright © 2025 Texas Instruments Incorporated

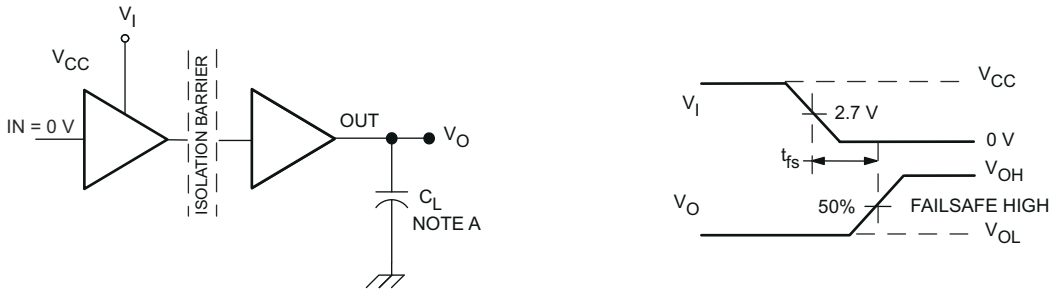
6 パラメータ測定情報



A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≤ 50kHz、50% デューティ サイクル、t_r ≤ 3ns、t_f ≤ 3ns、Z_O = 50Ω。

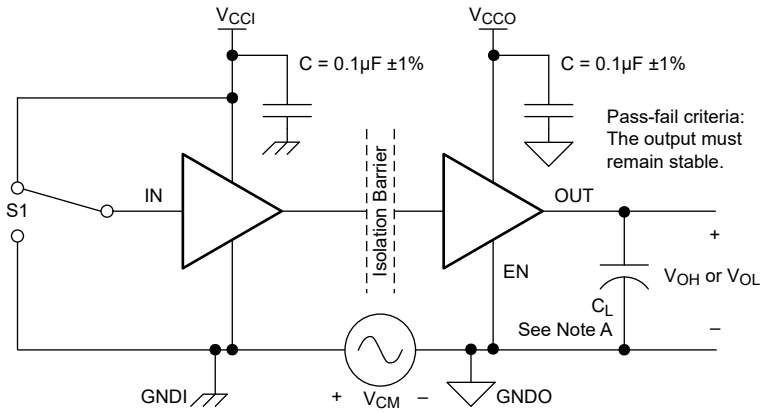
B. C_L = 15pF であり、±20% 以内の計測器および治具の容量が含まれています。

図 6-1. スイッチング特性試験回路と電圧波形



A. C_L = 15pF であり、±20% 以内の計測器および治具の容量が含まれています。

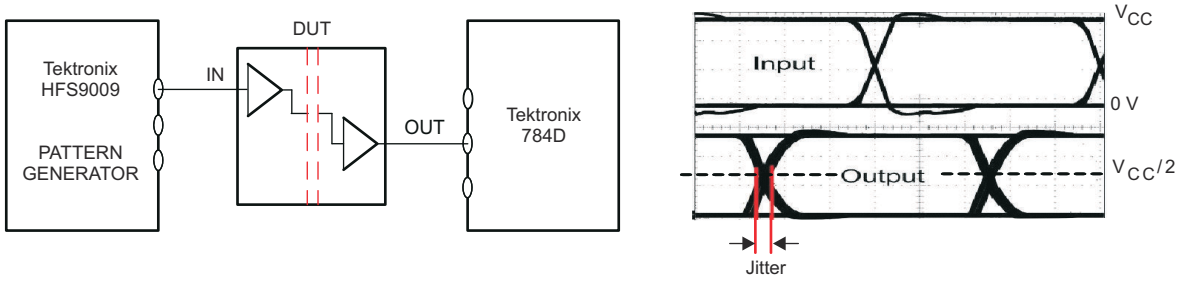
図 6-2. フェイルセーフ遅延時間試験回路および電圧波形



A. C_L = 15pF であり、±20% 以内の計測器および治具の容量が含まれています。

図 6-3. 同相過渡電圧耐性試験回路

Copyright © 2025 Texas Instruments Incorporated



PRBS ビットのパターンの実行長は 2^{16} — 1 です。遷移時間は 800ps です。

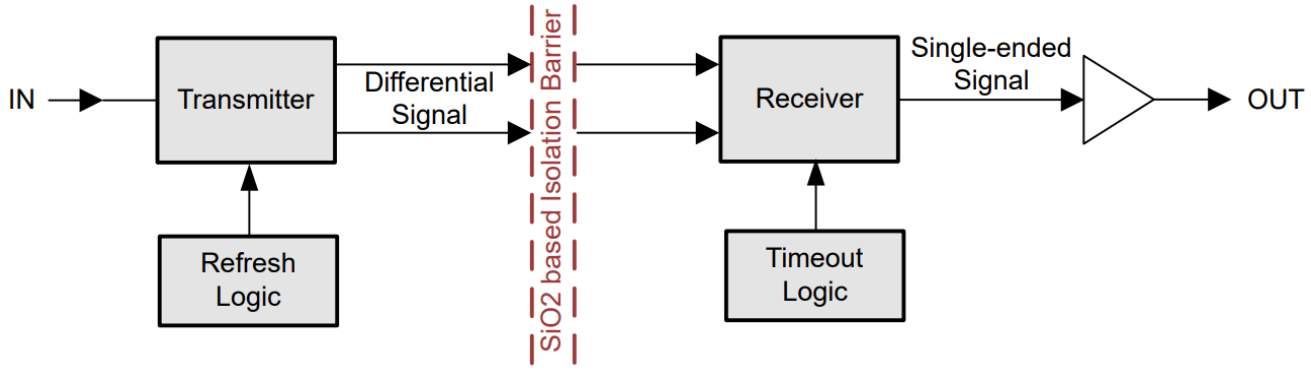
図 6-4. ピーク ツー ピーク アイパターン ジッタ テスト回路と電圧波形

7 詳細説明

7.1 概要

ISO722x ファミリのデバイスは、二酸化ケイ素ベースの絶縁バリアを介してデジタル データを伝送します。デバイスのデジタル入力信号 (IN) はトランスミッタによってサンプリングされ、すべてのデータ エッジで、トランスミッタは絶縁バリア越しに対応する差動信号を送信します。入力信号が静的である場合、リフレッシュ ロジックは定期的にトランスミッタから必要な差動信号を送信します。絶縁バリアの反対側では、レシーバが差動信号をシングルエンド信号に変換し、バッファを介して OUT ピンに出力します。レシーバがデータまたはリフレッシュ信号を受信しない場合、タイムアウト ロジックが入力側から信号または電力が失われたことを検出し、出力をデフォルト レベルに駆動します。

7.2 機能ブロック図



Copyright © 2025 Texas Instruments Incorporated

7.3 機能説明

次の表は、デバイスの機能概要を示しています。

表 7-1. デバイスの機能

部品番号	最大信号速度	入力スレッショルド	チャネル方向
ISO7220A	1Mbps	≅1.5V (TTL) (CMOS 互換)	同一方向
ISO7220B	5Mbps	≅1.5V (TTL) (CMOS 互換)	
ISO7220C	25Mbps	≅1.5V (TTL) (CMOS 互換)	
ISO7220M	150Mbps	V_{CC}/ 2 (CMOS)	
ISO7221A	1Mbps	≅1.5V (TTL) (CMOS 互換)	反対方向
ISO7221B	5Mbps	≅1.5V (TTL) (CMOS 互換)	
ISO7221C	25Mbps	≅1.5V (TTL) (CMOS 互換)	
ISO7221M	150Mbps	V_{CC}/ 2 (CMOS)	

7.4 デバイスの機能モード

ISO7220x および ISO7221x ファミリのデバイスの機能モードを、表 7-2 に示します。

表 7-2. ISO7220 x または ISO7221x の機能表

入力側 V_{CC} (1)	出力側 V_{CC}	入力 (IN)	出力 (OUT)
PU	PU	H	H
		L	L
		オープン	H
PD	PU	X	H
X	PD	X	不定

(1) PU = 電源オン (V_{CC} ≥ 3.0V)、PD = 電源オフ (V_{CC} ≤ 2.5V)、X = 無関係、H = High レベル、L = Low レベル

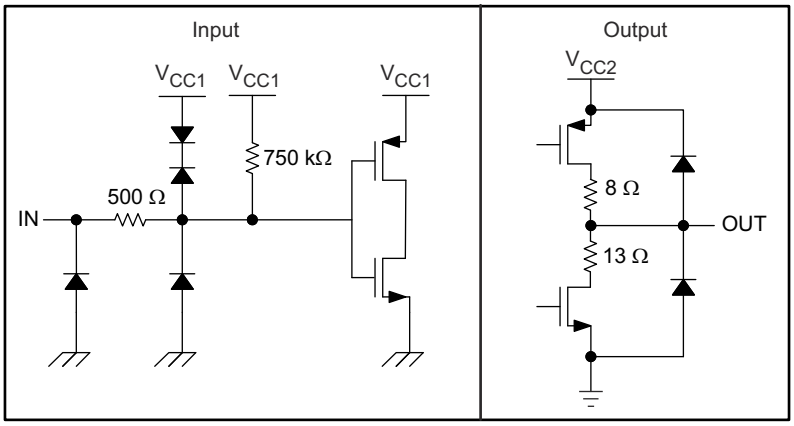


図 7-1. デバイス I/O 回路図

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

ISO7220x および ISO7221x ファミリのデバイスは、シングルエンドの TTL または CMOS ロジック スイッチング技術を使用しています。電源電圧範囲は、V_{CC1} および V_{CC2} の両方について 3V (C グレードの場合は 2.8V) から 5.5 V です。デジタル アイソレータを使用した設計では、シングルエンド構造のため、デジタル アイソレータは特定のインターフェイス規格には準拠しておらず、シングルエンドの CMOS または TTL デジタル信号ラインの絶縁用途のみに使用されます。アイソレータは、通常、インターフェイスの種類や規格にかかわらず、データ コントローラ (μC または UART) と、データ コンバータまたはライン トランシーバとの間に配置されます。

8.2 代表的なアプリケーション

ISO7221x ファミリのデバイスは、テキサス インスツルメンツ製のミックスド シグナル マイコン、D/A コンバータ、トランス ドライバ、電圧レギュレータと組み合わせることで、絶縁型の 4～20mA の電流ループを構成できます。

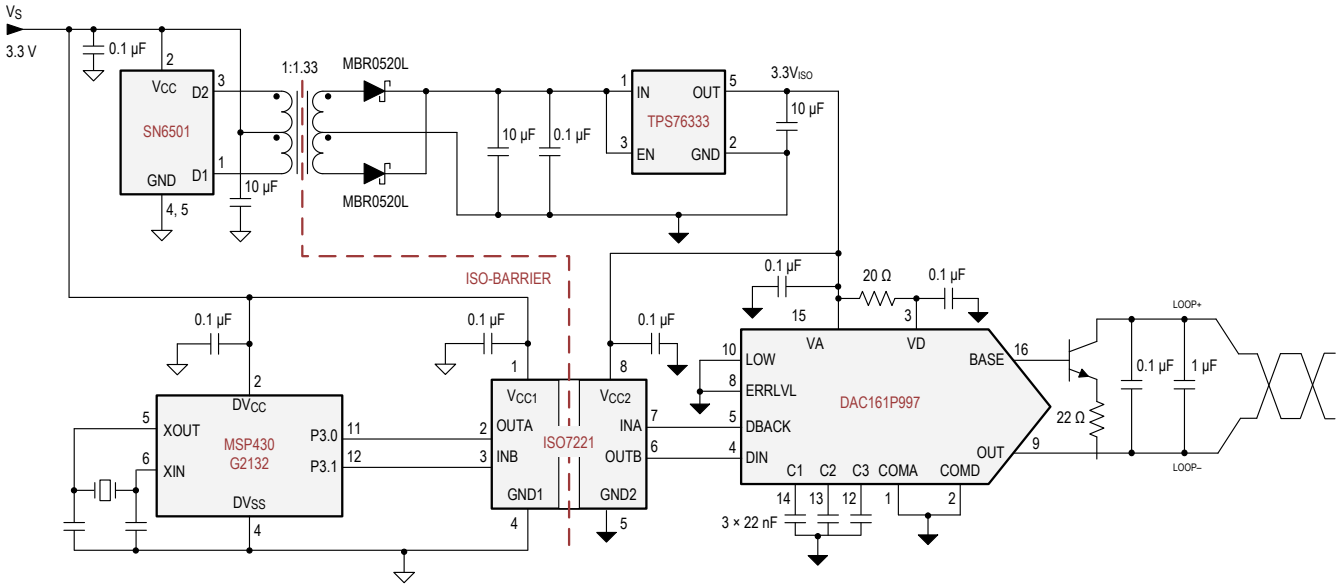


図 8-1. 4mA～20mA の絶縁電流ループ

8.2.1 設計要件

フォトカプラとは異なり、性能を向上させたりバイアスを供給したり (または電流を制限したり) するための外付け部品を必要とせず、ISO7220x および ISO7221x デバイスは動作にあたって 2 個の外付けバイパス コンデンサだけが必要です。

Copyright © 2025 Texas Instruments Incorporated

8.2.2 詳細な設計手順

図 8-2 および図 8-3 に、代表的な ISO7220x および ISO7221x 回路の接続例を示します。外付け部品は 2 つのバイパス コンデンサのみです。

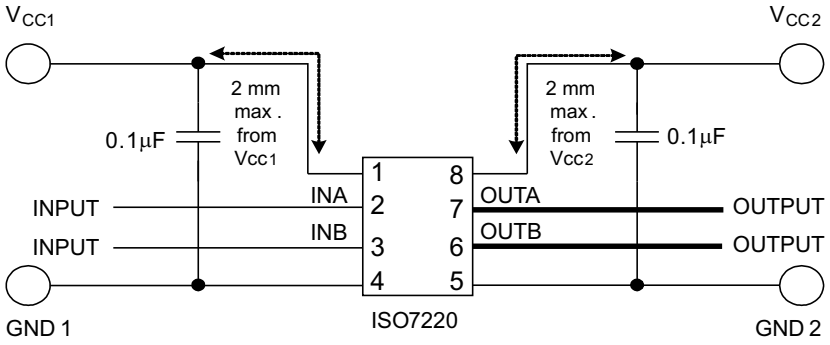


図 8-2. ISO7220x の標準の回路接続図

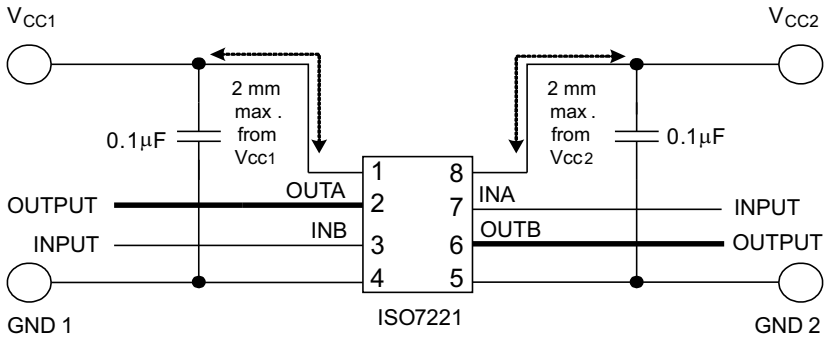


図 8-3. ISO7221x の標準の回路接続図

8.2.3 絶縁寿命

最大動作電圧において、ISO72x および ISO72xM ファミリのデバイスに搭載されたアイソレーション バリアの寿命は 28 年以上あります。

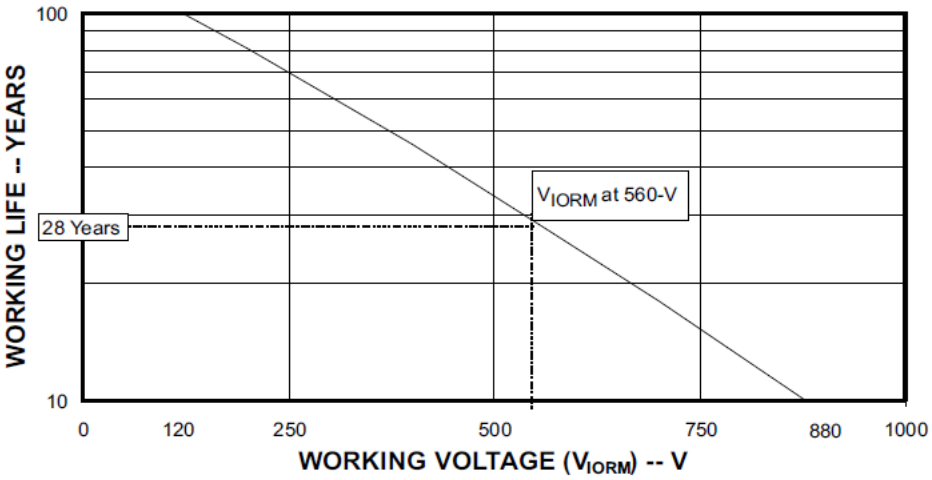


図 8-4. 絶縁寿命の予測

8.3 電源に関する推奨事項

すべてのデータ レートおよび電源電圧での信頼性の高い動作を提供するのを支援するために、入力および出力電源ピン (V_{CC1} および V_{CC2}) に 0.1µF のバイパス コンデンサを推奨します。コンデンサは、電源ピンのできるだけ近くに配置する必要があります。アプリケーションで使用できる 1 次側電源が 1 つだけの場合は、テキサス インスツルメンツの SN6501 デバイスなどのトランス ドライバを使用して、2 次側用の絶縁型電源を生成できます。このようなアプリケーションについては、『SN6501 絶縁電源用の変圧器ドライバ』に、詳細な電源設計とトランス選択に関する推奨事項が記載されています。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

低 EMI の PCB 設計を実現するには、少なくとも 4 層が必要です (図 8-5 を参照)。層の構成は、上層から下層に向かって、高速信号層、グランド プレーン、電源プレーン、低周波数信号層の順に配置する必要があります。

- 上層に高速パターンを配線することにより、ビアの使用 (およびそれに伴うインダクタンスの発生) を避けて、データ リンクのトランスミッタおよびレシーバ回路とアイソレータとの間のクリーンな相互接続が可能になります。
- 高速信号層の次の層に、ベタのグランド プレーンを配置することにより、伝送ライン接続のインピーダンスを制御し、リターン電流のための優れた低インダクタンス パスを実現します。
- グランド プレーンの次の層に、電源プレーンを配置すると、高周波バイパス容量を約 100 pF/in^2 増加させることができます。
- 最下層に低速の制御信号を配線すると、これらの信号リンクには一般的に、ビアのような不連続性を許容するマージンがあるため、高い柔軟性が得られます。

電源プレーンまたは信号層の追加が必要な場合は、対称性を保つために、第 2 の電源系統またはグランド プレーン系統を層構成に追加します。スタックに第 2 のプレーン システムを追加することで、層構成は機械的に安定し、反りを防ぎます。各電源系統の電源プレーンとグランド プレーンを互いに近づけて配置できるため、高周波バイパス容量を大幅に増やすことができます。

レイアウトの推奨事項の詳細については、『デジタル アイソレータ設計ガイド』を参照してください。

8.4.1.1 PCB 材料

150Mbps 未満で動作する場合 (または、立ち上がり立ち下がり時間が 1ns 超)、およびトレース長が 10 インチ未満の場合のデジタル回路基板には、標準の FR-4 UL94V-0 プリント基板を使用します。この PCB は、高周波での誘電損失の低減、吸湿性の低減、強度と剛性の向上、および自己消火性の特性により、安価な代替品よりも推奨されます。

8.4.2 レイアウト例

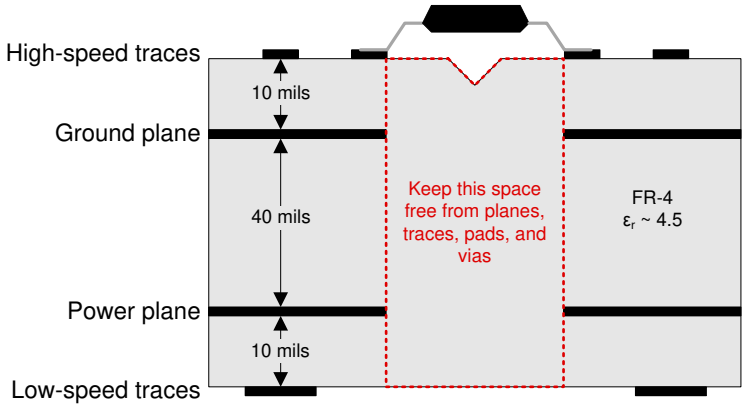


図 8-5. 推奨されるレイヤ·スタック

Copyright © 2025 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 開発サポート

開発サポートについては、以下を参照してください。

- DALI DMX512 と電力線通信を使用した AC 電力線 LED ライティング用リファレンス デザイン
- 産業用サーボ ドライブと AC インバータ ドライブのリファレンス デザイン
- 低コスト単相/二相絶縁電気測定回路リファレンス デザイン
- ノイズ耐性のある静電容量式タッチ HMI のリファレンス デザイン
- Type 2 PoE PSE (給電側デバイス) 6kV 雷サージのリファレンス デザイン

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『絶縁用語集』アプリケーション ノート
- テキサス インスツルメンツ、*デジタル アイソレータ設計ガイド*
- テキサス・インスツルメンツ、『産業用システムで ESD、EFT、サージの耐性を改善する目的で絶縁を使用する方法』アプリケーション ノート

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

Profibus™ is a trademark of Profibus.
DeviceNet™ is a trademark of Open DeviceNet Vendors Association.
テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision T (February 2025) to Revision U (October 2025) **Page**

- *特長*セクションの「IEC 60601-1 および GB 4943.1」を削除 1
- *絶縁仕様*セクションの誤字および誤字を修正 4
- *安全関連認証*セクションの 2 行目の 3 か所すべてで「認定済み」を持つ「認証計画」を変更 4
- 「証明書計画中」を「基本認証:40047657」に VDE 列で変更し、「マスタ契約番号:CSA 列に 220991」、「ファイル番号:E181974」を、*安全関連認証*セクションで UL 列に変更 4

Changes from Revision S (January 2025) to Revision T (February 2025) **Page**

- *「特長」*セクションに、安全関連証明書へのリンクを追加 1
- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1

Changes from Revision R (October 2024) to Revision S (January 2025) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- 精度向上のため表紙のグラフィックと説明を更新 1
- *関連資料*セクションに新しいリンクを追加 27

Changes from Revision Q (August 2018) to Revision R (October 2024) **Page**

- ドキュメント全体を通して容量性絶縁から絶縁バリアに参照を更新 1
- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- 熱特性、安全限界値、熱軽減曲線を更新し、より正確なシステム レベルの熱計算を提供 4
- デバイスの性能に合わせて電気的特性およびスイッチング特性を更新 12

Changes from Revision P (August 2018) to Revision Q (January 2021) **Page**

- 推奨動作条件表から標準仕様を削除 5

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

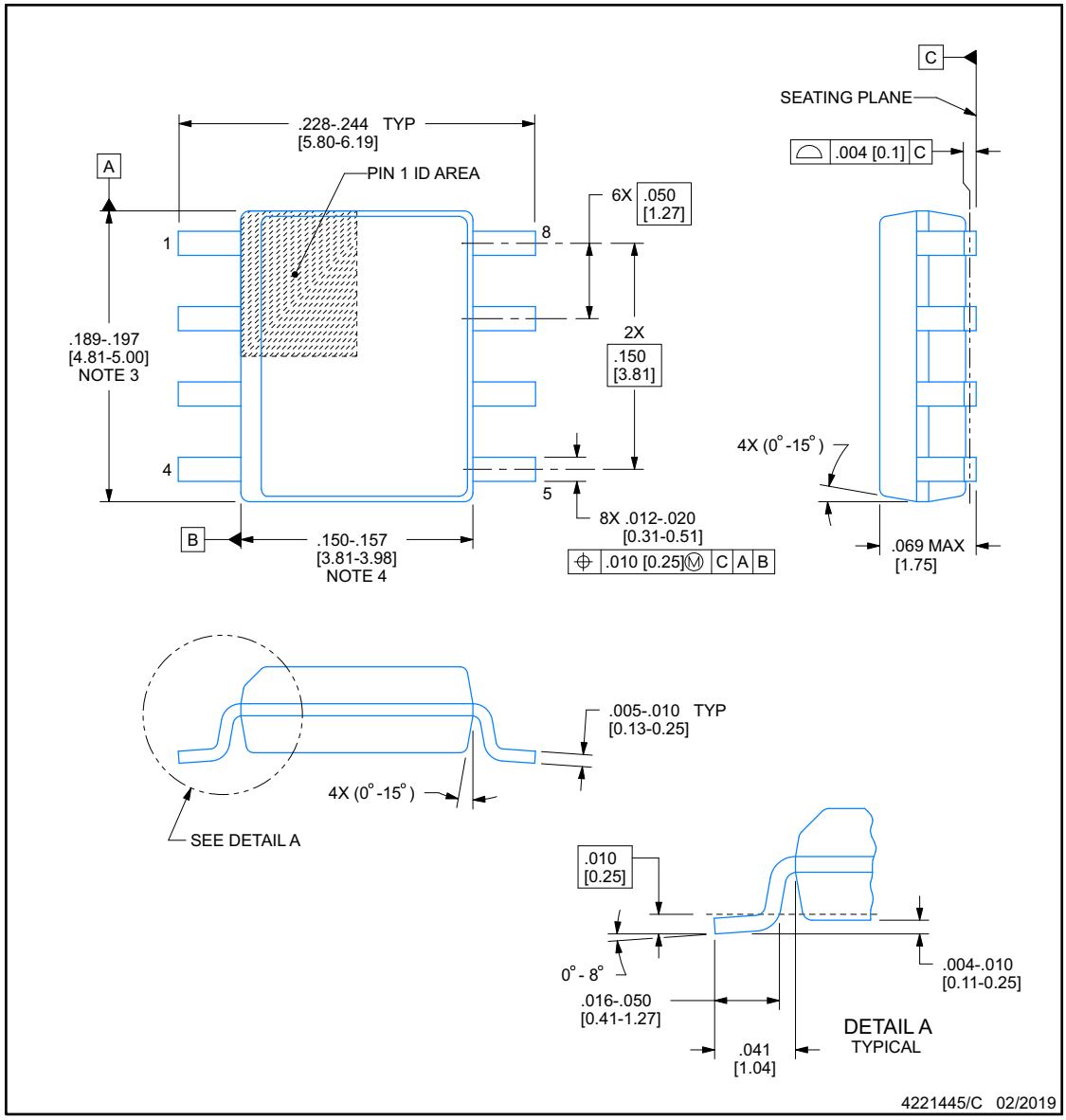


PACKAGE OUTLINE

D0008B

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15], per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

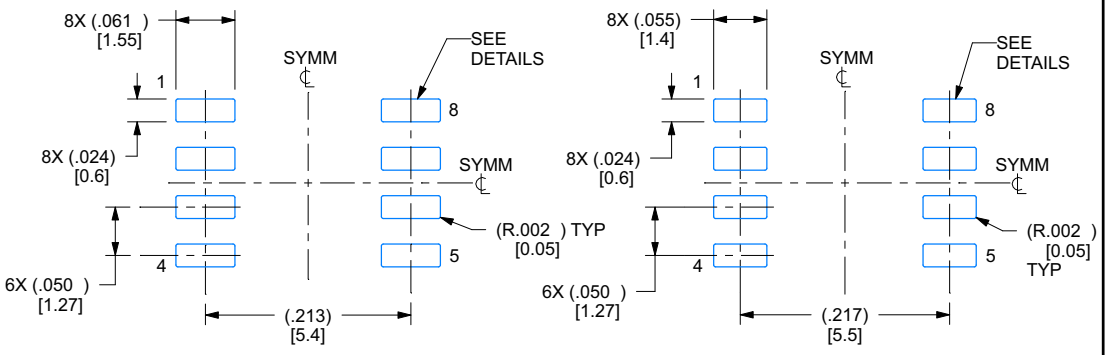
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

D0008B

SOIC - 1.75 mm max height

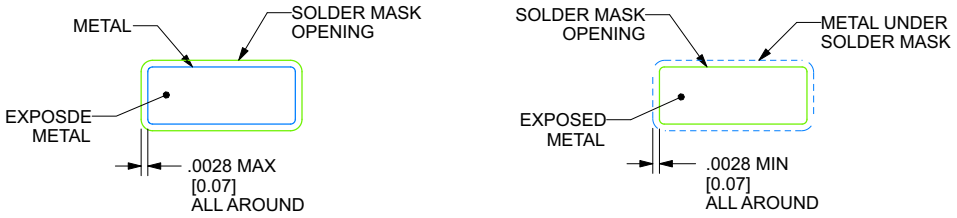
SMALL OUTLINE INTEGRATED CIRCUIT



IPC-7351 NOMINAL
.150 [3.85] CLEARANCE / CREEPAGE

HV / ISOLATION OPTION
.162 [4.1] CLEARANCE / CREEPAGE

LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



NON SOLDER MASK
DEFINED

SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4221445/C 02/2019

NOTES: (continued)

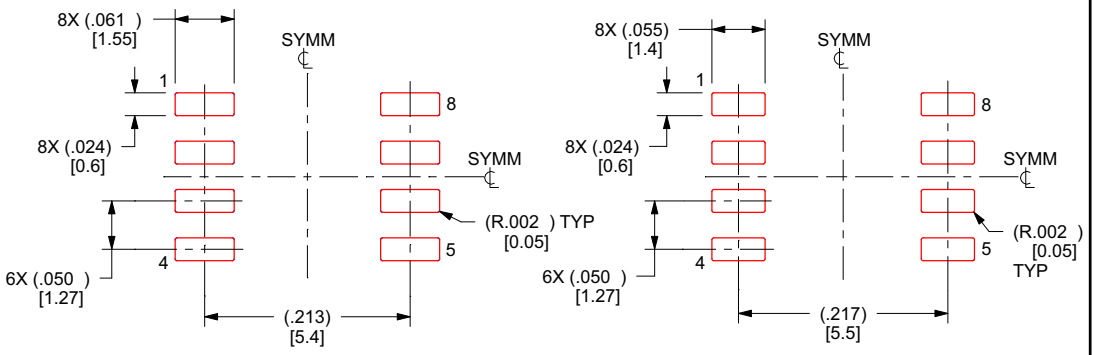
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

D0008B — **SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



IPC-7351 NOMINAL
.150 [3.85] CLEARANCE / CREEPAGE

HV / ISOLATION OPTION
.162 [4.1] CLEARANCE / CREEPAGE

SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.127 MM] THICK STENCIL
SCALE:6X

4221445/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISO7220ADR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	I7220A
ISO7220ADR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	I7220A
ISO7220ADRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	I7220A
ISO7220BD	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	I7220B
ISO7220BDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	I7220B
ISO7220BDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	I7220B
ISO7220CD	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	I7220C
ISO7220CDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	I7220C
ISO7220CDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	I7220C
ISO7220MD	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	I7220M
ISO7220MDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	I7220M
ISO7220MDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	I7220M
ISO7220MDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	I7220M
ISO7221AD	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	I7221A
ISO7221ADR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	I7221A
ISO7221ADR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	I7221A
ISO7221ADRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	I7221A
ISO7221BDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	I7221B
ISO7221BDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	I7221B
ISO7221BDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	I7221B
ISO7221CD	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	I7221C
ISO7221CDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	I7221C
ISO7221CDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	I7221C
ISO7221CDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	I7221C
ISO7221MD	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	I7221M
ISO7221MDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	I7221M
ISO7221MDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	I7221M

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF ISO7220A, ISO7221A, ISO7221C :

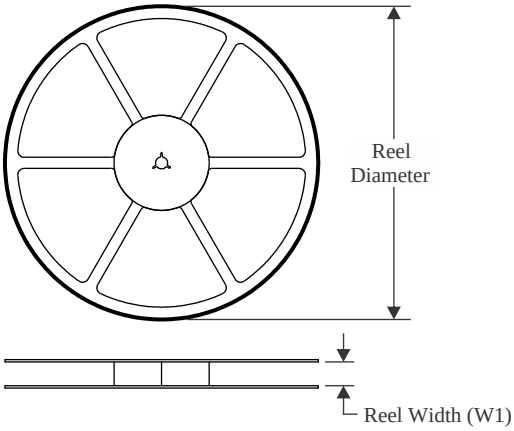
- Automotive : ISO7220A-Q1, ISO7221A-Q1, ISO7221C-Q1

NOTE: Qualified Version Definitions:

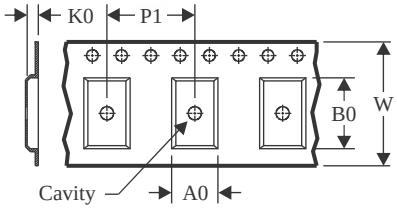
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

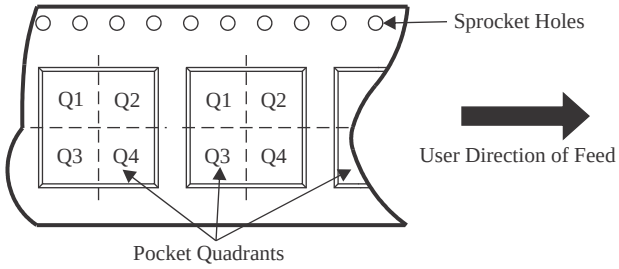


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

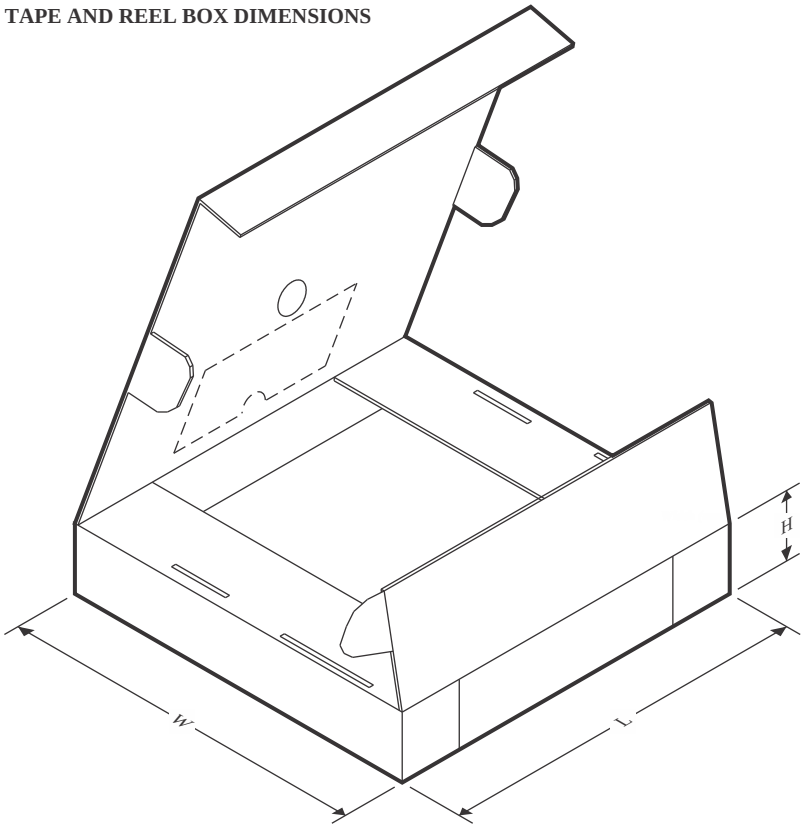
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

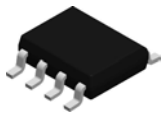
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO7220ADR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO7220BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO7220CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO7220CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO7220MDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO7221ADR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO7221BDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO7221CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
ISO7221MDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO7220ADR	SOIC	D	8	2500	350.0	350.0	43.0
ISO7220BDR	SOIC	D	8	2500	350.0	350.0	43.0
ISO7220CDR	SOIC	D	8	2500	350.0	350.0	43.0
ISO7220CDR	SOIC	D	8	2500	353.0	353.0	32.0
ISO7220MDR	SOIC	D	8	2500	350.0	350.0	43.0
ISO7221ADR	SOIC	D	8	2500	350.0	350.0	43.0
ISO7221BDR	SOIC	D	8	2500	350.0	350.0	43.0
ISO7221CDR	SOIC	D	8	2500	350.0	350.0	43.0
ISO7221MDR	SOIC	D	8	2500	350.0	350.0	43.0

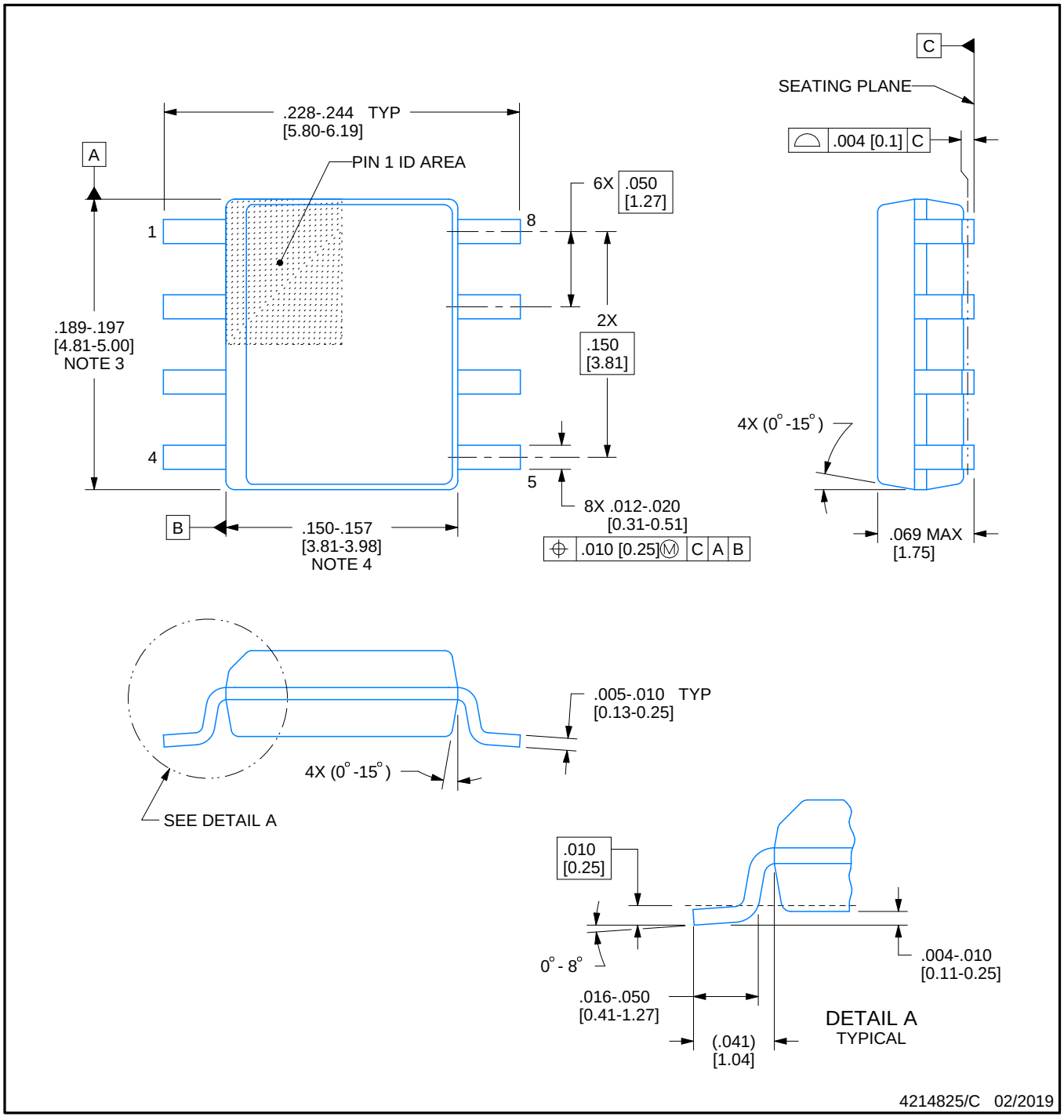


PACKAGE OUTLINE

D0008A

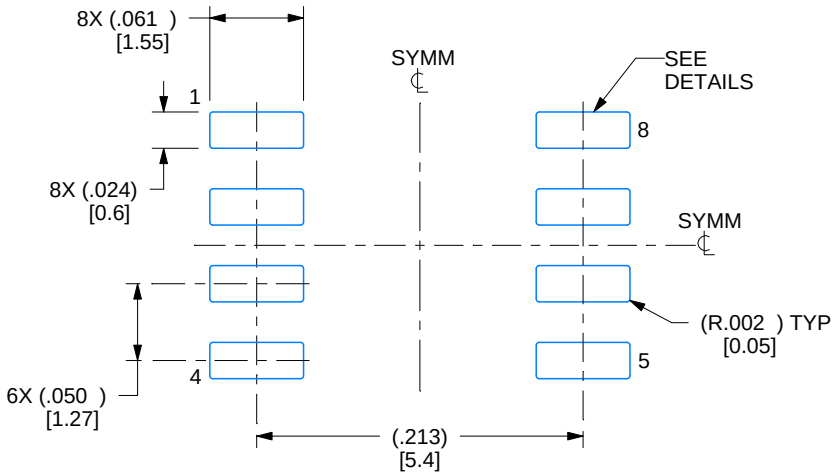
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

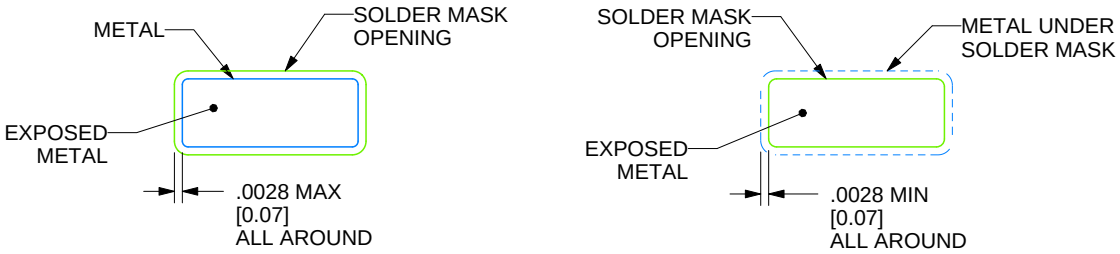


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

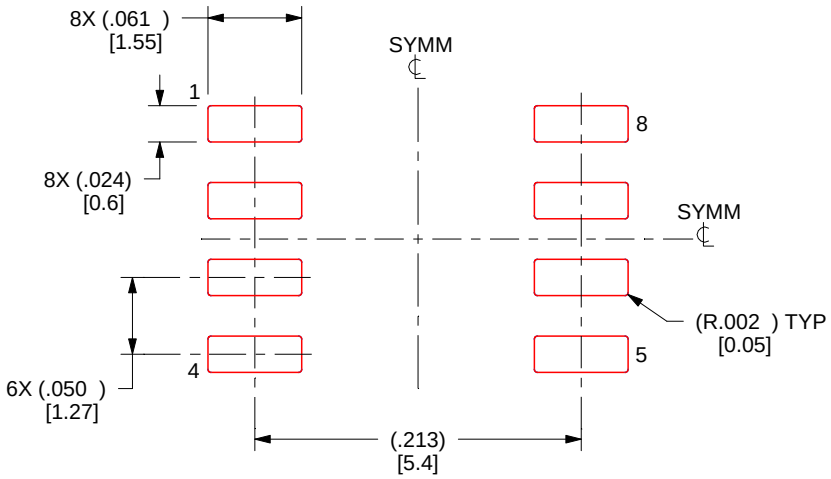
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月