

# ISO724x 高速、クワッドチャネルデジタルアイソレータ

## 1 特長

- 25 および 150Mbps の信号速度オプション
  - 低いチャネル間の出力スキュー: 最大値 1ns
  - 低いパルス幅歪み (PWD): 最大値 2ns
  - 低ジッタ成分: 150Mbps で標準値 1ns
- デフォルト出力を選択可能 (ISO7240CF)
- 定格動作電圧で寿命 25 年超 (絶縁寿命予測を参照)
- 4kV の ESD 保護
- 3.3V または 5V 電源で動作
- 高い電磁気耐性
- 40°C～+125°C の動作温度範囲
- 安全関連の認証:
  - DIN EN IEC 60747-17 (VDE 0884-17)
  - UL 1577 部品認定プログラム
  - IEC 61010-1 認定、IEC 62368-1 認定

## 2 アプリケーション

- ファクトリオートメーション
  - Modbus
  - Profibus™
  - DeviceNet™ データバス
- コンピュータペリフェラルインターフェイス
- サーボ制御インターフェイス
- データアクイジション

## 3 概要

ISO7240x, ISO7241x, ISO7242x の各デバイスは、複数のチャネル構成と出力イネーブル機能を備えたクワッドチャネルデジタルアイソレータです。これらのデバイスは、テキサスインスツルメンツ独自の二酸化ケイ素 ( $\text{SiO}_2$ ) 絶縁バリアで分離されたロジック入出力バッファを備えています。これらのデバイスは、絶縁型電源と組み合わせて使用することで、高電圧を遮断し、グランドを絶縁し、ノイズ電流がローカルグランドに入り込んでノイズに敏感な回路に干渉したり損傷を与えることを防止します。

ISO7240x ファミリのデバイスは、同じ方向に 4 チャネルを備えています。ISO7241x ファミリのデバイスは、同じ方向に 3 チャネル、反対方向に 1 チャネルを備えています。ISO7242x ファミリのデバイスは、各方向に 2 チャネルを備えています。

接尾辞 C (C オプション) のデバイスには、TTL 入力スレッショルドと、遷移パルスがデバイスの出力に渡されるのを防ぐノイズ フィルタが入力に備わっています。接尾辞 M (M オプション) のデバイスには、CMOS  $V_{CC}/2$  入力スレッショルドが備わっていますが、入力ノイズ フィルタではなく、追加の伝搬遅延も発生しません。

ISO7240CF デバイスは、ピン 7 に入力ディスエーブル機能を備え、CTRL ピン (ピン 10) に High または Low が選択可能なフェイルセーフ出力機能を備えています。フェイルセーフ出力は、CTRL ピンにロジック High が印加された場合、またはピンが未接続のままである場合、ロジック High になります。CTRL ピンにロジック Low 信号が印加されると、フェイルセーフ出力はロジック Low 出力状態になります。ISO7240CF デバイスの入力ディスエーブル機能により、絶縁バリアを通過してデータが出力に渡されるのを防ぎます。入力がディセーブルされるか、 $V_{CC1}$  がパワーダウンすると、出力は CTRL ピンによって設定されます。

これらのデバイスは、どちらの側でも 3.3V または 5V 電源から電力を供給でき、任意の組み合わせが可能です。信号入力ピンは、使用される電源電圧レベルに関係なく 5V 許容です。

これらのデバイスは、-40°C～+125°C の周囲温度範囲で動作するように特性評価されています。



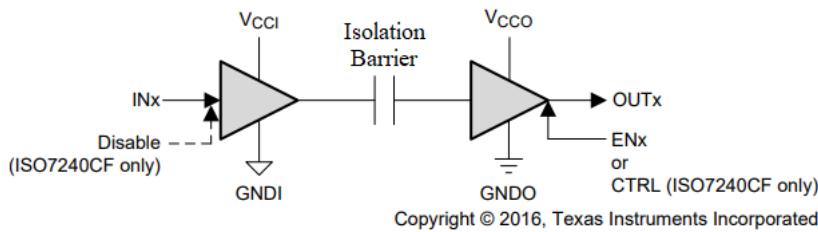
このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

パッケージ情報

部品番号	パッケージ <sup>(1)</sup>	本体サイズ(公称)	パッケージサイズ <sup>(2)</sup>
ISO7240CF			
ISO7240C			
ISO7240M			
ISO7241C	DW (SOIC, 16)	10.30mm × 7.50mm	10.30mm × 10.30mm
ISO7241M			
ISO7242C			
ISO7242M			

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。

(2) パッケージサイズ(長さ × 幅)は公称値であり、該当する場合はピンも含まれます。



$V_{CCI}$  および  $GNDI$  は、それぞれ入力チャネルの電源およびグランド接続です。

$V_{CCO}$  および  $GNDO$  は、それぞれ出力チャネルの電源およびグランド接続です。

概略回路図

## 目次

1 特長	1	5.19 スイッチング特性:3.3V 動作時の $V_{CC1}$ 、5V 動作時の $V_{CC2}$	15
2 アプリケーション	1	5.20 スイッチング特性:3.3V 動作時の $V_{CC1}$ と $V_{CC2}$	15
3 概要	1	5.21 絶縁特性曲線	16
4 ピン構成および機能	4	5.22 代表的特性	17
5 仕様	6	6 パラメータ測定情報	19
5.1 絶対最大定格	6	7 詳細説明	22
5.2 ESD 定格	6	7.1 概要	22
5.3 推奨動作条件	6	7.2 機能ブロック図	22
5.4 熱に関する情報	7	7.3 機能説明	23
5.5 電力定格	7	7.4 デバイスの機能モード	23
5.6 絶縁仕様	8	8 アプリケーションと実装	24
5.7 安全関連認証	8	8.1 アプリケーション情報	24
5.8 安全限界値	9	8.2 代表的なアプリケーション	24
5.9 電気的特性:5V 動作時の $V_{CC1}$ と $V_{CC2}$	10	8.3 電源に関する推奨事項	28
5.10 電源電流特性:5V 動作時の $V_{CC1}$ と $V_{CC2}$	10	8.4 レイアウト	29
5.11 電気的特性:5V 動作時の $V_{CC1}$ 、3.3V 動作時の $V_{CC2}$	11	9 デバイスおよびドキュメントのサポート	30
5.12 電源電流特性:5V 動作時の $V_{CC1}$ 、3.3V 動作時の $V_{CC2}$	11	9.1 ドキュメントのサポート	30
5.13 電気的特性:3.3V 動作時の $V_{CC1}$ 、5V 動作時の $V_{CC2}$	12	9.2 ドキュメントの更新通知を受け取る方法	30
5.14 電源電流特性:3.3V 動作時の $V_{CC1}$ 、5V 動作時の $V_{CC2}$	12	9.3 サポート・リソース	30
5.15 電気的特性:3.3V 動作時の $V_{CC1}$ と $V_{CC2}$	13	9.4 商標	30
5.16 電源電流特性:3.3V 動作時の $V_{CC1}$ と $V_{CC2}$	13	9.5 静電気放電に関する注意事項	30
5.17 スイッチング特性:5V 動作時の $V_{CC1}$ と $V_{CC2}$	14	9.6 用語集	30
5.18 スイッチング特性:5V 動作時の $V_{CC1}$ 、3.3V 動作時の $V_{CC2}$	14	10 改訂履歴	30

## 4 ピン構成および機能

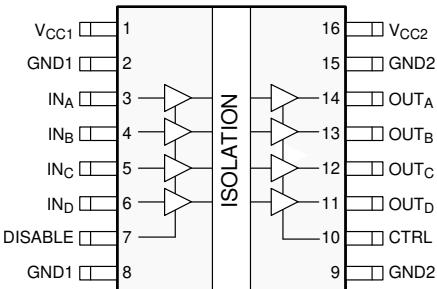


図 4-1. ISO7240CF DW パッケージ 16 ピン SOIC 上

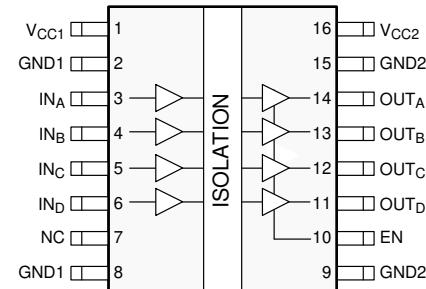


図 4-2. ISO7240C DW パッケージ 16 ピン SOIC 上面

面図

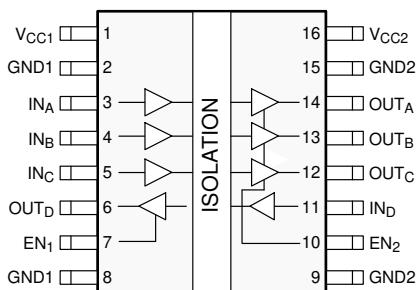


図 4-3. ISO7241C DW パッケージ 16 ピン SOIC 上面

図

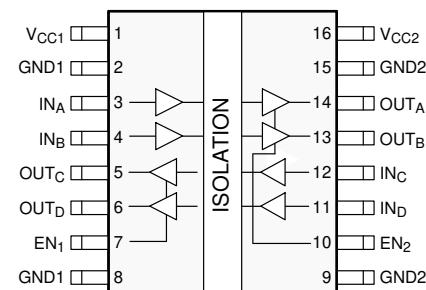


図 4-4. ISO7242C DW パッケージ 16 ピン SOIC 上面

図

表 4-1. ピンの機能

名称	ピン				種類 <sup>(1)</sup>	DESCRIPTION <sup>(3)</sup>
	ISO7240CF	ISO7240C	ISO7241C	ISO7242C		
CTRL	10	—	—	—	I	フェイルセーフ出力制御。ディスエーブルが High のとき、または V <sub>CC1</sub> がバワーダウンしたとき、出力状態は CTRL ピンによって決定されます。CTRL が high またはオープンのとき出力は high、CTRL が low のときは low になります。
無効化	7	—	—	—	I	入力ディスエーブル。ディスエーブルが high のとき、すべての入力ピンは無効になり、ディスエーブルが low またはオープンのとき、有効になります。
EN	—	10	—	—	I	出力有効。EN が high またはオープンのとき、すべての出力ピンは有効になり、EN が low のときは無効になります。
EN <sub>1</sub>	—	—	7	7	I	出力イネーブル 1。サイド 1 の出力ピンは、EN <sub>1</sub> が high またはオープンのとき有効になり、EN <sub>1</sub> が low のとき無効になります。
EN <sub>2</sub>	—	—	10	10	I	出力イネーブル 2。サイド 2 の出力ピンは、EN <sub>2</sub> が high またはオープンのとき有効になり、EN <sub>2</sub> が low のとき無効になります。
GND1	2, 8	2, 8	2, 8	2, 8	—	V <sub>CC1</sub> のグランド接続
GND2	9, 15	9, 15	9, 15	9, 15	—	V <sub>CC2</sub> のグランド接続
IN <sub>A</sub>	3	3	3	3	I	入力、チャネル A
IN <sub>B</sub>	4	4	4	4	I	入力、チャネル B
IN <sub>C</sub>	5	5	5	12	I	入力、チャネル C
IN <sub>D</sub>	6	6	11	11	I	入力、チャネル D
NC	—	7	—	—	—	無接続ピンは内部接続なしでフローティングになっています
OUT <sub>A</sub>	14	14	14	14	O	出力、チャネル A
OUT <sub>B</sub>	13	13	13	13	O	出力、チャネル B
OUT <sub>C</sub>	12	12	12	5	O	出力、チャネル C
OUT <sub>D</sub>	11	11	6	6	O	出力、チャネル D
V <sub>CC1</sub>	1	1	1	1	—	電源、V <sub>CC1</sub>

表 4-1. ピンの機能 (続き)

名称	ピン				種類 <sup>(1)</sup>	DESCRIPTION3
	ISO7240CF	ISO7240C	ISO7241C	ISO7242C		
V <sub>CC2</sub>	16	16	16	16	—	電源、V <sub>CC2</sub>

(1) I = 入力、O = 出力

## 5 仕様

### 5.1 絶対最大定格

(1) を参照

		最小値	最大値	単位
V <sub>CC</sub>	電源電圧 <sup>(2)</sup> 、V <sub>CC1</sub> 、V <sub>CC2</sub>	-0.5	6	V
V <sub>I</sub>	IN、OUT、EN、ディスエーブル、CTRL での電圧	-0.5	V <sub>CC</sub> + 0.5 <sup>(3)</sup>	V
I <sub>O</sub>	出力電流	-15	15	mA
T <sub>J</sub>	最大接合部温度		170	°C
T <sub>stg</sub>	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

(2) 差動 I/O バス電圧を除くすべての電圧値は、ローカル グランド端子 (GND1 または GND2) を基準としており、ピーク電圧値です。

(3) 最大電圧は 6V 以下である必要があります。

### 5.2 ESD 定格

			値	単位
V <sub>(ESD)</sub>	静電放電	人体モデル (HBM) ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±4000	V
		荷電デバイス モデル (CDM), JEDEC 仕様 JESD22-C101 準拠 <sup>(2)</sup>	±1000	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

### 5.3 推奨動作条件

		最小値	公称値	最大値	単位
V <sub>CC</sub>	電源電圧 <sup>(2)</sup> 、V <sub>CC1</sub> 、V <sub>CC2</sub>	3.15	5.5		V
I <sub>OH</sub>	High レベル出力電流		-4		mA
I <sub>OL</sub>	Low レベル出力電流			4	mA
t <sub>ui</sub>	入力パルス幅	ISO724xC	40		ns
		ISO724xM	6.67	5	
1/t <sub>ui</sub>	信号速度	ISO724xC	0	30 <sup>(1)</sup>	Mbps
		ISO724xM	0	200 <sup>(1)</sup>	
V <sub>IH</sub>	High レベル入力電圧 (IN)	ISO724xM	0.7 × V <sub>CC</sub>	V <sub>CC</sub>	V
V <sub>IL</sub>	Low レベル入力電圧 (IN)		0	0.3 × V <sub>CC</sub>	V
V <sub>IH</sub>	High レベル入力電圧 (すべてのデバイスでの IN、ディスエーブル、CTRL、EN)	ISO724xC	2	5.5	V
V <sub>IL</sub>	Low レベル入力電圧 (すべてのデバイスでの IN、ディスエーブル、CTRL、EN)		0	0.8	V
T <sub>J</sub>	接合部温度			150	°C
H	IEC 61000-4-8 および IEC 61000-4-9 認証に基づく外部磁界強度耐性			1000	A/m

(1) 室温での代表値であり、適切にレギュレーションされた電源です。

(2) 5V 動作の場合、V<sub>CC1</sub> または V<sub>CC2</sub> は 4.5V~5.5V の動作が規定されています。  
 3.3V 動作の場合、V<sub>CC1</sub> または V<sub>CC2</sub> は 3.15V~3.6V の動作が規定されています。

## 5.4 热に関する情報

热評価基準 <sup>(1)</sup>			ISO724xx	単位
			DW (SOIC)	
			16 ピン	
$R_{\theta JA}$	接合部から周囲への热抵抗	Low-K ボード	168	°C/W
		High-K ボード	68.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への热抵抗		33.9	°C/W
$R_{\theta JB}$	接合部から基板への热抵抗		33.5	°C/W
$\Psi_{JT}$	接合部から上面への特性パラメータ		14.8	°C/W
$\Psi_{JB}$	接合部から基板への特性パラメータ		32.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への热抵抗		該当なし	°C/W

(1) 従来および最新の热評価基準の詳細については、『半導体および IC パッケージの热評価基準』アプリケーション ノートを参照してください。

## 5.5 電力定格

特に記載のない限り、 $V_{CC1} = V_{CC2} = 5.5V$ 、 $T_J = 150C$ 、 $C_L = 15pF$ 、入力はデューティ サイクル 50%の 25Mbps 方形波

パラメータ	テスト条件	最小値	標準値	最大値	単位
$P_D$	最大消費電力			220	mW

## 5.6 絶縁仕様

パラメータ		テスト条件	値	単位
<b>一般</b>				
CLR	外部空間距離 <sup>(1)</sup>	空気を介した最短のピン間距離	8	mm
CPG	外部沿面距離 <sup>(1)</sup>	パッケージ表面に沿った最短のピン間距離	8	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	0.008	mm
CTI	比較トランシッティング インデックス	DIN EN 60112 (VDE 0884-17), IEC 60112	≥ 400	V
	材料グループ		II	
	過電圧カテゴリ	定格商用電源 $V_{RMS}$ が 150V 以下	I-IV	
		定格商用電源 $V_{RMS}$ が 300V 以下	I-III	
<b>DIN EN IEC 60747-17 (VDE 0884-17) :<sup>(2)</sup></b>				
$V_{IORM}$	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	560	$V_{PK}$
$V_{IOTM}$	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}, t = 60s$ (認定), $V_{TEST} = 1.2 \times V_{IOTM}, t = 1s$ (100% 出荷時)	4000	$V_{PK}$
$q_{pd}$	見掛けの電荷 <sup>(3)</sup>	方法 a: I/O 安全テスト サブグループ 2/3 の後, $V_{ini} = V_{IOTM}, t_{ini} = 60s,$ $V_{pd(m)} = 1.2 \times V_{IORM}, t_m = 10s,$	≤ 5	pC
		方法 a: 環境テスト サブグループ 1 の後, $V_{ini} = V_{IOTM}, t_{ini} = 60s,$ $V_{pd(m)} = 1.3 \times V_{IORM}, t_m = 10s,$	≤ 5	
		メソッド b: レーチン テスト (100% 出荷時), $V_{ini} = 1.2 \times V_{IOTM}, t_{ini} = 1s,$ $V_{pd(m)} = 1.5 \times V_{IORM}, t_m = 1s$ (メソッド b1) または $V_{pd(m)} = V_{ini}, t_m = t_{ini}$ (メソッド b2)	≤ 5	
$C_{IO}$	絶縁バリア容量、入力から出力へ <sup>(4)</sup>	$V_i = 0.4 \sin(2\pi ft), f = 1 \text{ MHz}$	2	pF
$R_{IO}$	絶縁抵抗、入力から出力へ <sup>(4)</sup>	$V_{IO} = 500V, T_A = 25^\circ\text{C}$	$>10^{12}$	$\Omega$
		$V_{IO} = 500V (100^\circ\text{C} \leq T_A \leq 125^\circ\text{C} \text{ 時})$	$>10^{11}$	
		$V_{IO} = 500V (T_S = 150^\circ\text{C} \text{ 時})$	$>10^9$	
	汚染度		2	
	耐候性カテゴリ		40/125/21	
<b>UL 1577</b>				
$V_{ISO}$	絶縁耐圧	$V_{TEST} = V_{ISO} = 2500V_{RMS}, t = 60s$ (認定), $V_{TEST} = 1.2 \times V_{ISO} = 3000V_{RMS}, t = 1s$ (100% 出荷時)	2500	$V_{RMS}$

- (1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上にグループやリブを設けるなどの技法を使用して、これらの仕様値を大きくすることができます。
- (2) この絶縁素子は、最大動作定格内に限定した基本的な電気的絶縁に適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
- (3) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
- (4) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 端子のデバイスを構成します。

## 5.7 安全関連認証

VDE	CSA	UL
DIN EN IEC 60747-17 (VDE 0884-17) による認証	IEC 62368-1 による認証	UL 1577 部品認定プログラムによる認証
基本認証:40047657	マスタ契約書番号:220991	ファイル番号:E181974

## 5.8 安全限界値

安全限界値<sup>(1)</sup>の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。I/O回路の故障により、グランドあるいは電源との抵抗が低くなることがあります。電流制限がないと、チップがオーバーヒートして絶縁バリアが破壊されるほどの大電力が消費され、ひいてはシステムの2次故障に到る可能性があります。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I <sub>S</sub>	安全入力、出力、または電源電流	R <sub>θJA</sub> = 168°C/W、V <sub>I</sub> = 5.5V、T <sub>J</sub> = 170°C、T <sub>A</sub> = 25°C、図5-2を参照		156		mA
		R <sub>θJA</sub> = 168°C/W、V <sub>I</sub> = 3.6V、T <sub>J</sub> = 170°C、T <sub>A</sub> = 25°C、図5-2を参照		239		
T <sub>S</sub>	安全温度			150		°C

(1) 安全限界は、データシートで規定されている最大接合部温度です。接合部の温度は、アプリケーションハードウェアに搭載されているデバイスの消費電力、および接合部から空気への熱インピーダンスにより決定されます。前提とされている接合部から空気への熱抵抗は、リード付き表面実装パッケージ向けのhigh-Kテスト基板に実装されたデバイスの数値です。電力は、推奨最大入力電圧と電流との積です。この場合の接合部温度は、接合部から空気への熱抵抗と電力との積に周囲温度を加えたものです。

## 5.9 電気的特性：5V 動作時の $V_{CC1}$ と $V_{CC2}$

5V 動作の場合、 $V_{CC1}$  または  $V_{CC2}$  は 4.5V ~ 5.5V の動作が規定されています。特に記載のない限り、推奨動作条件内での値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{OFF}$	スリープ モード出力電流	0V で EN、シングル チャネル		0		$\mu A$
$V_{OH}$	High レベル出力電圧	$I_{OH} = -4mA$ 、図 6-1 を参照		$V_{CC} - 0.8$		V
		$I_{OH} = -20\mu A$ 、図 6-1 を参照		$V_{CC} - 0.1$		
$V_{OL}$	Low レベル出力電圧	$I_{OL} = 4mA$ 、図 6-1 を参照			0.4	V
		$I_{OL} = 20\mu A$ 、図 6-1 を参照			0.1	
$V_{I(HYS)}$	入力電圧ヒステリシス			150		mV
$I_{IH}$	High レベル入力電流	IN の $V_{CC1}$			10	$\mu A$
$I_{IL}$	Low レベル入力電流	0V での IN		-10		
$C_I$	グランドの入力容量	$V_{CC}$ での IN, $V_I = 0.4 \sin(2\pi ft)$ 、 $f = 2MHz$		2		pF
CMTI	同相過渡耐性	$V_I = V_{CC}$ または 0V、図 6-5 を参照	25	50		kV/ $\mu s$

## 5.10 電源電流特性：5V 動作時の $V_{CC1}$ と $V_{CC2}$

5V 動作の場合、 $V_{CC1}$  または  $V_{CC2}$  は 4.5V ~ 5.5V の動作が規定されています。特に記載のない限り、推奨動作条件内での値です

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>ISO7240C/M</b>						
$I_{CC1}$	電源電流、サイド 1	静止、すべてのチャネル、無負荷、3V での EN, $V_I = V_{CC}$ または 0V	1	3		$mA$
		25Mbps、すべてのチャネル、無負荷、3V での EN, 12.5MHz 入力クロック信号	7	10.5		
$I_{CC2}$	電源電流、サイド 2	すべてのチャネル、無負荷、3V での EN	静止、 $V_I = V_{CC}$ または 0V	15	22	$mA$
			25Mbps、12.5MHz 入力クロック信号	17	25	
<b>ISO7241C/M</b>						
$I_{CC1}$	電源電流、サイド 1	すべてのチャネル、無負荷、3V での $EN_1$ 、3V での $EN_2$	静止、 $V_I = V_{CC}$ または 0V	6.5	11	$mA$
			25Mbps、12.5MHz 入力クロック信号	12	18	
$I_{CC2}$	電源電流、サイド 2	すべてのチャネル、無負荷、3V での $EN_1$ 、3V での $EN_2$	静止、 $V_I = V_{CC}$ または 0V	13	20	$mA$
			25Mbps、12.5MHz 入力クロック信号	18	28	
<b>ISO7242C/M</b>						
$I_{CC1}$	電源電流、サイド 1	すべてのチャネル、無負荷、3V での $EN_1$ 、3V での $EN_2$	静止、 $V_I = V_{CC}$ または 0V	10	16	$mA$
			25Mbps、12.5MHz 入力クロック信号	15	24	
$I_{CC2}$	電源電流、サイド 2	すべてのチャネル、無負荷、3V での $EN_1$ 、3V での $EN_2$	静止、 $V_I = V_{CC}$ または 0V	10	16	$mA$
			25Mbps、12.5MHz 入力クロック信号	15	24	

## 5.11 電気的特性：5V 動作時の $V_{CC1}$ 、3.3V 動作時の $V_{CC2}$

5V 動作時は、 $V_{CC1}$  または  $V_{CC2}$  を 4.5V～5.5V に設定します。3.3V 動作時は、 $V_{CC1}$  または  $V_{CC2}$  を 3.15 V～3.6V に設定します。特に記載のない限り、推奨動作条件内での値です。

パラメータ		テスト条件		最小値	標準値	最大値	単位		
$I_{OFF}$	スリープ モード出力電流	0V で EN、シングル チャネル		0		$\mu A$			
$V_{OH}$	High レベル出力電圧	$I_{OH} = -4mA$ 、図 6-1 を参照	3.3V 側	$V_{CC} - 0.4$		$V$			
			5V 側	$V_{CC} - 0.8$					
				$V_{CC} - 0.1$					
$V_{OL}$	Low レベル出力電圧	$I_{OL} = 4mA$ 、図 6-1 を参照		0.4		$V$			
		$I_{OL} = 20\mu A$ 、図 6-1 を参照		0.1					
$V_{I(HYS)}$	入力電圧ヒステリシス			150		$mV$			
$I_{IH}$	High レベル入力電流	IN の $V_{CC}$		10		$\mu A$			
$I_{IL}$	Low レベル入力電流	0V での IN		-10					
$C_I$	グランドの入力容量	$V_{CC}$ での IN、 $V_I = 0.4 \sin(2\pi ft)$ 、 $f = 2MHz$		2		$pF$			
CMTI	同相過渡耐性	$V_I = V_{CC}$ または 0V、図 6-5 を参照		25	50	$kV/\mu s$			

## 5.12 電源電流特性：5V 動作時の $V_{CC1}$ 、3.3V 動作時の $V_{CC2}$

5V 動作時は、 $V_{CC1}$  または  $V_{CC2}$  を 4.5V～5.5V に設定します。3.3V 動作時は、 $V_{CC1}$  または  $V_{CC2}$  を 3.15 V～3.6V に設定します。特に記載のない限り、推奨動作条件内での値です

パラメータ		テスト条件		最小値	標準値	最大値	単位
<b>ISO7240C/M</b>							
$I_{CC1}$	電源電流、サイド 1	すべてのチャネル、無負荷、3V での EN	静止、 $V_I = V_{CC}$ または 0V	1	3	$mA$	
			25Mbps、12.5MHz 入力クロック信号	7	10.5		
$I_{CC2}$	電源電流、サイド 2	すべてのチャネル、無負荷、3V での EN	静止、 $V_I = V_{CC}$ または 0V	9.5	15	$mA$	
			25Mbps、12.5MHz 入力クロック信号	10.5	17		
<b>ISO7241C/M</b>							
$I_{CC1}$	電源電流、サイド 1	すべてのチャネル、無負荷、3V での $EN_1$ 、3V での $EN_2$	静止、 $V_I = V_{CC}$ または 0V	6.5	11	$mA$	
			12.5MHz 入力クロック信号	12	18		
$I_{CC2}$	電源電流、サイド 2	すべてのチャネル、無負荷、3V での $EN_1$ 、3V での $EN_2$	静止、 $V_I = V_{CC}$ または 0V	8	13	$mA$	
			25Mbps、12.5MHz 入力クロック信号	11.5	18		
<b>ISO7242C/M</b>							
$I_{CC1}$	電源電流、サイド 1	すべてのチャネル、無負荷、3V での $EN_1$ 、3V での $EN_2$	静止、 $V_I = V_{CC}$ または 0V	10	16	$mA$	
			12.5MHz 入力クロック信号	15	24		
$I_{CC2}$	電源電流、サイド 2	すべてのチャネル、無負荷、3V での $EN_1$ 、3V での $EN_2$	静止、 $V_I = V_{CC}$ または 0V	6	10	$mA$	
			25Mbps、12.5MHz 入力クロック信号	9	14		

### 5.13 電気的特性：3.3V 動作時の $V_{CC1}$ 、5V 動作時の $V_{CC2}$

5V 動作時は、 $V_{CC1}$  または  $V_{CC2}$  を 4.5V～5.5V に設定します。3.3V 動作時は、 $V_{CC1}$  または  $V_{CC2}$  を 3.15 V～3.6V に設定します。特に記載のない限り、推奨動作条件内での値です。

パラメータ		テスト条件		最小値	標準値	最大値	単位	
$I_{OFF}$	スリープ モード出力電流	0V で EN、シングル チャネル		0		$\mu A$		
$V_{OH}$	High レベル出力電圧	$I_{OH} = -4mA$ 、図 6-1 を参照	3.3V 側	$V_{CC} - 0.4$		V		
			5V 側	$V_{CC} - 0.8$				
		$I_{OH} = -20\mu A$ 、図 6-1 を参照		$V_{CC} - 0.1$				
$V_{OL}$	Low レベル出力電圧	$I_{OL} = 4mA$ 、図 6-1 を参照		0.4		V		
		$I_{OL} = 20\mu A$ 、図 6-1 を参照		0.1				
$V_{I(HYS)}$	入力電圧ヒステリシス			150		mV		
$I_{IH}$	High レベル入力電流	IN の $V_{CC}$		10		$\mu A$		
$I_{IL}$	Low レベル入力電流	0V での IN		-10				
$C_I$	グランドの入力容量	$V_{CC}$ での IN、 $V_I = 0.4 \sin(2\pi ft)$ 、 $f = 2MHz$		2		$pF$		
CMTI	同相過渡耐性	$V_I = V_{CC}$ または 0V、図 6-5 を参照		25	50	$kV/\mu s$		

### 5.14 電源電流特性：3.3V 動作時の $V_{CC1}$ 、5V 動作時の $V_{CC2}$

5V 動作時は、 $V_{CC1}$  または  $V_{CC2}$  を 4.5V～5.5V に設定します。3.3V 動作時は、 $V_{CC1}$  または  $V_{CC2}$  を 3.15 V～3.6V に設定します。特に記載のない限り、推奨動作条件内での値です

パラメータ		テスト条件		最小値	標準値	最大値	単位
<b>ISO7240C/M</b>							
$I_{CC1}$	電源電流、サイド 1	すべてのチャネル、無負荷、3V での EN	静止、 $V_I = V_{CC}$ または 0V	0.5	1.2	mA	
			25Mbps、12.5MHz 入力クロック信号	3	5		
$I_{CC2}$	電源電流、サイド 2	すべてのチャネル、無負荷、3V での EN	静止、 $V_I = V_{CC}$ または 0V	15	22	mA	
			25Mbps、12.5MHz 入力クロック信号	17	25		
<b>ISO7241C/M</b>							
$I_{CC1}$	電源電流、サイド 1	すべてのチャネル、無負荷、3V での $EN_1$ 、3V での $EN_2$	静止、 $V_I = V_{CC}$ または 0V	4	7	mA	
			25Mbps、12.5MHz 入力クロック信号	6.5	11		
$I_{CC2}$	電源電流、サイド 2	すべてのチャネル、無負荷、3V での $EN_1$ 、3V での $EN_2$	静止、 $V_I = V_{CC}$ または 0V	13	20	mA	
			25Mbps、12.5MHz 入力クロック信号	18	28		
<b>ISO7242C/M</b>							
$I_{CC1}$	電源電流、サイド 1	すべてのチャネル、無負荷、3V での $EN_1$ 、3V での $EN_2$	静止、 $V_I = V_{CC}$ または 0V	6	10	mA	
			25Mbps、12.5MHz 入力クロック信号	9	14		
$I_{CC2}$	電源電流、サイド 2	すべてのチャネル、無負荷、3V での $EN_1$ 、3V での $EN_2$	静止、 $V_I = V_{CC}$ または 0V	10	16	mA	
			25Mbps、12.5MHz 入力クロック信号	15	24		

## 5.15 電気的特性：3.3V 動作時の $V_{CC1}$ と $V_{CC2}$

3.3V 動作の場合、 $V_{CC1}$  または  $V_{CC2}$  は 3.15V ~ 3.6V の動作が規定されています。特に記載のない限り、推奨動作条件内での値です

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{OFF}$	スリープ モード出力電流	0V で EN、シングル チャネル		0		$\mu A$
$V_{OH}$	High レベル出力電圧	$I_{OH} = -4mA$ 、図 6-1 を参照		$V_{CC} - 0.4$		V
		$I_{OH} = -20\mu A$ 、図 6-1 を参照		$V_{CC} - 0.1$		
$V_{OL}$	Low レベル出力電圧	$I_{OL} = 4mA$ 、図 6-1 を参照			0.4	V
		$I_{OL} = 20\mu A$ 、図 6-1 を参照			0.1	
$V_{I(HYS)}$	入力電圧ヒステリシス			150		mV
$I_{IH}$	High レベル入力電流	IN の $V_{CC}$			10	$\mu A$
$I_{IL}$	Low レベル入力電流	0V での IN		-10		
$C_I$	グランドの入力容量	$V_{CC}$ での IN, $V_I = 0.4 \sin(2\pi ft)$ 、 $f = 2MHz$		2		pF
CMTI	同相過渡耐性	$V_I = V_{CC}$ または 0V、図 6-5 を参照	25	50		kV/ $\mu s$

## 5.16 電源電流特性：3.3V 動作時の $V_{CC1}$ と $V_{CC2}$

3.3V 動作の場合、 $V_{CC1}$  または  $V_{CC2}$  は 3.15V ~ 3.6V の動作が規定されています。特に記載のない限り、推奨動作条件内での値です

パラメータ		テスト条件	最小値	標準値	最大値	単位
<b>ISO7240C/M</b>						
$I_{CC1}$	電源電流、サイド 1	すべてのチャネル、無負荷、3V での EN	静止、 $V_I = V_{CC}$ または 0V	0.5	1.2	$mA$
			25Mbps、12.5MHz 入力クロック信号	3	5	
$I_{CC2}$	電源電流、サイド 2	すべてのチャネル、無負荷、3V での EN	静止、 $V_I = V_{CC}$ または 0V	9.5	15	$mA$
			25Mbps、12.5MHz 入力クロック信号	10.5	17	
<b>ISO7241C/M</b>						
$I_{CC1}$	電源電流、サイド 1	すべてのチャネル、無負荷、3V での $EN_1$ 、3V での $EN_2$	静止、 $V_I = V_{CC}$ または 0V	4	7	$mA$
			25Mbps、12.5MHz 入力クロック信号	6.5	11	
$I_{CC2}$	電源電流、サイド 2	すべてのチャネル、無負荷、3V での $EN_1$ 、3V での $EN_2$	静止、 $V_I = V_{CC}$ または 0V	8	13	$mA$
			25Mbps、12.5MHz 入力クロック信号	11.5	18	
<b>ISO7242C/M</b>						
$I_{CC1}$	電源電流、サイド 1	すべてのチャネル、無負荷、3V での $EN_1$ 、3V での $EN_2$	静止、 $V_I = V_{CC}$ または 0V	6	10	$mA$
			25Mbps、12.5MHz 入力クロック信号	9	14	
$I_{CC2}$	電源電流、サイド 2	すべてのチャネル、無負荷、3V での $EN_1$ 、3V での $EN_2$	静止、 $V_I = V_{CC}$ または 0V	6	10	$mA$
			25Mbps、12.5MHz 入力クロック信号	9	14	

## 5.17 スイッチング特性 : 5V 動作時の $V_{CC1}$ と $V_{CC2}$

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{PLH}$ 、 $t_{PHL}$	伝搬遅延	ISO724xC	18	42		ns
PWD	パルス幅歪み <sup>(1)</sup> $ t_{PHL} - t_{PLH} $			2.5		
$t_{PLH}$ 、 $t_{PHL}$	伝搬遅延	ISO724xM	8	23		ns
PWD	パルス幅歪み <sup>(1)</sup> $ t_{PHL} - t_{PLH} $			1	2	
$t_{sk(pp)}$	部品間スキュー <sup>(2)</sup>	ISO724xC		8		ns
		ISO724xM		0	3	
$t_{sk(o)}$	チャネル間の出力スキュー <sup>(3)</sup>	ISO724xC		2		ns
		ISO724xM		0	1	
$t_r$	出力信号の立ち上がり時間			2.4		ns
$t_f$	出力信号の立ち下がり時間	図 6-1 を参照		2.3		
$t_{PHZ}$	伝搬遅延、High レベルからハイインピーダンス出力まで	図 6-2 を参照	15	25		ns
$t_{PZH}$	伝搬遅延、ハイインピーダンスから High レベル出力まで		15	25		
$t_{PLZ}$	伝搬遅延、Low レベルからハイインピーダンス出力まで		15	25		
$t_{PZL}$	伝搬遅延、ハイインピーダンスから Low レベル出力まで		15	25		
$t_{fs}$	入力電源喪失からフェイルセーフ出力までの遅延時間	図 6-3 を参照		12		μs
$t_{wake}$	入力ディスエーブルからのウェーク時間	図 6-4 を参照		15		μs
$t_{jlt(pp)}$	ピーク ツー ピークのアイパターン ジッタ	ISO724xM	150Mbps NRZ データ入力、すべてのチャネルで同じ極性入力、図 6-6 を参照		1	ns

(1) パルススキューとも呼ばれます。

(2)  $t_{sk(pp)}$  は、2つのデバイスが同じ電源電圧、同じ温度で動作し、パッケージとテスト回路が同一である場合の、両方のデバイスの指定された任意の端子間の伝搬遅延時間の時差です。

(3)  $t_{sk(o)}$  は、1つのデバイスについて、すべての駆動入力を相互に接続し、同方向に規定出力をスイッチングし、同じ規定負荷を駆動するときの複数の出力間のスキューです。

## 5.18 スイッチング特性 : 5V 動作時の $V_{CC1}$ 、3.3V 動作時の $V_{CC2}$

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{PLH}$ 、 $t_{PHL}$	伝搬遅延	ISO724xC	20	50		ns
PWD	パルス幅歪み <sup>(1)</sup> $ t_{PHL} - t_{PLH} $			3		
$t_{PLH}$ 、 $t_{PHL}$	伝搬遅延	ISO724xM	8	29		ns
PWD	パルス幅歪み <sup>(1)</sup> $ t_{PHL} - t_{PLH} $			1	2	
$t_{sk(pp)}$	部品間スキュー <sup>(2)</sup>	ISO724xC		10		ns
		ISO724xM		0	5	
$t_{sk(o)}$	チャネル間の出力スキュー <sup>(3)</sup>	ISO724xC		3		ns
		ISO724xM		0	1	
$t_r$	出力信号の立ち上がり時間	図 6-1 を参照		2.4		ns
$t_f$	出力信号の立ち下がり時間			2.3		
$t_{PHZ}$	伝搬遅延、High レベルからハイインピーダンス出力まで	図 6-2 を参照	15	25		ns
$t_{PZH}$	伝搬遅延、ハイインピーダンスから High レベル出力まで		15	25		
$t_{PLZ}$	伝搬遅延、Low レベルからハイインピーダンス出力まで		15	25		
$t_{PZL}$	伝搬遅延、ハイインピーダンスから Low レベル出力まで		15	25		
$t_{fs}$	入力電源喪失からフェイルセーフ出力までの遅延時間	図 6-3 を参照		18		μs
$t_{wake}$	入力ディスエーブルからのウェーク時間	図 6-4 を参照		15		μs

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{jilt(pp)}$	ピーク ツー ピークのアイパターン ジッタ	ISO724xM	150Mbps PRBS NRZ データ入力、すべてのチャネルで同じ極性入力、図 6-6 を参照	1		ns

- (1) 別名パルス スキュー
- (2)  $t_{sk(pp)}$  は、2 つのデバイスが同じ電源電圧、同じ温度で動作し、パッケージとテスト回路が同一である場合の、両方のデバイスの指定された任意の端子間の伝搬遅延時間の時差です。
- (3)  $t_{sk(o)}$  は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に規定出力をスイッチングし、同じ規定負荷を駆動するときの複数の出力間のスキューです。

## 5.19 スイッチング特性：3.3V 動作時の $V_{CC1}$ 、5V 動作時の $V_{CC2}$

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{PLH}, t_{PHL}$	伝搬遅延	ISO724xC	22	51		ns
PWD	パルス幅歪み $ t_{PHL} - t_{PLH} $			3		
$t_{PLH}, t_{PHL}$	伝搬遅延	ISO724xM	8	30		ns
PWD	パルス幅歪み $ t_{PHL} - t_{PLH} $			1	2	
$t_{sk(pp)}$	部品間スキュー <sup>(2)</sup>	ISO724xC		10		ns
		ISO724xM		0	5	
$t_{sk(o)}$	チャネル間の出力スキュー <sup>(3)</sup>	ISO724xC		2.5		ns
		ISO724xM		0	1	
$t_r$	出力信号の立ち上がり時間	図 6-1 を参照		2.4		ns
$t_f$	出力信号の立ち下がり時間			2.3		
$t_{PHZ}$	伝搬遅延、High レベルからハイインピーダンス出力まで	図 6-2 を参照		15	25	ns
$t_{PZH}$	伝搬遅延、ハイインピーダンスから High レベル出力まで			15	25	
$t_{PLZ}$	伝搬遅延、Low レベルからハイインピーダンス出力まで			15	25	
$t_{PZL}$	伝搬遅延、ハイインピーダンスから Low レベル出力まで			15	25	
$t_{fs}$	入力電源喪失からフェイルセーフ出力までの遅延時間	図 6-3 を参照		12		μs
$t_{wake}$	入力ディスエーブルからのウェーク時間	図 6-4 を参照		15		μs
$t_{jilt(pp)}$	ピーク ツー ピークのアイパターン ジッタ	ISO724xM	150Mbps NRZ データ入力、すべてのチャネルで同じ極性入力、図 6-6 を参照	1		ns

- (1) 別名パルス スキュー
- (2)  $t_{sk(pp)}$  は、2 つのデバイスが同じ電源電圧、同じ温度で動作し、パッケージとテスト回路が同一である場合の、両方のデバイスの指定された任意の端子間の伝搬遅延時間の時差です。
- (3)  $t_{sk(o)}$  は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に規定出力をスイッチングし、同じ規定負荷を駆動するときの複数の出力間のスキューです。

## 5.20 スイッチング特性：3.3V 動作時の $V_{CC1}$ と $V_{CC2}$

推奨動作条件範囲内 (特に記述のない限り)

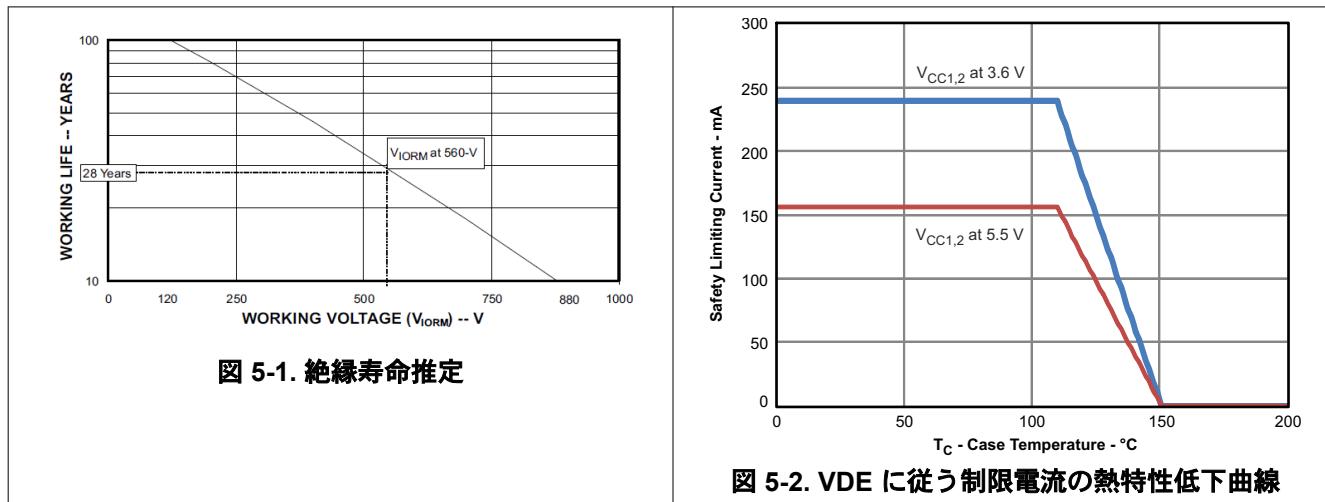
パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{PLH}, t_{PHL}$	伝搬遅延	ISO724xC	25	56		ns
PWD	パルス幅歪み $ t_{PHL} - t_{PLH} $ <sup>(1)</sup>			4		
$t_{PLH}, t_{PHL}$	伝搬遅延	ISO724xM	8	34		ns
PWD	パルス幅歪み $ t_{PHL} - t_{PLH} $ <sup>(1)</sup>			1	2	
$t_{sk(pp)}$	部品間スキュー <sup>(2)</sup>	ISO724xC		10		ns
		ISO724xM		0	5	
$t_{sk(o)}$	チャネル間の出力スキュー <sup>(3)</sup>	ISO724xC		3.5		ns
		ISO724xM		0	1	
$t_r$	出力信号の立ち上がり時間	図 6-1 を参照		2.4		ns
$t_f$	出力信号の立ち下がり時間			2.3		

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{PHZ}$	伝搬遅延、High レベルからハイインピーダンス出力まで	図 6-2 を参照	15	25		ns
$t_{PZH}$	伝搬遅延、ハイインピーダンスから High レベル出力まで		15	25		
$t_{PLZ}$	伝搬遅延、Low レベルからハイインピーダンス出力まで		15	25		
$t_{PZL}$	伝搬遅延、ハイインピーダンスから Low レベル出力まで		15	25		
$t_{fs}$	入力電源喪失からフェイリセーフ出力までの遅延時間	図 6-3 を参照	18			μs
$t_{wake}$	入力ディスエーブルからのウェーク時間	図 6-4 を参照	15			μs
$t_{jilt(pp)}$	ピーク ツー ピークのアイパターン ジッタ	ISO724xM	150Mbps PRBS NRZ データ入力、すべてのチャネルで同じ極性入力、図 6-6 を参照	1		ns

- (1) パルス スキューとも呼ばれます。
- (2)  $t_{sk(pp)}$  は、2 つのデバイスが同じ電源電圧、同じ温度で動作し、パッケージとテスト回路が同一である場合の、両方のデバイスの指定された任意の端子間の伝搬遅延時間の時差です。
- (3)  $t_{sk(o)}$  は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に規定出力をスイッチングし、同じ規定負荷を駆動するときの複数の出力間のスキューです。

## 5.21 絶縁特性曲線



## 5.22 代表的特性

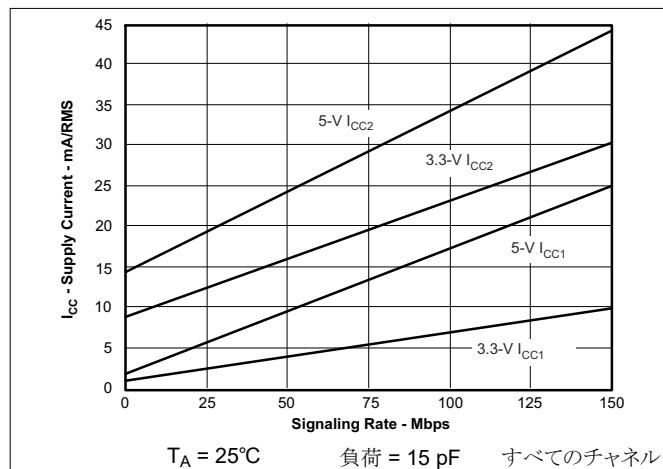


図 5-3. ISO7240C/M RMS 電源電流と信号速度との関係

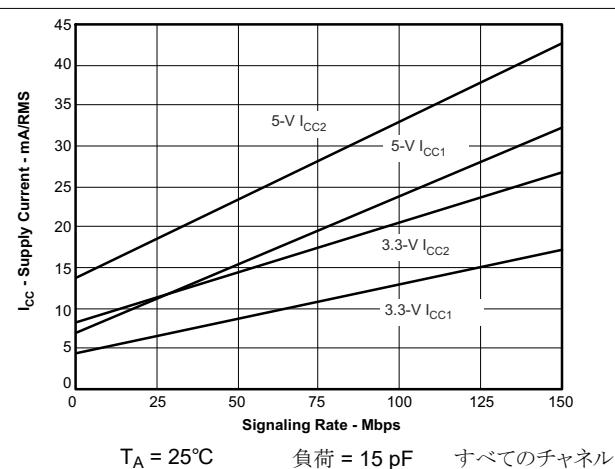


図 5-4. ISO7241C/M RMS 電源電流と信号速度との関係

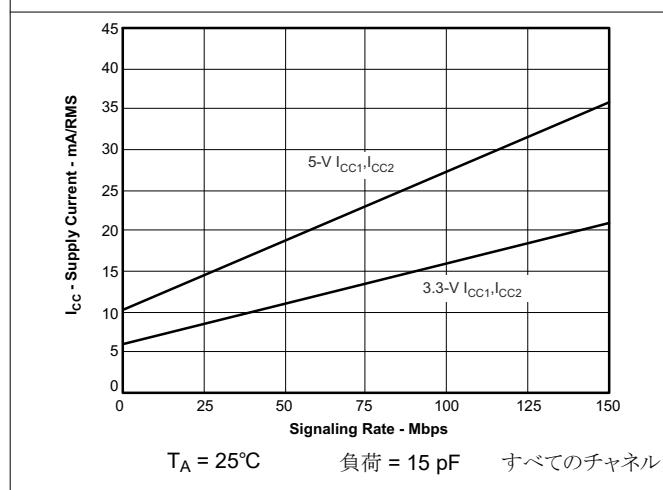


図 5-5. ISO7242C/M RMS 電源電流と信号速度との関係

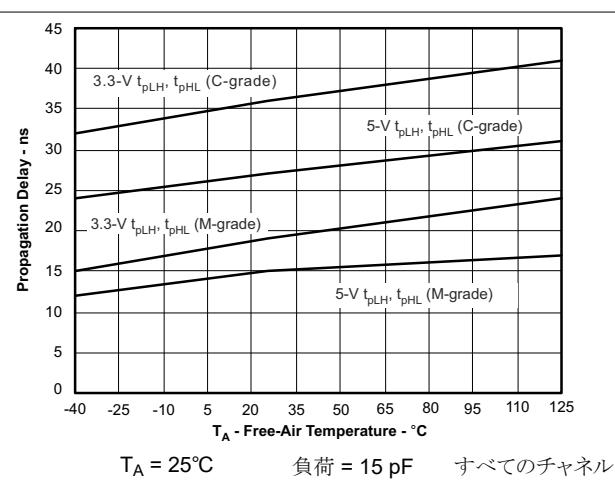


図 5-6. 伝搬遅延と自由気流温度との関係

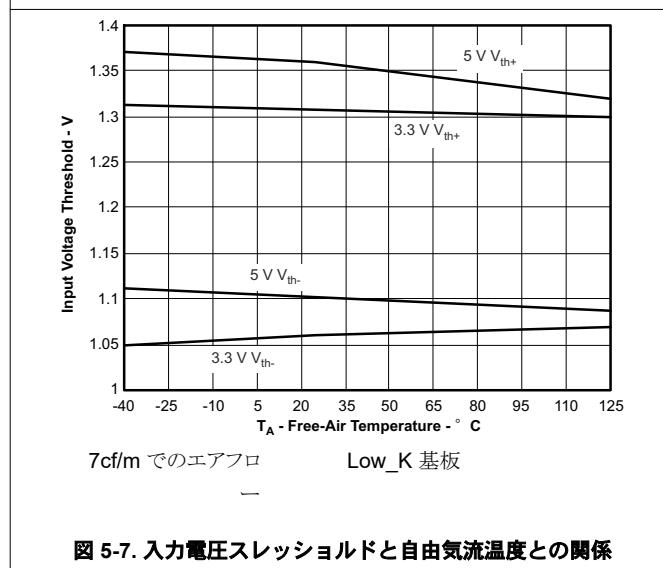


図 5-7. 入力電圧スレッショルドと自由気流温度との関係

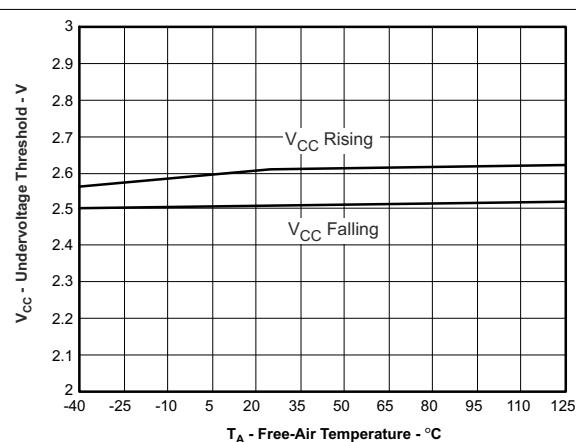


図 5-8. V<sub>cc</sub> 低電圧スレッショルドと自由気流温度との関係

## 5.22 代表的特性 (続き)

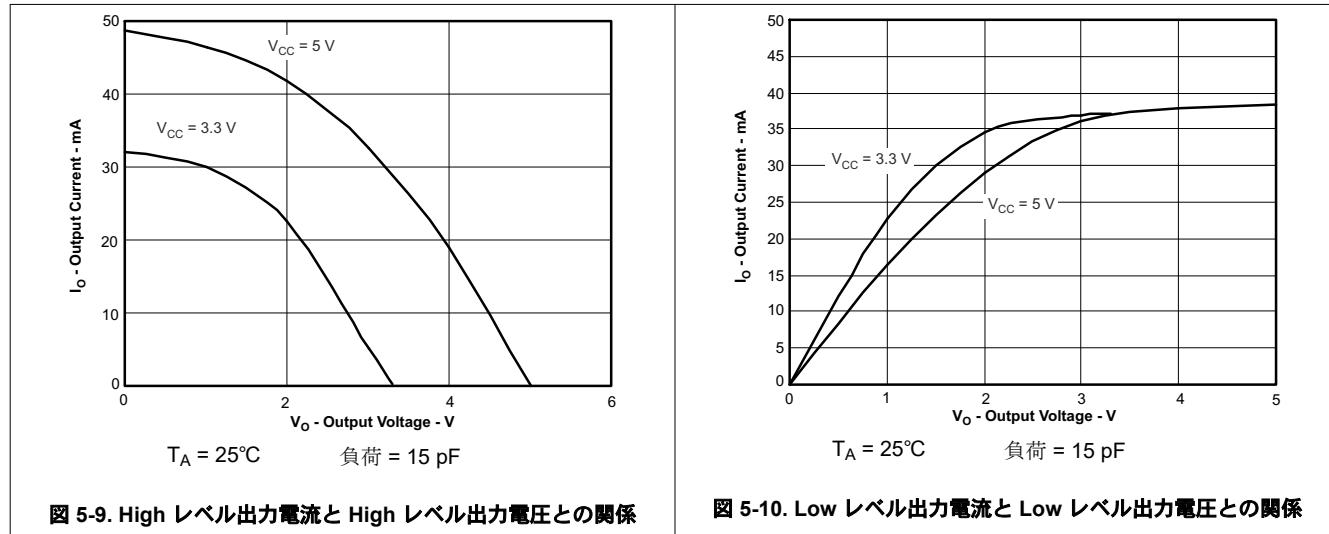
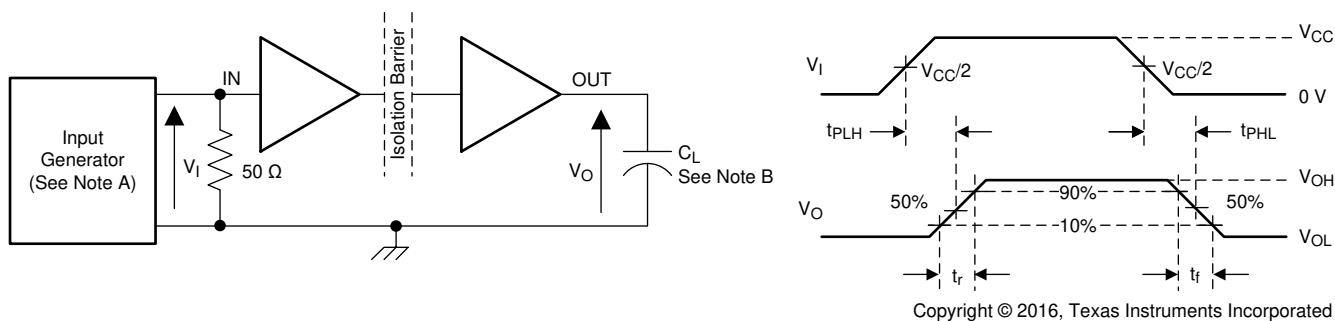


図 5-9. High レベル出力電流と High レベル出力電圧との関係

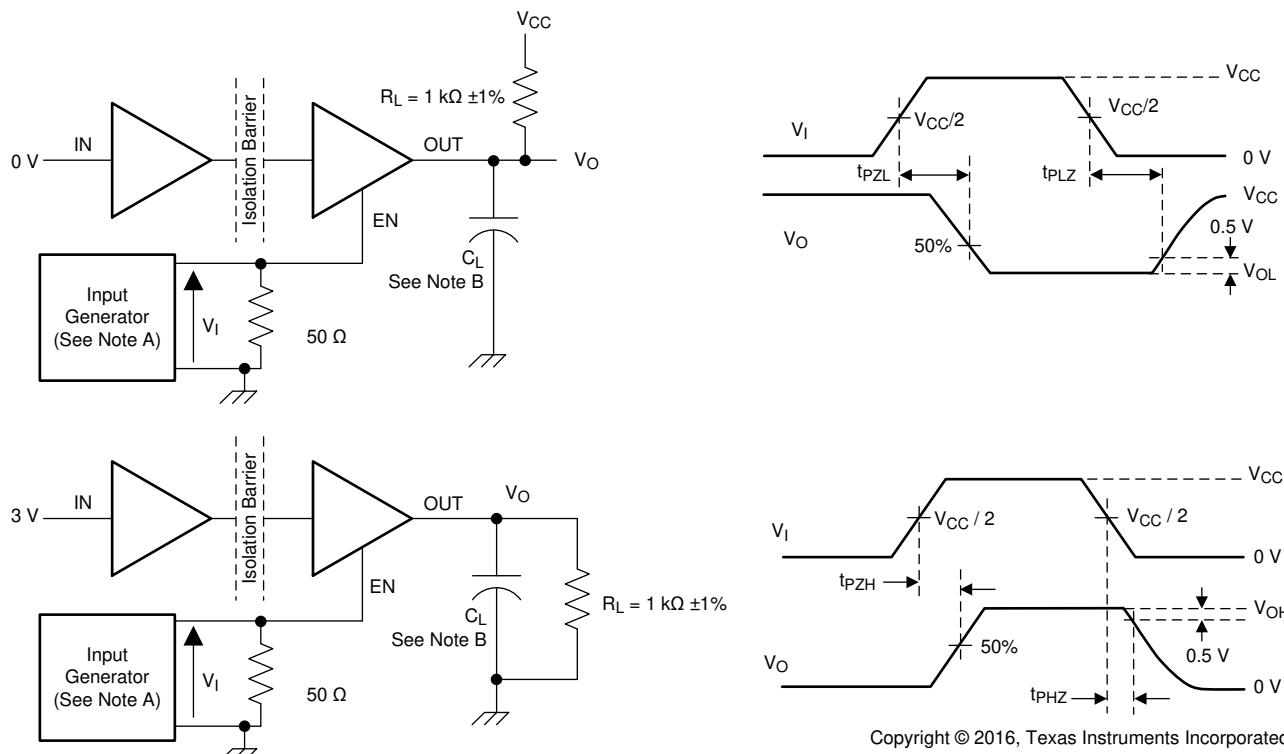
図 5-10. Low レベル出力電流と Low レベル出力電圧との関係

## 6 パラメータ測定情報



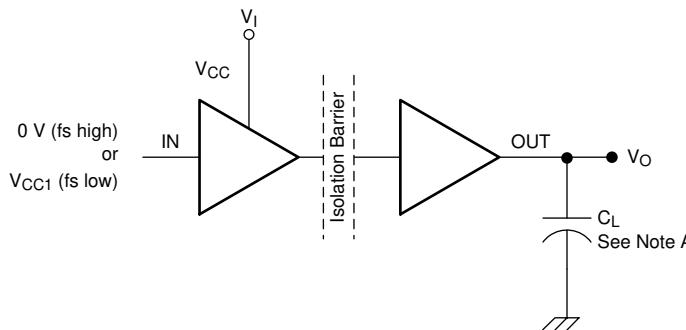
A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR  $\leq$  50kHz、50% デューティ サイクル、 $t_r \leq 3$ ns、 $t_f \leq 3$ ns、 $Z_O = 50\Omega$ 。  
B.  $C_L = 15\text{pF}$  であり、 $\pm 20\%$  以内の計測器および治具の容量が含まれています。

図 6-1. スイッチング特性試験回路および電圧波形



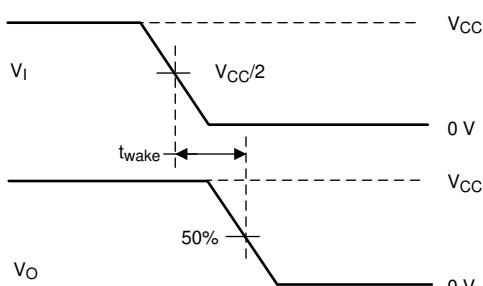
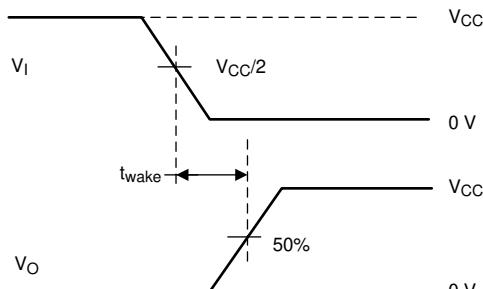
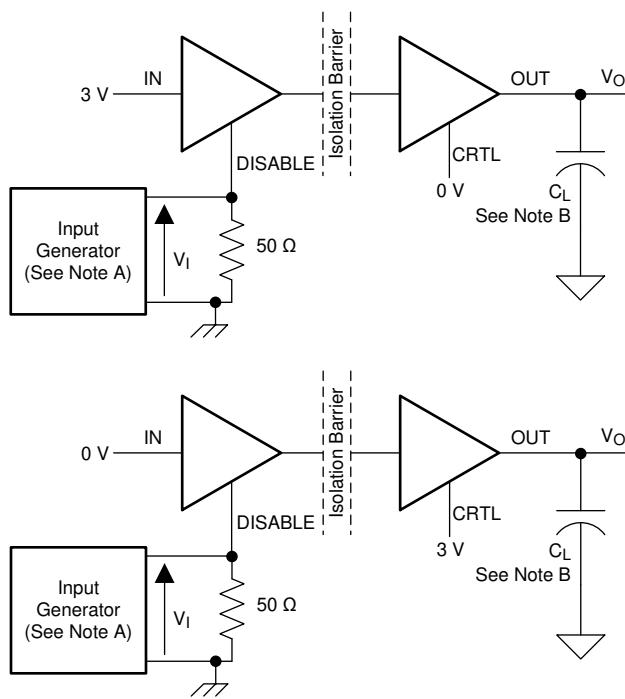
A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR  $\leq$  50kHz、50% デューティ サイクル、 $t_r \leq 3$ ns、 $t_f \leq 3$ ns、 $Z_O = 50\Omega$ 。  
B.  $C_L = 15\text{pF}$  であり、 $\pm 20\%$  以内の計測器および治具の容量が含まれています。

図 6-2. イネーブルまたはディセーブル伝搬遅延時間のテスト回路と波形



A.  $C_L = 15\text{pF}$  であり、 $\pm 20\%$  以内の計測器および治具の容量が含まれています。

図 6-3. フェイルセーフ遅延時間試験回路および電圧波形

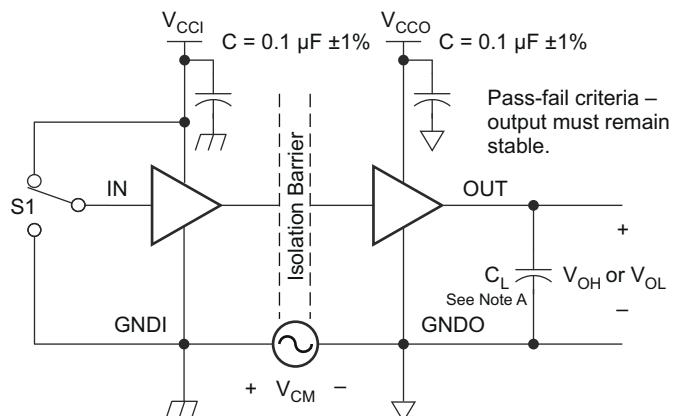


Copyright © 2016, Texas Instruments Incorporated

このデータシートでは、最も長い時間が得られる試験結果を採用しています。

A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR  $\leq 50\text{kHz}$ 、50% デューティ サイクル、 $t_r \leq 3\text{ns}$ 、 $t_f \leq 3\text{ns}$ 、 $Z_O = 50\Omega$ 。  
 B.  $C_L = 15\text{pF}$  であり、 $\pm 20\%$  以内の計測器および治具の容量が含まれています。

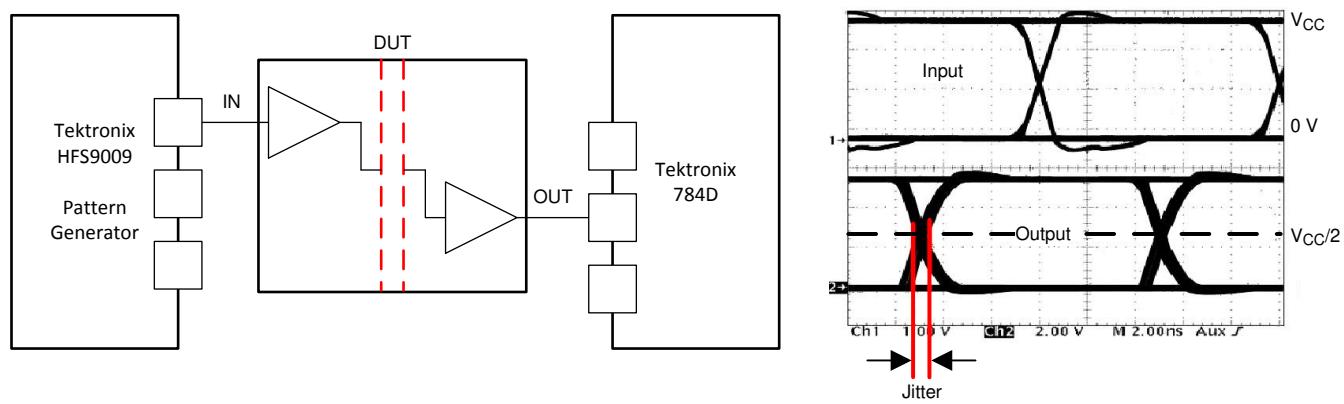
図 6-4. 入力無効化からのウェイク時間試験回路および電圧波形



A.  $C_L = 15pF$  であり、 $\pm 20\%$  以内の計測器および治具の容量が含まれています。

B. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR  $\leq 50\text{kHz}$ 、50% デューティ サイクル、 $t_r \leq 3\text{ns}$ 、 $t_f \leq 3\text{ns}$ 、 $Z_0 = 50\Omega$ 。

図 6-5. 同相モード過渡耐性試験回路と電圧波形



PRBS ビットのパターンの実行長は  $2^{16} - 1$  です。遷移時間は 800ps です。NRZ データ入力では、連続する 1 または 0 が 5 ビットを超えないようにします。

図 6-6. ピーク ツー ピーク アイパターン ジッタ テスト回路と電圧波形

## 7 詳細説明

### 7.1 概要

ISO724x ファミリのデバイスは、二酸化ケイ素ベースの絶縁バリアを介してデジタルデータを伝送します。デバイスのデジタル入力信号 (IN) はトランスマッタによってサンプリングされ、すべてのデータエッジで、トランスマッタは絶縁バリア越しに対応する差動信号を送信します。入力信号が静的である場合、リフレッシュロジックは定期的にトランスマッタから必要な差動信号を送信します。絶縁バリアの反対側では、レシーバが差動信号をシングルエンド信号に変換し、バッファを介して OUT ピンに出力します。レシーバがデータまたはリフレッシュ信号を受信しない場合、タイムアウトロジックが入力側から信号または電力が失われたことを検出し、出力をデフォルトルーレベルに駆動します。

### 7.2 機能ブロック図

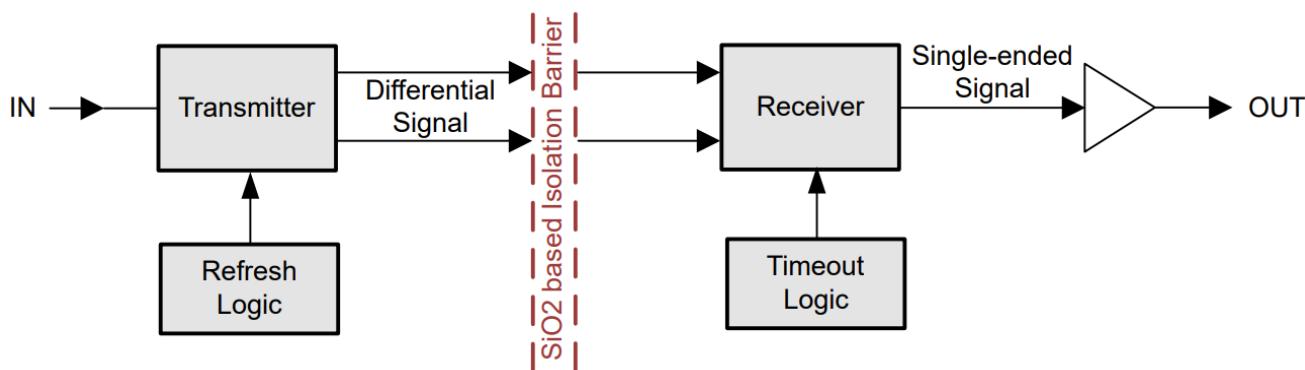


図 7-1. デジタルアイソレータの概念ブロック図

## 7.3 機能説明

ISO724x-Q1 ファミリのデバイスは、複数のチャネル構成とデフォルトの出力状態オプションで利用でき、さまざまなアプリケーション用途に使用できます。表 7-1 はこれらのデバイスの機能を一覧表示します。

表 7-1. デバイスの機能

製品 <sup>(1)</sup>	信号速度	入力スレッショルド	チャネル構成
ISO7240CF	25Mbps	$\approx 1.5V$ (TTL)	4/0
ISO7241C	25Mbps	$\approx 1.5V$ (TTL)	3/1
ISO7242C	25Mbps	$\approx 1.5V$ (TTL)	2/2

## 7.4 デバイスの機能モード

ISO7231C-Q1 の機能モードを記載します。

表 7-2. デバイス機能表 ISO7231C-Q1

入力 $V_{CC}$	出力 $V_{CC}$	入力 (IN)	出力イネーブル (EN)	出力 (OUT)
PU	PU	H	H またはオープン	H
		L	H またはオープン	L
		X	L	Z
		オープン	H またはオープン	H
PD	PU	X	H またはオープン	H
PD	PU	X	L	Z
X	PD	X	X	不定

### 7.4.1 デバイス I/O 回路図

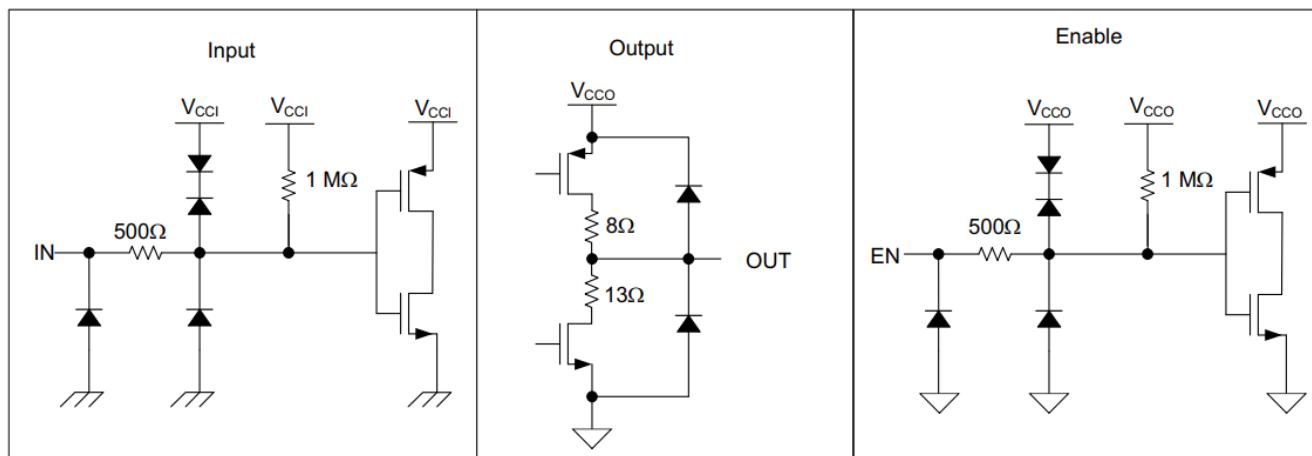


図 7-2. デバイス I/O 回路図

## 8 アプリケーションと実装

### 注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

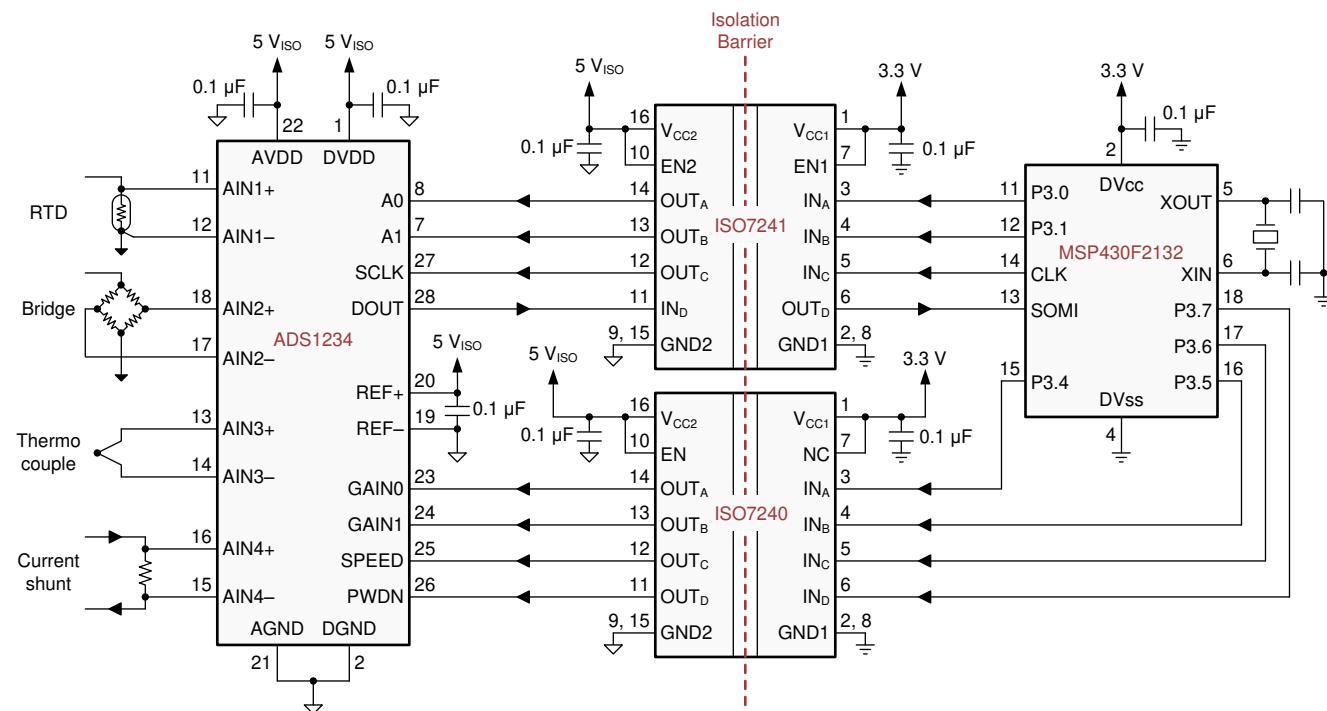
### 8.1 アプリケーション情報

ISO724xx デバイス ファミリは、シングルエンド TTL または CMOS ロジックのスイッチング技術を採用しています。電源電圧の範囲は、 $V_{CC1}$  と  $V_{CC2}$  の両方の電源で 3.15V~5.5V です。デジタル アイソレータを使って設計する場合は、シングルエンド設計構造のため、デジタル アイソレータが特定のインターフェイス規格に準拠していないこと、シングルエンド CMOS または TTL デジタル信号ラインの絶縁のみを目的としていることに注意してください。アイソレータは、通常、インターフェイスの種類や規格にかかわらず、データコントローラ ( $\mu$ C または UART) と、データコンバータまたはラインシーバとの間に配置されます。

### 8.2 代表的なアプリケーション

#### 8.2.1 プロセス制御用の絶縁型データ アクイジションシステム

ISO724xx デバイス ファミリは、テキサス インストルメンツの高精度 A/D コンバータやミックスド シグナルマイコンと組み合わせて、図 8-1 に示すような高度な絶縁データ アクイジション システムを構築するために使用できます。



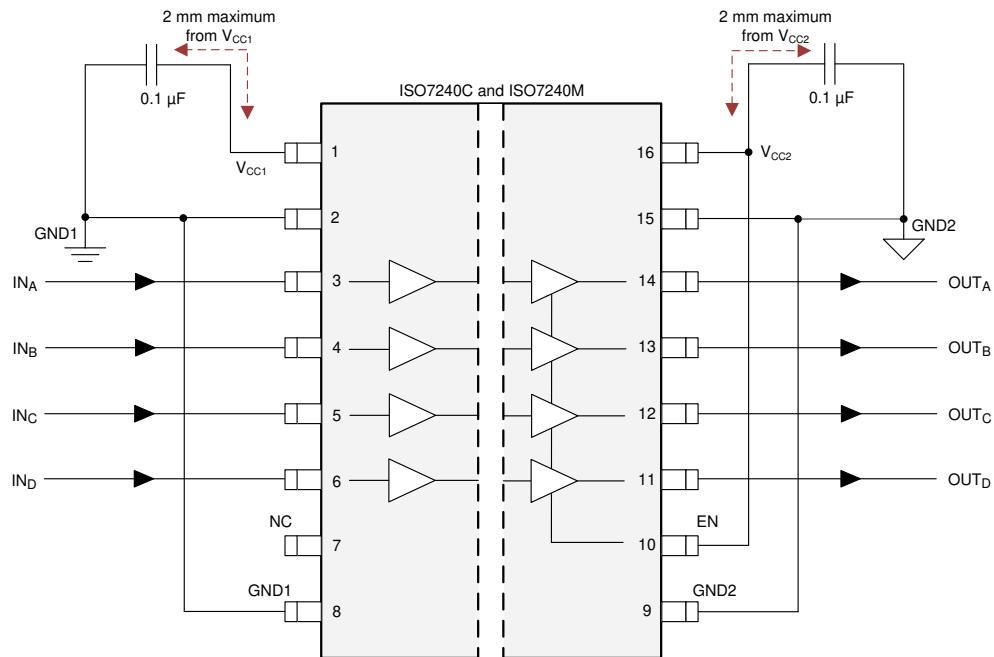
Copyright © 2016, Texas Instruments Incorporated

図 8-1. プロセス制御用の絶縁型データ アクイジション システム

#### 8.2.1.1 設計要件

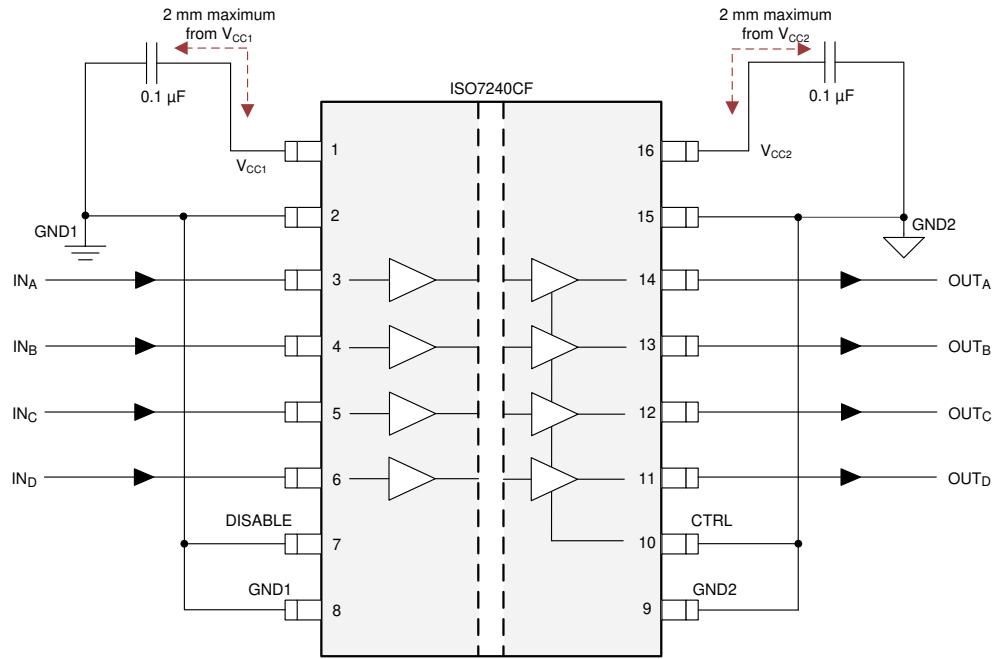
ISO724x ファミリのデバイスは、フォトカプラとは異なり、性能向上、バイアス供給、電流制限のために外付け部品を必要としません。必要とするのは、動作に必要な外付けバイパスコンデンサは 2 個のみです。

### 8.2.1.2 詳細な設計手順



Copyright © 2016, Texas Instruments Incorporated

図 8-2. ISO7240x の標準の回路接続図



Copyright © 2016, Texas Instruments Incorporated

図 8-3. ISO7240CF の標準の回路接続図

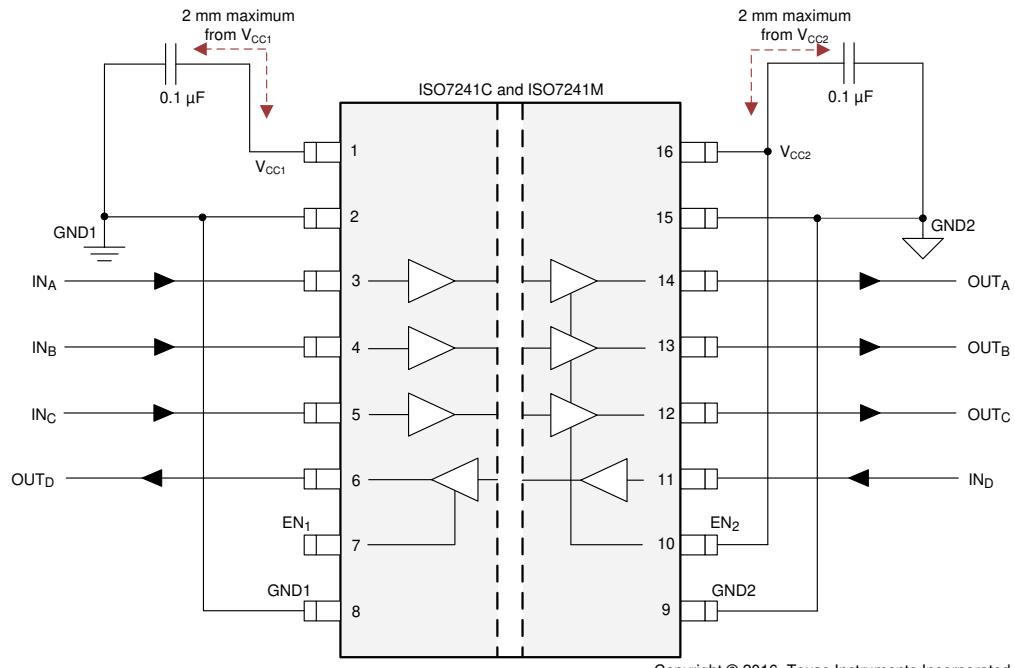


図 8-4. ISO7241x の標準の回路接続図

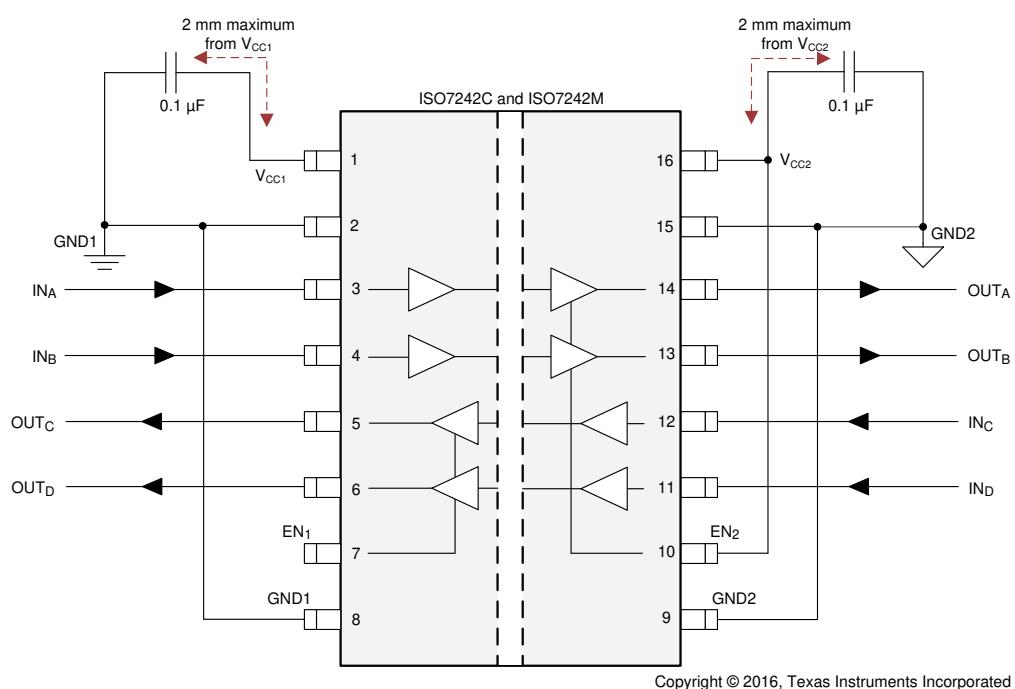
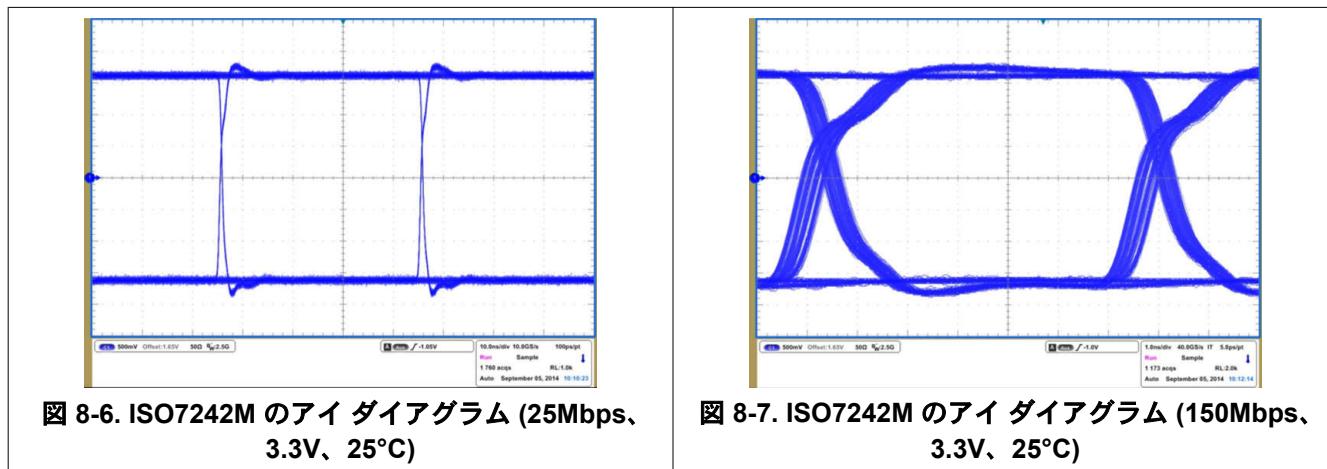


図 8-5. ISO7242x の標準の回路接続図

### 8.2.1.3 アプリケーション曲線



### 8.2.2 16 入力のアナログ入力モジュール向け絶縁型 SPI

ISO7241x デバイス ファミリおよびテキサス インスツルメントの他のいくつかの部品を使用して、16 入力の入力モジュール用の絶縁型 SPI を構築できます。

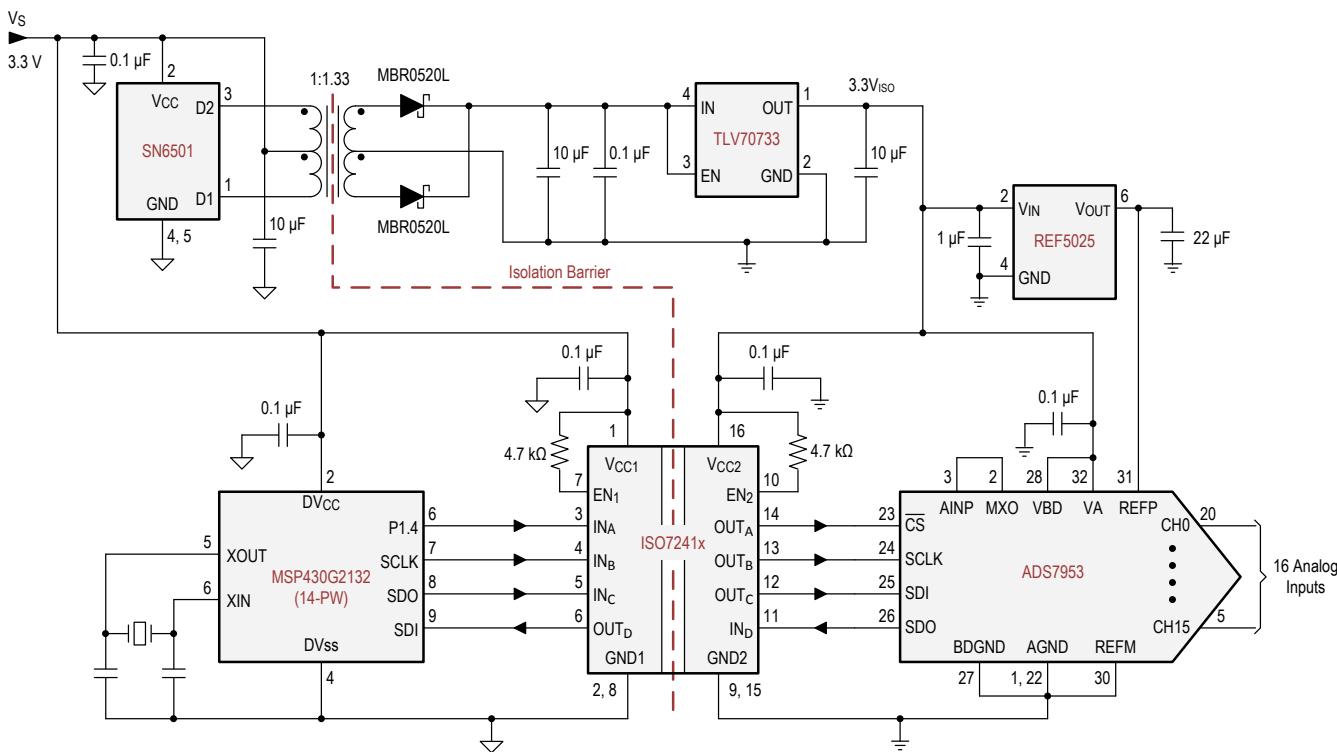


図 8-8. 16 入力のアナログ入力モジュール向け絶縁型 SPI

#### 8.2.2.1 設計要件

セクション 8.2.1 の [設計要件](#) を参照してください。

#### 8.2.2.2 詳細な設計手順

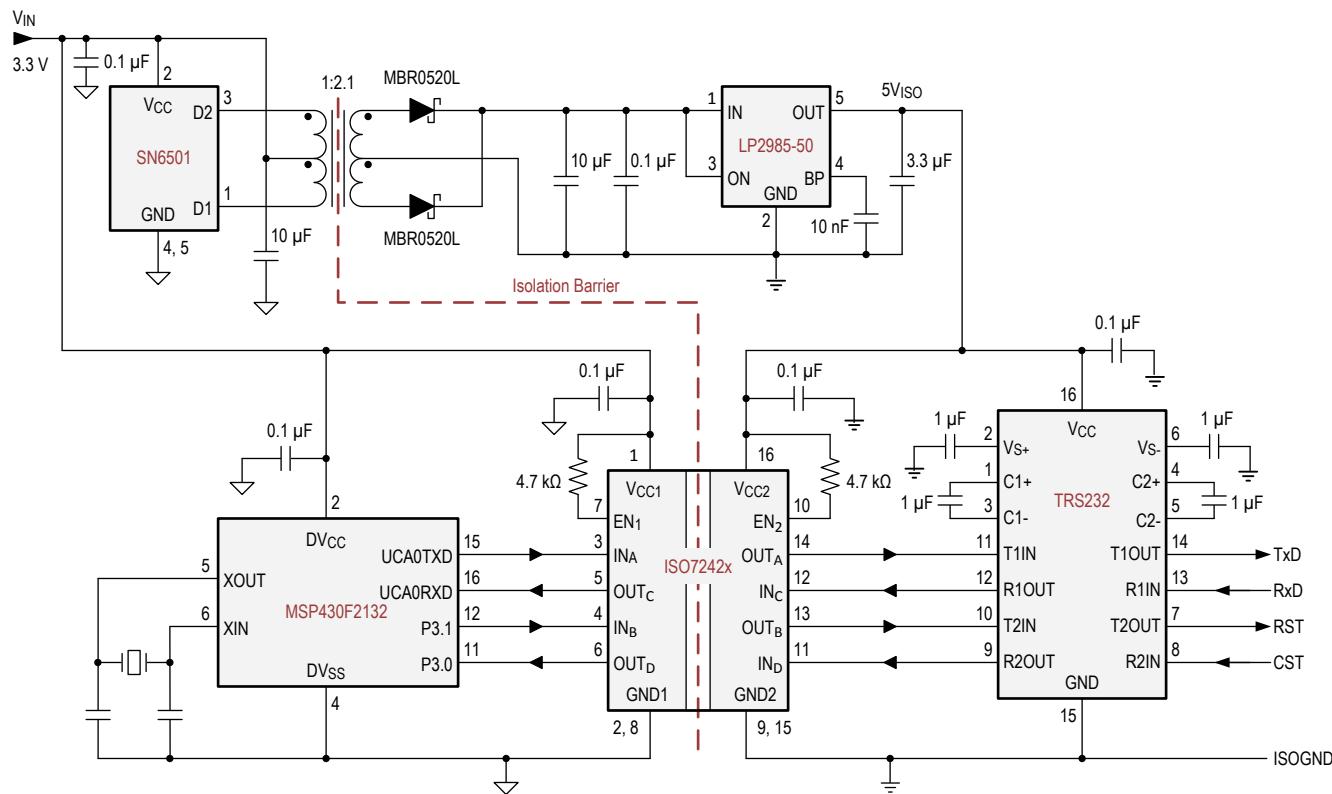
セクション 8.2.1 内の [詳細な設計手順](#) を参照してください。

### 8.2.2.3 アプリケーション曲線

セクション 8.2.1 の アプリケーション曲線を参照してください。

### 8.2.3 絶縁型 RS-232 インターフェイス

図 8-9 に、代表的な絶縁型 RS-232 インターフェイスの実装を示します。



Copyright © 2016, Texas Instruments Incorporated

図 8-9. 絶縁型 RS-232 インターフェイス

#### 8.2.3.1 設計要件

セクション 8.2.1 の 設計要件を参照してください。

#### 8.2.3.2 詳細な設計手順

セクション 8.2.1 内の 詳細な設計手順を参照してください。

#### 8.2.3.3 アプリケーション曲線

セクション 8.2.1 の アプリケーション曲線を参照してください。

### 8.3 電源に関する推奨事項

データ レートおよび電源電圧での信頼性の高い動作を確保するため、入力および出力電源ピン (VCC1 および VCC2) に  $0.1\mu F$  のバイパス コンデンサを推奨します。コンデンサは、電源ピンのできるだけ近くに配置する必要があります。アプリケーションで使用できる 1 次側電源が 1 つだけの場合は、テキサス インスツルメントの SN6501 デバイスなどのトランジスト ドライバを使用して、2 次側用の絶縁型電源を生成できます。このようなアプリケーションについては、『SN6501 絶縁電源用の変圧器ドライバ』に、詳細な電源設計とトランジスト選択に関する推奨事項が記載されています。

## 8.4 レイアウト

### 8.4.1 レイアウトのガイドライン

低 EMI の PCB 設計を実現するには、少なくとも 4 層が必要です (図 8-10 を参照)。層の構成は、上層から下層に向かって、高速信号層、グランドプレーン、電源プレーン、低周波数信号層の順に配置する必要があります。

- 上層に高速パターンを配線することにより、ビアの使用 (およびそれに伴うインダクタンスの発生) を避けて、データリンクのトランスマッタおよびレシーバ回路とアイソレータとの間のクリーンな相互接続が可能になります。
- 高速信号層の次の層に、ベタのグランドプレーンを配置することにより、伝送ライン接続のインピーダンスを制御し、リターン電流のための優れた低インダクタンスパスを実現します。
- グランドプレーンの次の層に、電源プレーンを配置すると、高周波バイパス容量を約  $100 \text{ pF/in}^2$  増加させることができます。
- 最下層に低速の制御信号を配線すると、これらの信号リンクには一般的に、ビアのような不連続性を許容するマージンがあるため、高い柔軟性が得られます。

電源プレーンまたは信号層の追加が必要な場合は、対称性を保つために、第 2 の電源系統またはグランドプレーン系統を層構成に追加します。これにより、基板の層構成は機械的に安定し、反りを防ぎます。また、各電源系統の電源プレーンとグランドプレーンを互いに近づけて配置できるため、高周波バイパス容量を大幅に増やすことができます。

レイアウトの推奨事項の詳細については、『[デジタルアイソレータ設計ガイド](#)』を参照してください。

#### 8.4.1.1 PCB 材料

150Mbps 未満で動作する場合 (または、立ち上がり立ち下がり時間が 1ns 超)、およびトレース長が 10 インチ未満の場合のデジタル回路基板には、標準の FR-4 UL94V-0 プリント基板を使用します。この PCB は、高周波での誘電損失の低減、吸湿性の低減、強度と剛性の向上、および自己消火性の特性により、安価な代替品よりも推奨されます。

#### 8.4.2 レイアウト例

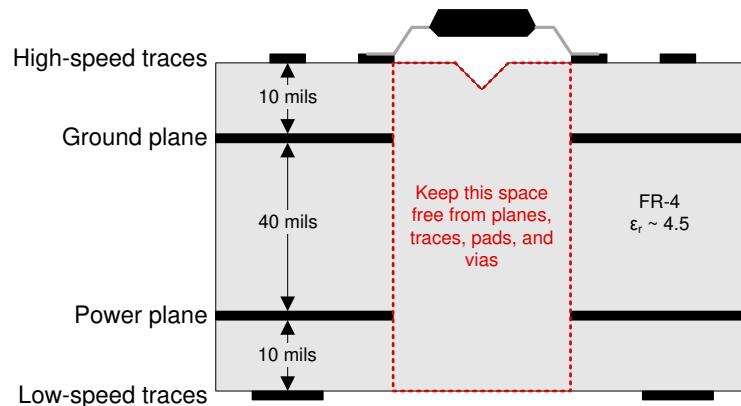


図 8-10. 推奨されるレイヤ・スタック

## 9 デバイスおよびドキュメントのサポート

### 9.1 ドキュメントのサポート

#### 9.1.1 関連資料

関連資料については、以下を参照してください。

- ・『デジタルアイソレータデザインガイド』
- ・『絶縁の用語集』

### 9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、[www.tij.co.jp](http://www.tij.co.jp) のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

### 9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

### 9.4 商標

Profibus™ is a trademark of Profibus.

DeviceNet™ is a trademark of Open DeviceNet Vendors Association.

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

### 9.5 静電気放電に関する注意事項

 この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

### 9.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

## 10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision V (February 2025) to Revision W (October 2025)	Page
・ 絶縁仕様表で誤字や誤記を修正。.....	6
・ 安全関連認証セクションの 2 行目の 3 か所すべてで「認定済み」を持つ「認証計画」を変更.....	6
・ 「証明書計画中」を「基本認証:40047657」に VDE 列で変更し、「マスタ契約番号:CSA 列に 220991」、「ファイル番号:E181974 を、安全関連認証セクションで UL 列に変更.....	6

<b>Changes from Revision U (October 2024) to Revision V (February 2025)</b>	<b>Page</b>
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1

---

<b>Changes from Revision T (March 2017) to Revision U (October 2024)</b>	<b>Page</b>
• ドキュメント全体を通して容量性絶縁から絶縁バリアに参照を更新.....	1
• ドキュメント全体で VDE V 0884-11 を DIN VDE 0884-17 に更新.....	1
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• 熱特性、安全限界値、熱軽減曲線を更新し、より正確なシステムレベルの熱計算を提供.....	7
• デバイスの性能に合わせて電気的特性およびスイッチング特性を更新.....	10

---

<b>Changes from Revision S (April 2016) to Revision T (March 2017)</b>	<b>Page</b>
• 絶縁仕様の表に $100^{\circ}\text{C} \leq T_A \leq 125^{\circ}\text{C}$ の絶縁抵抗を追加.....	8
• 安全関連認証表で、VDE から最大過渡過電圧を削除.....	8
• ドキュメント更新の通知を受け取る方法およびコミュニティリソースのセクションを追加.....	30

## 11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISO7240CDW	Obsolete	Production	SOIC (DW)   16	-	-	Call TI	Call TI	-40 to 125	ISO7240C
ISO7240CDWR	Active	Production	SOIC (DW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO7240C
ISO7240CDWR.A	Active	Production	SOIC (DW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO7240C
ISO7240CFDW	Obsolete	Production	SOIC (DW)   16	-	-	Call TI	Call TI	-40 to 125	ISO7240CF
ISO7240CFDWR	Active	Production	SOIC (DW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO7240CF
ISO7240CFDWR.A	Active	Production	SOIC (DW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO7240CF
ISO7240MDW	Obsolete	Production	SOIC (DW)   16	-	-	Call TI	Call TI	-40 to 125	ISO7240M
ISO7240MDWR	Active	Production	SOIC (DW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO7240M
ISO7240MDWR.A	Active	Production	SOIC (DW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO7240M
ISO7240MDWRG4	Active	Production	SOIC (DW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO7240M
ISO7241CDW	Obsolete	Production	SOIC (DW)   16	-	-	Call TI	Call TI	-40 to 125	ISO7241C
ISO7241CDWR	Active	Production	SOIC (DW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO7241C
ISO7241CDWR.A	Active	Production	SOIC (DW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO7241C
ISO7241CDWRG4	Active	Production	SOIC (DW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO7241C
ISO7241MDW	Obsolete	Production	SOIC (DW)   16	-	-	Call TI	Call TI	-40 to 125	ISO7241M
ISO7241MDWR	Active	Production	SOIC (DW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO7241M
ISO7241MDWR.A	Active	Production	SOIC (DW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO7241M
ISO7241MDWRG4	Active	Production	SOIC (DW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO7241M
ISO7242CDW	Obsolete	Production	SOIC (DW)   16	-	-	Call TI	Call TI	-40 to 125	ISO7242C
ISO7242CDWR	Active	Production	SOIC (DW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO7242C
ISO7242CDWR.A	Active	Production	SOIC (DW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO7242C
ISO7242MDW	Obsolete	Production	SOIC (DW)   16	-	-	Call TI	Call TI	-40 to 125	ISO7242M
ISO7242MDWR	Active	Production	SOIC (DW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO7242M
ISO7242MDWR.A	Active	Production	SOIC (DW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO7242M
ISO7242MDWRG4	Active	Production	SOIC (DW)   16	2000   LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO7242M

<sup>(1)</sup> **Status:** For more details on status, see our [product life cycle](#).

<sup>(2)</sup> **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

<sup>(3)</sup> **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

<sup>(4)</sup> **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

<sup>(5)</sup> **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

<sup>(6)</sup> **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

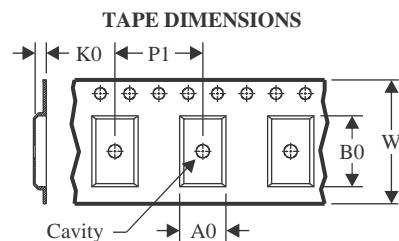
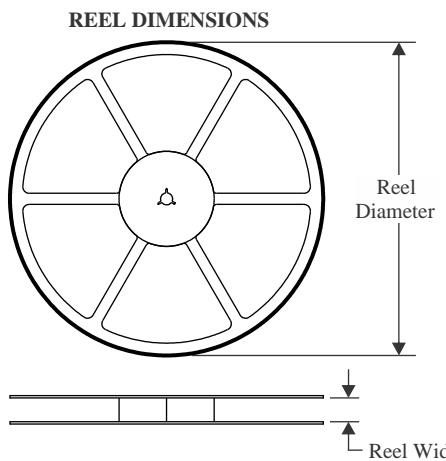
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF ISO7240CF, ISO7241C, ISO7242C :**

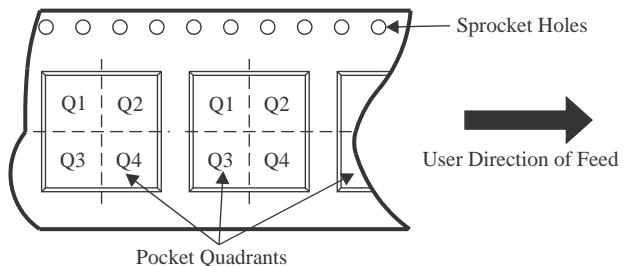
- Automotive : [ISO7240CF-Q1](#), [ISO7241C-Q1](#), [ISO7242C-Q1](#)

**NOTE: Qualified Version Definitions:**

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

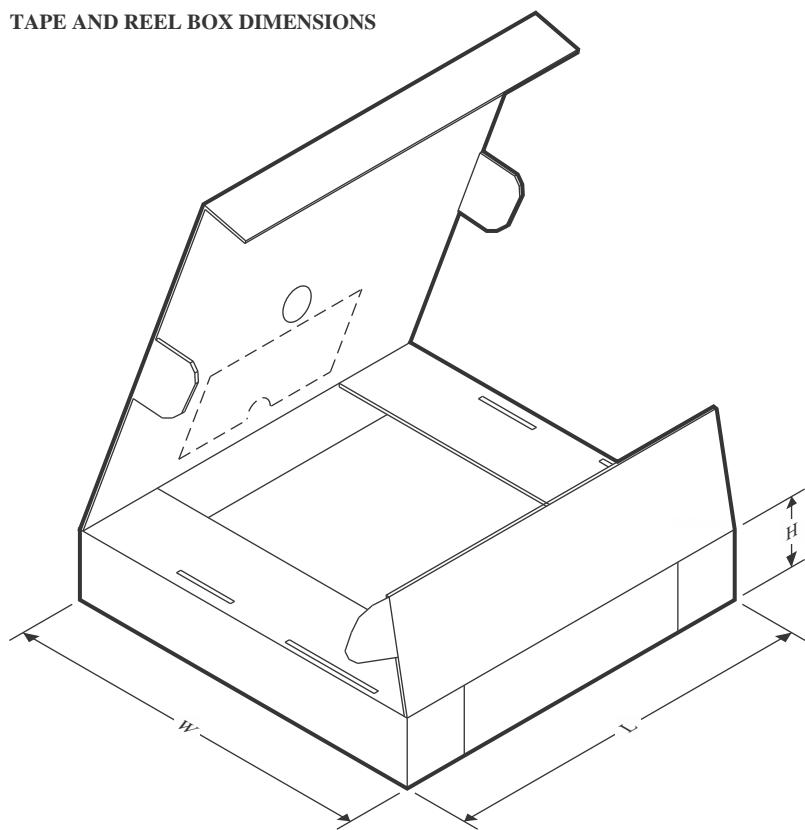
**TAPE AND REEL INFORMATION**


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO7240CDWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO7240CFDWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO7240MDWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO7241CDWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO7241MDWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO7242CDWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO7242MDWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO7240CDWR	SOIC	DW	16	2000	350.0	350.0	43.0
ISO7240CFDWR	SOIC	DW	16	2000	350.0	350.0	43.0
ISO7240MDWR	SOIC	DW	16	2000	350.0	350.0	43.0
ISO7241CDWR	SOIC	DW	16	2000	350.0	350.0	43.0
ISO7241MDWR	SOIC	DW	16	2000	350.0	350.0	43.0
ISO7242CDWR	SOIC	DW	16	2000	350.0	350.0	43.0
ISO7242MDWR	SOIC	DW	16	2000	350.0	350.0	43.0

# GENERIC PACKAGE VIEW

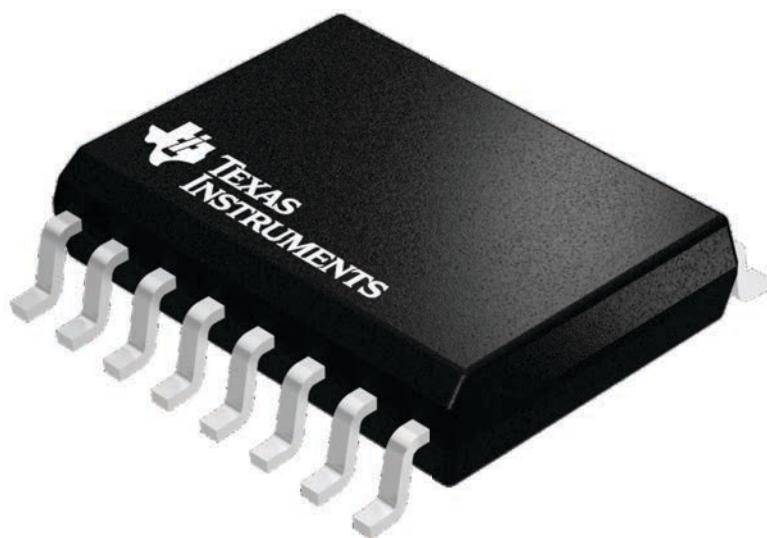
**DW 16**

**SOIC - 2.65 mm max height**

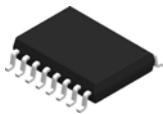
**7.5 x 10.3, 1.27 mm pitch**

**SMALL OUTLINE INTEGRATED CIRCUIT**

This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4224780/A

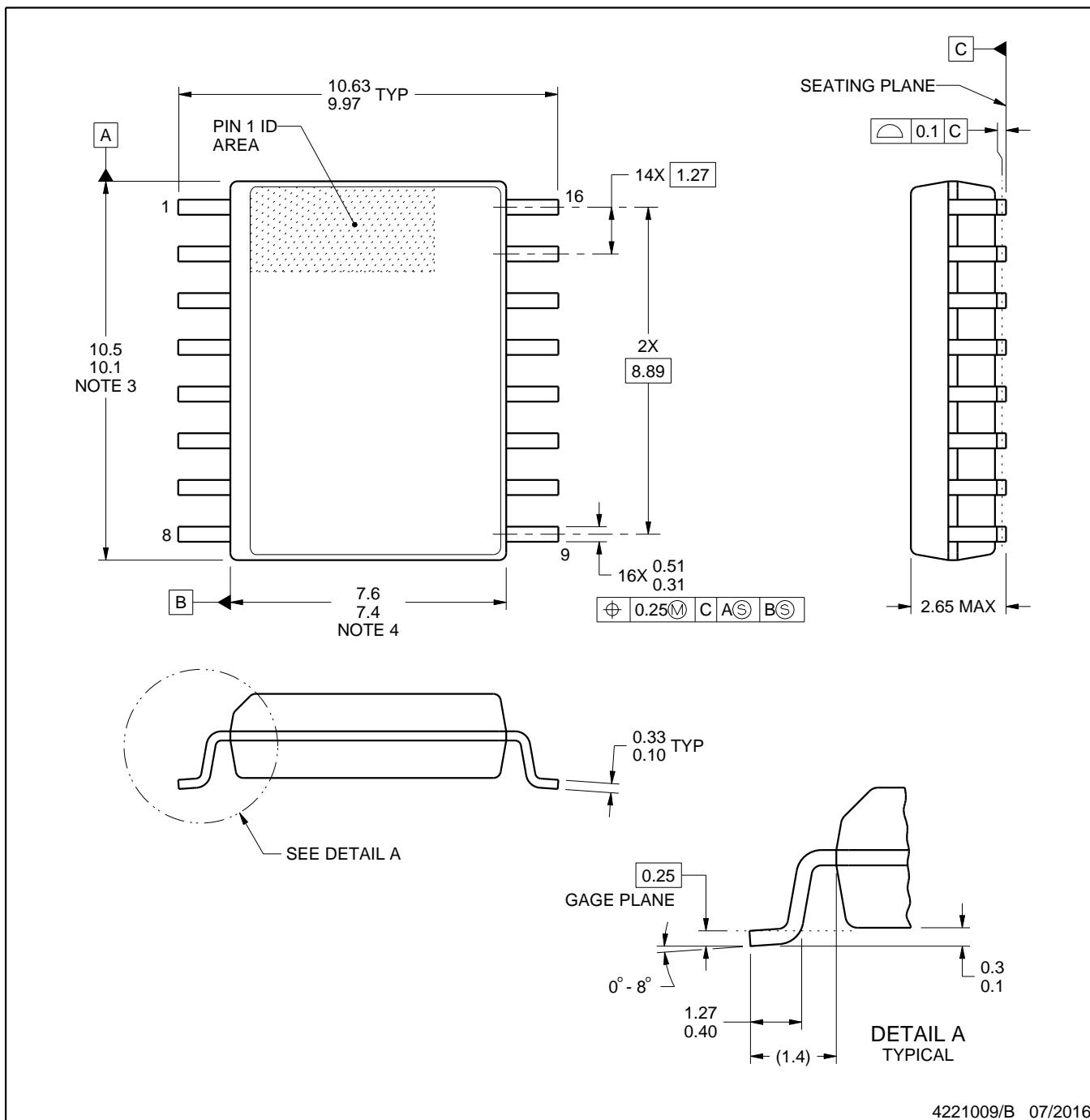


## PACKAGE OUTLINE

**DW0016B**

## SOIC - 2.65 mm max height

SOIC



4221009/B 07/2016

## NOTES:

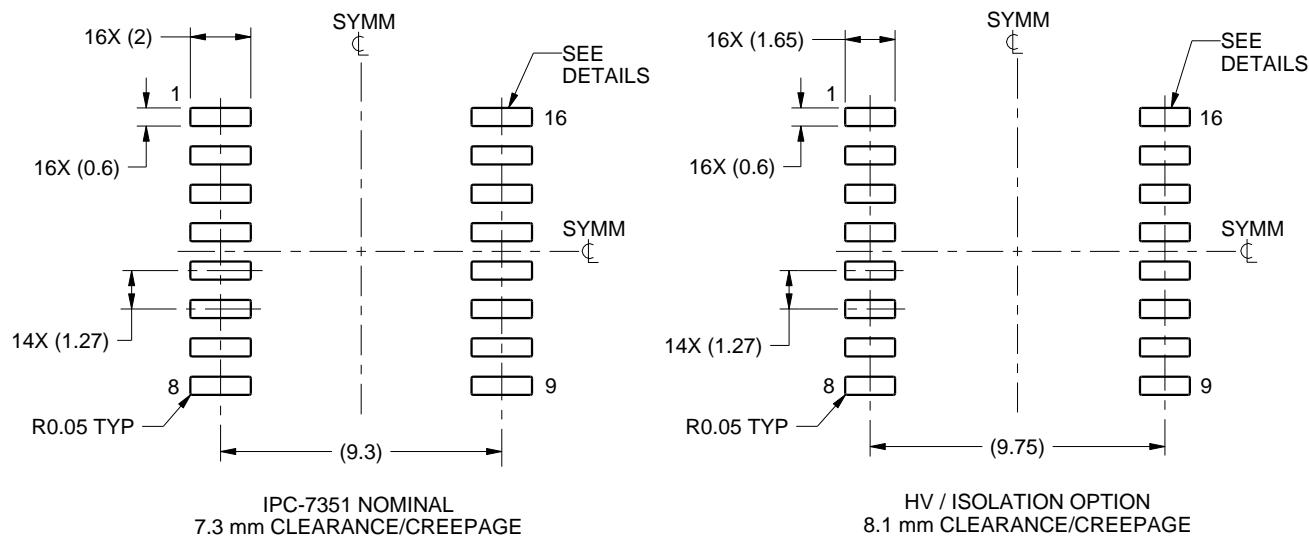
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

# EXAMPLE BOARD LAYOUT

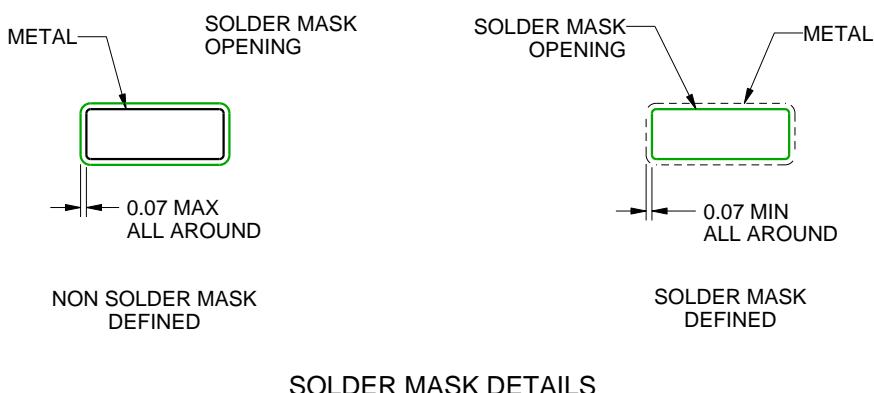
DW0016B

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE  
SCALE:4X



4221009/B 07/2016

NOTES: (continued)

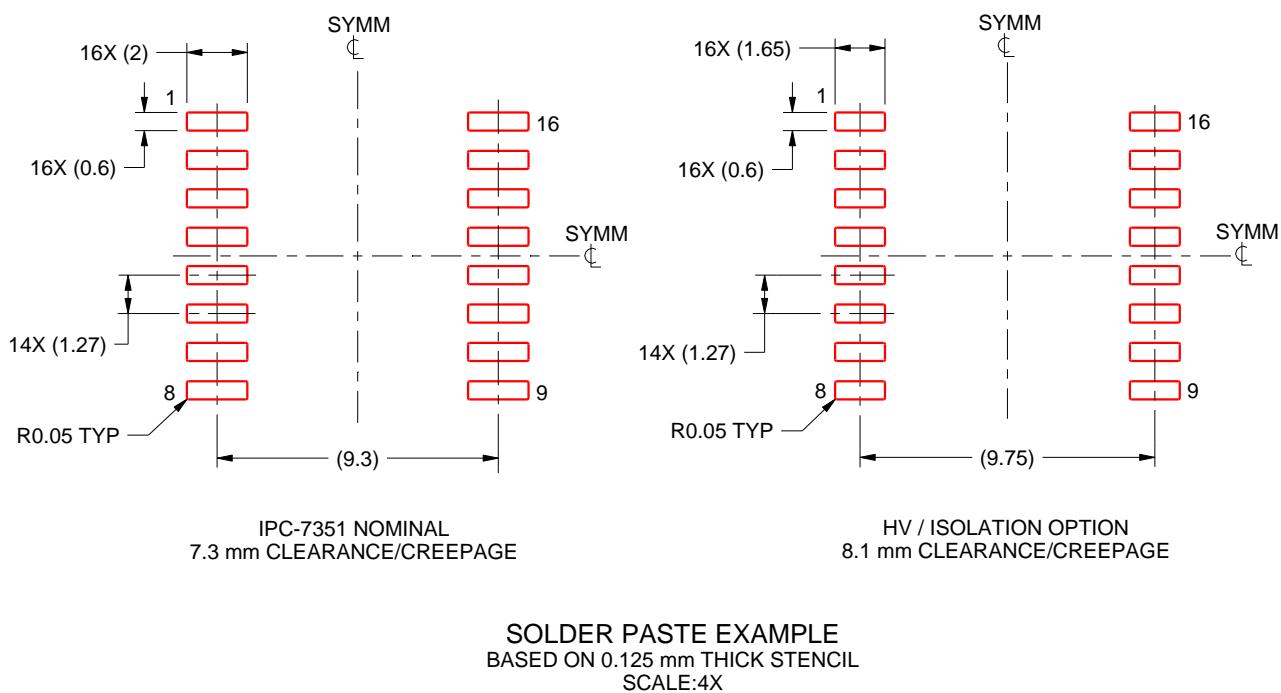
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

DW0016B

SOIC - 2.65 mm max height

SOIC



4221009/B 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の默示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または默示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したもので、(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月