# ISO772x-Q1 高速、堅牢な EMC 強化型デュアル・チャネル・デジタル・アイソレータ

## 1 特長

- 車載アプリケーション向けに認定済み
- 下記内容で AEC-Q100 認定済み:
  - デバイス温度グレード 1:動作時周囲温度範囲:-40℃～+125℃
  - デバイス HBM ESD 分類レベル 3A
  - デバイス CDM ESD 分類レベル C6
- 機能安全対応
  - 機能安全システムの設計に役立つ資料を利用可能:ISO7720-Q1、ISO7721-Q1
- 100Mbps のデータ レート
- 堅牢な絶縁バリア:
  - 1.5kV$_{RMS}$ の動作電圧で 30 年を超える予測寿命
  - 最高 5000V$_{RMS}$ の絶縁定格
  - 最高 12.8kV のサージ耐量
  - CMTI:±100kV/μs (標準値)
- 広い電源電圧範囲:2.25V～5.5V
- 2.25V / 5.5V レベル変換
- デフォルト出力が High (ISO772x) と Low (ISO772xF) のオプション
- 低消費電力:1Mbps でチャネルごとに標準値 1.7mA
- 小さい伝搬遅延時間:11ns (標準値)
- 堅牢な電磁気互換性 (EMC)
  - システム レベルでの ESD、EFT、サージ耐性
  - 絶縁バリアの両側で ±8kV の IEC 61000-4-2 接触放電保護
  - 低い放射
- ワイド SOIC (DW-16、DWV-8) およびナロー SOIC (D-8) パッケージ オプション
- 安全関連認証
  - DIN EN IEC 60747-17 (VDE 0884-17) に準拠した強化絶縁
  - UL 1577 部品認定プログラム
  - IEC 62368-1、IEC 61010-1、IEC 60601-1、GB 4943.1 認定

## 2 アプリケーション

- ハイブリッド、電気自動車、およびパワートレイン・システム (EV/HEV)
  - バッテリ管理システム (BMS)
  - オンボード充電器
  - トラクション・インバータ
  - DC/DC コンバータ
  - インバータおよびモーター制御

## 3 概要

ISO772x-Q1 デバイスは、高性能のデュアル チャネル デジタル アイソレータであり、UL 1577 準拠で 5000V$_{RMS}$ (DW および DWV パッケージ) および 3000V$_{RMS}$ (D パッケージ) の絶縁定格を備えています。このファミリには、VDE、CSA、TUV、CQC に準拠した強化絶縁定格を持つデバイスが含まれています。

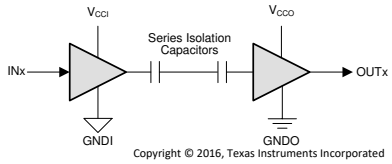
ISO772x-Q1 デバイスは電磁気耐性が高く、放射が低く、低消費電力を実現し、CMOS または LVCMOS デジタル I/O が絶縁されています。それぞれの絶縁チャネルにはロジック入力および出力バッファがあり、二重の容量性二酸化ケイ素 ($SiO_2$) 絶縁バリアによって分離されています。ISO7720-Q1 デバイスでは 2 つのチャネルが同じ方向で、ISO7721-Q1 デバイスでは 2 つのチャネルが逆方向です。入力電力または入力信号が失われた場合のデフォルト出力は、接尾辞 F のないデバイスでは High、接尾辞 F のあるデバイスでは Low です。詳細は「デバイスの機能モード」のセクションを参照してください。

これらのデバイスを絶縁電源と組み合わせて使用することで、CAN、LIN などのデータ バスのノイズ電流によって敏感な回路が損傷を受けることを防止できます。革新的なチップ設計およびレイアウト技法により、ISO772x-Q1 デバイスは電磁気互換性が大幅に強化されているため、システム レベルの ESD、EFT、サージ、および放射のコンプライアンスを容易に達成できます。ISO772x-Q1 ファミリのデバイスは、幅広の 16 ピン SOIC (DW)、幅広の 8 ピン SOIC (DWV)、および細型の 8 ピン SOIC (D) のパッケージで供給されます。

**製品情報**

| 部品番号 (1) | パッケージ | 本体サイズ (公称) |
|---|---|---|
| ISO7720-Q1<br>ISO7721-Q1 | D (8) | 4.90mm × 3.91mm |
| | DW (16) | 10.30mm × 7.50mm |
| | DWV (8) | 5.85mm × 7.50mm |

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。




$V_{CCI}$=入力電源、$V_{CCO}$=出力電源
GNDI=入力グランド、GNDO=出力グランド

**概略回路図**

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

# 目次

**1 特長**.....1
**2 アプリケーション**.....1
**3 概要**.....1
**4 改訂履歴**.....2
**5 ピン構成および機能**.....4
**6 仕様**.....6
6.1 絶対最大定格.....6
6.2 ESD 定格.....6
6.3 推奨動作条件.....7
6.4 熱に関する情報.....8
6.5 電力定格.....8
6.6 絶縁仕様.....9
6.7 安全関連認証.....11
6.8 安全限界値.....11
6.9 電気的特性—5V 電源.....13
6.10 消費電流特性 — 5V 電源.....13
6.11 電気的特性 — 3.3V 電源.....14
6.12 消費電流特性 — 3.3V 電源.....14
6.13 電気的特性 — 2.5V 電源.....15
6.14 消費電流特性 — 2.5V 電源.....15
6.15 スイッチング特性— 5V 電源.....16
6.16 スイッチング特性 — 3.3V 電源.....16
6.17 スイッチング特性 — 2.5V 電源.....17
6.18 絶縁特性曲線.....18
6.19 代表的特性.....19
**7 パラメータ測定情報**.....21
**8 詳細説明**.....22
8.1 概要.....22
8.2 機能ブロック図.....22
8.3 機能説明.....23
8.4 デバイスの機能モード.....24
**9 アプリケーションと実装**.....26
9.1 アプリケーション情報.....26
9.2 代表的なアプリケーション.....26
**10 電源に関する推奨事項**.....30
**11 レイアウト**.....31
11.1 レイアウトのガイドライン.....31
11.2 レイアウト例.....31
**12 デバイスおよびドキュメントのサポート**.....32
12.1 デバイス サポート.....32
12.2 ドキュメントのサポート.....32
12.3 関連リンク.....32
12.4 ドキュメントの更新通知を受け取る方法.....32
12.5 サポート・リソース.....32
12.6 商標.....32
12.7 静電気放電に関する注意事項.....33
12.8 用語集.....33
**13 メカニカル、パッケージ、および注文情報**.....33
13.1 付録：パッケージ オプション.....37
13.2 テープおよびリール情報.....39

## 4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

**Changes from Revision B (October 2020) to Revision C (December 2023)** **Page**

- ドキュメント全体を通して標準名を以下のように変更：「DIN V VDE V 0884-11:2017-01」から「DIN EN IEC 60747-17 (VDE 0884-17)」.....1
- ドキュメント全体を通して、IEC/EN/CSA 60950-1 規格への参照を削除.....1
- ドキュメント全体を通して、すべての標準名から標準リビジョンおよび年への参照を削除.....1
- ドキュメント全体にわたって表、図、相互参照の採番方法を更新。.....1
- 熱特性、安全限界値、熱軽減曲線を更新し、より正確なシステム レベルの熱計算を提供.....6
- デバイスの性能に合わせて電気的特性およびスイッチング特性を更新.....6
- D パッケージの耐候性カテゴリを更新.....9
- DW-16 および D-8 の最大動作電圧を更新.....11
- DIN EN IEC 60747-17 (VDE 0884-17) に準拠して、動作電圧の寿命マージンを 87.5% から 50%、必要な最小絶縁寿命を 37.5 年から 30 年、TDDB あたりの絶縁寿命を 135 年から 169 年に変更.....28
- DIN EN IEC 60747-17 (VDE 0884-17) に準拠して 図 9-6 を変更.....28

**Changes from Revision A (April 2020) to Revision B (October 2020)** **Page**

- 機能安全の箇条書き項目を追加.....1
- TUV 列に D-8 の値を追加.....11


Copyright © 2024 Texas Instruments Incorporated

- ドキュメントを通して CMTI 最小値を 40kV/µs から 85kV/µs に変更 ..... 13

**Changes from Revision * (March 2016) to Revision A (April 2020)** **Page**

- ドキュメント全体を通して編集上および体裁上の変更を実施 ..... 1
- 以下のように変更:「絶縁バリアの寿命:40 年超」をセクション 1 で「1.5kV$_{RMS}$ の動作電圧で 100 年を超える予測寿命」に変更 ..... 1
- セクション 1 に「最大 5000V$_{RMS}$ の絶縁定格」を追加 ..... 1
- セクション 1 に「最大 12.8kV のサージ能力」を追加 ..... 1
- セクション 1 に「絶縁バリアの両側で ±8kV の IEC 61000-4-2 接触放電保護」を追加 ..... 1
- セクション 1 の認定関連の箇条書き項目を更新し、ドキュメント全体を通して、VDE 標準名を「DIN V VDE V 0884-10 (VDE V 0884-10):2006-12」から「DIN VDE V 0884-11:2017-01」に変更 ..... 1
- セクション 2 の一覧を更新 ..... 1
- 「図 3-1」を、単一の絶縁コンデンサの代わりに、チャネルごとに直列の 2 つの絶縁コンデンサを示すよう更新 ..... 1
- 耐候性カテゴリを表に追加 ..... 9
- CSA の列を更新し、DW パッケージを (DW-16) に変更 ..... 11
- ドキュメント全体を通して、$t_{ie}$ TYP 値を 1.5 から 1 に変更 ..... 16
- 「Low レベル出力電圧と Low レベル出力電流との関係」グラフで「低レベル出力」で、$V_{CC}$ のライン カラーを 2.5V、$V_{CC}$ のライン カラーを 3.3V で切り替えました ..... 19
- 「同相過渡耐性テスト回路」図から EN を削除 ..... 21
- セクション 8.4.1 の「入力 (F 接尾辞付きのデバイス)」のグランド記号を訂正 ..... 25
- セクション 9.2.3 セクションの下に セクション 9.2.3.1 サブセクションを追加 ..... 28
- 『産業用システムで ESD、EFT、サージの耐性を改善する目的で絶縁を使用する方法』アプリケーション レポートをセクション 12.2 セクションに追加 ..... 32

# 5 ピン構成および機能

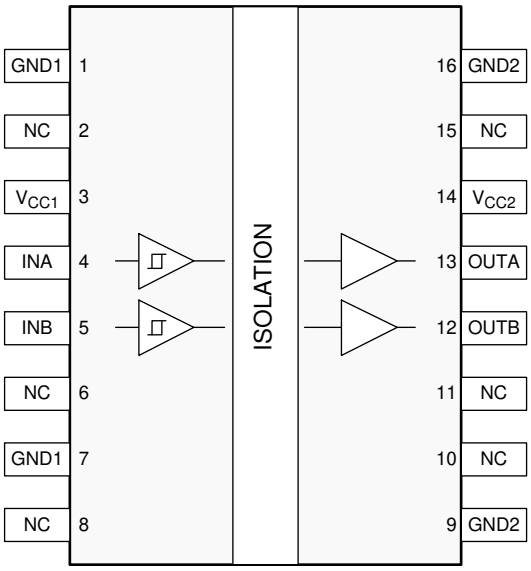



図 5-1. ISO7720-Q1 DW パッケージ 16 ピン SOIC 上面図

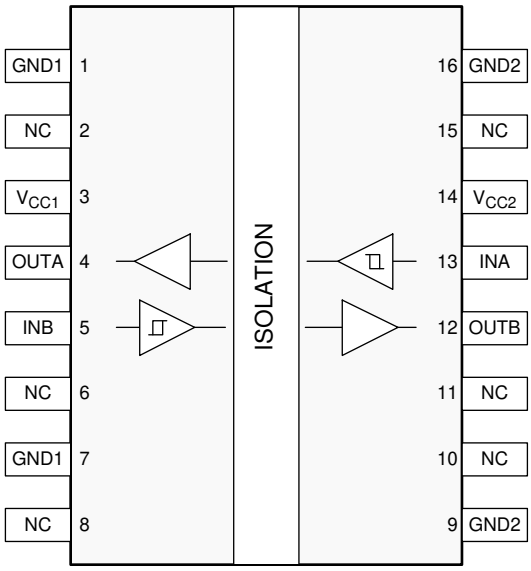



図 5-2. ISO7721-Q1 DW パッケージ 16 ピン SOIC 上面図

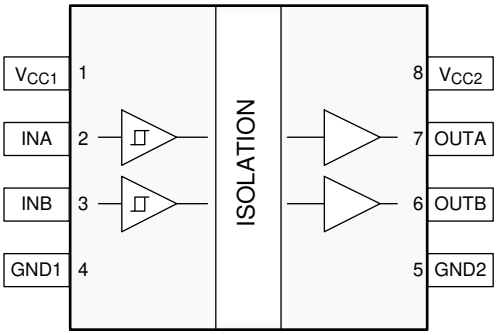



図 5-3. ISO7720-Q1 D および DWV パッケージ 8 ピン SOIC 上面図

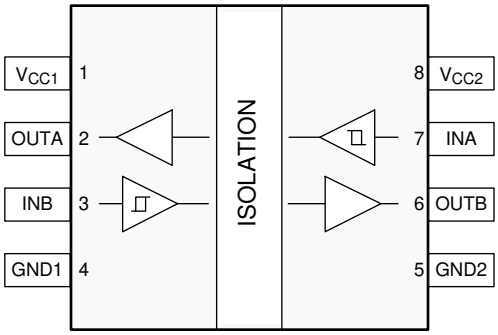



図 5-4. ISO7721-Q1 D および DWV パッケージ 8 ピン SOIC 上面図

表 5-1. ピンの機能

| ピン | | | | | I/O | 説明 |
|---|---|---|---|---|---|---|
| 名称 | DW パッケージ | | D、DWV パッケージ | | | |
| | ISO7720-Q1 | ISO7721-Q1 | ISO7720-Q1 | ISO7721-Q1 | | |
| GND1 | 1、7 | 1、7 | 4 | 4 | — | $V_{CC1}$ のグランド接続 |
| GND2 | 9 | 9 | 5 | 5 | — | $V_{CC2}$ のグランド接続 |
| | 16 | 16 | | | | |
| INA | 4 | 13 | 2 | 7 | I | 入力、チャネル A |
| INB | 5 | 5 | 3 | 3 | I | 入力、チャネル B |
| NC | 2、6、8、10、11、15 | 2、6、8、10、11、15 | — | — | — | 未接続 |
| OUTA | 13 | 4 | 7 | 2 | O | 出力、チャネル A |
| OUTB | 12 | 12 | 6 | 6 | O | 出力、チャネル B |
| $V_{CC1}$ | 3 | 3 | 1 | 1 | — | 電源、$V_{CC1}$ |


Copyright © 2024 Texas Instruments Incorporated

**表 5-1. ピンの機能 (続き)**

| ピン | | | | | I/O | 説明 |
|---|---|---|---|---|---|---|
| 名称 | DW パッケージ | | D、DWV パッケージ | | | |
| | ISO7720-Q1 | ISO7721-Q1 | ISO7720-Q1 | ISO7721-Q1 | | |
| $V_{CC2}$ | 14 | 14 | 8 | 8 | — | 電源、$V_{CC2}$ |

# 6 仕様

## 6.1 絶対最大定格

(1) を参照

| | | 最小値 | 最大値 | 単位 |
|---|---|---|---|---|
| $V_{CC1}$、$V_{CC2}$ | 電源電圧(2) | -0.5 | 6 | V |
| V | INx および OUTx の電圧 | -0.5 | $V_{CCX}$ + 0.5 (3) | V |
| $I_O$ | 出力電流 | -15 | 15 | mA |
| $T_J$ | 接合部温度 | | 150 | ℃ |
| $T_{stg}$ | 保管温度 | -65 | 150 | ℃ |

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみに関するものであり、絶対最大定格において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
(2) 差動 I/O バス電圧を除くすべての電圧値は、ローカル グランド ピン (GND1 または GND2) を基準としており、ピーク電圧値です。
(3) 最大電圧は 6V 以下である必要があります。

## 6.2 ESD 定格

| | | | 値 | 単位 |
|---|---|---|---|---|
| $V_{ESD}$ | 静電放電 | 人体モデル (HBM)、AEC Q100-002 に準拠 (1) | ±6000 | V |
| | | デバイス帯電モデル (CDM)、AEC Q100-011 準拠 | ±1500 | |
| | | IEC 61000-4-2 準拠の接触放電、絶縁バリア耐性試験(2) (3) | ±8000 | |

(1) AEC Q100-002 では、HBM ストレスは ANSI/ESDA/JEDEC JS-001 仕様に準拠しなければならないと規定しています。
(2) IEC 試験では、バリアのそれぞれの側にあるすべてのピンを互いに接続して 2 つの端子を持つデバイスを構成し、バリアをはさんで ESD 衝撃を印加します。
(3) テストは、デバイスの固有接触放電能力を判定するため、気中または油中で実行されます。


Copyright © 2024 Texas Instruments Incorporated

## 6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

| | | | 最小値 | 公称値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $V_{CC1}$、$V_{CC2}$ (1) | 電源電圧 | | 2.25 | | 5.5 | V |
| $V_{CC(UVLO+)}$ | 電源電圧が上昇しているときの UVLO スレッショルド | | | 2 | 2.25 | V |
| $V_{CC(UVLO-)}$ | 電源電圧が下降しているときの UVLO スレッショルド | | 1.7 | 1.8 | | V |
| $V_{HYS(UVLO)}$ | 電源電圧 UVLO ヒステリシス | | 100 | 200 | | mV |
| $I_{OH}$ | High レベル入力電流 | $V_{CCO}$ = 5V (2) | -4 | | | mA |
| | | $V_{CCO}$ = 3.3V | -2 | | | |
| | | $V_{CCO}$ = 2.5V | -1 | | | |
| $I_{OL}$ | Low レベル入力電流 | $V_{CCO}$ = 5V | | | 4 | mA |
| | | $V_{CCO}$ = 3.3V | | | 2 | |
| | | $V_{CCO}$ = 2.5V | | | 1 | |
| $V_{IH}$ | High レベル入力電圧 | | 0.7 × $V_{CCI}$ (2) | | $V_{CCI}$ | V |
| $V_{IL}$ | Low レベル入力電圧 | | 0 | | 0.3 × $V_{CCI}$ | V |
| DR(3) | データ レート | | 0 | | 100 | Mbps |
| $T_A$ | 周囲温度 | | -55 | 25 | 125 | ℃ |

(1) $V_{CC1}$ と $V_{CC2}$ は、互いに独立して設定できます
(2) $V_{CCI}$ = 入力側 $V_{CC}$、$V_{CCO}$ = 出力側 $V_{CC}$
(3) 100Mbps は規定された最大データ レートですが、より高いデータ レートも可能です

## 6.4 熱に関する情報

| 熱評価基準 (1) | | ISO772x-Q1 | | | 単位 |
|---|---|---|---|---|---|
| | | DW (SOIC) | DWV (SOIC) | D (SOIC) | |
| | | 16 ピン | 16 ピン | 8 ピン | |
| $R_{\theta JA}$ | 接合部から周囲への熱抵抗 | 86.5 | 84.3 | 137.7 | °C/W |
| $R_{\theta JC(top)}$ | 接合部からケース (上面) への熱抵抗 | 49.6 | 36.3 | 54.9 | °C/W |
| $R_{\theta JB}$ | 接合部から基板への熱抵抗 | 49.7 | 47.0 | 71.7 | °C/W |
| $\psi_{JT}$ | 接合部から上面への特性パラメータ | 32.3 | 7.4 | 7.1 | °C/W |
| $\psi_{JB}$ | 接合部から基板への特性パラメータ | 49.2 | 45.1 | 70.7 | °C/W |
| $R_{\theta JC(bot)}$ | 接合部からケース (底面) への熱抵抗 | — | — | — | °C/W |

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

## 6.5 電力定格

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| **ISO7720-Q1** | | | | | | |
| $P_D$ | 最大消費電力 (両サイド) | $V_{CC1}$ = $V_{CC2}$ = 5.5V、$T_J$ = 150℃、$C_L$ = 15pF、50MHz 50% デューティ サイクルの方形波を入力 | | | 110 | mW |
| $P_{D1}$ | 最大消費電力 (サイド 1) | | | | 22 | mW |
| $P_{D2}$ | 最大消費電力 (サイド 2) | | | | 88 | mW |
| **ISO7721-Q1** | | | | | | |
| $P_D$ | 最大消費電力 (両サイド) | $V_{CC1}$ = $V_{CC2}$ = 5.5V、$T_J$ = 150℃、$C_L$ = 15pF、50MHz 50% デューティ サイクルの方形波を入力 | | | 110 | mW |
| $P_{D1}$ | 最大消費電力 (サイド 1) | | | | 55 | mW |
| $P_{D2}$ | 最大消費電力 (サイド 2) | | | | 55 | mW |


Copyright © 2024 Texas Instruments Incorporated

## 6.6 絶縁仕様

| パラメータ | | テスト条件 | | 値 | | | 単位 |
|---|---|---|---|---|---|---|---|
| | | | | DW | DWV | D | |
| **IEC 60664-1** | | | | | | | |
| CLR | 外部空間距離[1] | 空気を介した最短のピン間距離 | | 8 | 8.5 | 4 | mm |
| CPG | 外部沿面距離[1] | パッケージ表面に沿った最短のピン間距離 | | 8 | 8.5 | 4 | mm |
| DTI | 絶縁物を介した距離 | 最小内部ギャップ (内部空間距離) | | 17 | 17 | 17 | µm |
| CTI | 比較トラッキング インデックス | DIN EN 60112 (VDE 0303-11)、IEC 60112、UL 746A | | >600 | >600 | >600 | V |
| | 材料グループ | IEC 60664-1 に準拠 | | I | I | I | |
| | IEC 60664-1 に準拠した過電圧カテゴリ | 定格商用電源 $V_{RMS}$ が 150V 以下 | | I–IV | I–IV | I-IV | |
| | | 定格商用電源 $V_{RMS}$ が 300V 以下 | | I–IV | I–IV | I-III | |
| | | 定格商用電源 $V_{RMS}$ が 600V 以下 | | I–IV | I–IV | 該当なし | |
| | | 定格商用電源 $V_{RMS}$ が 1000V 以下 | | I-III | I-III | 該当なし | |
| **DIN EN IEC 60747-17 (VDE 0884-17)** [2] | | | | | | | |
| $V_{IORM}$ | 最大反復ピーク絶縁電圧 | AC 電圧 (バイポーラ) | ISO772x | 2121 | 2121 | 637 | $V_{PK}$ |
| | | | ISO7721B | 1414 | 該当なし | 該当なし | |
| $V_{IOWM}$ | 最大動作絶縁電圧 | AC 電圧、経時絶縁破壊 (TDDB) テスト、図 9-6 を参照 | ISO772x | 1500 | 1500 | 450 | $V_{RMS}$ |
| | | | ISO7721B | 1000 | 該当なし | 該当なし | |
| | | DC 電圧 | ISO772x | 2121 | 2121 | 637 | $V_{DC}$ |
| | | | ISO7721B | 1414 | 該当なし | 該当なし | |
| $V_{IOTM}$ | 最大過渡絶縁電圧 | $V_{TEST} = V_{IOTM}$、t = 60s (認定時テスト)、<br>$V_{TEST} = 1.2 \times V_{IOTM}$、t = 1s (100% 出荷時テスト) | | 8000 | 7071 | 4242 | $V_{PK}$ |
| $V_{IMP}$ | 最大インパルス電圧[3] | IEC 62368-1 に準拠し空気中でテスト、1.2/50µs の波形 | ISO772x | 8000 | 8000 | 5000 | $V_{PK}$ |
| | | | ISO7721B | 6000 | 該当なし | 該当なし | |
| $V_{IOSM}$ | 最大サージ絶縁電圧[4] | $V_{IOSM} \geqq 1.3 \times V_{IMP}$、油中でテスト (認定テスト)、<br>1.2/50µs 波形、IEC 62368-1 に準拠 | ISO772x | 12800 | 12800 | 10000 | $V_{PK}$ |
| | | | ISO7721B | 7800 | 該当なし | 該当なし | $V_{PK}$ |
| $q_{pd}$ | 見掛けの電荷[5] | メソッド a：I/O 安全テスト サブグループ 2/3 の後、<br>$V_{ini} = V_{IOTM}$、$t_{ini}$ = 60s、<br>$V_{pd(m)} = 1.2 \times V_{IORM}$、$t_m$ = 10s | | ≦ 5 | ≦ 5 | ≦ 5 | pC |
| | | メソッド a：環境テスト サブグループ 1 の後、<br>$V_{ini} = V_{IOTM}$、$t_{ini}$ = 60s、 | $V_{pd(m)} = 1.6 \times V_{IORM}$、$t_m$ = 10s (ISO772x) | ≦ 5 | ≦ 5 | ≦ 5 | |
| | | | $V_{pd(m)} = 1.3 \times V_{IORM}$、$t_m$ = 10s (ISO7721B) | ≦ 5 | 該当なし | 該当なし | |
| | | メソッド b：ルーチン テスト (100% 出荷時) および事前条件設定 (タイプ テスト) の場合、<br>$V_{ini} = 1.2 \times V_{IOTM}$、$t_{ini}$ = 1s、<br>$V_{pd(m)} = 1.875 \times V_{IORM}$ (ISO772x) または $V_{pd(m)} = 1.5 \times V_{IORM}$ (ISO7721B)、$t_m$ = 1s (メソッド b1) または<br>$V_{pd(m)} = V_{ini}$、$t_m = t_{ini}$ (メソッド b2) | | ≦ 5 | ≦ 5 | ≦ 5 | |
| $C_{IO}$ | 絶縁バリア容量、入力から出力へ[6] | $V_{IO} = 0.4 \times \sin(2\pi ft)$、f = 1MHz | | 約 0.5 | 約 0.5 | 約 0.5 | pF |
| $R_{IO}$ | 絶縁抵抗 [6] | $V_{IO}$ = 500V、$T_A$ = 25°C | | > $10^{12}$ | > $10^{12}$ | > $10^{12}$ | Ω |
| | | $V_{IO}$ = 500V、100°C ≦ $T_A$ ≦ 125°C | | > $10^{11}$ | > $10^{11}$ | > $10^{11}$ | |
| | | $V_{IO}$ = 500V ($T_S$ = 150°C時) | | > $10^9$ | > $10^9$ | > $10^9$ | |

| パラメータ | | テスト条件 | 値 | | | 単位 |
|---|---|---|---|---|---|---|
| | | | DW | DWV | D | |
| | 汚染度 | | 2 | 2 | 2 | |
| | 耐候性カテゴリ | | 55/125/21 | 55/125/21 | 55/125/21 | |
| **UL 1577** | | | | | | |
| $V_{ISO}$ | 絶縁耐圧 | $V_{TEST} = V_{ISO}$、t = 60s (認定時テスト)、<br>$V_{TEST} = 1.2 \times V_{ISO}$、t = 1s (100% 出荷時テスト) | 5000 | 5000 | 3000 | $V_{RMS}$ |

(1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。
(2) このカプラは、安全定格内の安全な電気絶縁 (ISO772x) および基本的な電気絶縁 (ISO7721B) にのみ適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
(3) テストは、パッケージのサージ耐性を判定するため、空気中で実行されます。
(4) テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。
(5) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
(6) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。


Copyright © 2024 Texas Instruments Incorporated

## 6.7 安全関連認証

| VDE | CSA | UL | CQC | TUV |
|---|---|---|---|---|
| DIN EN IEC 60747-17 (VDE 0884-17) による認証 | IEC 62368-1 および IEC 60601-1 による認証 | UL 1577 部品認定プログラムの認定 | GB4943.1 による認証 | EN 61010-1 および EN 62368-1 による認証 |
| 最大過渡絶縁電圧、8000$V_{PK}$ (DW-16)、7071$V_{PK}$ (DWV-8) および 4242$V_{PK}$ (D-8)、最大反復ピーク絶縁電圧、2121$V_{PK}$ (DW-16、DWV-8、強化型)、1414$V_{PK}$ (DW-16、基本) および 637$V_{PK}$ (D-8)、最大サージ絶縁電圧、12800$V_{PK}$ (DW-16、DWV-8、強化型)、7800$V_{PK}$ (DW-16、基本) および 10000$V_{PK}$ (D-8) | 600 $V_{RMS}$ (DW-16) および 600 $V_{RMS}$ (DWV-8) 強化絶縁および 400$V_{RMS}$ (D-8) 基本絶縁動作電圧 (CSA 62368-1 および IEC 62368-1 準拠) (汚染度 2、材料グループ I)、CSA 60601-1 および IEC 60601-1 に準拠した 2 MOPP (Means of Patient Protection)、最大動作電圧 250$V_{RMS}$ (DW-16、DWV-8) | DW-16、DWV-8、シングル保護、5000$V_{RMS}$、D-8:シングル保護、3000$V_{RMS}$ | DW-16、DWV-8:強化絶縁、高度 ≦ 5000m、熱帯気候、最大動作電圧 700$V_{RMS}$ D-8:基本絶縁、高度 ≦ 5000m、熱帯気候、最大動作電圧 400$V_{RMS}$ | 5000$V_{RMS}$ (DW-16、DWV-8) および 3000$V_{RMS}$ (D-8) 最大動作電圧 600$V_{RMS}$ (DW-16、DWV-8) および 300$V_{RMS}$ (D-8) 5000$V_{RMS}$ (DW-16、DWV-8) および 3000$V_{RMS}$ (D-8) の EN 61010-1 に準拠した強化絶縁、最大動作電圧 600 $V_{RMS}$ (DW-16、DWV-8) および 400 $V_{RMS}$ (D-8) の EN 62368-1 に準拠した強化絶縁 |
| 証明書番号:<br>40040142 (強化型)<br>40047657 (基本) | マスタ契約書番号:220991 | ファイル番号:E181974 | 証明書番号:<br>CQC21001304083 (DW-16)<br>CQC18001199096 (DWV-8)<br>CQC15001121656 (D-8) | 顧客 ID 番号:77311 |

## 6.8 安全限界値

安全限界値 (1) の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| **DW-16 パッケージ** | | | | | | |
| $I_S$ | 安全入力、出力、または電源電流 | $R_{\theta JA}$ = 86.5°C/W、$V_I$ = 5.5V、$T_J$ = 150°C、$T_A$ = 25°C、図 6-1 参照 | | | 263 | mA |
| | | $R_{\theta JA}$ = 86.5°C/W、$V_I$ = 3.6V、$T_J$ = 150°C、$T_A$ = 25°C、図 6-1 参照 | | | 401 | |
| | | $R_{\theta JA}$ = 86.5°C/W、$V_I$ = 2.75V、$T_J$ = 150°C、$T_A$ = 25°C、図 6-1 参照 | | | 525 | |
| $P_S$ | 安全入力、出力、または合計電力 | $R_{\theta JA}$ = 86.5°C/W、$T_J$ = 150°C、$T_A$ = 25°C、図 6-2 参照 | | | 1445 | mW |
| $T_S$ | 最高安全温度 | | | | 150 | °C |
| **DWV-8 パッケージ** | | | | | | |
| $I_S$ | 安全入力、出力、または電源電流(1) | $R_{\theta JA}$ = 84.3°C/W、$V_I$ = 5.5V、$T_J$ = 150°C、$T_A$ = 25°C、図 6-3 参照 | | | 270 | mA |
| | | $R_{\theta JA}$ = 84.3°C/W、$V_I$ = 3.6V、$T_J$ = 150°C、$T_A$ = 25°C、図 6-3 参照 | | | 412 | |
| | | $R_{\theta JA}$ = 84.3°C/W、$V_I$ = 2.75V、$T_J$ = 150°C、$T_A$ = 25°C、図 6-3 参照 | | | 539 | |
| $P_S$ | 安全入力、出力、または合計電力(1) | $R_{\theta JA}$ = 84.3°C/W、$T_J$ = 150°C、$T_A$ = 25°C、図 6-4 参照 | | | 1483 | mW |
| $T_S$ | 最高安全温度(1) | | | | 150 | °C |
| **D-8 パッケージ** | | | | | | |

安全限界値 (1) の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $I_S$ | 安全入力、出力、または電源電流(1) | $R_{\theta JA}$ = 137.7℃/W、$V_I$ = 5.5V、$T_J$ = 150℃、$T_A$ = 25℃、図 6-5 参照 | | | 165 | mA |
| | | $R_{\theta JA}$ = 137.7℃/W、$V_I$ = 3.6V、$T_J$ = 150℃、$T_A$ = 25℃、図 6-5 参照 | | | 252 | |
| | | $R_{\theta JA}$ = 137.7℃/W、$V_I$ = 2.75V、$T_J$ = 150℃、$T_A$ = 25℃、図 6-5 参照 | | | 330 | |
| $P_S$ | 安全入力、出力、または合計電力(1) | $R_{\theta JA}$ = 137.7℃/W、$T_J$ = 150℃、$T_A$ = 25℃、図 6-6 参照 | | | 908 | mW |
| $T_S$ | 最高安全温度(1) | | | | 150 | ℃ |

(1) 最高安全温度 $T_S$ は、本デバイスに規定された最大接合部温度 $T_J$ と同じ値です。$I_S$ および $P_S$ パラメータはそれぞれ安全電流と安全電力を表します。$I_S$ および $P_S$ の最大限界値を超過してはなりません。これらの限界値は、周囲温度 $T_A$ によって異なります。
セクション 6.4 表にある接合部から空気への熱抵抗 $R_{\theta JA}$ は、リードあり表面実装パッケージ用の高誘電率テスト基板に実装されたデバイスのものです。これらの式を使って各パラメータの値を計算します。
$T_J = T_A + R_{\theta JA} \times P$、ここで P は本デバイスで消費される電力です。
$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$、ここで $T_{J(max)}$ は最大接合部温度です。
$P_S = I_S \times V_I$、ここで $V_I$ は最大入力電圧です。


Copyright © 2024 Texas Instruments Incorporated

## 6.9 電気的特性—5V 電源

$V_{CC1}$ = $V_{CC2}$ = 5V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $V_{OH}$ | High レベル出力電圧 | $I_{OH}$ = -4mA、図 7-1 を参照 | $V_{CCO}$ - 0.4 (1) | 4.8 | | V |
| $V_{OL}$ | Low レベル出力電圧 | $I_{OL}$ = 4mA、図 7-1 を参照 | | 0.2 | 0.4 | V |
| $V_{IT+(IN)}$ | 立ち上がり入力スレッショルド電圧 | | | 0.6 × $V_{CCI}$ | 0.7 × $V_{CCI}$ (1) | V |
| $V_{IT-(IN)}$ | 立ち下がり入力スレッショルド電圧 | | 0.3 × $V_{CCI}$ | 0.4 × $V_{CCI}$ | | V |
| $V_{I(HYS)}$ | 入力スレッショルド電圧のヒステリシス | | 0.1 × $V_{CCI}$ | 0.2 × $V_{CCI}$ | | V |
| $I_{IH}$ | High レベル入力電流 | INx で $V_{IH}$ = $V_{CCI}$ (1) | | | 10 | µA |
| $I_{IL}$ | Low レベル入力電流 | INx で $V_{IL}$ = 0V | -10 | | | µA |
| CMTI | 同相過渡耐性 | $V_I$ = $V_{CCI}$ または 0V、$V_{CM}$ = 1200V、図 7-3 を参照 | 85 | 100 | | kV/µs |
| $C_I$ | 入力容量 (2) | $V_I$ = $V_{CC}$/ 2 + 0.4×sin(2πft)、f = 1MHz、$V_{CC}$ = 5V | | 2 | | pF |

(1) $V_{CCI}$ = 入力側 $V_{CC}$、$V_{CCO}$ = 出力側 $V_{CC}$
(2) 入力ピンから同じ側のグランドまで測定。

## 6.10 消費電流特性 — 5V 電源

$V_{CC1}$ = $V_{CC2}$ = 5V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

| パラメータ | テスト条件 | | 電源電流 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|---|
| **ISO7720-Q1** | | | | | | | |
| 電源電流 - DC 信号 | $V_I$ = $V_{CCI}$ (1) (ISO7720-Q1)、$V_I$ = 0V (F 接尾辞付き ISO7720-Q1) | | $I_{CC1}$ | | 0.8 | 1.6 | mA |
| | | | $I_{CC2}$ | | 1.1 | 2 | |
| | $V_I$ = 0V (ISO7720-Q1)、$V_I$ = $V_{CCI}$ (F 接尾辞付き ISO7720-Q1) | | $I_{CC1}$ | | 2.9 | 4.2 | |
| | | | $I_{CC2}$ | | 1.2 | 2.1 | |
| 電源電流 - AC 信号 | すべてのチャネルが方形波クロック入力でスイッチング、$C_L$ = 15pF | 1Mbps | $I_{CC1}$ | | 1.8 | 2.8 | |
| | | | $I_{CC2}$ | | 1.3 | 2.2 | |
| | | 10Mbps | $I_{CC1}$ | | 1.9 | 2.9 | |
| | | | $I_{CC2}$ | | 2.2 | 3.5 | |
| | | 100Mbps | $I_{CC1}$ | | 2.5 | 3.7 | |
| | | | $I_{CC2}$ | | 11.6 | 15.7 | |
| **ISO7721-Q1** | | | | | | | |
| 電源電流 - DC 信号 | $V_I$ = $V_{CCI}$ (1) (ISO7721-Q1)、$V_I$ = 0V (F 接尾辞付き ISO7721-Q1) | | $I_{CC1}$、$I_{CC2}$ | | 1 | 2.2 | mA |
| | $V_I$ = 0V (ISO7721-Q1)、$V_I$ = $V_{CCI}$ (F 接尾辞付き ISO7721-Q1) | | $I_{CC1}$、$I_{CC2}$ | | 2.2 | 3.4 | |
| 電源電流 - AC 信号 | すべてのチャネルが方形波クロック入力でスイッチング、$C_L$ = 15pF | 1Mbps | $I_{CC1}$、$I_{CC2}$ | | 1.7 | 2.9 | |
| | | 10Mbps | $I_{CC1}$、$I_{CC2}$ | | 2.2 | 3.5 | |
| | | 100Mbps | $I_{CC1}$、$I_{CC2}$ | | 7.3 | 9.9 | |

(1) $V_{CCI}$ = 入力側 $V_{CC}$

## 6.11 電気的特性 — 3.3V 電源

$V_{CC1}$ = $V_{CC2}$ = 3.3V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $V_{OH}$ | High レベル出力電圧 | $I_{OH}$ = -2mA、図 7-1 を参照 | $V_{CCO}$ - 0.3(1) | 3.2 | | V |
| $V_{OL}$ | LOW レベル出力電圧 | $I_{OL}$ = 2mA、図 7-1 を参照 | | 0.1 | 0.3 | V |
| $V_{IT+(IN)}$ | 立ち上がり入力スレッショルド電圧 | | | 0.6 × $V_{CCI}$ | 0.7 × $V_{CCI}$ (1) | V |
| $V_{IT-(IN)}$ | 立ち下がり入力スレッショルド電圧 | | 0.3 × $V_{CCI}$ | 0.4 × $V_{CCI}$ | | V |
| $V_{I(HYS)}$ | 入力スレッショルド電圧のヒステリシス | | 0.1 × $V_{CCI}$ | 0.2 × $V_{CCI}$ | | V |
| $I_{IH}$ | High レベル入力電流 | INx で $V_{IH}$ = $V_{CCI}$ (1) | | | 10 | µA |
| $I_{IL}$ | Low レベル入力電流 | INx で $V_{IL}$ = 0V | -10 | | | µA |
| CMTI | 同相過渡耐性 | $V_I$ = $V_{CCI}$ または 0V、$V_{CM}$ = 1200V、図 7-3 を参照 | 85 | 100 | | kV/µs |

(1) $V_{CCI}$ = 入力側 $V_{CC}$、$V_{CCO}$ = 出力側 $V_{CC}$

## 6.12 消費電流特性 — 3.3V 電源

$V_{CC1}$ = $V_{CC2}$ = 3.3V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

| パラメータ | テスト条件 | | 電源電流 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|---|
| **ISO7720-Q1** | | | | | | | |
| 電源電流 - DC 信号 | $V_I$ = $V_{CCI}$ (1) (ISO7720-Q1)、$V_I$ = 0V (F 接尾辞付き ISO7720-Q1) | | $I_{CC1}$ | | 0.8 | 1.5 | mA |
| | | | $I_{CC2}$ | | 1.1 | 1.9 | |
| | $V_I$ = 0V (ISO7720)、$V_I$ = $V_{CCI}$ (F 接尾辞付き ISO7720-Q1) | | $I_{CC1}$ | | 2.9 | 4.2 | |
| | | | $I_{CC2}$ | | 1.2 | 2.1 | |
| 電源電流 - AC 信号 | すべてのチャネルが方形波クロック入力でスイッチング、$C_L$ = 15pF | 1Mbps | $I_{CC1}$ | | 1.8 | 2.7 | |
| | | | $I_{CC2}$ | | 1.2 | 2.1 | |
| | | 10Mbps | $I_{CC1}$ | | 1.9 | 2.8 | |
| | | | $I_{CC2}$ | | 1.9 | 3 | |
| | | 100Mbps | $I_{CC1}$ | | 2.2 | 3.3 | |
| | | | $I_{CC2}$ | | 8.6 | 11.7 | |
| **ISO7721-Q1** | | | | | | | |
| 電源電流 - DC 信号 | $V_I$ = $V_{CCI}$ (1) (ISO7721-Q1)、$V_I$ = 0V (F 接尾辞付き ISO7721-Q1) | | $I_{CC1}$、$I_{CC2}$ | | 1 | 2.1 | mA |
| | $V_I$ = 0V (ISO7721-Q1)、$V_I$ = $V_{CCI}$ (F 接尾辞付き ISO7721-Q1) | | $I_{CC1}$、$I_{CC2}$ | | 2.2 | 3.4 | |
| 電源電流 - AC 信号 | すべてのチャネルが方形波クロック入力でスイッチング、$C_L$ = 15pF | 1Mbps | $I_{CC1}$、$I_{CC2}$ | | 1.6 | 2.8 | |
| | | 10Mbps | $I_{CC1}$、$I_{CC2}$ | | 2 | 3.2 | |
| | | 100Mbps | $I_{CC1}$、$I_{CC2}$ | | 5.6 | 7.8 | |

(1) $V_{CCI}$ = 入力側 $V_{CC}$


Copyright © 2024 Texas Instruments Incorporated

## 6.13 電気的特性 — 2.5V 電源

$V_{CC1}$ = $V_{CC2}$ = 2.5V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $V_{OH}$ | High レベル出力電圧 | $I_{OH}$ = -1mA、図 7-1 を参照 | $V_{CCO}$ - 0.2(1) | 2.45 | | V |
| $V_{OL}$ | Low レベル出力電圧 | $I_{OL}$ = 1mA、図 7-1 を参照 | | 0.05 | 0.2 | V |
| $V_{IT+(IN)}$ | 立ち上がり入力スレッショルド電圧 | | | 0.6 × $V_{CCI}$ | 0.7 × $V_{CCI}$ (1) | V |
| $V_{IT-(IN)}$ | 立ち下がり入力スレッショルド電圧 | | 0.3 × $V_{CCI}$ | 0.4 × $V_{CCI}$ | | V |
| $V_{I(HYS)}$ | 入力スレッショルド電圧のヒステリシス | | 0.1 × $V_{CCI}$ | 0.2 × $V_{CCI}$ | | V |
| $I_{IH}$ | High レベル入力電流 | INx で $V_{IH}$ = $V_{CCI}$ (1) | | | 10 | µA |
| $I_{IL}$ | Low レベル入力電流 | INx で $V_{IL}$ = 0V | -10 | | | µA |
| CMTI | 同相過渡耐性 | $V_I$ = $V_{CCI}$ または 0V、$V_{CM}$ = 1200V、図 7-3 を参照 | 85 | 100 | | kV/µs |

(1) $V_{CCI}$ = 入力側 $V_{CC}$、$V_{CCO}$ = 出力側 $V_{CC}$

## 6.14 消費電流特性 — 2.5V 電源

$V_{CC1}$ = $V_{CC2}$ = 2.5V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

| パラメータ | テスト条件 | | 電源電流 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|---|
| **ISO7720-Q1** | | | | | | | |
| 電源電流 - DC 信号 | $V_I$ = $V_{CCI}$ (1) (ISO7720-Q1)、$V_I$ = 0V (F 接尾辞付き ISO7720-Q1) | | $I_{CC1}$ | | 0.8 | 1.5 | mA |
| | | | $I_{CC2}$ | | 1.1 | 1.9 | |
| | $V_I$ = 0V (ISO7720-Q1)、$V_I$ = $V_{CCI}$ (F 接尾辞付き ISO7720-Q1) | | $I_{CC1}$ | | 2.9 | 4.2 | |
| | | | $I_{CC2}$ | | 1.2 | 2.1 | |
| 電源電流 - AC 信号 | すべてのチャネルが方形波クロック入力でスイッチング、$C_L$ = 15pF | 1Mbps | $I_{CC1}$ | | 1.8 | 2.7 | |
| | | | $I_{CC2}$ | | 1.3 | 2 | |
| | | 10Mbps | $I_{CC1}$ | | 1.9 | 2.7 | |
| | | | $I_{CC2}$ | | 1.7 | 2.8 | |
| | | 100Mbps | $I_{CC1}$ | | 2.2 | 3.1 | |
| | | | $I_{CC2}$ | | 6.8 | 9.4 | |
| **ISO7721-Q1** | | | | | | | |
| 電源電流 - DC 信号 | $V_I$ = $V_{CCI}$ (1) (ISO7721-Q1)、$V_I$ = 0V (F 接尾辞付き ISO7721-Q1) | | $I_{CC1}$、$I_{CC2}$ | | 1 | 2.1 | mA |
| | $V_I$ = 0V (ISO7721-Q1)、$V_I$ = $V_{CCI}$ (F 接尾辞付き ISO7721-Q1) | | $I_{CC1}$、$I_{CC2}$ | | 2.2 | 3.3 | |
| 電源電流 - AC 信号 | すべてのチャネルが方形波クロック入力でスイッチング、$C_L$ = 15pF | 1Mbps | $I_{CC1}$、$I_{CC2}$ | | 1.6 | 2.7 | |
| | | 10Mbps | $I_{CC1}$、$I_{CC2}$ | | 1.9 | 3.1 | |
| | | 100Mbps | $I_{CC1}$、$I_{CC2}$ | | 4.6 | 6.5 | |

(1) $V_{CCI}$ = 入力側 $V_{CC}$

## 6.15 スイッチング特性— 5V 電源

$V_{CC1}$ = $V_{CC2}$ = 5V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $t_{PLH}$、$t_{PHL}$ | 伝搬遅延時間 | 図 7-1 を参照 | 6 | 11 | 17 | ns |
| PWD | パルス幅歪み (1) $\|t_{PHL} - t_{PLH}\|$ | | | 0.5 | 5.9 | ns |
| $t_{sk(o)}$ | チャネル間の出力スキュー時間 (2) | 同じ方向のチャネル | | | 4 | ns |
| $t_{sk(pp)}$ | 部品間のスキュー時間 (3) | | | | 4.5 | ns |
| $t_r$ | 出力信号の立ち上がり時間 | 図 7-1 を参照 | | 2.4 | 3.9 | ns |
| $t_f$ | 出力信号の立ち下がり時間 | | | 2.4 | 3.9 | ns |
| $t_{DO}$ | 入力電源喪失からデフォルト出力までの遅延時間 | $V_{CC}$ が 1.7V を下回る時間から測定。図 7-2 を参照 | | 0.1 | 0.3 | µs |
| $t_{ie}$ | タイム インターバル エラー | 100Mbps で $2^{16}$ - 1 PRBS データ | | 1 | | ns |

(1) 別名パルス スキュー。
(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。
(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

## 6.16 スイッチング特性 — 3.3V 電源

$V_{CC1}$ = $V_{CC2}$ = 3.3V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $t_{PLH}$、$t_{PHL}$ | 伝搬遅延時間 | 図 7-1 を参照 | 6 | 11 | 18.5 | ns |
| PWD | パルス幅歪み (1) $\|t_{PHL} - t_{PLH}\|$ | | | 0.5 | 5.9 | ns |
| $t_{sk(o)}$ | チャネル間の出力スキュー時間 (2) | 同じ方向のチャネル | | | 4.4 | ns |
| $t_{sk(pp)}$ | 部品間のスキュー時間 (3) | | | | 5 | ns |
| $t_r$ | 出力信号の立ち上がり時間 | 図 7-1 を参照 | | 0.7 | 3 | ns |
| $t_f$ | 出力信号の立ち下がり時間 | | | 0.7 | 3 | ns |
| $t_{DO}$ | 入力電源喪失からデフォルト出力までの遅延時間 | $V_{CC}$ が 1.7V を下回る時間から測定。図 7-2 を参照 | | 0.1 | 0.3 | µs |
| $t_{ie}$ | タイム インターバル エラー | 100Mbps で $2^{16}$ - 1 PRBS データ | | 1 | | ns |

(1) 別名パルス スキュー。
(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。
(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。


Copyright © 2024 Texas Instruments Incorporated

## 6.17 スイッチング特性 — 2.5V 電源

$V_{CC1}$ = $V_{CC2}$ = 2.5V ± 10% (特に記述のない限り、推奨動作条件全体にわたって)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $t_{PLH}$、$t_{PHL}$ | 伝搬遅延時間 | 図 7-1 を参照 | 7.5 | 12 | 21 | ns |
| PWD | パルス幅歪み (1) $\|t_{PHL} - t_{PLH}\|$ | | | 0.5 | 5.9 | ns |
| $t_{sk(o)}$ | チャネル間の出力スキュー時間 (2) | 同じ方向のチャネル | | | 4.4 | ns |
| $t_{sk(pp)}$ | 部品間のスキュー時間 (3) | | | | 5.5 | ns |
| $t_r$ | 出力信号の立ち上がり時間 | 図 7-1 を参照 | | 1 | 3.5 | ns |
| $t_f$ | 出力信号の立ち下がり時間 | | | 1 | 3.5 | ns |
| $t_{DO}$ | 入力電源喪失からデフォルト出力までの遅延時間 | $V_{CC}$ が 1.7V を下回る時間から測定。図 7-2 を参照 | | 0.1 | 0.3 | µs |
| $t_{ie}$ | タイム インターバル エラー | 100Mbps で $2^{16}$ - 1 PRBS データ | | 1 | | ns |

(1) 別名パルス スキュー。
(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。
(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

## 6.18 絶縁特性曲線

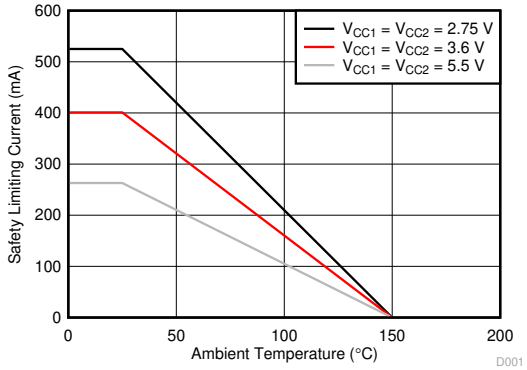



**図 6-1. DW-16 パッケージの VDE に従う制限電流の熱特性低下曲線**

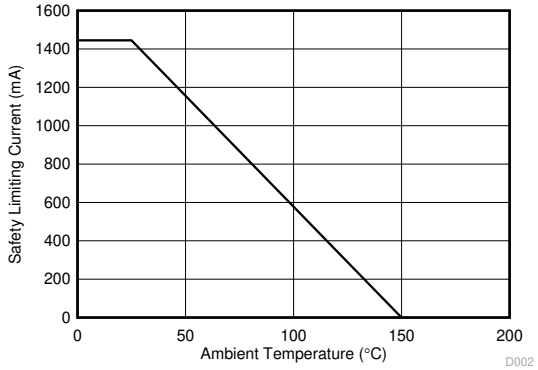



**図 6-2. DW-16 パッケージの VDE に従う制限電力の熱特性低下曲線**

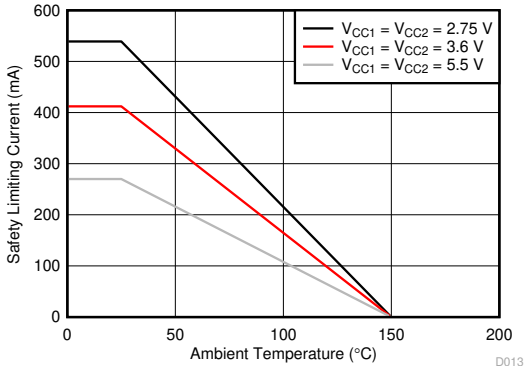



**図 6-3. DWV-8 パッケージの VDE に従う制限電流の熱特性低下曲線**

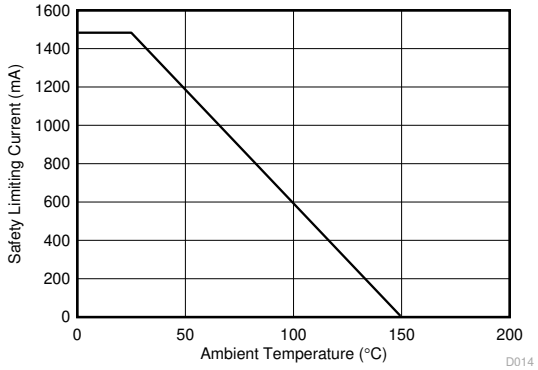



**図 6-4. DWV-8 パッケージの VDE に従う制限電力の熱特性低下曲線**

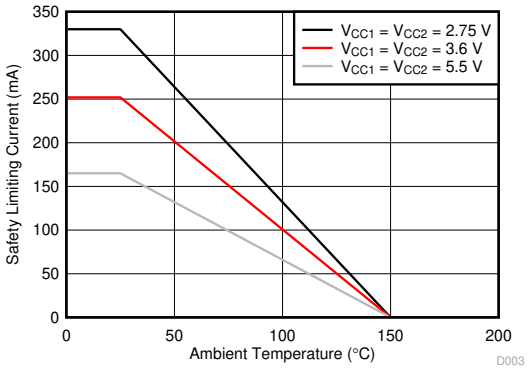



**図 6-5. D-8 パッケージの VDE に従う制限電流の熱特性低下曲線**

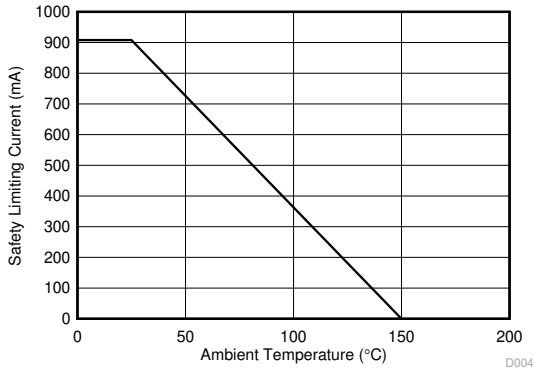
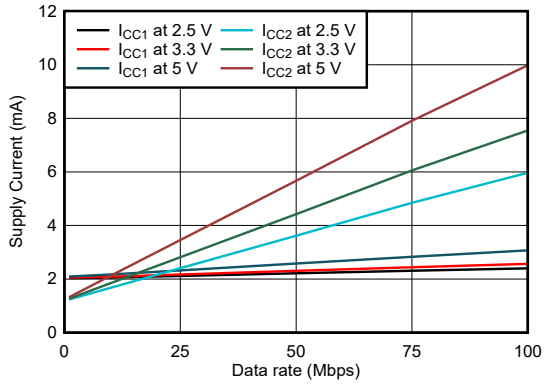



**図 6-6. D-8 パッケージの VDE に従う制限電力の熱特性低下曲線**

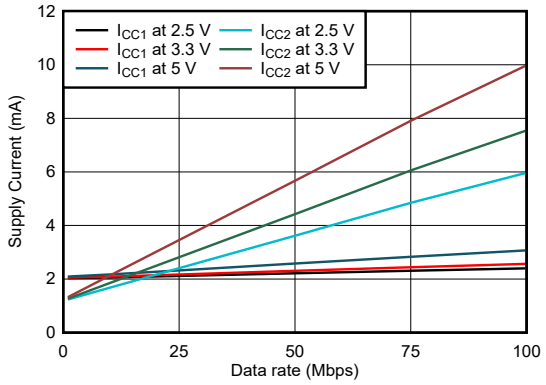

Copyright © 2024 Texas Instruments Incorporated

## 6.19 代表的特性



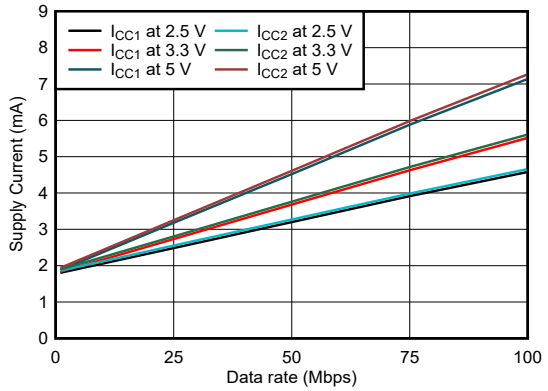

$T_A$ = 25℃　　$C_L$ = 15pF

**図 6-7. ISO7720-Q1 の電源電流とデータ レートとの関係 (15pF 負荷時)**



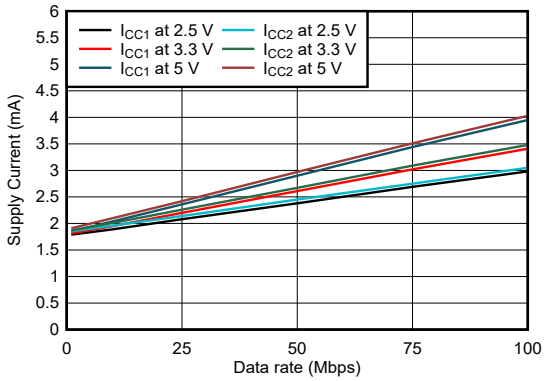

$T_A$ = 25℃　　$C_L$ = 無負荷

**図 6-8. ISO7720-Q1 の消費電流とデータ レートとの関係 (無負荷時)**



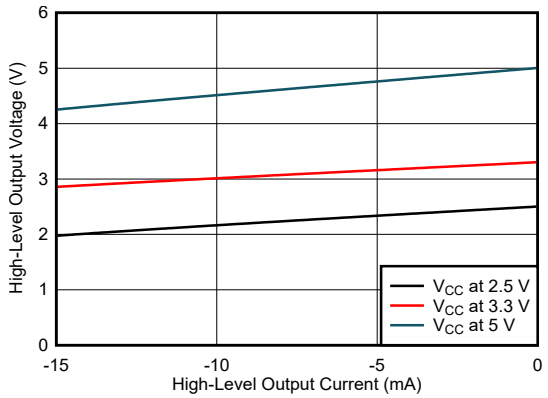

$T_A$ = 25℃　　$C_L$ = 15pF

**図 6-9. ISO7721-Q1 の電源電流とデータ レートとの関係 (15pF 負荷時)**



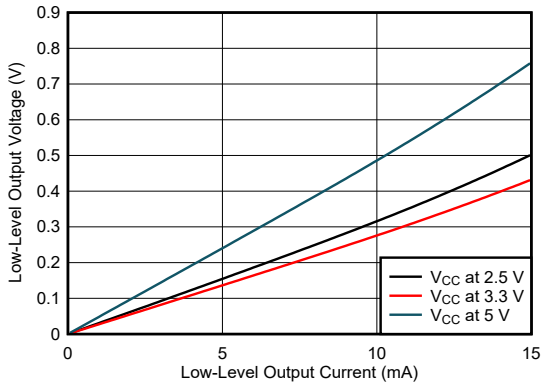

$T_A$ = 25℃　　$C_L$ = 無負荷

**図 6-10. ISO7721-Q1 の消費電流とデータ レートとの関係 (無負荷時)**




$T_A$ = 25℃

**図 6-11. High レベル出力電圧と High レベル出力電流との関係**




$T_A$ = 25℃

**図 6-12. Low レベル出力電圧と Low レベル出力電流との関係**

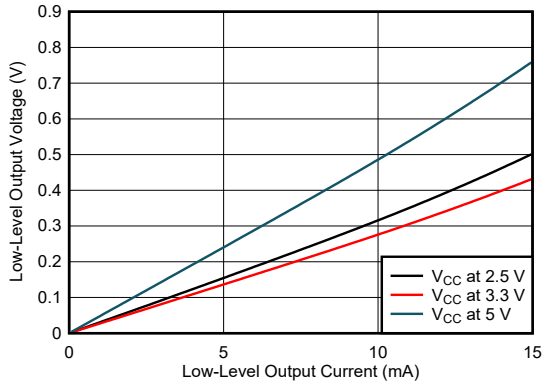



**図 6-13. 電源低電圧スレッショルドと周囲温度との関係**

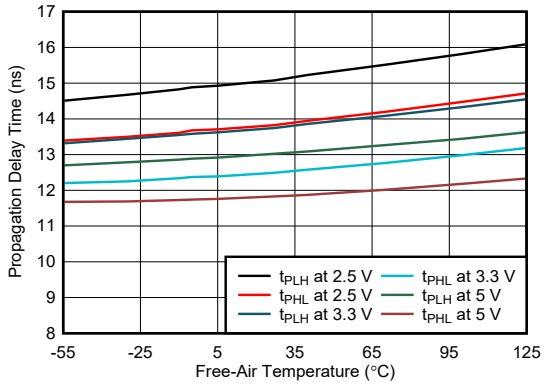
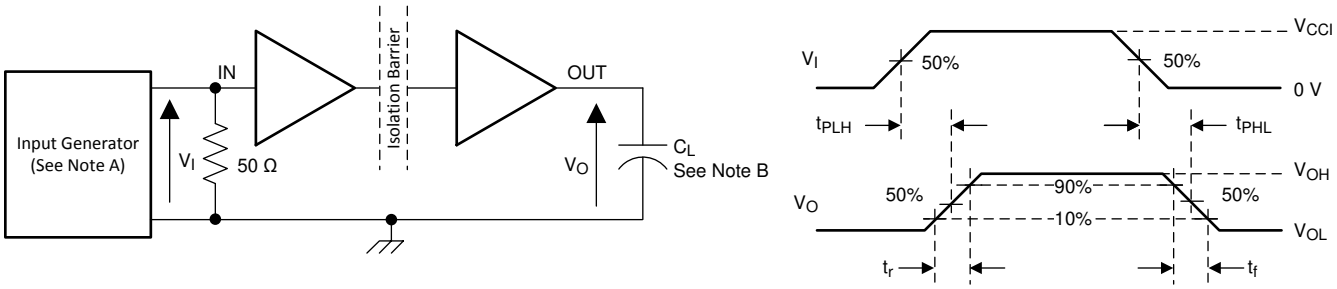



**図 6-14. 伝搬遅延時間と周囲温度との関係**


Copyright © 2024 Texas Instruments Incorporated

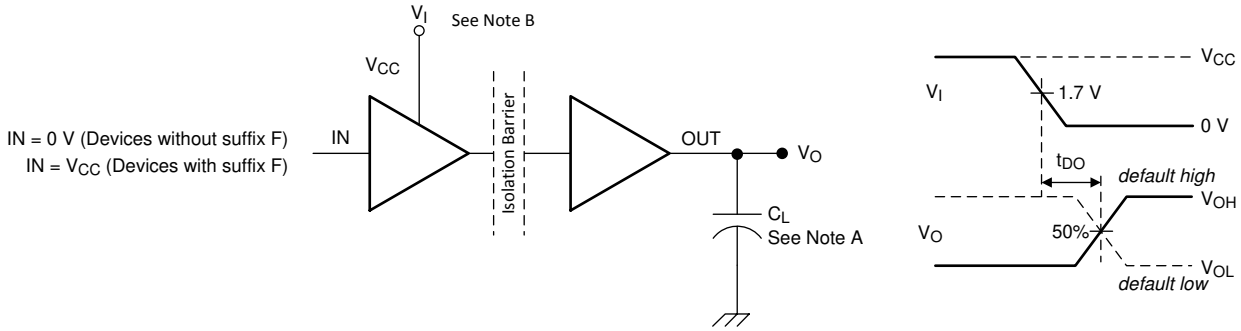
# 7 パラメータ測定情報




A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≦ 50kHz、50% デューティ サイクル、$t_r$ ≦ 3ns、$t_f$ ≦ 3ns、$Z_O$ = 50Ω。入力ジェネレータ信号を終端するため、入力に 50Ω の抵抗が必要です。実際のアプリケーションでは必要ありません。

B. $C_L$ = 15pF で、±20% 以内の計測器および治具の容量が含まれています。

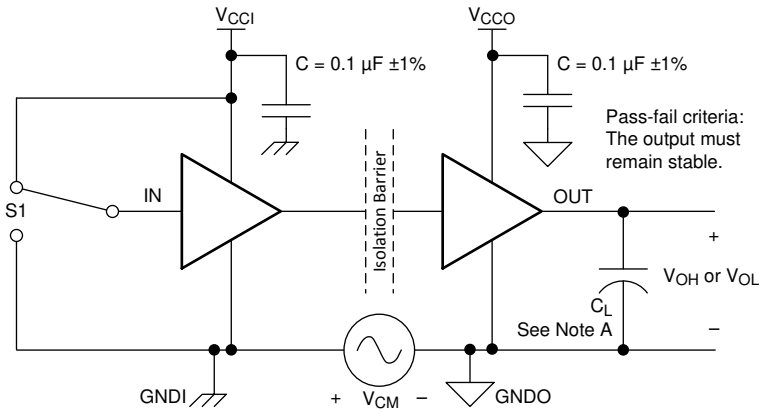
**図 7-1. スイッチング特性試験回路と電圧波形**




A. $C_L$ = 15pF で、±20% 以内の計測器および治具の容量が含まれています。

B. 電源ランプ レート = 10mV/ns

**図 7-2. デフォルトの出力遅延時間テスト回路と電圧波形**




A. $C_L$ = 15pF で、±20% 以内の計測器および治具の容量が含まれています。

**図 7-3. 同相過渡電圧耐性試験回路**

# 8 詳細説明

## 8.1 概要

ISO772x-Q1 ファミリのデバイスは、オン オフ キーイング (OOK) 変調方式を使用し、二酸化ケイ素をベースとする絶縁バリアを介してデジタル データを送信します。トランスミッタは、バリアを介して 1 つのデジタル状態を表す高周波キャリアを送信し、もう 1 つのデジタル状態については信号を送信しません。レシーバは、高度な信号コンディショニングを行ってから信号を復調し、バッファ段経由で出力を生成します。これらのデバイスには高度な回路技法も使用されており、CMTI 性能を最大化し、高周波キャリアと IO バッファのスイッチングによる放射ノイズを最小化しています。デジタル容量性アイソレータの概念ブロック図である図 8-1 は、代表的なチャネルの機能ブロック図を示しています。

## 8.2 機能ブロック図

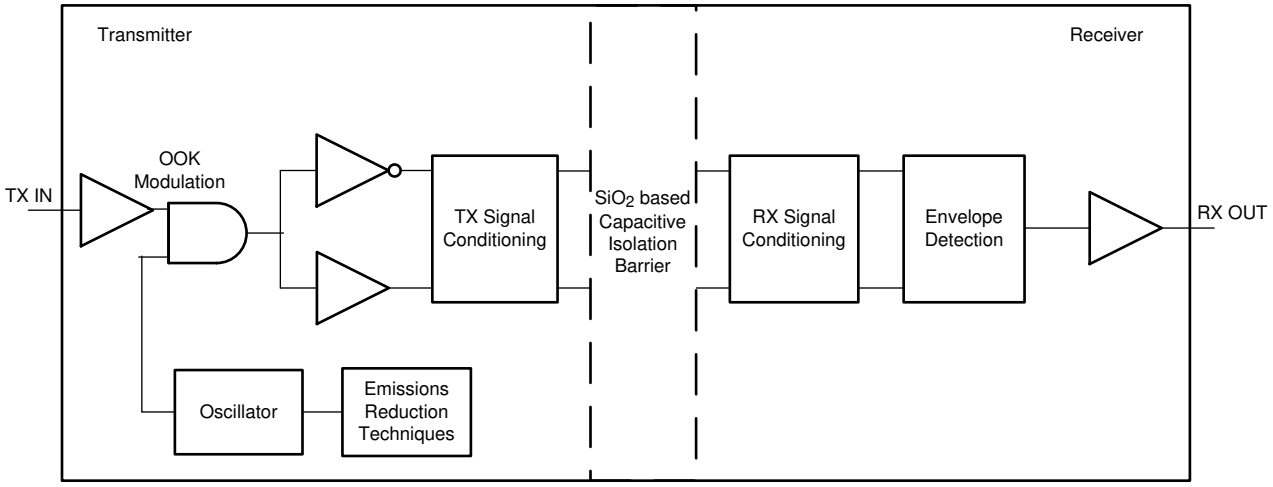



**図 8-1. デジタル容量性アイソレータの概念ブロック図**

図 8-2 に、OOK 方式の概念図を示します。

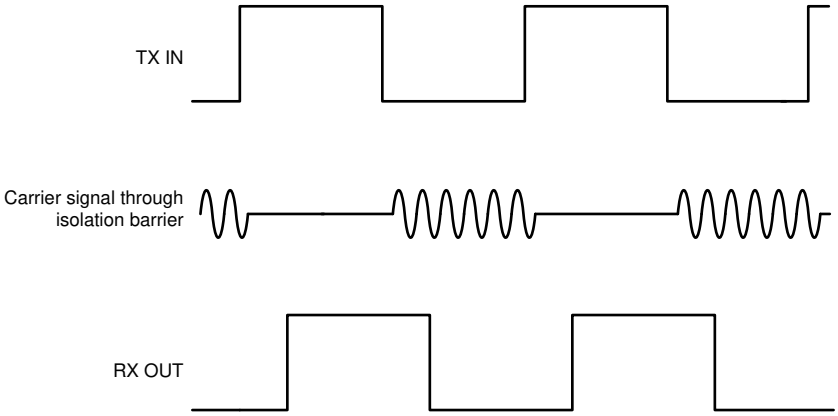



**図 8-2. オン オフ キーイング (OOK) による変調方式**


Copyright © 2024 Texas Instruments Incorporated

## 8.3 機能説明

ISO772x-Q1 ファミリのデバイスは、2 つのチャネル構成とデフォルトの出力状態オプションで利用でき、さまざまなアプリケーション用途に使用できます。表 8-1 に、ISO772x-Q1 デバイスの機能を示します。

**表 8-1. デバイスの機能**

| 部品番号 | 最大データ レート | チャネル方向 | デフォルト出力状態 | パッケージ | 絶縁定格[(1)] |
|---|---|---|---|---|---|
| ISO7720-Q1 | 100Mbps | 正方向 2、逆方向 0 | High | DW-16 | $5000V_{RMS}$ / $8000V_{PK}$ |
| | | | | DWV-8 | $5000V_{RMS}$ / $7071V_{PK}$ |
| | | | | D-8 | $3000V_{RMS}$ / $4242V_{PK}$ |
| 接尾辞 F 付きの ISO7720-Q1 | 100Mbps | 正方向 2、逆方向 0 | Low | DW-16 | $5000V_{RMS}$ / $8000V_{PK}$ |
| | | | | DWV-8 | $5000V_{RMS}$ / $7071V_{PK}$ |
| | | | | D-8 | $3000V_{RMS}$ / $4242V_{PK}$ |
| ISO7721-Q1 | 100Mbps | 正方向 1、逆方向 1 | High | DW-16 | $5000V_{RMS}$ / $8000V_{PK}$ |
| | | | | DWV-8 | $5000V_{RMS}$ / $7071V_{PK}$ |
| | | | | D-8 | $3000V_{RMS}$ / $4242V_{PK}$ |
| 接尾辞 F 付きの ISO7721-Q1 | 100Mbps | 正方向 1、逆方向 1 | Low | DW-16 | $5000V_{RMS}$ / $8000V_{PK}$ |
| | | | | DWV-8 | $5000V_{RMS}$ / $7071V_{PK}$ |
| | | | | D-8 | $3000V_{RMS}$ / $4242V_{PK}$ |

(1) 絶縁定格の詳細については、セクション 6.7 を参照してください。

### 8.3.1 電磁両立性 (EMC) に関する検討事項

過酷な産業用環境で使用される多くのアプリケーションは、静電気放電 (ESD)、電気的高速過渡現象 (EFT)、サージ、電磁放射のような外乱の影響を受けやすくなっています。これらの電磁妨害は、IEC 61000-4-x および CISPR 22 などの国際規格により規制されています。システム レベルの性能と信頼性は、アプリケーション基板の設計とレイアウトに大きく左右されますが、ISO772x-Q1 ファミリのデバイスは、数多くのチップ レベルの設計改善を取り入れて、システム全体の堅牢性を高めています。改善項目の一部を以下に示します。

- 入出力信号ピンおよびチップ間のボンド パッドに、堅牢な ESD 保護セル。
- 電源ピンおよびグランド ピンに、ESD セルの低抵抗接続。
- 高電圧絶縁コンデンサの性能を強化し、ESD、EFT、サージの各イベントに対する耐性を向上。
- 低インピーダンス パスを経由して不要な高エネルギー信号をバイパスする、オンチップ デカップリング コンデンサの大容量化。
- ガード リングによって PMOS デバイスと NMOS デバイスを相互に絶縁し、寄生 SCR がトリガされるのを防止。
- 完全差動内部動作を確保し、絶縁バリアをまたぐコモン モード電流を低減。

## 8.4 デバイスの機能モード

表 8-2 に、ISO772x-Q1 デバイスの機能モードを示します。

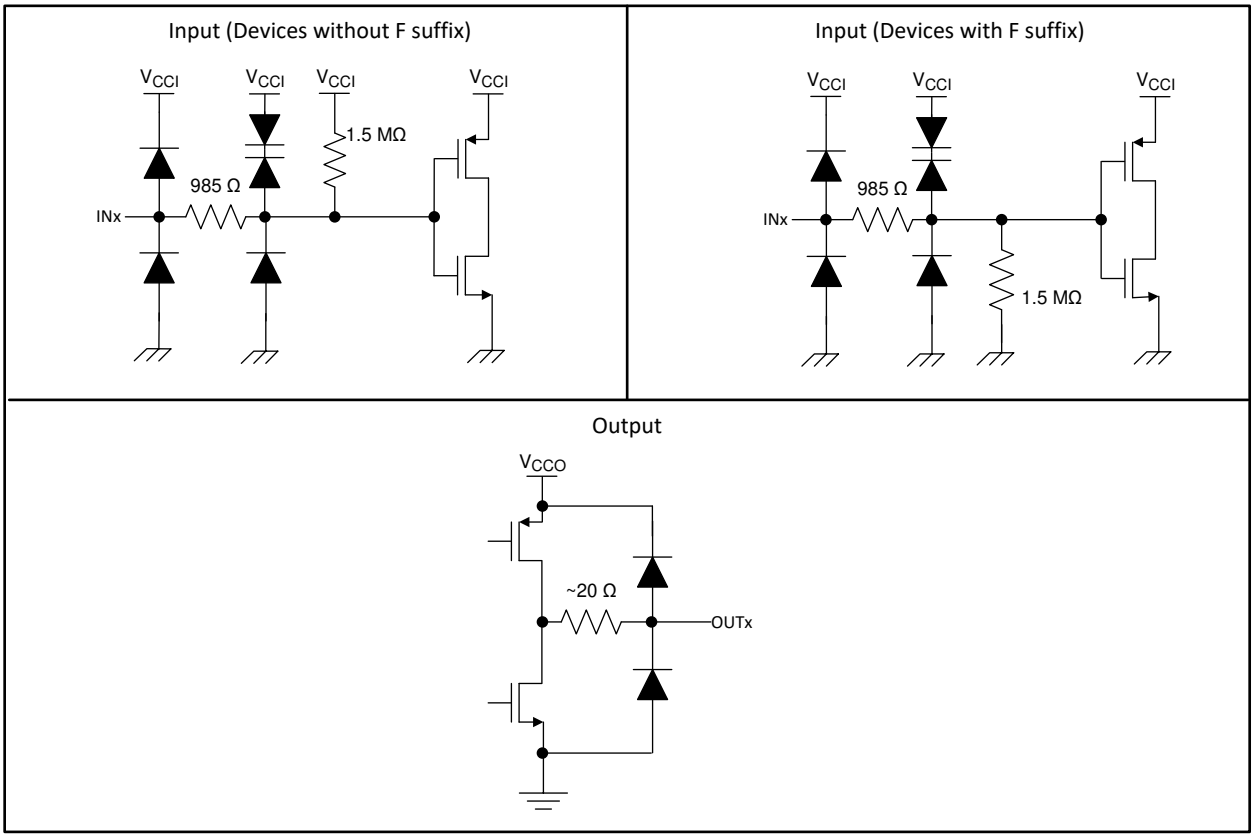
**表 8-2. 機能表**

| $V_{CCI}$ (1) | $V_{CCO}$ | 入力 (INx)(3) | 出力 (OUTx) | 備考 |
|---|---|---|---|---|
| PU | PU | H | H | 通常動作:<br>チャネルの出力は、入力の論理状態になります。 |
| | | L | L | |
| | | 開放 | デフォルト | デフォルト モード:INx がオープンのとき、対応するチャネル出力はデフォルトのロジック状態に移行します。デフォルトは ISO772x-Q1 では High、接尾辞が F の ISO772x-Q1 では Low です。 |
| PD | PU | X | デフォルト | デフォルト モード:$V_{CCI}$ に電源が供給されていないとき、チャネル出力は選択されたデフォルト オプションに基づいたロジック状態になります。デフォルトは ISO772x-Q1 では High、接尾辞が F の ISO772x-Q1 では Low です。<br>$V_{CCI}$ が電源オフから電源オンに遷移すると、チャネル出力は入力のロジック状態と同じになります。<br>$V_{CCI}$ が電源オンから電源オフに遷移すると、チャネル出力は選択されているデフォルト状態になります。 |
| X | PD | X | 不定 | $V_{CCO}$ が電源オフとき、チャネル出力は不定です(2)。<br>$V_{CCO}$ が電源オフから電源オンに遷移すると、チャネル出力は入力のロジック状態と同じになります。 |

(1) $V_{CCI}$ = 入力側 $V_{CC}$、$V_{CCO}$ = 出力側 $V_{CC}$、PU = 電源オン ($V_{CC}$ ≧ 2.25 V)、PD = 電源オフ ($V_{CC}$ ≦ 1.7 V)、X = 無関係、H = High レベル、L = Low レベル
(2) 1.7V < $V_{CCI}$、$V_{CCO}$ < 2.25V のとき、出力は不定状態になります。
(3) 強く駆動される入力信号は、内部保護ダイオードを経由してフローティング $V_{CC}$ に弱い電力を供給し、出力が不定になる可能性があります。


Copyright © 2024 Texas Instruments Incorporated

### 8.4.1 デバイス I/O 回路図




Copyright © 2016, Texas Instruments Incorporated

**図 8-3. デバイス I/O 回路図**

# 9 アプリケーションと実装

注

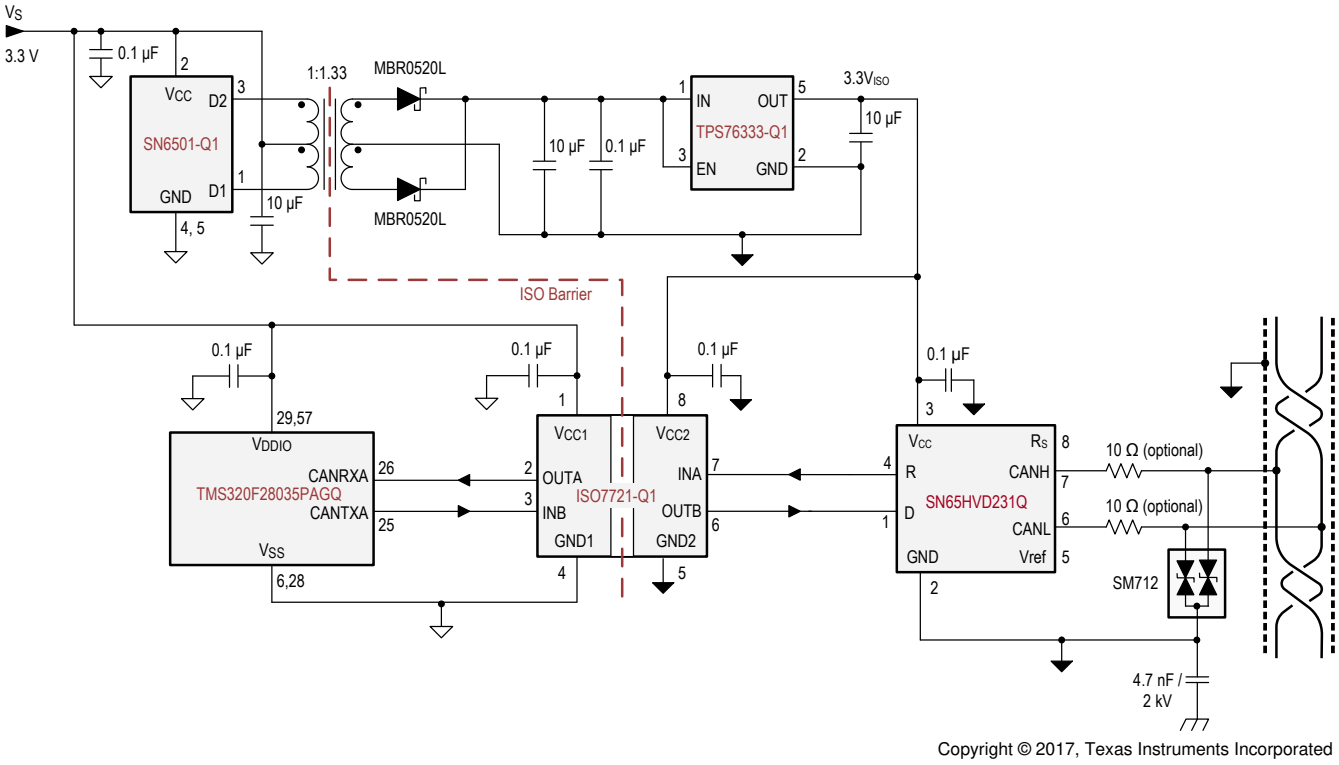
以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

## 9.1 アプリケーション情報

ISO772x-Q1 デバイスは、高性能のデュアル チャネル デジタル アイソレータです。これらのデバイスは、シングルエンドの CMOS ロジック スイッチング技術を使用しています。電源電圧の範囲は、$V_{CC1}$ と $V_{CC2}$ の両方の電源で 2.25 V～5.5V です。デジタル アイソレータを使って設計する場合は、シングルエンド設計構造のため、デジタル アイソレータが特定のインターフェイス規格に準拠していないこと、シングルエンド CMOS または TTL デジタル信号ラインの絶縁のみを目的としていることに注意してください。アイソレータは、通常、インターフェイスの種類や規格にかかわらず、データ コントローラ (µC または UART) と、データ コンバータまたはライン トランシーバとの間に配置されます。

## 9.2 代表的なアプリケーション

ISO7721-Q1 デバイスは、テキサス・インスツルメンツの Piccolo™ マイクロコントローラ、CAN トランシーバ、トランス ドライバ、電圧レギュレータと組み合わせて、絶縁型 CAN インターフェイスを作成するために使用できます。




Copyright © 2017, Texas Instruments Incorporated

**図 9-1. 4mA～20mA の絶縁電流ループ**


Copyright © 2024 Texas Instruments Incorporated

### 9.2.1 設計要件

このデバイスを使用する設計には、表 9-1 に記載されているパラメータを使用します。

**表 9-1. 設計パラメータ**

| パラメータ | 値 |
|---|---|
| 電源電圧、$V_{CC1}$ および $V_{CC2}$ | 2.25V～5.5V |
| $V_{CC1}$ と GND1 との間のデカップリング コンデンサ | 0.1µF |
| $V_{CC2}$ と GND2 との間のデカップリング コンデンサ | 0.1µF |

### 9.2.2 詳細な設計手順

ISO772x-Q1 デバイスは、フォトカプラとは異なり、性能向上、バイアス供給、電流制限のために外付け部品を必要としません。必要とするのは、動作に必要な外付けバイパス コンデンサは 2 個のみです。

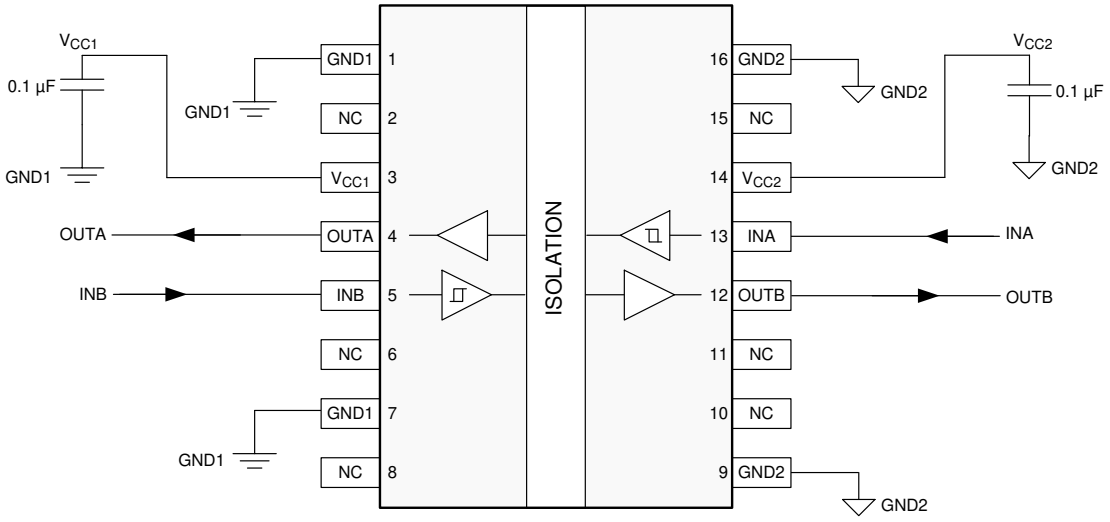



**図 9-2. 標準的な ISO7721-Q1 回路のフックアップ**

### 9.2.3 アプリケーション曲線

以下に示す、ISO772x-Q1 ファミリのデバイスの代表的なアイ ダイアグラムは、100Mbps の最大データ レートで低ジッタと広いオープン アイを示しています。

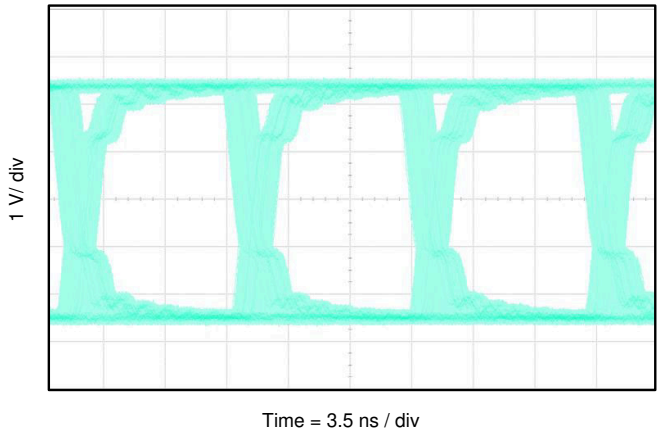



**図 9-3. ISO7720-Q1 のアイ ダイアグラム、100Mbps PRBS、5V 電源、25℃**

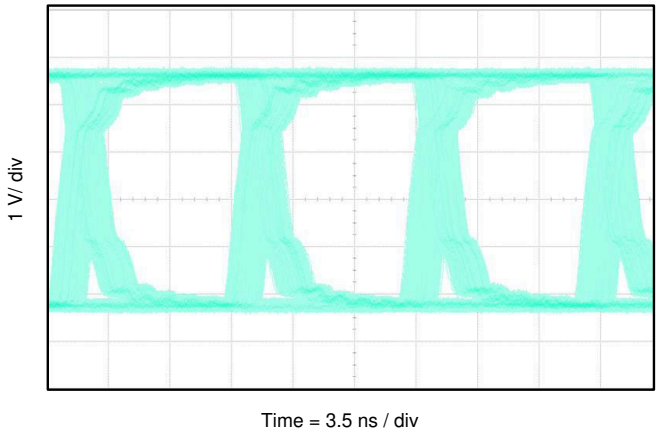



**図 9-4. ISO7721-Q1 のアイ ダイアグラム、100Mbps PRBS、5V 電源、25℃**

#### *9.2.3.1 絶縁寿命*

絶縁寿命予測データは、業界標準の TDDB (Time Dependent Dielectric Breakdown、経時絶縁破壊) テスト手法を使用して収集されます。このテストでは、バリアのそれぞれの側にあるすべてのピンを互いに接続して 2 つの端子を持つデバイスを構成し、その両側に高電圧を印加します。TDDB テスト構成については、絶縁寿命測定用のテスト構成 を参照してください。この絶縁破壊データは、動作温度範囲で、さまざまな電圧について 60Hz でスイッチングして収集されます。強化絶縁について、VDE 規格では、100 万分の 1 (ppm) 未満の故障率での TDDB (経時絶縁破壊) 予測曲線の使用が求められています。期待される最小絶縁寿命は、規定の動作絶縁電圧において 20 年ですが、VDE の強化絶縁認証には、動作電圧について 20%、寿命について 50% の安全マージンがさらに必要となります。すなわち、規定値よりも 20% 高い動作電圧で、30 年の最小絶縁寿命が必要であることになります。

絶縁寿命予測データ に、寿命全体にわたって高電圧ストレスに耐えることができる、絶縁バリアの固有能力を示します。この TDDB データによれば、絶縁バリアの固有能力は 1500$V_{RMS}$、寿命は 36 年です。パッケージ サイズ、汚染度、材料グループなど他の要因により、部品の動作電圧がさらに制限される場合があります。DW-16 および DWV-8 パッケージの動作電圧は、最大 1500$V_{RMS}$ および D-8 パッケージで最大 450$V_{RMS}$ に規定されています。動作電圧が低い場合、対応する絶縁寿命は 36 年よりはるかに長くなります。


Copyright © 2024 Texas Instruments Incorporated

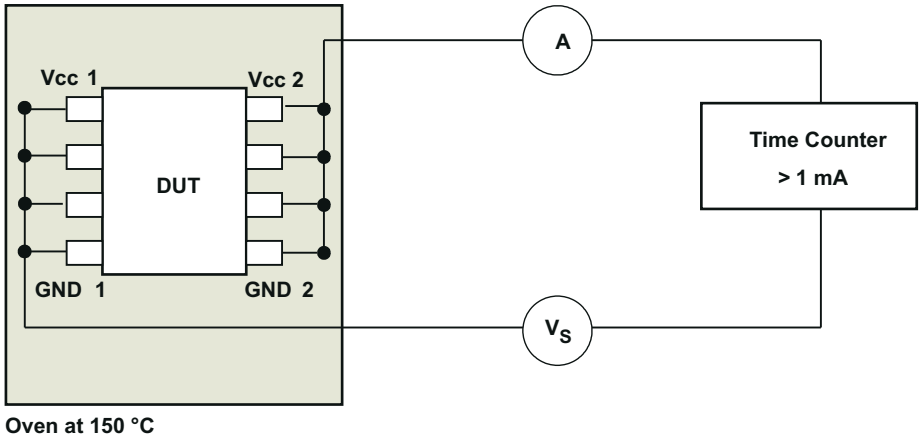



図 9-5. 絶縁寿命測定用のテスト構成

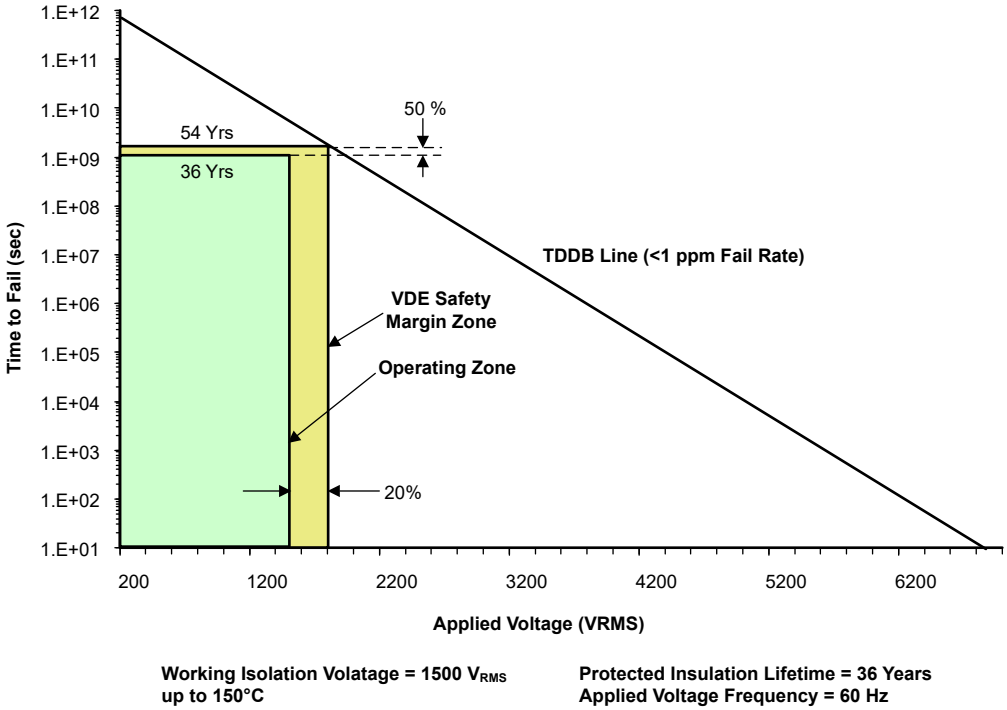



図 9-6. 絶縁寿命予測データ

## 10 電源に関する推奨事項

データ レートおよび電源電圧での信頼性の高い動作を確保するため、入力および出力電源ピン ($V_{CC1}$ および $V_{CC2}$) に 0.1µF のバイパス コンデンサを推奨します。コンデンサは電源ピンにできるだけ近付けて配置してください。アプリケーションで使用できる 1 次側電源が 1 つだけの場合は、テキサス・インスツルメンツ SN6501-Q1 などのトランスドライバを使用して、2 次側用の絶縁型電源を生成できます。このようなアプリケーションでは、『『SN6501-Q1 絶縁電源用の変圧器ドライバ』で電源の詳細な設計とトランスの選択についての推奨事項を参照できます。


Copyright © 2024 Texas Instruments Incorporated

# 11 レイアウト

## 11.1 レイアウトのガイドライン

低 EMI の PCB 設計を実現するには、少なくとも 4 層が必要です (図 11-1 を参照)。層の構成は、上層から下層に向かって、高速信号層、グランド プレーン、電源プレーン、低周波数信号層の順に配置する必要があります。

- 上層に高速パターンを配線することにより、ビアの使用 (およびそれに伴うインダクタンスの発生) を避けて、データ リンクのトランスミッタ回路およびレシーバ回路とアイソレータとの間のクリーンな相互接続が可能になります。
- 高速信号層の次の層に、ベタのグランド プレーンを配置することにより、伝送ライン接続のインピーダンスを制御し、リターン電流のための優れた低インダクタンス パスを実現します。
- グランド プレーンの次の層に、電源プレーンを配置すると、高周波バイパス容量を約 100 pF/in$^2$ 増加させることができます。
- 最下層に低速の制御信号を配線すれば、通常、これらの信号リンクには、ビアのような不連続性を許容するマージンがあるため、高い柔軟性が得られます。

電源プレーンまたは信号層の追加が必要な場合は、対称性を保つために、第 2 の電源系統またはグランド プレーン系統を層構成に追加します。これにより、基盤の層構成は機械的に安定し、反りを防ぎます。また、各電源系統の電源プレーンとグランド プレーンを互いに近づけて配置できるため、高周波バイパス容量を大幅に増やすことができます。

レイアウトの推奨事項の詳細については、『デジタル アイソレータ設計ガイド』を参照してください。

### 11.1.1 PCB 材料

150Mbps 未満で動作する場合 (または、立ち上がり立ち下がり時間が 1ns 超)、およびトレース長が 10 インチ未満の場合のデジタル回路基板には、標準の FR-4 UL94V-0 プリント基板を使用します。この PCB は、高周波での誘電損失の低減、吸湿性の低減、強度と剛性の向上、および自己消火性の特性により、安価な代替品よりも推奨されます。

## 11.2 レイアウト例

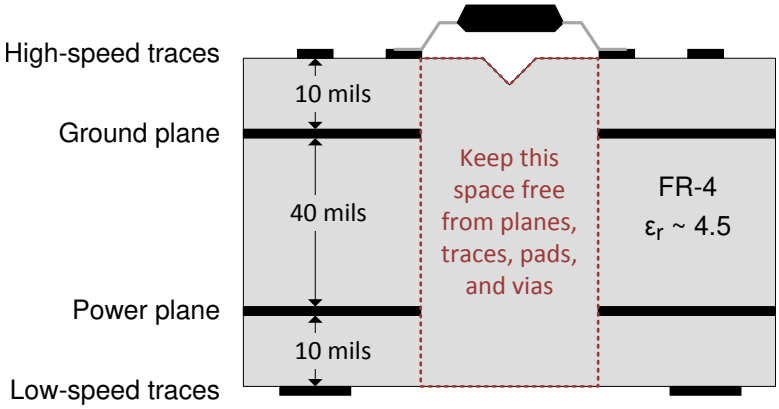



**図 11-1. レイアウト例**

# 12 デバイスおよびドキュメントのサポート

## 12.1 デバイス サポート

### 12.1.1 開発サポート

開発サポートについては、次の資料を参照してください。

- 絶縁型 CAN フレキシブル データ (FD) レート リピータのリファレンス デザイン
- デュアル同時サンプリング ADC を使用する絶縁 16 チャネル AC アナログ入力モジュールのリファレンス デザイン
- 絶縁型 AFE (アナログ フロントエンド) 搭載、多相シャント計量のリファレンス デザイン
- 電源絶縁型超小型アナログ出力モジュール向けリファレンス デザイン

## 12.2 ドキュメントのサポート

### 12.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『デジタル アイソレータ設計ガイド』
- テキサス・インスツルメンツ、『産業用システムで ESD、EFT、サージの耐性を改善する目的で絶縁を使用する方法』アプリケーション レポート
- テキサス・インスツルメンツ、『絶縁の用語集』
- テキサス・インスツルメンツ、『SN6501-Q1 絶縁電源用の変圧器ドライバ』データシート
- テキサス・インスツルメンツ、『SN65HVD231Q 3.3V CAN トランシーバ』データシート
- テキサス・インスツルメンツ、『TPS763xx-Q1 低消費電力、150mA、低ドロップアウトのリニア レギュレータ』データシート
- テキサス・インスツルメンツ、『TMS320F2803x Piccolo™ マイクロコントローラ』データシート

## 12.3 関連リンク

次の表に、クイック アクセス リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティ リソース、ツールとソフトウェア、およびサンプル注文またはご購入へのクイック アクセスが含まれます。

**表 12-1. 関連リンク**

| 製品 | プロダクト フォルダ | ご注文はこちら | 技術資料 | ツールとソフトウェア | サポートとコミュニティ |
|---|---|---|---|---|---|
| ISO7720-Q1 | こちらをクリック | こちらをクリック | こちらをクリック | こちらをクリック | こちらをクリック |
| ISO7721-Q1 | こちらをクリック | こちらをクリック | こちらをクリック | こちらをクリック | こちらをクリック |

## 12.4 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

## 12.5 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

## 12.6 商標

Piccolo™ is a trademark of Texas Instruments.
テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。


Copyright © 2024 Texas Instruments Incorporated

## 12.7 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 12.8 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

# 13 メカニカル、パッケージ、および注文情報

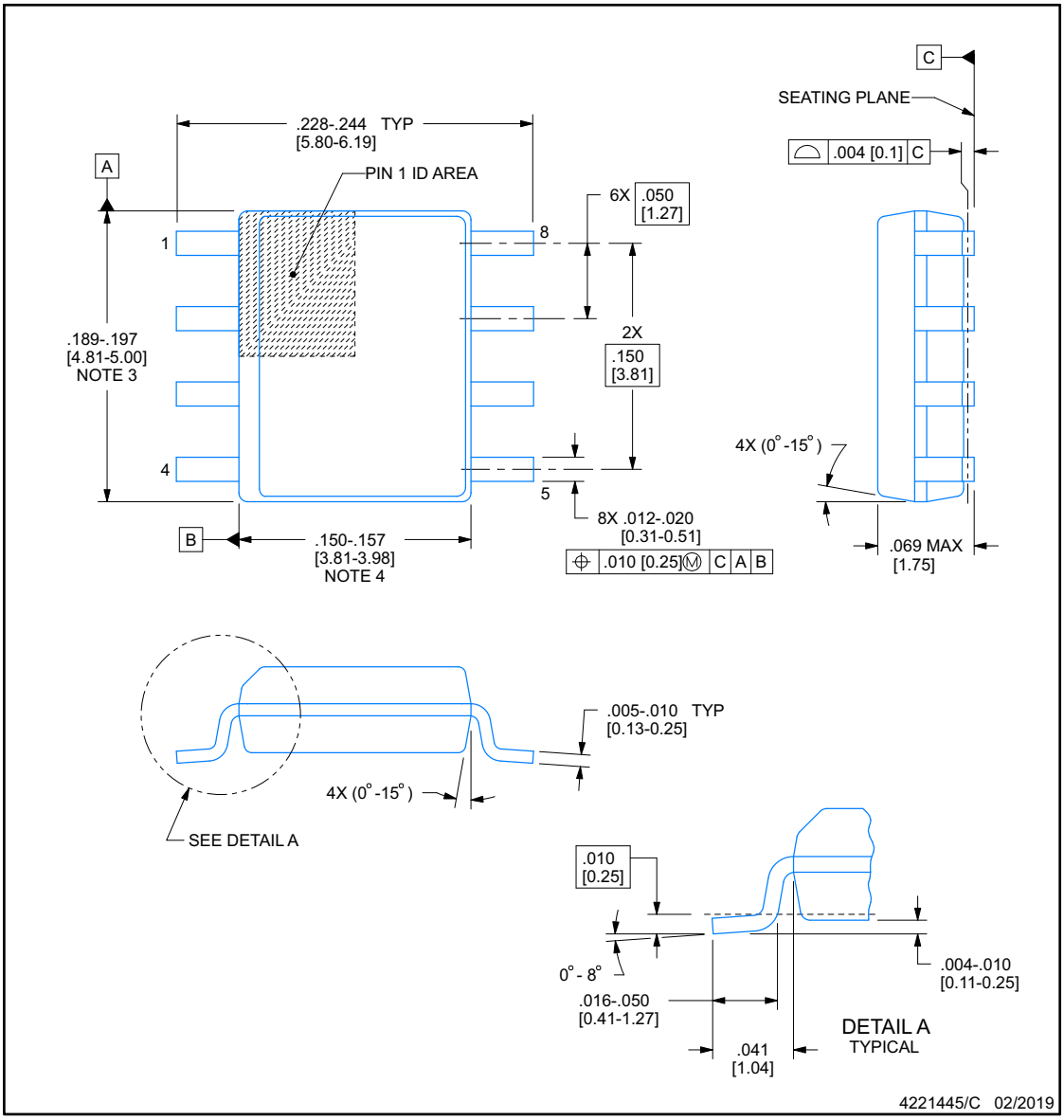
以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

# PACKAGE OUTLINE

## D0008B

## SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT




NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15], per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

TEXAS INSTRUMENTS
www.ti.com

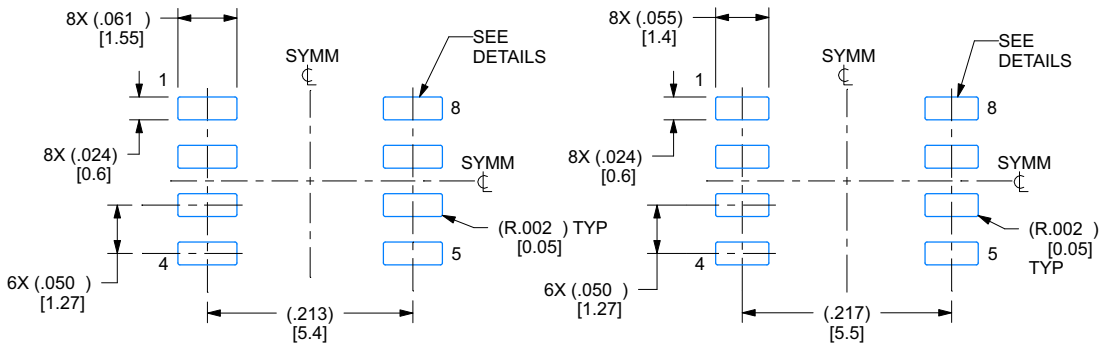

Copyright © 2024 Texas Instruments Incorporated

# EXAMPLE BOARD LAYOUT

## D0008B

## SOIC - 1.75 mm max height

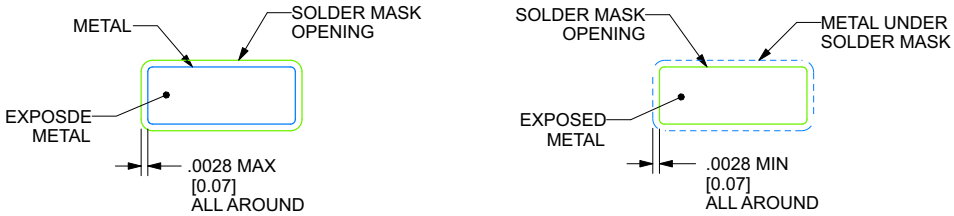
SMALL OUTLINE INTEGRATED CIRCUIT




IPC-7351 NOMINAL
.150 [3.85] CLEARANCE / CREEPAGE

HV / ISOLATION OPTION
.162 [4.1] CLEARANCE / CREEPAGE

LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X




NON SOLDER MASK
DEFINED

SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4221445/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

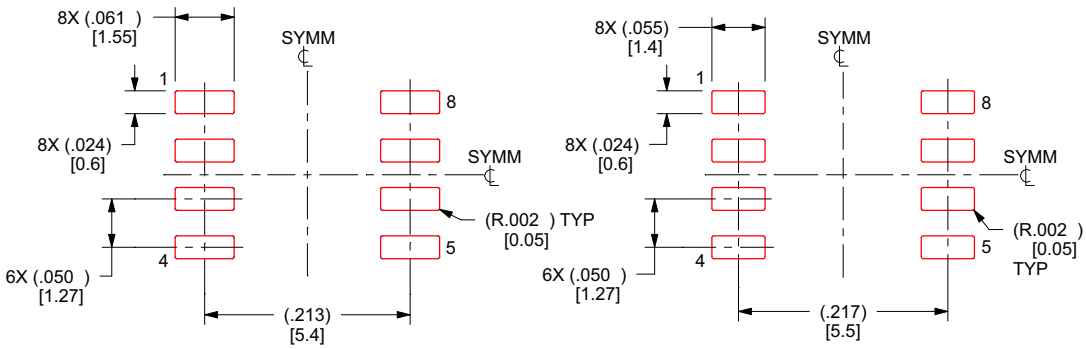


Copyright © 2024 Texas Instruments Incorporated

## EXAMPLE STENCIL DESIGN

**D0008B** **SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT




IPC-7351 NOMINAL
.150 [3.85] CLEARANCE / CREEPAGE

HV / ISOLATION OPTION
.162 [4.1] CLEARANCE / CREEPAGE

SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.127 MM] THICK STENCIL
SCALE:6X

4221445/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.


Copyright © 2024 Texas Instruments Incorporated

## 13.1 付録：パッケージ オプション

### パッケージ情報

| 発注可能なデバイス | 状況 | パッケージ タイプ | パッケージ図 | ピン数 | パッケージの数量 | エコ プラン | リード / ボール仕上げ | MSL ピーク温度 | 動作温度 (℃) | デバイス マーキング |
|---|---|---|---|---|---|---|---|---|---|---|
| ISO7720FQDWVRQ1 | プレビュー | SOIC | DWV | 8 | 1000 | RoHS とグリーン | NiPdAu | Level-2-260C -1 YEAR | -40～125 | 7720F |
| ISO7721FQDWVRQ1 | プレビュー | SOIC | DWV | 8 | 1000 | RoHS とグリーン | NiPdAu | Level-2-260C -1 YEAR | -40～125 | 7721F |
| ISO7720FQDQ1 | アクティブ | SOIC | D | 8 | 75 | RoHS とグリーン | NiPdAu | Level-2-260C -1 YEAR | -40～125 | 7720FQ |
| ISO7720FQDRQ1 | アクティブ | SOIC | D | 8 | 2500 | RoHS 準拠、グリーン | NiPdAu | Level-2-260C -1 YEAR | -40～125 | 7720FQ |
| ISO7720FQDWQ1 | アクティブ | SOIC | DW | 16 | 40 | RoHS とグリーン | NiPdAu | Level-2-260C -1 YEAR | -40～125 | ISO7720FQ |
| ISO7720FQDWRQ1 | アクティブ | SOIC | DW | 16 | 2000 | RoHS とグリーン | NiPdAu | Level-2-260C -1 YEAR | -40～125 | ISO7720FQ |
| ISO7720QDQ1 | アクティブ | SOIC | D | 8 | 75 | RoHS とグリーン | NiPdAu | Level-2-260C -1 YEAR | -40～125 | 7720Q |
| ISO7720QDRQ1 | アクティブ | SOIC | D | 8 | 2500 | RoHS 準拠、グリーン | NiPdAu | Level-2-260C -1 YEAR | -40～125 | 7720Q |
| ISO7720QDWQ1 | アクティブ | SOIC | DW | 16 | 40 | RoHS とグリーン | NiPdAu | Level-2-260C -1 YEAR | -40～125 | ISO7720Q |
| ISO7720QDWRQ1 | アクティブ | SOIC | DW | 16 | 2000 | RoHS とグリーン | NiPdAu | Level-2-260C -1 YEAR | -40～125 | ISO7720Q |
| ISO7721FQDQ1 | アクティブ | SOIC | D | 8 | 75 | RoHS とグリーン | NiPdAu | Level-2-260C -1 YEAR | -40～125 | 7721FQ |
| ISO7721FQDRQ1 | アクティブ | SOIC | D | 8 | 2500 | RoHS 準拠、グリーン | NiPdAu | Level-2-260C -1 YEAR | -40～125 | 7721FQ |
| ISO7721FQDWQ1 | アクティブ | SOIC | DW | 16 | 40 | RoHS とグリーン | NiPdAu | Level-2-260C -1 YEAR | -40～125 | ISO7721FQ |
| ISO7721FQDWRQ1 | アクティブ | SOIC | DW | 16 | 2000 | RoHS とグリーン | NiPdAu | Level-2-260C -1 YEAR | -40～125 | ISO7721FQ |
| ISO7721QDQ1 | アクティブ | SOIC | D | 8 | 75 | RoHS とグリーン | NiPdAu | Level-2-260C -1 YEAR | -40～125 | 7721Q |
| ISO7721QDRQ1 | アクティブ | SOIC | D | 8 | 2500 | RoHS 準拠、グリーン | NiPdAu | Level-2-260C -1 YEAR | -40～125 | 7721Q |

Copyright © 2024 Texas Instruments Incorporated

| 発注可能なデバイス | 状況 | パッケージ タイプ | パッケージ図 | ピン数 | パッケージの数量 | エコ プラン | リード / ボール仕上げ | MSL ピーク温度 | 動作温度 (℃) | デバイス マーキング |
|---|---|---|---|---|---|---|---|---|---|---|
| ISO7721QDWQ1 | アクティブ | SOIC | DW | 16 | 40 | RoHS とグリーン | NiPdAu | Level-2-260C -1 YEAR | -40～125 | ISO7721Q |
| ISO7721QDWRQ1 | アクティブ | SOIC | DW | 16 | 2000 | RoHS とグリーン | NiPdAu | Level-2-260C -1 YEAR | -40～125 | ISO7721Q |

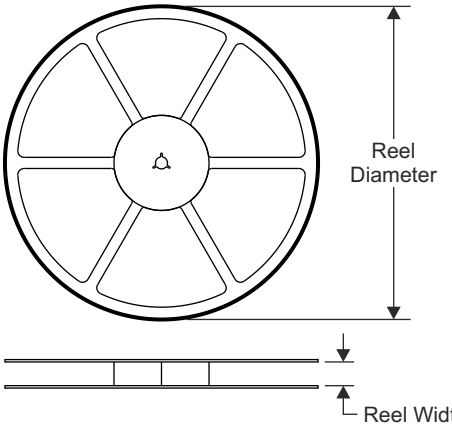
**重要なお知らせと免責事項:**このページに掲載されている情報は、発行日現在の テキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じた テキサス・インスツルメンツの責任は、このドキュメント発行時点での テキサス・インスツルメンツ製品の価格に基づく テキサス・インスツルメンツからお客様への合計購入価格 (年次ベース) を超えることはありません。

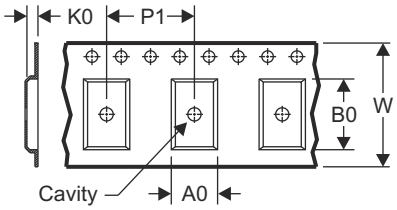

Copyright © 2024 Texas Instruments Incorporated

## 13.2 テープおよびリール情報

**REEL DIMENSIONS**

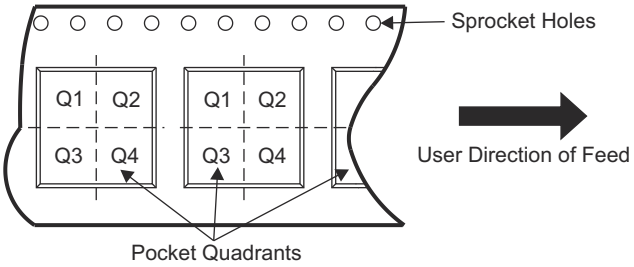



**TAPE DIMENSIONS**




| | |
|---|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

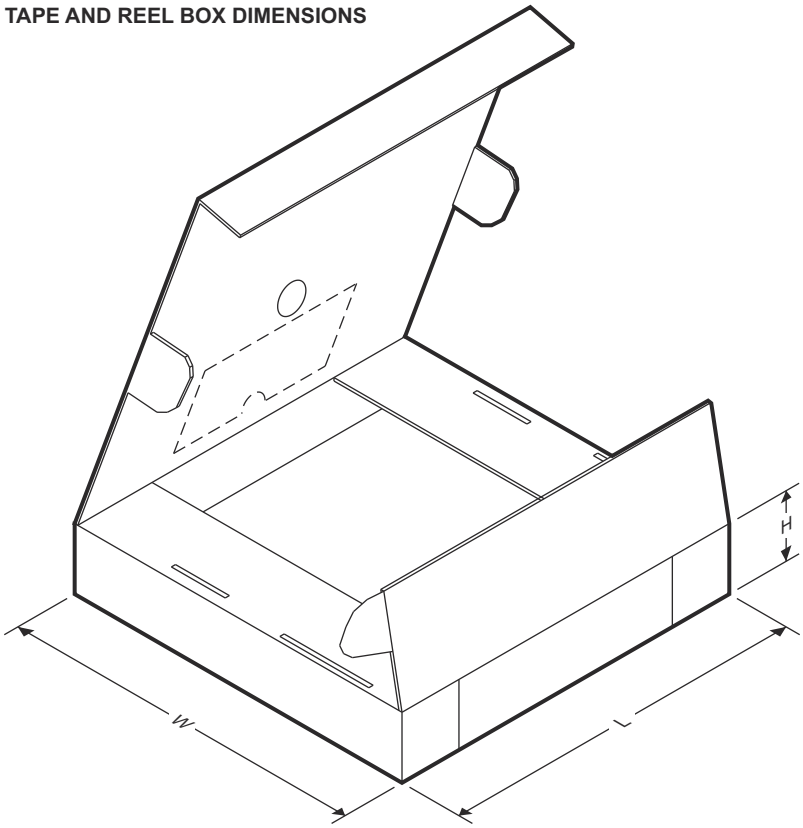
**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**




| デバイス | パッケージタイプ | パッケージ図 | ピン数 | SPQ | リール直径 (mm) | リール幅 W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | ピン 1 の象限 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| ISO7720FQDWVRQ1 | SOIC | DWV | 8 | 1000 | 330.0 | 16.4 | 12.05 | 6.15 | 3.3 | 16.0 | 16.0 | Q1 |
| ISO7721FQDWVRQ1 | SOIC | DWV | 8 | 1000 | 330.0 | 16.4 | 12.05 | 6.15 | 3.3 | 16.0 | 16.0 | Q1 |
| ISO7720FQDRQ1 | SOIC | D | 8 | 2500 | 330 | 12.4 | 6.4 | 5.2 | 2.1 | 8.0 | 12.0 | Q1 |
| ISO7720FQDWRQ1 | SOIC | DW | 16 | 2000 | 330 | 16.4 | 10.75 | 10.7 | 2.7 | 12.0 | 16.0 | Q1 |
| ISO7720QDRQ1 | SOIC | D | 8 | 2500 | 330 | 12.4 | 6.4 | 5.2 | 2.1 | 8.0 | 12.0 | Q1 |
| ISO7720QDWRQ1 | SOIC | DW | 16 | 2000 | 330 | 16.4 | 10.75 | 10.7 | 2.7 | 12.0 | 16.0 | Q1 |
| ISO7721FQDRQ1 | SOIC | D | 8 | 2500 | 330 | 12.4 | 6.4 | 5.2 | 2.1 | 8.0 | 12.0 | Q1 |
| ISO7721FQDWRQ1 | SOIC | DW | 16 | 2000 | 330 | 16.4 | 10.75 | 10.7 | 2.7 | 12.0 | 16.0 | Q1 |
| ISO7721QDRQ1 | SOIC | D | 8 | 2500 | 330 | 12.4 | 6.4 | 5.2 | 2.1 | 8.0 | 12.0 | Q1 |
| ISO7721QDWRQ1 | SOIC | DW | 16 | 2000 | 330 | 16.4 | 10.75 | 10.7 | 2.7 | 12.0 | 16.0 | Q1 |

Copyright © 2024 Texas Instruments Incorporated

**TAPE AND REEL BOX DIMENSIONS**




| デバイス | パッケージ タイプ | パッケージ図 | ピン数 | SPQ | 長さ (mm) | 幅 (mm) | 高さ (mm) |
|---|---|---|---|---|---|---|---|
| ISO7720FQDWVRQ1 | SOIC | DWV | 8 | 1000 | 350.0 | 350.0 | 43.0 |
| ISO7721FQDWVRQ1 | SOIC | DWV | 8 | 1000 | 350.0 | 350.0 | 43.0 |
| ISO7720FQDRQ1 | SOIC | D | 8 | 2500 | 350.0 | 350.0 | 43.0 |
| ISO7720FQDWRQ1 | SOIC | DW | 16 | 2000 | 350.0 | 350.0 | 43.0 |
| ISO7720QDRQ1 | SOIC | D | 8 | 2500 | 350.0 | 350.0 | 43.0 |
| ISO7720QDWRQ1 | SOIC | DW | 16 | 2000 | 350.0 | 350.0 | 43.0 |
| ISO7721FQDRQ1 | SOIC | D | 8 | 2500 | 350.0 | 350.0 | 43.0 |
| ISO7721FQDWRQ1 | SOIC | DW | 16 | 2000 | 350.0 | 350.0 | 43.0 |
| ISO7721QDRQ1 | SOIC | D | 8 | 2500 | 350.0 | 350.0 | 43.0 |
| ISO7721QDWRQ1 | SOIC | DW | 16 | 2000 | 350.0 | 350.0 | 43.0 |

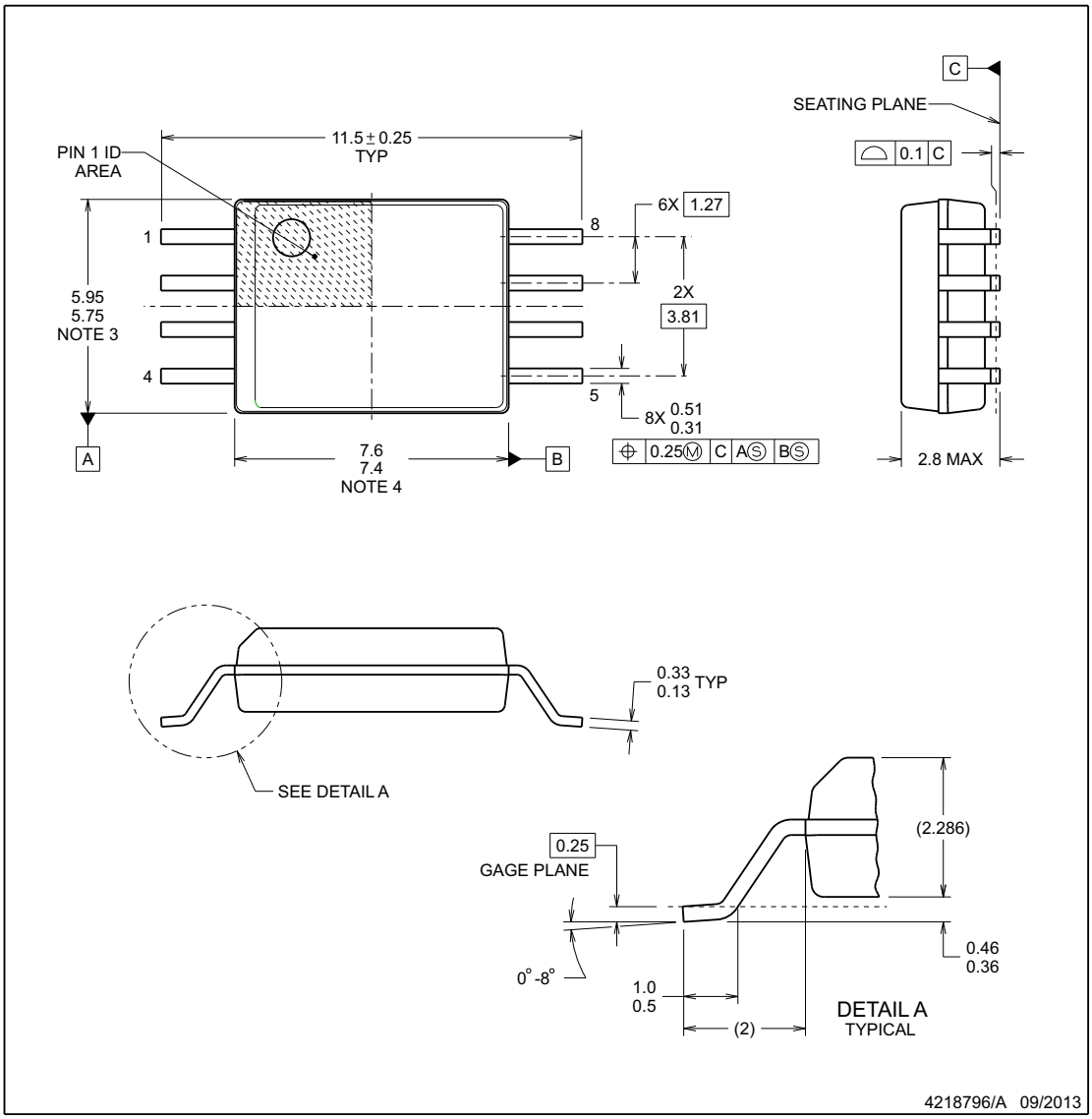

Copyright © 2024 Texas Instruments Incorporated

# PACKAGE OUTLINE

## DWV0008A

SOIC - 2.8 mm max height

SOIC




NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.



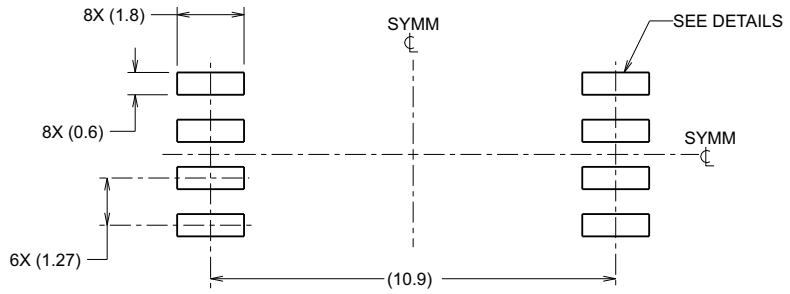
Copyright © 2024 Texas Instruments Incorporated

# EXAMPLE BOARD LAYOUT

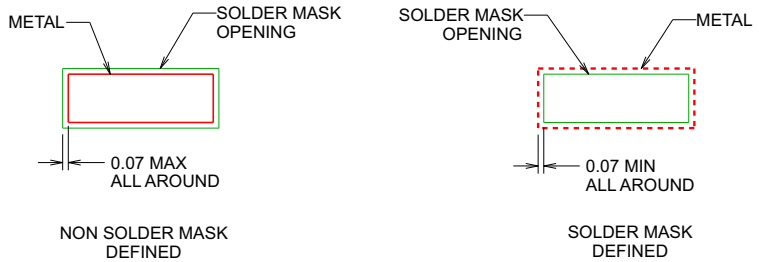
## DWV0008A

SOIC - 2.8 mm max height

SOIC




LAND PATTERN EXAMPLE
9.1 mm NOMINAL CLEARANCE/CREEPAGE
SCALE:6X




SOLDER MASK DETAILS

4218796/A 09/2013

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

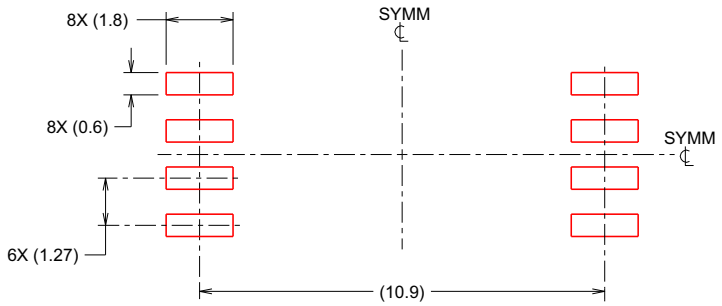

Copyright © 2024 Texas Instruments Incorporated

# EXAMPLE STENCIL DESIGN

## DWV0008A

SOIC - 2.8 mm max height

SOIC




SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4218796/A 09/2013

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.



Copyright © 2024 Texas Instruments Incorporated

## PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| ISO7720FQDRQ1 | Active | Production | SOIC (D) \| 8 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | (7720F, 7720FQ) |
| ISO7720FQDRQ1.A | Active | Production | SOIC (D) \| 8 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | (7720F, 7720FQ) |
| ISO7720FQDWRQ1 | Active | Production | SOIC (DW) \| 16 | 2000 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | (ISO7720F, ISO7720 FQ) |
| ISO7720FQDWRQ1.A | Active | Production | SOIC (DW) \| 16 | 2000 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | (ISO7720F, ISO7720 FQ) |
| ISO7720FQDWVRQ1 | Active | Production | SOIC (DWV) \| 8 | 1000 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | 7720F |
| ISO7720FQDWVRQ1.A | Active | Production | SOIC (DWV) \| 8 | 1000 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | 7720F |
| ISO7720QDRQ1 | Active | Production | SOIC (D) \| 8 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | (7720, 7720Q) |
| ISO7720QDRQ1.A | Active | Production | SOIC (D) \| 8 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | (7720, 7720Q) |
| ISO7720QDWRQ1 | Active | Production | SOIC (DW) \| 16 | 2000 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | (ISO7720, ISO7720Q ) |
| ISO7720QDWRQ1.A | Active | Production | SOIC (DW) \| 16 | 2000 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | (ISO7720, ISO7720Q ) |
| ISO7720QDWVRQ1 | Active | Production | SOIC (DWV) \| 8 | 1000 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | 7720 |
| ISO7720QDWVRQ1.A | Active | Production | SOIC (DWV) \| 8 | 1000 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | 7720 |
| ISO7721FQDRQ1 | Active | Production | SOIC (D) \| 8 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | (7721F, 7721FQ) |
| ISO7721FQDRQ1.A | Active | Production | SOIC (D) \| 8 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | (7721F, 7721FQ) |
| ISO7721FQDWRQ1 | Active | Production | SOIC (DW) \| 16 | 2000 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | (ISO7721F, ISO7721 FQ) |
| ISO7721FQDWRQ1.A | Active | Production | SOIC (DW) \| 16 | 2000 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | (ISO7721F, ISO7721 FQ) |
| ISO7721FQDWVRQ1 | Active | Production | SOIC (DWV) \| 8 | 1000 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | 7721F |
| ISO7721FQDWVRQ1.A | Active | Production | SOIC (DWV) \| 8 | 1000 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | 7721F |
| ISO7721QDRQ1 | Active | Production | SOIC (D) \| 8 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | (7721, 7721Q) |
| ISO7721QDRQ1.A | Active | Production | SOIC (D) \| 8 | 2500 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | (7721, 7721Q) |
| ISO7721QDWRQ1 | Active | Production | SOIC (DW) \| 16 | 2000 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | (ISO7721, ISO7721Q ) |
| ISO7721QDWRQ1.A | Active | Production | SOIC (DW) \| 16 | 2000 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | (ISO7721, ISO7721Q ) |
| ISO7721QDWVRQ1 | Active | Production | SOIC (DWV) \| 8 | 1000 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | 7721 |

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| ISO7721QDWVRQ1.A | Active | Production | SOIC (DWV) \| 8 | 1000 \| LARGE T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -40 to 125 | 7721 |

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

**OTHER QUALIFIED VERSIONS OF ISO7720-Q1, ISO7721-Q1 :**

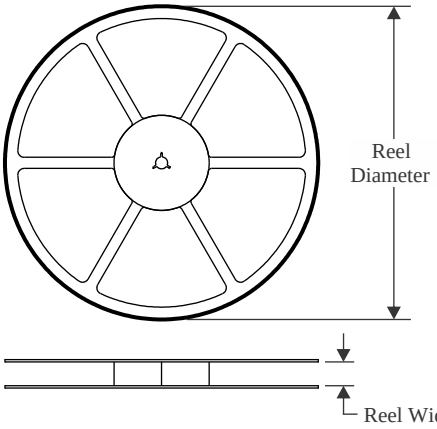
- Catalog : ISO7720, ISO7721

NOTE: Qualified Version Definitions:

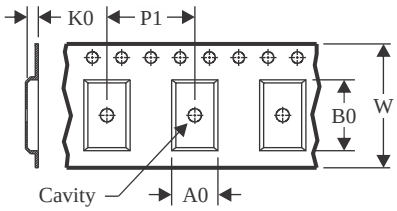
- Catalog - TI's standard catalog product

## TAPE AND REEL INFORMATION

**REEL DIMENSIONS**

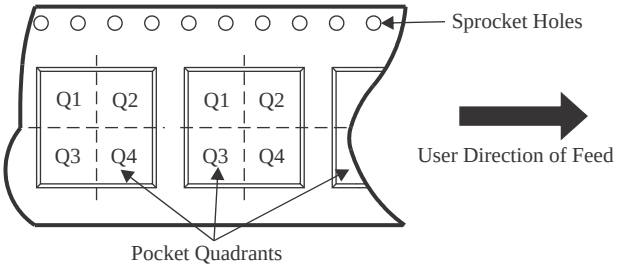



**TAPE DIMENSIONS**




| | |
|---|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

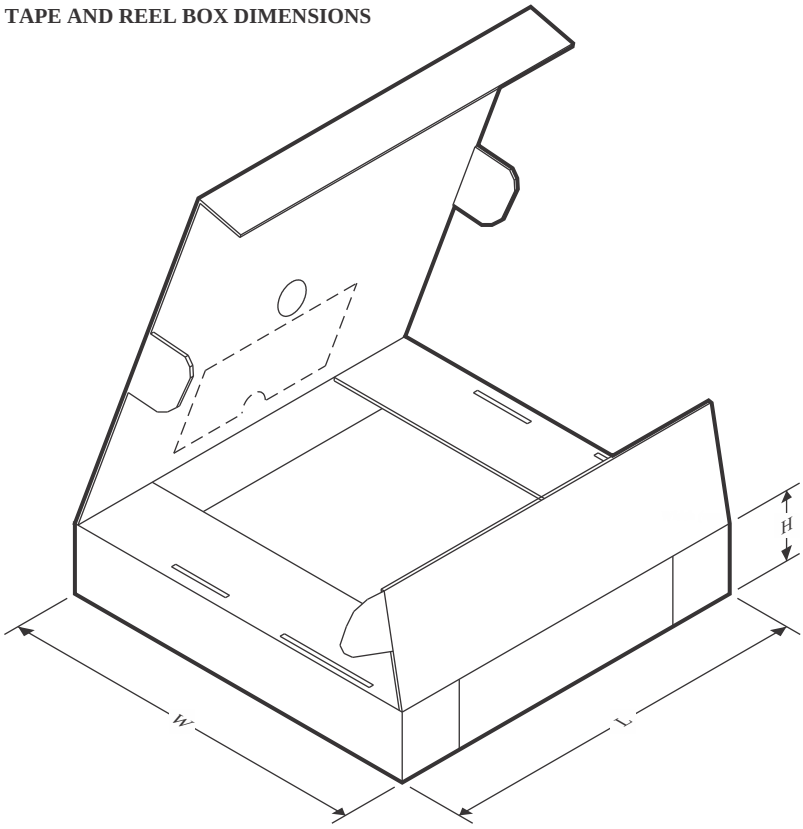
**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| ISO7720FQDRQ1 | SOIC | D | 8 | 2500 | 330.0 | 12.4 | 6.4 | 5.2 | 2.1 | 8.0 | 12.0 | Q1 |
| ISO7720FQDWRQ1 | SOIC | DW | 16 | 2000 | 330.0 | 16.4 | 10.75 | 10.7 | 2.7 | 12.0 | 16.0 | Q1 |
| ISO7720FQDWRQ1 | SOIC | DW | 16 | 2000 | 330.0 | 16.4 | 10.75 | 10.7 | 2.7 | 12.0 | 16.0 | Q1 |
| ISO7720FQDWVRQ1 | SOIC | DWV | 8 | 1000 | 330.0 | 16.4 | 12.15 | 6.2 | 3.05 | 16.0 | 16.0 | Q1 |
| ISO7720QDRQ1 | SOIC | D | 8 | 2500 | 330.0 | 12.4 | 6.4 | 5.2 | 2.1 | 8.0 | 12.0 | Q1 |
| ISO7720QDWRQ1 | SOIC | DW | 16 | 2000 | 330.0 | 16.4 | 10.75 | 10.7 | 2.7 | 12.0 | 16.0 | Q1 |
| ISO7720QDWVRQ1 | SOIC | DWV | 8 | 1000 | 330.0 | 16.4 | 12.15 | 6.2 | 3.05 | 16.0 | 16.0 | Q1 |
| ISO7721FQDRQ1 | SOIC | D | 8 | 2500 | 330.0 | 12.4 | 6.4 | 5.2 | 2.1 | 8.0 | 12.0 | Q1 |
| ISO7721FQDWRQ1 | SOIC | DW | 16 | 2000 | 330.0 | 16.4 | 10.75 | 10.7 | 2.7 | 12.0 | 16.0 | Q1 |
| ISO7721FQDWVRQ1 | SOIC | DWV | 8 | 1000 | 330.0 | 16.4 | 12.15 | 6.2 | 3.05 | 16.0 | 16.0 | Q1 |
| ISO7721QDRQ1 | SOIC | D | 8 | 2500 | 330.0 | 12.4 | 6.4 | 5.2 | 2.1 | 8.0 | 12.0 | Q1 |
| ISO7721QDWRQ1 | SOIC | DW | 16 | 2000 | 330.0 | 16.4 | 10.75 | 10.7 | 2.7 | 12.0 | 16.0 | Q1 |
| ISO7721QDWRQ1 | SOIC | DW | 16 | 2000 | 330.0 | 16.4 | 10.75 | 10.7 | 2.7 | 12.0 | 16.0 | Q1 |
| ISO7721QDWVRQ1 | SOIC | DWV | 8 | 1000 | 330.0 | 16.4 | 12.15 | 6.2 | 3.05 | 16.0 | 16.0 | Q1 |

TAPE AND REEL BOX DIMENSIONS




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|---|---|---|---|---|---|---|---|
| ISO7720FQDRQ1 | SOIC | D | 8 | 2500 | 353.0 | 353.0 | 32.0 |
| ISO7720FQDWRQ1 | SOIC | DW | 16 | 2000 | 353.0 | 353.0 | 32.0 |
| ISO7720FQDWRQ1 | SOIC | DW | 16 | 2000 | 350.0 | 350.0 | 43.0 |
| ISO7720FQDWVRQ1 | SOIC | DWV | 8 | 1000 | 353.0 | 353.0 | 32.0 |
| ISO7720QDRQ1 | SOIC | D | 8 | 2500 | 353.0 | 353.0 | 32.0 |
| ISO7720QDWRQ1 | SOIC | DW | 16 | 2000 | 353.0 | 353.0 | 32.0 |
| ISO7720QDWVRQ1 | SOIC | DWV | 8 | 1000 | 353.0 | 353.0 | 32.0 |
| ISO7721FQDRQ1 | SOIC | D | 8 | 2500 | 353.0 | 353.0 | 32.0 |
| ISO7721FQDWRQ1 | SOIC | DW | 16 | 2000 | 353.0 | 353.0 | 32.0 |
| ISO7721FQDWVRQ1 | SOIC | DWV | 8 | 1000 | 353.0 | 353.0 | 32.0 |
| ISO7721QDRQ1 | SOIC | D | 8 | 2500 | 353.0 | 353.0 | 32.0 |
| ISO7721QDWRQ1 | SOIC | DW | 16 | 2000 | 353.0 | 353.0 | 32.0 |
| ISO7721QDWRQ1 | SOIC | DW | 16 | 2000 | 350.0 | 350.0 | 43.0 |
| ISO7721QDWVRQ1 | SOIC | DWV | 8 | 1000 | 353.0 | 353.0 | 32.0 |

# GENERIC PACKAGE VIEW

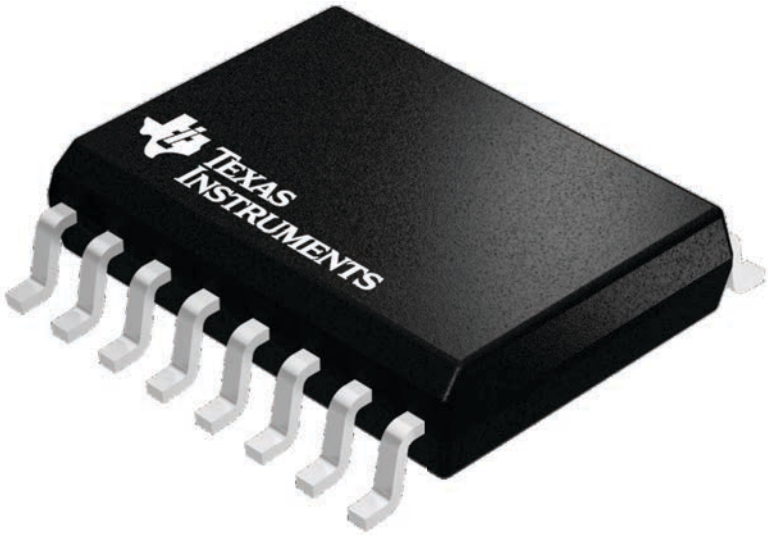
## DW 16

## SOIC - 2.65 mm max height

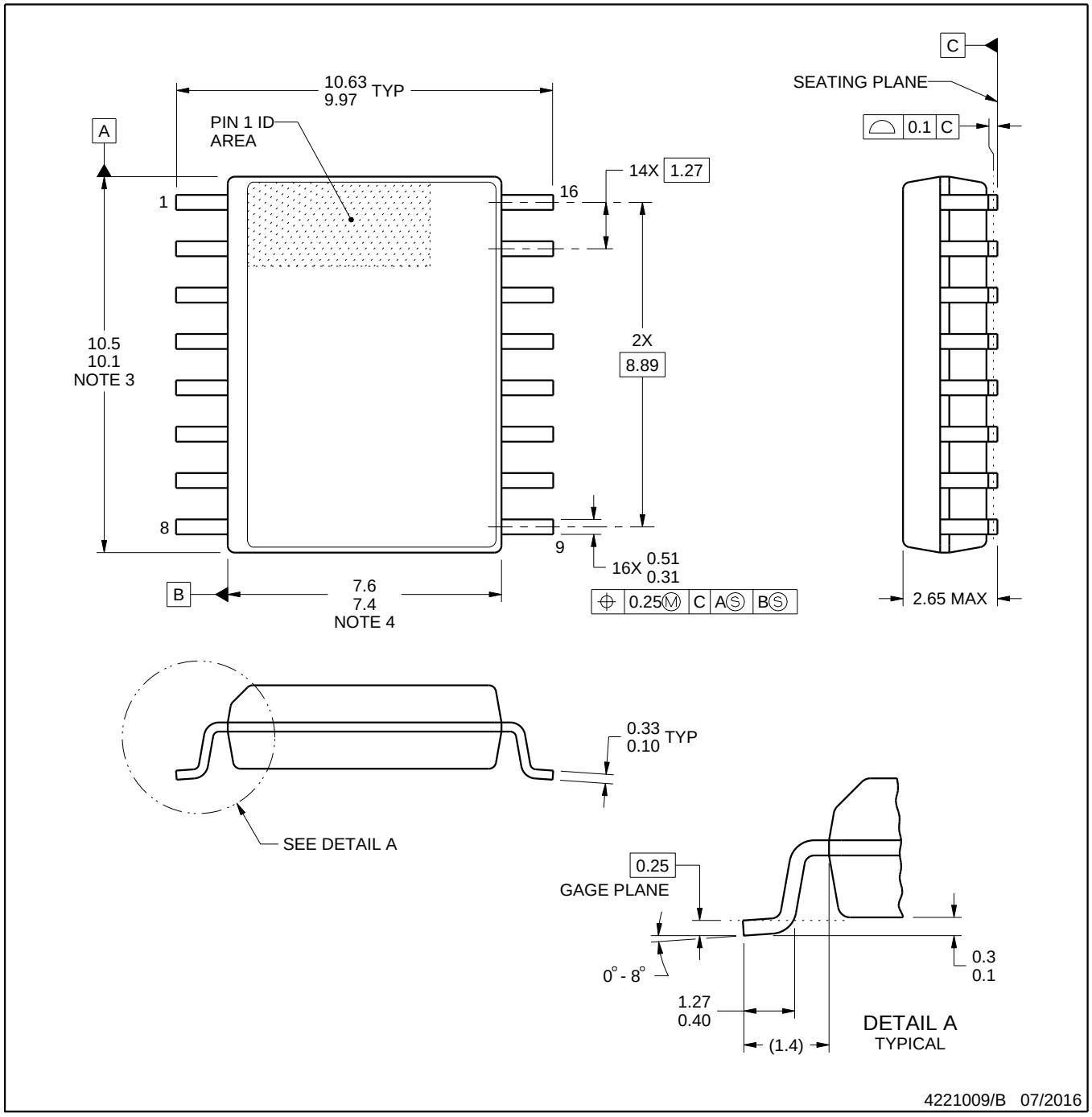
**7.5 x 10.3, 1.27 mm pitch**

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

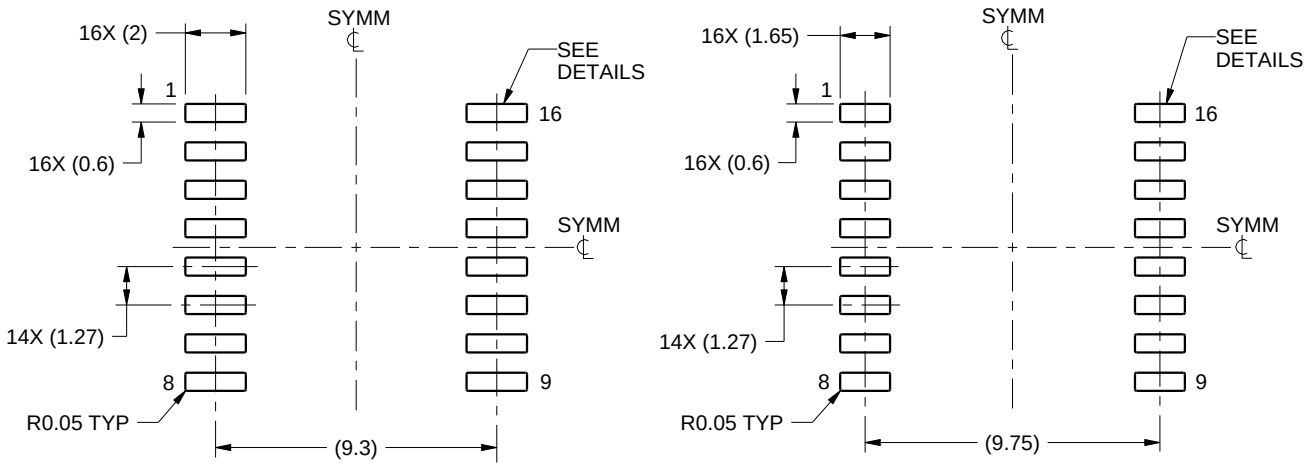



4224780/A




NOTES:

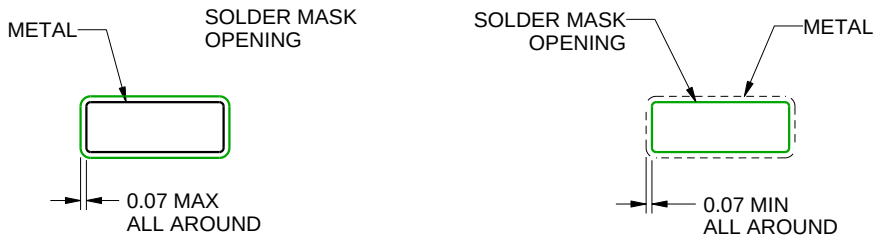
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.




IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

LAND PATTERN EXAMPLE
SCALE:4X




NON SOLDER MASK DEFINED

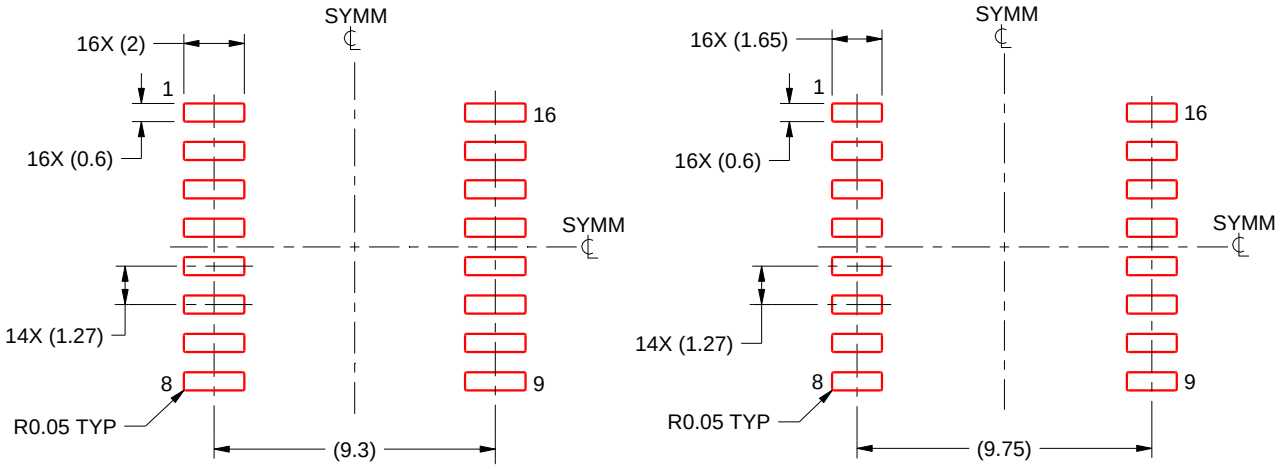
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4221009/B 07/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.




IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

4221009/B 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

# 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月