ISO7842x 高性能 8000V_{PK} 強化絶縁型クワッド チャネル デジタル アイソレータ

1 特長

- 信号速度:最大 100Mbps
- 広い電源電圧範囲:2.25V ～ 5.5V
- 2.25V から 5.5V への電圧変換
- 広い温度範囲:–55°C ～ 125°C
- 低い消費電力:1Mbps でチャネルごとに標準値 1.7mA
- 小さい伝搬遅延時間:標準値 11ns (5V 電源)
- 業界をリードする CMTI (最小値):±100kV/µs
- 堅牢な電磁環境適合性 (EMC)
- システム レベルでの ESD、EFT、サージ耐性
- 低い放射
- 絶縁バリアの寿命:40 年超
- ワイド ボディ SOIC-16 パッケージまたは超ワイド ボディ SOIC-16 パッケージを選択可能
- 安全および規制の認定:
  - DIN EN IEC 60747-17 (VDE 0884-17) に準拠した強化絶縁耐圧:8000V_{PK}
  - UL 1577 に準拠した絶縁耐圧:5.7kV_{RMS} (1 分間)
  - IEC 61010-1、IEC 62368-1、IEC 60601-1、GB 4943.1 認証

2 アプリケーション

- 産業用オートメーション
- モータ制御
- 電源
- ソーラー インバータ
- 医療機器
- ハイブリッド電気自動車 (HEV)

3 説明

ISO7842x デバイスは、8000V_{PK} の絶縁電圧を持つ高性能クワッド チャネル デジタル アイソレータです。このデバイスは、VDE、CSA、TUV、CQC に準拠した強化絶縁認証を取得しています。本アイソレータは、CMOS や LVCMOS のデジタル I/O を絶縁しながら、低消費電力で高い電磁気耐性と低い放射を実現します。各絶縁チャネルは、二酸化ケイ素 (SiO_2) の絶縁バリアで分離されたロジック入力および出力バッファを備えています。

このデバイスは複数のイネーブル ピンを備えています。これらのイネーブル ピンを使うと、マルチコントローラ駆動アプリケーションにおいて、各出力を高インピーダンス状態にすることで、消費電力を低減できます。ISO7842 デバイスには、2 個の順方向チャネルと 2 個の逆方向チャネルがあります。入力電源または信号が失われた場合のデフォルト出力は、ISO7842 デバイスでは *high*、ISO7842 デバイスでは *low* です。詳細については、「デバイスの機能モード」セクションを参照してください。

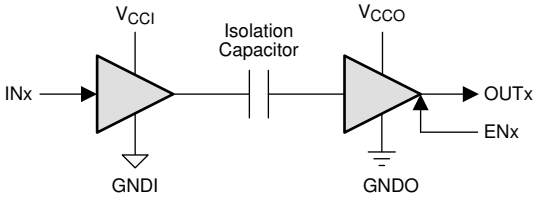
このデバイスを絶縁型電源と組み合わせて使用すると、データ バスや他の回路上のノイズ電流がローカル グランドに入り込んでノイズに敏感な回路に干渉または損傷を与えることを、防止できます。革新的なチップ設計およびレイアウト技法により、ISO7842 デバイスは電磁両立性が大幅に強化されているため、システム レベルの ESD、EFT、サージ、および放射のコンプライアンスを容易に達成できます。

ISO7842 デバイスは、16 ピン SOIC ワイド ボディ (DW) および超ワイド ボディ (DWW) パッケージで供給されます。

パッケージ情報

部品番号	パッケージ(1)	パッケージ サイズ(2)	本体サイズ (公称)
ISO7842 ISO7842F	DW (16、SOIC)	10.30mm × 10.30mm	10.30mm × 7.50mm
	DWW (16、SOIC)	10.30mm × 17.25mm	10.30mm × 14.0mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンを含みます。



V_{CCI} および GNDI は、それぞれ入力チャネルの電源およびグランド接続です。
V_{CCO} および GNDO は、それぞれ出力チャネルの電源およびグランド接続です。

概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 1
2 アプリケーション 1
3 説明 1
4 ピン構成および機能 3
ピン機能 3
5 仕様 4
5.1 絶対最大定格 4
5.2 ESD 定格 4
5.3 推奨動作条件 4
5.4 熱に関する情報 5
5.5 電力定格 5
5.6 絶縁仕様 6
5.7 安全関連認証 7
5.8 安全限界値 7
5.9 電気的特性 - 5V 電源 8
5.10 電源電流特性 — 5V 電源 8
5.11 電気的特性 — 3.3V 電源 9
5.12 電源電流特性 — 3.3V 電源 9
5.13 電気的特性 — 2.5V 電源 10
5.14 電源電流特性 — 2.5V 電源 10
5.15 スイッチング特性 — 5V 電源 11
5.16 スイッチング特性 — 3.3V 電源 12
5.17 スイッチング特性 — 2.5V 電源 13
5.18 絶縁特性曲線 14
5.19 代表的特性 15
6 パラメータ測定情報 16
7 詳細説明 18
7.1 概要 18
7.2 機能ブロック図 18
7.3 機能説明 19
7.4 デバイスの機能モード 19
8 アプリケーションと実装 20
8.1 アプリケーション情報 20
8.2 代表的なアプリケーション 20
8.3 電源に関する推奨事項 22
8.4 レイアウト 23
9 デバイスおよびドキュメントのサポート 24
9.1 ドキュメントのサポート 24
9.2 関連リンク 24
9.3 ドキュメントの更新通知を受け取る方法 24
9.4 サポート・リソース 24
9.5 商標 24
9.6 静電気放電に関する注意事項 24
9.7 用語集 24
10 改訂履歴 24
11 メカニカル、パッケージ、および注文情報 27

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

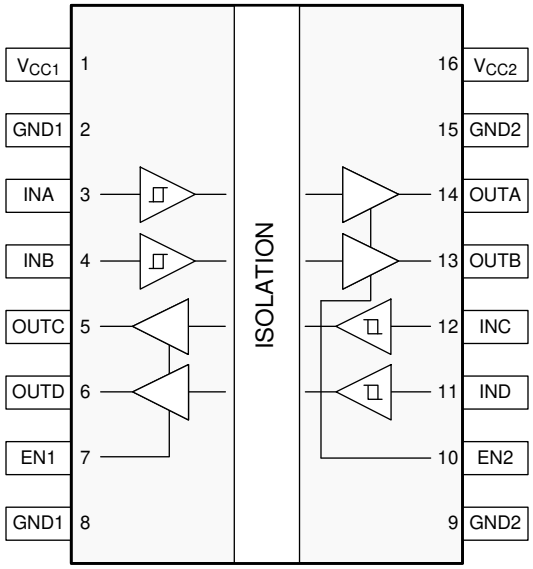


図 4-1. DW および DWW パッケージ、16 ピン SOIC (上面図)

ピン機能

ピン		種類[1]	説明
名称	番号		
EN1	7	I	出力イネーブル 1。サイド 1 の出力ピンは、EN1 が HIGH またはオープンのときにイネーブル、EN1 が LOW のときは高インピーダンス状態になります。
EN2	10	I	出力イネーブル 2。サイド 2 の出力ピンは、EN2 が HIGH またはオープンのときにイネーブル、EN2 が LOW のときは高インピーダンス状態になります。
GND1	2 8	—	V_{CC1} のグランド接続
GND2	9 15	—	V_{CC2} のグランド接続
INA	3	I	入力、チャネル A
INB	4	I	入力、チャネル B
INC	12	I	入力、チャネル C
IND	11	I	入力、チャネル D
OUTA	14	O	出力、チャネル A
OUTB	13	O	出力、チャネル B
OUTC	5	O	出力、チャネル C
OUTD	6	O	出力、チャネル D
V_{CC1}	1	—	電源、V_{CC1}
V_{CC2}	16	—	電源、V_{CC2}

(1) I = 入力、O = 出力

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

(1)を参照してください

			最小値	最大値	単位
V_{CC1}、V_{CC2}	電源電圧(2)		-0.5	6	V
	電圧	INx	-0.5	V_{CCX} + 0.5(3)	V
		OUTx	-0.5	V_{CCX} + 0.5(3)	
		ENx	-0.5	V_{CCX} + 0.5(3)	
I_O	出力電流		-15	15	mA
	サージ耐性			12.8	kV
T_{stg}	保存温度		-65	150	℃

(1) 「*絶対最大定格*」を超えた動作は、デバイスに恒久的な損傷を与える可能性があります。*絶対最大定格*は、これらの条件において、または*推奨動作条件*に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) 差動 I/O バス電圧を除くすべての電圧値は、ローカル グランド端子 (GND1 または GND2) を基準としており、ピーク電圧値です。
(3) 最大電圧は 6V 以下である必要があります

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン(1)	±6000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	±1500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

			最小値	公称値	最大値	単位
V_{CC1}、V_{CC2}	電源電圧		2.25		5.5	V
I_{OH}	High レベル出力電流	V_{CCO} (2) = 5V	-4			mA
		V_{CCO} (2) = 3.3V	-2			
		V_{CCO} (2) = 2.5V	-1			
I_{OL}	Low レベル出力電流	V_{CCO} (2) = 5V		4		mA
		V_{CCO} (2) = 3.3V		2		
		V_{CCO} (2) = 2.5V		1		
V_{IH}	High レベル入力電圧		0.7 × V_{CCI} (2)		V_{CCI} (2)	V
V_{IL}	Low レベル入力電圧		0		0.3 × V_{CCI} (2)	V
DR	信号速度		0		100	Mbps
T_J	接合部温度 (1)		-55		150	℃
T_A	周囲温度		-55	25	125	℃

(1) T_J の推奨動作条件を維持するには、*セクション 5.4* を参照してください。
(2) V_{CCI} = 入力側 V_{CC}、V_{CCO} = 出力側 V_{CC}。

Copyright © 2025 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		ISO7842		単位
		DW (SOIC)	DWW (SOIC)	
		16 ピン	16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	78.9	78.9	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	41.6	41.1	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	43.6	49.5	℃/W
ψ_{JT}	接合部から上面への特性パラメータ	15.5	15.2	℃/W
ψ_{JB}	接合部から基板への特性パラメータ	43.1	48.8	℃/W
$R_{\theta JC(bottom)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、*『半導体および IC パッケージの熱評価基準』*アプリケーション ノートを参照してください。

5.5 電力定格

V_{CC1} = V_{CC2} = 5.5V、T_J = 150℃、C_L = 15pF、50MHz 50% デューティ サイクルの方形波を入力

パラメータ		テスト条件	最小値	標準値	最大値	単位
P_D	ISO7842x による最大消費電力				200	mW
P_{D1}	ISO7842x のサイド 1 による最大消費電力				100	mW
P_{D2}	ISO7842x のサイド 2 による最大消費電力				100	mW

5.6 絶縁仕様

パラメータ		テスト条件	仕様		単位
			DW	DWW	
一般					
CLR	外部空間距離(1)	空気中での最短のピン間距離	>8	>14.5	mm
		空気中での最短のピン間距離 (標準値)		15.0	mm
CPG	沿面距離 (1)	パッケージ表面に沿った最短のピン間距離	>8	>14.5	mm
		パッケージ表面に沿った最短のピン間距離 (標準値)		15.0	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部空間距離)	>21	>21	µm
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11)、IEC 60112、UL 746A	>600	>600	V
	材料グループ		I	I	
	IEC 60664-1 に準拠した過電圧カテゴリ	定格商用電源 V_{RMS} が 600V 以下	I–IV	I–IV	
		定格商用電源 V_{RMS} が 1000V 以下	I–III	I–IV	
DIN EN IEC 60747-17 (VDE 0884-17) (2)					
V_{IORM}	最大反復ピーク絶縁電圧		2121	2828	V_{PK}
V_{IOWM}	最大絶縁動作電圧	AC 電圧 (正弦波)、絶縁膜経時破壊 (TDDB)、テスト (図 5-1 および図 5-2 を参照)	1500	2000	V_{RMS}
		DC 電圧	2121	2828	V_{DC}
V_{IOTM}	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}$、t = 60s (認定)、 $V_{TEST} = 1.2 \times V_{IOTM}$、t = 1s (100% 出荷時テスト)	8000	8000	V_{PK}
V_{IMP}	最大インパルス電圧 (3)	IEC 62368-1 に準拠し気中でテスト、1.2/50µs の波形	9800	9800	V_{PK}
V_{IOSM}	最大サージ絶縁電圧 (4)	$V_{IOSM} \geqq 1.3 \times V_{IMP}$、油中でテスト (認定)、1.2/50µs 波形、IEC 62368-1 に準拠	12800	12800	V_{PK}
q_{pd}	見掛けの放電電荷 (5)	方法 a：I/O 安全テスト サブグループ 2/3 の後、 $V_{ini} = V_{IOTM}$、t_{ini} = 60s、 $V_{pd(m)} = 1.2 \times V_{IOTM} = 2545V_{PK}$ (DW) および $3394V_{PK}$ (DWW)、t_m = 10s	≦ 5	≦ 5	pC
		方法 a：環境テストサブグループ 1 の後、 $V_{ini} = V_{IOTM}$、t_{ini} = 60s、 $V_{pd(m)} = 1.6 \times V_{IORM} = 3394V_{PK}$ (DW) および $4525V_{PK}$ (DWW)、t_m = 10s	≦ 5	≦ 5	
		メソッド b：ルーチンテスト (100% 出荷時): $V_{ini} = 1.2 \times V_{IOTM}$、$t_{ini}$ = 1s; $V_{pd(m)} = 1.875 \times V_{IORM}$、$t_m$ = 1s (メソッド b1) または $V_{pd(m)} = V_{ini}$、$t_m = t_{ini}$ (メソッド b2)	≦ 5	≦ 5	
C_{IO}	バリア容量、入力から出力へ(6)	$V_{IO} = 0.4 \times \sin(2\pi ft)$、f = 1MHz	2	2	pF
R_{IO}	絶縁抵抗、入力から出力 (6)	V_{IO} = 500V、T_A = 25℃	$>10^{12}$	$>10^{12}$	Ω
		V_{IO} = 500V (100℃ ≦ T_A ≦ 125℃時)	$>10^{11}$	$>10^{11}$	
		V_{IO} = 500V (T_S = 150℃時)	$>10^{9}$	$>10^{9}$	
	汚染度		2	2	
	耐候性カテゴリ		55/125/21	55/125/21	
UL 1577					
V_{ISO}	絶縁耐圧	$V_{TEST} = V_{ISO} = 5700V_{RMS}$、t = 60s (認定)、 $V_{TEST} = 1.2 \times V_{ISO} = 6840V_{RMS}$、t = 1s (100% 出荷時テスト)	5700	5700	V_{RMS}

(1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合

Copyright © 2025 Texas Instruments Incorporated

によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。

(2) この絶縁素子は安全定格内の*安全な電気的絶縁*のみに適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。

(3) テストは、パッケージのサージ耐性を判定するため、空気中で実行されます。

(4) テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。

(5) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。

(6) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

5.7 安全関連認証

VDE	CSA	UL	CQC	TUV
DIN EN IEC 60747-17 (VDE 0884-17) による認証	IEC 62368-1 および IEC 60601-1 による認証	UL 1577 部品認定プログラムによる認証	GB 4943.1 に従う認証	EN 61010-1 および EN 62368-1 による認証
認証書番号:40040142	マスタ契約書番号:220991	ファイル番号:E181974	認証書番号: CQC15001121716	顧客 ID 番号:77311

5.8 安全限界値

安全限界値の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。I/O 回路の故障により、グランドあるいは電源との抵抗が低くなることがあります。電流制限がないと、チップがオーバーヒートして絶縁バリアが破壊されるほどの大電力が消費され、ひいてはシステムの 2 次故障に到る可能性があります。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_S	安全入力、出力、または電源電流	$R_{\theta JA}$ = 78.9°C/W、V_I = 5.5V、T_J = 150°C、T_A = 25°C			288	mA
		$R_{\theta JA}$ = 78.9°C/W、V_I = 3.6V、T_J = 150°C、T_A = 25°C			440	
		$R_{\theta JA}$ = 78.9°C/W、V_I = 2.75V、T_J = 150°C、T_A = 25°C			576	
P_S	安全入力、出力、または合計電力	$R_{\theta JA}$ = 78.9°C/W、T_J = 150°C、T_A = 25°C			1584	mW
T_S	最高安全温度				150	°C

最大安全温度とは、デバイスに対して規定されている最大接合部温度を指します。接合部の温度は、アプリケーション ハードウェアに搭載されているデバイスの消費電力、および接合部から空気への熱抵抗により決定されます。*セクション 5.4* の表で前提とされている、接合部から空気への熱抵抗は、リード付き表面実装パッケージ向けの High-K テスト ボードに実装されたデバイスの数値です。電力は、推奨最大入力電圧と電流との積です。この場合の接合部温度は、接合部から空気への熱抵抗と電力との積に周囲温度を加えたものです。

Copyright © 2025 Texas Instruments Incorporated

5.9 電気的特性 - 5V 電源

V_{CC1} = V_{CC2} = 5V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OH}	High レベル出力電圧	I_{OH} = -4mA、図 6-1 を参照	V_{CCO} (1) – 0.4	V_{CCO} (1) – 0.2		V
V_{OL}	Low レベル出力電圧	I_{OL} = 4mA、図 6-1 を参照		0.2	0.4	V
$V_{I(HYS)}$	入力スレッショルド電圧のヒステリシス		0.1 × V_{CCI} (1)			V
I_{IH}	High レベル入力電流	INx または ENx で V_{IH} = V_{CCI} (1)			10	μA
I_{IL}	Low レベル入力電流	INx または ENx で V_{IL} = 0V	-10			
CMTI	同相過渡耐性	V_I = V_{CCI} (1) または 0V、V_{CM} = 1500V、図 6-4 を参照	100			kV/μs
C_I	入力容量	V_I = V_{CC}/2 + 0.4 × sin (2πft)、f = 1MHz、V_{CC} = 5V		2		pF

(1) V_{CCI} = 入力側 V_{CC}、V_{CCO} = 出力側 V_{CC}。

5.10 電源電流特性 — 5V 電源

V_{CC1} = V_{CC2} = 5V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	電源電流	最小値	標準値	最大値	単位
ISO7842DW および ISO7842FDW							
電源電流	無効	EN1 = EN2 = 0V、V_I = 0V (ISO7842F)、V_I = V_{CCI} (1) (ISO7842)	I_{CC1}、I_{CC2}		1	1.5	mA
		EN1 = EN2 = 0V、V_I = V_{CCI} (1) (ISO7842F)、V_I = 0V (ISO7842)	I_{CC1}、I_{CC2}		3.4	4.8	mA
	DC 信号	V_I = 0V (ISO7842F)、V_I = V_{CCI} (1) (ISO7842)	I_{CC1}、I_{CC2}		2	2.7	mA
		V_I = V_{CCI} (1) (ISO7842F)、V_I = 0V (ISO7842)	I_{CC1}、I_{CC2}		4.4	6.1	mA
	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		3.3	4.6	mA
		10Mbps	I_{CC1}、I_{CC2}		4.2	5.6	mA
		100Mbps	I_{CC1}、I_{CC2}		13.7	16.6	mA
ISO7842DWW および ISO7842FDWW							
電源電流	無効	EN1 = EN2 = 0V、V_I = 0V (ISO7842F)、V_I = V_{CCI} (1) (ISO7842)	I_{CC1}、I_{CC2}		1	1.5	mA
		EN1 = EN2 = 0V、V_I = V_{CCI} (1) (ISO7842F)、V_I = 0V (ISO7842)	I_{CC1}、I_{CC2}		3.4	4.8	mA
	DC 信号	V_I = 0V (ISO7842F)、V_I = V_{CCI} (1) (ISO7842)	I_{CC1}、I_{CC2}		2	2.8	mA
		V_I = V_{CCI} (1) (ISO7842F)、V_I = 0V (ISO7842)	I_{CC1}、I_{CC2}		4.4	6.3	mA
	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		3.4	4.7	mA
		10Mbps	I_{CC1}、I_{CC2}		4.3	5.9	mA
		100Mbps	I_{CC1}、I_{CC2}		14	17.3	mA

(1) V_{CCI} = 入力側 V_{CC}、V_{CCO} = 出力側 V_{CC}。

Copyright © 2025 Texas Instruments Incorporated

5.11 電気的特性 — 3.3V 電源

V_{CC1} = V_{CC2} = 3.3V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OH}	High レベル出力電圧	I_{OH} = -2mA、図 6-1 を参照	V_{CCO} (1) – 0.4	V_{CCO} (1) – 0.2		V
V_{OL}	Low レベル出力電圧	I_{OL} = 2mA、図 6-1 を参照		0.2	0.4	V
$V_{I(HYS)}$	入力スレッショルド電圧のヒステリシス		0.1 × V_{CCI} (1)			V
I_{IH}	High レベル入力電流	INx または ENx で V_{IH} = V_{CCI} (1)			10	µA
I_{IL}	Low レベル入力電流	INx または ENx で V_{IL} = 0V	-10			µA
CMTI	同相過渡耐性	V_I = V_{CCI} (1) または 0V、V_{CM} = 1500V、図 6-4 を参照	100			kV/µs

(1) V_{CCI} = 入力側 V_{CC}、V_{CCO} = 出力側 V_{CC}。

5.12 電源電流特性 — 3.3V 電源

V_{CC1} = V_{CC2} = 3.3V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件		電源電流	最小値	標準値	最大値	単位
ISO7842DW および ISO7842FDW							
電源電流	無効	EN1 = EN2 = 0V、V_I = 0V (ISO7842F)、V_I = V_{CCI} (1) (ISO7842)	I_{CC1}、I_{CC2}		1	1.5	mA
		EN1 = EN2 = 0V、V_I = V_{CCI} (1) (ISO7842F)、V_I = 0V (ISO7842)	I_{CC1}、I_{CC2}		3.4	4.8	mA
	DC 信号	V_I = 0V (ISO7842F)、V_I = V_{CCI} (1) (ISO7842)	I_{CC1}、I_{CC2}		2	2.7	mA
		V_I = V_{CCI} (1) (ISO7842F)、V_I = 0V (ISO7842)	I_{CC1}、I_{CC2}		4.4	6.1	mA
	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		3.3	4.5	mA
		10Mbps	I_{CC1}、I_{CC2}		4	5.2	mA
		100Mbps	I_{CC1}、I_{CC2}		10.8	12.9	mA
ISO7842DWW および ISO7842FDWW							
電源電流	無効	EN1 = EN2 = 0V、V_I = 0V (ISO7842F)、V_I = V_{CCI} (1) (ISO7842)	I_{CC1}、I_{CC2}		1	1.5	mA
		EN1 = EN2 = 0V、V_I = V_{CCI} (1) (ISO7842F)、V_I = 0V (ISO7842)	I_{CC1}、I_{CC2}		3.4	4.8	mA
	DC 信号	V_I = 0V (ISO7842F)、V_I = V_{CCI} (1) (ISO7842)	I_{CC1}、I_{CC2}		2	2.8	mA
		V_I = V_{CCI} (1) (ISO7842F)、V_I = 0V (ISO7842)	I_{CC1}、I_{CC2}		4.4	6.3	mA
	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		3.4	4.7	mA
		10Mbps	I_{CC1}、I_{CC2}		4.1	5.5	mA
		100Mbps	I_{CC1}、I_{CC2}		11	13.6	mA

(1) V_{CCI} = 入力側 V_{CC}、V_{CCO} = 出力側 V_{CC}。

Copyright © 2025 Texas Instruments Incorporated

5.13 電気的特性 — 2.5V 電源

V_{CC1} = V_{CC2} = 2.5V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OH}	High レベル出力電圧	I_{OH} = -1mA、図 6-1 を参照	V_{CCO} (1) – 0.4	V_{CCO} (1) – 0.2		V
V_{OL}	Low レベル出力電圧	I_{OL} = 1mA、図 6-1 を参照		0.2	0.4	V
$V_{I(HYS)}$	入力スレッショルド電圧のヒステリシス		0.1 × V_{CCI} (1)			V
I_{IH}	High レベル入力電流	INx または ENx で V_{IH} = V_{CCI} (1)			10	µA
I_{IL}	Low レベル入力電流	INx または ENx で V_{IL} = 0V	-10			µA
CMTI	同相過渡耐性	V_I = V_{CCI} (1) または 0V、V_{CM} = 1500V、図 6-4 を参照	100			kV/µs

(1) V_{CCI} = 入力側 V_{CC}、V_{CCO} = 出力側 V_{CC}。

5.14 電源電流特性 — 2.5V 電源

V_{CC1} = V_{CC2} = 2.5V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ	テスト条件		電源電流	最小値	標準値	最大値	単位
ISO7842DW および ISO7842FDW							
電源電流	無効	EN1 = EN2 = 0V、V_I = 0V (ISO7842F)、V_I = V_{CCI} (1) (ISO7842)	I_{CC1}、I_{CC2}		1	1.5	mA
		EN1 = EN2 = 0V、V_I = V_{CCI} (1) (ISO7842F)、V_I = 0V (ISO7842)	I_{CC1}、I_{CC2}		3.4	4.8	mA
	DC 信号	V_I = 0V (ISO7842F)、V_I = V_{CCI} (1) (ISO7842)	I_{CC1}、I_{CC2}		2	2.7	mA
		V_I = V_{CCI} (1) (ISO7842F)、V_I = 0V (ISO7842)	I_{CC1}、I_{CC2}		4.4	6.1	mA
	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		3.2	4.5	mA
		10Mbps	I_{CC1}、I_{CC2}		3.7	5.1	mA
		100Mbps	I_{CC1}、I_{CC2}		8.9	10.8	mA
ISO7842DWW および ISO7842FDWW							
電源電流	無効	EN1 = EN2 = 0V、V_I = 0V (ISO7842F)、V_I = V_{CCI} (1) (ISO7842)	I_{CC1}、I_{CC2}		1	1.5	mA
		EN1 = EN2 = 0V、V_I = V_{CCI} (1) (ISO7842F)、V_I = 0V (ISO7842)	I_{CC1}、I_{CC2}		3.4	4.8	mA
	DC 信号	V_I = 0V (ISO7842F)、V_I = V_{CCI} (1) (ISO7842)	I_{CC1}、I_{CC2}		2	2.8	mA
		V_I = V_{CCI} (1) (ISO7842F)、V_I = 0V (ISO7842)	I_{CC1}、I_{CC2}		4.4	6.3	mA
	すべてのチャネルが方形波クロック入力でスイッチング、C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		3.3	4.6	mA
		10Mbps	I_{CC1}、I_{CC2}		3.8	5.3	mA
		100Mbps	I_{CC1}、I_{CC2}		9	11.5	mA

(1) V_{CCI} = 入力側 V_{CC}、V_{CCO} = 出力側 V_{CC}。

Copyright © 2025 Texas Instruments Incorporated

5.15 スイッチング特性 — 5V 電源

V_{CC1} = V_{CC2} = 5V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}、t_{PHL}	伝搬遅延時間	図 6-1 を参照してください	6	11	16	ns
PWD	パルス幅歪み (1) $\lvert t_{PHL} - t_{PLH} \rvert$			0.55	4.1	ns
$t_{sk(o)}$	チャネル間の出力スキュー時間(2)	同方向チャネル			2.5	ns
$t_{sk(pp)}$	部品間のスキュー時間(3)				4.5	ns
t_r	出力信号の立ち上がり時間	図 6-1 を参照してください		1.7	3.9	ns
t_f	出力信号の立ち下がり時間			1.9	3.9	ns
t_{PHZ}	ディセーブルの伝搬遅延、出力 High から高インピーダンスへ	図 6-2 を参照してください		12	20	ns
t_{PLZ}	ディセーブルの伝搬遅延、出力 Low から高インピーダンスへ			12	20	ns
t_{PZH}	イネーブルの伝搬遅延、高インピーダンスから出力 High へ ISO7842			10	20	ns
	イネーブルの伝搬遅延、高インピーダンスから出力 High へ ISO7841F			2	2.5	µs
t_{PZL}	イネーブルの伝搬遅延、高インピーダンスから出力 Low へ ISO7842			2	2.5	µs
	イネーブルの伝搬遅延、高インピーダンスから出力 Low へ ISO7842F			10	20	ns
t_{fs}	入力電源喪失からデフォルト出力までの遅延時間	V_{CC} が 1.7V を下回った時点から測定。図 6-3 を参照してください		0.2	9	µs
t_{ie}	タイム インターバル エラー	100Mbps で 2^{16} - 1PRBS データ		0.90		ns

(1) 別名パルス スキュー。
(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。
(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

Copyright © 2025 Texas Instruments Incorporated

5.16 スイッチング特性 — 3.3V 電源

V_{CC1} = V_{CC2} = 3.3V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}、t_{PHL}	伝搬遅延時間	図 6-1 を参照してください	6	10.8	16	ns
PWD	パルス幅歪み (1) $\lvert t_{PHL} - t_{PLH} \rvert$			0.7	4.2	ns
$t_{sk(o)}$	チャネル間の出力スキュー時間(2)	同方向チャネル			2.2	ns
$t_{sk(pp)}$	部品間のスキュー時間				4.5	ns
t_r	出力信号の立ち上がり時間	図 6-1 を参照してください		0.8	3	ns
t_f	出力信号の立ち下がり時間			0.8	3	ns
t_{PHZ}	ディセーブルの伝搬遅延、出力 High から高インピーダンスへ	図 6-2 を参照してください		17	32	ns
t_{PLZ}	ディセーブルの伝搬遅延、出力 Low から高インピーダンスへ			17	32	ns
t_{PZH}	イネーブルの伝搬遅延、高インピーダンスから出力 High へ ISO7841			17	32	ns
	イネーブルの伝搬遅延、高インピーダンスから出力 High へ ISO7841F			2	2.5	µs
t_{PZL}	イネーブルの伝搬遅延、高インピーダンスから出力 Low へ ISO7842			2	2.5	µs
	イネーブルの伝搬遅延、高インピーダンスから出力 Low へ ISO7842F			17	32	ns
t_{fs}	入力電源喪失からデフォルト出力までの遅延時間	V_{CC} が 1.7V を下回った時点から測定。図 6-3 を参照してください		0.2	9	µs
t_{ie}	タイム インターバル エラー	100Mbps で 2^{16} - 1PRBS データ		0.91		ns

(1) 別名パルス スキュー。
(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。

Copyright © 2025 Texas Instruments Incorporated

5.17 スイッチング特性 — 2.5V 電源

V_{CC1} = V_{CC2} = 2.5V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH}、t_{PHL}	伝搬遅延時間	図 6-1 を参照してください	7.5	11.7	17.5	ns
PWD	パルス幅歪み (1) $\lvert t_{PHL} - t_{PLH} \rvert$			0.66	4.2	ns
$t_{sk(o)}$	チャネル間の出力スキュー時間(2)	同方向チャネル			2.2	ns
$t_{sk(pp)}$	部品間のスキュー時間(3)				4.5	ns
t_r	出力信号の立ち上がり時間	図 6-1 を参照してください		1	3.5	ns
t_f	出力信号の立ち下がり時間			1.2	3.5	ns
t_{PHZ}	ディセーブルの伝搬遅延、出力 High から高インピーダンスへ	図 6-2 を参照してください		22	45	ns
t_{PLZ}	ディセーブルの伝搬遅延、出力 Low から高インピーダンスへ			22	45	ns
t_{PZH}	イネーブルの伝搬遅延、高インピーダンスから出力 High へ ISO7841			18	45	ns
	イネーブルの伝搬遅延、高インピーダンスから出力 High へ ISO7841F			2	2.5	µs
t_{PZL}	イネーブルの伝搬遅延、高インピーダンスから出力 Low へ ISO7842			2	2.5	µs
	イネーブルの伝搬遅延、高インピーダンスから出力 Low へ ISO7842F			18	45	ns
t_{fs}	入力電源喪失からデフォルト出力までの遅延時間	V_{CC} が 1.7V を下回った時点から測定。図 6-3 を参照してください		0.2	9	µs
t_{ie}	タイム インターバル エラー	100Mbps で 2^{16} - 1PRBS データ		0.91		ns

(1) 別名パルス スキュー。
(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。
(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

Copyright © 2025 Texas Instruments Incorporated

5.18 絶縁特性曲線

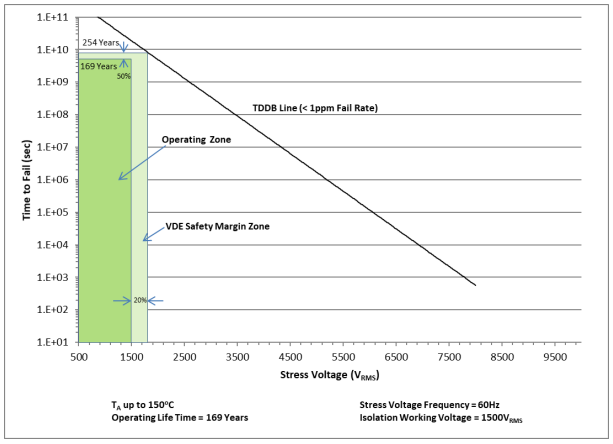


図 5-1. DW パッケージ内のデバイスでの強化絶縁コンデンサの寿命予測

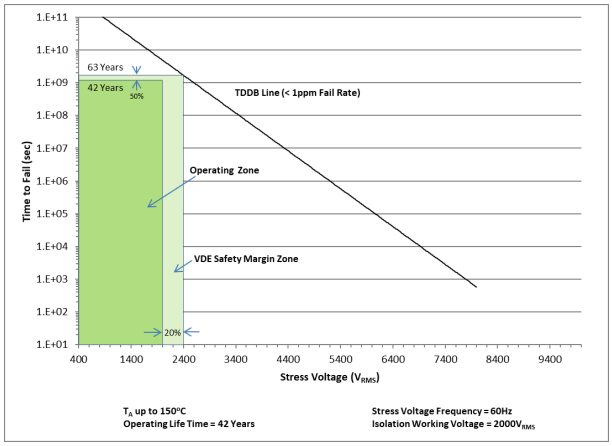


図 5-2. DWW パッケージ内のデバイスでの強化絶縁コンデンサの寿命予測

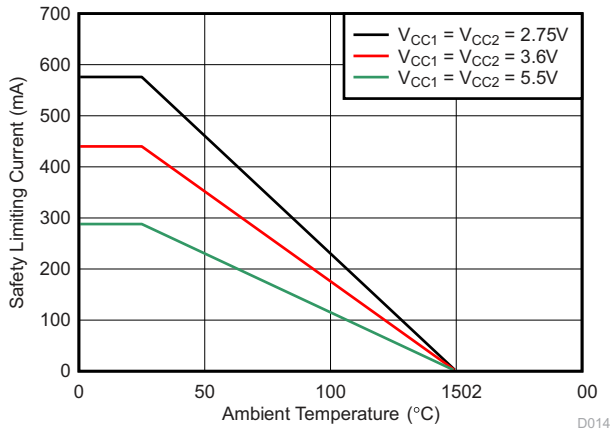


図 5-3. VDE に従う制限電流の熱特性低下曲線

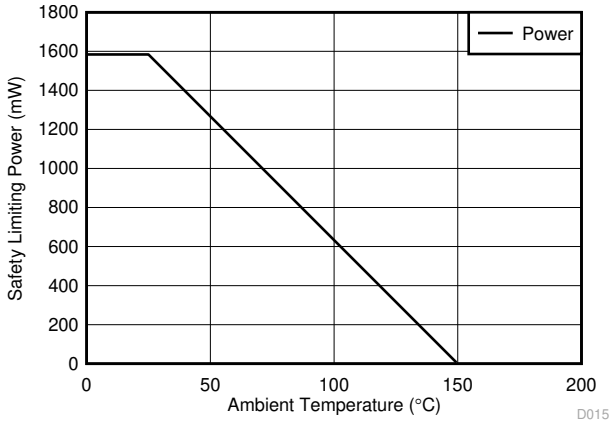
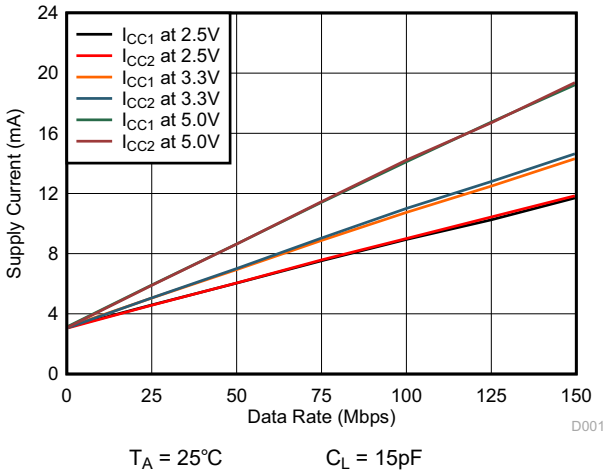


図 5-4. VDE に従う制限電力の熱特性低下曲線

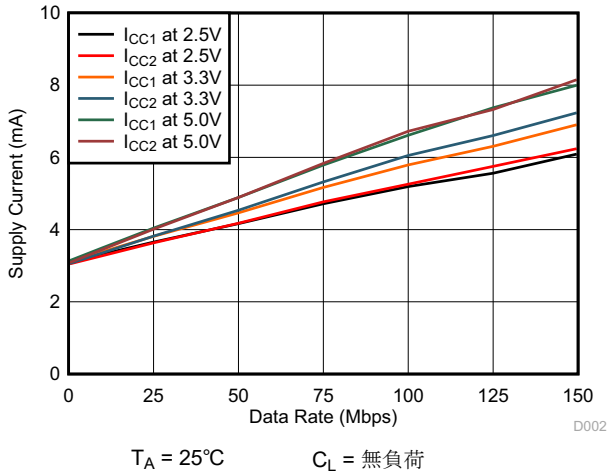
Copyright © 2025 Texas Instruments Incorporated

5.19 代表的特性



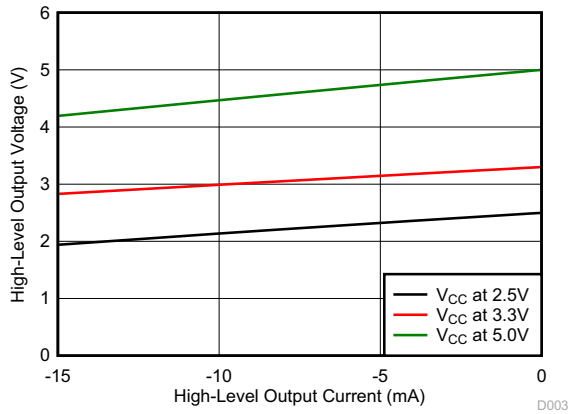
T_A = 25℃ C_L = 15pF

図 5-5. 電源電流とデータ レートとの関係 (15pF 負荷あり)



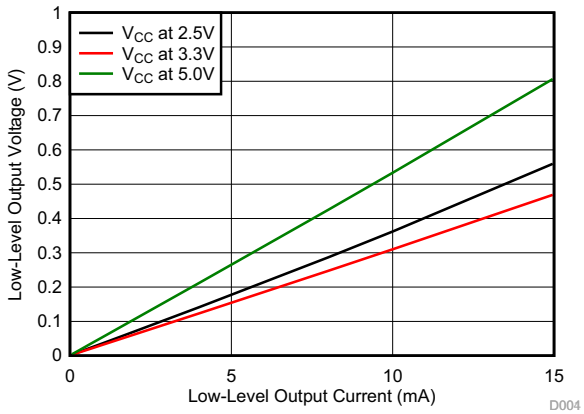
T_A = 25℃ C_L = 無負荷

図 5-6. 電源電流とデータ レートとの関係 (負荷なし)



T_A = 25℃

図 5-7. High レベル出力電圧と High レベル出力電流との関係



T_A = 25℃

図 5-8. Low レベル出力電圧と Low レベル出力電流との関係

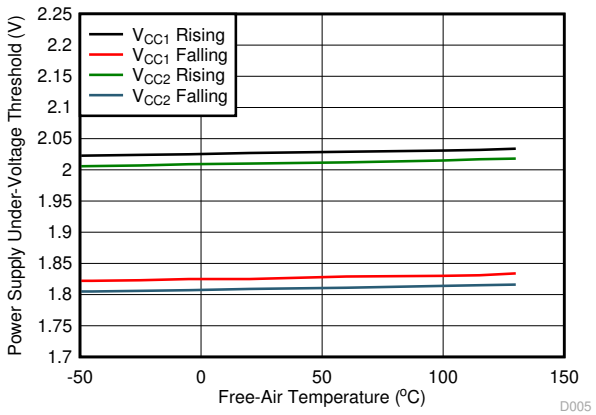


図 5-9. 電源低電圧スレッショルドと周囲温度との関係

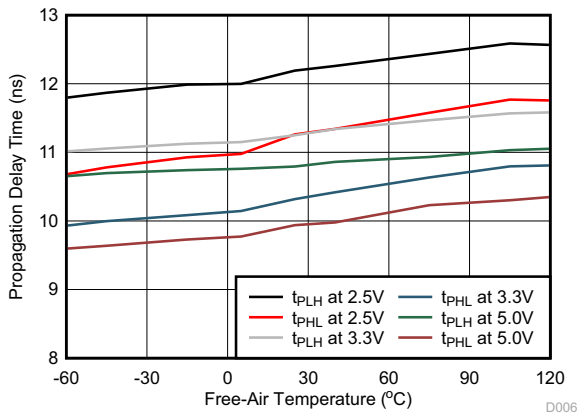
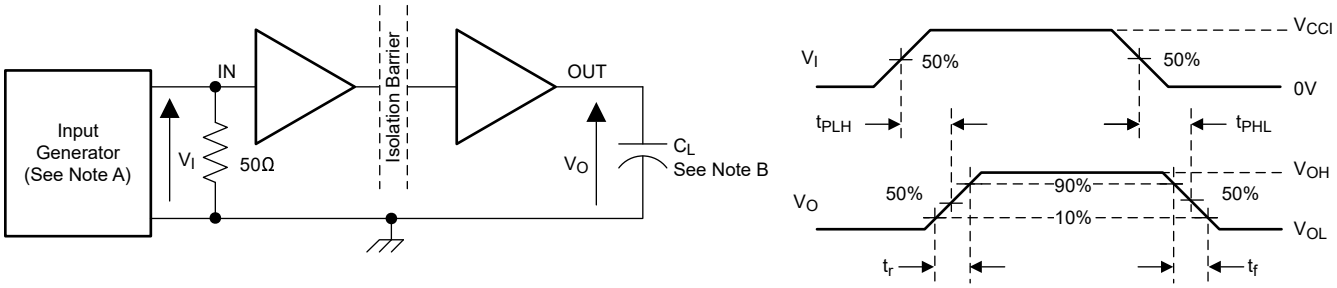


図 5-10. 伝搬遅延時間と周囲温度との関係

Copyright © 2025 Texas Instruments Incorporated

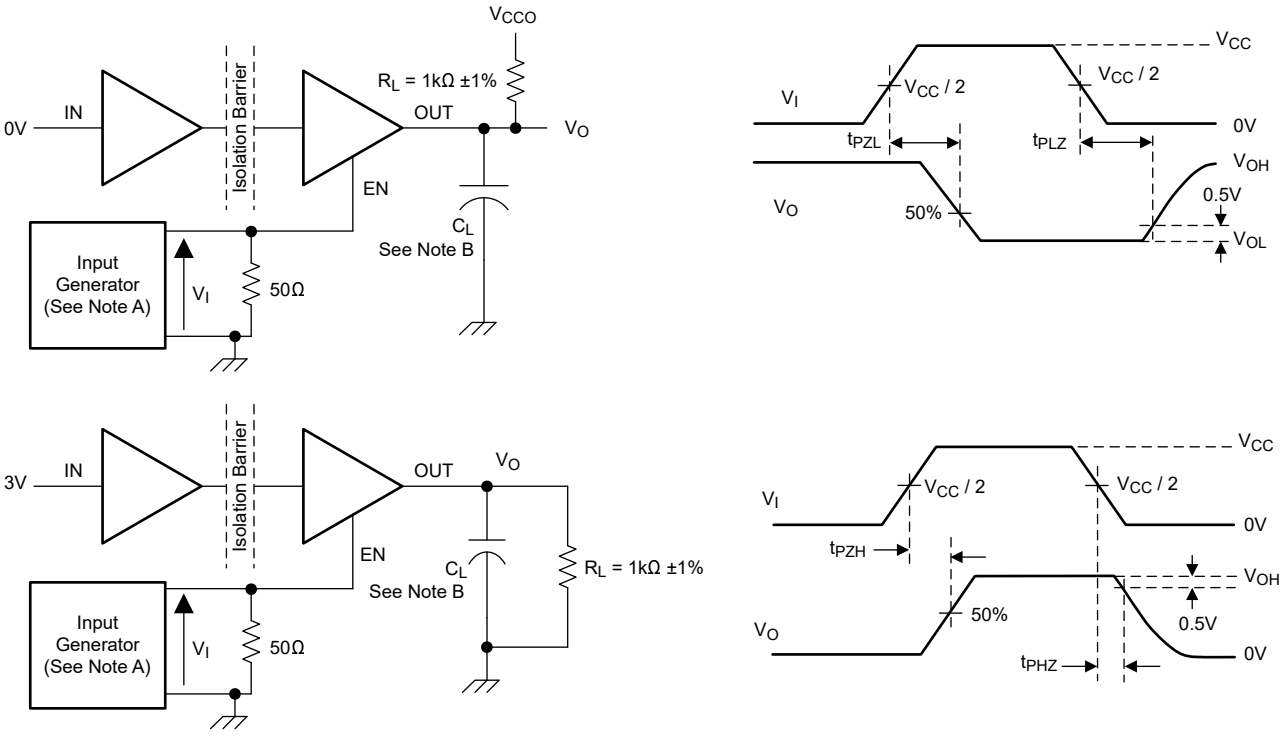
6 パラメータ測定情報



A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≤ 50kHz、50% デューティ サイクル、t_r ≤ 3ns、t_f ≤ 3ns、Z_O = 50Ω。入力ジェネレータ信号を終端するため、入力に 50Ω の抵抗が必要です。実際のアプリケーションでは、この 50Ω 抵抗は不要です。

B. C_L = 15pF であり、±20% 以内の計測器および治具の容量が含まれています。

図 6-1. スイッチング特性試験回路と電圧波形

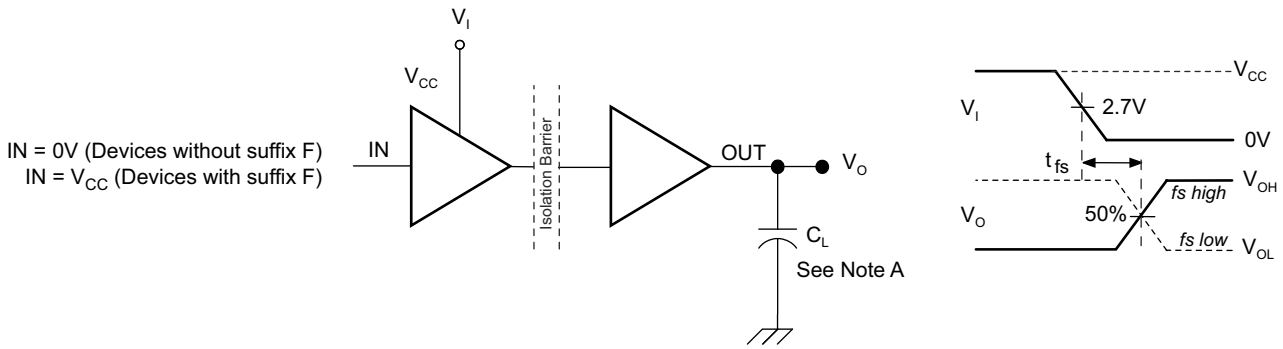


A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≤ 10kHz、50% デューティ サイクル、t_r ≤ 3ns、t_f ≤ 3ns、Z_O = 5Ω。

B. C_L = 15pF であり、±20% 以内の計測器および治具の容量が含まれています。

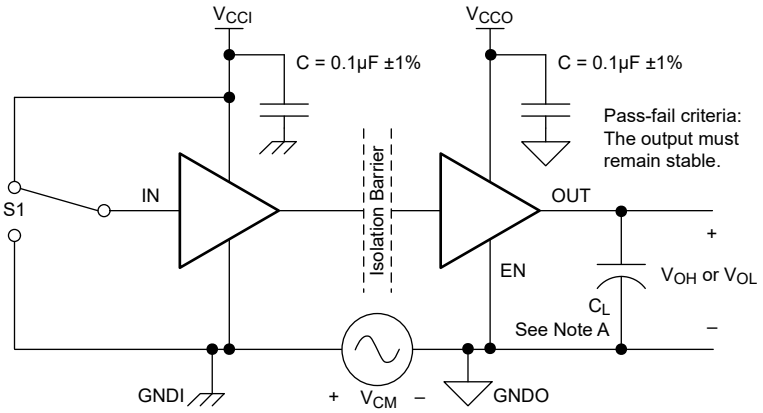
図 6-2. イネーブル / ディセーブル伝搬遅延時間のテスト回路と波形

Copyright © 2025 Texas Instruments Incorporated



A. C_L = 15pF であり、±20% 以内の計測器および治具の容量が含まれています。

図 6-3. デフォルトの出力遅延時間テスト回路と電圧波形



A. C_L = 15pF であり、±20% 以内の計測器および治具の容量が含まれています。

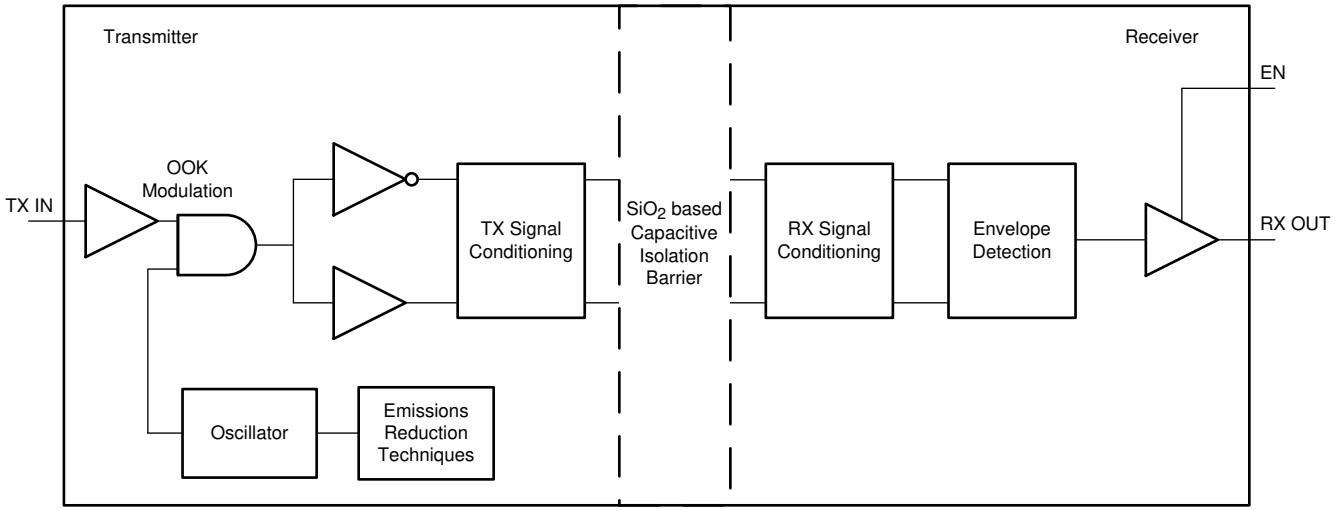
図 6-4. 同相過渡電圧耐性試験回路

7 詳細説明

7.1 概要

ISO7842 デバイスは、オン オフ キーイング (OOK) 変調方式を使用し、二酸化ケイ素をベースとする絶縁バリアを介してデジタル データを送信します。トランスミッタは、バリアを介して 1 つのデジタル状態を表す高周波キャリアを送信し、もう 1 つのデジタル状態を表すのに信号を送信しません。レシーバは、高度な信号コンディショニングを行ってから信号を復調し、バッファ段経由で出力を生成します。EN ピンが Low の場合、出力は高インピーダンスになります。ISO7842 デバイスには高度な回路技法も使用されており、CMTI 性能を最大化し、高周波キャリアと IO バッファのスイッチングによる放射ノイズを最小化しています。デジタル容量性アイソレータの概念ブロック図である 図 7-1 は、代表的なチャネルの機能ブロック図を示しています。

7.2 機能ブロック図



Copyright © 2016, Texas Instruments Incorporated

図 7-1. デジタル容量性アイソレータの概念ブロック図

オン オフ キーイング方式による動作の概念的な説明を 図 7-2 に示します。

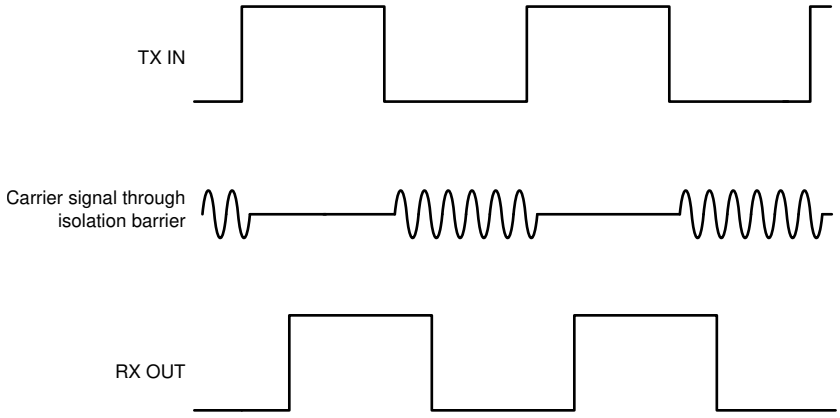


図 7-2. オン オフ キーイング (OOK) による変調方式

Copyright © 2025 Texas Instruments Incorporated

7.3 機能説明

表 7-1 はデバイスの機能を一覧表示します。

表 7-1. デバイスの機能

部品番号	チャネル方向	絶縁定格	最大データ レート	デフォルト出力
ISO7842	2 順方向、 2 逆方向	5700V_{RMS} / 8000V_{PK} (1)	100Mbps	High
ISO7842F	2 順方向、 2 逆方向	5700V_{RMS} / 8000V_{PK} (1)	100Mbps	Low

(1) 絶縁定格の詳細については、*絶縁仕様*を参照してください。

7.3.1 電磁両立性 (EMC) に関する検討事項

過酷な産業用環境で使用される多くのアプリケーションは、静電放電 (ESD)、電気的高速過渡現象 (EFT)、サージ、電磁放射のような外乱の影響を受けやすくなっています。これらの電磁妨害は、IEC 61000-4-x および CISPR 22 などの国際規格により規制されています。システム レベルの性能と信頼性は、アプリケーション基板の設計とレイアウトに大きく左右されますが、ISO7842 デバイスは、数多くのチップ レベルの設計改善を取り入れて、システム全体の堅牢性を高めています。改善項目の一部を以下に示します

- 入出力信号ピンおよびチップ間のボンド パッドに、堅牢な ESD 保護セル。
- 電源ピンおよびグランド ピンに、ESD セルの低抵抗接続。
- 高電圧絶縁コンデンサの性能を強化し、ESD、EFT、サージの各イベントに対する耐性を向上。
- 低インピーダンス パスを経由して不要な高エネルギー信号をバイパスする、オンチップ デカップリング コンデンサの大容量化。
- ガード リングによって PMOS デバイスと NMOS デバイスを相互に絶縁し、寄生 SCR がトリガされるのを防止。
- 完全差動内部動作を確保し、絶縁バリアをまたぐコモン モード電流を低減。

7.4 デバイスの機能モード

表 7-2 に、ISO7842 の機能モードを示します。

表 7-2. 機能表

V_{CCI}	V_{CCO}	入力 (INx) (2)	出力イネーブル (ENx)	出力 (OUTx)	備考
PU	PU	H	H またはオープン	H	通常動作: チャネルの出力は、入力の論理状態と同じになります。
		L	H またはオープン	L	
		オープン	H またはオープン	デフォルト	デフォルト モード:INx がオープンのとき、対応するチャネル出力はデフォルトのロジック状態に移行します。デフォルト = ISO7842 では High、ISO7842F では Low。
X	PU	X	L	Z	出力イネーブルの値が Low のとき、出力は高インピーダンスになります
PD	PU	X	H またはオープン	デフォルト	デフォルト モード:V_{CCI} に電源が供給されていないとき、チャネル出力は選択されたデフォルト オプションに基づいたロジック状態になります。デフォルト = ISO7842 では High、ISO7842F では Low。 V_{CCI} が電源オフから電源オンに遷移すると、チャネル出力は入力のロジック状態と同じになります。 V_{CCI} が電源オンから電源オフに遷移すると、チャネル出力は選択されているデフォルト状態になります。
X	PD	X	X	不定	V_{CCO} の電源がオフのとき、チャネルの出力は不定です (1)。 V_{CCO} が電源オフから電源オンに遷移すると、チャネル出力は入力のロジック状態と同じになります

(1) V_{CCI}、V_{CCO} が 1.7V より大きく 2.25V 未満の範囲にある場合、出力は不定です。
(2) 入力信号が強く駆動されると、内部保護ダイオードを経由してフローティング V_{CC} に弱い電力を供給し、出力が不定になる可能性があります。

7.4.1 デバイス I/O 回路図

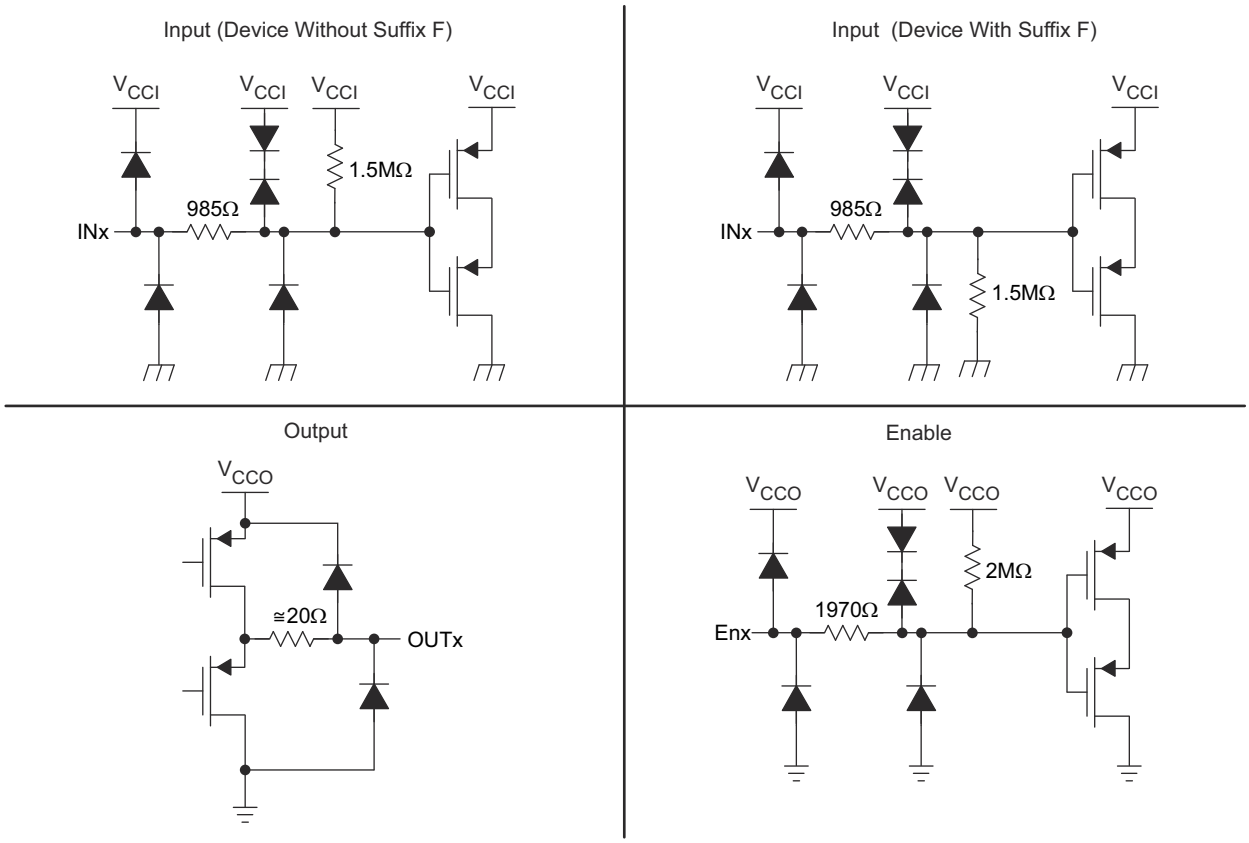


図 7-3. デバイス I/O 回路図

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

ISO7842 デバイスは、UL 1577 に準拠した絶縁定格 5.7kV$_{RMS}$ の高性能クワッドチャネル デジタル アイソレータです。このデバイスは両側にイネーブル ピンがあり、対応する出力を高インピーダンスにすることにより、マルチコントローラ駆動アプリケーションに使用でき、また、消費電力を低減できます。ISO7842 デバイスは、シングルエンド CMOS ロジック スイッチング テクノロジーを使用しています。電源電圧の範囲は、V_{CC1} と V_{CC2} の両方の電源で 2.25V～5.5V です。デジタル アイソレータを使って設計する場合は、シングルエンド設計構造のため、デジタル アイソレータが特定のインターフェイス規格に準拠していないこと、シングルエンド CMOS または TTL デジタル信号ラインの絶縁のみを目的としていることに注意してください。アイソレータは、通常、インターフェイスの種類や規格にかかわらず、データ コントローラ (µC または UART) と、データ コンバータまたはライン トランシーバとの間に配置されます。

8.2 代表的なアプリケーション

図 8-1 に、代表的な絶縁型 RS-232 インターフェイスの実装を示します。

Copyright © 2025 Texas Instruments Incorporated

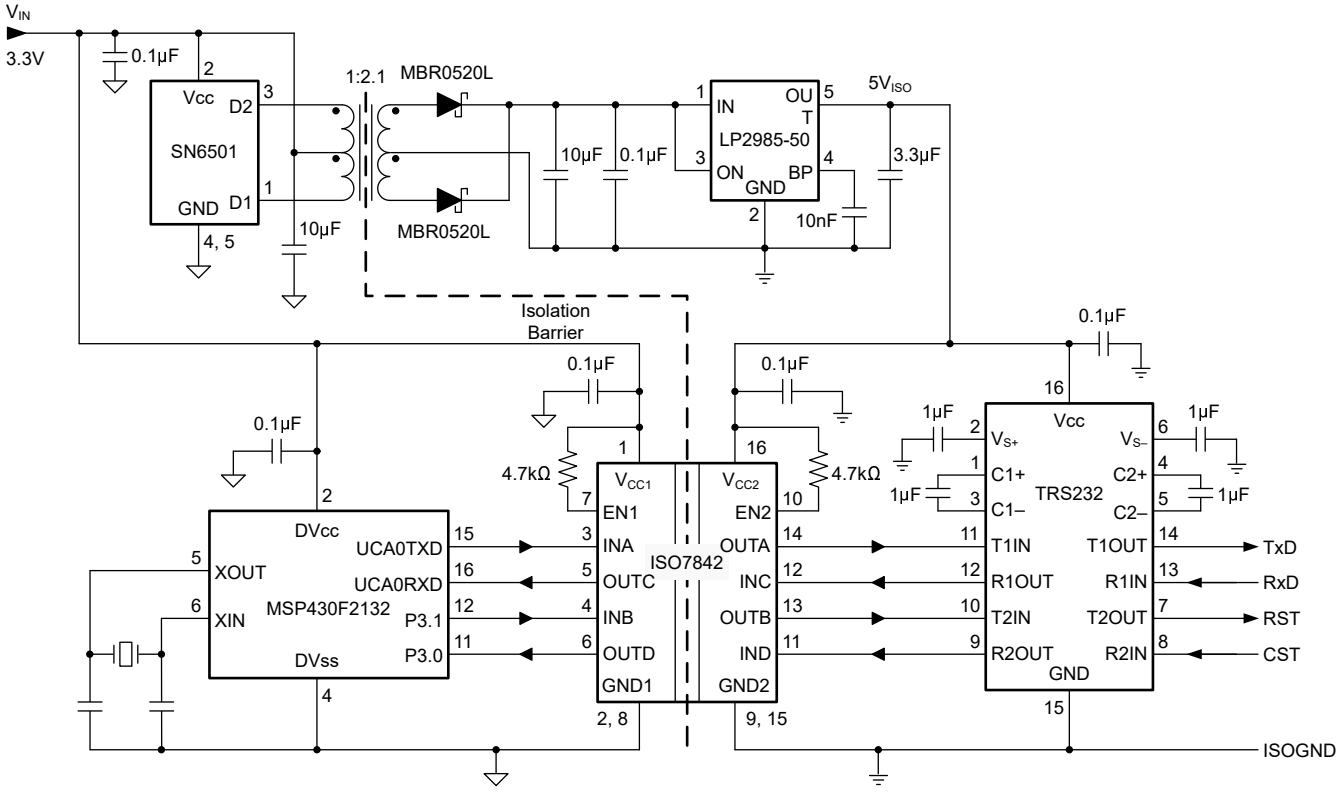


図 8-1. 絶縁型 RS-232 インターフェイス

8.2.1 設計要件

この設計例では、表 8-1 に示すパラメータを使用します。

表 8-1. 設計パラメータ

パラメータ	値
電源電圧	2.25V ～ 5.5V
V_{CC1} と GND1 との間のデカップリング コンデンサ	0.1µF
V_{CC2} と GND2 との間のデカップリング コンデンサ	0.1µF

8.2.2 詳細な設計手順

ISO7842 デバイスは、フォトカプラとは異なり、性能向上、バイアス供給、電流制限のために外付け部品を必要としません。必要とするのは、動作に必要な外付けバイパス コンデンサ 2 個のみです。

Copyright © 2025 Texas Instruments Incorporated

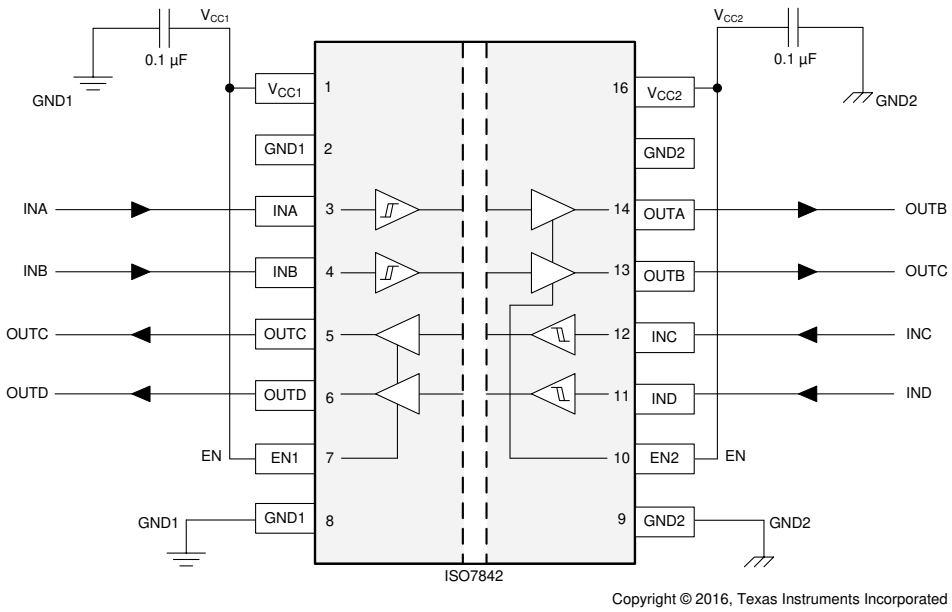


図 8-2. 標準的な ISO7842 回路フックアップ

8.2.3 アプリケーション曲線

ISO7842 デバイスの代表的なアイダイアグラムは、100Mbps の最大データレートで低ジッタと広いオープンアイを示しています。

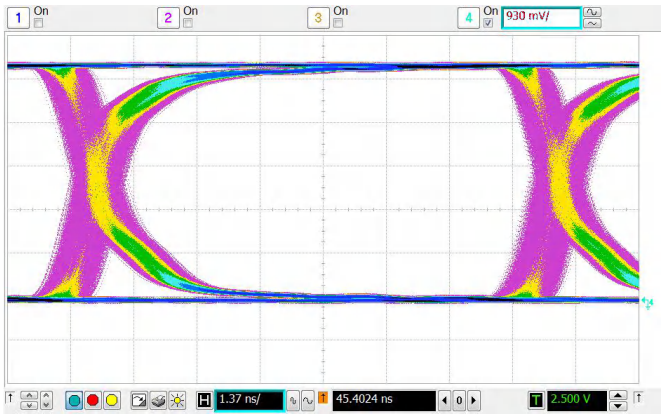


図 8-3. アイダイアグラム (100Mbps PRBS、5V、25°C)

8.3 電源に関する推奨事項

データレートおよび電源電圧に対する信頼性の高い動作を確保することを支援するため、入力および出力電源ピン (V_{CC1} および V_{CC2}) に 0.1µF のバイパスコンデンサを推奨します。コンデンサは、電源ピンのできるだけ近くに配置する必要があります。アプリケーションで使用できる 1 次側電源が 1 つだけの場合は、テキサス・インスツルメンツの SN6501 などのトランス ドライバを使用して、2 次側用の絶縁型電源を生成できます。このようなアプリケーションについては、SN6501 絶縁電源用の変圧器ドライバに、詳細な電源設計とトランス選択に関する推奨事項が記載されています。

Copyright © 2025 Texas Instruments Incorporated

8.4 レイアウト

8.4.1 レイアウトのガイドライン

低 EMI の PCB 設計を実現するには、少なくとも 4 層が必要です (図 8-4 を参照)。層の構成は、上層から下層に向かって、高速信号層、グランド プレーン、電源プレーン、低周波数信号層の順に配置する必要があります。

- 上層に高速パターンを配線することにより、ビアの使用 (およびそれに伴うインダクタンスの発生) を避けて、データ リンクのトランスミッタおよびレシーバ回路とアイソレータとの間のクリーンな相互接続が可能になります。
- 高速信号層の次の層に、ベタのグランド プレーンを配置することにより、伝送ライン接続のインピーダンスを制御し、リターン電流のための優れた低インダクタンス パスを実現します。
- グランド プレーンの次の層に、電源プレーンを配置すると、高周波バイパス容量を約 100pF/インチ ^{2} 増加させることができます。
- 最下層に低速の制御信号を配線すると、これらの信号リンクには一般的に、ビアのような不連続性を許容するマージンがあるため、高い柔軟性が得られます。

電源プレーンまたは信号層の追加が必要な場合は、対称性を保つために、第 2 の電源系統またはグランド プレーン系統を層構成に追加します。これにより、基板の層構成は機械的に安定し、反りを防ぎます。また、各電源系統の電源プレーンとグランド プレーンを互いに近づけて配置できるため、高周波バイパス容量を大幅に増やすことができます。

レイアウトの推奨事項の詳細については、『*デジタル アイソレータ設計ガイド*』を参照してください。

8.4.1.1 PCB 材料

150Mbps 未満で動作する場合 (または、立ち上がり立ち下がり時間が 1ns 超)、およびトレース長が 10 インチ未満の場合のデジタル回路基板には、標準の FR-4 UL94V-0 プリント基板を使用します。この PCB は、高周波での誘電損失の低減、吸湿性の低減、強度と剛性の向上、および自己消火性の特性により、安価な代替品よりも推奨されます。

8.4.2 レイアウト例

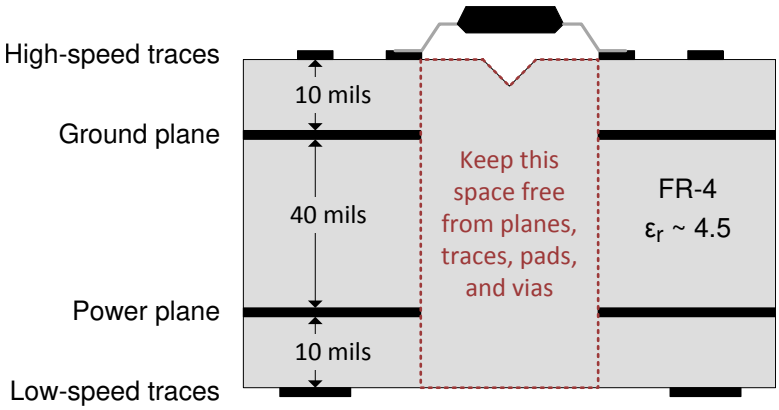


図 8-4. レイアウト例の回路図

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『デジタル アイソレータ設計ガイド』アプリケーション ノート
- テキサス・インスツルメンツ、『絶縁用語集』アプリケーション ノート
- テキサス・インスツルメンツ、*LP2985 150mA、低ノイズ、シャットダウン付低ドロップアウト レギュレータ* データシート
- テキサス・インスツルメンツ、*MSP430G2x32、MSP430G2x02 ミクスト シグナル マイクロコントローラ* データシート
- テキサス・インスツルメンツ、*絶縁電源用のトランスドライバ*データシート
- テキサス・インスツルメンツ、TRS232 デュアル RS-232 ドライバ/レシーバ (IEC61000-4-2 保護機能付き) データシート

9.2 関連リンク

次の表に、クイック アクセス リンクを示します。カテゴリには、技術資料、サポートおよびコミュニティ リソース、ツールとソフトウェア、およびサンプル注文またはご購入へのクイック アクセスが含まれます。

表 9-1. 関連リンク

製品	プロダクト フォルダ	ご注文はこちら	技術資料	ツールとソフトウェア	サポートとコミュニティ
ISO7842	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
ISO7842F	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の [*アラートを受け取る*] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision H (March 2024) to Revision I (July 2025) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- *絶縁仕様*表に 15mm (標準値) 沿面距離/ 空間距離を追加 6

Changes from Revision G (March 2017) to Revision H (March 2024) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- 「特長」の「安全および規制の認定」セクションを新しい規格に合わせて変更。 1
- 最新の規格に合わせて*安全関連認証*表の情報を変更。 7
- DIN EN IEC 60747-17 (VDE 0884-17) に準拠して、DW および DWW パッケージの*強化絶縁コンデンサの寿命予測*を変更。 14

Changes from Revision F (April 2016) to Revision G (March 2017) **Page**

- *電力定格*表の部品番号を変更 (以前の*消費電力特性*) 5
- *絶縁仕様*で、入出力テスト電圧パラメータを見掛けの電荷に変更 6
- 「ドキュメントの更新通知を受け取る方法」セクションを追加 24

Changes from Revision E (March 2016) to Revision F (April 2016) **Page**

- *「特長」*セクションに、安全関連証明書へのリンクを追加 1
- 「特長」セクションの絶縁バリア寿命の年数を変更 1
- VDE の認証が完了 1
- すべての電気的特性表の入力スレッショルド電圧ヒステリシス パラメータの最小値について、V_{CCO} を V_{CCI} に変更 8
- すべての電気的特性表の同相モード過渡耐性パラメータのテスト条件に V_{CM} を追加 8
- *安全限界値*セクションに DW および DWW パッケージの寿命投影グラフを追加 14

Changes from Revision D (December 2015) to Revision E (March 2016) **Page**

- 「特長」の「安全および規制の認定」リストを変更 1
- 「特長」の「EN 61010-1 および EN 60950-1 準拠の TUV 認定」を追加 1
- 「概要」セクションの第 1 段落のテキストを以下のように変更:「VDE、CSA、CQC に準拠した認証」から「VDE、CSA、CQC、TUV に準拠した認証」に変更。 1
- *電気的特性*に注 1 を追加 6
- *IEC 60664-1 定格表*を変更 6
- *規制情報*セクションおよび規制情報に TUV を追加。規制情報の注 1 を削除 7
- *デバイス I/O 回路図*を変更 20

Changes from Revision C (July 2015) to Revision D (December 2015) **Page**

- 「特長」の「DW パッケージの認証は完了、DWW 認証は計画中」を追加 1
- 「概要」に次の記述を追加:「および超ワイド ボディ (DWW) パッケージ...」 1
- パッケージを追加:「 *製品情報*」表に超幅広 SOIC、DWW (16) を追加 1
- *パッケージの絶縁と安全関連の仕様*に 16-DWW パッケージを追加 6
- *パッケージの絶縁および安全関連の仕様*に DWW パッケージの情報を追加 6
- *規制情報*のに DWW パッケージ情報を追加 7

Copyright © 2025 Texas Instruments Incorporated

- *電気的特性 - 5V 電源*、5V 表で、CMTI の MIN 値を以下に変更: 70 から 100kV/us に変更し、100kV/us の TYP 値を削除 8
- *電源電流特性 - 5V 電源* に「消費電流 - ISO7842DW および ISO7842FDW」セクションを追加 8
- *電源電流特性 - 5V 電源* に「消費電流 - ISO7842DWW および ISO7842FDWW」セクションを追加 8
- *電気的特性 - 3.3V 電源*、5V 表で、CMTI の MIN 値を以下に変更: 70 から 100kV/us に変更し、100kV/us の TYP 値を削除 9
- *電源電流特性 - 3.3V 電源* に「消費電流 - ISO7842DW および ISO7842FDW」セクションを追加 9
- *電源電流特性 - 3.3V 電源* に「消費電流 - ISO7842DWW および ISO7842FDWW」セクションを追加 9
- *電気的特性 - 2.5V 電源*、5V 表で、CMTI の MIN 値を以下に変更: 70 から 100kV/us に変更し、100kV/us の TYP 値を削除 10
- *電源電流特性 - 2.5V 電源* に「消費電流 - ISO7842DW および ISO7842FDW」セクションを追加 10
- *電源電流特性 - 2.5V 電源* に「消費電流 - ISO7842DWW および ISO7842FDWW」セクションを追加 10
- *アプリケーション情報*セクションにテキストを追加:「UL 1577 準拠の絶縁電圧」 20

Changes from Revision B (April 2015) to Revision C (July 2015) **Page**

- ISO7482F デバイスをデータシートに追加 1
- 次の記述を含むように「概要」を変更:「デフォルト出力は、ISO7842 デバイスでは「High」、ISO7842F デバイスでは「Low」です。」 1
- *VDE による安全限界電流の熱特性低下曲線*を変更、*VDE による安全限界電力の熱特性低下曲線*を追加 14
- 5.5V の t_{PLH} および t_{PHL} を 5.0V での t_{PLH} および t_{PHL} に変更 15
- *デフォルトの出力遅延時間テスト回路と電圧波形*を変更 16
- *デバイス I/O 回路図*セクションを追加 20

Changes from Revision A (November 2014) to Revision B (April 2015) **Page**

- ドキュメントのタイトルを「クワッド チャネル デジタル アイソレータ」から「クワッド チャネル I 2/2 アイソレータ」に変更 1
- 「特長」の「2.25V から 5.5V へのレベル変換」を追加 1
- 「特長」を「ワイドボディ SOIC-16 パッケージ」を「ワイド ボディ/ 超ワイド ボディ SOIC-16 パッケージ オプション」に変更 1
- 「特長」の「安全および規制の認定」リストを変更 1
- VDE の認証が完了 1
- 「概略回路図」を変更し、注 1 および 2 を追加 1
- *消費電力特性*表を追加 5
- *パッケージの絶縁と安全関連の仕様*を変更 6
- *絶縁特性*のタイトルを *DIN V VDE 0884-10 (VDE V 0884-10) および UL 1577 絶縁特性*に変更 *絶縁特性* 6
- *絶縁特性*を変更 6
- *パッケージの絶縁および安全関連の仕様*の表の CTI のテスト条件を変更 6
- CTI の MIN 値を >600V から以下の値に変更 600V 6
- *規制情報*の表を変更 7
- *スイッチング特性試験回路と電圧波形*を変更 16
- *イネーブル / ディセーブル伝搬遅延時間のテスト回路と波形*を変更 16
- 以下のように変更:V_{CC1} を以下に変更: V_{CCI} (*デフォルトの出力遅延時間テスト回路と電圧波形*) 16
- *同相過渡電圧耐性試験回路*を変更 16
- *機能表*の列 1 と列 2 から入力側と出力側を削除 19
- *アプリケーション情報*セクションを変更 20
- *アプリケーション情報*セクションを変更 20
- *詳細な設計手順*セクションにテキストと標準的な回路接続図を追加 21

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision * (October 2014) to Revision A (November 2014) **Page**

- 「特長」を「すべての認証機関の認証は保留中」を「すべての認証機関の認証は計画中」に変更 1
- 「概要」の記述を次のように変更。「このデバイスは強化絶縁要件を満たすことが VDE と CSA により認定されています。」から「このデバイスは、VDE および CSA により、強化絶縁認証について審査中です。」 1
- R_{IO} の MIN 値を 10^9 から 10^{11} に変更 (*パッケージの絶縁および安全関連の仕様表*) 6
- *規制情報*表の情報の最初の行を変更 7

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

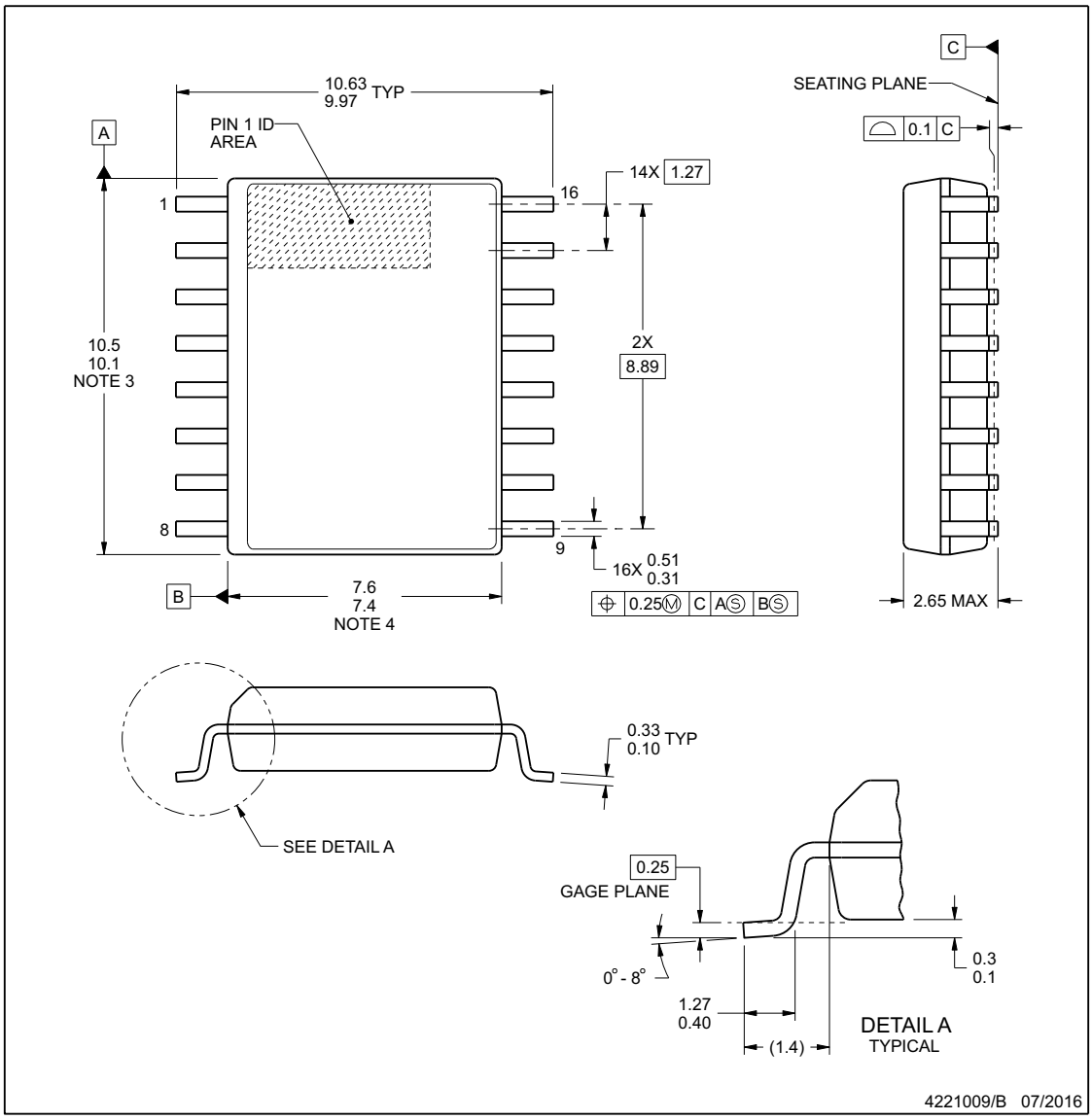


PACKAGE OUTLINE

DW0016B

SOIC - 2.65 mm max height

SOIC



NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

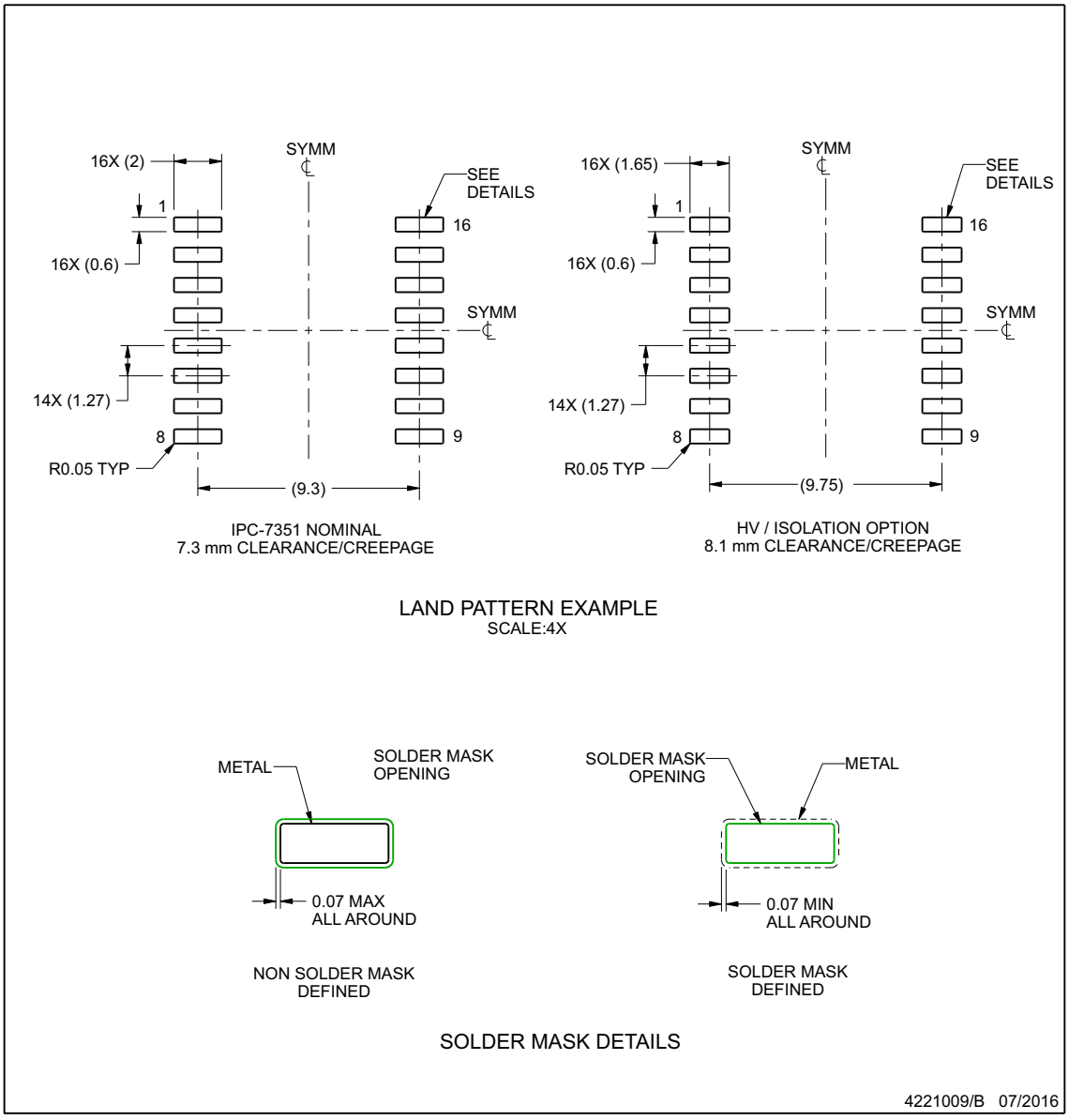
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

DW0016B

SOIC - 2.65 mm max height

SOIC



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

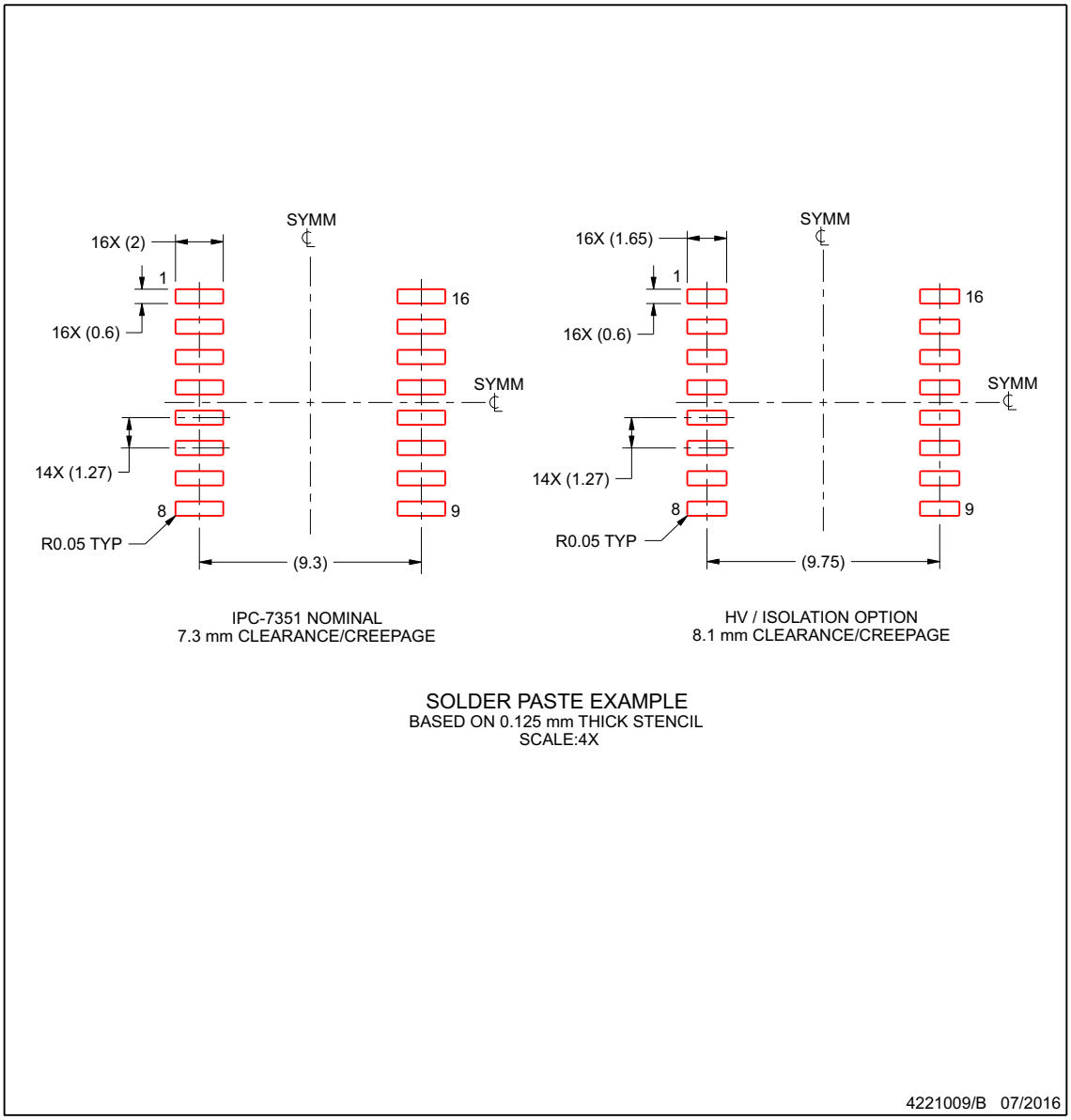
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DW0016B

SOIC - 2.65 mm max height

SOIC



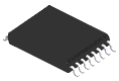
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

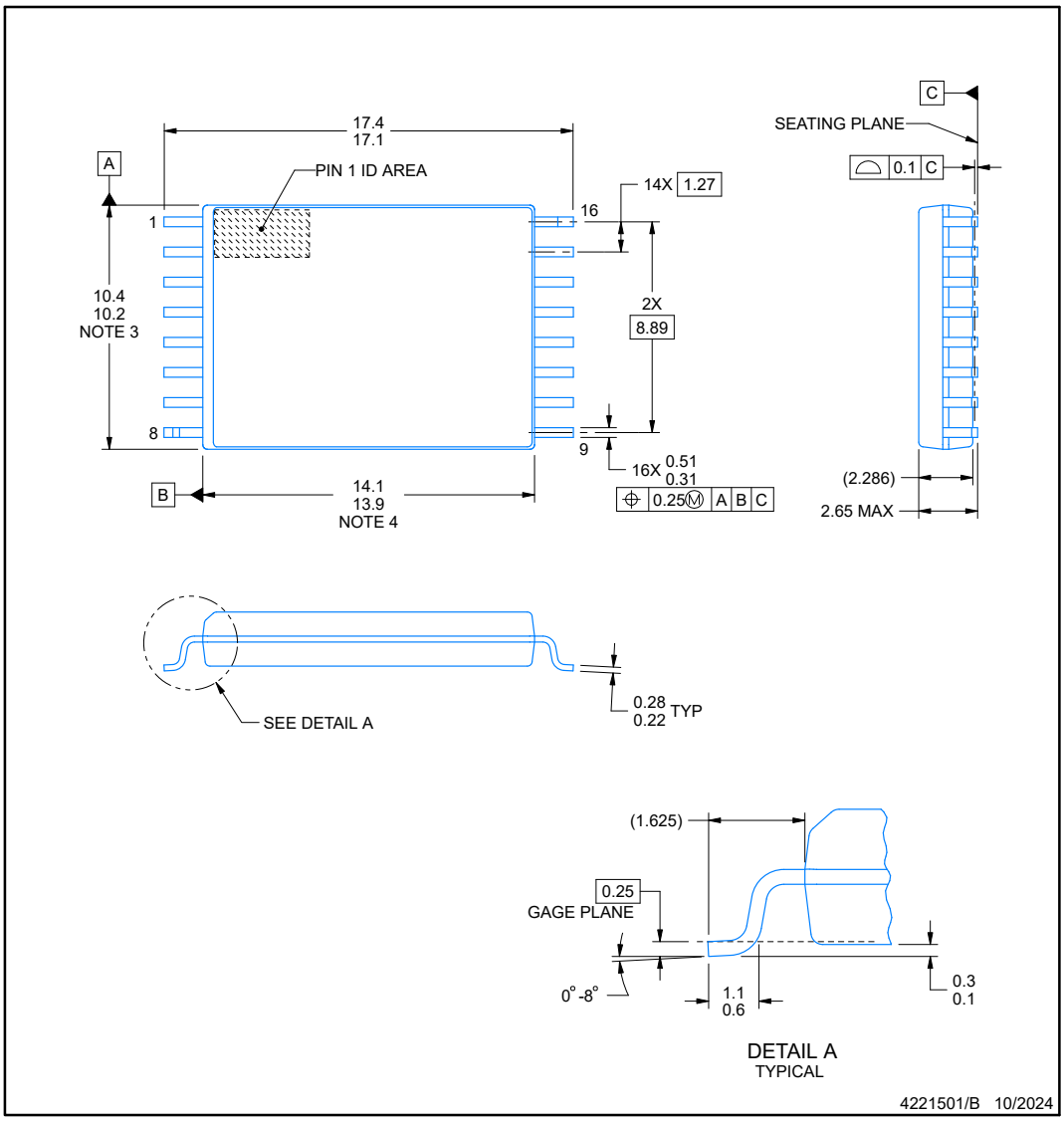
PACKAGE OUTLINE

DWW0016A



SOIC - 2.65 mm max height

PLASTIC SMALL OUTLINE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 mm per side.
4. This dimension does not include interlead flash.

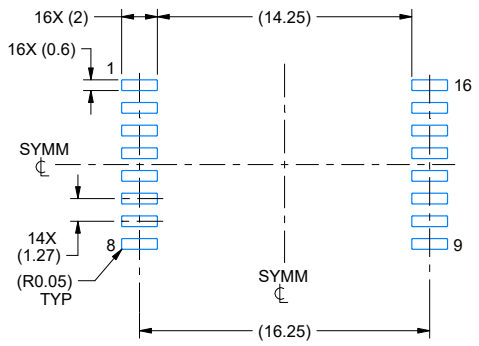
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

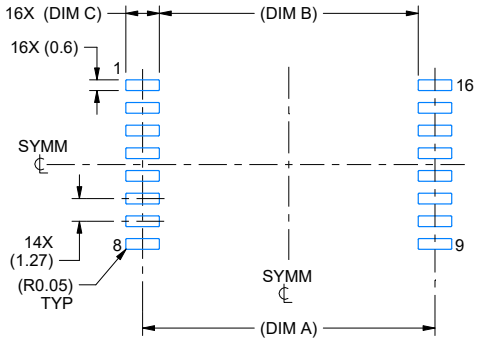
DWW0016A

SOIC - 2.65 mm max height

PLASTIC SMALL OUTLINE

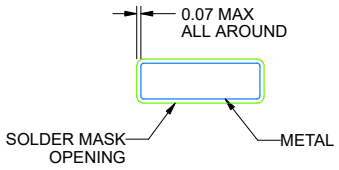


LAND PATTERN EXAMPLE
STANDARD
SCALE:3X

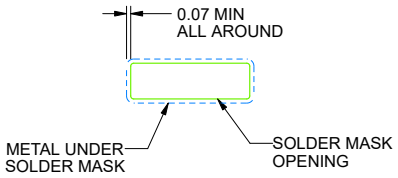


LAND PATTERN EXAMPLE
PCB CLEARANCE & CREEPAGE OPTIMIZED
SCALE:3X

OPTION	DIM A	DIM B	DIM C
01	16.375	14.5	1.875
02	16.625	15	1.625
03	16.725	15.2	1.525



NON SOLDER MASK
DEFINED
(PREFERRED)



SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4221501/B 10/2024

NOTES: (continued)

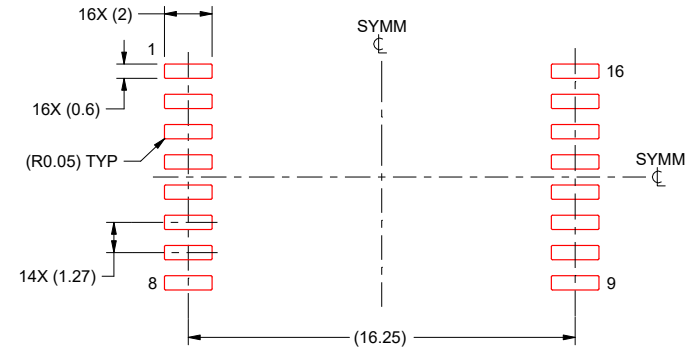
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2025 Texas Instruments Incorporated

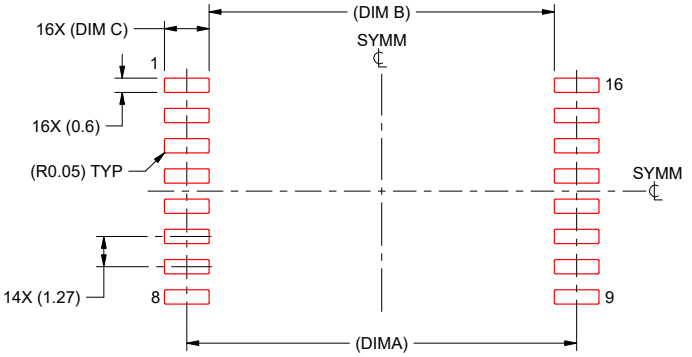
EXAMPLE STENCIL DESIGN

DWW0016A — **SOIC - 2.65 mm max height**

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
STANDARD
BASED ON 0.125 mm THICK STENCIL
SCALE:4X



SOLDER PASTE EXAMPLE
PCB CLEARANCE & CREEPAGE OPTIMIZED
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

OPTION	DIM A	DIM B	DIM C
01	16.375	14.5	1.875
02	16.625	15	1.625
03	16.725	15.2	1.525

4221501/B 10/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISO7842DW	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7842
ISO7842DW.A	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7842
ISO7842DWR	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7842
ISO7842DWR.A	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7842
ISO7842DWRG4	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7842
ISO7842DWRG4.A	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7842
ISO7842DWW	Active	Production	SOIC (DWW) | 16	45 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7842
ISO7842DWW.A	Active	Production	SOIC (DWW) | 16	45 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7842
ISO7842DWWR	Active	Production	SOIC (DWW) | 16	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7842
ISO7842DWWR.A	Active	Production	SOIC (DWW) | 16	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7842
ISO7842FDW	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7842F
ISO7842FDW.A	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7842F
ISO7842FDWR	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7842F
ISO7842FDWR.A	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7842F
ISO7842FDWRG4	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7842F
ISO7842FDWRG4.A	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7842F
ISO7842FDWW	Active	Production	SOIC (DWW) | 16	45 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7842F
ISO7842FDWW.A	Active	Production	SOIC (DWW) | 16	45 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7842F
ISO7842FDWWR	Active	Production	SOIC (DWW) | 16	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7842F
ISO7842FDWWR.A	Active	Production	SOIC (DWW) | 16	1000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-55 to 125	ISO7842F

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

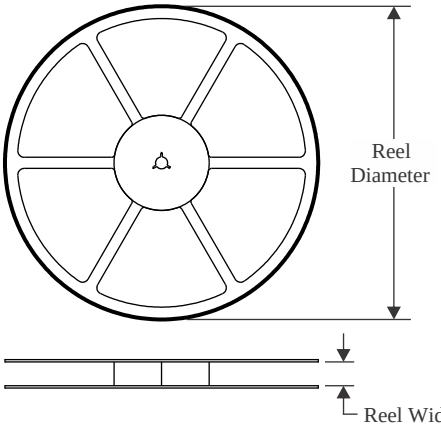
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

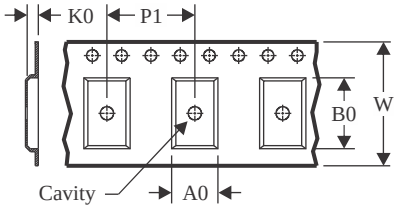
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

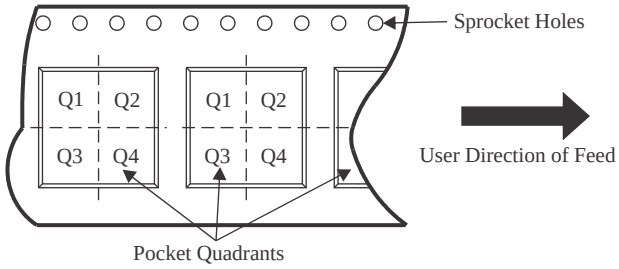


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

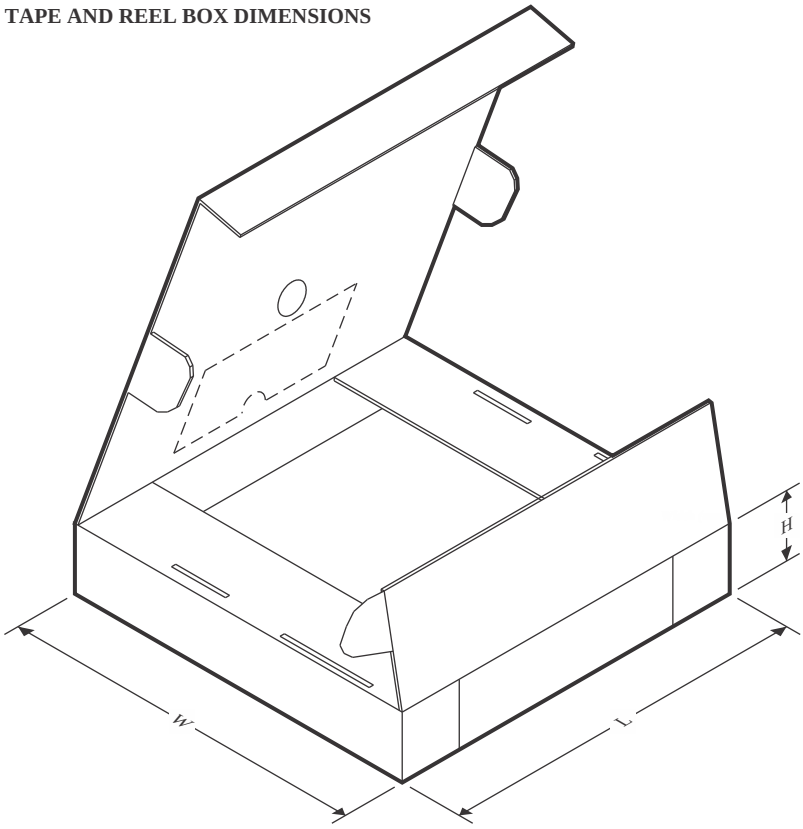
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO7842DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO7842DWRG4	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO7842DWWR	SOIC	DWW	16	1000	330.0	24.4	18.0	10.0	3.0	20.0	24.0	Q1
ISO7842FDWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO7842FDWRG4	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO7842FDWWR	SOIC	DWW	16	1000	330.0	24.4	18.0	10.0	3.0	20.0	24.0	Q1

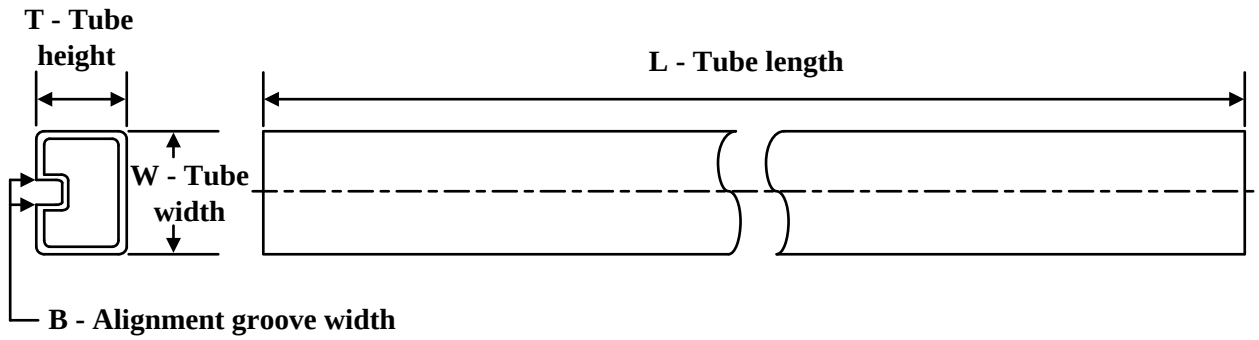
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO7842DWR	SOIC	DW	16	2000	350.0	350.0	43.0
ISO7842DWRG4	SOIC	DW	16	2000	350.0	350.0	43.0
ISO7842DWWR	SOIC	DWW	16	1000	350.0	350.0	43.0
ISO7842FDWR	SOIC	DW	16	2000	350.0	350.0	43.0
ISO7842FDWRG4	SOIC	DW	16	2000	350.0	350.0	43.0
ISO7842FDWWR	SOIC	DWW	16	1000	350.0	350.0	43.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
ISO7842DW	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO7842DW.A	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO7842DWW	DWW	SOIC	16	45	507	20	5000	9
ISO7842DWW.A	DWW	SOIC	16	45	507	20	5000	9
ISO7842FDW	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO7842FDW.A	DW	SOIC	16	40	506.98	12.7	4826	6.6
ISO7842FDWW	DWW	SOIC	16	45	507	20	5000	9
ISO7842FDWW.A	DWW	SOIC	16	45	507	20	5000	9

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月