# ISOS141-SEP 放射線耐性、高速 4 チャネル・デジタル・アイソレータ

## 1 特長

- 放射線耐性
  - 総電離線量 (TID) 特性 (ELDRS フリー) = 30krad (Si)
  - TID RLAT/RHA = 30krad(Si)
  - シングルイベント ラッチアップ (SEL) 耐性：LET = 43MeV·cm$^2$/mg (125℃) まで
  - 500V$_{DC}$ でのシングルイベント誘電体破壊 (SEDR) 耐性 (43MeV·cm$^2$/mg)
- 宇宙用強化プラスチック (宇宙用 EP)
  - NASA ASTM E595 アウトガス仕様に適合
  - VID (Vendor Item Drawing) V62/21610
  - ミリタリー温度範囲 (-55℃ ～ 125℃)
  - 単一のウェハー製造施設
  - 単一のアセンブリ / テスト施設
  - 金ボンド ワイヤ、NiPdAu リード仕上げ
  - ウェハー ロットをトレース可能
  - 長期にわたる製品ライフ サイクル
  - 長期にわたる製品変更通知
- 600V$_{RMS}$ の連続動作電圧
- 安全関連認証：
  - DIN EN IEC 60747-17 (VDE 0884-17)
  - UL 1577 部品認定プログラム
- 100Mbps のデータ レート
- 幅広い電源電圧範囲：2.25V ～ 5.5V
- 2.25V から 5.5V への電圧変換
- デフォルト出力は *Low*
- 低消費電力：1.5mA / チャネル (標準値、1Mbps 時)
- 小さい伝搬遅延：標準値 10.7ns (5V 電源)
- 小さいチャネル間スキュー 4ns 以下 (電源電圧 5V 時)
- CMTI：±100kV/μs (代表値)
- システム レベルの ESD、EFT、サージ、磁気耐性
- 小型 QSOP (DBQ-16) パッケージ

## 2 アプリケーション

- 低軌道 (LEO) 衛星用途
- 信号の絶縁 (RS-422、RS-485、CAN、SPI)
- ゲート・ドライバの絶縁または GaN DC/DC コンバータの帰還の絶縁
- 宇宙グレード絶縁型 DC/DC モジュール
- 宇宙船向けバッテリ管理システム (BMS)
- 衛星推進向け電源ユニット (PPU)
- 発射装置と着陸装置の各種システム
- 通信ペイロード
- レーダー画像処理ペイロード

## 3 説明

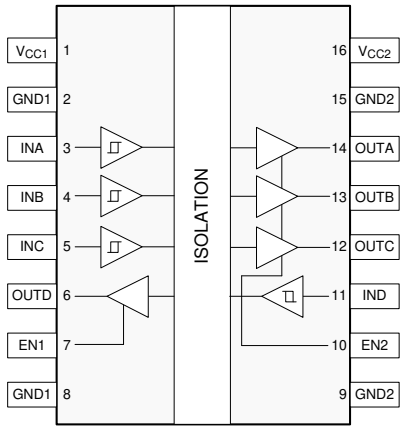
ISOS141-SEP 放射線耐性デバイスは、小型の 16 ピン QSOP パッケージに封止された高性能 4 チャネル デジタル アイソレータです。それぞれの絶縁チャネルにはロジック入力および出力バッファがあり、二重の容量性二酸化ケイ素 ($SiO_2$) 絶縁バリアによって分離されています。このデバイスは、100Mbps の高いデータ レート、10.7ns の小さい伝搬遅延、4ns の小さいチャネル間スキューという特長によって地球低軌道 (LEO) 衛星用途に対応します。ISOS141-SEP デバイスは 3 つの順方向チャネルと 1 つの逆方向チャネルを備えており、入力電力または信号が失われた場合のデフォルト出力は Low です。マルチコントローラ駆動アプリケーションのために、また消費電力を低減するために、イネーブル ピンを使って各出力を高インピーダンスにすることができます。

ISOS141-SEP は、CMOS または LVCMOS デジタル I/O を絶縁すると同時に、高い電磁気耐性と低い放射を低消費電力で実現します。本デバイスは、卓越したなチップ設計により、100kV/μs という優れた同相過渡耐性を備えているため、システム レベルの ESD、EFT、サージを軽減できます。また、放射のコンプライアンスに簡単に対応できます。

**製品情報**

| 部品番号 | 定格 | パッケージ (1) | 本体サイズ (公称) |
|---|---|---|---|
| ISOS141FDBQSEP | 30krad(Si) RLAT/RHA | DBQ (QSOP、16) | 4.90mm × 3.90mm |
| ISOS141FDBQTSEP | | | |

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。




$V_{CCI}$ = 入力電源、$V_{CC2}$ = 出力電源
GND1 = 入力グランド、GND2 = 出力グランド

**概略回路図**

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

# 目次

**1 特長**.....1
**2 アプリケーション**.....1
**3 説明**.....1
**4 ピン構成および機能**.....3
**5 仕様**.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....5
5.4 熱に関する情報.....6
5.5 電力定格.....6
5.6 絶縁仕様.....7
5.7 安全関連認証.....8
5.8 安全限界値.....8
5.9 電気的特性— 5V 電源.....9
5.10 電源電流特性— 5V 電源.....9
5.11 電気的特性— 3.3V 電源.....10
5.12 電源電流特性— 3.3V 電源.....10
5.13 電気的特性— 2.5V 電源.....11
5.14 電源電流特性— 2.5V 電源.....11
5.15 スイッチング特性— 5V 電源.....12
5.16 スイッチング特性— 3.3V 電源.....13
5.17 スイッチング特性— 2.5V 電源.....14
5.18 絶縁特性曲線.....15
5.19 代表的特性.....16
**6 動作寿命の制限解除**.....17
**7 パラメータ測定情報**.....18
**8 詳細説明**.....20
8.1 概要.....20
8.2 機能ブロック図.....20
8.3 機能説明.....21
8.4 デバイスの機能モード.....22
**9 アプリケーションと実装**.....24
9.1 使用上の注意.....24
9.2 代表的なアプリケーション.....25
9.3 電源に関する推奨事項.....29
9.4 レイアウト.....29
**10 デバイスおよびドキュメントのサポート**.....30
10.1 ドキュメントのサポート.....30
10.2 ドキュメントの更新通知を受け取る方法.....30
10.3 サポート・リソース.....30
10.4 商標.....30
10.5 静電気放電に関する注意事項.....30
10.6 用語集.....30
**11 改訂履歴**.....30
**12 メカニカル、パッケージ、および注文情報**.....32


Copyright © 2026 Texas Instruments Incorporated

# 4 ピン構成および機能

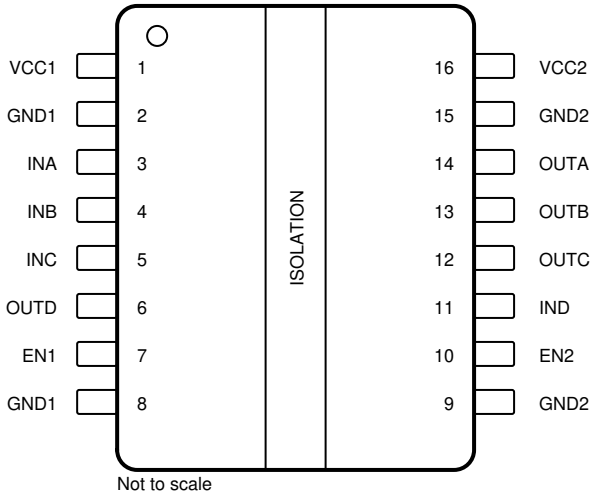



**図 4-1. ISOS141-SEP DBQ パッケージ 16 ピン QSOP 上面図**

**表 4-1. ピンの機能**

| ピン | | タイプ (1) | 説明 |
|---|---|---|---|
| 名称 | 個数 | | |
| EN1 | 7 | I | 出力イネーブル 1。サイド 1 の出力ピンは、EN1 が HIGH またはオープンのときにイネーブル、EN1 が LOW のときは高インピーダンス状態になります。 |
| EN2 | 10 | I | 出力イネーブル 2。サイド 2 の出力ピンは、EN2 が HIGH またはオープンのときにイネーブル、EN2 が LOW のときは高インピーダンス状態になります。 |
| GND1 | 2<br>8 | — | $V_{CC1}$ のグランド接続 |
| GND2 | 9<br>15 | — | $V_{CC2}$ のグランド接続 |
| INA | 3 | I | 入力、チャネル A |
| INB | 4 | I | 入力、チャネル B |
| INC | 5 | I | 入力、チャネル C |
| IND | 11 | I | 入力、チャネル D |
| OUTA | 14 | O | 出力、チャネル A |
| OUTB | 13 | O | 出力、チャネル B |
| OUTC | 12 | O | 出力、チャネル C |
| OUTD | 6 | O | 出力、チャネル D |
| $V_{CC1}$ | 1 | — | 電源、1 次側 |
| $V_{CC2}$ | 16 | — | 電源、2 次側 |

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

# 5 仕様

## 5.1 絶対最大定格

(1) を参照

| | | 最小値 | 最大値 | 単位 |
|---|---|---|---|---|
| 電源電圧 (2) | $V_{CC1}$、$V_{CC2}$ | -0.5 | 6 | V |
| INx、OUTx、ENx の電圧 | V | -0.5 | $V_{CCX}$ + 0.5 (3) | V |
| 出力電流 | Io | -15 | 15 | mA |
| 温度 | 動作時の接合部温度、$T_J$ | | 150 | °C |
| | 保管温度、$T_{stg}$ | -65 | 150 | °C |

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 差動 I/O バス電圧を除くすべての電圧値は、ローカル グランド ピン (GND1 または GND2) を基準としており、ピーク電圧値です。
(3) 最大電圧は 6V 以下である必要があります。

## 5.2 ESD 定格

| | | | 値 | 単位 |
|---|---|---|---|---|
| $V_{(ESD)}$ | 静電放電 | 人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1) | ±6000 | V |
| | | デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2) | ±1500 | |
| | | IEC 61000-4-2 準拠の接触放電、絶縁バリア耐性試験(3) (4) | ±8000 | |

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(3) IEC 試験では、バリアのそれぞれの側にあるすべてのピンを互いに接続して 2 つの端子を持つデバイスを構成し、バリアをはさんで ESD 衝撃を印加します。
(4) テストは、デバイスの固有接触放電能力を判定するため、気中または油中で実行されます。


Copyright © 2026 Texas Instruments Incorporated

## 5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

| | | | 最小値 | 公称値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $V_{CC1}$、$V_{CC2}$ (1) | 電源電圧 | | 2.25 | | 5.5 | V |
| Vcc (UVLO+) | 電源電圧が上昇しているときの UVLO スレッショルド | | | 2 | 2.25 | V |
| Vcc (UVLO-) | 電源電圧が下降しているときの UVLO スレッショルド | | 1.7 | 1.8 | | V |
| Vhys (UVLO) | 電源電圧 UVLO ヒステリシス | | 100 | 200 | | mV |
| $V_{IH}$ | High レベル入力電圧 | | 0.7 × $V_{CCI}$ (2) | | $V_{CCI}$ | V |
| $V_{IL}$ | Low レベル入力電圧 | | 0 | | 0.3 × $V_{CCI}$ | V |
| $I_{OH}$ | High レベル入力電流 | $V_{CCO}$ = 5V (2) | -4 | | | mA |
| | | $V_{CCO}$ = 3.3V | -2 | | | mA |
| | | $V_{CCO}$ = 2.5V | -1 | | | mA |
| $I_{OL}$ | Low レベル出力電流 | $V_{CCO}$ = 5V | | | 4 | mA |
| | | $V_{CCO}$ = 3.3V | | | 2 | mA |
| | | $V_{CCO}$ = 2.5V | | | 1 | mA |
| DR | データ レート | | 0 | | 100 | Mbps |
| $T_A$ | 周辺温度 | | -55 | 25 | 125 | °C |

(1) $V_{CC1}$ と $V_{CC2}$ は、互いに独立して設定できます
(2) $V_{CCI}$ = 入力側 $V_{CC}$、$V_{CCO}$ = 出力側 $V_{CC}$

Copyright © 2026 Texas Instruments Incorporated

## 5.4 熱に関する情報

| 熱評価基準 (1) | | ISOS141 DBQ (SOIC) 16 ピン | 単位 |
|---|---|---|---|
| $R_{\theta JA}$ | 接合部から周囲への熱抵抗 | 109 | °C/W |
| $R_{\theta JC(top)}$ | 接合部からケース (上面) への熱抵抗 | 54.4 | °C/W |
| $R_{\theta JB}$ | 接合部から基板への熱抵抗 | 51.9 | °C/W |
| $\Psi_{JT}$ | 接合部から上面への特性パラメータ | 14.2 | °C/W |
| $\Psi_{JB}$ | 接合部から基板への特性パラメータ | 51.4 | °C/W |
| $R_{\theta JC(bot)}$ | 接合部からケース (底面) への熱抵抗 | — | °C/W |

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。SPRA953

## 5.5 電力定格

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| **ISOS141** | | | | | | |
| $P_D$ | 最大消費電力 (両サイド) | $V_{CC1}$ = $V_{CC2}$ = 5.5V、$T_J$ = 150°C、$C_L$ = 15pF、50MHz 50% デューティ サイクルの方形波を入力 | | | 200 | mW |
| $P_{D1}$ | 最大消費電力 (サイド 1) | | | | 75 | mW |
| $P_{D2}$ | 最大消費電力 (サイド 2) | | | | 125 | mW |


Copyright © 2026 Texas Instruments Incorporated

## 5.6 絶縁仕様

| パラメータ | | テスト条件 | 値 DBQ-16 | 単位 |
|---|---|---|---|---|
| CLR | 外部空間距離(1) | 空気を介した最短のピン間距離 | >3.7 | mm |
| CPG | 外部沿面距離(1) | パッケージ表面に沿った最短のピン間距離 | >3.7 | mm |
| DTI | 絶縁物を介した距離 | 最小内部ギャップ (内部空間距離) | >21 | um |
| CTI | 比較トラッキング インデックス | DIN EN 60112 (VDE 0303-11)、IEC 60112 | >600 | V |
| | 材料グループ | IEC 60664-1 に準拠 | I | |
| | IEC 60664-1 に準拠した過電圧カテゴリ | 定格商用電源 $V_{RMS}$ が 300V 以下 | I-III | |
| **DIN EN IEC 60747-17 (VDE 0884-17)** (2) | | | | |
| $V_{IORM}$ | 最大反復ピーク絶縁電圧 | AC 電圧 (バイポーラ) | 848 | $V_{PK}$ |
| $V_{IOWM}$ | 最大動作絶縁電圧 | AC 電圧、経時絶縁破壊 (TDDB) テスト、<br>図 9-7 を参照 | 600 | $V_{RMS}$ |
| | | DC 電圧 | 848 | $V_{DC}$ |
| $V_{IOTM}$ | 最大過渡絶縁電圧 | $V_{TEST} = V_{IOTM}$、<br>t = 60s (認定)、<br>$V_{TEST} = 1.2 \times V_{IOTM}$、<br>t = 1s (100% 出荷時テスト) | 4242 | $V_{PK}$ |
| $V_{IOSM}$ | 最大サージ絶縁電圧(3) | IEC 62368-1 に準拠したテスト方法、1.2/50µs 波形 | 5200 | $V_{PK}$ |
| $q_{pd}$ | 見掛けの電荷(4) | メソッド a、I/O 安全テスト サブグループ 2/3 の後、<br>$V_{ini} = V_{IOTM}$、$t_{ini}$ = 60s、<br>$V_{pd(m)} = 1.2 \times V_{IORM}$、$t_m$ = 10s | ≦ 5 | pC |
| | | メソッド a、環境テストのサブグループ 1 の後、<br>$V_{ini} = V_{IOTM}$、$t_{ini}$ = 60s、<br>$V_{pd(m)} = 1.2 \times V_{IORM}$、$t_m$ = 10s | ≦ 5 | |
| | | ルーチン テスト (100% 出荷時)、<br>$V_{ini} = 1.2 \times V_{IOTM}$、$t_{ini}$ = 1s、<br>$V_{pd(m)} = 1.5 \times V_{IORM}$、$t_m$ = 1s (メソッド b1) または<br>$V_{pd(m)} = V_{ini}$、$t_m = t_{ini}$ (メソッド b2) | ≦ 5 | |
| $C_{IO}$ | 絶縁バリア容量、入力から出力へ(5) | $V_{IO} = 0.4 \times \sin(2\pi ft)$、f = 1MHz | ≅1 | pF |
| $R_{IO}$ | 絶縁抵抗 (5) | $V_{IO}$ = 500V、$T_A$ = 25℃ | $>10^{12}$ | Ω |
| | | $V_{IO}$ = 500V (100℃ ≦ $T_A$ ≦ 125℃時) | $>10^{11}$ | |
| | | $V_{IO}$ = 500V ($T_S$ = 150℃時) | $>10^{9}$ | |
| | 汚染度 | | 2 | |
| | 耐候性カテゴリ | | 55/125/21 | |
| **UL 1577** | | | | |
| $V_{ISO}$ | 最大絶縁耐性電圧 | $V_{TEST} = V_{ISO}$、t = 60s (認定)、<br>$V_{TEST} = 1.2 \times V_{ISO}$、t = 1s (100% 出荷時テスト) | 3000 | $V_{RMS}$ |

(1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上にグルーブやリブを設けるなどの技法を使用して、これらの仕様値を大きくすることができます。
(2) この絶縁素子は、安全定格内に限定した基本的な電気的絶縁に適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
(3) テストは、絶縁バリアの固有サージ耐性を判定するため、気中または油中で実行されます。
(4) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
(5) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

Copyright © 2026 Texas Instruments Incorporated

## 5.7 安全関連認証

| VDE | UL |
|---|---|
| DIN EN IEC 60747-17 (VDE 0884-17) による認証 | UL 1577 部品認定プログラムによる認証 |
| 基本認証:40047657 | ファイル番号:E181974 |

## 5.8 安全限界値

安全限界値 (1) の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| **DBQ-16 パッケージ** | | | | | | |
| $I_S$ | 安全入力、出力、または電源電流 | $R_{\theta JA}$ =109°C/W、$V_I$ = 5.5V、$T_J$ = 150°、$T_A$ = 25°C<br>図 5-1 を参照 | | | 209 | mA |
| | | $R_{\theta JA}$ = 109℃/W、$V_I$ = 3.6V、$T_J$ = 150℃、$T_A$ = 25℃<br>図 5-1 を参照 | | | 319 | mA |
| | | $R_{\theta JA}$ = 109℃/W、$V_I$ = 2.75V、$T_J$ = 150℃、$T_A$ = 25℃、<br>図 5-1 を参照 | | | 417 | |
| $P_S$ | 安全入力、出力、または合計電力 | $R_{\theta JA}$ = 109℃/W、$T_J$ = 150℃、$T_A$ = 25℃<br>図 5-2 を参照 | | | 1147 | mW |
| $T_S$ | 最高安全温度 | | | | 150 | °C |

(1) 最高安全温度 $T_S$ は、本デバイスに規定された最大接合部温度 $T_J$ と同じ値です。$I_S$ および $P_S$ パラメータはそれぞれ安全電流と安全電力を表します。$I_S$ および $P_S$ の最大限界値を超過してはなりません。これらの限界値は、周囲温度 $T_A$ によって異なります。
表にある接合部から空気への熱抵抗 $R_{\theta JA}$ は、リード付き表面実装パッケージ向けの High-K テスト ボードに実装されたデバイスの数値です。これらの式を使って各パラメータの値を計算します。
$T_J = T_A + R_{\theta JA} \times P$、ここで P は本デバイスで消費される電力です。
$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$、ここで $T_{J(max)}$ は最大許容接合部温度です。
$P_S = I_S \times V_I$、ここで $V_I$ は最大入力電圧です。


Copyright © 2026 Texas Instruments Incorporated

## 5.9 電気的特性— 5V 電源

$V_{CC1}$ = $V_{CC2}$ = 5V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $V_{OH}$ | High レベル出力電圧 | $I_{OH}$ = -4mA、図 7-1 を参照 | $V_{CCO}$ - 0.4 (1) | | | V |
| $V_{OL}$ | Low レベル出力電圧 | $I_{OL}$ = 4 mA、図 7-1 を参照 | | | 0.4 | V |
| $V_{IT+(IN)}$ | 立ち上がり入力のスイッチング スレッショルド | | | | 0.7 × $V_{CCI}$ (1) | V |
| $V_{IT-(IN)}$ | 立ち下がり入力のスイッチング スレッショルド | | 0.3 × $V_{CCI}$ | | | V |
| $V_{I(HYS)}$ | 入力スレッショルド電圧のヒステリシス | | 0.1 × $V_{CCI}$ | | | V |
| $I_{IH}$ | High レベル入力電流 | INx または ENx で $V_{IH}$ = $V_{CCI}$ (1) | | | 10 | µA |
| $I_{IL}$ | Low レベル入力電流 | INx または ENx で $V_{IL}$ = 0V | -10 | | | µA |
| CMTI | 同相過渡耐性 | $V_I$ = $V_{CC}$ または 0V、$V_{CM}$ = 1200V、図 7-4 を参照 | 85 | 100 | | kV/us |
| $C_i$ | 入力容量 (2) | $V_I$ = $V_{CC}$/ 2 + 0.4×sin(2πft)、f = 2MHz、$V_{CC}$ = 5V | | 2 | | pF |

(1) $V_{CCI}$ = 入力側 $V_{CC}$、$V_{CCO}$ = 出力側 $V_{CC}$
(2) 入力ピンから同じ側のグランドまで測定。

## 5.10 電源電流特性— 5V 電源

$V_{CC1}$ = $V_{CC2}$ = 5V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

| パラメータ | テスト条件 | | 電源電流 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|---|
| **ISOS141** | | | | | | | |
| 電源電流 - ディセーブル | EN1 = EN2 = 0V、$V_I$ = 0V (ISOS141) | | $I_{CC1}$ | | 1 | 1.5 | mA |
| | | | $I_{CC2}$ | | 0.8 | 1.1 | |
| | EN1 = EN2 = 0V、$V_I$ = $V_{CCI}$ (1) (ISOS141) | | $I_{CC1}$ | | 4.3 | 6.3 | |
| | | | $I_{CC2}$ | | 1.8 | 2.7 | |
| 電源電流 - DC 信号 (2) | EN1 = EN2 = $V_{CCI}$、$V_I$ = 0V (ISOS141) | | $I_{CC1}$ | | 1.5 | 2.3 | |
| | | | $I_{CC2}$ | | 2 | 3 | |
| | EN1 = EN2 = $V_{CCI}$、$V_I$ = $V_{CCI}$ (ISOS141) | | $I_{CC1}$ | | 4.8 | 6.8 | |
| | | | $I_{CC2}$ | | 3.2 | 4.9 | |
| 電源電流 - AC 信号 (3) | すべてのチャネルが方形波クロック入力でスイッチング、$C_L$ = 15pF | 1Mbps | $I_{CC1}$ | | 3.2 | 4.6 | |
| | | | $I_{CC2}$ | | 2.8 | 4.1 | |
| | | 10Mbps | $I_{CC1}$ | | 3.7 | 5.2 | |
| | | | $I_{CC2}$ | | 4.2 | 5.7 | |
| | | 100Mbps | $I_{CC1}$ | | 8.6 | 11.3 | |
| | | | $I_{CC2}$ | | 18 | 22 | |

(1) $V_{CCI}$ = 入力側 $V_{CC}$
(2) 電源電流は ENx = $V_{CCx}$ および ENx = オープンの場合に有効
(3) 電源電流は ENx = $V_{CCx}$ の場合に有効

Copyright © 2026 Texas Instruments Incorporated

## 5.11 電気的特性— 3.3V 電源

$V_{CC1}$ = $V_{CC2}$ = 3.3V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $V_{OH}$ | High レベル出力電圧 | $I_{OH}$ = -2mA、図 7-1 を参照 | $V_{CCO}$ - 0.3 (1) | | | V |
| $V_{OL}$ | Low レベル出力電圧 | $I_{OL}$ = 2 mA、図 7-1 を参照 | | | 0.3 | V |
| $V_{IT+(IN)}$ | 立ち上がり入力のスイッチング スレッショルド | | | | 0.7 × $V_{CCI}$ (1) | V |
| $V_{IT-(IN)}$ | 立ち下がり入力のスイッチング スレッショルド | | 0.3 × $V_{CCI}$ | | | V |
| $V_{I(HYS)}$ | 入力スレッショルド電圧のヒステリシス | | 0.1 × $V_{CCI}$ | | | V |
| $I_{IH}$ | High レベル入力電流 | INx または ENx で $V_{IH}$ = $V_{CCI}$ (1) | | | 10 | µA |
| $I_{IL}$ | Low レベル入力電流 | INx または ENx で $V_{IL}$ = 0V | -10 | | | µA |
| CMTI | 同相過渡耐性 | $V_I$ = $V_{CC}$ または 0V、$V_{CM}$ = 1200V、図 7-4 を参照 | 85 | 100 | | kV/µs |
| $C_i$ | 入力容量 (2) | $V_I$ = $V_{CC}$/2 + 0.4×sin(2πft)、f = 1MHz、$V_{CC}$ = 5V | | 2 | | pF |

(1) $V_{CCI}$ = 入力側 $V_{CC}$、$V_{CCO}$ = 出力側 $V_{CC}$
(2) 入力ピンから同じ側のグランドまで測定。

## 5.12 電源電流特性— 3.3V 電源

$V_{CC1}$ = $V_{CC2}$ = 3.3V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

| パラメータ | テスト条件 | | 電源電流 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|---|
| **ISOS141** | | | | | | | |
| 電源電流 - ディセーブル | EN1 = EN2 = 0V、$V_I$ = 0V (ISOS141) | | $I_{CC1}$ | | 1 | 1.5 | mA |
| | | | $I_{CC2}$ | | 0.8 | 1.1 | |
| | EN1 = EN2 = 0V、$V_I$ = $V_{CC1}$ (1) (ISOS141) | | $I_{CC1}$ | | 4.3 | 6.3 | |
| | | | $I_{CC2}$ | | 1.9 | 2.7 | |
| 電源電流 - DC 信号 (2) | EN1 = EN2 = $V_{CCI}$、$V_I$ = 0V (ISOS141) | | $I_{CC1}$ | | 1.5 | 2.3 | |
| | | | $I_{CC2}$ | | 2 | 3 | |
| | EN1 = EN2 = $V_{CCI}$、$V_I$ = $V_{CCI}$ (ISOS141) | | $I_{CC1}$ | | 4.8 | 6.8 | |
| | | | $I_{CC2}$ | | 3.2 | 4.9 | |
| 電源電流 - AC 信号 (3) | すべてのチャネルが方形波クロック入力でスイッチング、$C_L$ = 15pF | 1Mbps | $I_{CC1}$ | | 3.2 | 4.6 | |
| | | | $I_{CC2}$ | | 2.7 | 4.1 | |
| | | 10Mbps | $I_{CC1}$ | | 3.5 | 5 | |
| | | | $I_{CC2}$ | | 3.7 | 5.2 | |
| | | 100Mbps | $I_{CC1}$ | | 6.8 | 9.3 | |
| | | | $I_{CC2}$ | | 13.7 | 16.4 | |

(1) $V_{CCI}$ = 入力側 $V_{CC}$
(2) 電源電流は ENx = $V_{CCx}$ および ENx = オープンの場合に有効
(3) 電源電流は ENx = $V_{CCx}$ の場合に有効


Copyright © 2026 Texas Instruments Incorporated

## 5.13 電気的特性— 2.5V 電源

$V_{CC1}$ = $V_{CC2}$ = 2.5V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $V_{OH}$ | High レベル出力電圧 | $I_{OH}$ = -1mA、図 7-1 を参照 | $V_{CCO}$ - 0.2 (1) | | | V |
| $V_{OL}$ | Low レベル出力電圧 | $I_{OL}$ = 1 mA、図 7-1 を参照 | | | 0.2 | V |
| $V_{IT+(IN)}$ | 立ち上がり入力のスイッチング スレッショルド | | | | 0.7 × $V_{CCI}$ (1) | V |
| $V_{IT-(IN)}$ | 立ち下がり入力のスイッチング スレッショルド | | 0.3 × $V_{CCI}$ | | | V |
| $V_{I(HYS)}$ | 入力スレッショルド電圧のヒステリシス | | 0.1 × $V_{CCI}$ | | | V |
| $I_{IH}$ | High レベル入力電流 | INx または ENx で $V_{IH}$ = $V_{CCI}$ (1) | | | 10 | µA |
| $I_{IL}$ | Low レベル入力電流 | INx または ENx で $V_{IL}$ = 0V | -10 | | | µA |
| CMTI | 同相過渡耐性 | $V_I$ = $V_{CC}$ または 0V、$V_{CM}$ = 1200V、図 7-4 を参照 | 85 | 100 | | kV/µs |
| $C_i$ | 入力容量 (2) | $V_I$ = $V_{CC}$/ 2 + 0.4×sin(2πft)、f = 1MHz、$V_{CC}$ = 5V | | 2 | | pF |

(1) $V_{CCI}$ = 入力側 $V_{CC}$、$V_{CCO}$ = 出力側 $V_{CC}$
(2) 入力ピンから同じ側のグランドまで測定。

## 5.14 電源電流特性— 2.5V 電源

$V_{CC1}$ = $V_{CC2}$ = 2.5V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

| パラメータ | テスト条件 | | 電源電流 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|---|
| **ISOS141** | | | | | | | |
| 電源電流 - ディセーブル | EN1 = EN2 = 0V、$V_I$ = 0V (ISOS141) | | $I_{CC1}$ | | 1 | 1.5 | mA |
| | | | $I_{CC2}$ | | 0.8 | 1.1 | |
| | EN1 = EN2 = 0V、$V_I$ = $V_{CC1}$ (1) (ISOS141) | | $I_{CC1}$ | | 4.3 | 6.3 | |
| | | | $I_{CC2}$ | | 1.8 | 2.7 | |
| 電源電流 - DC 信号 (2) | EN1 = EN2 = $V_{CCI}$、$V_I$ = 0V (ISOS141) | | $I_{CC1}$ | | 1.4 | 2.3 | |
| | | | $I_{CC2}$ | | 2 | 3 | |
| | EN1 = EN2 = $V_{CCI}$、$V_I$ = $V_{CCI}$ (ISOS141) | | $I_{CC1}$ | | 4.7 | 6.8 | |
| | | | $I_{CC2}$ | | 3.2 | 4.9 | |
| 電源電流 - AC 信号 (3) | すべてのチャネルが方形波クロック入力でスイッチング、$C_L$ = 15pF | 1Mbps | $I_{CC1}$ | | 3.1 | 4.6 | |
| | | | $I_{CC2}$ | | 2.7 | 4 | |
| | | 10Mbps | $I_{CC1}$ | | 3.4 | 4.9 | |
| | | | $I_{CC2}$ | | 3.5 | 4.9 | |
| | | 100Mbps | $I_{CC1}$ | | 5.6 | 8.3 | |
| | | | $I_{CC2}$ | | 10.8 | 13.8 | |

(1) $V_{CCI}$ = 入力側 $V_{CC}$
(2) 電源電流は ENx = $V_{CCx}$ および ENx = オープンの場合に有効
(3) 電源電流は ENx = $V_{CCx}$ の場合に有効

Copyright © 2026 Texas Instruments Incorporated

## 5.15 スイッチング特性— 5V 電源

$V_{CC1}$ = $V_{CC2}$ = 5V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $t_{PLH}$、$t_{PHL}$ | 伝搬遅延時間 | 図 7-1 を参照 | | 10.7 | 16 | ns |
| PWD | パルス幅歪み (1) $\lvert t_{PHL} - t_{PLH} \rvert$ | | | | 4.9 | ns |
| $t_{sk(o)}$ | チャネル間の出力スキュー時間 (2) | 同方向チャネル | | | 4 | ns |
| $t_{sk(pp)}$ | 部品間のスキュー時間 (3) | | | | 4.4 | ns |
| $t_r$ | 出力信号の立ち上がり時間 | 図 7-1 を参照 | | 2.4 | 3.9 | ns |
| $t_f$ | 出力信号の立ち下がり時間 | | | 2.4 | 3.9 | ns |
| $t_{PHZ}$ | ディセーブルの伝搬遅延、出力 High から高インピーダンスへ | 図 7-2 を参照 | | 9 | 20 | ns |
| $t_{PLZ}$ | ディセーブルの伝搬遅延、出力 Low から高インピーダンスへ | | | 9 | 20 | ns |
| $t_{PZH}$ | イネーブルの伝搬遅延、高インピーダンスから出力 High へ (ISOS141、F 接尾辞付き) | | | 3 | 8.5 | µs |
| $t_{PZL}$ | イネーブルの伝搬遅延、高インピーダンスから出力 Low へ (ISOS141、F 接尾辞付き) | | | 7 | 20 | ns |
| $t_{DO}$ | 入力電源喪失からデフォルト出力までの遅延時間 | VCC が 1.7V を下回る時間から測定。図 7-3 を参照 | | 0.1 | 0.3 | µs |
| $t_{ie}$ | タイム インターバル エラー | 100Mbps で $2^{16}$ - 1 PRBS データ | | 0.8 | | ns |

(1) 別名パルス スキュー。
(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。
(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。


Copyright © 2026 Texas Instruments Incorporated

## 5.16 スイッチング特性— 3.3V 電源

$V_{CC1}$ = $V_{CC2}$ = 3.3V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $t_{PLH}$、$t_{PHL}$ | 伝搬遅延時間 | 図 7-1 を参照 | | 11 | 16 | ns |
| PWD | パルス幅歪み (1) $\lvert t_{PHL} - t_{PLH} \rvert$ | | | | 5 | ns |
| $t_{sk(o)}$ | チャネル間の出力スキュー時間 (2) | 同方向チャネル | | | 4.1 | ns |
| $t_{sk(pp)}$ | 部品間のスキュー時間 (3) | | | | 4.5 | ns |
| $t_r$ | 出力信号の立ち上がり時間 | 図 7-1 を参照 | | 1.3 | 3 | ns |
| $t_f$ | 出力信号の立ち下がり時間 | | | 1.3 | 3 | ns |
| $t_{PHZ}$ | ディセーブルの伝搬遅延、出力 High から高インピーダンスへ | 図 7-2 を参照 | | 17 | 30 | ns |
| $t_{PLZ}$ | ディセーブルの伝搬遅延、出力 Low から高インピーダンスへ | | | 17 | 30 | ns |
| $t_{PZH}$ | イネーブルの伝搬遅延、高インピーダンスから出力 High へ (ISOS141、F 接尾辞付き) | | | 3.2 | 8.5 | µs |
| $t_{PZL}$ | イネーブルの伝搬遅延、高インピーダンスから出力 Low へ (ISOS141、F 接尾辞付き) | | | 17 | 30 | ns |
| $t_{DO}$ | 入力電源喪失からデフォルト出力までの遅延時間 | VCC が 1.7V を下回る時間から測定。図 7-3 を参照 | | 0.1 | 0.3 | µs |
| $t_{ie}$ | タイム インターバル エラー | 100Mbps で $2^{16}$ - 1 PRBS データ | | 0.9 | | ns |

(1) 別名パルス スキュー。
(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。
(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

Copyright © 2026 Texas Instruments Incorporated

## 5.17 スイッチング特性— 2.5V 電源

$V_{CC1}$ = $V_{CC2}$ = 2.5V ±10% (特に記述のない限り、推奨動作条件全体にわたって)

| パラメータ | | テスト条件 | 最小値 | 標準値 | 最大値 | 単位 |
|---|---|---|---|---|---|---|
| $t_{PLH}$、$t_{PHL}$ | 伝搬遅延時間 | 図 7-1 を参照 | | 12 | 18.5 | ns |
| PWD | パルス幅歪み (1) $\lvert t_{PHL} - t_{PLH} \rvert$ | | | | 5.1 | ns |
| $t_{sk(o)}$ | チャネル間の出力スキュー時間 (2) | 同方向チャネル | | | 4.1 | ns |
| $t_{sk(pp)}$ | 部品間のスキュー時間 (3) | | | | 4.6 | ns |
| $t_r$ | 出力信号の立ち上がり時間 | 図 7-1 を参照 | | 1 | 3.5 | ns |
| $t_f$ | 出力信号の立ち下がり時間 | | | 1 | 3.5 | ns |
| $t_{PHZ}$ | ディセーブルの伝搬遅延、出力 High から高インピーダンスへ | 図 7-2 を参照 | | 22 | 40 | ns |
| $t_{PLZ}$ | ディセーブルの伝搬遅延、出力 Low から高インピーダンスへ | | | 22 | 40 | ns |
| $t_{PZH}$ | イネーブルの伝搬遅延、高インピーダンスから出力 High へ (ISOS141、F 接尾辞付き) | | | 3.3 | 8.5 | µs |
| $t_{PZL}$ | イネーブルの伝搬遅延、高インピーダンスから出力 Low へ (ISOS141、F 接尾辞付き) | | | 18 | 40 | ns |
| $t_{DO}$ | 入力電源喪失からデフォルト出力までの遅延時間 | VCC が 1.7V を下回る時間から測定。図 7-3 を参照 | | 0.1 | 0.3 | µs |
| $t_{ie}$ | タイム インターバル エラー | 100Mbps で $2^{16}$ - 1 PRBS データ | | 0.7 | | ns |

(1) 別名パルス スキュー。
(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。
(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。


Copyright © 2026 Texas Instruments Incorporated

## 5.18 絶縁特性曲線

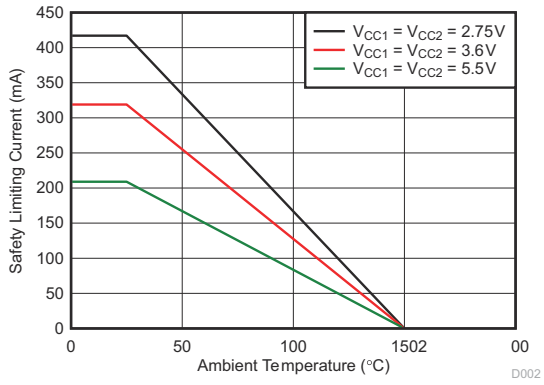



図 5-1. DBQ-16 パッケージでの安全限界電流の熱特性低下曲線

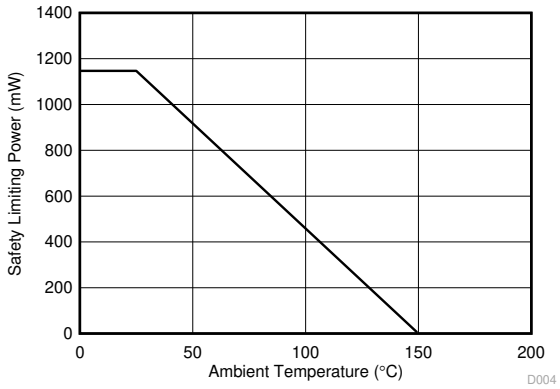
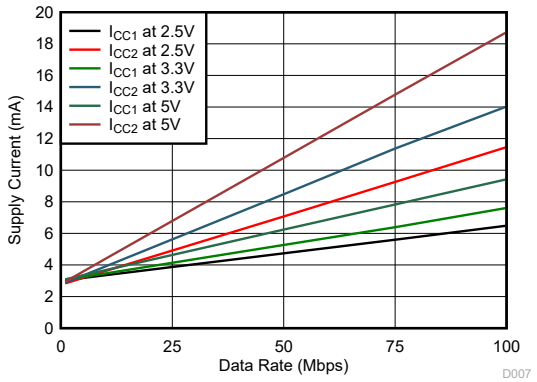


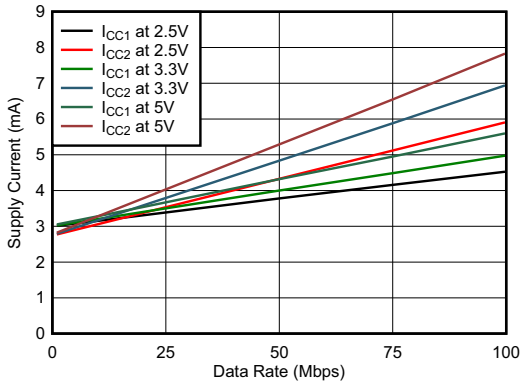

図 5-2. DBQ-16 パッケージでの安全限界電力の熱特性低下曲線

## 5.19 代表的特性



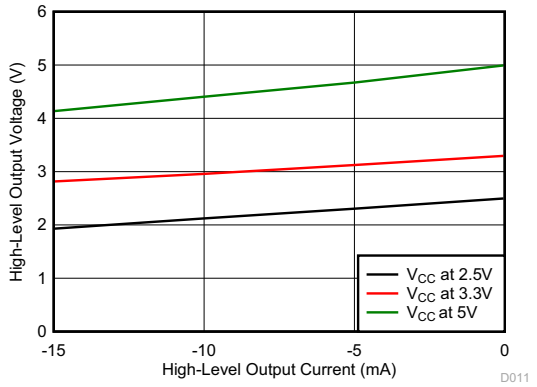

$T_A$ = 25℃ $C_L$ = 15pF

**図 5-3. 消費電流とデータ レートとの関係 (15pF 負荷時)**



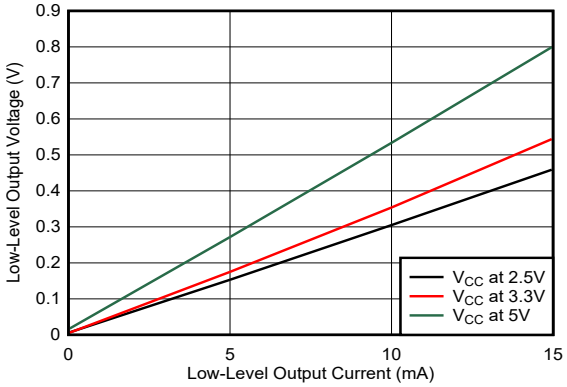

$T_A$ = 25℃ $C_L$ = 無負荷

**図 5-4. 電源電流とデータ レートとの関係 (負荷なし)**




$T_A$ = 25℃

**図 5-5. High レベル出力電圧と High レベル出力電流との関係**




$T_A$ = 25℃

**図 5-6. Low レベル出力電圧と Low レベル出力電流との関係**

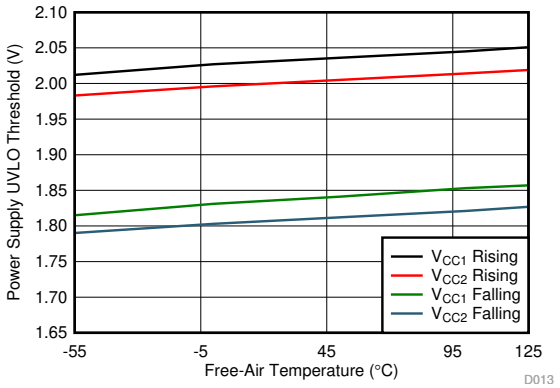



**図 5-7. 電源低電圧スレッショルドと周囲温度との関係**

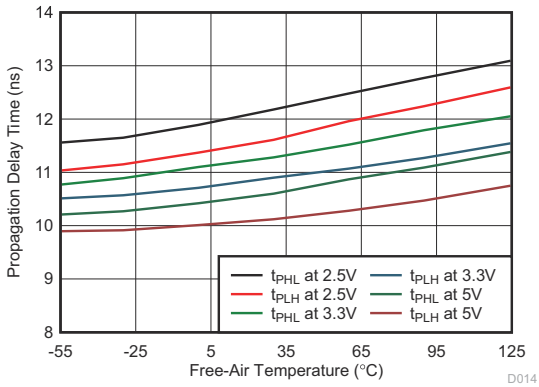
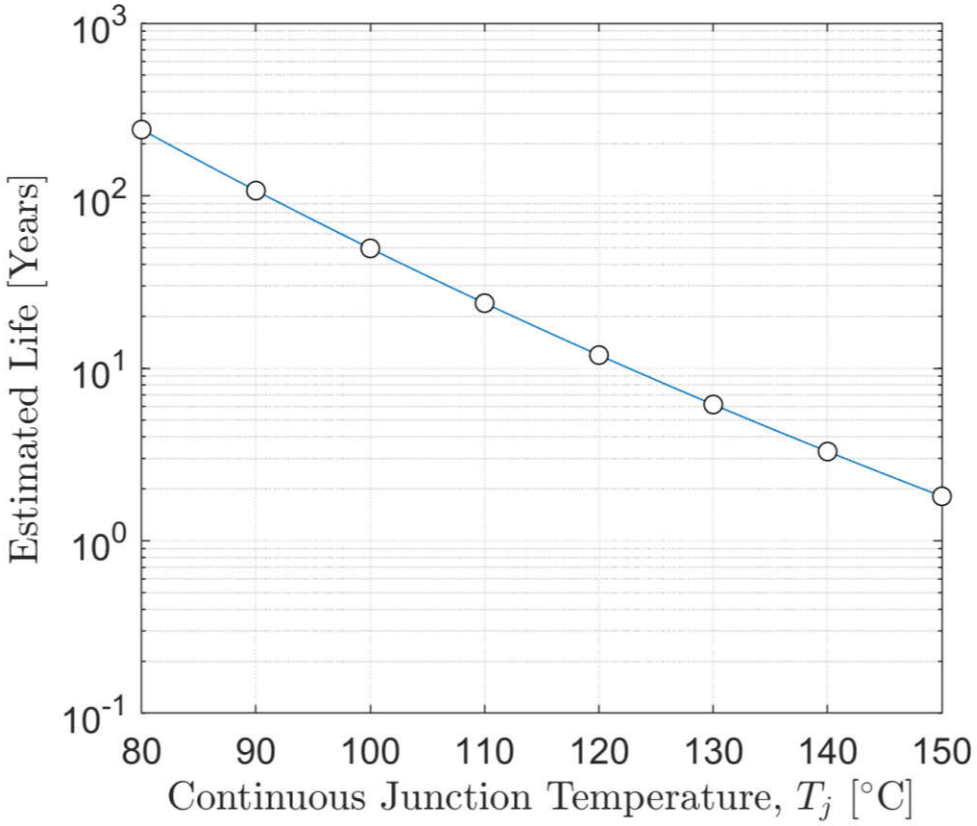



**図 5-8. 伝搬遅延時間と周囲温度との関係**


Copyright © 2026 Texas Instruments Incorporated

## 6 動作寿命の制限解除

このセクションの情報は、お客様の利便性のみを目的として提供されるものであり、テキサス・インスツルメンツの半導体製品に関する標準的な契約条件に基づいて提供される保証を拡張または変更するものではありません。

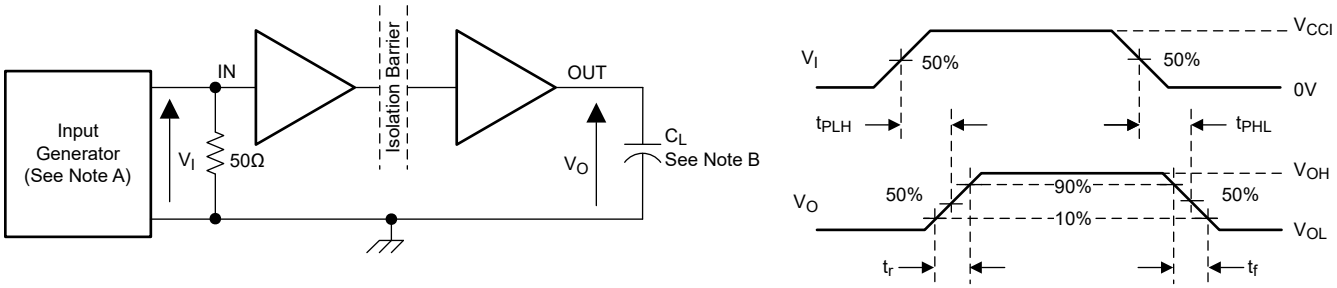



1. シリコンの動作寿命の設計目標は、105℃の接合部温度で 100000 時間の電源オン時間 (POH) です (パッケージの相互接続寿命は含まれません)。
2. 予測される動作寿命と接合部温度との関係は、特定のデバイス プロセスと設計特性でデバイスの磨耗に影響を及ぼす主要な故障メカニズムとしてワイヤボンド寿命を使用した信頼性モデルに基づいています。

**ワイヤボンド寿命のディレーティング曲線**

Copyright © 2026 Texas Instruments Incorporated

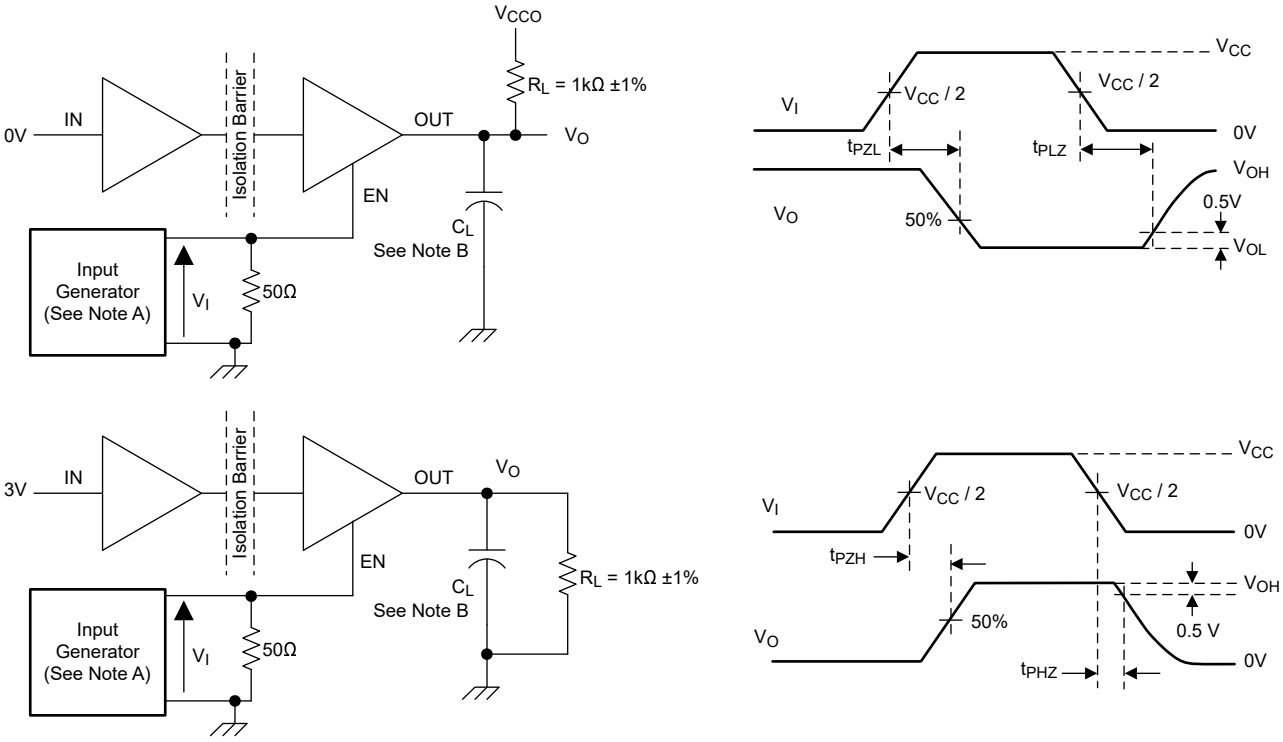
# 7 パラメータ測定情報




A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≤ 50kHz、50% デューティ サイクル、$t_r$ ≤ 3ns、$t_f$ ≤ 3ns、$Z_O$ = 50Ω。入力ジェネレータ信号を終端するため、入力に 50Ω の抵抗が必要です。実際のアプリケーションでは、この 50Ω 抵抗は不要です。

B. $C_L$ = 15pF であり、±20% 以内の計測器および治具の容量が含まれています。

**図 7-1. スイッチング特性試験回路と電圧波形**

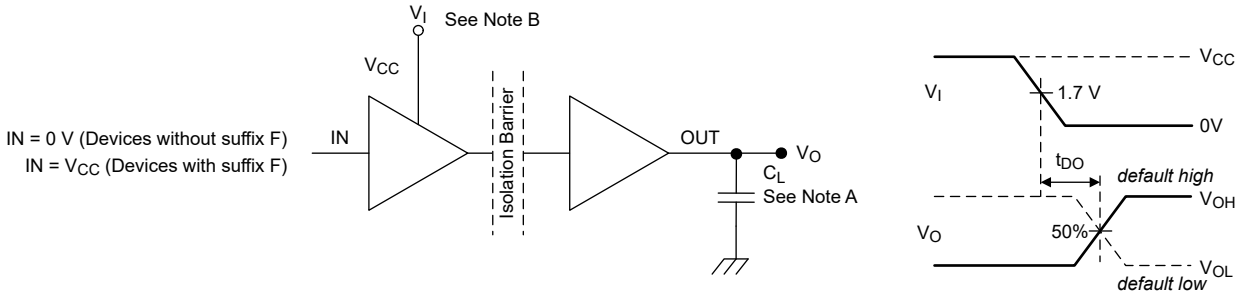



A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≤ 10kHz、50% デューティ サイクル、$t_r$ ≤ 3ns、$t_f$ ≤ 3ns、$Z_O$ = 50Ω。

B. $C_L$ = 15pF であり、±20% 以内の計測器および治具の容量が含まれています。

**図 7-2. イネーブル / ディセーブル伝搬遅延時間のテスト回路と波形**

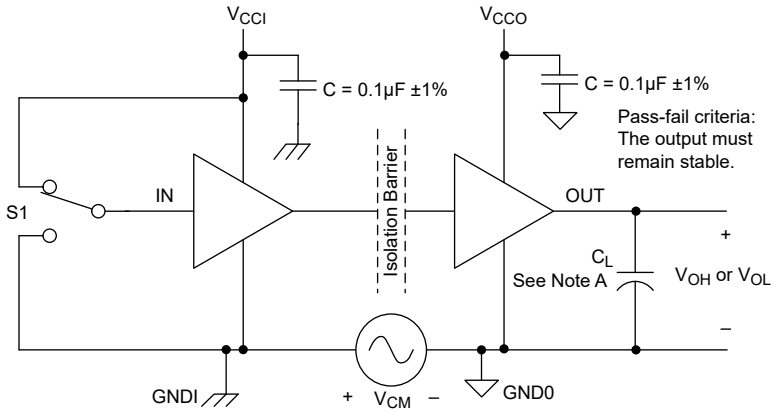

Copyright © 2026 Texas Instruments Incorporated




A. $C_L$ = 15pF であり、±20% 以内の計測器および治具の容量が含まれています。

B. 電源ランプ レート = 10mV/ns

**図 7-3. デフォルトの出力遅延時間テスト回路と電圧波形**




A. $C_L$ = 15pF であり、±20% 以内の計測器および治具の容量が含まれています。

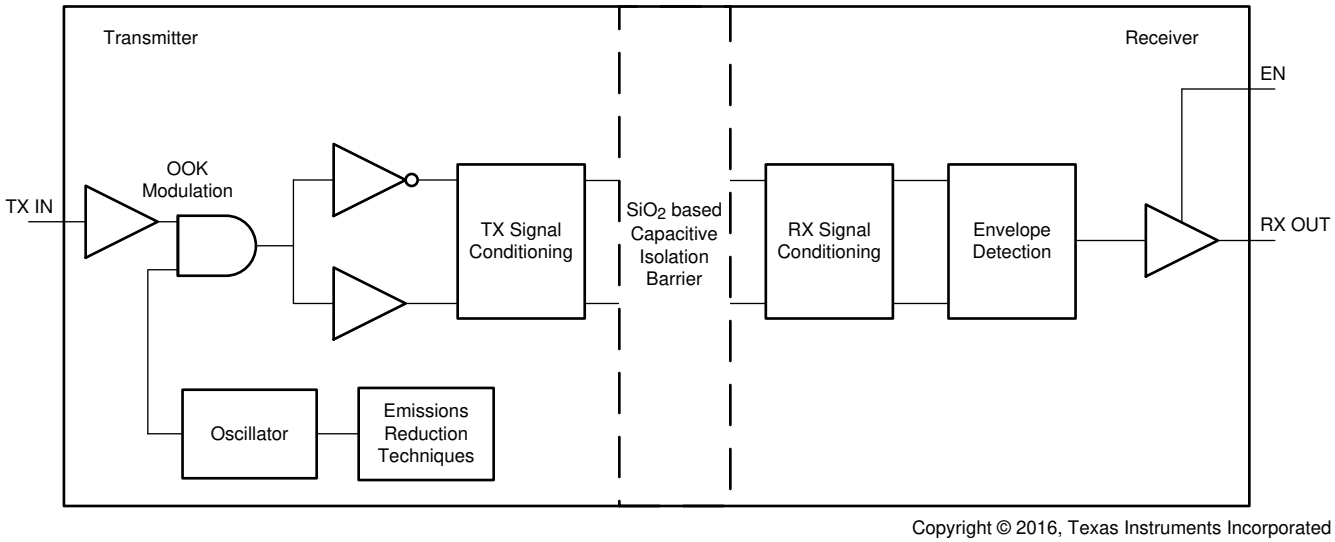
**図 7-4. 同相過渡電圧耐性試験回路**

# 8 詳細説明

## 8.1 概要

ISOS141-SEP は、オン オフ キーイング (OOK) 変調方式を使用し、二酸化ケイ素をベースとする絶縁バリアを介してデジタル データを送信します。トランスミッタは、バリアを介して高周波キャリアを送信することによって、1 つのデジタル状態を表しています。また、信号を送信しないことによって、もう 1 つのデジタル状態を表しています。レシーバは、高度な信号コンディショニングを行ってから信号を復調し、バッファ段経由で出力を生成します。ENx ピンが LOW の場合、出力は高インピーダンスになります。ISOS141-SEP デバイスには高度な回路技法も使用されており、CMTI 性能を最大化し、高周波キャリアと IO バッファのスイッチングによる放射ノイズを最小化しています。デジタル容量性アイソレータの概念ブロック図である図 8-1 は、代表的なチャネルの機能ブロック図を示しています。

## 8.2 機能ブロック図




Copyright © 2016, Texas Instruments Incorporated

**図 8-1. デジタル容量性アイソレータの概念ブロック図**

オン オフ キーイング方式による動作の概念的な説明を 図 8-2 に示します。

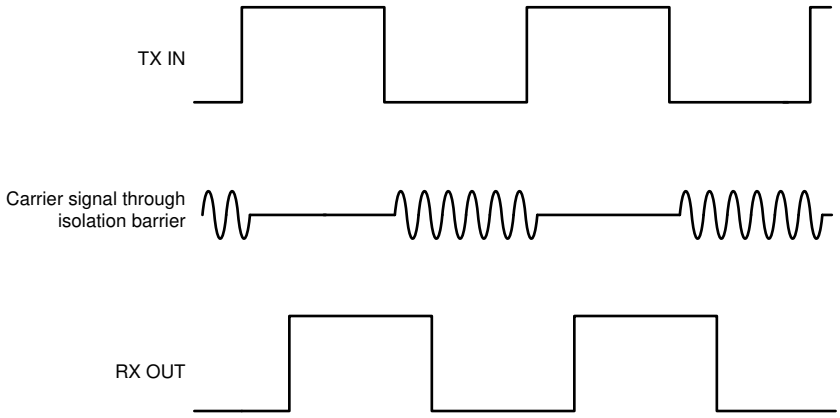



**図 8-2. オン オフ キーイング (OOK) による変調方式**


Copyright © 2026 Texas Instruments Incorporated

## 8.3 機能説明

表 8-1 に、デバイス機能の概要を示します。

**表 8-1. デバイスの機能**

| 部品番号 | チャネル方向 | 最大データ レート | デフォルト出力 | パッケージ | 絶縁定格 (1) |
|---|---|---|---|---|---|
| ISOS141-SEP<br>F 接尾辞付き | 順方向 3、<br>逆方向 1 | 100Mbps | 低 | DBQ-16 | $3000V_{RMS}$ / $4242V_{PK}$ |

(1) 絶縁定格の詳細については、安全関連認証 を参照してください。

### *8.3.1 放射線耐性*

**総電離線量 (TID) —** ISOS141-SEP は耐放射線性を備えたテキサス インスツルメンツの宇宙用途向け強化プラスチック (宇宙 EP) デバイスであり、このデバイスには先頭ページの「製品情報」の表に規定されている総電離線量 (TID) レベルを備えています。これらの製品の試験および認定は、MIL-STD-883 の試験方法 1019 に従い、ウェハ レベルで実施されています。放射線ロット受け入れ試験 (RLAT) は、30krad の TID レベルで実施します。TID 特性評価レポートが入手できます。グループ E TID RLAT データは、QCI サマリ レポートの一部としてロット配送とともに入手できます。

**シングルイベント効果 (SEE) —** 1 回限りの SEE 特性評価は、EIA/JEDEC 規格、EIA/JEDEC57 に基づき線エネルギー付与 (LET) = 43MeV·$cm^2$/mg まで実行されますテスト中は、シングルイベント ラッチアップ (SEL) およびシングルイベント誘電体破壊 (SEDR) は観測されません。

**中性子変位損傷 (NDD) —** ISOS141-SEP は最大 1 × $10^{12}$n/$cm^2$ まで照射されます。15 ユニットのサンプル サイズは、中性子照射の MILSTD-883、手法 1017 に基づく放射線試験に使用されます。

**放射線試験および特性評価レポート —** このセクションで説明するすべての放射線影響に関するレポートが用意されています。最新のレポートを参照するには、TI.com の「ISOS141-SEP 技術資料」セクションを参照してください。

### *8.3.2 電磁両立性 (EMC) に関する検討事項*

過酷な産業用環境で使用される多くのアプリケーションは、静電気放電 (ESD)、電気的高速過渡現象 (EFT)、サージ、電磁放射のような外乱の影響を受けやすくなっています。システム レベルの性能と信頼性は、アプリケーション基板の設計とレイアウトに大きく左右されますが、この ISOS141-SEP デバイスは、数多くのチップ レベルの設計改善を取り入れて、システム全体の堅牢性を高めています。改善項目の一部を以下に示します。

- 入出力信号ピンおよびチップ間のボンド パッドに、堅牢な ESD 保護セル。
- 電源ピンおよびグランド ピンに、ESD セルの低抵抗接続。
- 高電圧絶縁コンデンサの性能を強化し、ESD、EFT、サージの各イベントに対する耐性を向上。
- 低インピーダンス パスを経由して不要な高エネルギー信号をバイパスする、オンチップ デカップリング コンデンサの大容量化。
- ガード リングによって PMOS デバイスと NMOS デバイスを相互に絶縁し、寄生 SCR がトリガされるのを防止。
- 完全差動内部動作を確保し、絶縁バリアをまたぐコモン モード電流を低減。

Copyright © 2026 Texas Instruments Incorporated

## 8.4 デバイスの機能モード

表 8-2 に、ISOS141-SEP の機能モードを示します。

**表 8-2. 機能表**

| $V_{CCI}$ (1) | $V_{CCO}$ | 入力 (INx) (3) | 出力イネーブル (ENx) | 出力 (OUTx) | コメント |
|---|---|---|---|---|---|
| PU | PU | H | H またはオープン | H | 通常動作:<br>チャネルの出力は、入力の論理状態と同じになります。 |
| | | L | H またはオープン | L | |
| | | オープン | H またはオープン | デフォルト | デフォルト モード: INx がオープンのとき、対応するチャネル出力はデフォルトのロジック状態に移行します。デフォルトは、接尾辞 F 付き ISOS141-SEP で Low です。 |
| X | PU | X | L | Z | 出力イネーブルの値が LOW のとき、出力は高インピーダンスになります。 |
| PD | PU | X | H またはオープン | デフォルト | デフォルト モード: $V_{CCI}$ に電源が供給されていないとき、チャネル出力は選択されたデフォルト オプションに基づいたロジック状態になります。デフォルトは、接尾辞 F 付き ISOS141-SEP で Low です。<br>$V_{CCI}$ が電源オフから電源オンに遷移すると、チャネル出力は入力のロジック状態と同じになります。<br>$V_{CCI}$ が電源オンから電源オフに遷移すると、チャネル出力は選択されているデフォルト状態になります。 |
| X | PD | X | X | 不定 | $V_{CCO}$ の電源がオフのとき、チャネルの出力は不定です(2)。<br>$V_{CCO}$ が電源オフから電源オンに遷移すると、チャネル出力は入力のロジック状態と同じになります。 |

(1) $V_{CCI}$ = 入力側 $V_{CC}$、$V_{CCO}$ = 出力側 $V_{CC}$、PU = パワーアップ ($V_{CC}$ ≥ 2.25V)、PD = パワーダウン ($V_{CC}$ ≤ 1.7V)、X = 無関係、H = High レベル、L = Low レベル、Z = 高インピーダンス
(2) 1.7V < $V_{CCI}$、$V_{CCO}$ < 2.25V のとき、出力は不定状態になります。
(3) 入力信号が強く駆動されると、内部保護ダイオードを経由してフローティング $V_{CC}$ に弱い電力を供給し、出力が不定になる可能性があります。


Copyright © 2026 Texas Instruments Incorporated

### 8.4.1 デバイス I/O 回路図

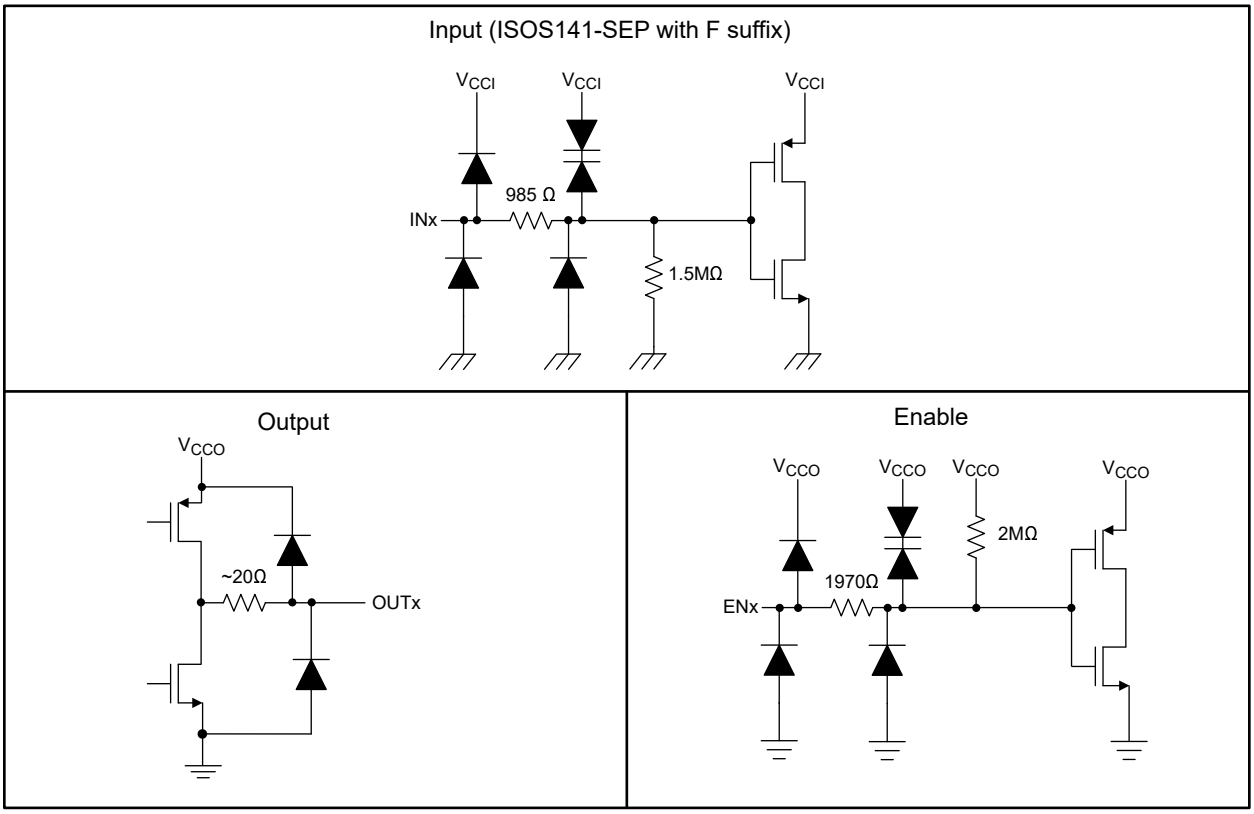



**図 8-3. デバイス I/O 回路図**

# 9 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

## 9.1 使用上の注意

ISOS141-SEP 4 チャネル デジタル アイソレータは、LEO (地球低軌道) アプリケーションの複数の使用事例に対応できる柔軟性を提供します。これらのデバイスを絶縁電源と組み合わせて使用することで、UART、SPI、RS-485、RS-232、CAN などのデータ バスのノイズ電流によって敏感な回路が損傷を受けることを防止できます。また、このデバイスを使用してシステム内の複数の静的信号を絶縁し、冗長性と堅牢性を向上させることもできます。デジタル アイソレータを使って設計する場合は、シングルエンド設計構造のため、デジタル アイソレータが特定のインターフェイス規格に準拠していないこと、シングルエンド CMOS または TTL デジタル信号ラインの絶縁のみを目的としていることに注意してください。アイソレータは通常、インターフェイスの種類や規格にかかわらず、データ コントローラ (MCU または FPGA) と、データ コンバータまたはライン トランシーバとの間に配置されます。

さらに、このデジタル アイソレータは、絶縁に加えて、ロジック レベル トランスレータとしても使用できます。絶縁バリアは 2 つの側を分離するため、推奨動作条件内の任意の電圧を使用し、それぞれの側を独立してソースできます。電源電圧の範囲は、$V_{CC1}$ と $V_{CC2}$ の両方の電源で 2.25V～5.5V です。たとえば、ISOS141-SEP の $V_{CC1}$ に 3.3V (2.25V ～ 5.5V の範囲内)、$V_{CC2}$ に 5V (これも 2.25V ～ 5.5V の範囲内) を供給できます。


Copyright © 2026 Texas Instruments Incorporated

## 9.2 代表的なアプリケーション

図 9-1 に、同期整流により高い効率を実現するために 1 次側のハーフブリッジ コントローラから 2 次側のハーフブリッジ ゲートドライバまで PWM 信号を絶縁するために使用される GaN ハーフ ブリッジ回路の ISOS141-SEP を示します。

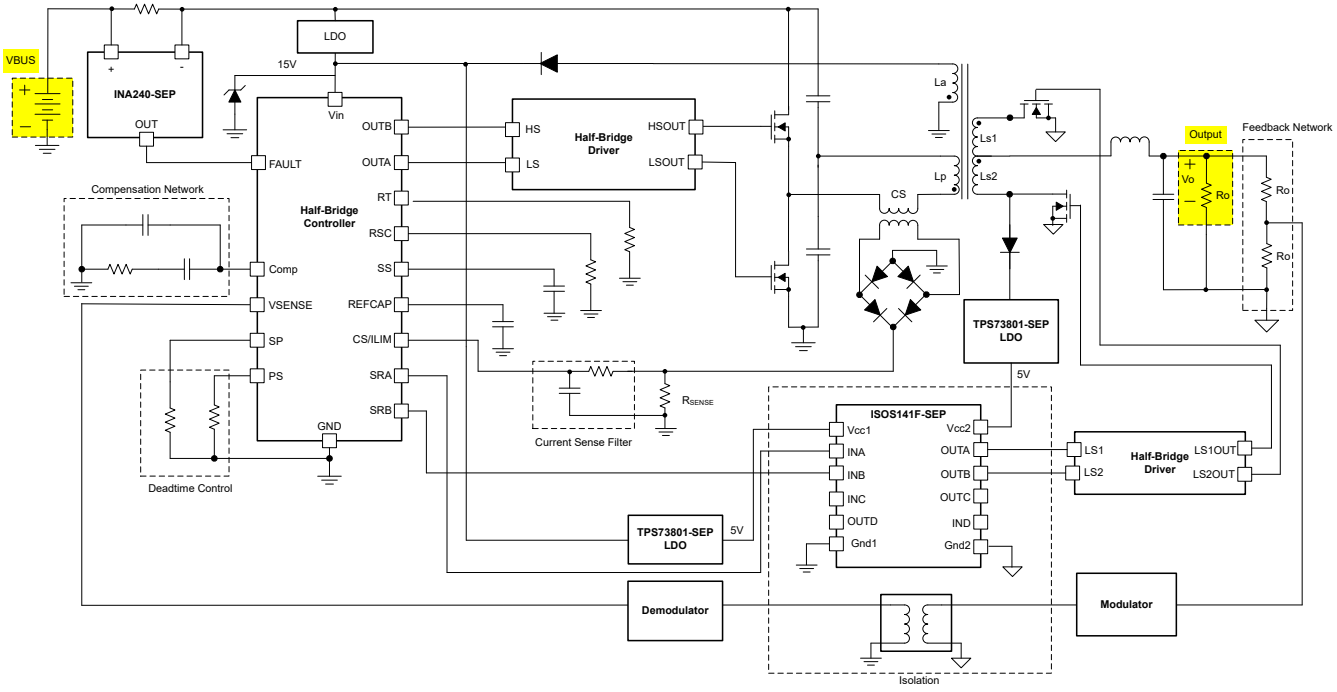



**図 9-1. 75V ～ 5V 50W の絶縁型 GaN ベース ハーフブリッジ トポロジ**

### 9.2.1 設計要件

このデバイスを使用する設計には、表 9-1 に記載されているパラメータを使用します。

**表 9-1. 設計パラメータ**

| パラメータ | 値 |
|---|---|
| 電源電圧、$V_{CC1}$ および $V_{CC2}$ | 2.25～5.5V |
| $V_{CC1}$ と GND1 との間のデカップリング コンデンサ | 0.1µF |
| $V_{CC2}$ と GND2 との間のデカップリング コンデンサ | 0.1µF |

### 9.2.2 詳細な設計手順

ISOS141-SEP デバイスの動作に必要なものは、2 つの外付けバイパス コンデンサのみです。

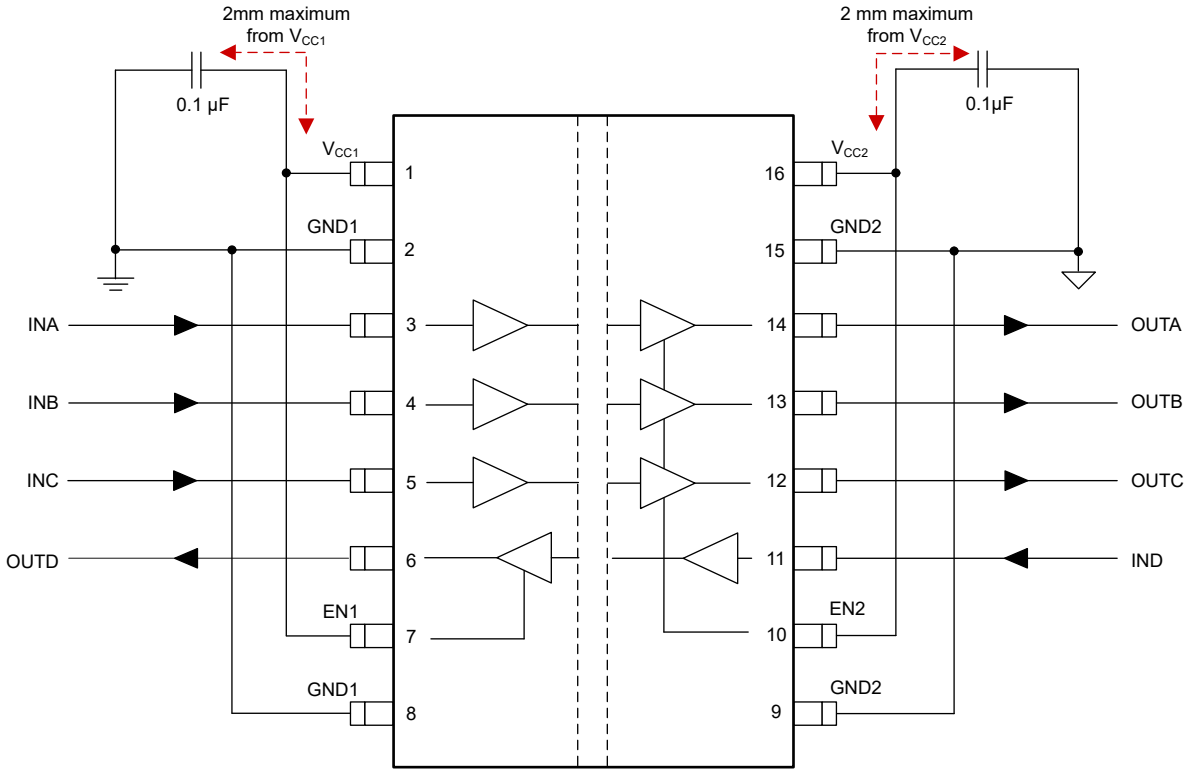



**図 9-2. ISOS141-SEP の標準の回路接続図**


Copyright © 2026 Texas Instruments Incorporated

### 9.2.3 アプリケーション曲線

以下に示す、ISOS141-SEP デバイスの代表的なアイ ダイアグラムは、100Mbps の最大データ レートで低ジッタと広いオープン アイを示しています。

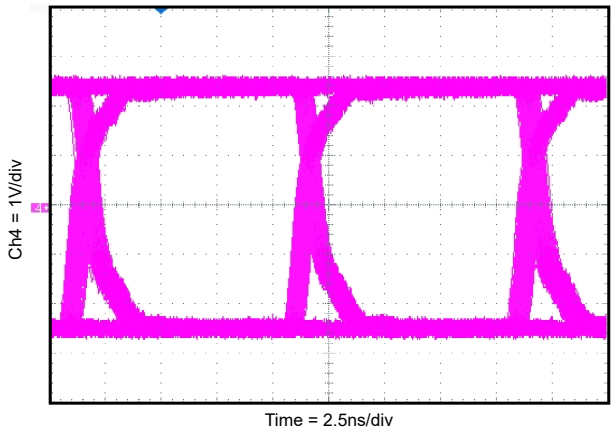



**図 9-3. アイ ダイアグラム (100Mbps PRBS $2^{16}$ – 1、5V、25°C)**

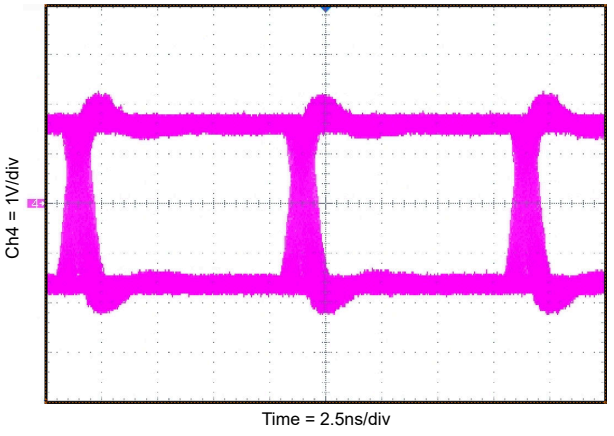



**図 9-4. アイ ダイアグラム (100Mbps PRBS $2^{16}$ – 1、3.3V、25°C)**

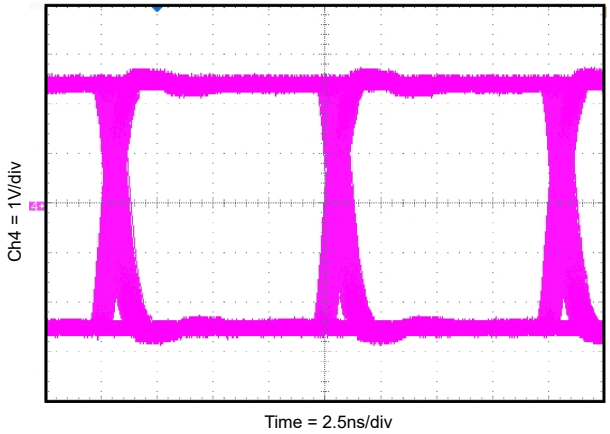



**図 9-5. アイ ダイアグラム (100Mbps PRBS $2^{16}$ – 1、2.5V、25°C)**

#### 9.2.3.1 絶縁寿命

絶縁寿命予測データは、業界標準の TDDB (Time Dependent Dielectric Breakdown、経時絶縁破壊) テスト手法を使用して収集されます。このテストでは、バリアのそれぞれの側にあるすべてのピンを互いに接続して 2 つの端子を持つデバイスを構成し、その両側に高電圧を印加します。TDDB テストの構成については、図 9-6 を参照してください。この絶縁破壊データは、動作温度範囲で、さまざまな電圧について 60Hz でスイッチングして収集されます。強化絶縁について、VDE 規格では、100 万分の 1 (ppm) 未満の故障率での TDDB (経時絶縁破壊) 予測曲線の使用が求められています。期待される最小絶縁寿命は、規定の動作絶縁電圧において 20 年ですが、VDE の強化絶縁認証には、動作電圧について 20%、寿命について 50% の安全マージンがさらに必要となります。すなわち、規定値よりも 20% 高い動作電圧で、30 年の最小絶縁寿命が必要であることになります。

図 9-7 に、寿命全体にわたって高電圧ストレスに耐えることができる、絶縁バリアの固有能力を示します。この TDDB データによれば、図 9-7 に示すように、DBQ-16 パッケージの絶縁耐圧は $600V_{RMS}$ であり、寿命は 1000 年です。パッケージ サイズ、汚染度、材料グループなどの要因により、部品の動作電圧が制限される場合があります。

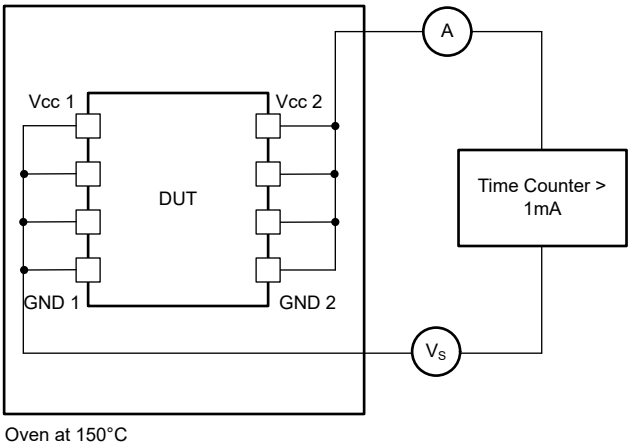



**図 9-6. 絶縁寿命測定用のテスト構成**

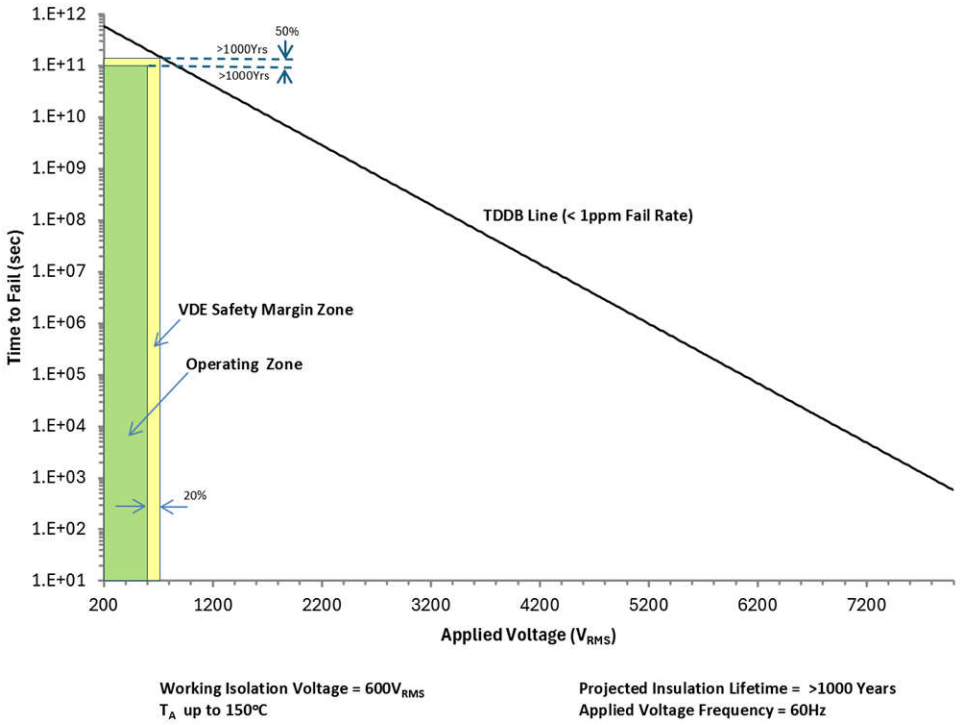



**図 9-7. 絶縁寿命予測データ**


Copyright © 2026 Texas Instruments Incorporated

## 9.3 電源に関する推奨事項

データレートおよび電源電圧に対する信頼性の高い動作を確保できるようにするため、入力および出力電源ピン ($V_{CC1}$ および $V_{CC2}$) に 0.1µF のバイパス コンデンサを推奨します。コンデンサは、電源ピンのできるだけ近くに配置する必要があります。

## 9.4 レイアウト

### *9.4.1 レイアウトのガイドライン*

低 EMI の PCB 設計を実現するには、少なくとも 4 層が必要です (図 9-8 を参照)。層の構成は、上層から下層に向かって、高速信号層、グランド プレーン、電源プレーン、低周波数信号層の順に配置する必要があります。

- 上層に高速パターンを配線することにより、ビアの使用 (およびそれに伴うインダクタンスの発生) を避けて、データ リンクのトランスミッタおよびレシーバ回路とアイソレータとの間のクリーンな相互接続が可能になります。
- 高速信号層の次の層に、ベタのグランド プレーンを配置することにより、伝送ライン接続のインピーダンスを制御し、リターン電流のための優れた低インダクタンス パスを実現します。
- グランド プレーンの次の層に、電源プレーンを配置すると、高周波バイパス容量を約 100pF/インチ $^2$ 増加させることができます。
- 最下層に低速の制御信号を配線すると、これらの信号リンクには一般的に、ビアのような不連続性を許容するマージンがあるため、高い柔軟性が得られます。

電源プレーンまたは信号層の追加が必要な場合は、対称性を保つために、第 2 の電源系統またはグランド プレーン系統を層構成に追加します。これにより、基板の層構成は機械的に安定し、反りを防ぎます。また、各電源系統の電源プレーンとグランド プレーンを互いに近づけて配置できるため、高周波バイパス容量を大幅に増やすことができます。

レイアウトの推奨事項の詳細については、『デジタル アイソレータ設計ガイド』を参照してください。

#### 9.4.1.1 PCB 材料

150Mbps 未満で動作する場合 (または、立ち上がりと立ち下がりの時間が 1ns を超える場合)、およびトレース長が 10 インチ (254mm) 以下の場合のデジタル回路基板には、標準の FR-4 UL94V-0 プリント基板を使用します。この PCB は、高い周波数での誘電損失の低減、吸湿性の低減、強度と剛性の向上、および自己消火性の特性により、安価な代替品よりも推奨されます。

### *9.4.2 レイアウト例*

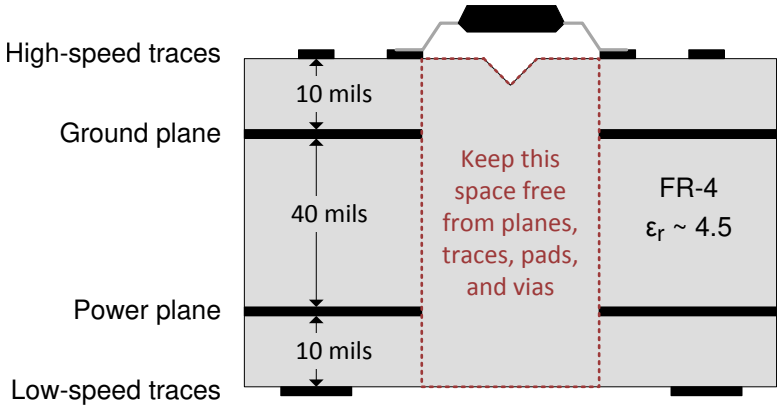



**図 9-8. レイアウト例の回路図**

# 10 デバイスおよびドキュメントのサポート

## 10.1 ドキュメントのサポート

### *10.1.1 関連資料*

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『宇宙用強化プラスチック パッケージ封止、耐放射線特性、3.3V CAN トランシーバ、スタンバイ モード搭載』データシート
- テキサス インスツルメンツ、『宇宙用強化プラスチック封止、耐放射線特性、RS-422、デュアル差動ドライバ / レシーバ』データシート
- テキサス インスツルメンツ、『宇宙用強化プラスチック パッケージ封止、耐放射線特性、2.2V ～ 20V、1A、低ノイズ、調整可能出力 LDO』データシート
- テキサス インスツルメンツ、『デジタル アイソレータ設計ガイド』
- テキサス インスツルメンツ、『絶縁の用語集』
- テキサス インスツルメンツ、『産業用システムで ESD、EFT、サージの耐性を改善する目的で絶縁を使用する方法』アプリケーション ノート

## 10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

## 10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

## 10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

## 10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

## 10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

# 11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

| Changes from Revision * (May 2021) to Revision A (August 2026) | Page |
|---|---|
| • 文書全体にわたって従来の用語を「コントローラ」に変更 | 1 |
| • DIN EN IEC 60747-17 (VDE 0884-17) に準拠して $V_{IOSM}$ 値を $4000V_{PK}$ から $5200V_{PK}$ に更新 | 7 |


Copyright © 2026 Texas Instruments Incorporated

- ワイヤボンド寿命のディレーティング曲線を更新 ..... 17
- 「デバイスの機能モード」セクションの「機能表」に、表注記を追加 ..... 22

# 12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データ シートのブラウザ版を使用されている場合は、画面左側のナビゲーションもご覧ください。


Copyright © 2026 Texas Instruments Incorporated

## PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| ISOS141FDBQSEP | Active | Production | SSOP (DBQ) \| 16 | 75 \| TUBE | Yes | NIPDAU | Level-2-260C-1 YEAR | -55 to 125 | 141FSE |
| ISOS141FDBQTSEP | Active | Production | SSOP (DBQ) \| 16 | 250 \| SMALL T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -55 to 125 | 141FSE |
| V62/21610-01XE | Active | Production | SSOP (DBQ) \| 16 | 250 \| SMALL T&R | Yes | NIPDAU | Level-2-260C-1 YEAR | -55 to 125 | 141FSE |
| V62/21610-01XE-T | Active | Production | SSOP (DBQ) \| 16 | 75 \| TUBE | Yes | NIPDAU | Level-2-260C-1 YEAR | -55 to 125 | 141FSE |

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

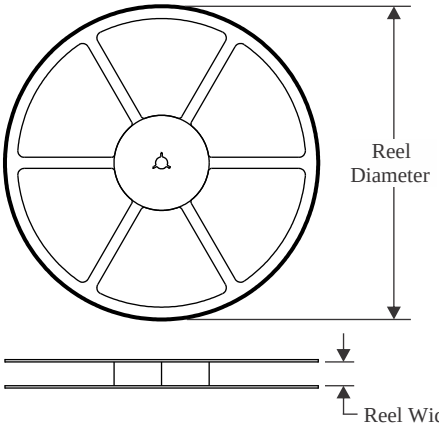
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

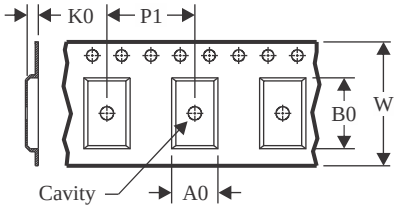
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## TAPE AND REEL INFORMATION

**REEL DIMENSIONS**

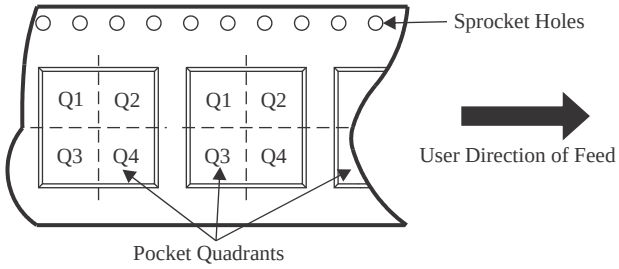



**TAPE DIMENSIONS**




| | |
|---|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

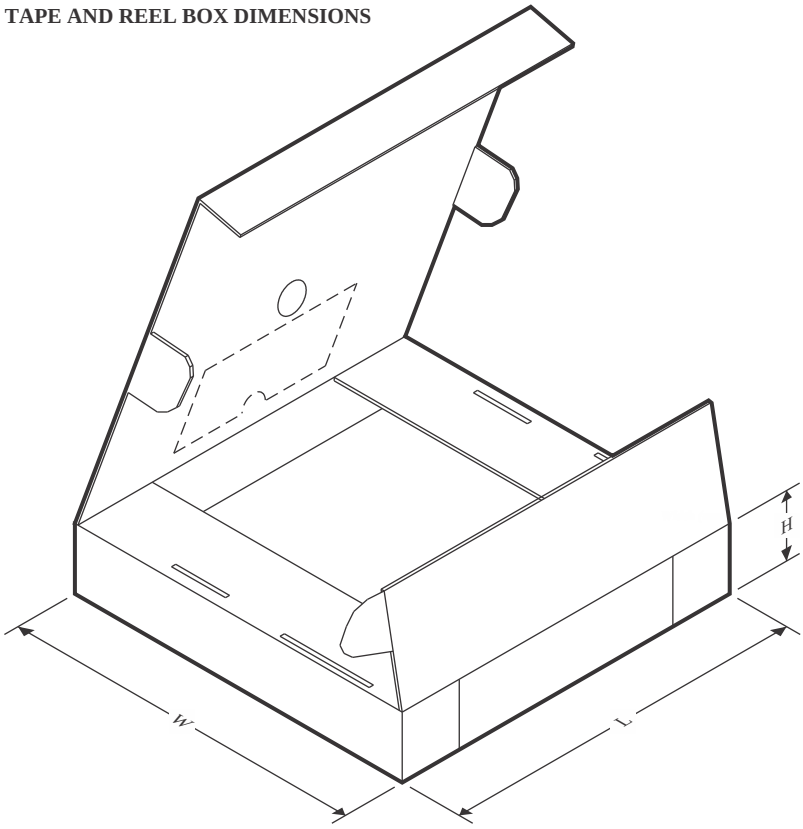
**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| ISOS141FDBQTSEP | SSOP | DBQ | 16 | 250 | 330.0 | 12.4 | 6.4 | 5.2 | 2.1 | 8.0 | 12.0 | Q1 |

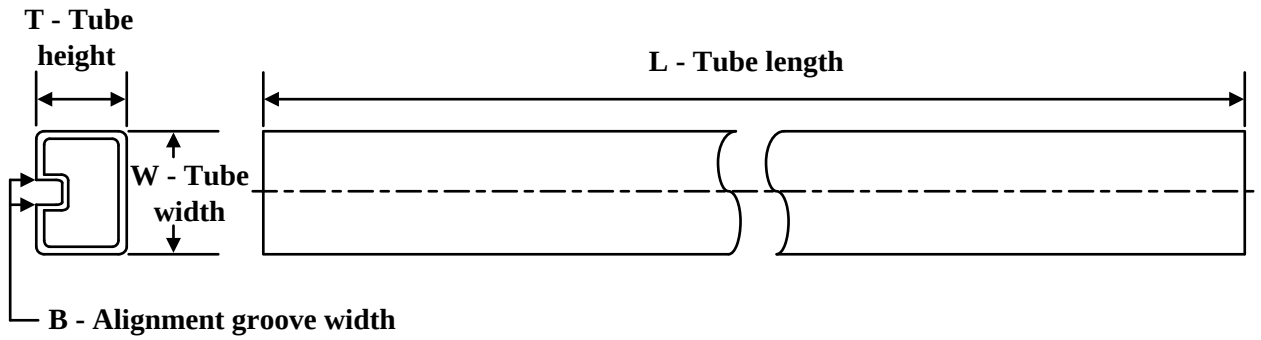
TAPE AND REEL BOX DIMENSIONS




*All dimensions are nominal

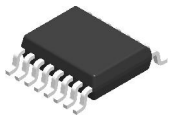
| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|---|---|---|---|---|---|---|---|
| ISOS141FDBQTSEP | SSOP | DBQ | 16 | 250 | 350.0 | 350.0 | 43.0 |

## TUBE




*All dimensions are nominal

| Device | Package Name | Package Type | Pins | SPQ | L (mm) | W (mm) | T (µm) | B (mm) |
|---|---|---|---|---|---|---|---|---|
| ISOS141FDBQSEP | DBQ | SSOP | 16 | 75 | 505.46 | 6.76 | 3810 | 4 |
| V62/21610-01XE-T | DBQ | SSOP | 16 | 75 | 505.46 | 6.76 | 3810 | 4 |

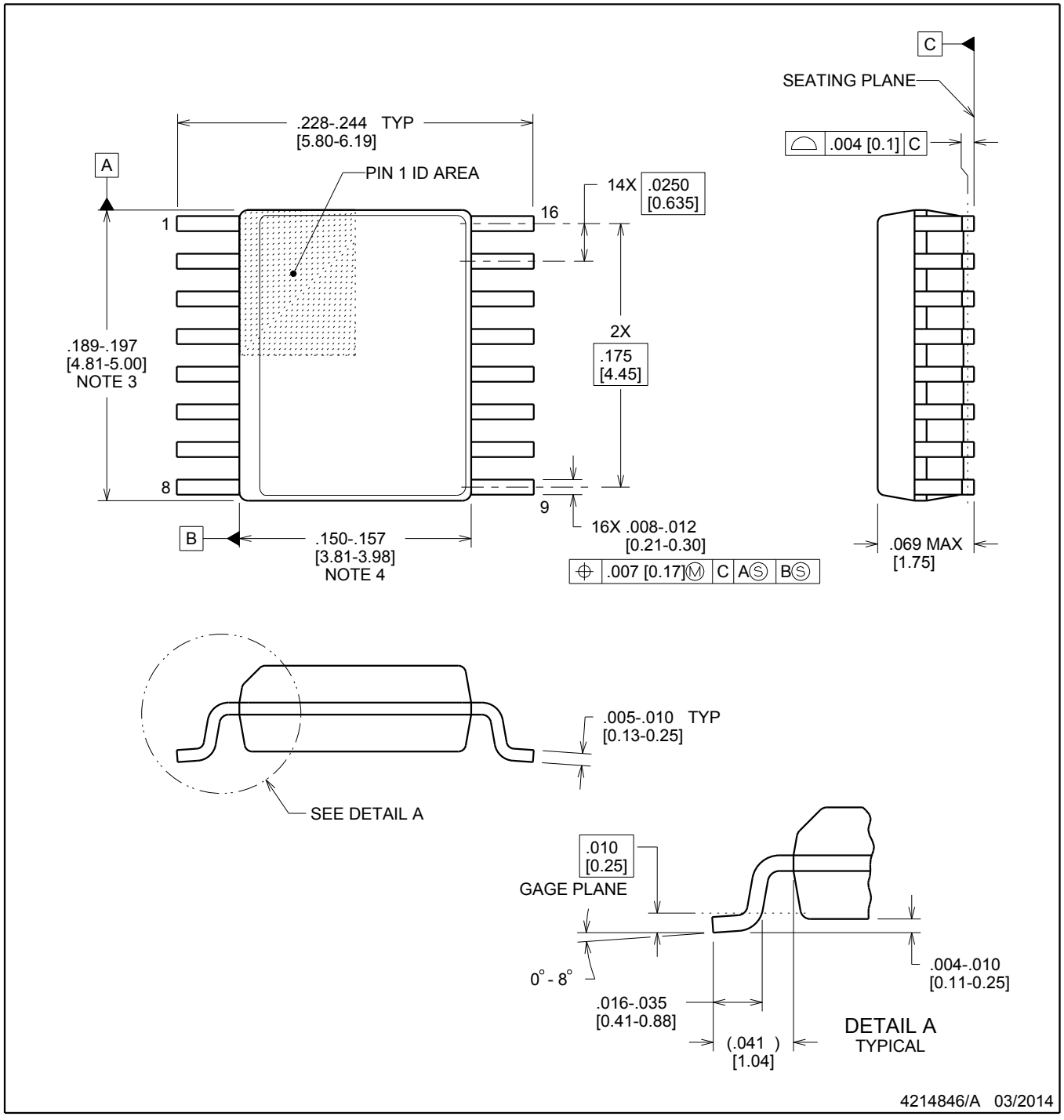


# PACKAGE OUTLINE

## DBQ0016A

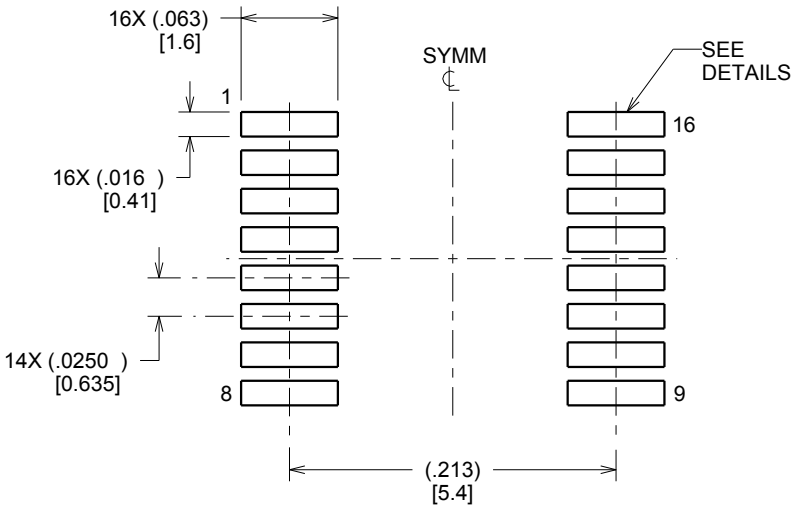
## SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE

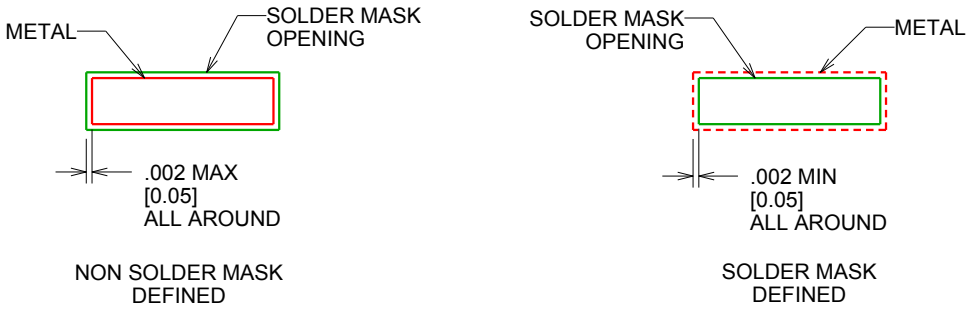



NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 inch, per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MO-137, variation AB.




LAND PATTERN EXAMPLE
SCALE:8X




SOLDER MASK DETAILS

4214846/A 03/2014

NOTES: (continued)

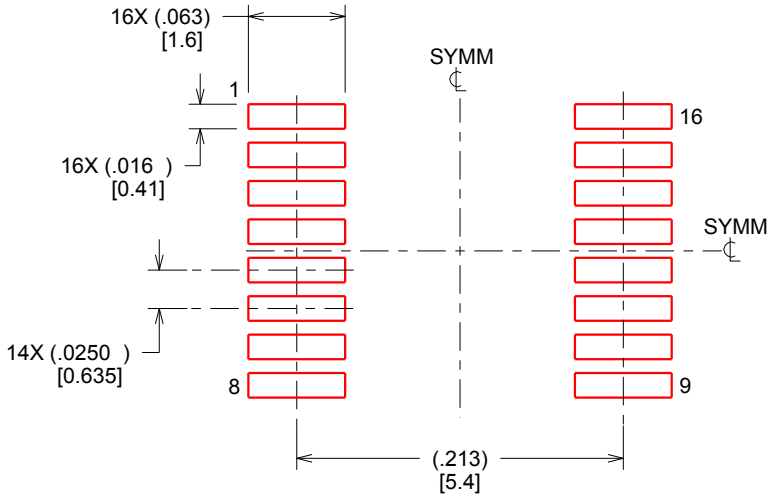
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

## DBQ0016A

## SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE




SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.127 MM] THICK STENCIL
SCALE:8X

4214846/A 03/2014

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

# 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月