ISOW1044 低エミッション、低ノイズ、高効率 DC/DC コンバータ内蔵の絶縁型 CAN FD トランシーバ

1 特長

- ISO 11898-2:2016 物理層規格要件に適合
  - Classical CAN をサポート:1Mbps
  - CAN FD 用に最適化:2Mbps および 5Mbps
- 低放射、低ノイズ DC/DC コンバータを内蔵
  - 2 層 PCB 上で 6dB を超えるマージンを確保し、CISPR 32 および EN 55032 Class B に適合
  - 25MHz 動作の低周波数パワー コンバータにより低ノイズ特性を実現
- 追加の 10Mbps GPIO チャネル
- 高効率出力電力
  - 効率代表値:47%
  - 絶縁出力電圧精度:±5%
  - 追加出力電流:20mA
- CAN と DC/DC コンバータ用の独立した電源
  - ロジック電源 (V_{IO}):1.71V ～ 5.5V
  - パワー コンバータ電圧 (V_{DD}):4.5V ～ 5.5V
- 障害保護機能搭載 CAN FD トランシーバ
  - DC バス障害保護電圧:± 58V
  - レシーバの同相入力電圧:±12V
  - BUS ウェークアップ パターンによるリモート ウェークアップ
- ループ遅延 (標準値):167ns
- 強化絶縁型と基本絶縁型のオプション
- 高 CMTI:100kV/µs (標準値)
- GND2 に対して高い ESD バス保護を実現
  - HBM ESD:±12kV
  - IEC 61000-4-2 接触放電:±8kV
- 動作温度範囲:–40°C ～ 125°C
- 電流制限とサーマル シャットダウン
- 20 ピンのワイド SOIC パッケージ

- 安全関連の認証:
  - DIN EN IEC 60747-17 (VDE 0884-17) 準拠の VDE 強化絶縁および基本絶縁
  - UL 1577 部品認定プログラム
  - IEC 62368-1、IEC 61010-1、IEC 60601-1、GB 4943.1 認定

2 アプリケーション

- ファクトリ オートメーション
- ビル オートメーション
- 産業用輸送
- ソーラー インバータ、保護リレー
- モーター ドライブ

製品情報

デバイス	パッケージ (1)	パッケージ サイズ(2)	本体サイズ (公称)
ISOW1044	DFM (SOIC、20)	12.83mm × 10.30mm	12.83mm × 7.5mm
ISOW1044B			

(1) メカニカル、パッケージ、および注文情報も参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

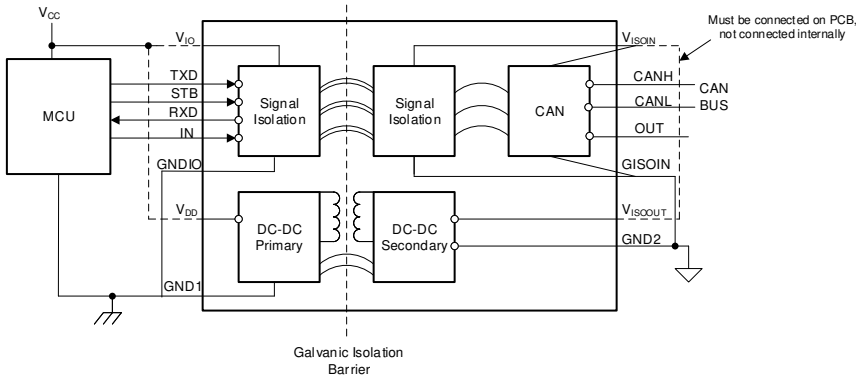
3 説明

ISOW1044 デバイスは、ガルバニック絶縁されたコントローラ エリア ネットワーク (CAN) トランシーバで、絶縁型 DC/DC コンバータが内蔵されており、スペースに制約のある絶縁設計のための別の絶縁型電源が不要になります。低放射の絶縁型 DC/DC コンバータは、単純な 2 層 PCB でフェライト ビーズを 2 個使用するだけで、CISPR 32 放射エミッション Class B 規格に適合可能です。ボード上の他の回路への電力供給には、追加の 20mA 出力電流を使用できます。10Mbps GPIO チャネルを内蔵しているため、追加のデジタル アイソレータやフォトカプラを使わずに、診断、LED 表示、電源監視が可能です。

このデバイスは、Classical CAN ネットワークおよび最高 5 メガビット/秒 (Mbps) の CAN FD ネットワークの両方に対応しています。このデバイスは、±58V の DC バス故障保護および ±12V 同相モード電圧範囲を提供します。信号パスと電源パスは、どちらも UL1577 に準拠した 5kV$_{RMS}$ 絶縁であり、VDE、CSA、TUV、CQC による強化絶縁と基本絶縁の認証を受けています。これらのデバイスのバス用ピンは、IEC 61000-4-2 で規定されている最大 8kV の静電気放電 (ESD) に耐えられます。

ISOW1044 は、V_{IO} と V_{DD} を PCB 上で接続することにより、4.5V～5.5V の単一電源電圧で動作できます。より低いロジック レベルが必要とされる場合、これらのデバイスは 1.71V ～ 5.5V のロジック電源 (V_{IO}) に対応し、この電源を 4.5V ～ 5.5V のパワー コンバータ電源 (V_{DD}) とは独立に供給できます。このデバイスは、–40°C ～ +125°C の広い動作周囲温度範囲に対応しており、20 ピン DFM (SOIC-20 フットプリント互換パッケージ) で提供され、最小 8mm の沿面距離および空間距離を確保しています。

ISOW1044 はスタンバイ モードと、ISO 11898-2:2016 で定義されたウェイクアップ パターン (WUP) に準拠した「CAN によるウェイク」をサポートしています。このデバイスには、サーマル シャットダウン (TSD)、TXD ドミナント タイムアウト (DTO)、電源低電圧検出をサポートする、保護機能および診断機能も搭載されています。



概略回路図

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 2
4 デバイス比較表 ... 3
5 ピン構成および機能 ... 4
6 仕様 ... 6
6.1 絶対最大定格 ... 6
6.2 ESD 定格 ... 6
6.3 推奨動作条件 ... 6
6.4 熱に関する情報 ... 7
6.5 電力定格 ... 7
6.6 絶縁仕様 ... 8
6.7 安全関連認証 ... 9
6.8 安全限界値 ... 9
6.9 電気的特性 ... 10
6.10 電源電流特性 ... 12
6.11 スイッチング特性 ... 13
6.12 絶縁特性曲線 ... 14
6.13 代表的特性 ... 15
7 パラメータ測定情報 ... 18
8 詳細説明 ... 22
8.1 概要 ... 22
8.2 電源の絶縁 ... 22
8.3 信号絶縁 ... 22
8.4 CAN トランシーバ ... 22
8.5 スタンバイ モードでのウェークアップ パターン (WUP) を使用したリモート ウェイク要求 ... 22
8.6 機能ブロック図 ... 24
8.7 機能説明 ... 24
8.8 デバイスの機能モード ... 28
8.9 デバイス I/O 回路図 ... 30
9 アプリケーションと実装 ... 31
9.1 使用上の注意 ... 31
9.2 代表的なアプリケーション ... 31
9.3 電源に関する推奨事項 ... 35
9.4 レイアウト ... 35
10 デバイスおよびドキュメントのサポート ... 37
10.1 ドキュメントのサポート ... 37
10.2 ドキュメントの更新通知を受け取る方法 ... 37
10.3 サポート・リソース ... 37
10.4 商標 ... 37
10.5 静電気放電に関する注意事項 ... 37
10.6 用語集 ... 37
11 改訂履歴 ... 37
12 メカニカル、パッケージ、および注文情報 ... 38

4 デバイス比較表

部品番号	絶縁	パッケージ	本体サイズ (公称)
ISOW1044	強化	20-DFM (SOIC)	12.83mm × 7.5mm
ISOW1044B	基本	20-DFM (SOIC)	12.83mm × 7.5mm

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

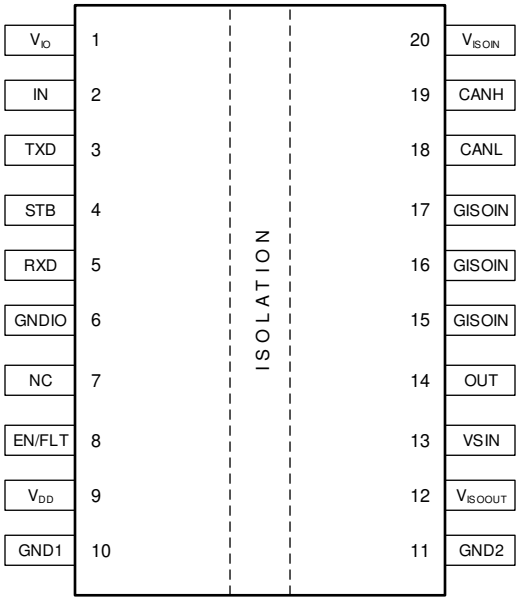


図 5-1. ISOW1044 20 ピン DFM 上面図

表 5-1. ピンの機能

ピン		タイプ [1]	説明
名称	番号		
V_{IO}	1	--	サイド 1 ロジック電源
IN	2	I	汎用ロジック (GPIO) 入力 (内部プルダウン)
TXD	3	I	CAN 送信データ入力 (ドミナント・バス状態の場合は Low、リセッシブ バス状態の場合は High)
STB	4	I	スタンバイ イネーブル。通常モードではこのピンを GNDIO に接続します。このピンがフローティングまたはロジック "High" の場合、ドライバはスタンバイ モードになります。
RXD	5	O	CAN 受信データ出力 (ドミナント・バス状態の場合は Low、リセッシブ バス状態の場合は High)
GNDIO	6	--	V_{IO} のサイド 1 側グランド接続。GNDIO と GND1 は内部で接続されていないため、PCB 上で短絡する必要があります。
NC	7	--	内部未接続
EN/FLT	8	I/O	マルチファンクション パワー コンバータ イネーブル入力ピンおよびフォルト出力ピン。入力ピンまたは出力ピンとしてのみ使用できます。 • このピンをパワー コンバータのイネーブル入力ピンとして使用する場合、EN/FLT ピンは内蔵 DC/DC パワー コンバータをイネーブル / ディスエーブルにします。マイコンに直接接続するか、直列電流制限抵抗を介して接続し、イネーブル入力ピンとして使用します。DC/DC パワー コンバータは、EN が "High" (V_{IO} に接続) のときイネーブルになり、"Low" (GND1 に接続) のときディスエーブルになります。EN がフローティングの場合、DC/DC コンバータはイネーブルになります (内部プルアップ抵抗) • このピンをフォルト出力ピンとして使用する場合、パワー コンバータが正常に動作していない場合に、EN/FLT ピンがアラート信号を出力します。このピンはアクティブ Low です。フォルト出力ピンとして使用するには、5kΩ またはそれ以上のプルアップ抵抗を介してマイコンに接続します。
V_{DD}	9	--	サイド 1 DC/DC コンバータ電源
GND1	10	--	V_{DD} 側のグランド接続。GNDIO と GND1 は内部で接続されていないため、PCB 上で短絡する必要があります。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン		タイプ (1)	説明
名称	番号		
GND2	11	--	V_{ISOOUT} 側のグランド接続。GND2 と GISOIN は内部で接続されていないため、PCB 上で直接短絡するか、フェライト ビーズを介して接続する必要があります。
V_{ISOOUT}	12	--	絶縁型パワー コンバータの出力電圧 V_{ISOOUT} と V_{ISOIN} の各ピンは、PCB 上で直接短絡するか、フェライト ビーズを介して接続する必要があります。
V_{SIN}	13	I	パワー コンバータ入力。ピン 12 とピン 13 は、PCB 上で直接短絡する必要があります。
OUT	14	O	汎用ロジック (GPIO) 出力 (デフォルト出力は "Low")
GISOIN	15、16、17	--	V_{ISOIN} のグランド接続。GND2 と GISOIN は、PCB 上で直接短絡するか、フェライト ビーズを介して接続する必要があります。
CANL	18	I/O	Low レベル CAN バス ライン
CANH	19	I/O	High レベル CAN バス・ライン
V_{ISOIN}	20	--	CAN トランシーバ用電源入力。V_{ISOIN} と V_{ISOOUT} の各ピンは、PCB 上で直接短絡するか、フェライト ビーズを介して接続する必要があります。

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1) (2)

		最小値	最大値	単位
V_{DD}	パワー コンバータ電源電圧	-0.5	6	V
V_{ISOIN}	絶縁電源電圧、CAN トランシーバ用入力電源	-0.5	6	V
V_{ISOOUT}	絶縁電源電圧、電源コンバータ出力	-0.5	6	V
V_{IO}	ロジック電源電圧	-0.5	6	V
V_{BUS}	バス ピン (CANH、CANL) の電圧 (GND2 基準)	-58	58	V
V_{BUS_DIFF}	バス ピン (CANH−CANL) の最大差動電圧	-45	45	V
V_{logic_IO}	ロジック I/O 電圧レベル (RXD、TXD、STB、EN、IN)	-0.5	V_{IO} + 0.5(3)	V
	OUT	-0.5	V_{ISOIN} + 0.5	V
I_O	RXD ピン、OUT ピンの出力電流	-15	15	mA
T_J	接合部温度	-40	150	°C
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 差動 I/O バス電圧を除くすべての電圧値は、ローカル グランド ピン (GND1 または GND2) を基準としています。差動 I/O バス電圧を除くすべての電圧値は、グランド端子を基準としたピーク電圧値です。
(3) 最大電圧は、6V より大きくしてはなりません。

6.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	バス ピンを除くすべてのピン	±2000	V
			GND2 (ピン 15/16/17) 基準の CANH、CANL のバス ピン	±12000	
$V_{(ESD)}$	静電放電	荷電デバイス モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠(2)		±1500	V
$V_{(ESD)}$	静電放電	IEC61000-4-2 接触放電、GND2 基準の CANH、CANL		±8000	V
$V_{(ESD)}$	静電放電	IEC61000-4-2 接触放電、GND1 基準の CANH、CANL (絶縁バリア両側)		±8000	V

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{IO}	ロジック電源電圧	1.8V 動作	1.71		1.89	V
		2.5V、3.3V、および 5.5V 動作	2.25		5.5	
V_{DD}	パワー コンバータ電源電圧		4.5		5.5	V
$V_{DD(UVLO+)}$	電源コンバータの電源電圧上昇時のスレッショルド			2.7	2.95	V
$V_{DD(UVLO-)}$	電源コンバータの供給電圧が低下する際のスレッショルド		2.40	2.55		V
$V_{HYS1(UVLO)}$	パワー コンバータ電源電圧ヒステリシス		0.15	0.24		V
$V_{IO(UVLO+)}$	ロジック電源電圧の立ち上がりスレッショルド				1.7	V
$V_{IO(UVLO-)}$	ロジック電源電圧の立ち下がりスレッショルド		1			V

Copyright © 2026 Texas Instruments Incorporated

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
$V_{HYS2(UVLO)}$	ロジック電源電圧ヒステリシス		75	125		mV
V_{IH}	High レベル入力電圧 (TXD、STB、EN、および IN 入力)		0.7 × V_{IO}		V_{IO}	V
V_{IL}	Low レベル入力電圧 (TXD、STB、EN、および IN 入力)		0		0.3 × V_{IO}	V
I_{OH}	High レベル出力電流の RXD	V_{IO} = 5V	-4			mA
		V_{IO} = 3.3V	-2			mA
		V_{IO} = 1.8V または 2.5V	-1			mA
I_{OL}	Low レベル出力電流の RXD	V_{IO} = 5V			4	mA
		V_{IO} = 3.3V			2	mA
		V_{IO} = 1.8V または 2.5V			1	mA
I_{OH}	High レベル出力電流の OUT	V_{DD} = 4.5V ～ 5.5V	-4			mA
I_{OL}	Low レベル出力電流の OUT	V_{DD} = 4.5V ～ 5.5V			4	mA
$1/t_{UI}$	信号速度	CAN			5	Mbps
DR	追加 GPIO チャネルのデータ レート	GPIO			10	Mbps
Tpwrup	入力電源印加後のパワーアップ時間 (絶縁出力電源が設定点の 90% に達した後、データ送信を開始できます)			5		ms
T_A	動作時周囲温度	ビットの 50% 以下がドミナントであること	-40		125	°C
			-40		105	°C

6.4 熱に関する情報

熱評価基準(1)		ISOW1044	単位
		DFM	
		20 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	68.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	20.9	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	44.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	13	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	44	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	--	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

6.5 電力定格

パラメータ		テスト条件	最小値	標準値	最大値	単位
P_D	最大消費電力 (両サイド)	V_{IO} = V_{DD} = 5.5V、STB = GND1、CAN バス負荷 R_L = 60Ω、TXD = 周期 1ms の繰り返しパターン ("Low":990µs、"High":10µs)、V_{ISOOUT} の追加負荷 = 20mA			1060	mW
P_{D1}	最大消費電力 (サイド 1)				490	mW
P_{D2}	最大消費電力 (サイド 2)				570	mW

Copyright © 2026 Texas Instruments Incorporated

6.6 絶縁仕様

パラメータ		テスト条件	値	単位
一般				
CLR	外部空間距離(1)	空気を介した最短のピン間距離	>8	mm
CPG	外部沿面距離(1)	パッケージ表面に沿った最短のピン間距離	>8	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部距離 - 容量性信号絶縁)	>17	µm
DTI	絶縁物を介した距離	最小内部ギャップ (内部距離 - トランスによる電力絶縁)	>120	µm
CTI	比較トラッキング インデックス	IEC 60112、UL 746A	>600	V
	材料グループ	IEC 60664-1 に準拠	I	
	過電圧カテゴリ	定格商用電源 V_{RMS} が 600V 以下	I-IV	
		定格商用電源 V_{RMS} が 1000V 以下	I-III	
DIN EN IEC 60747-17 (VDE 0884-17) (2)				
V_{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	1500	V_{PK}
V_{IOWM}	最大動作絶縁電圧	AC 電圧 (正弦波)、絶縁膜経時破壊 (TDDB) テスト	1000	V_{RMS}
		DC 電圧	1500	
V_{IOTM}	最大過渡絶縁電圧	$V_{TEST} = V_{IOTM}$、t = 60s (認定)、 $V_{TEST} = 1.2 \times V_{IOTM}$、t = 1s (100% 出荷時テスト)	7071	V_{PK}
V_{IOSM}	最大サージ絶縁電圧 ISOW1044 (3)	IEC 62368-1 に準拠したテスト方法、1.2/50µs 波形	10000	V_{PK}
V_{IOSM}	最大サージ絶縁電圧 ISOW1044B (3)	IEC 62368-1 に準拠したテスト方法、1.2/50µs 波形	7800	V_{PK}
q_{pd}	見掛けの電荷 (4)	方法 a:I/O 安全テスト サブグループ 2/3 の後、 $V_{ini} = V_{IOTM}$、t_{ini} = 60s、 $V_{pd(m)} = 1.2 \times V_{IORM}$、$t_m$ = 10s	≦ 5	pC
		方法 a:環境テスト サブグループ 1 の後、 $V_{ini} = V_{IOTM}$、t_{ini} = 60s、 ISOW1044:$V_{pd(m)} = 1.6 \times V_{IORM}$、$t_m$ = 10s ISOW1044B:$V_{pd(m)} = 1.2 \times V_{IORM}$、$t_m$ = 10s	≦ 5	
		ルーチン テスト (100% 出荷時テスト) にて $V_{ini} = 1.2 \times V_{IOTM}$、$t_{ini}$ = 1s、 ISOW1044:$V_{pd(m)} = 1.875 \times V_{IORM}$、$t_m$ = 1s (メソッド b1) ISOW1044B:$V_{pd(m)} = 1.5 \times V_{IORM}$、$t_m$ = 1s (メソッド b1) または ISOW1044/ISOW1044B:$V_{pd(m)} = V_{ini}$、$t_m = t_{ini}$ (メソッド b2)	≦ 5	
C_{IO}	絶縁バリア容量、入力から出力へ(5)	V_{IO} = 0.4 sin (2πft)、f = 1MHz	≅3.5	pF
R_{IO}	絶縁抵抗、入力から出力へ(5)	V_{IO} = 500V、T_A = 25℃	$>10^{12}$	Ω
		V_{IO} = 500V (100℃ ≦ T_A ≦ 125℃時)	$>10^{11}$	Ω
		V_{IO} = 500V (T_S = 150℃時)	$>10^{9}$	Ω
	汚染度		2	
	耐候性カテゴリ		40/125/21	
UL 1577				
V_{ISO}	絶縁耐圧	$V_{TEST} = V_{ISO}$、t = 60s (認定テスト)、 $V_{TEST} = 1.2 \times V_{ISO}$、t = 1s (100% 出荷時テスト)	5000	V_{RMS}

(1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上にグルーブやリブを設けるなどの技法を使用して、これらの仕様値を大きくすることができます。
(2) このカプラは、最大動作定格内においてのみ、安全電気絶縁 (ISOW1044) および基本電気絶縁 (ISOW1044B) に適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
(3) テストは、絶縁バリアの固有サージ耐性を判定するため、気中または油中で実行されます。
(4) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
(5) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

Copyright © 2026 Texas Instruments Incorporated

6.7 安全関連認証

VDE	CSA	UL	TUV	CQC
DIN EN IEC 60747-17 (VDE 0884-17) による認証	IEC 62368-1、IEC 61010-1、IEC 60601-1 による認証	UL 1577 部品認定プログラムによる認証	EN 61010-1 および EN 62368-1 による認証	GB 4943.1 に従う認証
認証番号: 40040142 (強化) 40047657 (基本)	マスタ契約番号: 220991	ファイル番号:E181974	顧客 ID 番号:77311	認証番号: CQC21001297517

6.8 安全限界値

安全限界値の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_S	安全入力、出力、または電源電流(1)	$R_{\theta JA}$ = 68.5°C/W、V_I = 5.5V、T_J = 150°C、T_A = 25°C、図 8-1 を参照			332	mA
		$R_{\theta JA}$ = 68.5°C/W、V_I = 3.6V、T_J = 150°C、T_A = 25°C、図 8-1 を参照			507	
P_S	安全入力、出力、または合計電力(1)	$R_{\theta JA}$ = 68.5°C/W、T_J = 150°C、T_A = 25°C、図 8-2 を参照			1826	mA
T_S	安全温度 (1)				150	℃

(1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。I_S および P_S パラメータはそれぞれ安全電流と安全電力を示します。I_S および P_S の最大限界値を超過してはなりません。これらの限界値は、周囲温度 T_A によって変化します。
表の接合部から外気への熱抵抗 $R_{\theta JA}$ は、リード付き表面実装パッケージ用の高誘電率テスト基板に実装されたデバイスのものです。これらの式を使って各パラメータの値を計算します。
$T_J = T_A + R_{\theta JA} \times P$、ここで P は本デバイスで消費される電力です。
$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$、ここで $T_{J(max)}$ 最大許容接合部温度です。
$P_S = I_S \times V_I$、ここで V_I は最大入力電圧です。

6.9 電気的特性

推奨動作条件範囲内で、標準値は V_{DD} = 5V、GND1 = GNDIO、GND2 = GISOIN、V_{IO} = 3.3V および T_A =25°C での値です (特に記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
デバイス						
V_{ISOOUT}	絶縁出力電源電圧	EN = V_{DD}、STB、TXD、IN はフローティング	4.75	5	5.25	V
Iout (出力電流)	Visoout で追加の電流を利用可能	V_{DD}= 4.5 ～ 5.5V、CAN 全負荷 60Ω、TXD トグル 5Mbps、IN トグル 10Mbps		20		mA
V_{OH}	OUT ピンの出力 "High" 電圧	V_{DD} = 5V ±10%、I_{OH} = –4mA、IN = V_{IO}	V_{ISOIN} – 0.4			V
V_{OL}	OUT ピンの出力 "Low" 電圧	V_{DD} = 5V ±10%、I_{OL} = 4mA、IN = GND2			0.4	V
I_I	入力電流、IN	IN が GND1 または V_{IO}	-25		25	µA
I_I	入力電流、EN	EN が GND1 または V_{IO}	-25		25	µA
TXD 端子						
I_I	入力リーク電流	TXD = V_{IO} または GND1	-25		25	µA
C_I	入力容量	VIN = 0.4 × sin(2 × π × 1E+6 × t) + 1.65V、V_{IO} = 3.3V		2		pF
RXD 端子						
V_{OH}	High レベル出力電圧	I_O = -4mA (4.5V ≤ V_{IO} ≤ 5.5V 用)、図 7-4 を参照	V_{IO} – 0.4	V_{IO} – 0.2		V
		I_O = -2mA (3.0V ≤ V_{IO} ≤ 3.6V 用)、図 7-4 を参照	V_{IO} – 0.2	V_{IO} – 0.06		V
		I_O = -1mA (2.25V ≤ V_{IO} ≤ 2.75V 用)、図 7-4 を参照	V_{IO} – 0.1	V_{IO} – 0.04		V
		I_O = -1mA (1.71V ≤ V_{IO} ≤ 1.89V 用)、図 7-4 を参照	V_{IO} – 0.1	V_{IO} – 0.04		V
V_{OL}	Low レベル出力電圧	I_O = 4mA (4.5V ≤ V_{IO} ≤ 5.5V 用)、図 7-4 を参照		0.2	0.4	V
		I_O = 2mA (3.0V ≤ V_{IO} ≤ 3.6V 用)、図 7-4 を参照		0.07	0.2	V
		I_O = 1mA (2.25V ≤ V_{IO} ≤ 2.75V 用)、図 7-4 を参照		0.035	0.1	V
		I_O = 1mA (1.71V ≤ V_{IO} ≤ 1.89V 用)、図 7-4 を参照		0.04	0.1	V
STB 端子						
I_I	入力リーク電流	STB = V_{IO} または GND1	-25		25	µA
C_I	入力容量	V_{IN} = 0.4 x sin(2 × π × 1E+6 x t) + 1.65V、V_{IO} = 3.3V		2		pF
ドライバの電気的特性						
$V_{O(DOM)}$	バス出力電圧 (ドミナント)、CANH	STB= GND1、TXD = 0V、50Ω ≤ R_L ≤ 65Ω、C_L = オープン、図 9-1 および、図 9-2 を参照	2.75		4.5	V
	バス出力電圧 (ドミナント)、CANL	STB= GND1、TXD = 0V、50Ω ≤ R_L ≤ 65Ω、C_L = オープン、図 9-1 および、図 9-2 を参照	0.5		2.25	V
$V_{O(REC)}$	バス出力電圧 (リセッシブ)、CANH、CANL	STB = GND1、TXD = V_{IO}、R_L = オープン、図 9-1 および図 9-2 を参照	2.0	0.5 × V_{ISOIN}	3.0	V
$V_{OD(DOM)}$	差動出力電圧 (ドミナント)	STB = GND1、TXD = 0V、45Ω ≤ R_L ≤ 70Ω、C_L = オープン、図 9-1 および、図 9-2 を参照	1.4		3.3	V
	差動出力電圧 (ドミナント)	STB = GND1、TXD = 0V、50Ω ≤ R_L ≤ 65Ω、C_L = オープン、図 9-1 および、図 9-2 を参照	1.5		3.0	V
	差動出力電圧 (ドミナント)	STB = GND1、TXD = 0V、R_L = 2240Ω、C_L = オープン、図 9-1 および、図 9-2 を参照	1.5		5.0	V

Copyright © 2026 Texas Instruments Incorporated

推奨動作条件範囲内で、標準値は V_{DD} = 5V、GND1 = GNDIO、GND2 = GISOIN、V_{IO} = 3.3V および T_A =25°C での値です (特に記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{OD(REC)}$	差動出力電圧 (リセッシブ)	TXD = V_{IO}、R_L = 60Ω、C_L = オープン、図 9-1 および、図 9-2 を参照	-120.0		12.0	mV
	差動出力電圧 (リセッシブ)	TXD = V_{IO}、R_L = オープン、C_L = オープン、図 9-1 および、図 9-2 を参照	-50.0		50.0	mV
$V_{O(STB)}$	バス出力電圧、CANH、スタンバイ モード	STB = V_{IO}、R_L = オープン、図 9-1 および、図 9-2 を参照	-100		100	mV
$V_{O(STB)}$	バス出力電圧、CANL、スタンバイ モード	STB = V_{IO}、RL = オープン、図 9-1 および、図 9-2 を参照	-100		100	mV
$V_{OD(STB)}$	バス出力電圧、CANH-CANL、スタンバイ モード	STB = V_{IO}、RL = オープン、図 9-1 および、図 9-2 を参照	-200		200	mV
V_{SYM_DC}	出力対称 (V_{ISOIN} - $V_{O(CANH)}$ - $V_{O(CANL)}$)	R_L = 60Ω および C_L = オープン、TXD = V_{IO} または GND1、図 9-1 および、図 9-2 を参照	-400.0		400.0	mV
$I_{OS(SS_DOM)}$	短絡電流定常状態出力電流、ドミナント	–15V < CANH < 40V、CANL = オープン、TXD = 0V、図 9-8 を参照	-115.0			mA
		–15V < CANL < 40V、CANH = オープン、TXD = 0V、図 9-8 を参照			115.0	mA
$I_{OS(SS_REC)}$	短絡電流定常状態出力電流、レセッシブ	–27V < VBUS < 32V、VBUS = CANH = CANL、TXD = V_{IO}、図 9-8 を参照	-5.0		5.0	mA
レシーバの電気的特性						
V_{CM}	入力同相範囲	図 9-4 および、表 9-1 を参照	-12		12	V
V_{IT}	差動入力スレッショルド電圧、通常モード	–12V ≤ V_{CM} ≤ 12V、STB = GND1、図 9-4 および、表 9-1 を参照	500.0		900.0	mV
$V_{IT(STB)}$	差動入力スレッショルド電圧、スタンバイ モード	–12V ≤ V_{CM} ≤ 12V、STB = V_{IO}	400		1150	mV
V_{HYS}	差動入力スレッショルドのヒステリシス電圧、通常モード	-12V ≤ V_{CM} ≤ 12V、STB = GND1		100		mV
$V_{DIFF(DOM)}$	ドミナント状態の差動入力電圧範囲、通常モード	–12V ≤ V_{CM} ≤ 12V、STB = GND1、図 9-4 および、表 9-1 を参照	0.9		9	V
$V_{DIFF(DOM)}$	ドミナント状態の差動入力電圧範囲、スタンバイ モード	–12V ≤ V_{CM} ≤ 12V、STB= V_{IO}、図 9-4 および、表 9-1 を参照	1.15		9	V
$V_{DIFF(REC)}$	リセッシブ状態の差動入力電圧範囲、通常モード	–12V ≤ V_{CM} ≤ 12V、STB = GND1、図 9-4 および、表 9-1 を参照	-4		0.5	V
$V_{DIFF(REC)}$	リセッシブ状態の差動入力電圧範囲、スタンバイ モード	–12V ≤ V_{CM} ≤ 12V、STB= V_{IO}、図 9-4 および、表 9-1 を参照	-4		0.4	V
$I_{OFF(LKG)}$	電源オフ バス入力リーク電流	CANH = CANL = 5V、V_{DD} = V_{IO} = GND1			5	µA
C_I	グランドに対する入力容量 (CANH または CANL)	TXD = V_{IO}			20	pF
C_{ID}	差動入力容量	TXD = V_{IO}			10	pF
R_{ID}	差動入力抵抗	TXD = V_{IO}、–12V ≤ VCM ≤ +12V	40		90	kΩ
R_{IN}	入力抵抗 (CANH または CANL)	TXD = V_{IO}、–12V ≤ VCM ≤ +12V	20		45	kΩ
$R_{IN(M)}$	入力抵抗マッチング:(1 - $R_{IN(CANH)}$/$R_{IN(CANL)}$) × 100%	V_{CANH} = V_{CANL} = 5V	-1		1	%

6.10 電源電流特性

標準値は V_{DD} = 5V、V_{IO} = 3.3V での値で、最小値 / 最大値は推奨動作条件 (GND1 = GNDIO、GND2 = GISOIN、V_{DD} = 4.5V ～ 5.5V) 範囲内での値です (特に記載がない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
パワー コンバータがディスエーブル						
I_{DD}	パワー コンバータ電源電流	EN = GND1、STB、TXD、IN はフローティング		0.23	0.27	mA
I_{IO}	ロジック電源電流	EN = GND1、STB、TXD、IN はフローティング		0.34	0.70	mA
消費電流:通常モード						
I_{DD}	パワー コンバータ電源電流	TXD = GND1、バスドミナント、R_L = 60Ω		124	211	mA
I_{DD}	パワー コンバータ電源電流	TXD = V_{IO}、バスリセッシブ、R_L = 60Ω		26	46	mA
I_{DD}	パワー コンバータ電源電流	TXD = 1Mbps 50% デューティの方形波、R_L = 60Ω		76	123	mA
I_{DD}	パワー コンバータ電源電流	TXD = 5Mbps 50% デューティの方形波、R_L = 60Ω		78	136	mA
I_{IO}	ロジック電源電流	TXD = GND1、バスドミナント、V_{IO} = 1.71 ～ 1.89V		4.3	5.5	mA
I_{IO}	ロジック電源電流	TXD = GND1、バスドミナント、V_{IO} = 2.25 ～ 5.5V		4.9	6.0	mA
I_{IO}	ロジック電源電流	TXD = V_{IO}、バスリセッシブ、V_{IO} = 1.71 ～ 1.89V		3.3	5.4	mA
I_{IO}	ロジック電源電流	TXD = V_{IO}、バスリセッシブ、V_{IO} = 2.25 ～ 5.5V		3.8	5.5	mA
I_{IO}	ロジック電源電流	TXD = 1Mbps 50% デューティの方形波、V_{IO} = 3 ～ 3.6V		4.4	5.3	mA
I_{IO}	ロジック電源電流	TXD = 5Mbps 50% デューティの方形波、V_{IO} = 3 ～ 3.6V		4.5	6.2	mA
消費電流:スタンバイ モード						
I_{DD}	パワー コンバータ電源電流	STB = V_{IO}、R_L = 60Ω		16	23	mA
I_{IO}	ロジック電源電流	STB = V_{IO}、V_{IO} = 3 ～ 3.6V		2.7	3.5	mA

Copyright © 2026 Texas Instruments Incorporated

6.11 スイッチング特性

標準仕様は、V_{IO} = 3.3V、V_{DD} = 5V、GND1 = GNDIO、GND2 = GISOIN での値であり、最小値 / 最大値は、推奨動作条件の範囲内での値です (特に記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
デバイスのスイッチング特性						
$t_{PROP(LOOP1)}$	合計ループ遅延、ドライバ入力 TXD からレシーバ RXD まで、リセッシブからドミナントまで	R_L = 60Ω、C_L = 100pF、$C_{L(RXD)}$ = 15pF、TXD での入力立ち上がり / 立ち下がり時間 (10% ～ 90%) = 1ns、1.71V < V_{IO} < 5.5V、図 7-3 を参照		140	205	ns
$t_{PROP(LOOP2)}$	合計ループ遅延、ドライバ入力 TXD からレシーバ RXD まで、ドミナントからリセッシブまで	R_L = 60Ω、C_L = 100pF、$C_{L(RXD)}$ = 15pF、TXD での入力立ち上がり / 立ち下がり時間 (10% ～ 90%) = 1ns、1.71V < V_{IO} < 5.5V、図 7-3 を参照		167	222	ns
t_{MODE}	モード変更時間 (通常からスタンバイ モードへ、またはスタンバイから通常モードへ)				20	µs
t_{WK_FILTER}	有効なウェークアップパターンのフィルタ時間		0.5		1.8	µs
$t_{WK_TIMEOUT}$	バスウェークアップタイムアウト値		0.8		5	ms
CMTI	同相過渡耐性	TXD = V_{IO} または GND1、V_{CM} = 1200V_{PK}、図 7-9 を参照	85	100		kV/µs
ドライバのスイッチング特性						
t_{pHR}	伝搬遅延時間、LOW から HIGH TXD エッジからドライバ リセッシブまで (ドミナントからリセッシブ)	R_L = 60Ω および C_L = 100pF、TXD での入力立ち上がり / 立ち下がり時間 (10% ～ 90%) = 1ns、図 7-3 を参照		87	110	ns
t_{pLD}	伝搬遅延時間、HIGH から LOW TXD エッジからドライバ ドミナントまで (リセッシブからドミナントまで)			78	105	
$t_{sk(p)}$	パルス スキュー (|tpHR-tpLD |)			15		
t_R	差動出力信号の立ち上がり時間			27		
t_F	差動出力信号の立ち下がり時間			48		
V_{SYM}	ドライバ対称性 ($V_{O(CANH)}$ + $V_{O(CANL)}$)/V_{CC}	R_{TERM} = 60Ω、C_L = 開放、C_{SPLIT} = 4.7nF、TXD = ドミナント、リセッシブまたは 250kHz でトグル、1MHz 図 7-3 を参照	0.9		1.1	V/V
t_{TXD_DTO}	ドミナント タイムアウト	R_L = 60Ω、C_L = 開放、図 7-7 を参照	1.2		3.8	ms
レシーバのスイッチング特性						
t_{pRH}	伝搬遅延時間、バスのドミナントからリセッシブへの遷移から RXD の high 出力 (ドミナントからリセッシブ)	$C_{L(RXD)}$ = 15pF、図 7-5 を参照		90	115	ns
t_{pDL}	伝搬遅延時間、バスのリセッシブからドミナントへの遷移から RXD の low 出力 (リセッシブからドミナント)			80	105	ns
t_R	出力信号の立ち上がり時間 (RXD)			1		ns
t_F	出力信号の立ち下がり時間 (RXD)			1		ns
FD のタイミング パラメータ						
$t_{BIT(BUS)}$	$t_{BIT(TXD)}$= 500ns の CAN バス出力ピンのビット時間	R_L = 60Ω、C_L = 100pF、$C_{L(RXD)}$ = 15pF、TXD での入力立ち上がり / 立ち下がり時間 (10% ～ 90%) = 1ns、図 7-6 を参照	435		530	ns
	$t_{BIT(TXD)}$= 200ns の CAN バス出力ピンのビット時間	R_L = 60Ω、C_L = 100pF、$C_{L(RXD)}$ = 15pF、TXD での入力立ち上がり / 立ち下がり時間 (10% ～ 90%) = 1ns、図 7-6 を参照	155		210	ns

Copyright © 2026 Texas Instruments Incorporated

標準仕様は、V_{IO} = 3.3V、V_{DD} = 5V、GND1 = GNDIO、GND2 = GISOIN での値であり、最小値 / 最大値は、推奨動作条件の範囲内での値です (特に記載のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{BIT(RXD)}$	$t_{BIT(TXD)}$= 500ns の RXD バス出力ピンのビット時間	R_L = 60Ω、C_L = 100pF、$C_{L(RXD)}$ = 15pF、TXD での入力立ち上がり / 立ち下がり時間 (10% ～ 90%) = 1ns、図 7-6 を参照	400		550	ns
	$t_{BIT(TXD)}$ = 200ns の RXD バス出力ピンのビット時間	R_L = 60Ω、C_L = 100pF、$C_{L(RXD)}$ = 15pF、TXD での入力立ち上がり / 立ち下がり時間 (10% ～ 90%) = 1ns、図 7-6 を参照	120		220	ns
ΔtREC	レシーバのタイミングの対称性、$t_{BIT(TXD)}$ = 500 ns	R_L = 60Ω、C_L = 100pF、$C_{L(RXD)}$ = 15pF、TXD での入力立ち上がり / 立ち下がり時間 (10% ～ 90%) = 1ns、ΔtREC = $t_{BIT(RXD)}$ – $t_{BIT(BUS)}$、図 7-6 を参照	-65		40	ns
	レシーバのタイミングの対称性、$t_{BIT(TXD)}$ = 200 ns	R_L = 60Ω、C_L = 100pF、$C_{L(RXD)}$ = 15pF、TXD での入力立ち上がり / 立ち下がり時間 (10% ～ 90%) = 1ns、ΔtREC = $t_{BIT(RXD)}$ – $t_{BIT(BUS)}$、図 7-6 を参照	-45		15	ns
GPIO チャネル						
t_{PLH}、t_{PHL}	伝搬遅延時間			11	25	ns
PWD	パルス幅歪み、$\|t_{PLH} - t_{PHL}\|$			3.5	10	ns
t_r	出力信号の立ち上がり時間			2.2	5	ns
t_f	出力信号の立ち下がり時間			2.2	5	ns

6.12 絶縁特性曲線

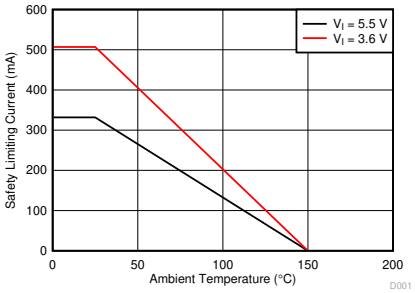


図 6-1. VDE に従う制限電流の熱特性低下曲線

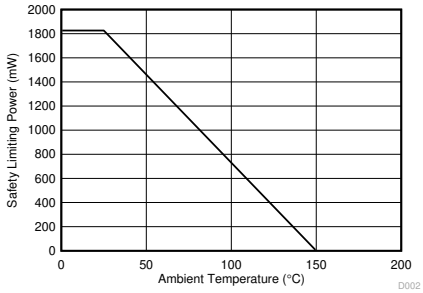


図 6-2. VDE に従う制限電力の熱特性低下曲線

Copyright © 2026 Texas Instruments Incorporated

6.13 代表的特性

V_{DD} = V_{IO}、V_{ISOIN} = V_{ISOOUT}、$C_{L(RXD)}$ = 15pF、R_L = 60Ω、T_A = 25°C (特に記載のない限り)。

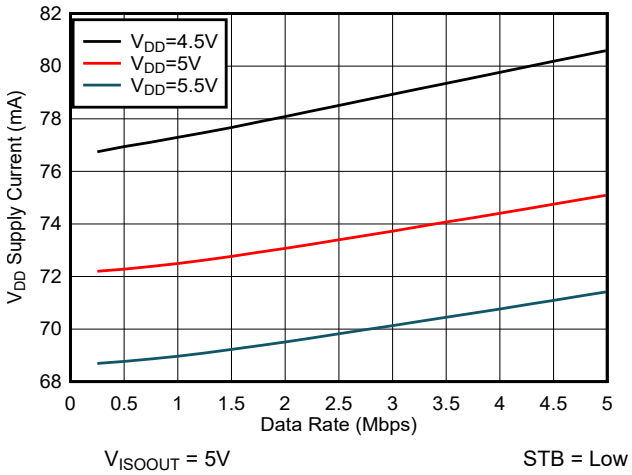


図 6-3. V_{DD} の電源電流とデータ レートとの関係

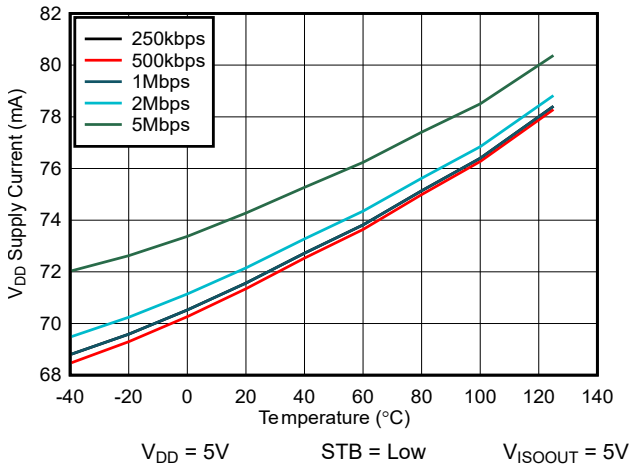


図 6-4. V_{DD} 電源電流と温度との関係

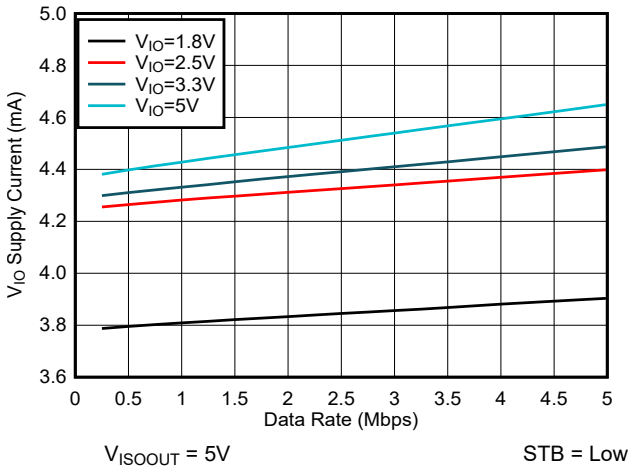


図 6-5. V_{IO} の電源電流とデータ レートとの関係

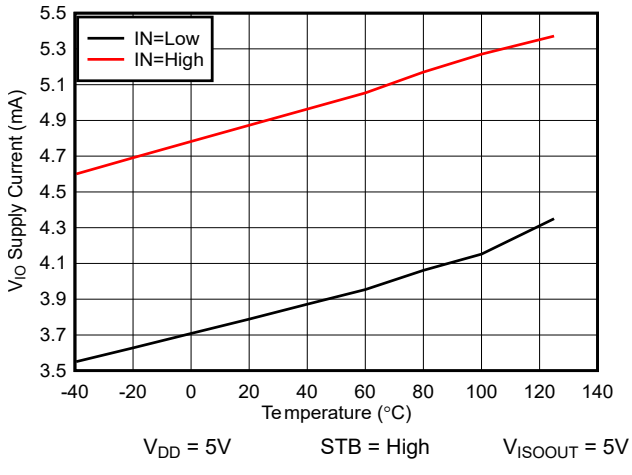


図 6-6. V_{IO} スタンバイ電流と温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.13 代表的特性 (続き)

V_{DD} = V_{IO}、V_{ISOIN} = V_{ISOOUT}、$C_{L(RXD)}$ = 15pF、R_L = 60Ω、T_A = 25°C (特に記載のない限り)。

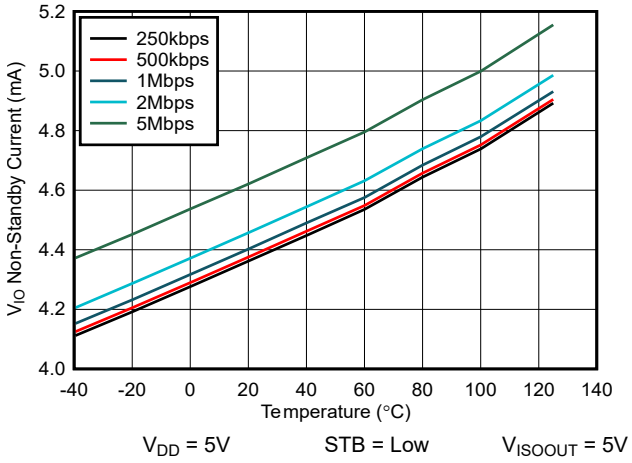


図 6-7. V_{IOI} 非スタンバイ電流と接合部温度との関係

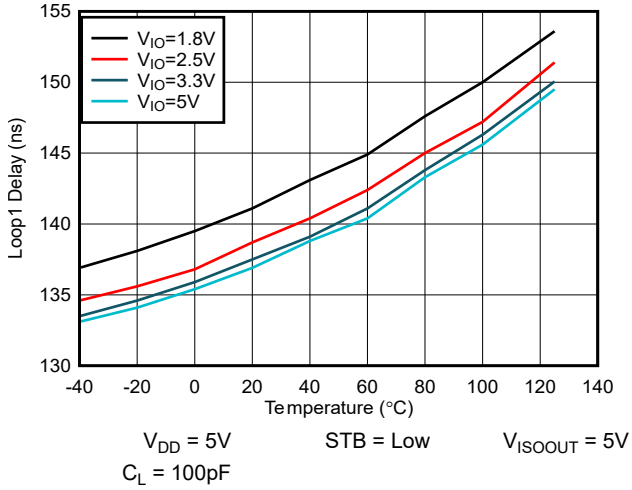


図 6-8. ループ遅延 (リセッシブからドミナントまで) と温度との関係

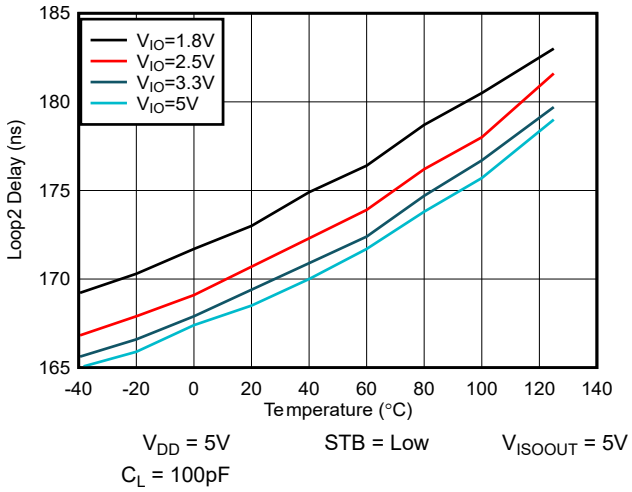


図 6-9. ループ遅延 (ドミナントからリセッシブ) と温度との関係

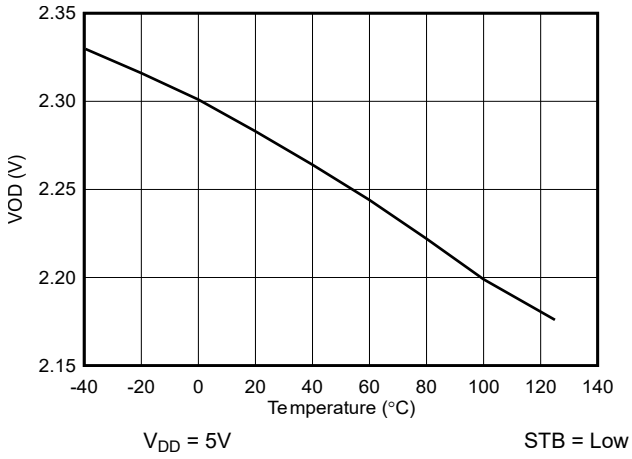


図 6-10. ドミナント状態における差動出力電圧と温度との関係

Copyright © 2026 Texas Instruments Incorporated

6.13 代表的特性 (続き)

V_{DD} = V_{IO}、V_{ISOIN} = V_{ISOOUT}、$C_{L(RXD)}$ = 15pF、R_L = 60Ω、T_A = 25°C (特に記載のない限り)。

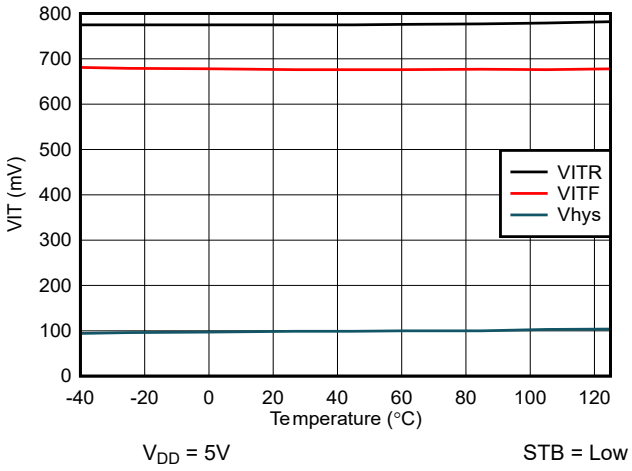


図 6-11. レシーバ差動スレッショルド電圧と温度との関係

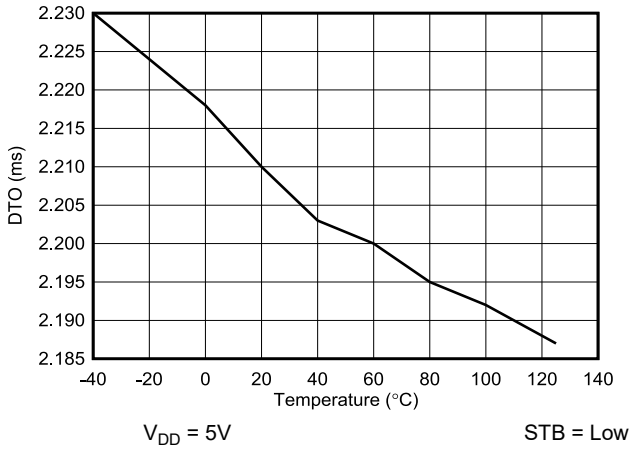


図 6-12. ドミナント タイムアウトと温度との関係

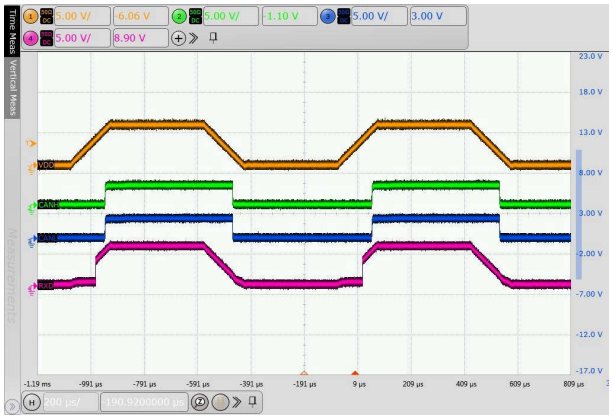


図 6-13. VDD でのグリッチが発生しないパワーアップ

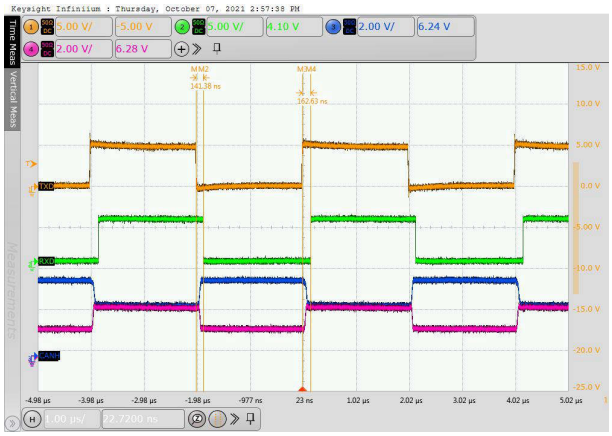


図 6-14. 500kbps における TXD、RXD、CANH および CANL の標準波形

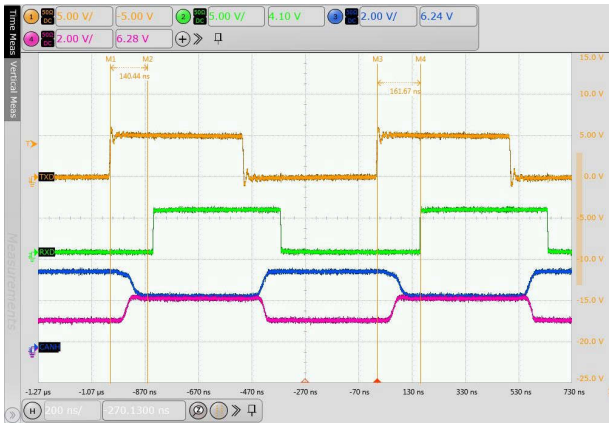


図 6-15. 2Mbps における TXD、RXD、CANH および CANL の標準波形

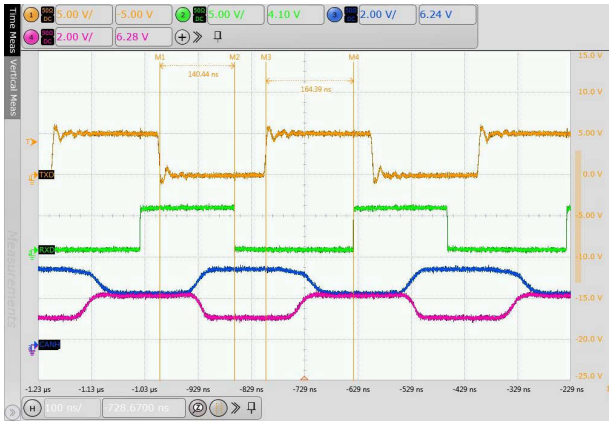


図 6-16. 5Mbps における TXD、RXD、CANH および CANL の標準波形

Copyright © 2026 Texas Instruments Incorporated

7 パラメータ測定情報

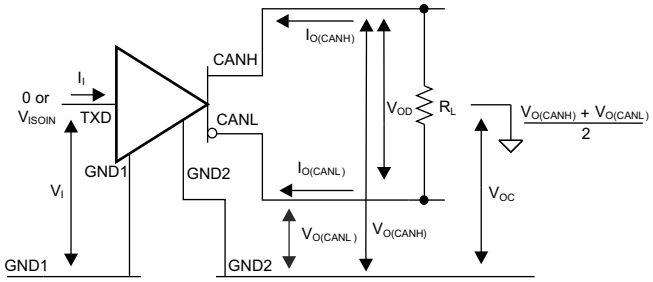


図 7-1. ドライバの電圧、電流、テストの定義

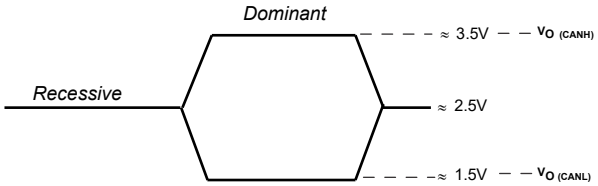
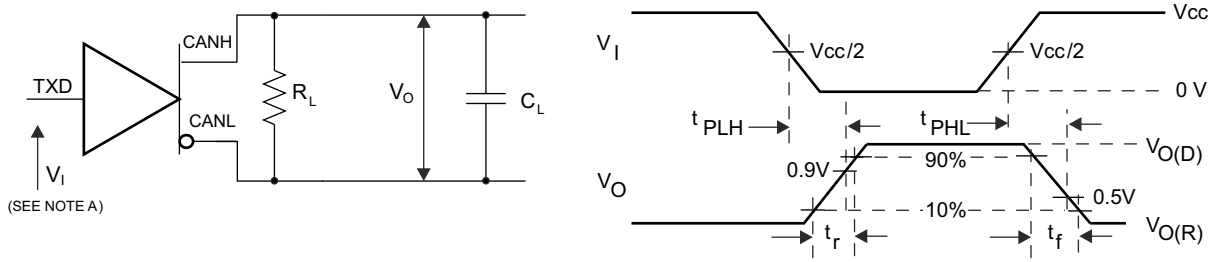


図 7-2. バス ロジック状態の電圧の定義



A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≤ 125kHz、50% デューティ サイクル、tr ≤ 6ns、tf ≤ 6ns、ZO = 50Ω。

図 7-3. ドライバテスト回路と電圧波形

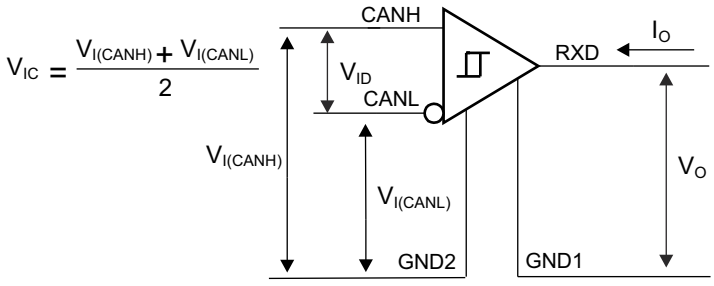
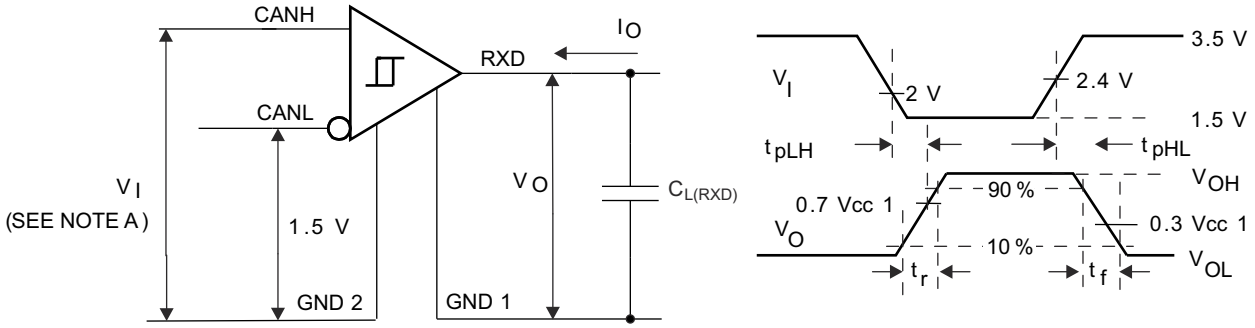


図 7-4. レシーバの電圧および電流の定義

Copyright © 2026 Texas Instruments Incorporated



A. 入力パルスは、以下の特性を持つジェネレータから供給されます。PRR ≤ 125kHz、50% デューティ サイクル、t_r ≤ 6ns、t_f ≤ 6ns、Z_O = 50Ω。

図 7-5. レシーバテスト回路と電圧波形

表 7-1. レシーバ差動入力電圧スレッショルド テスト

入力			出力	
V_{CANH}	V_{CANL}	$\|V_{ID}\|$	RXD	
-11.5V	-12.5V	1000mV	L	V_{OL}
12.5V	11.5V	1000mV	L	
-8.55V	-9.45V	900mV	L	
9.45V	8.55V	900mV	L	
-8.75V	-9.25V	500mV	H	V_{OH}
9.25V	8.75V	500mV	H	
-11.8V	-12.2V	400mV	H	
12.2V	11.8V	400mV	H	
オープン	オープン	X	H	

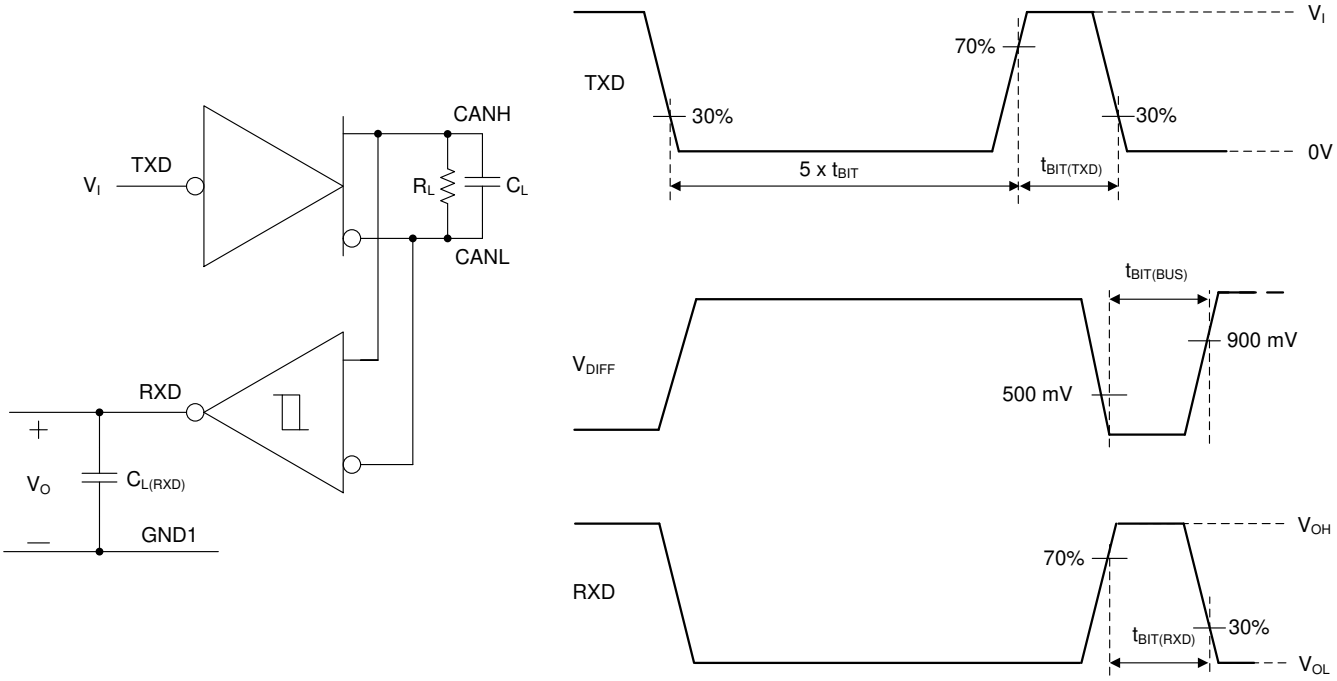
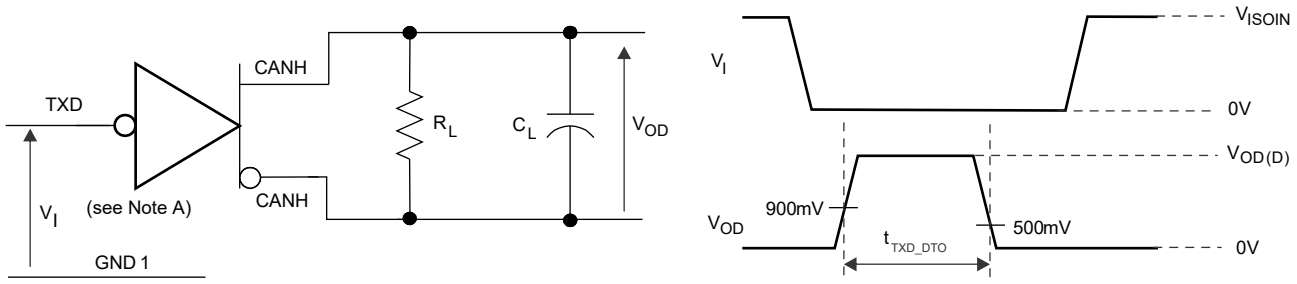


図 7-6. t_{LOOP} と CAN FD のタイミングパラメータ測定



A. 入力パルスは、以下の特性を持つジェネレータから供給されます：t_r ≤ 6ns、t_f ≤ 6ns、Z_O = 50Ω。

図 7-7. ドミナント・タイムアウト・テスト回路と電圧波形

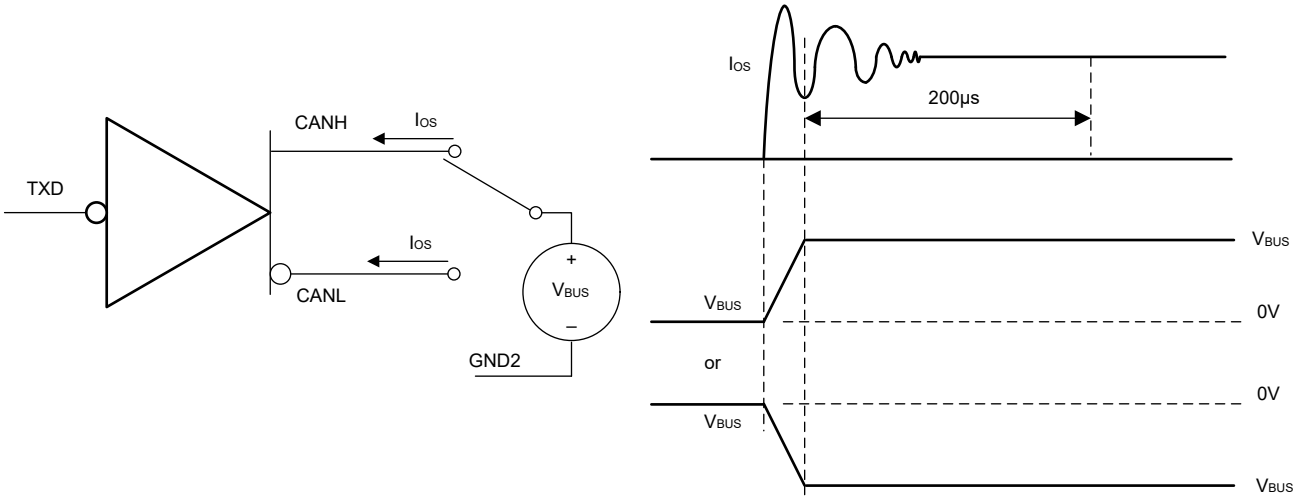


図 7-8. ドライバ短絡電流テスト回路と波形

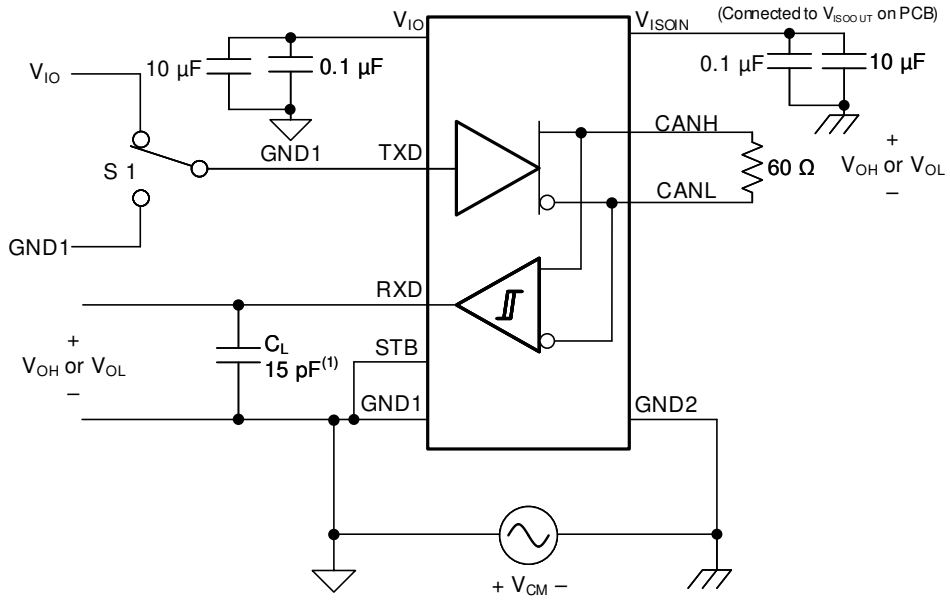
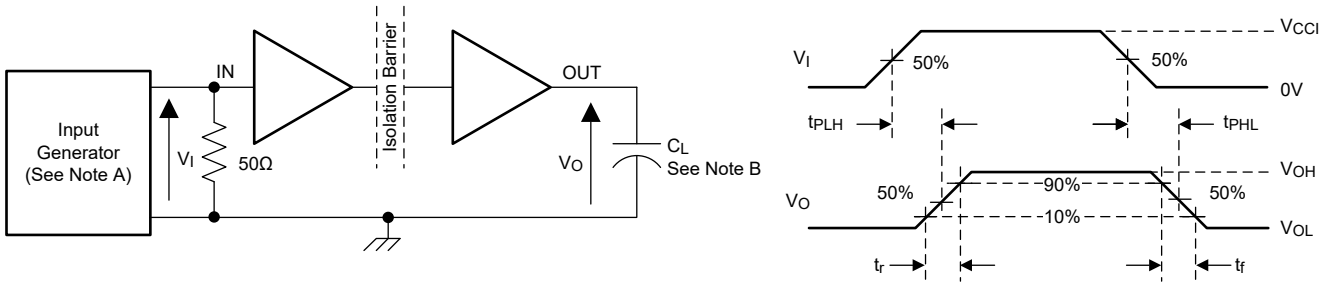


図 7-9. 同相過渡電圧耐性試験回路

Copyright © 2026 Texas Instruments Incorporated



A. V_{CCI} および V_{CCO} はそれぞれ電源 V_{IO} および V_{ISOIN} を示しています。C_L = 15pF、入力パルスは以下の特性を持つジェネレータから供給されます：PRR ≤ 50kHz、50% デューティ サイクル、t_r ≤ 3ns、t_f ≤ 3ns、Z_O = 50Ω。入力ジェネレータ信号を終端するため、入力に 50Ω の抵抗が必要です。実際のアプリケーションでは、抵抗は不要です。

B. B. C_L = 15pF、±20% 以内の計測器および治具の容量が含まれています。

図 7-10. スイッチング特性試験回路と電圧波形

Copyright © 2026 Texas Instruments Incorporated

8 詳細説明

8.1 概要

ISOW1044 は、信号絶縁チャネル、内蔵トランスを用いた電源絶縁、および CAN トランシーバを一つのパッケージに統合しています。ISOW1044 は、CAN で最大 1Mbps、CAN FD で最大 5Mbps の最大信号速度をサポートしています。機能ブロック図 に、ISOW1044 の機能ブロック図を示します。

8.2 電源の絶縁

内蔵絶縁型 DC/DC コンバータは、高度な回路とオンチップ レイアウト技法により放射エミッションを低減し、標準 47% 効率を達成します。内蔵のトランスでは、絶縁バリアとして薄膜ポリマーを使用しています。バス通信が不要な場合、電力を節約するために、EN ピンを使用して DC/DC コンバータをオフにできます。出力電圧 V_{ISOOUT} を監視しており、フィードバック情報が専用の絶縁チャネルを通じて 1 次側に伝達されます。それに応じて 1 次側スイッチング段のデューティ サイクルが調整されます。パワー コンバータの高速フィードバック制御ループにより、負荷過渡応答時のオーバーシュートおよびアンダーシュートを低く抑えます。V_{IO}、V_{DD} および V_{ISOOUT} 電源にはヒステリシス付きの低電圧ロックアウト (UVLO) が内蔵されており、ノイズの多い状況下で堅牢なフェールセーフ動作を実現します。内蔵のソフトスタート メカニズムによって突入電流を制御し、電源オン時に出力のオーバーシュートが発生することを防止します。

8.3 信号絶縁

CAN トランシーバと GPIIO の内蔵信号絶縁チャネルは、オンオフ キーイング (OOK) 変調方式を採用し、二酸化ケイ素ベースの絶縁バリアを介してデジタル データを送信します。トランスミッタは、一方の状態を表す高周波キャリアをバリアを介して送信し、もう一方の状態を表す信号は送信しません。レシーバは、シグナル コンディショニングの後、信号を復調し、バッファ段経由で出力を生成します。信号絶縁チャネルに高度な回路手法を採用して、CMTI 性能を最大化し、高周波キャリアおよび IO バッファ スイッチングによる放射エミッションを最小化しています。図 8-3 に代表的な信号絶縁チャネルの機能ブロック図を示します。

パワー コンバータからのノイズ カップリングを信号パスから回避するため、サイド 1 のパワー コンバータ用電源 (V_{DD}) と信号パス用電源 (V_{IO}) は分離されています。サイド 2 でも同様に、パワー コンバータ出力 (V_{ISOOUT}) を PCB 上で外部から CAN 用電源 (V_{ISOIN}) に接続する必要があります。詳細については、「レイアウトのガイドライン」セクションを参照してください。

8.4 CAN トランシーバ

ISOW1044 デバイスは、デジタル絶縁型 CAN トランシーバを内蔵しており、±58V の DC バス故障保護および ±12V の同相モード電圧範囲を提供します。CAN FD モードで最高 5Mbps のデータレートに対応しており、Classic CAN よりはるかに高速にペイロードを伝送できます。このパワー コンバータは、サイド 1 に 5V 電源 (V_{DD})、サイド 2 に 5V 電源 (V_{ISOOUT}) で動作します。サイド 1 のロジック電源 V_{IO} は、1.71V から 5.5V まで動作できます。この広い V_{IO} 電源電圧範囲は、サイド 1 の低電圧により省電力のために低電圧のマイコンへの接続が可能になる一方で、サイド 2 の 5V によりバス信号の高い信号対雑音比が維持されるため、過酷な産業環境で動作するアプリケーションにとって特に有利です。

ISOW1044 は、スタンバイ モードとリモート BUS ウェークアップ (WUP) に対応しています。STB ピンには、システム プロセッサから供給することも、静的なシステム電圧源から供給することもできます。スタンバイ モードでは、CAN ドライバとメイン レシーバはオフになり、双方向 CAN 通信はできません。DC/DC コンバータ、ローパワー レシーバ、バス監視回路は引き続きイネーブルになっており、CAN バスを使用しての RXD ウェークアップ要求が可能です。このモードでは、CAN バス ピンが弱く GND にプルされます。通常モードが唯一の動作モードである場合は、STB ピンを GND に直接接続できます。

8.5 スタンバイ モードでのウェークアップ パターン (WUP) を使用したリモート ウェイク要求

ISOW1044 はリモート ウェークアップ要求をサポートしており、これによりバスがアクティブであることをホスト コントローラに通知し、ノードが通常動作に復帰する必要があることを示します。

Copyright © 2026 Texas Instruments Incorporated

このデバイスは、ISO 11898-2:2016 規格の複数フィルタドミナントウェークアップパターン (WUP) を使用して、バスアクティビティを特定します。有効な WUP を受信すると、ISOW1044 の RXD 出力のフィルタ済みドミナントに対応する立ち下がりエッジと Low 期間で、ウェイク要求がコントローラに伝えられます。

WUP は、フィルタされたドミナント パルスに続き、フィルタされたリセッシブ パルス、そして最後に 2 回目のフィルタされたドミナント パルスで構成されます。最初のフィルタされたドミナント信号が WUP を開始し、その後バス モニタはフィルタされたリセッシブ信号を待機します。その他のバストラフィックはバス モニタをリセットしません。フィルタされたリセッシブ信号を受信すると、バス モニタはフィルタされたドミナント信号を待機状態となり、この場合も他のバス トラフィックによってバス モニタがリセットされることはありません。2 回目のフィルタされたドミナント信号を受信すると、バス モニタは直ちに WUP を認識し、その後バスから追加のフィルタされたドミナント信号を受信するたびに、RXD 出力をローレベルに駆動します。

ドミナントまたはリセッシブを「フィルタ済み」と見なすには、バスが t_{WK_FILTER} 時間より長い間、その状態にある必要があります。t_{WK_FILTER} の変動により、以下のシナリオが適用されます。$t_{WK_FILTER(MIN)}$ より短いバス状態は、WUP の一部として検出されることはないため、ウェーク要求は生成されません。$t_{WK_FILTER(MIN)}$ と $t_{WK_FILTER(MAX)}$ の間のバス状態時間は、WUP の一部として検出され、ウェークアップ要求が生成されることがあります。$t_{WK_FILTER(MAX)}$ を超えるバス状態が常に WUP の一部として検出されるため、ウェーク要求が生成されます。ウェークアップパターンのタイミング図については、図 8-1 を参照してください。

WUP に使用されるパターンおよび t_{WK_FILTER} 時間により、ノイズやバス固着ドミナント故障が誤ったウェイク要求を引き起こすことを防止しながら、任意の有効なメッセージによってウェーク要求を開始できます。

ISO 11898-2:2016 規格では、短いウェークアップ フィルタ時間および長いウェークアップ フィルタ時間が定義されています。t_{WK_FILTER} のタイミングは、両方のフィルタ範囲の最小値および最大値内に収まるように選択されています。このタイミングは、500kbps の 1 ビット時間、または 1Mbps の 2 バックツーバック ビット時間でフィルタがトリガされるように選択されています。500kbps 以下の任意の CAN フレームには、有効な WUP が含まれます。

堅牢性の層を追加し、誤ウェークアップを防止するために、本デバイスはウェークアップタイムアウト機能を実装しています。リモートウェークアップイベントが正常に発生するには、タイムアウト値 $t \le t_{WK_TIMEOUT}$ 内に WUP 全体を受信する必要があります。そうでない場合、内部ロジックはリセットされ、トランシーバはウェイクアップせずに現在の状態のままになります。その後、このセクションで説明した制約に従って、完全なパターンを再び送信する必要があります。ウェーク タイムアウト機能付きウェークアップ パターンのタイミング図については、図 8-1 を参照してください。

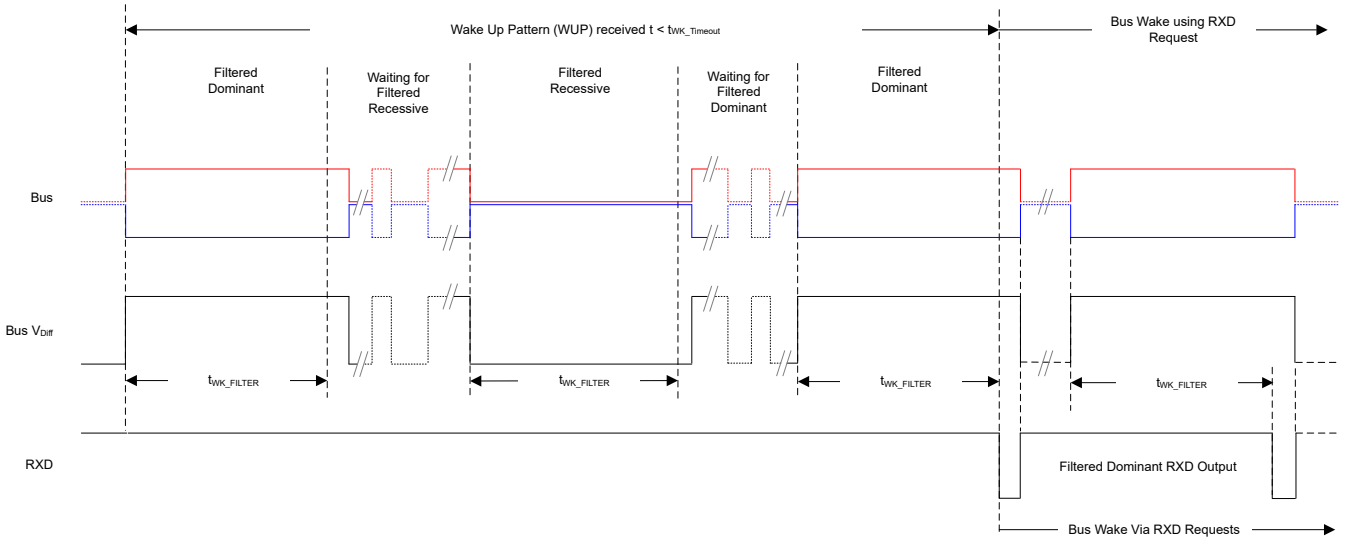


図 8-1. $t_{WK_TIMEOUT}$ によるウェークアップ パターン (WUP)

8.6 機能ブロック図

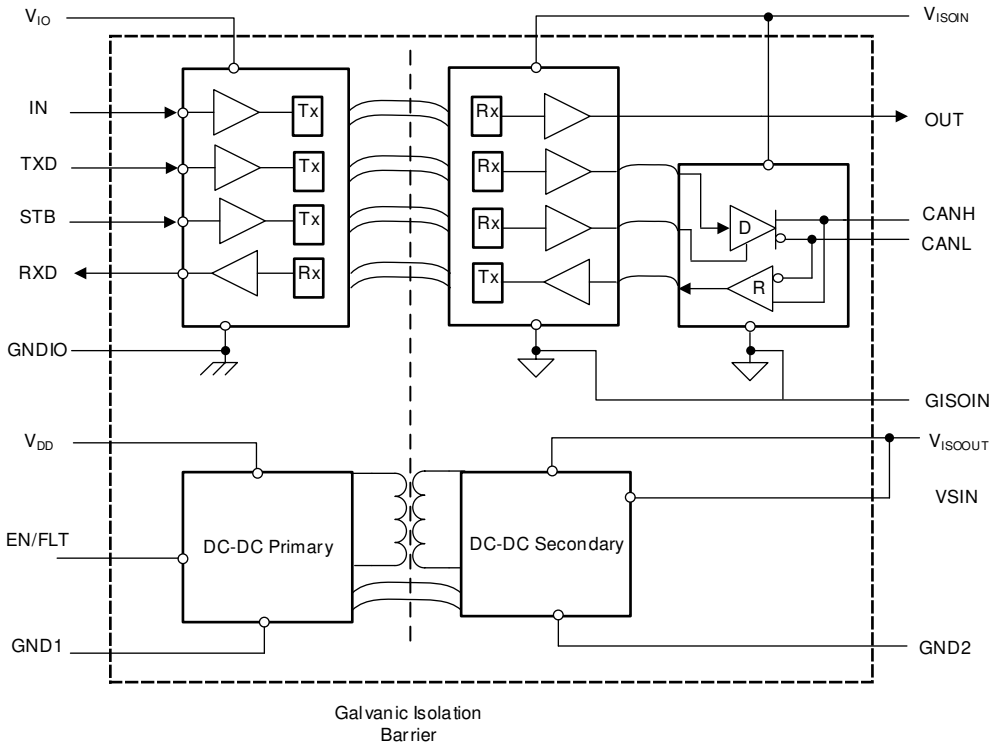


図 8-2. ブロック図

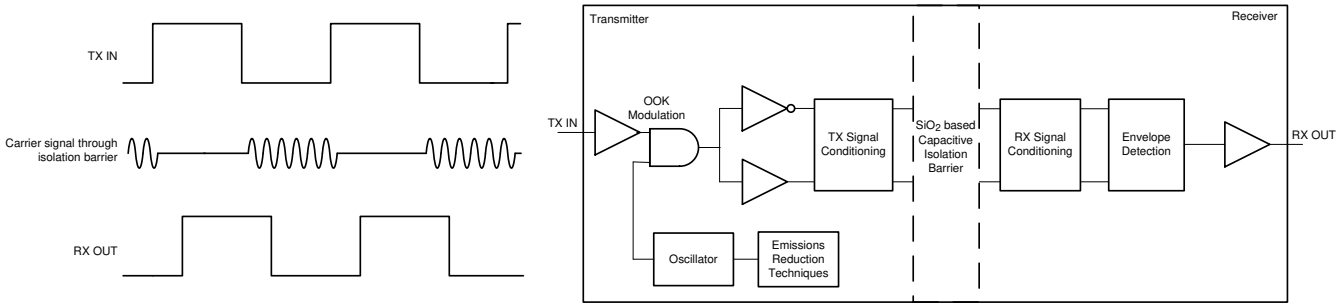


図 8-3. 信号絶縁チャネル

8.7 機能説明

8.7.1 CAN バスの状態

CAN バスの動作時には、リセッシブとドミナントの 2 つの論理状態があります。ドミナント バス状態は、バスを差動で駆動する場合で、TXD ピンと RXD ピンは論理 LOW になります。リセッシブ バス状態は、バスがレシーバの高抵抗の内部入力抵抗 (R_{IN}) を使用して $V_{CC}/2$ にバイアスされる場合で、TXD ピンと RXD ピンは論理 High になります。

アービトレーションの期間は、ドミナント状態がリセッシブ状態を上書きします。調停の際には、複数の CAN ノードが同時にドミナントビットを送信している可能性があり、この場合、バスの差動電圧は単一ドライバの差動電圧よりも大きくなります。

ISOW1044 トランシーバには、スタンバイ (STB) モードが実装されており、バスのピンがレシーバの高抵抗値の内部抵抗を介してグランドに弱くバイアスされる第 3 のバス状態が可能になります。

Copyright © 2026 Texas Instruments Incorporated

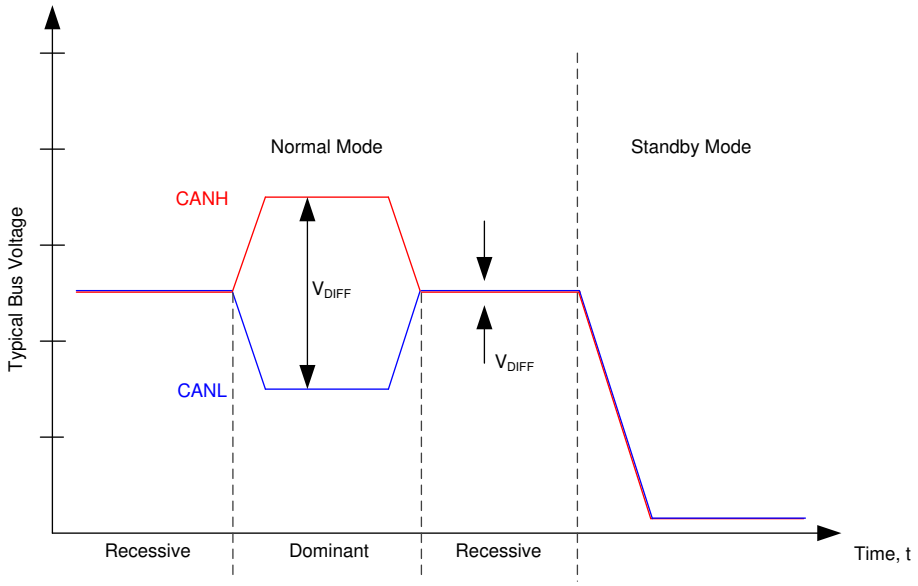


図 8-4. バスの状態 (物理的ビット表現)

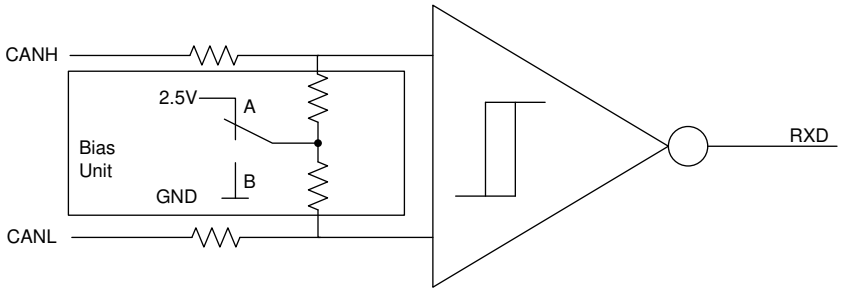


図 8-5. 簡略化されたリセッシブ同相モード バイアス ユニットおよびレシーバ

A. A - 通常モード、B - スタンバイ モード

8.7.2 デジタル入力および出力 : TXD (入力) および RXD (出力)

デバイスの絶縁デジタル入出力側の V_{IO} 電源は、1.8V、2.5V、3.3V、および 5V の各電源で供給可能であり、そのためデジタル入出力は 1.8V、2.5V、3.3V、および 5V 互換です。

8.7.3 TXD ドミナント タイムアウト (DTO)

TXD の DTO 回路は、ハードウェアまたはソフトウェアの故障により TXD ピンがタイムアウト時間 t_{TXD_DTO} を超えてドミナント状態に保持された場合でも、トランシーバがネットワーク通信を妨げないようにします。DTO 回路のタイマは、TXD ピンの立ち下がりエッジで開始されます。DTO 回路は、タイムアウト時間内に立ち上がりエッジが発生しない場合、CAN バスドライバを無効化し、ネットワーク上の他のノード間で通信が行えるようにバスを解放します。TXD ピンにリセッシブ信号が発生すると、CAN ドライバは再び有効になり、TXD DTO 状態が解除されます。TXD ドミナント タイムアウト中であっても、レシーバおよび RXD ピンは CAN バス上の動作を引き続き反映し、バス端子はリセッシブ レベルにバイアスされます。

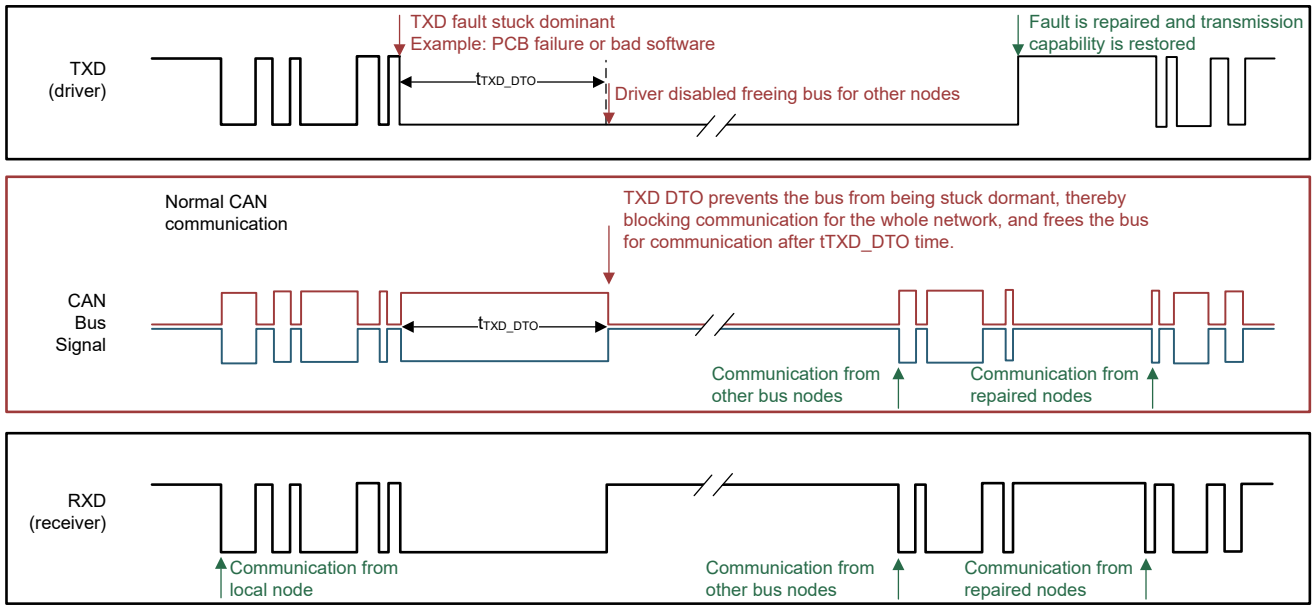


図 8-6. TXD DTO のタイミング図の例

注

TXD DTO 回路で許容される最小ドミナント TXD 時間 (t_{TXD_DTO}) は、本デバイスで実現可能な最小データ レートを制限します。CAN プロトコルでは、最悪の場合、(TXD 上で) 最大 11 個の連続したドミナント ビットを許容しています。この場合、5 個の連続したドミナント ビットの直後にエラー フレームが発生します。これは、t_{TXD_DTO} の最小値とともに、最小データ レートを制限します。最小送信データ レートは式 1 のように計算します。

$$\text{Minimum Data Rate} = \frac{11}{t_{TXD_DTO}} \quad (1)$$

8.7.4 パワーアップ動作とパワーダウン動作

ISOW1044 は、すべての電源 (V_{DD}、V_{IO}、および V_{ISOOUT}) に、正方向および負方向のスレッショルドとヒステリシスが設定された低電圧ロックアウト (UVLO) 機能を搭載しています。デバイスが動作するには、パワー コンバータ電源 (V_{DD}) とロジック電源 (V_{IO}) の両方が存在している必要があります。どちらかが UVLO を下回ると、信号路とパワー コンバータの両方が無効になります。

V_{IO} が UVLO+ を超えているとすると、電源オン時に V_{DD} 電圧が正方向の UVLO スレッショルドを超えると、DC/DC コンバータが初期化されるとともに、制御された状態で電力コンバータのデューティ サイクルが増加していきます。このソフトスタート方式により、V_{DD} 電源から引き出される 1 次側ピーク電流を制限し、制御された状態で V_{ISOOUT} 出力に電源を供給してオーバーシュートを回避します。CAN BUS は、この期間にハイ インピーダンス状態になります。2 次側の V_{ISOOUT} ピンで UVLO の正方向スレッショルドを超えると、フィードバック データ チャネルが 1 次側コントローラへのフィードバックを開始します。レギュレーション ループが制御を引き継ぎ、CAN ドライブ出力、受信データ出力 (RXD)、および汎用ロジック チャネル (OUT) は、デバイスへの入力 (スタンバイ (STB)、送信されるドライバ データ (TXD)、および汎用ロジック入力 (IN)) によって定義されたそれぞれの状態をとります。このパワー アップ シーケンスが完了し、システム機能が使用可能になるまで、十分な時間マージン (通常は 10µF の負荷容量で 5ms) を考慮して設計する必要があります。

V_{DD} または V_{IO} 電源が失われた場合、UVLO 下限スレッショルドに達したときに 1 次側 DC/DC コントローラがオフになります。その後、V_{ISOOUT} コンデンサは絶縁チャネルおよび BUS の負荷に応じて放電されます。

Copyright © 2026 Texas Instruments Incorporated

8.7.5 保護機能

ISOW1044 デバイスは、システム レベルで堅牢な設計を実現するための複数の保護機能を備えています。

- 最初の機能は、イネーブル / フォルト保護機能です。この EN/FLT ピンは、内蔵 DC/DC パワー コンバータをイネーブル / ディスエーブルする入力ピンとして、あるいはパワー コンバータが正常に動作していない場合にアラート信号を生成する出力ピンとして使用できます。/Fault の使用事例では、V_{DD} > 7V、V_{DD} < 2.5V、または接合部温度 > 170°C の場合にフォルトが通知されます。フォルトが検出されると、このピンが "Low" に、DC/DC コンバータがディスエーブルになり、損傷を防止します。

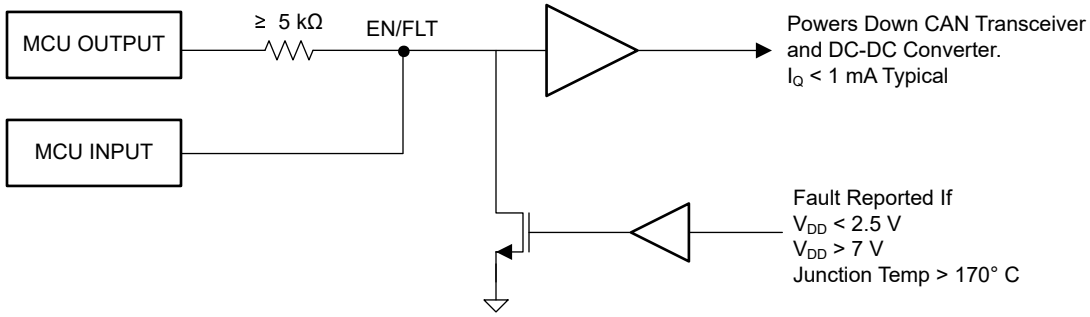


図 8-7. EN フォルト ピンの図

- V_{ISOOUT} には過電圧クランプ機能が備わっており、電圧の上昇が観測された場合に電圧を 6V でクランプします。デバイスの信頼性を確保するため、V_{ISOOUT} の値をオーバークランプ電圧よりも低く保つ必要があります。
- V_{DD} の過電圧ロックアウト (OVLO) は、V_{DD} に 7V を超える電圧が観測された場合に発生します。OVLO では、デバイスは低消費電力状態に移行し、EN/FLT ピンが "Low" になります。
- パワー コンバータの出力 V_{ISOOUT} が過負荷または短絡状態になると、パワー コンバータの最大デューティ サイクルが制限されます。外部電源ケーブルがバス ケーブルに短絡することによってドライバのバス短絡が発生した場合、CAN チップの短絡電流保護により、バス電流は最大 ±115mA に制限されます。
- また、このような状況でデバイスが損傷するのを防止するために、過熱保護機能も搭載されています。ダイ温度の上昇が監視され、ダイ温度が 165℃ (標準値) になるとデバイスがディスエーブルになり、短絡状態が無効化されます。接合部温度が 155℃ (標準値) になると、デバイスが再度イネーブルになります。過負荷または出力短絡の状態が続いている場合は、この保護サイクルが繰り返されます。システムの設計では、バスの短絡が繰り返し発生したり、短絡が長期間にならないよう注意してください。デバイスの接合部が長期間高温にさらされることになり、デバイスの信頼性に影響が発生するためです。

8.7.6 フローティング ピン、電源オフ デバイス

ISOW1044 は、デバイスが無給電状態の場合、CAN バスに対して理想的な受動負荷または無負荷となるように設計されています。デバイスが無給電状態のとき、バス ピン (CANH、CANL) は極めて低いリーク電流となるため、バスに負荷をかけません。これは、ネットワークの一部のノードが無給電であっても他のノードが動作を続ける場合に特に重要です。

このデバイスは重要なピン (TXD および STB) に内部プルアップを備えており、ピンがフローティングになった場合でもデバイスを既知の状態に保ちます。この内部バイアスは、設計上、特にノイズの多い環境では考慮する必要はありませんが、代わりにフェイルセーフ保護機能とみなされます。オープン ドレイン出力に対応した CAN コントローラを使用する場合、CAN トランシーバの入力に対して適切なビット タイミングを維持できるよう、CAN コントローラの TXD 出力には十分な外部プルアップ抵抗を使用する必要があります。詳細については、表 8-3 を参照してください。

8.7.7 グリッチ フリーのパワーアップ / パワーダウン

CAN ネットワークで新しいノードに交換するとき、またはノードを取り除くときは、コントローラ ノードとターゲット ノード間の既存の通信が中断されないようにする必要があります。デバイスが次の状態の場合、バスにグリッチは発生しないはずです:

- 電源が供給されていない状態でネットワークにホットプラグされている
- 電源が供給され、レセッシブ状態でネットワークにホットプラグされている
- すでにバスに接続されているときに、レセッシブ状態でパワーアップまたはパワーダウンされる

Copyright © 2026 Texas Instruments Incorporated

ISOW1044 デバイスは上記の基準を満たしており、電源ランプ速度が 50µs 以上でリセッシブ状態にある場合、電源投入時および電源遮断時にバス上で誤ったデータトグルを発生させません。

8.8 デバイスの機能モード

表 8-1 に、これらのデバイスの電源構成を示します。

表 8-1. 電源構成機能表

入力			出力		
V_{DD}	V_{IO}	EN/FLT	バス出力 (CANH/CANL)	RXD	V_{ISOOUT} (2)
< $V_{DD(UVLO+)}$	>$V_{IO(UVLO+)}$	X	ハイ インピーダンス	リセッシブ (デフォルト High)	OFF
> $V_{DD(UVLO+)}$	<$V_{IO(UVLO+)}$	X	ハイ インピーダンス	リセッシブ (デフォルト High)	無効な操作です
5V	1.71V ～ 5.5V	H またはオープン	デバイスのモード(1)および TXD による	ミラー・バス	5V
5V	1.71V ～ 5.5V	L	ハイ インピーダンス	リセッシブ (デフォルト High)	OFF

(1) 通常モード (STB = L) では、バス出力は TXD に従います。それ以外の場合、スタンバイ モード (STB = H またはオープン) で、バス出力はハイ インピーダンスです。
(2) PCB 上で V_{ISOOUT} を V_{ISOIN} に短絡。GND2 ピンと GISOIN ピンが短絡され、EN/FLT = "High" です。

表 8-2 に、さまざまなドライバの機能モードを示します。

表 8-2. ドライバ機能表

入力					出力		
V_{DD} (1)	V_{IO}	EN/FLT	STB	入力 TXD	CANH (3)	CANL (3)	駆動されているバスの状態
PU	PU	H またはオープン	L	L	H	L	ドミナント
				H またはオープン	Z	Z	リセッシブ
			H またはオープン	X	ハイ インピーダンス	ハイ インピーダンス	グランドに弱いプルダウン
		L	X	X	ハイ インピーダンス	ハイ インピーダンス	グランドに弱いプルダウン
PD	PU	X	X	X	ハイ インピーダンス	ハイ インピーダンス	グランドに弱いプルダウン
PU	PD (2)	X	X	X	無効な操作です		

(1) PU = 電源オン、PD = 電源オフ、H = ハイ レベル、L = ロー レベル、X = 無関係、Z = 同相モード (リセッシブ) で V_{ISOIN}/2 にバイアス、Hi-Z = ハイ インピーダンス状態
(2) TXD で入力信号が強く駆動されると、内部保護ダイオードを経由してフローティング状態の V_{IO} に弱い電力が供給され、出力が不定になる可能性があります。
(3) V_{ISOOUT} が PCB 上で V_{ISOIN} に短絡され、GND2 ピンと GISOIN ピンが短絡されて、EN/FLT = High となります

通常モード (STB = L) では、CAN 出力はデータ入力 TXD のロジック状態に従います。TXD 入力がローレベルになると、CAN 出力はドミナント状態になります。そのため、式 2 で定義される差動出力電圧は正になります。TXD 入力がハイレベルになると、CAN BUS はリセッシブ状態になります。そのため、式 2 で定義される差動出力電圧は負になります。

$$V_{OD} = V_{CANH} - V_{CANL} \quad (2)$$

スタンバイ モード (STB = H またはオープン) では、両方の出力がハイ インピーダンス (Hi-Z) 状態になります。このモードでは、TXD ピンのロジック状態は無関係になります。STB ピンをオープンのままにすると、ドライバはデフォルトでディセーブル (バス出力が Hi-Z) になります。TXD ピンには内部プルアップ抵抗が備わっています。

Copyright © 2026 Texas Instruments Incorporated

表 8-3 に、さまざまなレシーバの機能モードを示します。

表 8-3. レシーバ機能表

入力						出力
V_{DD} (1)	V_{IO}	EN/FLT	STB	CAN 差動入力 $V_{ID} = V_{CANH} - V_{CANL}$	バスの状態	RXD (3)
PU	PU	H またはオープン	L	V_{ID} > 0.9V	ドミナント	L
				0.5V < V_{ID} < 0.9V	未定義	未定義
				V_{ID} < 0.5V	リセッシブ	H
			H またはオープン	V_{ID} > 1.15V	ドミナント	H (リモート ウェークイベントが発生した場合 L)
				0.4V < V_{ID} < 1.15V	未定義	
				V_{ID} < 0.4V	リセッシブ	
			X	オープン (V_{ID} = 0V)	オープン	H
		L	X	X	X	ハイ インピーダンス
PD	PU	X	X	X	X	ハイ インピーダンス
PU	PD (2)	X	X	X	X	無効な操作です

(1) PU = 電源オン、PD = 電源オフ、H = High レベル、L = Low レベル、X = 無関係、Hi-Z = 高インピーダンス状態
(2) TXD で入力信号が強く駆動されると、内部保護ダイオードを経由してフローティング状態の VIO に弱い電力が供給され、出力が不定になる可能性があります。
(3) PCB 上で V_{ISOOUT} を V_{ISOIN} に短絡。GND2 ピンと GISOIN ピンが短絡され、EN/FLT = High です

通常モード (STB = L) では、式 3 で定義される差動入力電圧が正の入力スレッショルド V_{IT+} を上回ると、レシーバの出力 RXD は "Low" になります。式 3 で定義される差動入力電圧が負の入力スレッショルド V_{IT-} を下回ると、レシーバの出力 RXD は "High" になります。V_{ID} 電圧が V_{IT+} と V_{IT-} スレッショルドの間にある場合、出力は不定になります。

$$V_{ID} = V_{CANH} - V_{CANL} \quad (3)$$

スタンバイ モード (STB = H またはオープン) では、RXD 出力は "High" になり、リモート ウェークアップ イベントが発生すると、RXD 出力は "Low" になります。

その他のデバイスの機能状態を、以下の 表 8-4 と 表 8-5 に示します。

表 8-4. DC/DC コンバータのイネーブル / ディスエーブル

入力			出力
V_{DD}	V_{IO}	EN/FLT	V_{ISOOUT}
PU	PU	H またはオープン	5V
PU	PU	L	OFF

表 8-5. 汎用ロジック入力 / 出力

入力				出力	コメント
V_{DD} (1) (2)	V_{IO}	EN/FLT	IN	OUT	
PU	PU	H またはオープン	H	H	出力チャネルは、IN によって決定されるロジック状態をとります
			L	L	
			オープン	L	デフォルト状態
		L	X	ハイ インピーダンス	V_{DD} または V_{IO} のいずれかが欠落すると、デバイスはディスエーブル状態になります
PD	PU	X	X	ハイ インピーダンス	
PU	PD	X	X	無効な操作です	

(1) PU = 電源オン、PD = 電源オフ、H = ロジック High、L = ロジック Low、X = 無関係、Hi-Z = 高インピーダンス (オフ) 状態
(2) PCB 上で V_{ISOOUT} を V_{ISOIN} に短絡。GND2 ピンと GISOIN ピンが短絡され、EN = High です

Copyright © 2026 Texas Instruments Incorporated

8.9 デバイス I/O 回路図

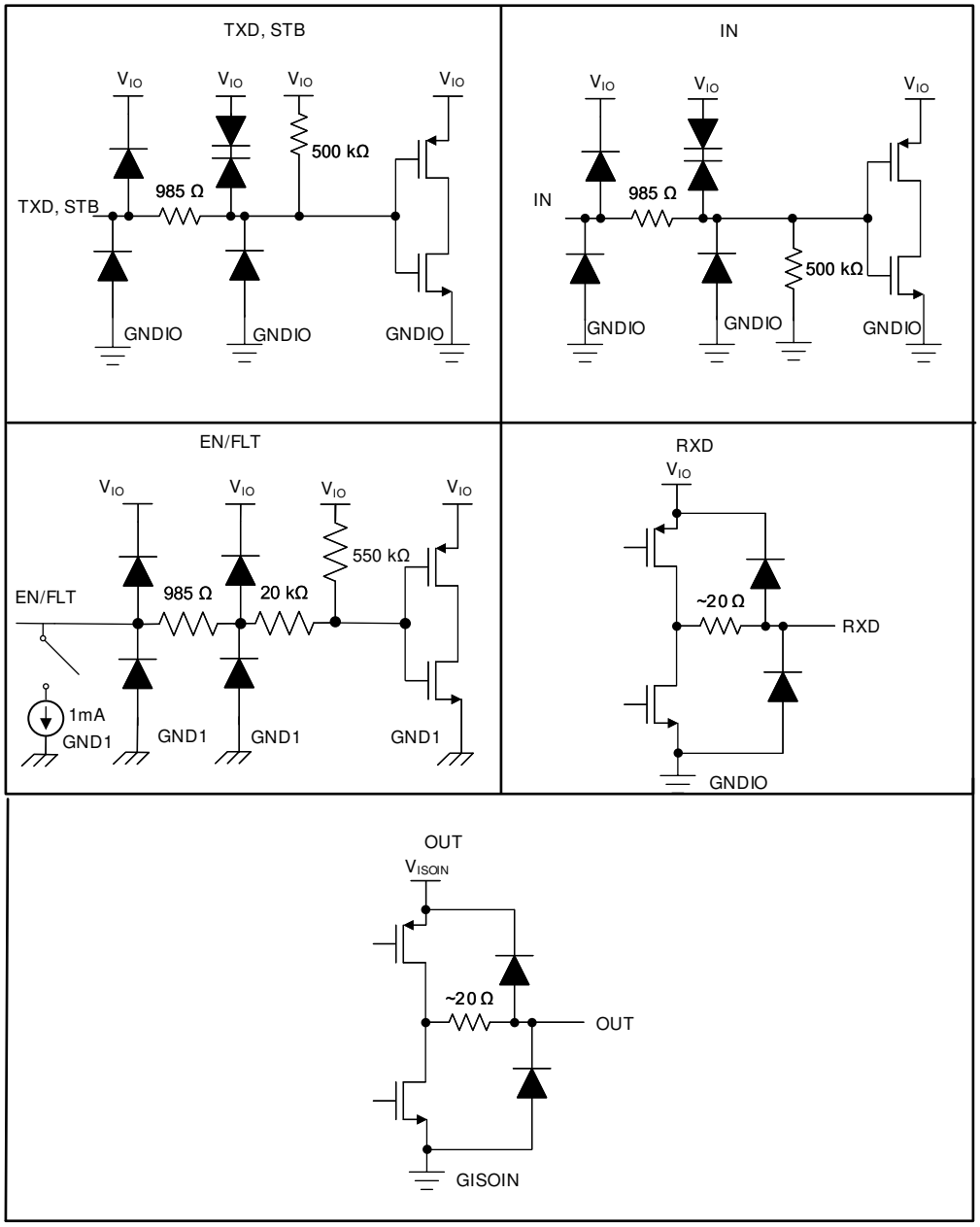


図 8-8. デバイス I/O 回路図

Copyright © 2026 Texas Instruments Incorporated

9 アプリケーションと実装

注

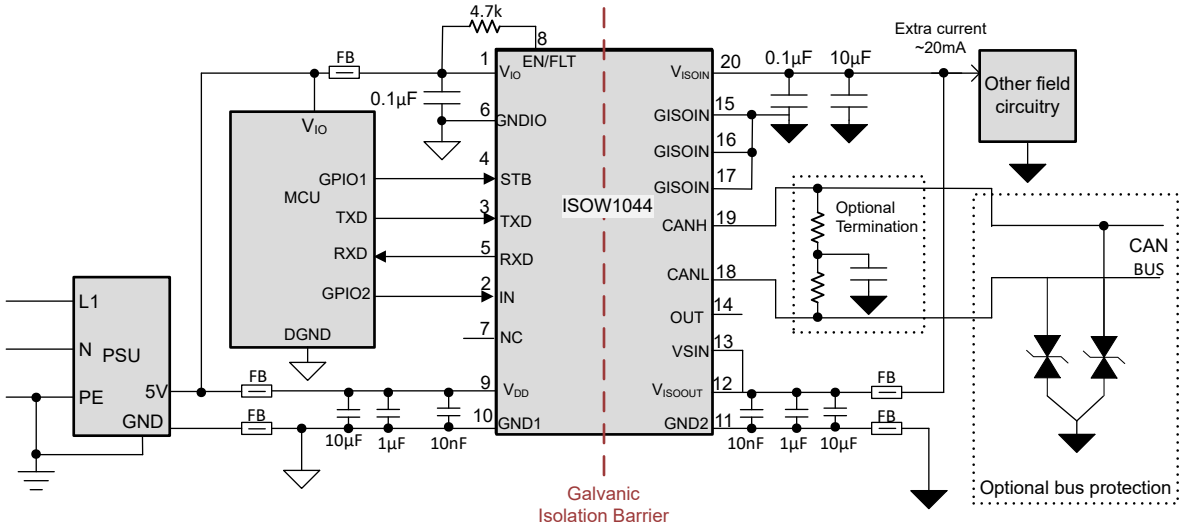
以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

ISOW1044 デバイスは、マイコンやリニア電圧レギュレータなどのテキサス インスツルメンツの他のコンポーネントと組み合わせて使用することで、完全に絶縁された CAN インターフェイスを構成できます。通常、絶縁型 CAN デバイスの両側に電源を供給するためには、互いに絶縁された 2 つの電源が必要です。このデバイスには、DC/DC コンバータが内蔵されているため、絶縁電源がデバイス内で生成され、CAN デバイスの絶縁側への電力供給および絶縁側に接続されるペリフェラルへの電力供給に使用できるため、基板面積を削減できます。

9.2 代表的なアプリケーション

ISOW1044 デバイスは、基板面積が限定されていて高集積を必要とするアプリケーション向けに設計されています。また、このデバイスは、所要の絶縁仕様を満たす電力トランスが大型で高価になる高電圧アプリケーション向けにも設計されています。このデバイスは、CAN プロトコルのリンク層部分を含むホスト マイコンや FPGA を用いたアプリケーションで使用できます。図 9-1 に、5V コントローラ アプリケーションの一般的なアプリケーション構成を示します。バス終端を、説明のために示します。ISOW1044 デバイスは、バスに外付け部品がないスタンドアロン構成において、IEC 61000-4-2 に準拠した接触放電 8kV の ESD (静電放電) に対応しています。同相モード チョーク (CMC) を使用する場合は、8kV の IEC ESD を達成するために、過渡電圧サプレッサ (TVS) の使用が必須となります。



Notes:
1. Keep 10 nF bypass capacitors close to V_{DD} and V_{ISOOUT} pins (< 1 mm) for optimum Radiated emissions performance
2. GND1 and GNDIO need be shorted directcly. GND2 and GISOIN need be shorted directly, or through ferrite beads.
3. All GISOIN pins (pin 15, 16, 17) need be shorted on PCB for optimum IEC-ESD performance.
4. V_{SIN} and V_{ISOOUT} must be shorted on PCB.

図 9-1. ISOW1044 のアプリケーション回路

Copyright © 2026 Texas Instruments Incorporated

9.2.1 設計要件

性能向上、バイアス供給、または電流制限のために複数の外付け部品を必要とするフォトカプラをベースとした設計とは異なり、ISOW1044 デバイスは、アプリケーション図に示すように、外付けのバイパス コンデンサのみで動作します。

デバイスの V_{DD} および V_{ISOOUT} 電源に非常に大きな電流が流れるため、一般的に、より大きなデカップリング コンデンサを使用するとノイズおよびリップル性能が向上します。10µF コンデンサで十分ですが、最高の性能を得るためには、V_{DD} および V_{ISOOUT} ピンの両方にそれぞれのグランドに対してより大容量のデカップリング コンデンサ (たとえば 47µF) を接続することを強く推奨します。

9.2.2 詳細な設計手順

9.2.2.1 バスの負荷、長さ、ノード数

ISO 11898-2 規格では、最大バス長は 40 メートル、最大スタブ長は 0.3 メートルと規定されています。ただし、入念な設計を行えば、より長いケーブルやスタブ、より多くのノードをバスに接続することも可能です。ノード数が多い場合には、ISOW1044 トランシーバのような高入力インピーダンスのトランシーバが必要になります。

多くの CAN の組織および規格は、元の ISO 11898-2 規格外のアプリケーションへと CAN の使用を拡大してきました。これらの組織および規格では、データレート、ケーブル長、およびバスの寄生負荷に関してシステムレベルでのトレードオフが定義されています。これらの仕様の例として、ARINC825、CANopen、DeviceNet、NMEA2000 などがあります。

ISOW1044 デバイスは、50Ω 負荷において 1.5V の要件を満たすように規定されており、トランシーバの並列接続などの最悪条件も考慮されています。デバイスの差動入力抵抗は最小で 30kΩ です。100 個の ISOW1044 トランシーバがバス上で並列接続されている場合、この要件は最悪条件の 300Ω 差動負荷と等価です。300 Ω のトランシーバ負荷を 60 Ω と並列にすると、50 Ω の等価負荷になります。したがって、ISOW1044 デバイスは理論上、単一のバス セグメント上で最大 100 個のトランシーバをサポート可能です。ただし、CAN ネットワークの設計では、システムおよびケーブル配線全体での信号損失、寄生負荷、ネットワークの不均衡、グランドオフセット、および信号の完全性に対してマージンを与える必要があるため、実際の最大ノード数は通常、はるかに少なくなります。慎重なシステム設計とデータ レートのトレードオフにより、バスの長さは元の ISO 11898 標準の 40m を超えて拡張することもできます。たとえば、CAN オープン ネットワーク設計ガイドラインによると、終端抵抗やケーブル配線を変更し、64 ノード未満にし、データ レートを大幅に低下させてもいい場合、ネットワークを最大 1km にすることができます。

CAN ネットワーク設計におけるこの柔軟性は、元の ISO 11898-2 CAN 規格に基づいて構築されたさまざまな拡張規格および追加規格の重要な強みの 1 つです。この柔軟性を活かすには、適切なネットワーク設計とこれらのトレードオフのバランスを取る責任が伴います。

9.2.2.2 CAN の終端

ISO11898 規格では、相互接続は 120Ω の特性インピーダンス (Z_O) を持つシングル・ツイストペア ケーブル (シールド付きまたはシールドなし) と規定されています。信号の反射を防ぐため、ラインの特性インピーダンスと等しい抵抗を使用してケーブルの両端を終端する必要があります。ノードをバスに接続する終端されていないドロップライン (スタブ) は、信号の反射を最小限に抑えるために、できるだけ短くする必要があります。終端はノードに設けることもできますが、ノードがバスから取り外された場合でも終端がバスから失われないよう、終端の配置には注意が必要です。

Copyright © 2026 Texas Instruments Incorporated

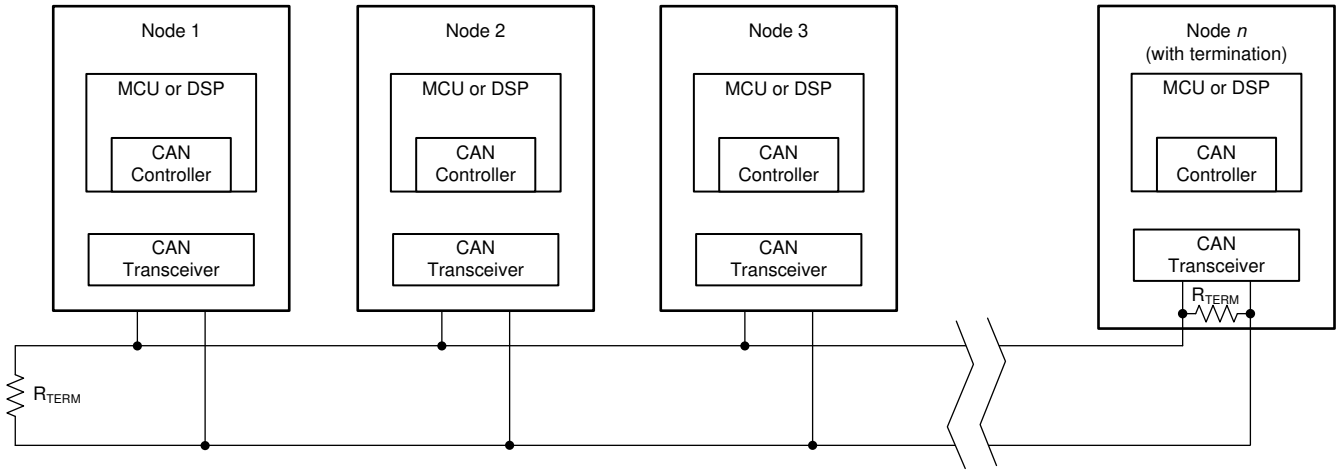


図 9-2. 代表的な CAN バス

終端として、ケーブル上または終端ノード内のいずれかで、バスの端に単一の 120Ω 抵抗を配置することができます。バスの同相モード電圧のフィルタリングおよび安定化が必要な場合、以下の終端方式としてスプリット終端を使用できます。分割終端は、メッセージ送信の開始時と終了時のバス同相電圧の変動を排除することで、ネットワークの電磁放射の挙動を改善します。

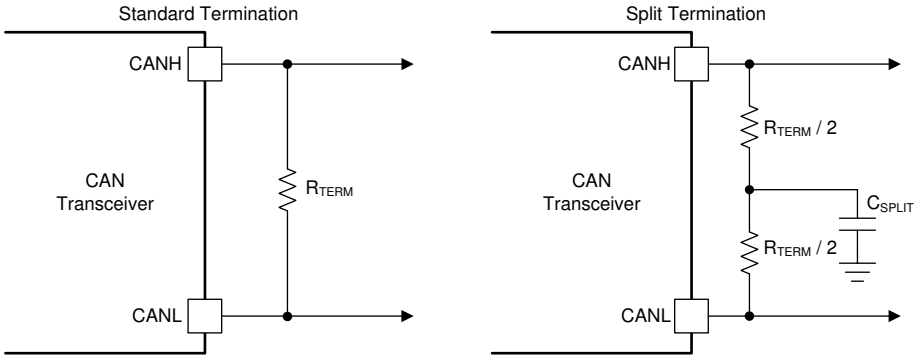
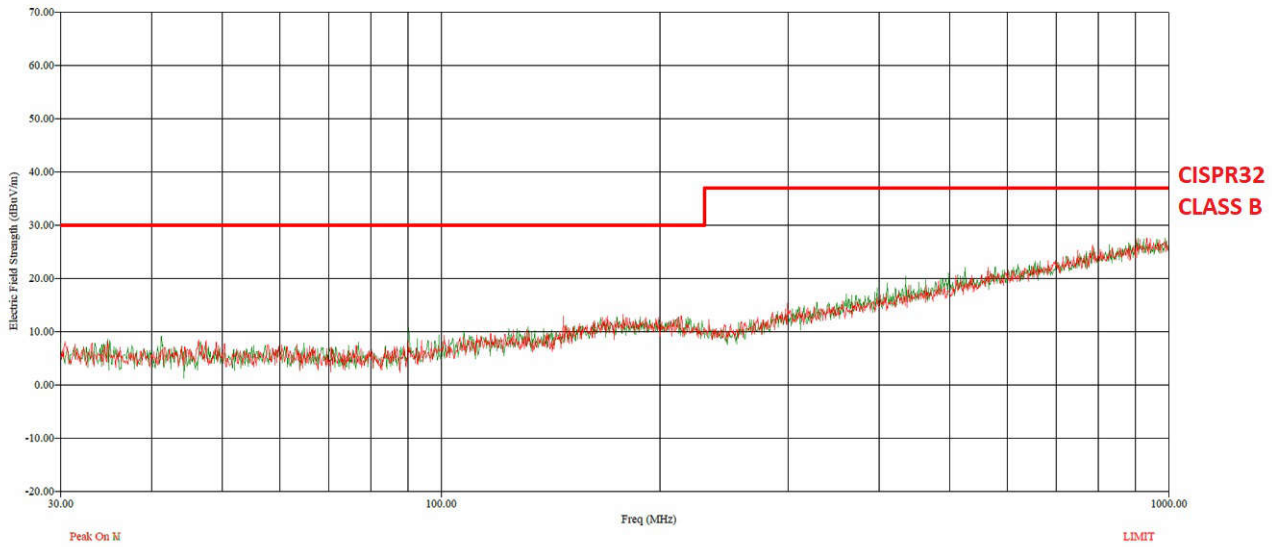


図 9-3. CAN バス終端の概念

9.2.3 アプリケーション曲線



赤:ピーク垂直スキャン。緑:ピーク水平スキャン

V_{DD} = 5V　　V_{ISOOUT} = 5V　　データ レート = 1Mbps

図 9-4. ISOW1044 の放射エミッションと CISPR32B 規制値との比較

9.2.3.1 絶縁寿命

絶縁寿命予測データは、業界標準の TDDB (Time Dependent Dielectric Breakdown、経時絶縁破壊) テスト手法を使用して収集されます。このテストでは、バリアのそれぞれの側にあるすべてのピンを互いに接続して 2 つの端子を持つデバイスを構成し、その両側に高電圧を印加します。TDDB テスト構成については、図 9-5 を参照してください。この絶縁破壊データは、動作温度範囲で、さまざまな電圧について 60Hz でスイッチングして収集されます。強化絶縁について、VDE 規格では、100 万分の 1 (ppm) 未満の故障率での TDDB (経時絶縁破壊) 予測曲線の使用が求められています。期待される最小絶縁寿命は、規定の動作絶縁電圧において 20 年ですが、VDE の強化絶縁認証には、動作電圧について 20%、寿命について 50% の安全マージンがさらに必要となります。すなわち、規定値よりも 20% 高い動作電圧で、30 年の最小絶縁寿命が必要であることになります。図 9-6 に、寿命全体にわたって高電圧ストレスに耐えることができる、絶縁バリアの固有能力を示します。この TDDB データによれば、絶縁バリアの固有能力は 1000V_{RMS}、寿命は 100 年以上です。

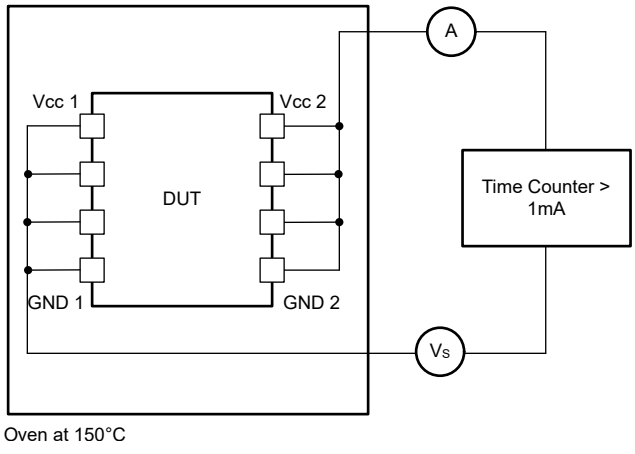


図 9-5. 絶縁寿命測定用のテスト構成

Copyright © 2026 Texas Instruments Incorporated

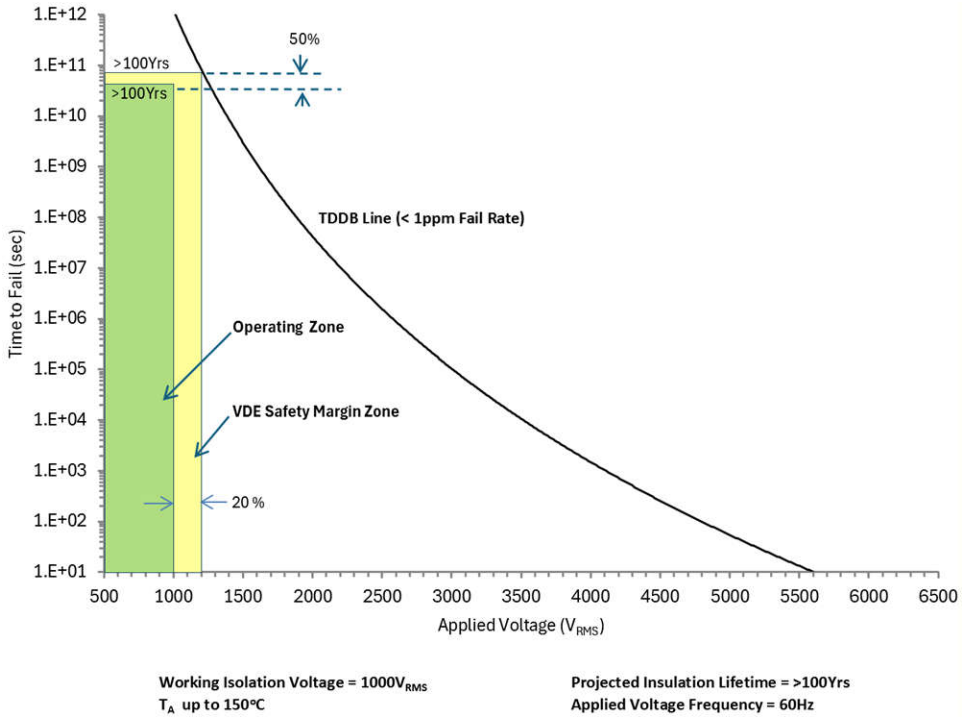


図 9-6. 絶縁寿命予測データ

9.3 電源に関する推奨事項

すべてのデータ レートおよび電源電圧において動作の信頼性を確保するために、適切なデカップリング コンデンサを電源ピンのできるだけ近くに配置する必要があります。パワー コンバータ入力 V_{DD} および出力 V_{ISOOUT} 電源ピンには、高周波セラミック コンデンサ 10nF とバルクコンデンサ 10µF をピンに最低でも近づけて配置する必要があります。信号パス電源ピン V_{IO} および V_{ISOIN} には、デバイス ピンの近くに 100nF 以上の値のセラミック バイパス コンデンサを配置する必要があります。ISOW10144 は、ISOW1044 の V_{DD} に電力を供給しているパワー ソースから、全負荷条件下において、短時間 (数十 µs) の間、最大 250mA の典型的なピーク パルス電流を消費する場合があります。上流のパワー デバイスの電流制限値が標準値で 300mA 以上であることを確認してください。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

図 11-1 に、デバイスのバイパス コンデンサの推奨配置と配線を示します。低エミッション設計を実現するために、以下のガイドラインに従ってください:

1. 高周波バイパス コンデンサ (10nF) は、V_{DD} および V_{ISOOUT} ピンの近く、デバイスピンから 1mm 以内の位置に配置してください。これは、放射エミッション性能を最適化するには非常に不可欠です。コンデンサがインダクタンス (ESL) が最も小さい 0402 サイズであることを確認します。
2. 少なくとも 10µF のバルク コンデンサは、レイアウト例に示すように、10nF コンデンサの後段に、電源コンバータの入力 (V_{DD}) および出力 (V_{ISOOUT}) 電源ピンに対して、2 ～ 4mm の距離で配置してください。
3. バイパス コンデンサまで、V_{DD} と GND1 のパターンを対称にする必要があります。V_{ISOOUT} と GND2 のパターンを対称にする必要があります。
4. 0402 サイズのフェライト ビーズ (型番:BLM15EX331SN1) 2 個を電源ピンに配置します。1 個は V_{ISOOUT} と V_{ISOIN} の間、もう 1 個は GND2 (ピン 11) と GND2 (ピン 15) の間です (PCB レイアウトの例を参照)。これにより、パワー コンバータ出力からの高周波ノイズが PCB 上の他の部品に到達する前にハイ インピーダンスでブロックされます。
5. パワー コンバータの出力端子 V_{ISOOUT} (ピン 12) および GND2 (ピン 11) から 4mm 以内には、金属配線やグランド プレーンを配置しないでください。

Copyright © 2026 Texas Instruments Incorporated

6. トランジェント、ESD、およびノイズが基板上へ伝播するのを防ぐために、CAN BUS の保護およびフィルタ回路はバス コネクタの近くに配置します。このレイアウト例では、オプションの過渡電圧抑制 (TVS) ダイオード D1 を示しています。システム レベルの要件がトランシーバの規定定格を超える場合に実装できます。この例では、オプションとして 68pF のバス フィルタ コンデンサが 2 つあることも示されています
7. バス端子 (CANH/CANL) に同相モード チョークやフェライト ビーズを使用することで、アンテナのように作用してノイズを増幅する可能性のある CAN バス ケーブルに結合する高周波ノイズを最小限に抑えることができます。これにより、放射エミッション性能がシステム レベルで改善されます。
8. 低放射エミッションの設計を行うためには、EVM のレイアウトガイドラインに従うことを強く推奨します。評価基板のリンクは、関連資料で利用できます。

9.4.2 レイアウト例

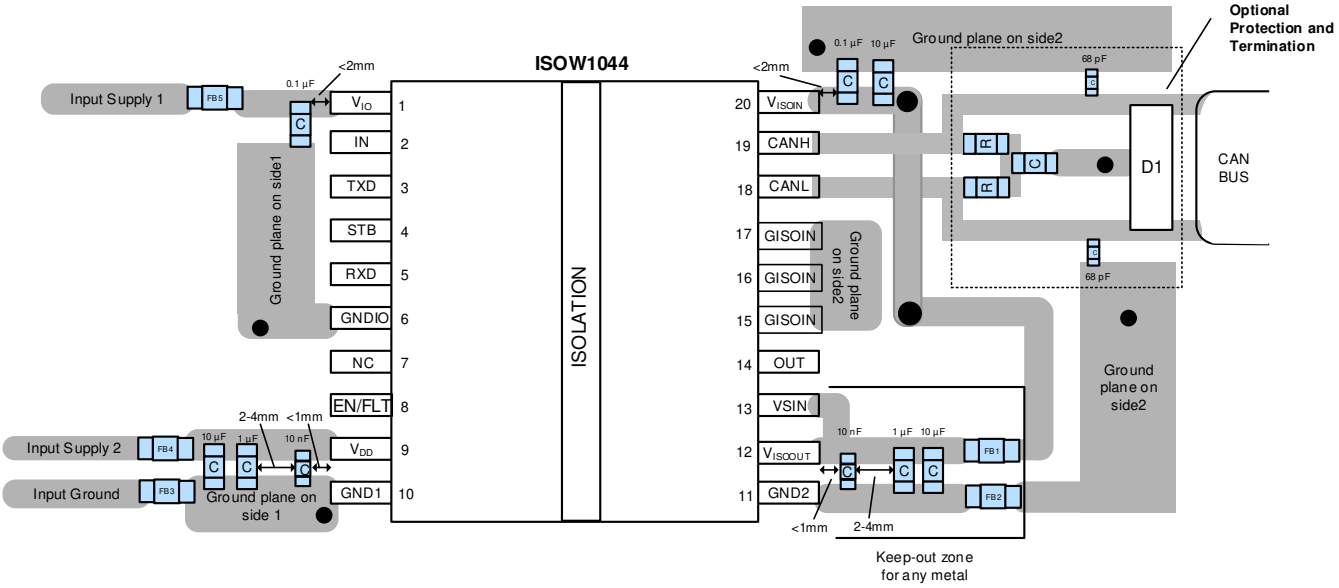


図 9-7. レイアウト例

Copyright © 2026 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『デジタル アイソレータ設計ガイド』
- テキサス インスツルメンツ、『絶縁の用語集』
- ISOW1044DFM 評価ボード

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の「Alert me」(アラートを受け取る) をクリックして登録すると、製品情報の更新に関する週次ダイジェストを受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (December 2021) to Revision B (August 2026)	Page
• ドキュメント全体を通して VDE 認証の情報を更新	1
• DIN EN IEC 60747-17 (VDE 0884-17) に準拠して「絶縁仕様」セクションを更新	8
• 関連する証明書に記載されている内容を削除して「安全関連認証」セクションを更新	9
• 文書全体にわたって従来の用語を「コントローラ」と「ターゲット」に変更	27
• 「絶縁寿命」セクションと「絶縁寿命予測データ」のグラフを更新	34

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision * (March 2021) to Revision A (December 2021) **Page**

- デバイスのステータスを「量産」に更新 2

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーションをご覧ください。

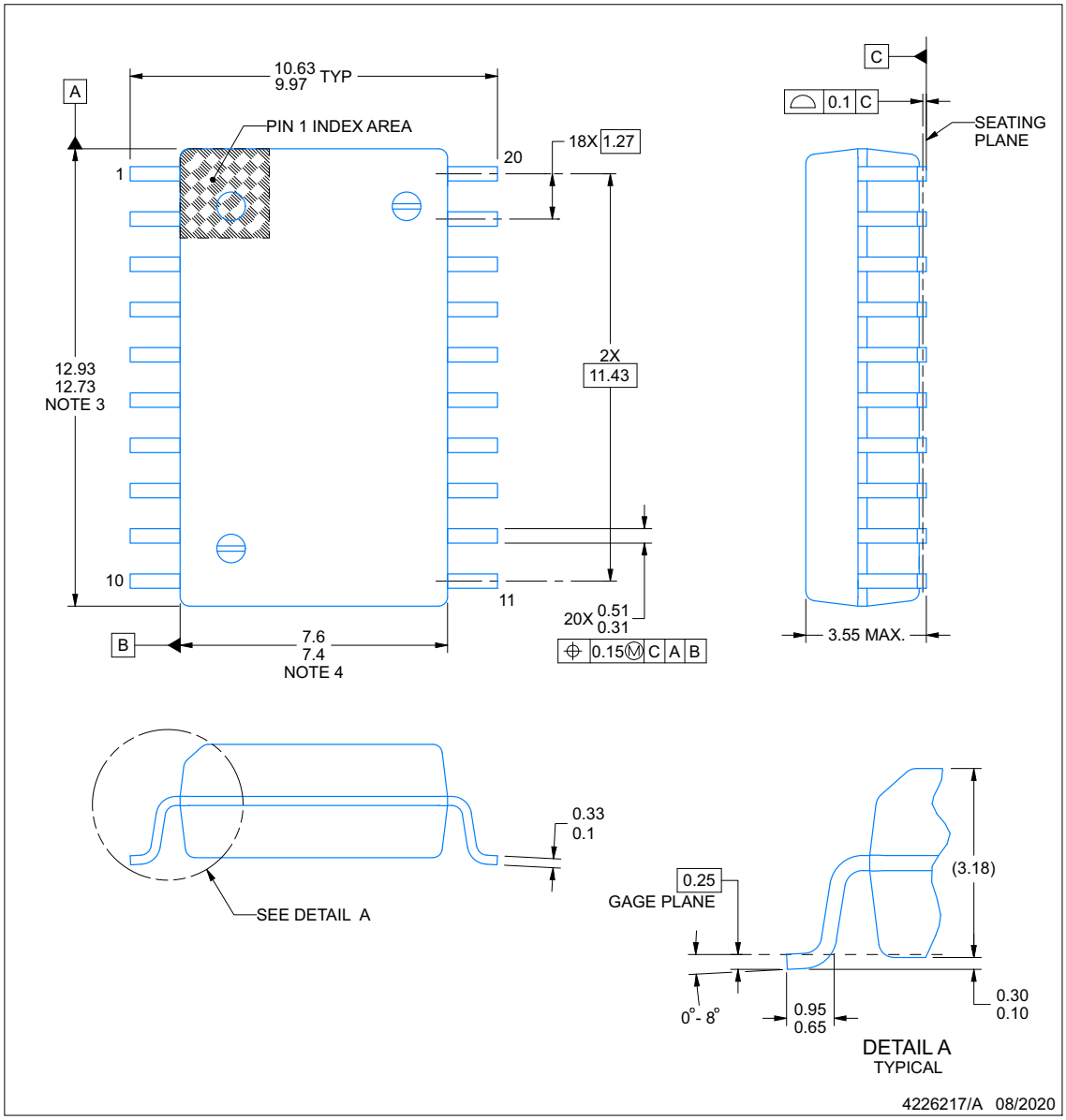
Copyright © 2026 Texas Instruments Incorporated

PACKAGE OUTLINE

DFM0020A-C01

SOIC - 3.55 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Ref. JEDEC registration MS-013

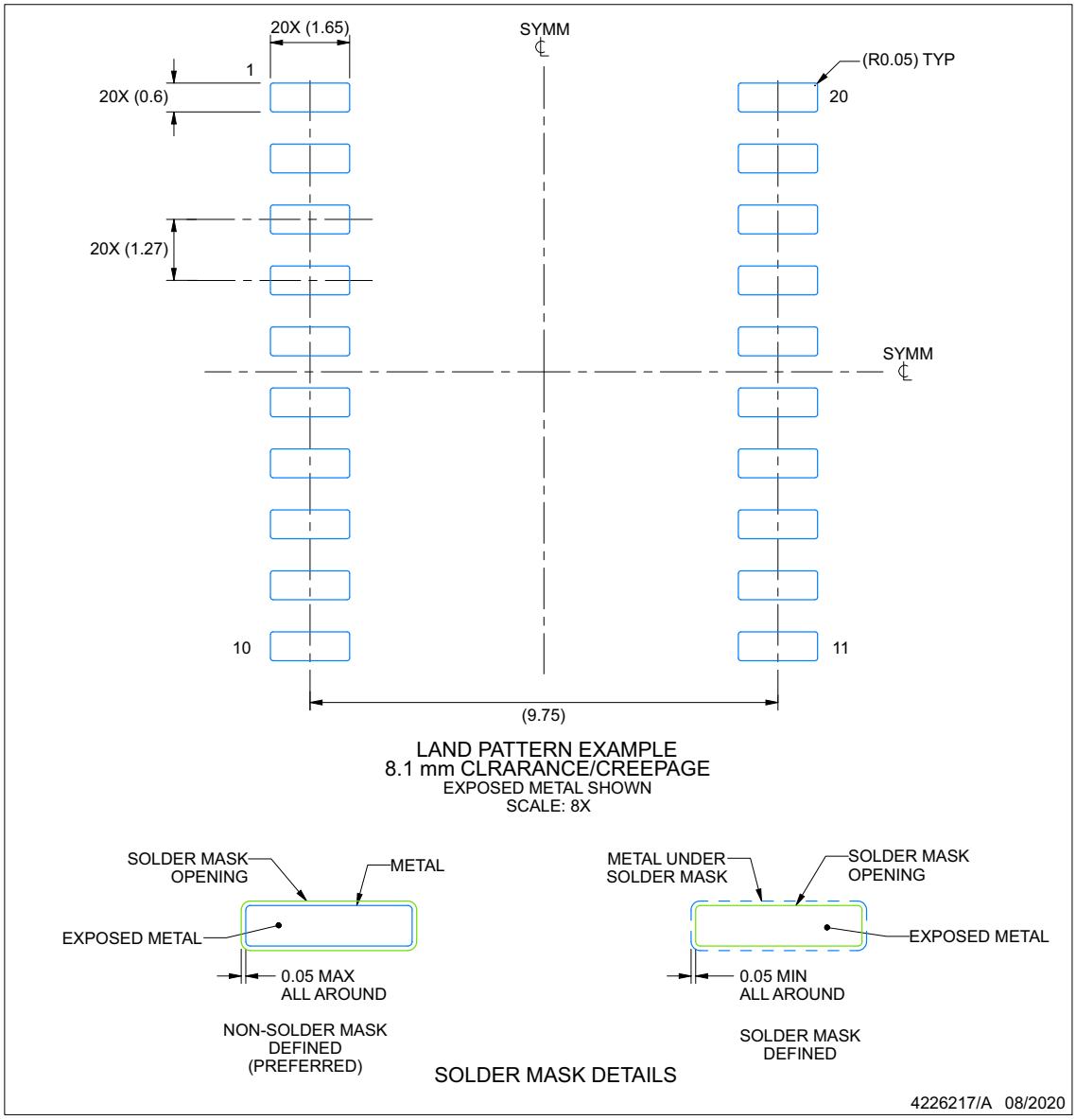
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

DFM0020A-C01

SOIC - 3.55 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

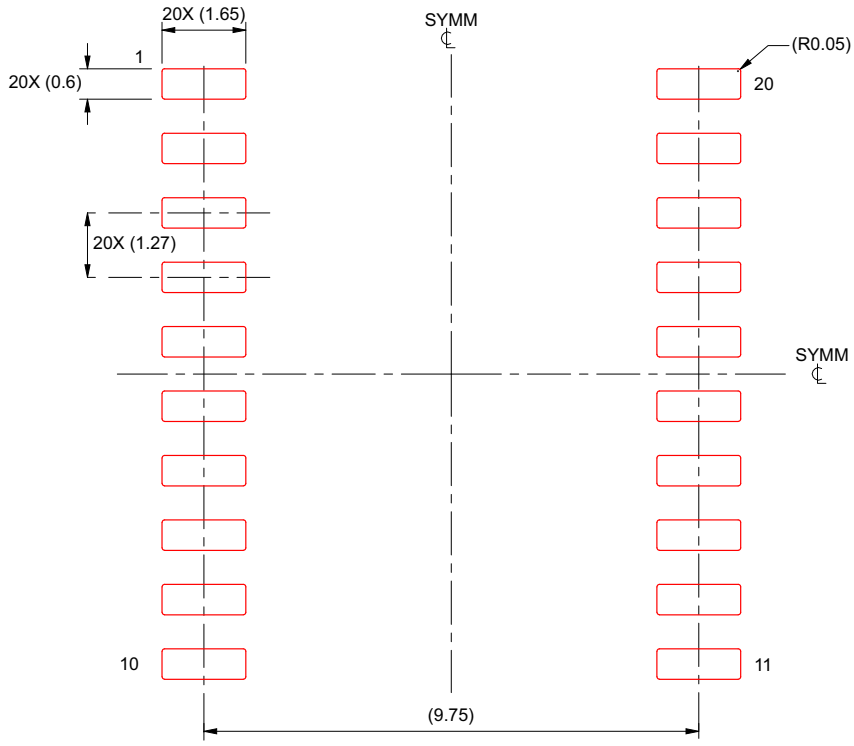
Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DFM0020A-C01

SOIC - 3.55 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
8.1 mm CLEARANCE/CREEPAGE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

4226217/A 08/2020

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISOW1044BDFMR	Active	Production	SOIC (DFM) | 20	850 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW1044
ISOW1044BDFMR.A	Active	Production	SOIC (DFM) | 20	850 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW1044
ISOW1044DFMR	Active	Production	SOIC (DFM) | 20	850 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW1044
ISOW1044DFMR.A	Active	Production	SOIC (DFM) | 20	850 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW1044
ISOW1044DFMRG4	Active	Production	SOIC (DFM) | 20	850 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW1044
ISOW1044DFMRG4.A	Active	Production	SOIC (DFM) | 20	850 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW1044

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

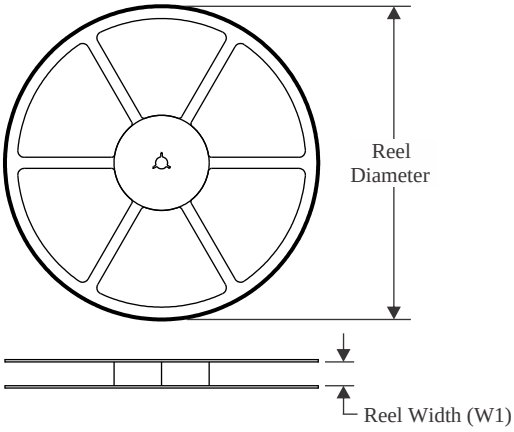
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

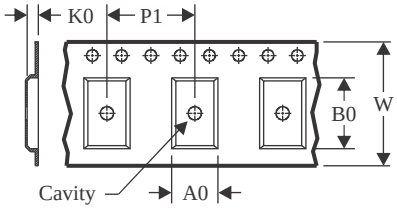
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

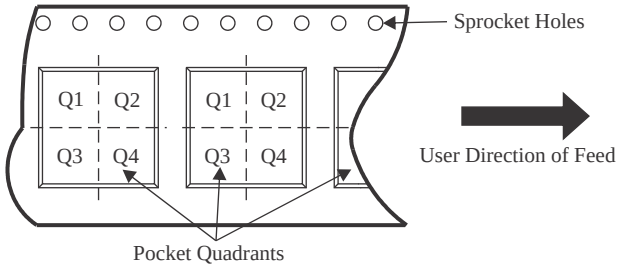


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

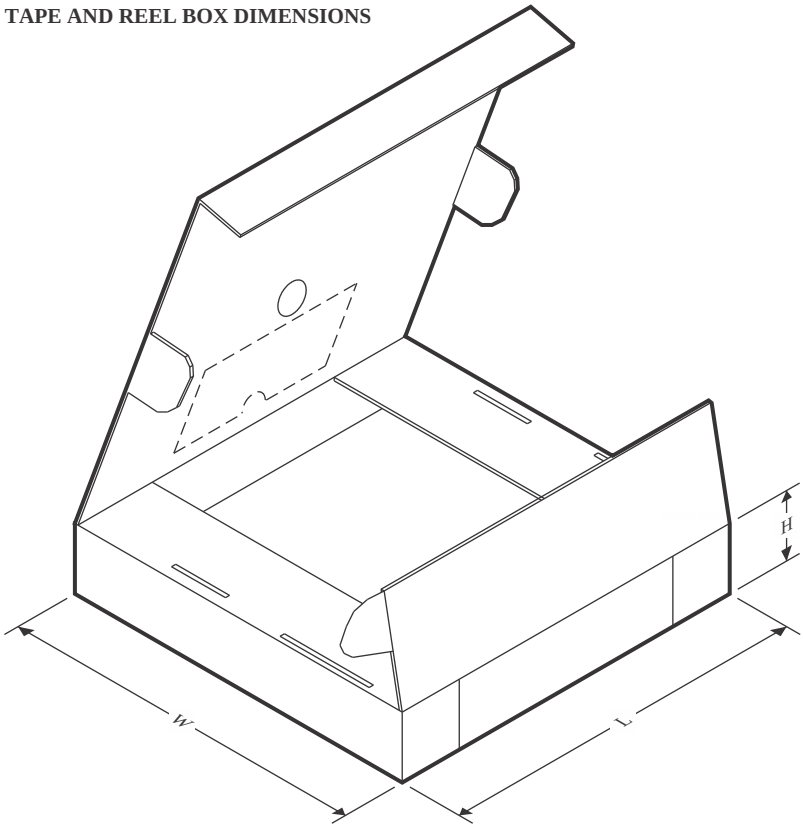
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISOW1044BDFMR	SOIC	DFM	20	850	330.0	24.4	10.85	13.4	4.0	16.0	24.0	Q1
ISOW1044DFMR	SOIC	DFM	20	850	330.0	24.4	10.85	13.4	4.0	16.0	24.0	Q1
ISOW1044DFMRG4	SOIC	DFM	20	850	330.0	24.4	10.85	13.4	4.0	16.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

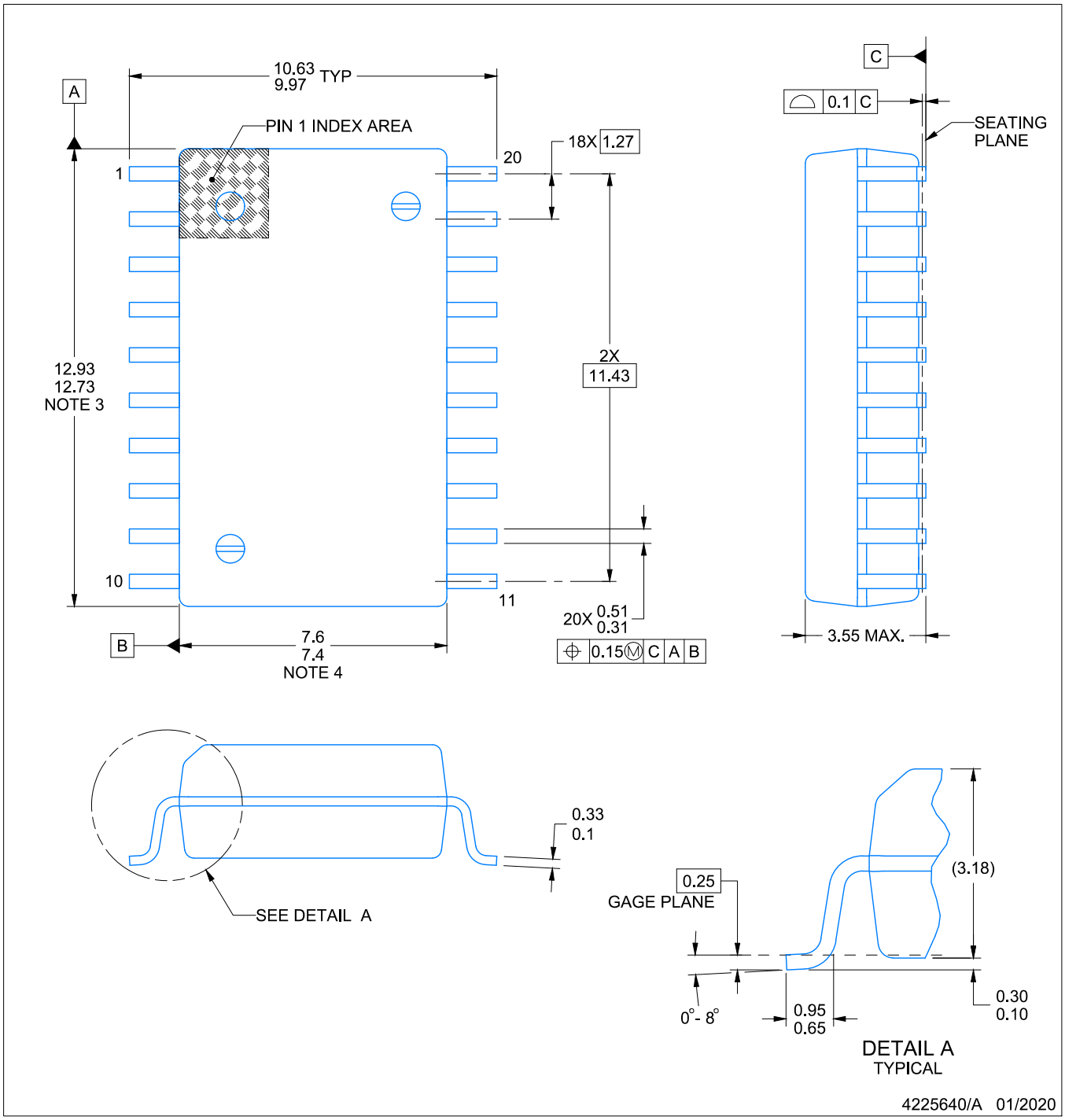
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISOW1044BDFMR	SOIC	DFM	20	850	350.0	350.0	43.0
ISOW1044DFMR	SOIC	DFM	20	850	350.0	350.0	43.0
ISOW1044DFMRG4	SOIC	DFM	20	850	350.0	350.0	43.0

PACKAGE OUTLINE

DFM0020A

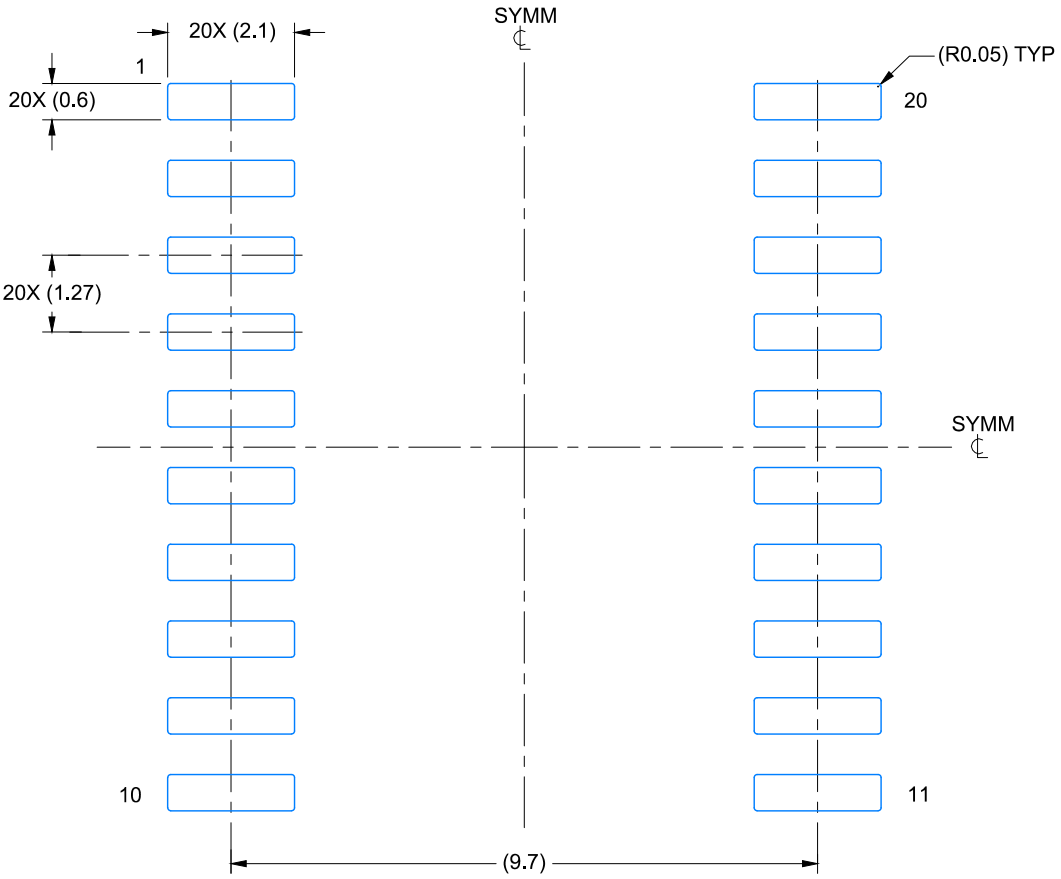
SOIC - 3.55 mm max height

SMALL OUTLINE PACKAGE

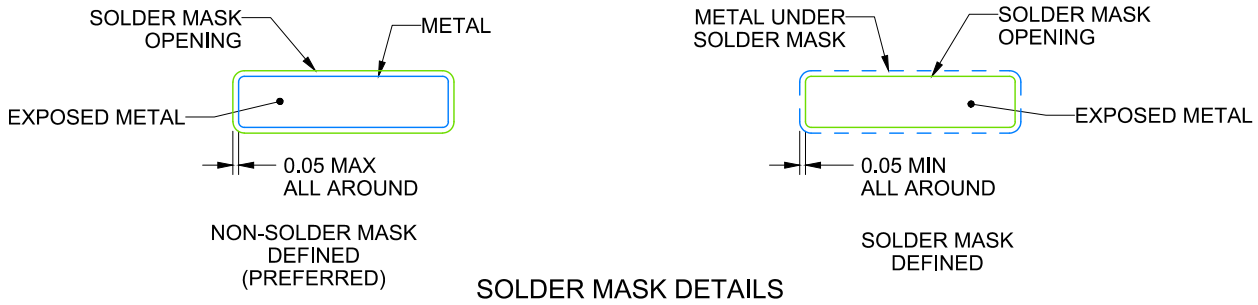


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Ref. JEDEC registration MS-013



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X

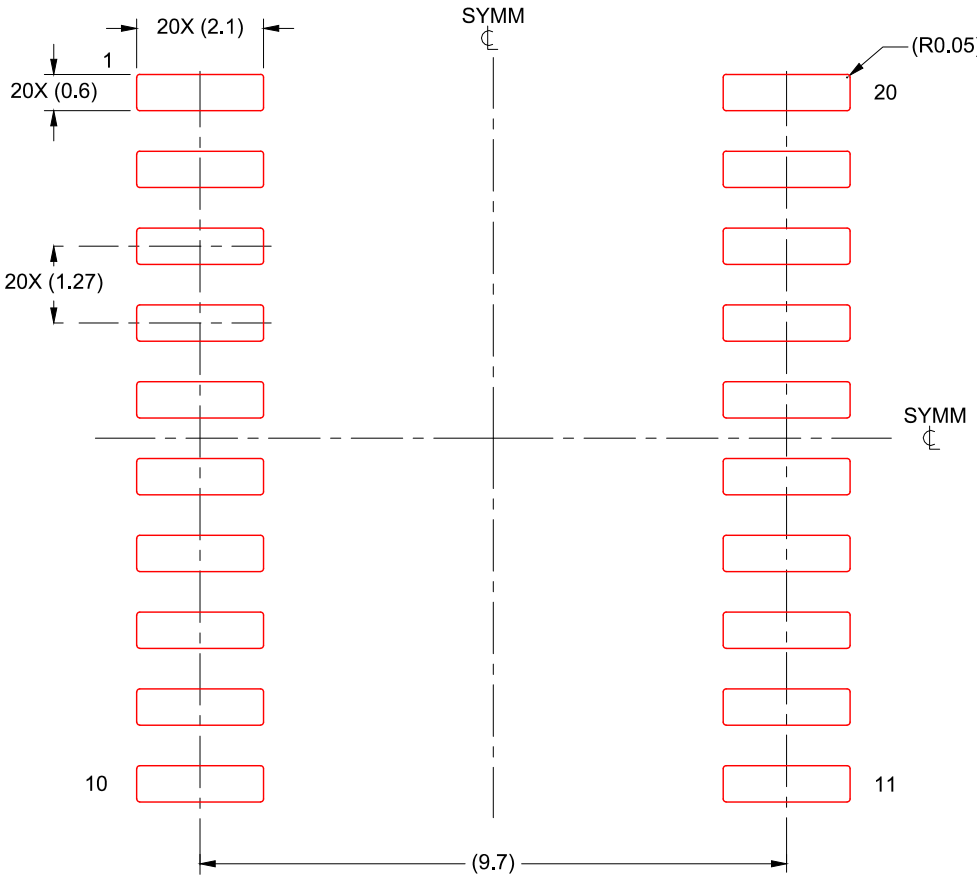


SOLDER MASK DETAILS

4225640/A 01/2020

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

4225640/A 01/2020

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月