

ISOW644x 堅牢 EMC 強化絶縁クワッド チャネル デジタル アイソレータ、統合 DC-DC コンバータ

1 特長

- 最大 150Mbps のデータレート
- クラス最高の放射を実現する内蔵 DC/DC コンバータ。
- 2 層基板で CISPR 32 を満たす放射エミッションに最適化
- 低い出力リップル: 30mV
- 高効率出力電力
 - 3.3V または 5V の絶縁型出力電圧を選択可能
 - 最大負荷時の効率: 42.5%
 - 最大 0.55W の出力電力
 - V_{ISO} 精度: 10%
 - 5V~5V: 最大利用可能負荷電流 = 110mA
 - 5V~3.3V: 最大利用可能負荷電流 = 140mA
 - 3.3V~3.3V: 最大利用可能負荷電流 = 60mA
- 低伝搬遅延時間: 7.3ns (標準値)
- ISOW644xV におけるチャネル アイソレータおよびパワー コンバータ用の独立電源
 - ロジック電源 (V_{DDL}): 2.25V ~ 5.5V
- 堅牢な電磁両立性 (EMC)
 - システム レベルでの ESD、EFT、サージ耐性
- 高 CMTI: 200kV/μs (標準値)
- 過電圧に耐性を持つ入力
- サポートする最大 SPI: 5V での 25MHz、3.3V での 20.8MHz
- 拡張温度範囲: -55°C ~ 125°C
- 16 ピンのワイド ボディ SOIC パッケージ
- 安全関連認証 (予定):
 - DIN EN IEC 60747-17 (VDE 0884-17)
 - UL 1577 部品認定プログラム
 - IEC 62368-1、IEC 61010-1、IEC 60601-1、GB 4943.1 認定

2 アプリケーション

- ファクトリ オートメーション
- モータ制御
- グリッド インフラ
- 医療用機器
- 試験および測定機器

3 説明

ISOW644x デバイスは、ISOW6441DWEEVM でテストされたクラス最高レベルの低放射性能を備えた高効率電力コンバータを内蔵した、絶縁型の 4 チャネル デジタル アイソレータです。内蔵の DC-DC コンバータにより、最大

550mW の絶縁電力を供給できるため、スペースに制約のある絶縁設計において個別の絶縁電源が不要です。

この電力コンバータは効率がいため、-55°C ~ 125°C の広い周囲温度範囲で動作します。ISOW644x は、突入電流を制限するソフトスタート、過電圧および低電圧誤動作防止、過負荷および短絡保護、サーマル シャットダウンなど、保護機能の強化を念頭に置いて設計されています。

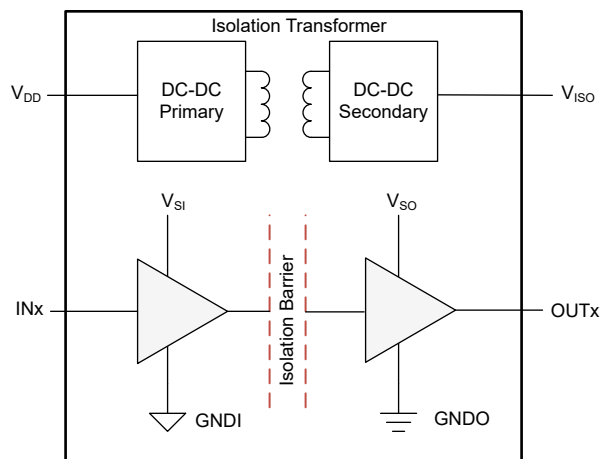
ISOW644x ファミリーおよびは、CMOS または LVCMOS デジタル I/O を絶縁しつつ、高い電磁耐性を提供します。信号絶縁チャネルでは、二酸化ケイ素 (SiO₂) の絶縁バリアによってロジック入力バッファと出力 バッファが分離されています。一方、電力絶縁には、薄膜ポリマーを絶縁材料としたオンチップトランスが使用されています。ISOW644x の 4 チャネルデバイスには 2 種類の構成があり、型番の末尾の数字で逆方向チャネルの数を示します。たとえば、ISOW6441 デバイスには 3 つの順方向チャネルと 1 の逆方向チャネルがあり、ISOW6442 デバイスには 2 つの順方向チャネルと 2 つの逆方向チャネルがあります。入力信号が失われた場合、接尾辞 F の付いていない ISOW644x デバイスのデフォルト出力は high になり、接尾辞 F の付いている ISOW644x デバイスのデフォルト出力は low になります。ISOW644xV は、V_{DDL} ピンと V_{DD} ピンの異なる電源電圧で動作できます。これらのデバイスは、V_{DDL} ピンで 2.25V ~ 5.5V のロジック電源をサポートし、3V ~ 5.5V のパワー コンバータ電源電圧 (V_{DD}) とは別に設定できます。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)	パッケージサイズ (2)
ISOW6441、 ISOW6441F ISOW6442(3)、 ISOW6442F(3) ISOW6441V、 ISOW6441VF ISOW6442V(3)、 ISOW6442VF(3)	DWE (SOIC、 16)	10.30mm × 7.50mm	10.30mm × 10.30mm

- 詳細については、メカニカル、パッケージ、および注文情報を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- 事前情報のみ。



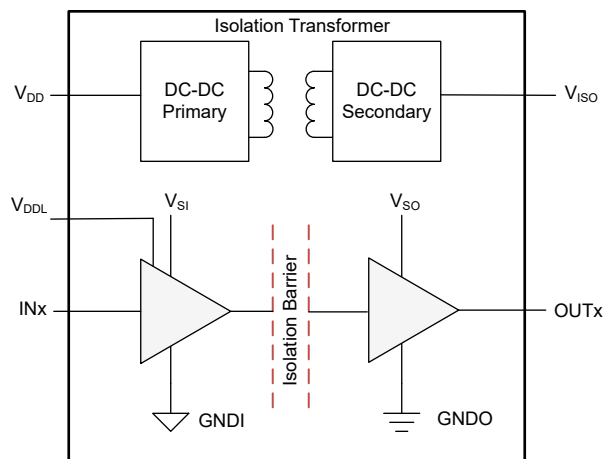


V_{DD} is the primary supply voltage referenced to GND1. V_{ISO} is the isolated supply voltage referenced to GND2.

V_{SI} and V_{SO} can be either V_{DD} or V_{ISO} depending on the channel direction.

V_{SI} is the input-side supply voltage referenced to GND1 and V_{SO} is the output-side supply voltage referenced to GNDO.

ISOW644x 概略回路図

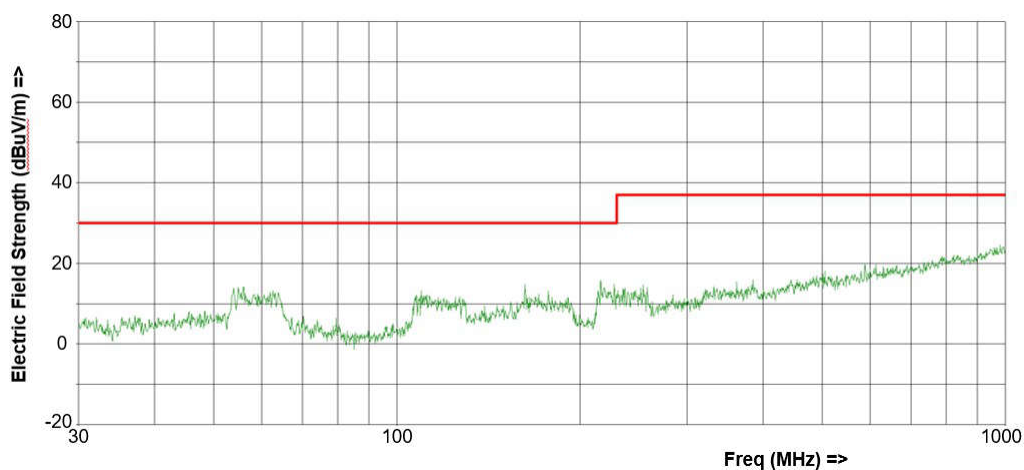


V_{DD} is the primary supply voltage referenced to GND1. V_{ISO} is the isolated supply voltage referenced to GND2.

V_{SI} and V_{SO} can be either V_{DDL} or V_{ISO} depending on the channel direction.

V_{SI} is the input-side supply voltage referenced to GND1 and V_{SO} is the output-side supply voltage referenced to GNDO.

ISOW644xV 概略回路図



ISOW644x の CISPR-32 140mA 負荷による 5V (入力) および 3.3V (出力) モード放射エミッション曲線、
ISOW6441DWEEVM でテスト済み

目次

1 特長	1	5.19 スイッチング特性 — $V_{DDL} = 5V$, $V_{ISO} = 5V$	20
2 アプリケーション	1	5.20 スイッチング特性 — $V_{DDL} = 3.3V$, $V_{ISO} = 3.3V$	20
3 説明	1	5.21 スイッチング特性 — $V_{DDL} = 2.5V$, $V_{ISO} = 5V$	21
4 ピン構成および機能	4	5.22 スイッチング特性 — $V_{DDL} = 2.5V$, $V_{ISO} = 3.3V$	21
5 仕様	6	5.23 絶縁特性曲線.....	22
5.1 絶対最大定格.....	6	5.24 代表的特性.....	22
5.2 ESD 定格.....	6	6 パラメータ測定情報	27
5.3 推奨動作条件.....	7	7 詳細説明	29
5.4 熱に関する情報.....	8	7.1 概要.....	29
5.5 電力定格.....	8	7.2 機能ブロック図.....	29
5.6 絶縁仕様.....	9	7.3 機能説明.....	30
5.7 安全関連認証.....	10	7.4 デバイスの機能モード.....	33
5.8 安全限界値.....	10	8 アプリケーションと実装	35
5.9 電気的特性 - パワー コンバータ.....	11	8.1 アプリケーション情報.....	35
5.10 電源電流特性 - パワー コンバータ.....	12	8.2 代表的なアプリケーション.....	35
5.11 電気的特性 - 絶縁チャネル - $V_{DD} = 5V$, $V_{DDL} =$ $5V$, $V_{ISO} = 5V$	13	8.3 電源に関する推奨事項.....	36
5.12 電源電流特性 - 絶縁チャネル - $V_{DD} = 5V$, V_{DDL} $= 5V$, $V_{ISO} = 5V$	13	8.4 レイアウト.....	37
5.13 電気的特性 - 絶縁チャネル - $V_{DD} = 5V$, $V_{DDL} =$ $5V$, $V_{ISO} = 3.3V$	15	9 デバイスおよびドキュメントのサポート	39
5.14 電源電流特性 - 絶縁チャネル - $V_{DD} = 5V$, V_{DDL} $= 5V$, $V_{ISO} = 3.3V$	15	9.1 デバイス サポート.....	39
5.15 電気的特性 - 絶縁チャネル - $V_{DD} = 3.3V$, V_{DDL} $= 3.3V$, $V_{ISO} = 3.3V$	17	9.2 ドキュメントのサポート.....	39
5.16 電源電流特性 - 絶縁チャネル - $V_{DD} = 3.3V$, $V_{DDL} = 3.3V$, $V_{ISO} = 3.3V$	17	9.3 ドキュメントの更新通知を受け取る方法.....	39
5.17 電気的特性 - 絶縁チャネル - $V_{DDL} = 2.5V$	19	9.4 サポート・リソース.....	39
5.18 電源電流特性 - 絶縁チャネル - $V_{DDL} = 2.5V$	19	9.5 商標.....	39
		9.6 静電気放電に関する注意事項.....	39
		9.7 用語集.....	39
		10 改訂履歴	39
		11 メカニカル、パッケージ、および注文情報	41
		11.1 テープおよびリール情報.....	44

4 ピン構成および機能

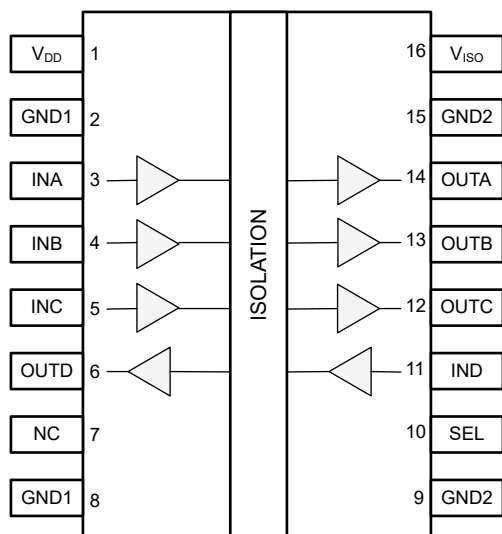


図 4-1. ISOW6441 DWE パッケージ 16 ピン SOIC-WB 上面図

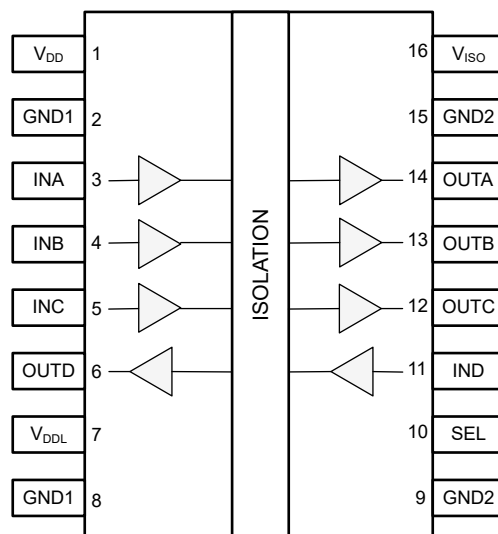


図 4-2. ISOW6441V DWE パッケージ 16 ピン SOIC-WB 上面図

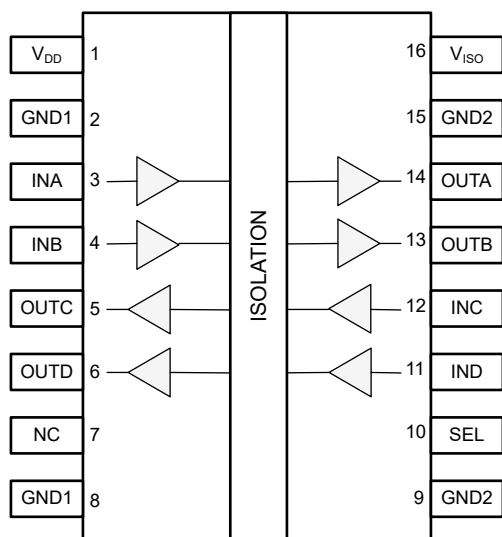


図 4-3. ISOW6442 DWE パッケージ 16 ピン SOIC-WB 上面図

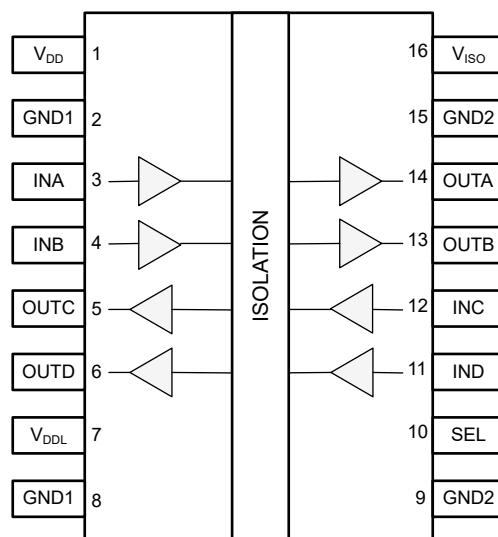


図 4-4. ISOW6442V DWE パッケージ 16 ピン SOIC-WB 上面図

表 4-1. ピンの機能

ピン			種類 ⁽¹⁾	説明
名称	ISOW6441	ISOW6442		
GND1	2、8	2、8	—	V _{DD} のグランド接続
GND2	9、15	9、15	—	V _{ISO} のグランド接続
INA	3	3	I	入力チャネル A
INB	4	4	I	入力チャネル B
INC	5	12	I	入力チャネル C
IND	11	11	I	入力チャネル D
NC/V _{DDL}	7	7	—	ISOW644x は未接続、ISOW644xV は V _{DDL} に接続。V _{DDL} は、通信ダイの電源です。
OUTA	14	14	O	出力チャネル A
OUTB	13	13	O	出力チャネル B
OUTC	12	5	O	出力チャネル C
OUTD	6	6	O	出力チャネル D
SEL	10	10	I	V _{ISO} 選択ピン。SEL を V _{ISO} と短絡した場合、V _{ISO} = 5V。SEL を GND2 と短絡した場合またはフローティング状態の場合、V _{ISO} = 3.3V。詳細については、「 デバイスの機能モード 」を参照してください。
V _{DD}	1	1	—	電源電圧
V _{ISO}	16	16	—	SEL ピンにより決定される絶縁電源電圧

(1) I = 入力、O = 出力、I/O = 入力または出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

		最小値	最大値	単位
V_{DD}	パワー コンバータ電源電圧	-0.5	6	V
V_{ISO}	絶縁電源電圧	-0.5	6	V
V_{DDL}	1 次側ロジック電源電圧	-0.5	6	V
V	INx の電圧	-0.5	6	V
	SEL の電圧	-0.5	6	V
	OUTx の電圧 ⁽³⁾	-0.5	$V_{CCX} + 0.5$	V
I_O	データ チャネルに流れる最大出力電流	-15	15	mA
T_J	接合部温度	-55	150	°C
T_{stg}	保存温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) V_{DD} および V_{DDL} は、ローカル グランド ピン ($GND1$ または $GND2$) を基準にしています。差動 I/O バス電圧を除くすべての電圧値は、グランド端子を基準としたピーク電圧値です。
- (3) V_{CCX} = 出力側電源。6V を超えることはできません。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 ⁽¹⁾	±2000	V
		HBM ESD 分類レベル 2 準拠		
		デバイス帯電モデル (CDM)、AEC Q100-011	±1500	
		CDM ESD 分類レベル C6 準拠		

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

推奨動作条件範囲内で、標準値は $V_{DD} = V_{DDL} = 3.3V$ および $T_A = 25^\circ C$ の値です (特に記述のない限り)

			最小値	公称値	最大値	単位
パワー コンバータ						
V_{DD}	パワー コンバータ電源電圧	3.3V 動作	2.97	3.3	3.63	V
		5V 動作	4.5	5	5.5	V
$V_{DD}(UVLO+)$	パワー コンバータ電源が立ち上がる時の正のスレッシュホールド	パワー コンバータ電源が立ち上がる時の正のスレッシュホールド		2.65	2.86	V
$V_{DD}(UVLO-)$	パワー コンバータ電源が立ち下がる時の負のスレッシュホールド	パワー コンバータ電源が立ち下がる時の負のスレッシュホールド	2.44	2.56		V
$V_{DD}(HYS)$	パワー コンバータ電源電圧ヒステリシス	パワー コンバータ電源電圧ヒステリシス	78			mV
チャネル分離						
V_{DDL}	チャネル ロジック電源電圧	2.5V、3.3V、および 5V 動作	2.25		5.5	V
$V_{DDL}(UVLO+)$	ロジック電源電圧の立ち上がりスレッシュホールド			1.95	2.24	V
$V_{DDL}(UVLO-)$	ロジック電源電圧の立ち下がりスレッシュホールド		1.6	1.78		V
$V_{DDL}(HYS)$	ロジック電源電圧ヒステリシス		100			mV
I_{OH}	HIGH レベル出力電圧 ⁽¹⁾	$V_{ISO} = 5V$	-4			mA
		$V_{ISO} = 3.3V$	-2			mA
I_{OH}	HIGH レベル出力電圧 ⁽¹⁾	$V_{ISO} = 2.5V$	-1			mA
I_{OL}	LOW レベル出力電圧 ⁽¹⁾	$V_{ISO} = 5V$			4	mA
		$V_{ISO} = 3.3V$			2	mA
I_{OL}	LOW レベル出力電圧 ⁽¹⁾	$V_{ISO} = 2.5V$			1	mA
V_{IH}	High レベル入力電圧 ⁽²⁾		$0.7 \times V_{SI}$		V_{SI}	V
V_{IL}	Low レベル入力電圧 ⁽²⁾		0		$0.3 \times V_{SI}$	V
DR	データ レート	$V_{DDL} = 3V \sim 5V$			150	Mbps
DR		$V_{DDL} = 2.5V \pm 10\%$			100	Mbps
t_{PWRUP}	電源投入後、チャネル アイソレータの準備ができています			2.2		ms
T_A	周辺温度		-55		125	$^\circ C$

(1) この電流はデータ出力チャネルのものです。

(2) V_{SI} = 入力側電源、 V_{SO} = 出力側電源

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		ISOW644x	単位
		DWE (SOIC)	
		16 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	58.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	28.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	32.6	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	18.5	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	31.4	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	—	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
[SPRA953](#)

5.5 電力定格

パラメータ		テスト条件	最小値	標準値	最大値	単位
P_D	最大消費電力 (両サイド)	$V_{DD} = 5.5V$, $V_{DDL} = 5.5V$, $V_{ISO} = 5.5V$, $I_{ISO} = 90mA$, $T_J = 150^\circ C$, $T_A \leq 80^\circ C$, C_L $= 15pF$, 150Mbps 50% デューティ サイク ルの方形波入力			1.13	W
P_{D1}	最大消費電力 (サイド 1)				0.71	W
P_{D2}	最大消費電力 (サイド 2)				0.42	W

5.6 絶縁仕様

パラメータ		テスト条件	値	単位
一般				
CLR	外部空間距離 ⁽¹⁾	空気を介した最短のピン間距離	>8	mm
CPG	外部沿面距離 ⁽¹⁾	パッケージ表面に沿った最短のピン間距離	>8	mm
DTI	絶縁貫通距離 (最小内部ギャップ)	信号絶縁	> 17	μm
		トランスの電源絶縁	>100	
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11)、IEC 60112	> 600	V
	材料グループ	IEC 60664-1 に準拠	I	
	IEC 60664-1 に準拠した過電圧カテゴリ	定格商用電源 V _{RMS} が 300V 以下	I-IV	
		定格商用電源 V _{RMS} が 600V 以下	I-IV	
		定格商用電源 V _{RMS} が 1000V 以下	I-III	
DIN EN IEC 60747-17 (VDE 0884-17)				
V _{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	848	V _{PK}
V _{IOWM}	最大動作絶縁電圧	AC 電圧、経時絶縁破壊 (TDDb) テスト	600	V _{RMS}
		DC 電圧	848	V _{DC}
V _{IOTM}	最大過渡絶縁電圧	V _{TEST} = V _{IOTM} 、t = 60s (認定)、 V _{TEST} = 1.2 × V _{IOTM} 、t = 1s (100% 出荷時)	7071	V _{PK}
V _{IMP}	最大インパルス電圧、ISOW644x ⁽²⁾	空気中でテスト、IEC 62368-1 に 1.2/50μs の波形	8000	V _{PK}
V _{IOSM}	最大サージ絶縁電圧 ISOW644x ⁽²⁾	V _{IOSM} ≥ 1.3 × V _{IMP} 、油中でテスト (資格テスト)、IEC 62368-1 に 1.2/50μs 波形	10400	V _{PK}
q _{pd}	見掛けの電荷 ⁽³⁾	メソッド a、I/O 安全テスト サブグループ 2/3 の後、 V _{ini} = V _{IOTM} 、t _{ini} = 60s、 V _{pd(m)} = 1.2 × V _{IORM} 、t _m = 10s	≤ 5	pC
		メソッド a、環境テスト サブグループ 1 の後、 V _{ini} = V _{IOTM} 、t _{ini} = 60s、ISOW644x: V _{pd(m)} = 1.6 × V _{IORM} 、t _m = 10s	≤ 5	
		ルーチン テスト (100% 出荷時) に、 V _{ini} = 1.2 x V _{IOTM} 、t _{ini} = 1s、 メソッド b1: V _{pd(m)} = 1.875 x V _{IORM} 、t _m = 1s または メソッド b2: V _{pd(m)} = V _{ini} 、t _m = t _{ini}	≤ 5	
C _{IO}	絶縁バリア容量、入力から出力へ ⁽⁴⁾	V _{IO} = 0.4 × sin (2πft)、f = 1MHz	3.5	pF
R _{IO}	絶縁抵抗 ⁽⁴⁾	V _{IO} = 500V、T _A = 25°C	> 10 ¹²	Ω
		V _{IO} = 500V (100°C ≤ T _A ≤ 125°C時)	> 10 ¹¹	
		V _{IO} = 500V (T _S = 150°C時)	> 10 ⁹	
	汚染度		2	
	耐候性カテゴリ		55/125/21	
UL 1577				
V _{ISO(UL)}	絶縁耐圧	V _{TEST} = V _{ISO} = 5000V _{RMS} 、t = 60s (認定時テスト)、 V _{TEST} = 1.2 × V _{ISO} = 6000V _{RMS} 、t = 1s (100% 出荷時テスト)	5000	V _{RMS}

- (1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でインシュレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これを大きくすることができます。
- (2) テストは、絶縁バリアの固有サージ耐性を判定するため、気中または油中で実行されます。
- (3) テストは、絶縁バリアの固有サージ耐性を判定するため、油中で実行されます。
- (4) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。

5.7 安全関連認証

VDE	UL	CQC	TUV
DIN EN IEC 60747-17 (VDE 0884-17) に基づく認証を計画中	UL 1577 部品認定 プログラムに基づく認証を計画中	GB 4943.1 に従う 認証を計画中	EN 61010-1 および EN 62368-1 に従う認証を計画中
認証計画中	認証計画中	認証計画中	認証計画中

5.8 安全限界値

安全限界値の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。

パラメータ		テスト条件	最小値	標準値	最大値	単位
16DWE						
I_S	安全入力、出力、または電源電流 ⁽¹⁾	$R_{\theta JA} = 58.1^\circ\text{C/W}$, $V_I = 5.5\text{V}$, $T_J = 150^\circ\text{C}$, $T_A = 25^\circ\text{C}$			390	mA
		$R_{\theta JA} = 58.1^\circ\text{C/W}$, $V_I = 3.6\text{V}$, $T_J = 150^\circ\text{C}$, $T_A = 25^\circ\text{C}$			600	
P_S	安全入力、出力、または合計電力 ⁽¹⁾	$R_{\theta JA} = 58.1^\circ\text{C/W}$, $T_J = 150^\circ\text{C}$, $T_A = 25^\circ\text{C}$			2.15	W
T_S	最高安全温度 ⁽¹⁾				150	$^\circ\text{C}$

- (1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。 I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。 I_S および P_S の最大限界値を超過してはなりません。これらの制限値は周囲温度 T_A によって変化します。「熱に関する情報」の表にある接合部 — 外気熱抵抗 $R_{\theta JA}$ は、リード付き表面実装パッケージ用の高 K テスト基板に実装されたデバイスのものです。これらの式を使って各パラメータの値を計算します：
 $T_J = T_A + R_{\theta JA} \times P$ 、ここで P は本デバイスで消費される電力です。
 $T_{J(\max)} = T_S = T_A + R_{\theta JA} \times P_S$ 、ここで $T_{J(\max)}$ は最大許容接合部温度です。
 $P_S = I_S \times V_I$ 、ここで V_I は最大入力電圧です。

5.9 電気的特性 - パワー コンバータ

$V_{DD} = 5V \pm 10\%$ or $3V \pm 10\%$ (特に記述のない限り、推奨動作条件を超える状態で)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{DD} = 5V$, $V_{SEL} = V_{ISO}$						
V_{ISO}	絶縁電源電圧	$I_{ISO} = 0 \sim 55mA$	4.75	5	5.25	V
V_{ISO}	絶縁電源電圧	$I_{ISO} = 0 \sim 110mA$	4.5	5	5.5	V
$V_{ISO(LINE)}$	DC ラインレギュレーション	$I_{ISO} = 55mA$, $V_{DD} = 4.5V \sim 5.5V$		19		mV/V
$V_{ISO(LOAD)}$	DC 負荷レギュレーション	$I_{ISO} = 0 \sim 110mA$		1%		
EFF	最大負荷電流時の効率	$I_{ISO} = 160mA$, $C_{LOAD} = 0.1\mu F \parallel 10\mu F$; $V_I = V_{DDL}$ (ISOW644x); $V_I = 0V$ (F 接尾辞付き ISOW644x)		42.5%		
$V_{ISO(RIP)}$	絶縁型電源の出力リップル (ピークツーピーク)	帯域幅 20MHz, $C_{LOAD} = 0.1\mu F \parallel 20\mu F$, $I_{ISO} = 110mA$		30		mV
I_{ISO_SC}	V_{ISO} 短絡時の V_{DD} 電源からの直流電流	V_{ISO} を GND2 に短絡		250		mA
$V_{DD} = 5V$, $V_{SEL} = GND2$						
V_{ISO}	絶縁電源電圧	$I_{ISO} = 0 \sim 70mA$	3.165	3.3	3.465	V
V_{ISO}	絶縁電源電圧	$I_{ISO} = 0 \sim 140mA$	3	3.3	3.6	V
$V_{ISO(LINE)}$	DC ラインレギュレーション	$I_{ISO} = 70mA$, $V_{DD} = 4.5V \sim 5.5V$		13		mV/V
$V_{ISO(LOAD)}$	DC 負荷レギュレーション	$I_{ISO} = 0 \sim 140mA$		1.5%		
EFF	最大負荷電流時の効率	$I_{ISO} = 200mA$, $C_{LOAD} = 0.1\mu F \parallel 10\mu F$; $V_I = V_{DDL}$ (ISOW644x); $V_I = 0V$ (F 接尾辞付き ISOW644x)		36.3%		
$V_{ISO(RIP)}$	絶縁型電源の出力リップル (ピークツーピーク)	帯域幅 20MHz, $C_{LOAD} = 0.01\mu F \parallel 20\mu F$, $I_{ISO} = 110mA$		30		mV
I_{ISO_SC}	V_{ISO} 短絡時の V_{DD} 電源からの直流電流	V_{ISO} を GND2 に短絡		250		mA
$V_{DD} = 3.3V$, $V_{SEL} = GND2$						
V_{ISO}	絶縁電源電圧	$I_{ISO} = 0 \sim 30mA$	3.165	3.3	3.465	V
V_{ISO}	絶縁電源電圧	$I_{ISO} = 0 \sim 60mA$	3	3.3	3.6	V
$V_{ISO(LINE)}$	DC ラインレギュレーション	$I_{ISO} = 30mA$, $V_{DD} = 3.0V \sim 3.6V$		14		mV/V
$V_{ISO(LOAD)}$	DC 負荷レギュレーション	$I_{ISO} = 0 \sim 60mA$		0.8%		
EFF	最大負荷電流時の効率	$I_{ISO} = 90mA$, $C_{LOAD} = 0.1\mu F \parallel 10\mu F$; $V_I = V_{DDL}$ (ISOW644x); $V_I = 0V$ (F 接尾辞付き ISOW644x)		40%		
$V_{ISO(RIP)}$	絶縁型電源の出力リップル (ピークツーピーク)	帯域幅 20MHz, $C_{LOAD} = 0.1\mu F \parallel 20\mu F$, $I_{ISO} = 60mA$		15		mV
I_{ISO_SC}	V_{ISO} 短絡時の V_{DD} 電源からの直流電流	V_{ISO} を GND2 に短絡		150		mA

5.10 電源電流特性 - パワー コンバータ

$V_{DD} = 5V \pm 10\%$ または $3.3V \pm 10\%$ (特に記述のない限り、推奨動作条件で動作)

パラメータ	電源電流	テスト条件	最小値	標準値	最大値	単位
ISOW644x						
パワー コンバータ出力 電流定格	I_{ISO}	$V_{DD} = 5V$, $V_{SEL} = V_{ISO}$, $V_I = V_{DDL}$ ⁽¹⁾ (ISOW644x), $V_I = 0$ (F 接尾辞付き ISOW644x)	$V_{DD} = 5V \pm 10\%$ $V_{SEL} = V_{ISO}$	110	180	mA
パワー コンバータ入力 消費電流	I_{DD}	$V_{DD} = 5V$, $V_{SEL} = V_{ISO}$, $V_I = V_{DDL}$ ⁽¹⁾ (ISOW644x), $V_I = 0$ (F 接尾辞付き ISOW644x)	$I_{OUT} = 110mA$	260	340	mA
パワー コンバータ出力 電流定格	I_{ISO}	$V_{DD} = 5V$, $V_{SEL} = GND2$, $V_I = V_{DDL}$ ⁽¹⁾ (ISOW644x), $V_I = 0$ (F 接尾辞付き ISOW644x)	$V_{DD} = 5V \pm 10\%$ $V_{SEL} = GND2$	140	230	mA
パワー コンバータ入力 消費電流	I_{DD}	$V_{DD} = 5V$, $V_{SEL} = GND2$, $V_I = V_{DDL}$ ⁽¹⁾ (ISOW644x), $V_I = 0$ (F 接尾辞付き ISOW644x)	$I_{OUT} = 140mA$	250	310	mA
パワー コンバータ出力 電流定格	I_{ISO}	$V_{DD} = 3.3V$, $V_{SEL} = GND2$, $V_I = V_{DDL}$ ⁽¹⁾ (ISOW644x), $V_I = 0$ (F 接尾辞付き ISOW644x)	$V_{DD} = 3.3V \pm 10\%$ $V_{SEL} = GND2$	60	110	mA
パワー コンバータ入力 消費電流	I_{DD}	$V_{DD} = 3.3V$, $V_{SEL} = GND2$, $V_I = V_{DDL}$ ⁽¹⁾ (ISOW644x), $V_I = 0$ (F 接尾辞付き ISOW644x)	$I_{OUT} = 60mA$	155	220	mA

(1) V_{DDL} は ISOW644x の場合は内部で V_{DD} に短絡され、ISOW644xV の場合は外部から電力が供給されます

5.11 電気的特性 - 絶縁チャネル - $V_{DD} = 5V$, $V_{DDL} = 5V$, $V_{ISO} = 5V$

$V_{DDL} = 5V \pm 10\%$ $V_{DD} = 5V \pm 10\%$ および $V_{SEL} = V_{ISO}$ (特に記述のない限り、推奨動作条件を超える状態で)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ISOW644x の電気的特性					
V_{ITH}	入力ピンの立ち上がりスレッショルド			$0.7 \times V_{SI}$	V
V_{ITL}	入力ピンの立ち下がりスレッショルド	$0.3 \times V_{SI}$			V
$V_{I(HYS)}$	入力ピン スレッショルドのヒステリシス (INx)	入力ピン スレッショルド ヒステリシス (INx) パワーコンバータがオンのとき	$0.1 \times V_{SI}$		V
I_{IL}	Low レベル入力電流	INx で $V_{IL} = 0$	-25		μA
I_{IH}	High レベル入力電流	INx で $V_{IH} = V_{SI}$ (1)		25	μA
V_{OH}	High レベル出力電圧	$I_O = -4mA$ 、スイッチング特性試験回路と電圧波形を参照	V_{SO} (1) – 0.4		V
V_{OL}	Low レベル出力電圧	$I_O = 4mA$ 、スイッチング特性試験回路と電圧波形を参照		0.4	V
CMTI	同相過渡耐性	$V_I = V_{SI}$ または 0V、 $V_{CM} = 1000V$ 同相過渡電圧耐性試験回路を参照してください	100	200	kV/ μs
C_i	入力容量	$V_I = V_{DDL}$ $V_{DD} / 2 + 0.4 \times \sin(2\pi f t)$, $f = 2$ MHz、 $V_{DDL} V_{DD} = 5V$		2	pF

(1) V_{SI} = 入力側電源、 V_{SO} = 出力側電源

5.12 電源電流特性 - 絶縁チャネル - $V_{DD} = 5V$, $V_{DDL} = 5V$, $V_{ISO} = 5V$

V_{DD} , $V_{DDL} = 5V \pm 10\%$, SEL を VISO に短絡、VISO = 負荷なし (特に記述のない限り、推奨動作条件で動作)、 V_{DDL} ピンを持たないデバイスの場合、 I_{DD} は以下の I_{DD} と I_{DDL} の合計です

パラメータ	テスト条件		電源電流	最小値	標準値	最大値	単位
ISOW6441 チャネル電源電流							
チャネル電源電流 — DC 信号	$V_I = V_{CCI}$ (ISOW644x); $V_I = 0\text{ V}$ (F 接尾辞付き ISOW644x)		I_{DDL}	3	4.6	mA	
			I_{DD}	11	19	mA	
	$V_I = 0\text{V}$ (ISOW644x); $V_I = V_{CCI}$ (F 接尾辞付き ISOW644x)		I_{DDL}	9	10.6	mA	
			I_{DD}	14	25	mA	
チャネル電源電流 — AC 信号	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15\text{pF}$	1Mbps	I_{DDL}	6	7.6	mA	
			I_{DD}	13	22.5	mA	
		10Mbps	I_{DDL}	6	8.5	mA	
			I_{DD}	16	27	mA	
		100Mbps	I_{DDL}	11.5	14.5	mA	
			I_{DD}	47.3	73.5	mA	
		150Mbps	I_{DDL}	14.5	17.5	mA	
			I_{DD}	65	108	mA	
ISOW6442 チャネル電源電流							
チャネル電源電流 — DC 信号	$V_I = V_{CCI}$ (ISOW644x); $V_I = 0\text{ V}$ (F 接尾辞付き ISOW644x)		I_{DDL}	2.5	3.1	mA	
			I_{DD}	11.3	19.5	mA	
	$V_I = 0\text{V}$ (ISOW644x); $V_I = V_{CCI}$ (F 接尾辞付き ISOW644x)		I_{DDL}	6.4	7.5	mA	
			I_{DD}	20.1	31.5	mA	
チャネル電源電流 — DC 信号	$V_I = V_{CCI}$ (ISOW6442V) $V_I = 0\text{V}$ (F 接尾辞付き ISOW6442V)	$V_I = V_{CCI}$ (ISOW6442V) $V_I = 0\text{V}$ (F 接尾辞付き ISOW6442V)	IDD_RI	2.5	3.2	mA	

V_{DD} 、 V_{DDL} = 5V $\pm$ 10%、SEL を VISO に短絡、VISO = 負荷なし (特に記述のない限り、推奨動作条件で動作)、 V_{DDL} ピンを持たないデバイスの場合、 I_{DD} は以下の I_{DD} と I_{DDL} の合計です

パラメータ	テスト条件		電源電流	最小値	標準値	最大値	単位
チャンネル電源電流 — DC 信号	$V_I = 0V$ (ISOW6442V)、 $V_I = V_{CCI}$ (F 接尾辞付き ISOW6442V)	$V_I = 0V$ (ISOW6442V)、 $V_I = V_{CCI}$ (F 接尾辞付き ISOW6442V)	IDD_RI		4	4.6	mA
チャンネル電源電流 — AC 信号	すべてのチャンネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{DDL}		4.5	5.3	mA
			I_{DD}		16	25.5	mA
		10Mbps	I_{DDL}		5.5	6.5	mA
			I_{DD}		18.2	29	mA
		100Mbps	I_{DDL}		15.2	17.5	mA
			I_{DD}		40.1	61	mA
		150Mbps	I_{DDL}		21	23.5	mA
			I_{DD}		53	85	mA
チャンネル電源電流 — AC 信号	すべてのチャンネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	IDD_RI		3.3	4	mA
チャンネル電源電流 — AC 信号	すべてのチャンネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	10Mbps	IDD_RI		4.9	5.6	mA
チャンネル電源電流 — AC 信号	すべてのチャンネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	100Mbps	IDD_RI		20	20.8	mA

5.13 電気的特性 - 絶縁チャネル - $V_{DD} = 5V$, $V_{DDL} = 5V$, $V_{ISO} = 3.3V$

$V_{DDL} = 5V \pm 10\%$ $V_{DD} = 5V \pm 10\%$ および $V_{SEL} = GND2$ (特に記述のない限り、推奨動作条件を超える状態で)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ISOW644x の電気的特性					
V_{ITH}	入力ピンの立ち上がりスレッショルド			$0.7 \times V_{SI}$	V
V_{ITL}	入力ピンの立ち下がりスレッショルド	$0.3 \times V_{SI}$			V
$V_{I(HYS)}$	入力ピン スレッショルドのヒステリシス (INx)	入力ピン スレッショルド ヒステリシス (INx) パワーコンバータがオンのとき	$0.1 \times V_{SI}$		V
I_{IL}	Low レベル入力電流	INx で $V_{IL} = 0$	-25		μA
I_{IH}	High レベル入力電流	INx で $V_{IH} = V_{SI}$ (1)		25	μA
V_{OH}	High レベル出力電圧	$I_O = -2mA$ 、スイッチング特性試験回路と電圧波形を参照	V_{SO} (1) – 0.3		V
V_{OL}	Low レベル出力電圧	$I_O = 2mA$ 、スイッチング特性試験回路と電圧波形を参照		0.3	V
CMTI	同相過渡耐性	$V_I = V_{SI}$ または 0V、 $V_{CM} = 1000V$ 同相過渡電圧耐性試験回路を参照してください	100	200	kV/ μs
C_i	入力容量	$V_I = V_{DDL}$ $V_{DD} / 2 + 0.4 \times \sin(2\pi f t)$, $f = 2$ MHz、 V_{DDL} $V_{DD} = 5V$		2	pF

(1) V_{SI} = 入力側電源、 V_{SO} = 出力側電源

5.14 電源電流特性 - 絶縁チャネル - $V_{DD} = 5V$, $V_{DDL} = 5V$, $V_{ISO} = 3.3V$

$V_{DD} = 5V \pm 10\%$ 、SEL を GND に短絡、VISO = 負荷なし (特に記述のない限り、推奨動作条件で動作)、 V_{DDL} ピンを持たないデバイスの場合、 I_{DD} は以下の I_{DD} と I_{DDL} の合計です

パラメータ	テスト条件		電源電流	最小値	標準値	最大値	単位
ISOW6441 チャネル電源電流							
チャネル電源電流 — DC 信号	$V_I = V_{DDL}$ (ISOW644x); $V_I = 0\text{ V}$ (F 接尾辞付き ISOW644x)		I_{DDL}	3	4.6	mA	
			I_{DD}	9	14.5	mA	
	$V_I = 0\text{V}$ (ISOW644x); $V_I = V_{DDL}$ (F 接尾辞付き ISOW644x)		I_{DDL}	9	11	mA	
			I_{DD}	12	18.5	mA	
チャネル電源電流 — AC 信号	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15\text{pF}$	1Mbps	I_{DDL}	6	7.6	mA	
			I_{DD}	10	16.5	mA	
		10Mbps	I_{DDL}	6	8.5	mA	
			I_{DD}	12	18.5	mA	
		100Mbps	I_{DDL}	12	14.5	mA	
			I_{DD}	28	41	mA	
		150Mbps	I_{DDL}	14.5	18	mA	
			I_{DD}	47	76	mA	
ISOW6442 チャネル電源電流							
チャネル電源電流 — DC 信号	$V_I = V_{DDL}$ (ISOW644x); $V_I = 0\text{ V}$ (F 接尾辞付き ISOW644x)		I_{DDL}	2.5	3.1	mA	
			I_{DD}	9	14.5	mA	
	$V_I = 0\text{V}$ (ISOW644x); $V_I = V_{DDL}$ (F 接尾辞付き ISOW644x)		I_{DDL}	6	7.5	mA	
			I_{DD}	16	23.5	mA	
チャネル電源電流 — DC 信号	$V_I = V_{CCI}$ (ISOW6442V) $V_I = 0\text{V}$ (F 接尾辞付き ISOW6442V)	$V_I = V_{CCI}$ (ISOW6442V) $V_I = 0\text{V}$ (F 接尾辞付き ISOW6442V)	IDD_RI	3	3.1	mA	

$V_{DD} = 5V \pm 10\%$ 、SEL を GND に短絡、VISO = 負荷なし (特に記述のない限り、推奨動作条件で動作)、 V_{DDL} ピンを持たないデバイスの場合、 I_{DD} は以下の I_{DD} と I_{DDL} の合計です

パラメータ	テスト条件		電源電流	最小値	標準値	最大値	単位
チャンネル電源電流 — DC 信号	$V_I = 0V$ (ISOW6442V)、 $V_I = V_{CCI}$ (F 接尾辞付き ISOW6442V)	$V_I = 0V$ (ISOW6442V)、 $V_I = V_{CCI}$ (F 接尾辞付き ISOW6442V)	I_{DD_RI}		4	4.6	mA
チャンネル電源電流 — AC 信号	すべてのチャンネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{DDL}		5	5.5	mA
			I_{DD}		13	19	mA
		10Mbps	I_{DDL}		6	6.5	mA
			I_{DD}		14	20.5	mA
		100Mbps	I_{DDL}		15	17.5	mA
			I_{DD}		25	35	mA
		150Mbps	I_{DDL}		21	24	mA
			I_{DD}		38	60	mA
チャンネル電源電流 — AC 信号	すべてのチャンネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{DD_RI}		3	3.9	mA
チャンネル電源電流 — AC 信号	すべてのチャンネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	10Mbps	I_{DD_RI}		4	4.9	mA
チャンネル電源電流 — AC 信号	すべてのチャンネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	100Mbps	I_{DD_RI}		14	15	mA

5.15 電気的特性 - 絶縁チャネル - $V_{DD} = 3.3V$, $V_{DDL} = 3.3V$, $V_{ISO} = 3.3V$

$V_{DDL} = 3.3V \pm 10\%$ $V_{DD} = 3.3V \pm 10\%$ (特に記述のない限り、推奨動作条件を超える状態で)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ISOW644x の電気的特性					
V_{ITH}	入力ピンの立ち上がりスレッシュホールド			$0.7 \times V_{SI}$	V
V_{ITL}	入力ピンの立ち下がりスレッシュホールド	$0.3 \times V_{SI}$			V
$V_{I(HYS)}$	入力ピン スレッシュホールドのヒステリシス (INx)	入力ピン スレッシュホールド ヒステリシス (INx) パワーコンバータがオンのとき	$0.1 \times V_{SI}$		V
I_{IL}	Low レベル入力電流	INx で $V_{IL} = 0$	-25		μA
I_{IH}	High レベル入力電流	INx で $V_{IH} = V_{SI}$ (1)		25	μA
V_{OH}	High レベル出力電圧	$I_O = -2mA$, スイッチング特性試験回路と電圧波形を参照	V_{SO} (1) – 0.3		V
V_{OL}	Low レベル出力電圧	$I_O = 2mA$, スイッチング特性試験回路と電圧波形を参照		0.3	V
CMTI	同相過渡耐性	$V_I = V_{SI}$ または 0V, $V_{CM} = 1000V$ 同相過渡電圧耐性試験回路を参照してください	100	200	kV/ μs
C_i	入力容量	$V_I = V_{DDL} V_{DD} / 2 + 0.4 \times \sin(2\pi f t)$, $f = 2MHz$, $V_{DDL} V_{DD} = 3.3V$		2	pF

(1) V_{SI} = 入力側電源、 V_{SO} = 出力側電源

5.16 電源電流特性 - 絶縁チャネル - $V_{DD} = 3.3V$, $V_{DDL} = 3.3V$, $V_{ISO} = 3.3V$

V_{DD} , $V_{DDL} = 3.3V \pm 10\%$, SEL を GND に短絡, $V_{ISO} =$ 負荷なし (特に記述のない限り、推奨動作条件で動作), V_{DDL} ピンを持たないデバイスの場合、 I_{DD} は以下の I_{DD} と I_{DDL} の合計です

パラメータ	テスト条件		電源電流	最小値	標準値	最大値	単位
ISOW6441 チャネル電源電流							
チャネル電源電流 — DC 信号	$V_I = V_{DDL}$ (ISOW644x); $V_I = 0\text{ V}$ (F 接尾辞付き ISOW644x)		I_{DDL}	3.1	4.6	mA	
			I_{DD}	11	20.5	mA	
	$V_I = 0\text{V}$ (ISOW644x); $V_I = V_{DDL}$ (F 接尾辞付き ISOW644x)		I_{DDL}	8.5	11	mA	
			I_{DD}	15	27	mA	
チャネル電源電流 — AC 信号	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15\text{pF}$	1Mbps	I_{DDL}	5.8	7.5	mA	
			I_{DD}	13	23.5	mA	
		10Mbps	I_{DDL}	6	8	mA	
			I_{DD}	15	27	mA	
		100Mbps	I_{DDL}	10	12	mA	
			I_{DD}	37	60	mA	
		150Mbps	I_{DDL}	13.5	16	mA	
			I_{DD}	62	101	mA	
ISOW6442 チャネル電源電流							
チャネル電源電流 — DC 信号	$V_I = V_{DDL}$ (ISOW644x); $V_I = 0\text{ V}$ (F 接尾辞付き ISOW644x)		I_{DDL}	2.4	3	mA	
			I_{DD}	11	20.5	mA	
	$V_I = 0\text{V}$ (ISOW644x); $V_I = V_{DDL}$ (F 接尾辞付き ISOW644x)		I_{DDL}	6	7.5	mA	
			I_{DD}	20	34	mA	
チャネル電源電流 — DC 信号	$V_I = V_{CCI}$ (ISOW6442V) $V_I = 0\text{V}$ (F 接尾辞付き ISOW6442V)	$V_I = V_{CCI}$ (ISOW6442) $V_I = 0\text{V}$ (F 接尾辞付き ISOW6442)	IDD_RI	2.5	3.1	mA	

V_{DD} 、 V_{DDL} = 3.3V $\pm$ 10%、SEL を GND に短絡、VISO = 負荷なし (特に記述のない限り、推奨動作条件で動作)、 V_{DDL} ピンを持たないデバイスの場合、 I_{DD} は以下の I_{DD} と I_{DDL} の合計です

パラメータ	テスト条件		電源電流	最小値	標準値	最大値	単位
チャンネル電源電流 — DC 信号	$V_I = 0V$ (ISOW6442V)、 $V_I = V_{CCI}$ (F 接尾辞付き ISOW6442V)	$V_I = 0V$ (ISOW6442)、 $V_I = V_{CCI}$ (F 接尾辞付き ISOW6442)	I_{DD_RI}		3.9	4.6	mA
チャンネル電源電流 — AC 信号	すべてのチャンネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{DDL}		4.4	5.1	mA
			I_{DD}		16	27.5	mA
		10Mbps	I_{DDL}		5	6	mA
			I_{DD}		18	30	mA
		100Mbps	I_{DDL}		11	13	mA
			I_{DD}		33	52	mA
		150Mbps	I_{DDL}		19	22	mA
			I_{DD}		50	80	mA
チャンネル電源電流 — AC 信号	すべてのチャンネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{DD_RI}		3.3	3.9	mA
チャンネル電源電流 — AC 信号	すべてのチャンネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	10Mbps	I_{DD_RI}		4.3	4.9	mA
チャンネル電源電流 — AC 信号	すべてのチャンネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	100Mbps	I_{DD_RI}		14.3	15	mA

5.17 電気的特性 - 絶縁チャネル - $V_{DDL} = 2.5V$

$V_{DDL} = 2.5V \pm 10\%$ (特に記述のない限り、推奨動作条件で動作)

パラメータ	テスト条件	最小値	標準値	最大値	単位
ISOW644x の電気的特性					
V_{ITH}	入力ピンの立ち上がりスレッショルド			$0.7 \times V_{SI}$	V
V_{ITL}	入力ピンの立ち下がりスレッショルド	$0.3 \times V_{SI}$			V
$V_{I(HYS)}$	入力ピン スレッショルドのヒステリシス (INx)	入力ピン スレッショルド ヒステリシス (INx) パワーコンバータがオンのとき	$0.1 \times V_{SI}$		V
I_{IL}	Low レベル入力電流	INx で $V_{IL} = 0$	-25		μA
I_{IH}	High レベル入力電流	INx で $V_{IH} = V_{SI}$ ⁽¹⁾		25	μA
V_{OH}	High レベル出力電圧	$I_O = -2mA$ 、スイッチング特性試験回路と電圧波形を参照	V_{SO} ⁽¹⁾ – 0.3		V
V_{OL}	Low レベル出力電圧	$I_O = 2mA$ 、スイッチング特性試験回路と電圧波形を参照		0.3	V
CMTI	同相過渡耐性	$V_I = V_{SI}$ または 0V、 $V_{CM} = 1000V$ 、同相過渡電圧耐性試験回路を参照	100	200	kV/ μs
C_i	入力容量	$V_I = V_{DDL} / 2 + 0.4 \times \sin(2\pi ft)$, $f = 2MHz$, $V_{DDL} = 2.5V$		2	pF

(1) V_{SI} = 入力側電源、 V_{SO} = 出力側電源

5.18 電源電流特性 - 絶縁チャネル - $V_{DDL} = 2.5V$

$V_{DDL} = 2.5V \pm 10\%$ 、SEL を GND に短絡、VISO = 負荷なし (特に記述のない限り、推奨動作条件で動作)

パラメータ	テスト条件		電源電流	最小値	標準値	最大値	単位
ISOW6441 チャネル電源電流							
チャネル電源電流 — DC 信号	V _I = V _{DDL} (ISOW644x); V _I = 0 V (F 接尾辞付き ISOW644x)		I _{DDL}		3.5	4.5	mA
	V _I = 0V (ISOW644x); V _I = V _{DDL} (F 接尾辞付き ISOW644x)		I _{DDL}		9	10.5	mA
チャネル電源電流 — AC 信号	すべてのチャネルが方形波クロック入力 でスイッチング、C _L = 15pF	1Mbps	I _{DDL}		6.3	7.4	mA
		10Mbps	I _{DDL}		6.6	7.8	mA
		100Mbps	I _{DDL}		9.2	10.7	mA
ISOW6442 チャネル電源電流							
チャネル電源電流 — DC 信号	V _I = V _{DDL} (ISOW644x); V _I = 0 V (F 接尾辞付き ISOW644x)		I _{DDL}		2.4	3	mA
	V _I = 0V (ISOW644x); V _I = V _{DDL} (F 接尾辞付き ISOW644x)		I _{DDL}		6.3	7.2	mA
チャネル電源電流 — AC 信号	すべてのチャネルが方形波クロック入力 でスイッチング、C _L = 15pF	1Mbps	I _{DDL}		4.4	5.1	mA
		10Mbps	I _{DDL}		4.9	5.7	mA
		100Mbps	I _{DDL}		9.8	11.1	mA

5.19 スイッチング特性 — $V_{DDL} = 5V$ 、 $V_{ISO} = 5V$

$V_{ISO} = 5V \pm 10\%$ 、 $V_{DD} V_{DDL} = 5V \pm 10\%$ (特に記述のない限り、推奨動作条件を超える状態で)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH} 、 t_{PHL}	伝搬遅延時間	スイッチング特性試験回路と電圧波形を参照	4.8	7.3	10.9	ns
PWD	パルス幅歪み ⁽¹⁾ $ t_{PHL} - t_{PLH} $	スイッチング特性試験回路と電圧波形を参照		0.3	2.2	ns
$t_{sk(o)}$	チャネル間の出力スキュー時間 ⁽²⁾	同方向チャネル			1.8	ns
$t_{sk(pp)}$	部品間のスキュー時間 ⁽³⁾				3.2	ns
t_r	出力信号の立ち上がり時間	スイッチング特性試験回路と電圧波形を参照			3	ns
t_f	出力信号の立ち下がり時間				3	ns
t_{DO}	入力電源喪失からデフォルト出力までの遅延時間	V_{DDL} が 1.9V を下回った時点から 10mV/ns で測定。スイッチング特性試験回路と電圧波形を参照			0.1	μs
t_{ie}	タイム インターバル エラー	$2^{16} - 1$ PRBS データ 100Mbps		0.3		ns

(1) 別名パルス スキュー。

(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。

(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

5.20 スイッチング特性 — $V_{DDL} = 3.3V$ 、 $V_{ISO} = 3.3V$

$V_{ISO} = 3.3V \pm 10\%$ 、 $V_{DD} V_{DDL} = 3.3V \pm 10\%$ (特に記述のない限り、推奨動作条件を超える状態で)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH} 、 t_{PHL}	伝搬遅延時間	スイッチング特性試験回路と電圧波形を参照	4.8	7.8	13.3	ns
PWD	パルス幅歪み ⁽¹⁾ $ t_{PHL} - t_{PLH} $	スイッチング特性試験回路と電圧波形を参照		0.7	2.5	ns
$t_{sk(o)}$	チャネル間の出力スキュー時間 ⁽²⁾	同方向チャネル			1.8	ns
$t_{sk(pp)}$	部品間のスキュー時間 ⁽³⁾				3.2	ns
t_r	出力信号の立ち上がり時間	スイッチング特性試験回路と電圧波形を参照			4	ns
t_f	出力信号の立ち下がり時間				4	ns
t_{DO}	入力電源喪失からデフォルト出力までの遅延時間	V_{DDL} が 1.9 V を下回った時点から 10mV/ns で測定。スイッチング特性試験回路と電圧波形を参照			0.1	μs
t_{ie}	タイム インターバル エラー	$2^{16} - 1$ PRBS データ 100Mbps		0.4		ns

(1) 別名パルス スキュー。

(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。

(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

5.21 スイッチング特性 — $V_{DDL} = 2.5V$ 、 $V_{ISO} = 5V$

$V_{DDL} = 2.5V \pm 10\%$ (特に記載のない限り、推奨動作条件を超える状態で)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH} , t_{PHL}	伝搬遅延時間	スイッチング特性試験回路と電圧波形を参照	5	7.7	16	ns
PWD	パルス幅歪み ⁽¹⁾ $ t_{PHL} - t_{PLH} $	スイッチング特性試験回路と電圧波形を参照		1	3	ns
$t_{sk(o)}$	チャネル間の出力スキュー時間 ⁽²⁾	同方向チャネル			1.8	ns
$t_{sk(pp)}$	部品間のスキュー時間 ⁽³⁾				3.2	ns
t_r	出力信号の立ち上がり時間	スイッチング特性試験回路と電圧波形を参照			5	ns
t_f	出力信号の立ち下がり時間				5	ns
t_{DO}	入力電源喪失からデフォルト出力までの遅延時間	V_{IO} または V_{ISOIN} が V_{DDL} が 1.9V を下回った時点から測定。スイッチング特性試験回路と電圧波形を参照してください			0.1	μs
t_{ie}	タイム インターバル エラー	$2^{16} - 1$ PRBS データ 100Mbps		0.7		ns

- (1) 別名パルス スキュー。
 (2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。
 (3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

5.22 スイッチング特性 — $V_{DDL} = 2.5V$ 、 $V_{ISO} = 3.3V$

$V_{DDL} = 2.5V \pm 10\%$ (特に記載のない限り、推奨動作条件を超える状態で)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH} , t_{PHL}	伝搬遅延時間	スイッチング特性試験回路と電圧波形を参照	6	8.75	16.5	ns
PWD	パルス幅歪み ⁽¹⁾ $ t_{PHL} - t_{PLH} $	スイッチング特性試験回路と電圧波形を参照		0.36	3	ns
$t_{sk(o)}$	チャネル間の出力スキュー時間 ⁽²⁾	同方向チャネル			1.8	ns
$t_{sk(pp)}$	部品間のスキュー時間 ⁽³⁾				3.2	ns
t_r	出力信号の立ち上がり時間	スイッチング特性試験回路と電圧波形を参照			5	ns
t_f	出力信号の立ち下がり時間				5	ns
t_{DO}	入力電源喪失からデフォルト出力までの遅延時間	V_{DDL} が 1.9V を下回った時点から 10mV/ns で測定。スイッチング特性試験回路と電圧波形を参照			0.1	μs
t_{ie}	タイム インターバル エラー	$2^{16} - 1$ PRBS データ 100Mbps		0.7		ns

- (1) 別名パルス スキュー。
 (2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。
 (3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

5.23 絶縁特性曲線

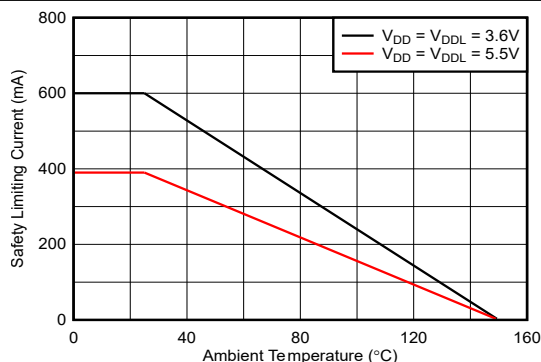


図 5-1. DWE-16 パッケージでの安全限界電流の熱特性低下曲線

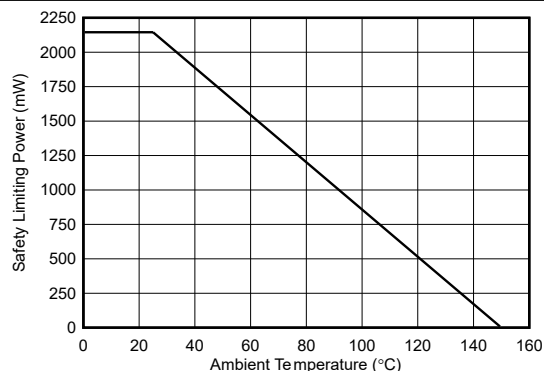


図 5-2. DWE-16 パッケージでの安全限界電力の熱特性低下曲線

5.24 代表的特性

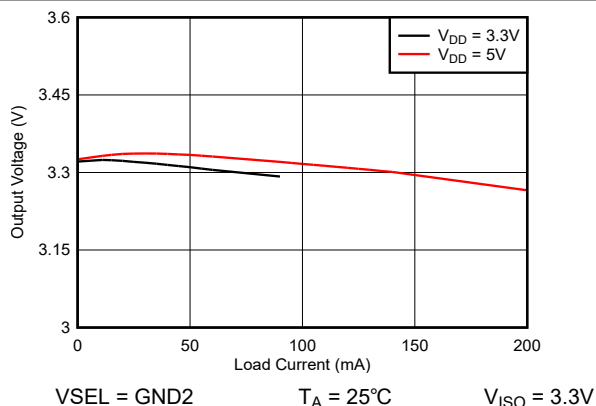


図 5-3. 絶縁電源電圧 (V_{ISO}) と負荷電流 (I_{ISO}) との関係

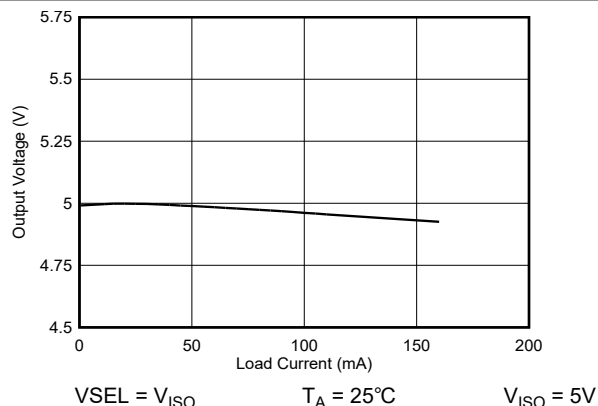


図 5-4. 絶縁電源電圧 (V_{ISO}) と負荷電流 (I_{ISO}) との関係

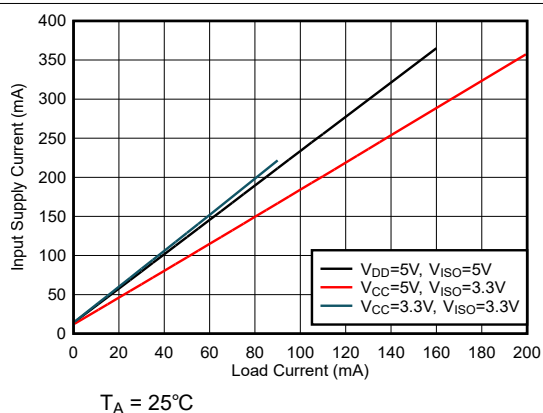


図 5-5. 電源電流 (I_{DD}) と負荷電流 (I_{ISO}) との関係

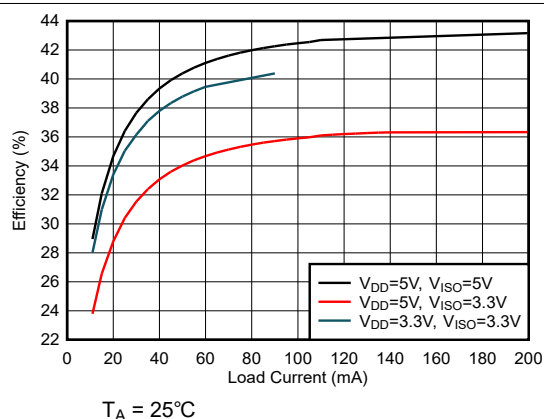


図 5-6. 効率と負荷電流 (I_{VISO}) との関係

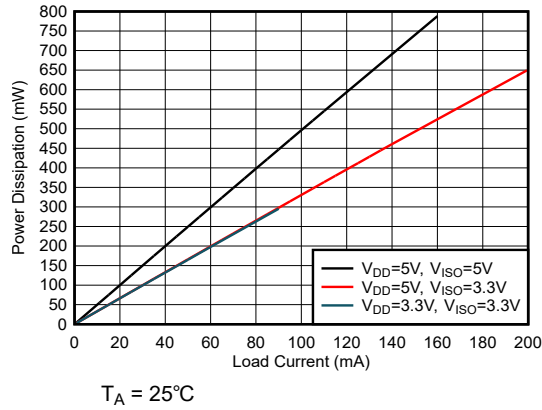


図 5-7. 消費電力と負荷電流 (I_{ISO}) との関係

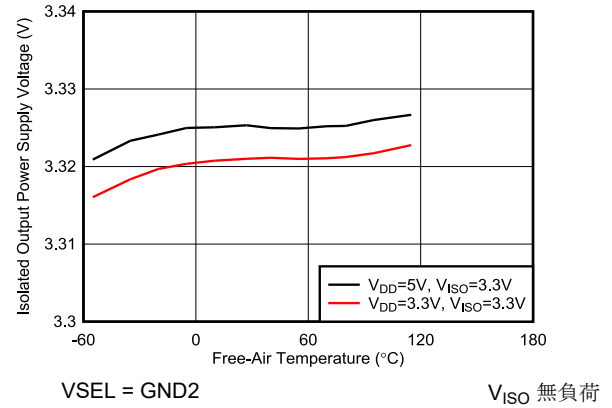


図 5-8. 3.3V 絶縁電源電圧 (V_{ISO}) と周囲温度との関係

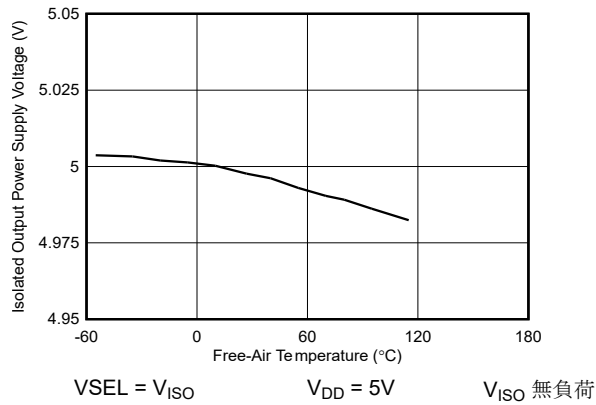


図 5-9. 5V 絶縁電源電圧 (V_{ISO}) と周囲温度との関係

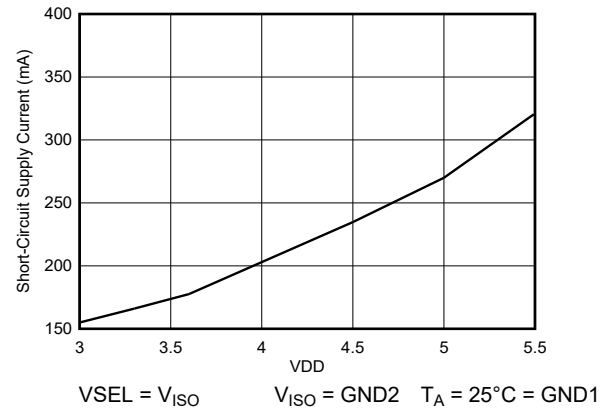


図 5-10. 短絡時電源電流 (I_{DD}) と電源電圧 (V_{DD}) との関係

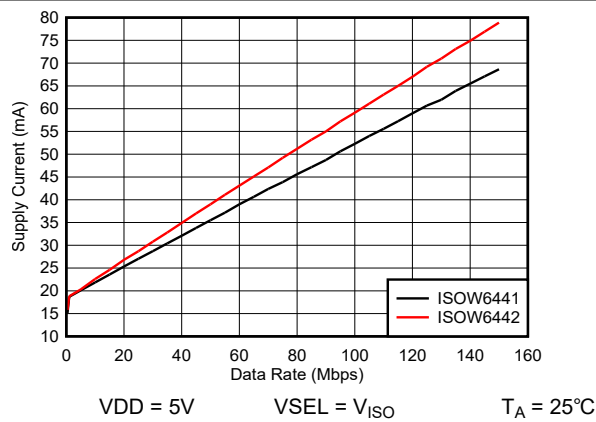


図 5-11. $C_L = 15\text{pF}$ に電源電流 (I_{DD}) とデータ レート との関係

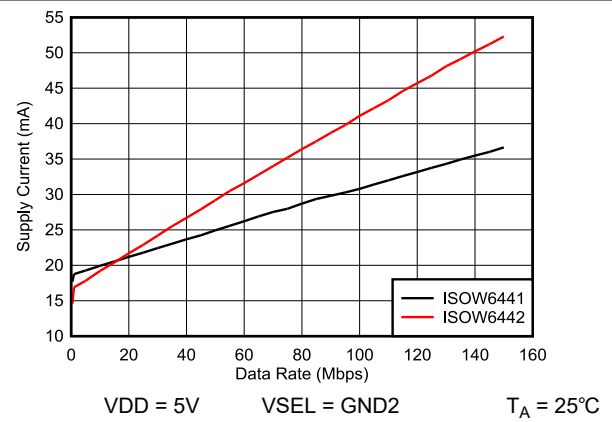


図 5-12. $C_L = 15\text{pF}$ に電源電流 (I_{DD}) とデータ レート との関係

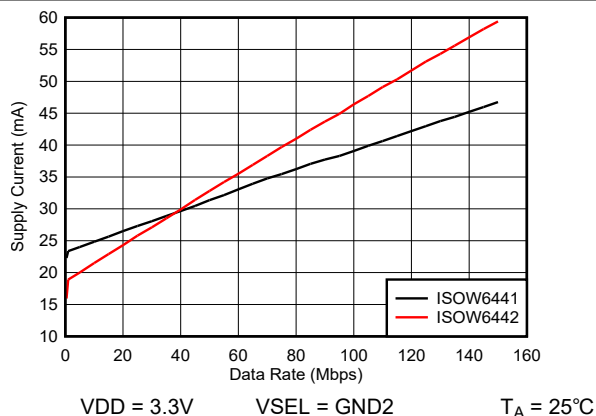


図 5-13. $C_L = 15pF$ に電源電流 (I_{DD}) とデータ レートとの関係

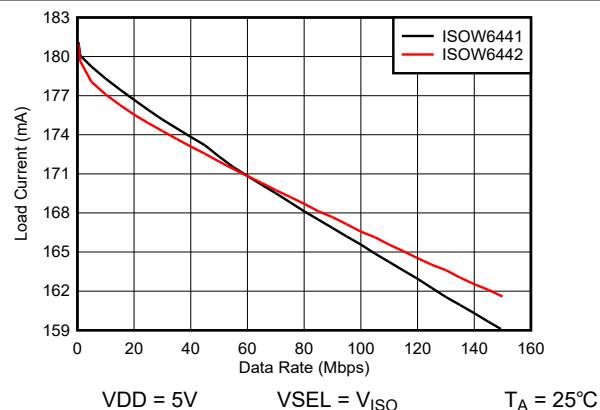


図 5-14. $C_L = 15pF$ に負荷電流 (I_{ISO}) とデータ レートとの関係

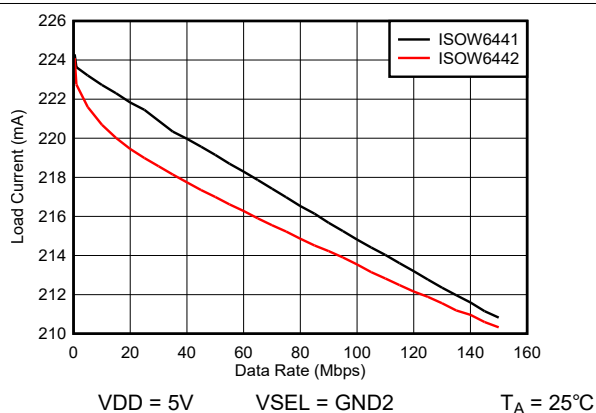


図 5-15. $C_L = 15pF$ に負荷電流 (I_{ISO}) とデータ レートとの関係

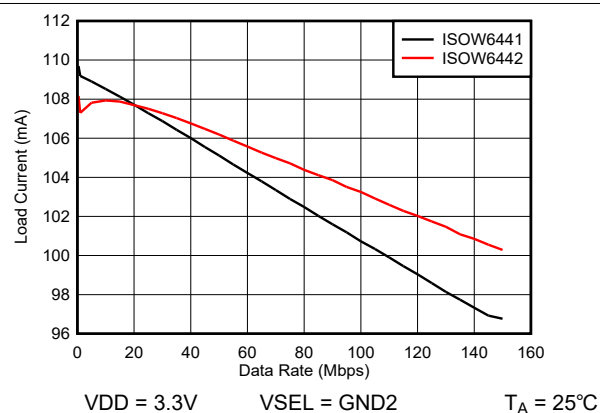


図 5-16. $C_L = 15pF$ に負荷電流 (I_{ISO}) とデータ レートとの関係

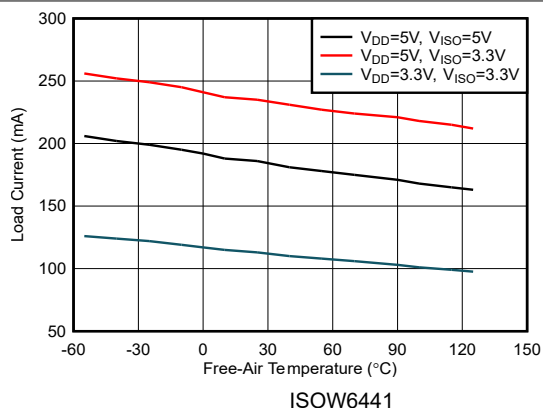


図 5-17. 負荷電流 (I_{ISO}) と自由気流温度との関係

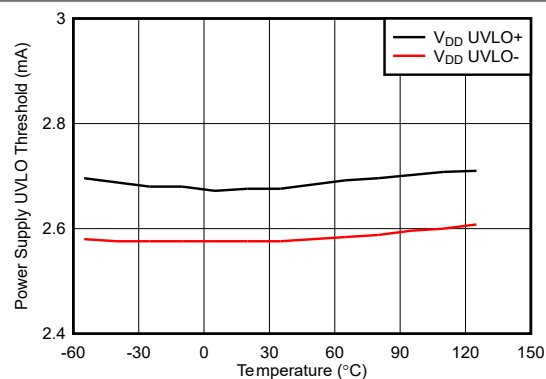


図 5-18. 電源の低電圧スレッシュホールドと周囲温度との関係

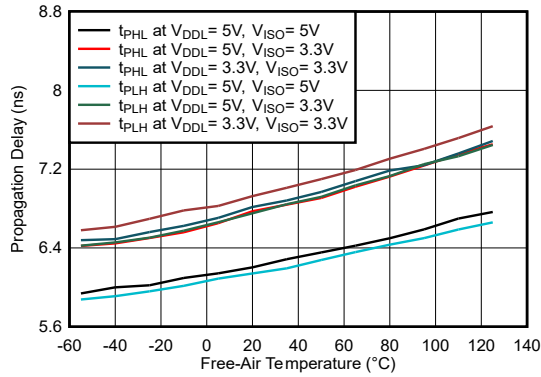


図 5-19. 伝搬遅延時間と周囲温度との関係

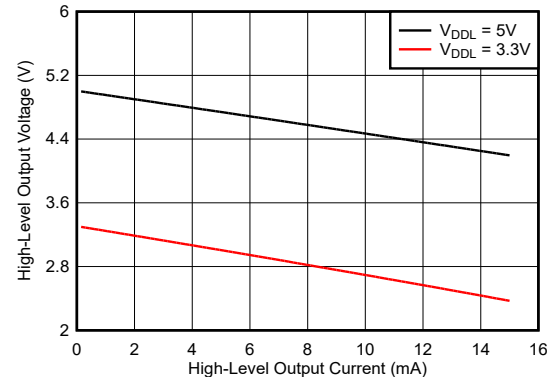


図 5-20. HIGH レベル出力電圧と HIGH レベル出力電流との関係

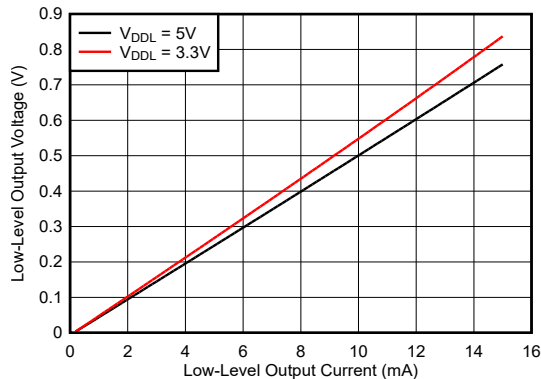


図 5-21. Low レベル出力電圧と Low レベル出力電流との関係

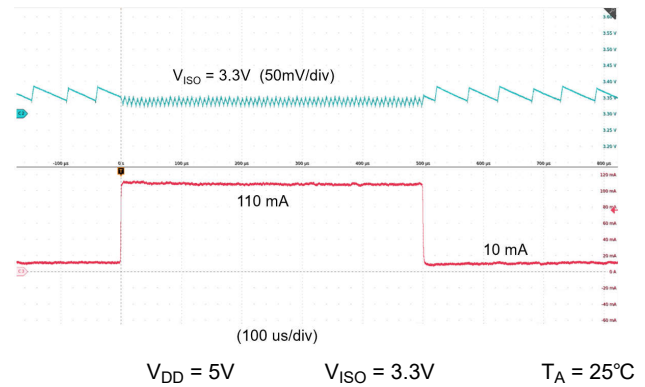


図 5-22. 10mA から 110mA への負荷過渡応答

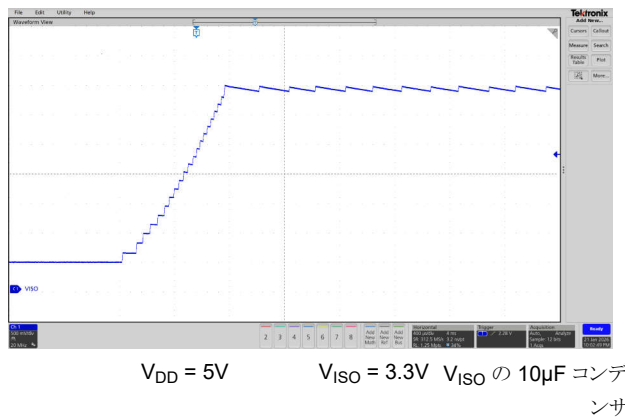


図 5-23. $V_{ISO} = 3.3V$ の無負荷でのソフトスタート

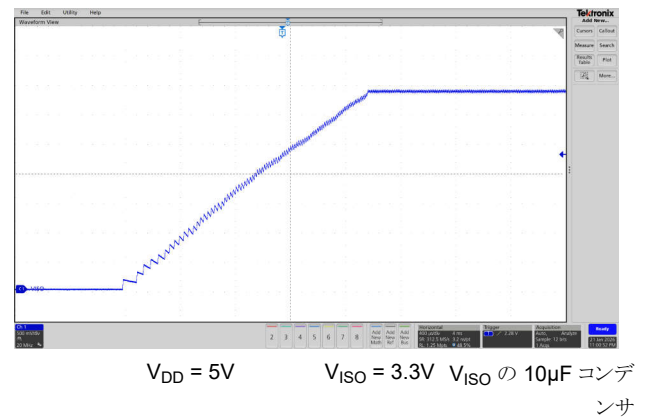
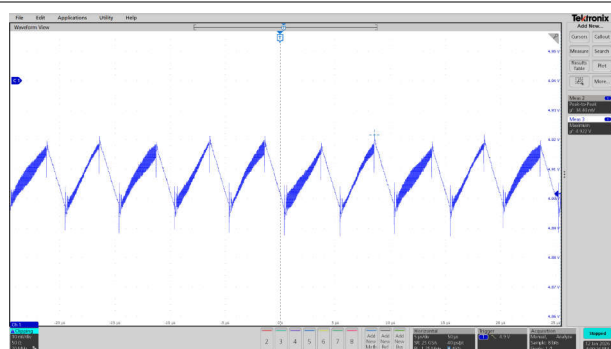
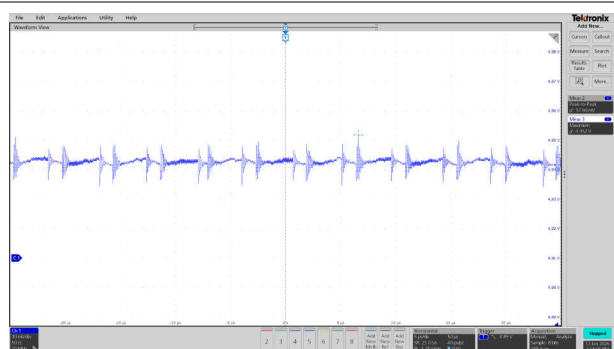


図 5-24. $V_{ISO} = 3.3V$ の 110mA 負荷でのソフトスタート



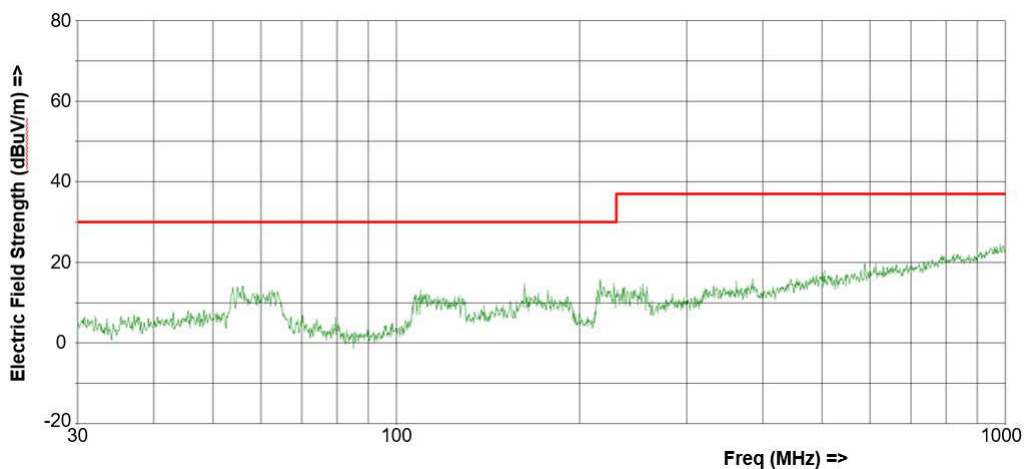
$V_{DD} = 5V$ $V_{ISO} = 5V$ V_{ISO} の $10\mu F$ コンデンサ

図 5-25. $10\mu F$ コンデンサと $110mA$ 負荷を使用した $5V$ での V_{ISO} リップル電圧



$V_{DD} = 5V$ $V_{ISO} = 5V$ V_{ISO} の $100\mu F$ コンデンサ

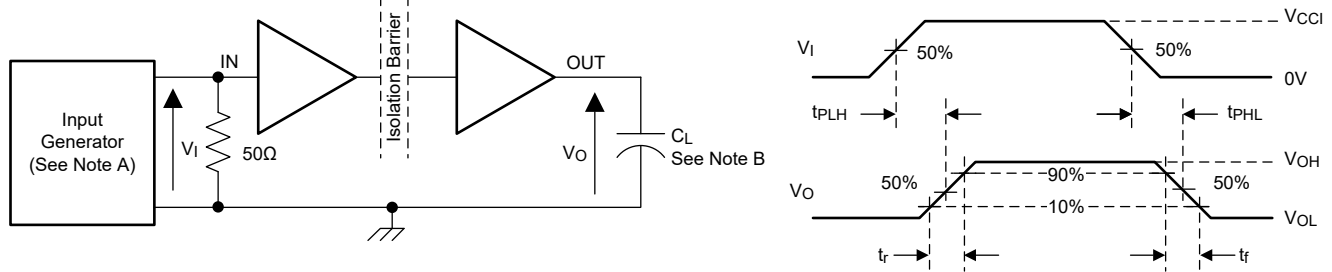
図 5-26. $100\mu F$ コンデンサと $110mA$ 負荷を使用した $5V$ での V_{ISO} リップル電圧



ISOW644x の CISPR-32 140mA 負荷による $5V$ (入力) および $3.3V$ (出力) モード放射エミッション曲線。
ISOW6441DWEEVM でテスト済み

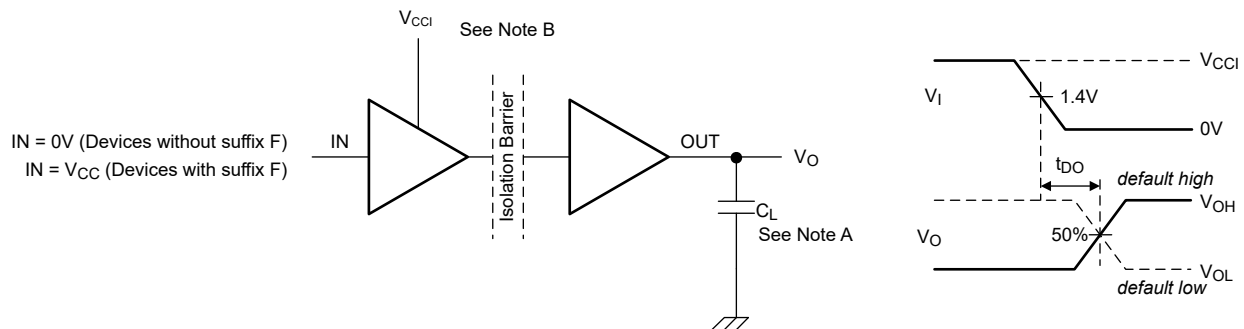
6 パラメータ測定情報

以下の図では、 V_{CCI} および V_{CCO} はそれぞれ電源 V_{DD} および V_{ISO} 示しています。



- A. $C_L = 15\text{pF}$ 、入力パルスは以下の特性を持つジェネレータから供給されます: $\text{PRR} \leq 50\text{kHz}$ 、50% デューティ サイクル、 $t_r \leq 3\text{ns}$ 、 $t_f \leq 3\text{ns}$ 、 $Z_O = 50\Omega$ 。入力ジェネレータ信号を終端するため、入力に 50Ω の抵抗が必要です。実際のアプリケーションでは、この 50Ω 抵抗は不要です。
- B. $C_L = 15\text{pF}$ 、 $\pm 20\%$ 以内の計測器および治具の容量が含まれています。

図 6-1. スイッチング特性試験回路と電圧波形



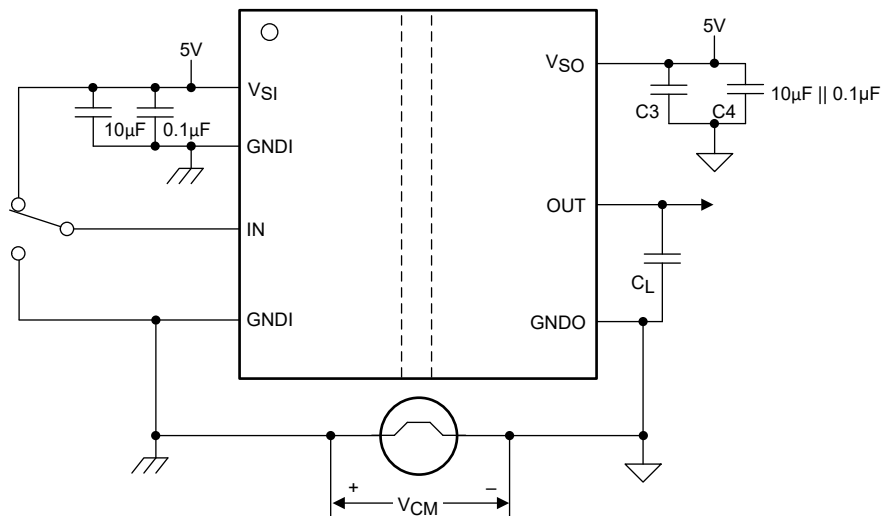
注

A. $C_L = 15\text{pF}$ 、 $\pm 20\%$ 以内の計測器および治具の容量が含まれています。

注

B. 電源ランプレート = 10mV/ns 。

図 6-2. デフォルトの出力遅延時間テスト回路と電圧波形



注

$C_L = 15\text{pF}$ であり、 $\pm 20\%$ 以内の計測器および治具の容量が含まれています。

注

合否基準: 出力が安定状態を維持。

図 6-3. 同相過渡電圧耐性試験回路

7 詳細説明

7.1 概要

ISOW644x デバイス ファミリーは、低ノイズ、低放射の絶縁型 DC-DC コンバータと、4 つの高速絶縁データ チャネルを備えています。[セクション 7.2](#) に ISOW644x デバイスの機能ブロック図を示します。

7.1.1 電源の絶縁

内蔵絶縁型 DC/DC コンバータは、高度な回路とオンチップ レイアウト技法により放射エミッションを低減し、標準 42.5% 効率を達成します。内蔵のトランスでは、絶縁バリアとして薄膜ポリマーを使用しています。パワー コンバータの出力電圧は、 V_{SEL} ピンを使用して 3.3V または 5V に制御可能です。出力電圧 V_{ISO} を監視して、フィードバック情報が 1 次側に伝達されて調整されます。それに応じて 1 次側スイッチング段のデューティ サイクルが調整されます。パワー コンバータの高速フィードバック制御ループにより、負荷過渡時のオーバーシュートおよびアンダーシュートを低く抑えます。 V_{DD} 電源 V_{DD} および V_{DDL} 電源にヒステリシス付きの低電圧ロックアウト (UVLO) が内蔵されており、ノイズの多い状況下でも堅牢なフェールセーフ システム性能を提供します。内蔵のソフトスタート メカニズムによって突入電流を確実に制御し、電源オン時に出力のオーバーシュートが発生することを防止します。

7.1.2 信号絶縁

内蔵信号絶縁チャネルは、オンオフキーイング (OOK) 変調方式を採用し、二酸化ケイ素ベースの絶縁バリアを介してデジタルデータを送信します。トランスミッタは、一方の状態を表す高周波キャリアをバリアを介して送信し、もう一方の状態を表す信号は送信しません。レシーバは、シグナル コンディショニングの後、信号を復調し、バッファ段経由で出力を生成します。信号絶縁チャネルに高度な回路手法を採用して、CMTI 性能を最大化し、高周波キャリアおよび IO バッファ スイッチングによる放射エミッションを最小化しています。パワー コンバータからのノイズ カップリングを信号パスから回避するため、サイド 1 のパワー コンバータ用電源 (V_{DD}) と信号パス用電源 (V_{DDL}) は分離されています。詳細については、[レイアウトのガイドライン](#)を参照してください。

7.2 機能ブロック図

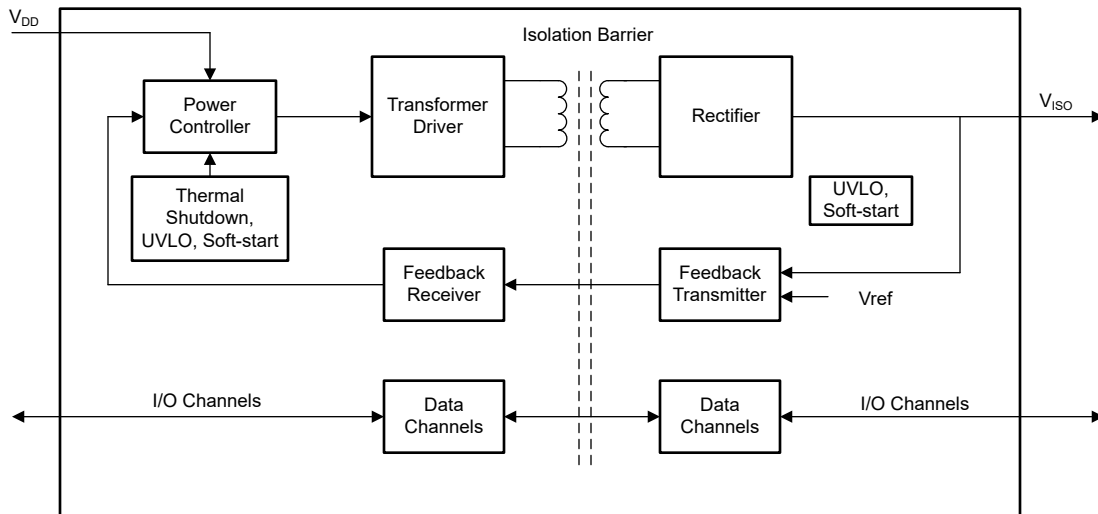


図 7-1. ISOW644x のブロック図

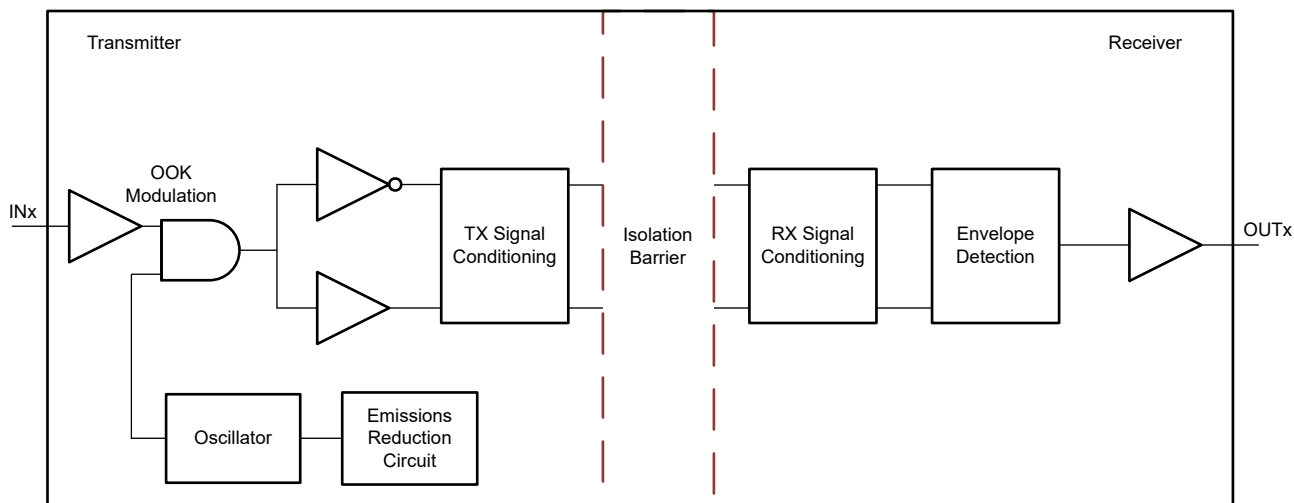


図 7-2. 容量性データ チャンネルの概念ブロック図

図 7-3 に、OOK 方式の動作概念の詳細を示します。

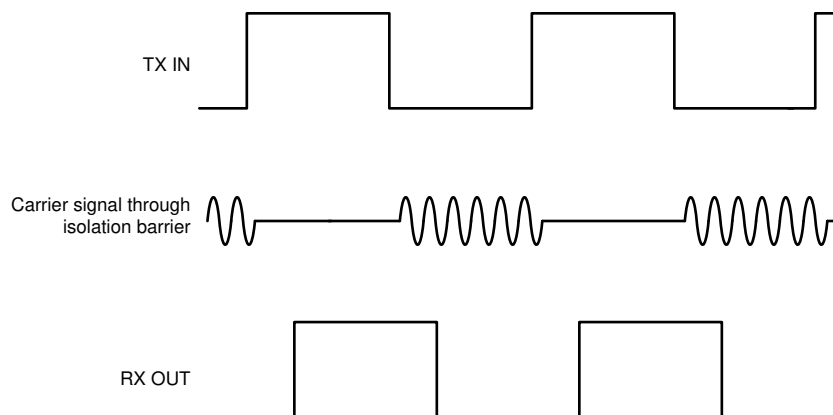


図 7-3. オン オフ キーイング (OOK) による変調方式

7.3 機能説明

次の表は、デバイスの機能概要を示しています。

表 7-1. ISOW644x デバイスの機能

部品番号 ¹	チャンネル方向	最大データレート	デフォルト出力状態	絶縁定格 ²
ISOW6441	正方向 3、逆方向 1	150Mbps	高	5kV _{RMS} / 7071V _{PK}
ISOW6441V	正方向 3、逆方向 1	150Mbps	高	5kV _{RMS} / 7071V _{PK}
ISOW6442	正方向 2、逆方向 2	150Mbps	高	5kV _{RMS} / 7071V _{PK}
ISOW6442V	正方向 2、逆方向 2	150Mbps	高	5kV _{RMS} / 7071V _{PK}

1. 接尾辞 F は、注文可能な型番の一部です。注文可能な型番については、[セクション 11](#) セクションを参照してください。
2. 絶縁定格の詳細については、[セクション 5.7](#) 表を参照してください。

7.3.1 電磁両立性 (EMC) に関する検討事項

ISOW644x デバイスは、内部発振器のエミッション低減方式と高度な内部レイアウト技法により、システム レベルで放射エミッションを最小化します。

過酷な産業用環境で使用される多くのアプリケーションは、静電気放電 (ESD)、電気的高速過渡現象 (EFT)、サージ、電磁放射のような外乱の影響を受けやすくなっています。これらの電磁妨害は、IEC 61000-4x や CISPR 32 デバイスなどの国際規格により規制されています。システム レベルの性能と信頼性は、アプリケーション基板の設計とレイアウトに大きく左右されますが、ISOW644x デバイスは、数多くのチップ レベルの設計改善を取り入れて、システム全体の堅牢性を高めています。改善項目の一部を以下に示します。

- 入出力信号ピンおよびチップ間のボンド パッドに、堅牢な ESD 保護セル。
- 電源ピンおよびグランド ピンに、ESD セルの低抵抗接続。
- 高電圧絶縁コンデンサの性能を強化し、ESD、EFT、サージの各イベントに対する耐性を向上。
- 低インピーダンス パスを経由して不要な高エネルギー信号をバイパスする、オンチップ デカップリング コンデンサの大容量化。
- ガードリングによって PMOS デバイスと NMOS デバイスを相互に絶縁し、寄生 SCR がトリガされるのを防止。
- 完全差動内部動作を確保し、絶縁バリアをまたぐコモン モード電流を低減。
- パワー パスと信号パスを分離して内部の高周波結合を最小限に抑え、フェライト ビーズによる外部フィルタリングで放射エミッションをさらに低減が可能になります
- パワー コンバータのスイッチング周波数を 60Mhz に低減し、エミッション スペクトルの高周波成分の強度を低減しました

この部品の EMC 性能の詳細については、『[EMC コンプライアンス レポート](#)』を参照してください。絶縁型設計で EMC を最適化する方法の詳細については、『[CISPR と IEC 準拠に適した 10 種類の PCB 手法](#)』をご覧ください。

7.3.2 パワーアップ動作とパワーダウン動作

ISOW644x デバイスは、 V_{DD} および V_{DDL} 電源に UVLO を内蔵して、正方向および負方向のスレッシュホールドとヒステリシスを備えています。パワー コンバータの電源 (V_{DD}) は、パワー コンバータを動作させるために UVLO より高くなければなりません。ロジック電源 (V_{DDL}) は、信号パスを動作させるために UVLO より高くなければなりません。

電源オン時に V_{DD} 電圧が正方向の UVLO スレッシュホールドを超えると、DC/DC コンバータが初期化されるとともに、制御された状態で電力コンバータのデューティ サイクルが増加していきます。このソフトスタート方式により、 V_{DD} 電源から引き出される 1 次側ピーク電流を制限し、制御された状態で V_{SO} 出力に電源を供給してオーバーシュートを回避します。絶縁データ チャネルの出力は、 V_{DD} 電圧が正方向の UVLO スレッシュホールドを超えるまでは不定状態になります。2 次側の V_{ISO} ピンで UVLO の正方向スレッシュホールドを超えると、フィードバック データ チャネルが 1 次側コントローラへのフィードバックを開始します。レギュレーション ループが制御を引き継ぎ、絶縁データ チャネルは、対応する入力チャネルまたはそれぞれのデフォルト状態の定義による通常状態に移行します。このパワー アップ シーケンスが完了して、システム機能に参与するデータ チャネルが有効になるまで、十分な時間マージン (通常は 10 μ F の負荷容量で 10ms) を考慮して設計する必要があります。

V_{DD} 電源が失われた場合、UVLO 下限スレッシュホールドに達したときに 1 次側 DC/DC コントローラがオフになります。その後、 V_{ISO} コンデンサは外部負荷によって放電されます。 V_{ISO} 側の絶縁データ出力は、 V_{ISO} 電圧がゼロまで放電するのに要する短時間の間、デフォルト状態に戻ります。

7.3.3 保護機能

ISOW644x デバイスは、複数の保護機能を備えて、堅牢なシステムレベルの設計を実現します。

- このデバイスは、出力過負荷および短絡に対して保護されています。過負荷状態において、電力コンバータが要求される電流を供給できない場合には、出力電圧が低下し始めます。 V_{ISO} がグランドへ短絡した場合には、コンバータのデューティ サイクルを制限することによって、損傷に対する保護を実現しています。
- また、熱保護機能が内蔵されており、絶縁出力で過負荷および短絡の状態が発生したときにデバイスが損傷するのを防止します。このような状態では、デバイスの温度が上昇し始めます。温度が 165°C を超えると、サーマル シャットダウンが作動して 1 次側コントローラがオフになり、 V_{ISO} 負荷に供給されるエネルギーがなくなって、デバイスが冷却されます。接合部温度が 150°C を下回ると、デバイスは通常動作を開始します。過負荷または出力短絡の状態が続い

ている場合は、この保護サイクルが繰り返されます。デバイスの接合部温度がこのような高い値に達しないよう、設計で注意する必要があります。

7.4 デバイスの機能モード

表 7-2 に、これらのデバイスの電源構成を示します。

表 7-2. 電源構成機能表

V _{DD}	VSEL	V _{ISO}
5V	High (V _{ISO} に短絡)	5V
5V	Low (GND2 に短絡)	3.3V
3.3V	Low (GND2 に短絡)	3.3V
3.3V	High (V _{ISO} に短絡)	非対応

表 7-3. デバイスの機能モード

入力電源 (V _{DD})	入力 (IN _x)	出力 (OUT _x)	コメント
PU	H	H	出力チャンネルは、入力の論理状態と同じになります
	L	L	
	オープン	デフォルト	デフォルト モード ⁽¹⁾ では、IN _x がオープンの場合、対応する出力チャンネルは、選択されたバージョンのデフォルト出力モードに基づいたロジック状態になります
PD	X	不定	V _{DD} の電源がオフの場合、V _{ISO} は生成されません。

(1) デフォルト 状態では、ISOW644x の出力は high となり、接尾辞 F 付きの ISOW644x の出力は low となります。

表 7-4 に、これらのデバイスのチャンネル アイソレータの機能モードを示します。

表 7-4. 絶縁チャンネル機能表

チャンネル入力電源 (V _{DDL}) ⁽¹⁾	チャンネル出力電源 (V _{CCO}) ⁽¹⁾	入力 (IN _x)	出力 (OUT _x)	コメント
PU	PU	H	H	通常動作: チャンネルの出力は、入力の論理状態になります。
		L	L	
		オープン	デフォルト	デフォルト モード ⁽²⁾ : IN _x がオープンのとき、対応するチャンネル出力はデフォルトのロジック状態に移行します。
PD	PU	X	デフォルト	V _{DDL} に電源が供給されていないとき、出力チャンネルはハイ インピーダンス状態になりますが、V _{ISO} は表 7-2 で説明されているように動作し続けます

(1) V_{CCI} = 入力側 V_{DD} V_{DDL} または V_{ISO} V_{CCO} = 出力側 V_{DD} V_{DDL} または V_{ISO} PU = 電源オン (V_{DD} > 2.86V、V_{DDL} > 2.25V、V_{ISO} > 3V) PD = 電源オフ (V_{DD} < 2.44V、V_{DDL} < 1.6V、V_{ISO} < 3V)、X = 無関係、H = High レベル、L = Low レベル。

(2) デフォルト状態では、ISOW644x デバイスの出力は high となり、接尾辞 F 付きの出力は low となります。

7.4.1 デバイス I/O 回路図

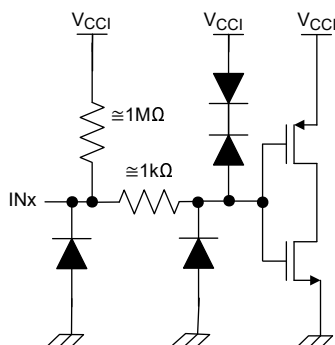


図 7-4. 入力 (INx) がデフォルトが High (接尾辞 F なしのデバイス) の回路図

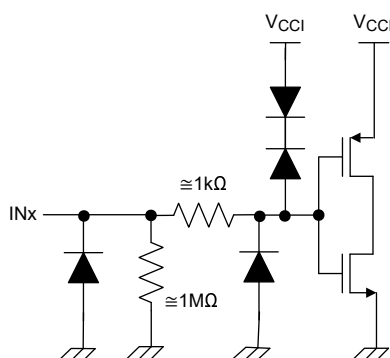


図 7-5. 入力 (INx) がデフォルトが Low (接尾辞 F が付いたデバイス) の回路図

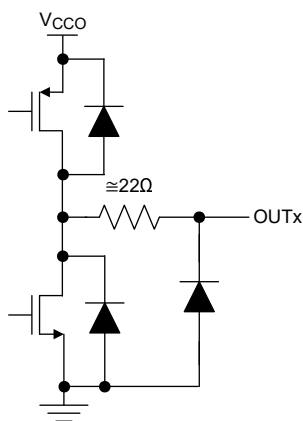


図 7-6. 出力 (OUTx) の回路図

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

このデバイスは、高性能クワッド チャネル デジタル アイソレータで、DC/DC コンバータが内蔵されています。通常、デジタル アイソレータは、デバイスの両側に電力を供給するために、相互に絶縁された 2 つの電源を必要とします。このデバイスには、DC/DC コンバータが内蔵されているため、絶縁電源がデバイス内で生成され、デバイスの絶縁側への電力供給および絶縁側に接続されるペリフェラルへの電力供給に使用できるため、基板面積を削減できます。このデバイスは、シングル エンドの CMOS ロジック スイッチング技術を使用しています。デジタル アイソレータを使って設計する場合は、シングルエンド設計構造のため、デジタル アイソレータが特定のインターフェイス規格に準拠していないこと、シングルエンド CMOS または TTL デジタル信号ラインの絶縁のみを目的としていることに注意してください。アイソレータは、インターフェイスの種類や規格にかかわらず、通常、データ コントローラ (つまりマイコン、UART または SPI) とデータ コンバータまたはライントランシーバの間に配置されます。

このデバイスは、基板面積が限定され、より高い集積を求めるアプリケーション向けに設計されています。また、このデバイスは、所要の絶縁仕様を満たす電力トランスが大型で高価になる高電圧アプリケーション向けにも設計されています。

8.2 代表的なアプリケーション

次の表に、SPI 絶縁の代表的な回路を示します。

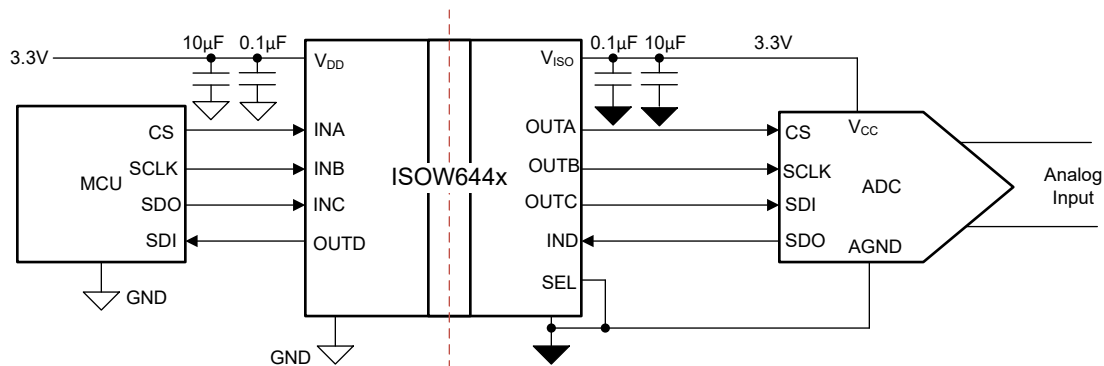


図 8-1. ISOW6441 を使用する ADC センシング アプリケーション向けの絶縁電源および SPI

8.2.1 設計要件

このデバイスを設計するには、表 8-1 に記載されているパラメータを使用します。

表 8-1. 設計パラメータ

パラメータ	値
V_{DD} 入力電圧	3V ~ 5.5V
V_{DDL} 入力電圧	2.25V ~ 5.5V
V_{DD} デカップリング コンデンサ	10 μ F + 0.01 μ F + オプションの追加容量
V_{DDL} デカップリング コンデンサ	0.1 μ F + オプションの追加容量
V_{ISO} デカップリング コンデンサ	10 μ F + 0.01 μ F + オプションの追加容量

ISOW6441 デバイスの V_{DD} および V_{ISO} 電源には非常に大きい電流が流れるため、通常、より大容量のデカップリング コンデンサを使用するとノイズおよびリップル性能が向上します。10 μ F コンデンサで十分ですが、最高の性能を得るためには、 V_{ISO} および V_{DD} ピンの両方にそれぞれのグランドに対してより大容量のデカップリング コンデンサ (たとえば 47 μ F) を接続することを強く推奨します。

8.2.2 詳細な設計手順

これらのデバイスは、高性能で動作するように、外付けバイパス コンデンサを特定の配置で配置する必要があります。これらの低 ESR セラミック バイパス コンデンサは、チップ パッドにできるだけ近づけて配置する必要があります。

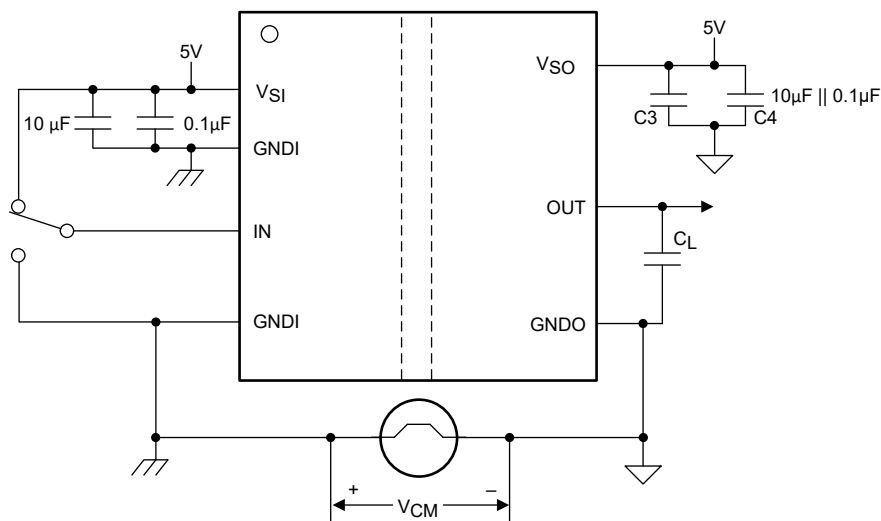


図 8-2. 標準的な ISOW6441 回路のフックアップ

8.3 電源に関する推奨事項

さまざまなデータレートおよび電源電圧での動作の信頼性を確保するため、電源ピンにできるだけ近い場所にデカップリング コンデンサを配置する必要があります。

入力電源 (V_{DDL} および V_{DD}) は、出力負荷をサポートし、最終アプリケーションで要求される最大データレートでのスイッチングに対応できる適切な電流定格が必要です。詳細については、[セクション 8.2](#) セクションを参照してください。

出力負荷電流 110mA の場合、入力電流制限を 600mA 超とし、出力負荷電流が低い場合は入力電流制限を比例して低くできます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

優れた EMC 性能を達成するには、低コストの 2 層 PCB で十分です:

- 上層に高速パターンを配線することにより、ビアの使用 (およびそれに伴うインダクタンスの発生) を避けて、データリンクのトランスミッタおよびレシーバ回路とアイソレータとの間のクリーンな相互接続が可能になります。
- 高速信号層の次の層に、ベタのグラウンド プレーンを配置することにより、伝送ライン接続のインピーダンスを制御し、リターン電流のための優れた低インダクタンス パスを実現します。
- グラウンド プレーンの次の層に、電源プレーンを配置すると、高周波バイパス容量を約 100pF/インチ² 増加させることができます。
- 最下層に低速の制御信号を配線すると、これらの信号リンクには一般的に、ビアのような不連続性を許容するマージンがあるため、高い柔軟性が得られます。
- 最高の EMC 性能を得るには、2 つの GND 1 ピンを GND 1 プレーンに短絡し、同様に 2 つの GND 2 ピンを GND 2 プレーンに短絡する必要があります。

電源プレーンまたは信号層の追加が必要な場合は、対称性を保つために、第 2 の電源プレーンシステムまたはグラウンド プレーンシステムを層構成に追加します。これにより、基板の層構成は機械的に安定し、反りを防ぎます。また、各電源システムの電源プレーンとグラウンド プレーンを互いに近づけて配置できるため、高周波バイパス容量を大幅に増やすことができます。

デバイスには放熱用のサーマル パッドがないため、デバイスは各 GND ピンを通じて放熱します。デバイスの内部接合部温度が許容できないレベルに上昇するのを防ぐため、両方の GND ピンに十分な銅パターンを確保してください。

次のレイアウト例に、デバイスのバイパスコンデンサの推奨配置と配線を示します。アプリケーションの EMC 要件を満たすには、以下のガイドラインに従う必要があります:

- 高周波バイパスコンデンサ 100nF は、V_{DD} および V_{ISO} ピンの近くに配置し、デバイスピンから 1mm 未満の距離で配置する必要があります。これは、放射エミッション性能を最適化するには非常に不可欠です。コンデンサがインダクタンス (ESL) が最も小さい 0402 サイズであることを確認します。
- パワー コンバータ入力 (V_{DD}) には、少なくとも 10μF のバルクコンデンサを配置する必要があります。
- バイパスコンデンサまで、V_{DD} と GND1 のパターンを対称にする必要があります。
- 低放射エミッションの設計を行うためには、[ISOW6441DWEEVM](#) のレイアウト ガイドラインに従うことを強く推奨します。

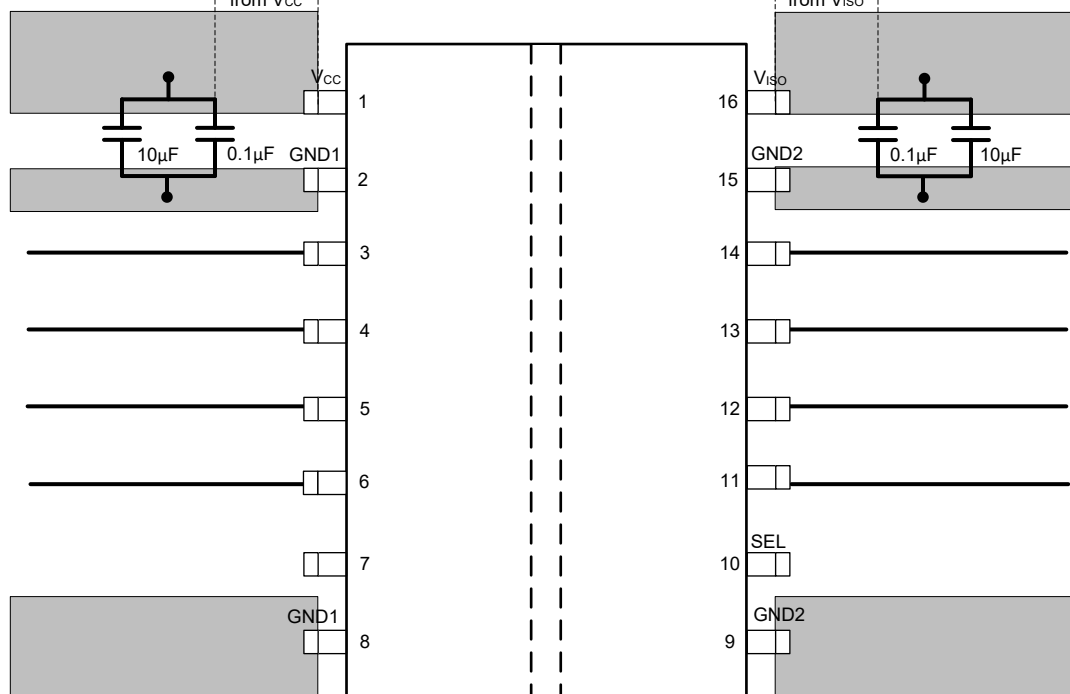
8.4.1.1 PCB 材料

150Mbps 未満で動作する場合 (または、立ち上がり立ち下がり時間が 1ns 超)、およびトレース長が 10 インチ未満の場合のデジタル回路基板には、標準の FR-4 UL94V-0 プリント基板を使用します。この PCB は、高周波での誘電損失の低減、吸湿性の低減、強度と剛性の向上、および自己消火性の特性により、安価な代替品よりも推奨されます。

8.4.2 レイアウト例

Solid supply islands reduce inductance because large peak currents flow into the V_{CC} pin

2mm maximum from V_{CC}



Solid ground islands help dissipate heat through PCB

図 8-3. レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 開発サポート

開発サポートについては、以下を参照してください。

- 統合された電源およびデジタル絶縁設計を活用して設計性能を向上
- 絶縁型設計での EMC の最適化: CISPR と IEC 準拠に適した 10 種類の PCB 手法
- EMC コンプライアンス レポート: 内蔵電源付きアイソレータの CISPR/IEC テスト結果

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『デジタル アイソレータ設計ガイド』アプリケーション ノート
- テキサス・インスツルメンツ、『絶縁用語集』アプリケーション ノート

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (June 2026) to Revision B (August 2026)	Page
• データシート全体を通して ISOW6442 の高度なデバイス情報を追加.....	1
• データシートのステータスを混流生産に変更.....	1

Changes from Revision * (November 2025) to Revision A (June 2026)

Page

- デバイスのステータスを「事前情報」から「量産」に変更..... [1](#)
-

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

付録：パッケージ・オプション

パッケージ情報

注文可能な型番	ステータス (1)	資料の タイプ (2)	パッケージ ピン数	パッケージ数量 キ ャリア	RoHS (3)	リード端子の仕上げ/ ボールの原材料 (4)	MSL 定格/ピークリフロ ー (5)	動作温度 (°C)	部品マーキング (6)
ISOW6441DWER	量産出荷中		SOIC (DWE) 16	2000	グリー ン (RoHS 準拠、 Sb/Br 非含 有)	CU NIPDAU	レベル 3-260C-168 HR	-40～125	ISOW6441
XISOW6441FDWER	出荷前		SOIC (DWE) 16	2000	グリー ン (RoHS 準拠、 Sb/Br 非含 有)	CU NIPDAU	レベル 3-260C-168 HR	-40～125	XISOW6441F
XISOW6441VDWER	出荷前		SOIC (DWE) 16	2000	グリー ン (RoHS 準拠、 Sb/Br 非含 有)	CU NIPDAU	レベル 3-260C-168 HR	-40～125	XISOW6441V
XISOW6441VFDWER	出荷前		SOIC (DWE) 16	2000	グリー ン (RoHS 準拠、 Sb/Br 非含 有)	CU NIPDAU	レベル 3-260C-168 HR	-40～125	XISOW6441VF
XISOW6442DWER	出荷前		SOIC (DWE) 16	2000	グリー ン (RoHS 準拠、 Sb/Br 非含 有)	CU NIPDAU	レベル 3-260C-168 HR	-40～125	XISOW6442

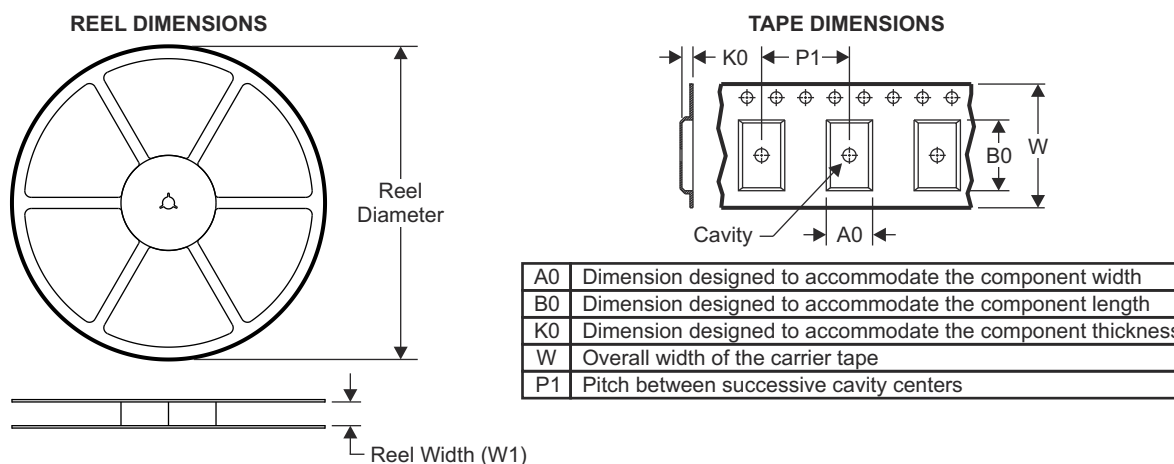
注文可能な型番	ステータス (1)	資料の タイプ (2)	パッケージ ピン数	パッケージ数量 キ ャリア	RoHS (3)	リード端子の仕上げ/ ボールの原材料 (4)	MSL 定格/ピークリフロ ー (5)	動作温度 (°C)	部品マーキング (6)
XISOW6442FDWER	出荷前		SOIC (DWE) 16	2000	グリー ン (RoHS 準拠、 Sb/Br 非含 有)	CU NIPDAU	レベル 3-260C-168 HR	-40～125	XISOW6442F
XISOW6442VDWER	出荷前		SOIC (DWE) 16	2000	グリー ン (RoHS 準拠、 Sb/Br 非含 有)	CU NIPDAU	レベル 3-260C-168 HR	-40～125	XISOW6442V
XISOW6442VFDWER	出荷前		SOIC (DWE) 16	2000	グリー ン (RoHS 準拠、 Sb/Br 非含 有)	CU NIPDAU	レベル 3-260C-168 HR	-40～125	XISOW6442VF

- (1) **ステータス:**ステータスの詳細については、TI の [製品ライフ サイクル](#) をご覧ください。
- (2) **資料のタイプ:**指定された量産開始前部品はプロトタイプ/検証用デバイスであり、実生産向けに承認またはリリースされたものではありません。テストおよび最終プロセス (品質保証、信頼性性能テスト、プロセス認証が含まれますが、これに限定されるものではありません) がまだ完了していない可能性があるほか、さらなる変更が加えられたり、中止される可能性もあります。注文可能になっている場合、その購入はチェックアウト時に新たな免責条項の対象となるものとします。また、これは早期内部評価のみを目的としたものです。これらの商品は、いかなる保証もなしで販売されています。
- (3) **RoHS 値:**はい、いいえ、RoHS 免除。詳細情報および値の定義については、[TI RoHS に関する声明](#) を参照してください。
- (4) **リード端子の仕上げ/ボールの原材料:**部品には複数の材料仕上げオプションがある場合があります。複数の仕上げオプションは、縦罫線で区切られています。リード端子の仕上げ / ボールの原材料の値が最大列幅に収まらない場合は、2 行にまたがります。
- (5) **MSL 定格/ピークリフロー:**湿度感度レベルの定格、および半田付けのピーク (リフロー) 温度です。部品が複数の耐湿性定格を持つ場合、JEDEC 規格で最低レベルのみを示しています。プリント基板に部品を取り付けるために使用する実際のリフロー温度については、出荷ラベルをご確認ください。
- (6) **部品マーキング:**ロゴ、ロットトレースコード情報、または環境カテゴリに関する追加マークが部品に記載されることがあります。複数の部品マーキングが括弧の中に記載されています。括弧内で「～」で区切られた 1 つの部品マーキングのみが部品に表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスの部品マーキング全体となります。

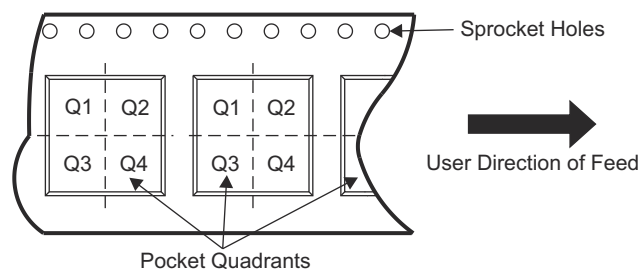
重要なお知らせと免責事項:このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

いかなる場合においても、そのような情報から生じた TI の責任は、このドキュメント発行時点での TI 製品の価格に基づく TI からお客様への合計購入価格 (年次ベース) を超えることはありません。

11.1 テープおよびリール情報

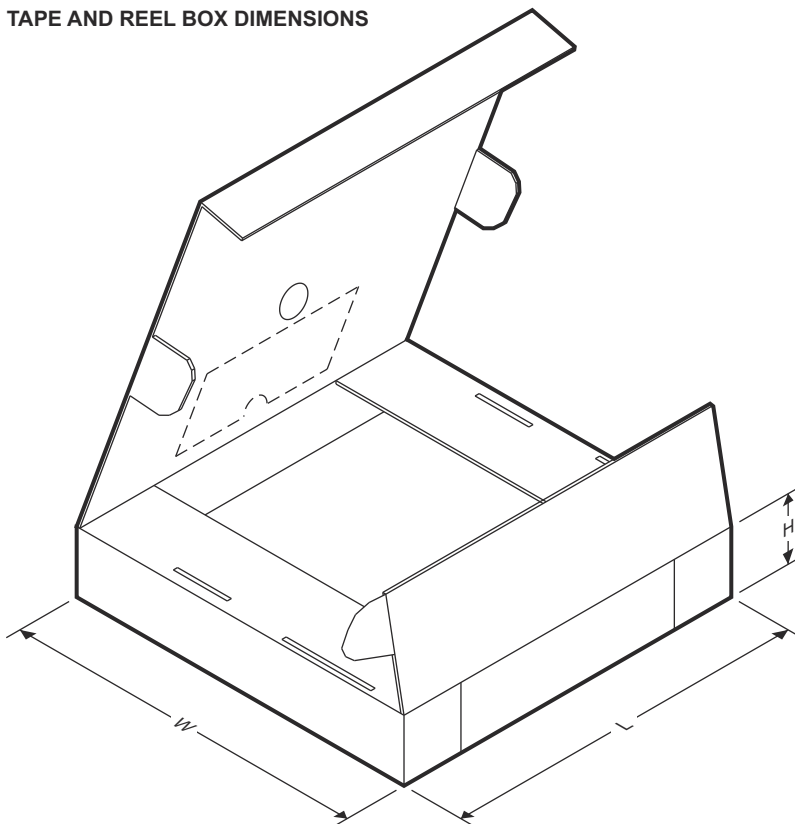


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

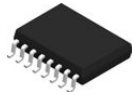


デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
ISOW6441DWER	SOIC	DWE	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
XISOW6441FDWER	SOIC	DWE	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
XISOW6441VDWER	SOIC	DWE	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
XISOW6441VFDWER	SOIC	DWE	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
XISOW6442DWER	SOIC	DWE	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
XISOW6442FDWER	SOIC	DWE	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
XISOW6442VDWER	SOIC	DWE	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
XISOW6442VFDWER	SOIC	DWE	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS

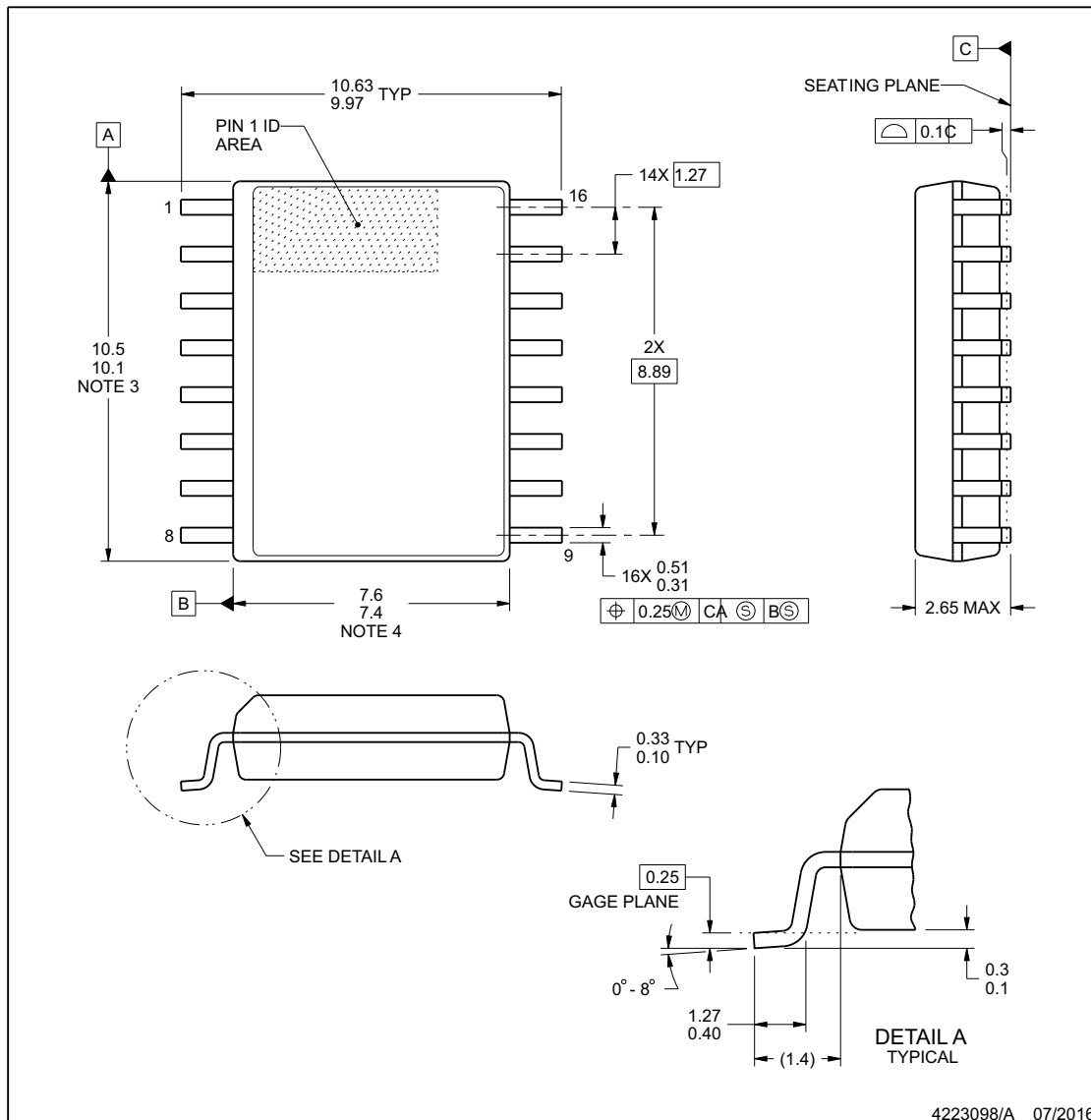


デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
ISOW6441DWER	SOIC	DWE	16	2000	350.0	350.0	43.0
XISOW6441FDWER	SOIC	DWE	16	2000	350.0	350.0	43.0
XISOW6441VDWER	SOIC	DWE	16	2000	350.0	350.0	43.0
XISOW6441VFDWER	SOIC	DWE	16	2000	350.0	350.0	43.0
XISOW6442DWER	SOIC	DWE	16	2000	350.0	350.0	43.0
XISOW6442FDWER	SOIC	DWE	16	2000	350.0	350.0	43.0
XISOW6442VDWER	SOIC	DWE	16	2000	350.0	350.0	43.0
XISOW6442VFDWER	SOIC	DWE	16	2000	350.0	350.0	43.0

**DWE0016A****PACKAGE OUTLINE**

SOIC - 2.65 mm max height

SOIC

**NOTES:**

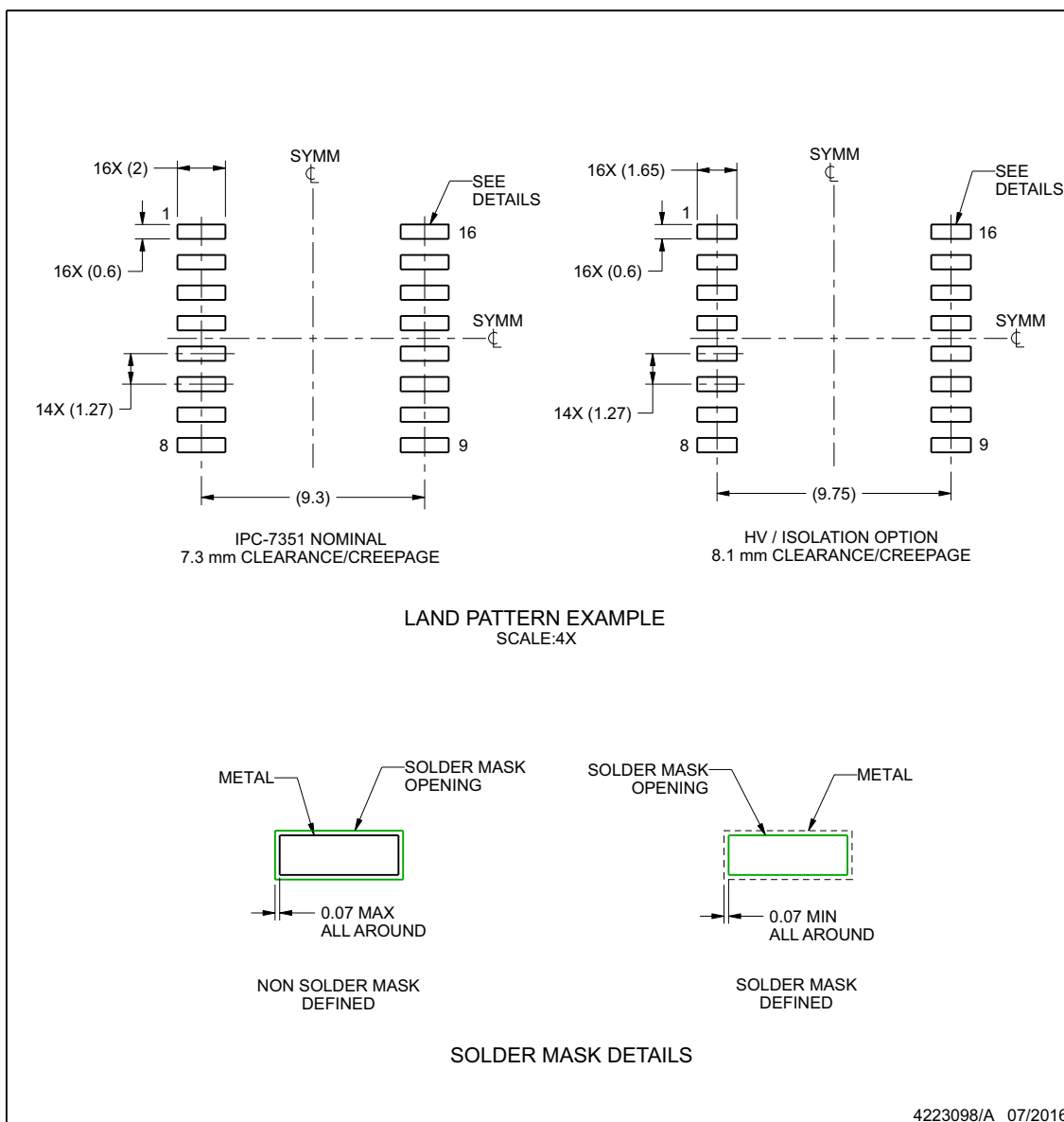
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

DWE0016A

SOIC - 2.65 mm max height

SOIC



NOTES: (continued)

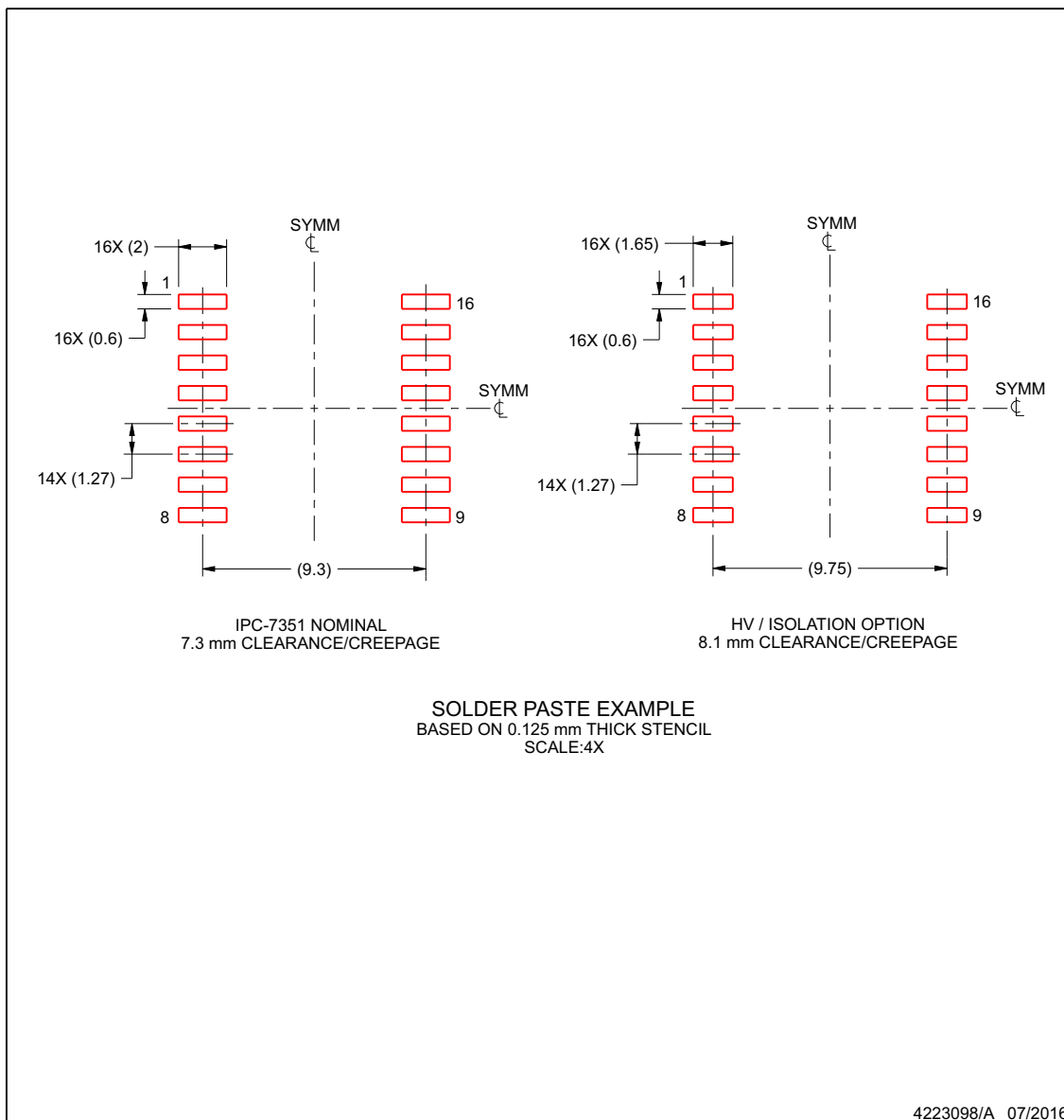
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DWE0016A

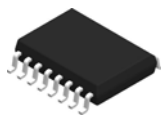
SOIC - 2.65 mm max height

SOIC



NOTES: (continued)

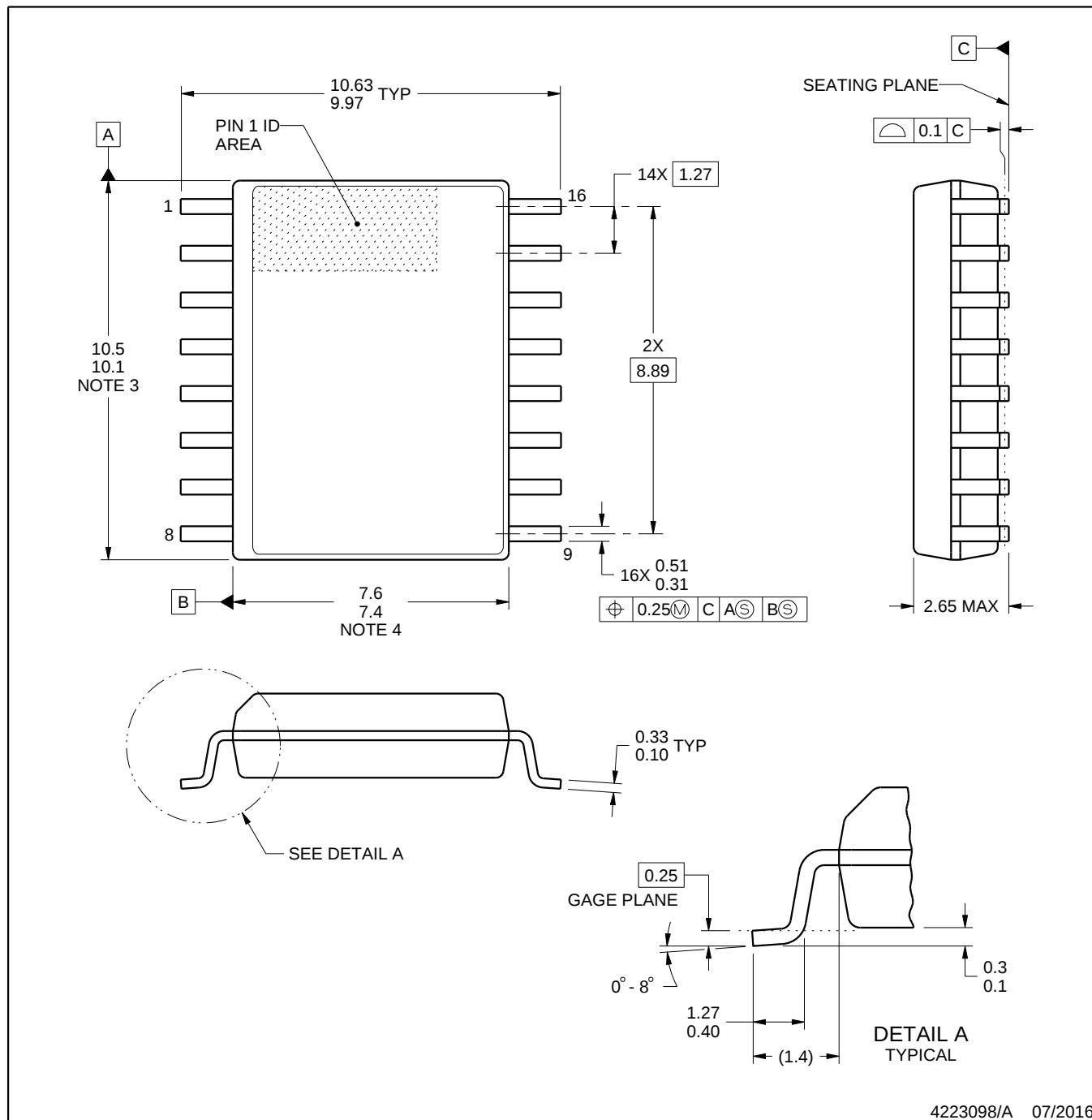
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



DWE0016A

PACKAGE OUTLINE **SOIC - 2.65 mm max height**

SOIC



4223098/A 07/2016

NOTES:

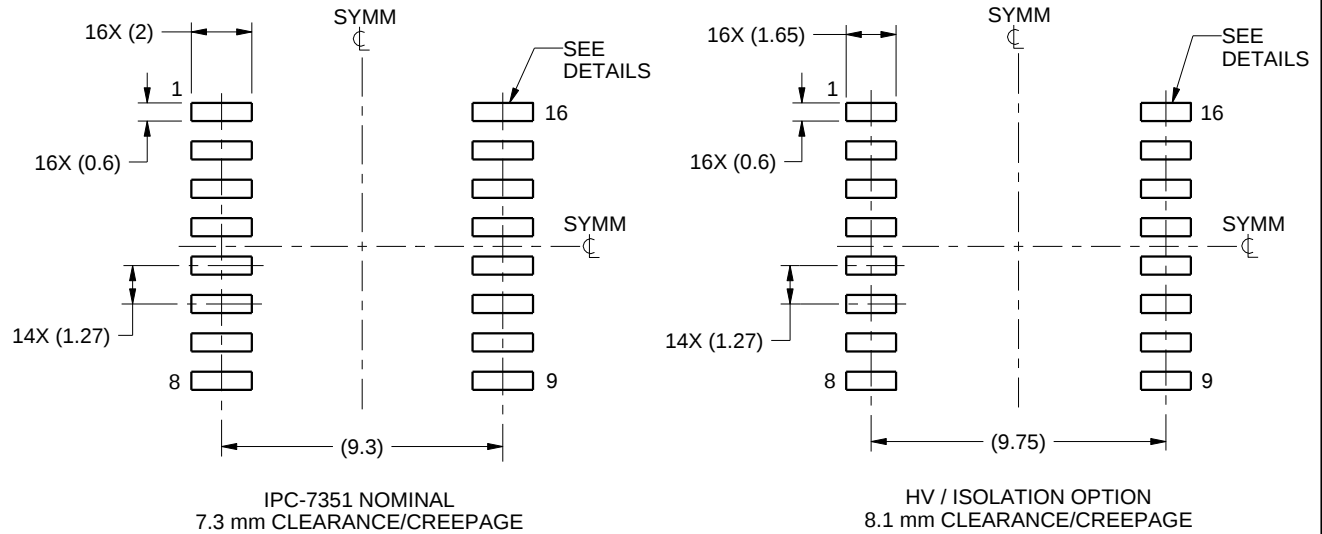
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

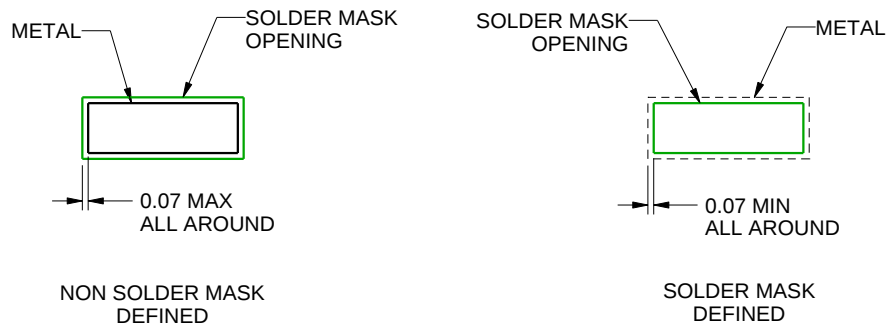
DWE0016A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:4X



SOLDER MASK DETAILS

4223098/A 07/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

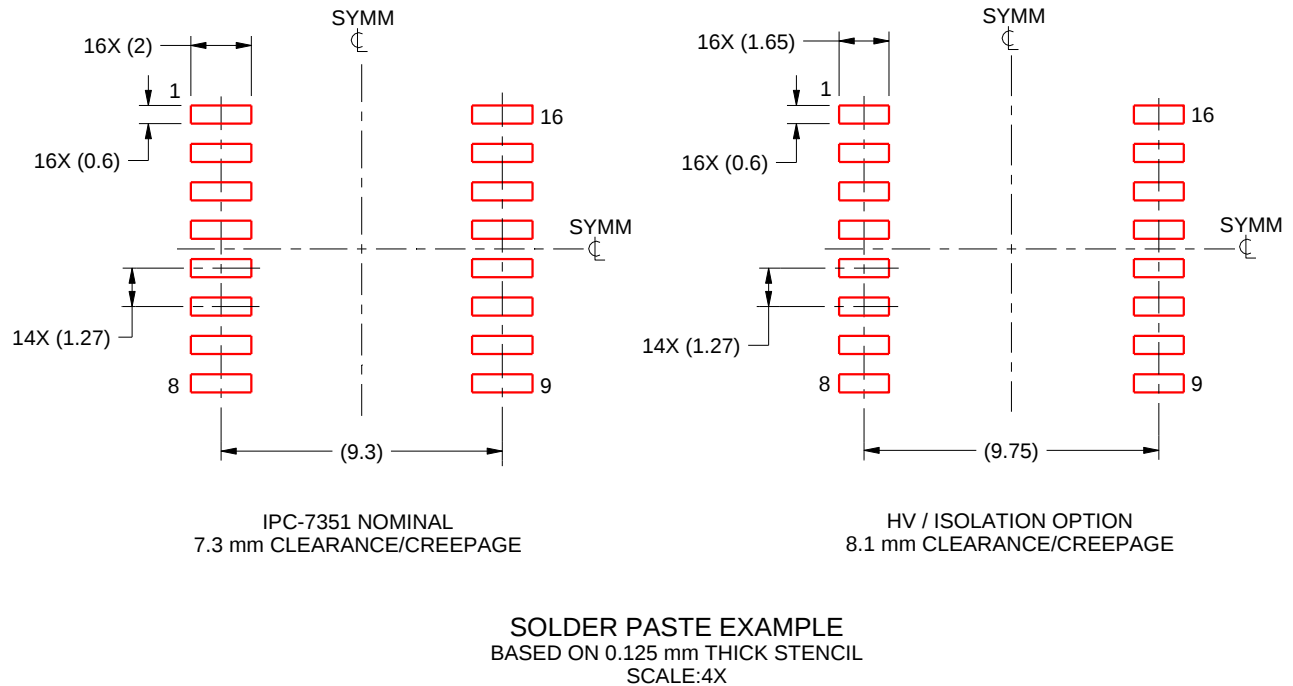
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DWE0016A

SOIC - 2.65 mm max height

SOIC



4223098/A 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月