

ISOW7721 低放射低ノイズ DC/DC コンバータ内蔵、2 チャネル デジタル アイソレータ

1 特長

- 100Mbps のデータレート
- 低放射、低ノイズ DC/DC コンバータを内蔵
 - CISPR 32 および EN 55032 Class B の放射要件を満たし、2 層基板で 5dB を上回るマージンを確保するように最適化
 - 25MHz 動作の低周波数パワー コンバータにより低ノイズ特性を実現
 - 低い出力リップル: 24mV
- 高効率出力電力
 - 最大負荷時の効率: 46%
 - 最大 0.55W の出力電力
 - V_{ISOOUT} 精度: $\pm 5\%$
 - 5V ~ 5V: 最大利用可能負荷電流 = 110mA
 - 5V ~ 3.3V: 最大利用可能負荷電流 = 140mA
 - 3.3V ~ 3.3V: 最大利用可能負荷電流 = 60mA
- システムの出力電力を 1W 以上 (200mA 以上) に増やすための複数の ISOW7721 の並列接続に対応
- チャネル アイソレータ用とパワー コンバータ用に独立した電源
 - ロジック電源 (V_{IO}): 1.71V ~ 5.5V
 - パワー コンバータ電圧 (V_{DD}): 3V ~ 5.5V
- 堅牢な電磁両立性 (EMC)
 - システムレベルでの ESD、EFT、サージ耐性
 - 絶縁バリアの両側で $\pm 8kV$ の IEC 61000-4-2 接触放電保護
- 高 CMTI: 100kV/ μs (標準値)
- 安全関連認証:
 - DIN EN IEC 60747-17 (VDE 0884-17) に準拠した VDE 強化絶縁
 - UL 1577 部品認定プログラム
 - IEC 62368-1、IEC 61010-1、IEC 60601-1、GB 4943.1 認定
- 拡張温度範囲: $-40^{\circ}C$ ~ $+125^{\circ}C$
- 20 ピンのワイド ボディ SOIC パッケージ

2 アプリケーション

- ファクトリ オートメーション
- モータ制御
- グリッド インフラ
- 医療用機器
- 試験および測定機器

製品情報

部品番号	パッケージ (1)	パッケージ サイズ (2)	本体サイズ (標準)
ISOW7721 ISOW7721F	DFM (20)	12.83mm × 10.30mm	12.83mm × 7.50mm

- (1) 詳細については、[メカニカル](#)、[パッケージ](#)、および[注文情報](#)を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



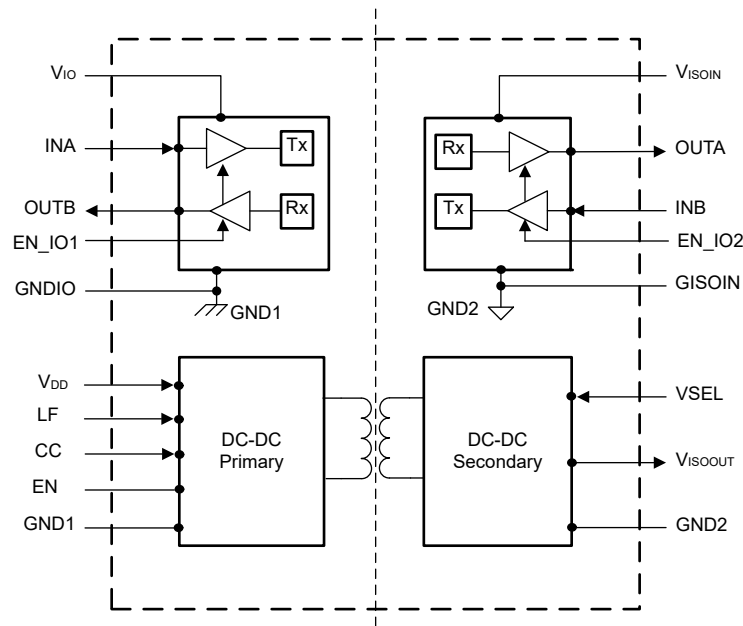
3 説明

ISOW7721 デバイスは、低放射、高効率パワー コンバータを内蔵し、ガルバニック絶縁された 2 チャネルのデジタル アイソレータです。内蔵の DC-DC コンバータにより、最大 550mW の絶縁電力を供給できるため、スペースに制約のある絶縁設計において個別の絶縁電源が不要です。電力を増やす必要がある場合、ISOW7721 は複数のデバイスの並列接続をサポートしているため、1 つのシステムに 2 つのデバイスを使用して総合出力電力を 1W 以上に増やせます。

このパワー コンバータは効率がいため、 -40°C ~ $+125^{\circ}\text{C}$ の広い周囲温度範囲で動作します。このデバイスは、放射性能が改善されているのでボード設計を簡素化でき、フェラ이트 ビーズを取り付けてさらに放射を減衰させることができます。ISOW7721 は、突入電流を制限するソフトスタート、過電圧および低電圧誤動作防止、過負荷および短絡保護、サーマル シャットダウンなど、保護機能の強化を念頭に置いて設計されています。

ISOW7721 は、CMOS または LVCMOS デジタル I/O を絶縁すると同時に、優れた電磁気耐性を実現します。信号絶縁チャネルでは、二酸化ケイ素 (SiO_2) の二重容量性絶縁バリアによって、ロジック入力および出力バッファが分離されています。また電力絶縁には、薄膜ポリマーを絶縁素材としたオンチップのトランスを使用しています。ISOW7721 は 1 つの順方向チャネルと 1 つの逆方向チャネルを備えています。入力信号が消失した場合のデフォルト出力は、接尾辞 F の付かない ISOW7721 デバイスでは High、接尾辞 F が付いた ISOW7721F デバイスでは Low です。ISOW7721 は、 V_{IO} と V_{DD} を PCB 上で接続することにより、3V ~ 5.5V の単一電源電圧で動作できます。より低いロジックレベルが必要とされる場合、これらのデバイスは 1.71V ~ 5.5V のロジック電源 (V_{IO}) に対応し、この電源を 3V ~ 5.5V のパワー コンバータ電源 (V_{DD}) とは独立に供給できます。 V_{ISOIN} と V_{ISOOUT} は、基板上でフェラ이트 ビーズを使用して接続するか、LDO 経由で供給する必要があります。

これらのデバイスを使用すれば、UART、RS-485、RS-232、CAN などのデータバスや他の回路のノイズ電流がローカル グランドに混入して敏感な回路に干渉や損傷を与えることを防止できます。革新的なチップ設計およびレイアウト技法により、このデバイスは電磁両立性が大幅に強化されているため、システム レベルの ESD、EFT、サージ、および放射に関するコンプライアンスを容易に達成できます。このデバイスは、20 ピンの SOIC ワイド ボディ (SOIC-WB) DFM パッケージで供給されます。



ISOW7721 の概略回路図

目次

1 特長	1	5.19 スイッチング特性 - 5V 電源.....	17
2 アプリケーション	1	5.20 スイッチング特性 - 3.3V 電源.....	18
3 説明	2	5.21 スイッチング特性 - 2.5V 電源.....	19
4 ピン構成および機能	4	5.22 スイッチング特性 - 1.8V 電源.....	20
5 仕様	6	5.23 絶縁特性曲線.....	21
5.1 絶対最大定格.....	6	5.24 代表的特性.....	22
5.2 ESD 定格.....	6	6 パラメータ測定情報	27
5.3 推奨動作条件.....	7	7 詳細説明	29
5.4 熱に関する情報.....	8	7.1 概要.....	29
5.5 電力定格.....	8	7.2 機能ブロック図.....	30
5.6 絶縁仕様.....	9	7.3 機能説明.....	31
5.7 安全関連認証.....	10	7.4 デバイスの機能モード.....	35
5.8 安全限界値.....	10	8 アプリケーションと実装	37
5.9 電気的特性 - パワー コンバータ.....	11	8.1 使用上の注意.....	37
5.10 電源電流特性 - パワー コンバータ.....	12	8.2 代表的なアプリケーション.....	37
5.11 電気的特性 - チャネル アイスレータ - V_{IO} 、 V_{ISOIN} = 5V.....	13	8.3 電源に関する推奨事項.....	40
5.12 電源電流特性 - チャネル アイスレータ - V_{IO} 、 V_{ISOIN} = 5V.....	13	8.4 レイアウト.....	41
5.13 電気的特性 - チャネル アイスレータ - V_{IO} 、 V_{ISOIN} = 3.3V.....	14	9 改訂履歴	42
5.14 電源電流特性 - チャネル アイスレータ - V_{IO} 、 V_{ISOIN} = 3.3V.....	14	10 デバイスおよびドキュメントのサポート	43
5.15 電気的特性 - チャネル アイスレータ - V_{IO} 、 V_{ISOIN} = 2.5V.....	15	10.1 デバイス サポート.....	43
5.16 電源電流特性 - チャネル アイスレータ - V_{IO} 、 V_{ISOIN} = 2.5V.....	15	10.2 ドキュメントのサポート.....	43
5.17 電気的特性 - チャネル アイスレータ - V_{IO} 、 V_{ISOIN} = 1.8V.....	16	10.3 ドキュメントの更新通知を受け取る方法.....	43
5.18 電源電流特性 - チャネル アイスレータ - V_{IO} 、 V_{ISOIN} = 1.8V.....	16	10.4 サポート・リソース.....	43
		10.5 商標.....	43
		10.6 静電気放電に関する注意事項.....	43
		10.7 用語集.....	43
		11 メカニカル、パッケージ、および注文情報	44

4 ピン構成および機能

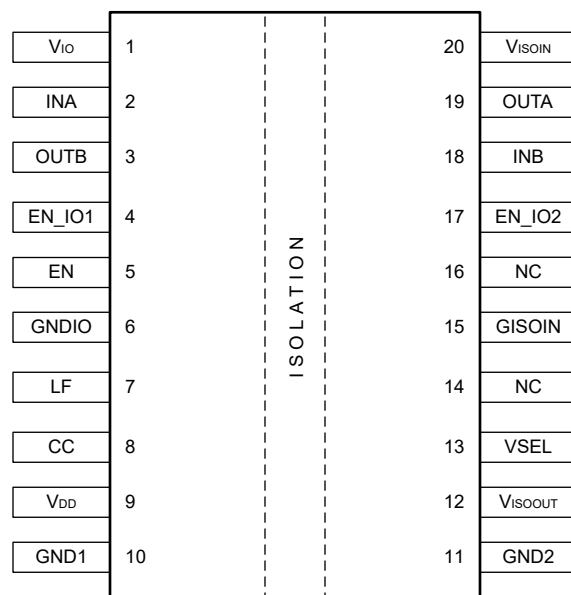


図 4-1. ISOW7721 DFM パッケージ、20 ピン SOIC 上面図

表 4-1. ピンの機能

名称	ピン		タイプ ⁽¹⁾	説明
	番号	ISOW7721		
EN_IO1	4	I	I	出力イネーブル 1: EN_IO1 が High またはオープン のとき、サイド 1 のチャネル出力ピンがイネーブルになります。EN_IO1 が Low の場合、サイド 1 のチャネル出力ピンはハイインピーダンス状態になり、サイド 1 のチャネル入力ピンのトランスミッタはディセーブルになります。
EN_IO2	17	I	I	出力イネーブル 2: EN_IO2 が High またはオープン のとき、サイド 2 のチャネル出力ピンがイネーブルになります。EN_IO2 が Low の場合、サイド 2 のチャネル出力ピンはハイインピーダンス状態になり、サイド 2 のチャネル入力ピンのトランスミッタはディセーブルになります。
GNDIO	6	—	—	V _{IO} のグラウンド接続 GND1 と GNDIO は、基板上で短絡する必要があります。
GISOIN	15	—	—	V _{ISOIN} のグラウンド接続 GND2 ピンと GISOIN ピンは、基板上で短絡するか、フェライト ビーズを使用して接続することができます。詳細については、 レイアウト セクション を参照してください。
GND1	10	—	—	V _{DD} のグラウンド接続 GND1 と GNDIO は基板上で短絡する必要があります。
GND2	11	—	—	V _{ISOOUT} のグラウンド接続 GND2 ピンと GISOIN ピンは、基板上で短絡するか、フェライト ビーズを使用して接続することができます。詳細については、 レイアウト セクション を参照してください。
INA	2	I	I	入力チャネル A
INB	18	I	I	入力チャネル B
CC	8	I/O	I/O	複数デバイスのプライマリ / セカンダリ同期ピン。 LF を GND1 に設定する場合、CC は追加の ISOW7721 と同期するために使用される出力です。LF を V _{DD} に設定する場合、CC は入力です。プライマリ デバイスの CC ピンをすべてのセカンダリ デバイスに接続します。未使用の場合は、CC をローテティングのままにします。 詳細については、 電力出力を向上させるためのマルチデバイス チェーン接続 を参照してください。
LF	7	I	I	複数デバイスのプライマリ / セカンダリ制御ロジック。 LF をプライマリ デバイスとして使用する場合は GND1 に、セカンダリ デバイスとして使用する場合は V _{DD} に接続します。LF をスタンドアロン デバイスとして使用し、パワー コンバータに接続しない場合は、GND1 に接続します。 詳細については、 電力出力を向上させるためのマルチデバイス チェーン接続 を参照してください。
OUTA	19	O	O	出力チャネル A
OUTB	3	O	O	出力チャネル B

表 4-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号 ISOW7721		
EN	5	I/O	パワー コンバータ イネーブル入力ピン: 内蔵 DC/DC パワー コンバータをイネーブル / ディスエーブルにします。マイコンに直接接続するか、ま直列電流制限抵抗を介して接続し、イネーブル入力ピンとして使用します。DC/DC パワー コンバータは、EN が V_{IO} 電圧レベルに対して High のときイネーブルになり、GND1 電圧レベルが Low のときディスエーブルになります。 詳細については「 セクション 7.3.3 」を参照
VSEL	13	I	V_{ISOOUT} 選択ピン。VSEL を V_{ISOOUT} と短絡した場合、 $V_{ISOOUT} = 5V$ 。VSEL を GND2 と短絡した場合、 $V_{ISOOUT} = 3.3V$ 。詳細については、 デバイスの機能モード を参照してください。
V_{IO}	1	—	サイド 1 ロジック電源
V_{DD}	9	—	サイド 1 DC/DC コンバータ電源
V_{ISOIN}	20	—	絶縁チャネル用のサイド 2 の電源電圧。 V_{ISOIN} と V_{ISOOUT} の各ピンは、基板上で短絡するか、フェライトビーズを使用して接続できます。詳細については、 アプリケーションと実装 を参照してください。
V_{ISOOUT}	12	—	絶縁型パワー コンバータの出力電圧 V_{ISOIN} と V_{ISOOUT} の各ピンは、基板上で短絡するか、フェライトビーズを使用して接続できます。詳細については、 アプリケーションと実装 を参照してください。

(1) I = 入力、O = 出力; I/O = 入力または出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)^{(1) (2)}

		最小値	最大値	単位
V_{DD}	パワー コンバータ電源電圧	-0.5	6	V
V_{ISOIN}	絶縁型電源電圧、2 次側絶縁チャネルの入力電源	-0.5	6	V
V_{ISOOUT}	絶縁型電源電圧、パワー コンバータ出力 (VSEL を GND2 に短絡)	-0.5	4	V
V_{ISOOUT}	絶縁型電源電圧、パワー コンバータの出力 VSEL を V_{ISOOUT} に短絡	-0.5	6	V
V_{IO}	1 次側ロジック電源電圧	-0.5	6	V
V_{LF}	LF の電圧	-0.5	6	V
V	INx、OUTx、EN_IOx の電圧 ⁽³⁾	-0.5	$V_{SI} + 0.5$	V
	EN/FLT の電圧	-0.5	$V_{SI} + 0.5$	V
	VSEL の電圧	-0.5	$V_{ISOOUT} + 0.5$	V
I_O	データ チャネルに流れる最大出力電流	-15	15	mA
T_J	接合部温度	-40	150	°C
T_{stg}	保存温度	-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) V_{DD} 、 V_{ISOIN} 、 V_{ISOOUT} 、 V_{IO} は、ローカル グランドピン (GND1 または GND2) を基準にしています。差動 I/O バス電圧を除くすべての電圧値は、グランド端子を基準としたピーク電圧値です。
- (3) V_{SI} = 入力側電源。6V を超えることはできません。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 ⁽¹⁾ HBM ESD 分類レベル 2 準拠	±3000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C6 準拠	±1500	
		IEC 61000-4-2 準拠の接触放電 ⁽²⁾ 絶縁バリア耐圧試験	±8000	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。
- (2) IEC 試験では、バリアのそれぞれの側にあるすべてのピンを互いに接続して 2 つの端子を持つデバイスを構成し、バリアをはさんで ESD 衝撃を印加します。

5.3 推奨動作条件

推奨動作条件範囲において、標準値は $V_{DD} = V_{IO} = 3.3V$ 、 $T_A = 25^\circ C$ 、 $GND1 = GNDIO$ 、 $GND2 = GISOIN$ での値です (特に記述のない限り)

			最小値	公称値	最大値	単位
パワー コンバータ						
V_{DD}	パワー コンバータ電源電圧	3.3V 動作	2.97	3.3	3.63	V
		5V 動作	4.5	5	5.5	V
$V_{DD(UVLO+)}$	パワー コンバータ電源が立ち上がる時の正のスレッシュホールド	パワー コンバータ電源が立ち上がる時の正のスレッシュホールド		2.7	2.95	V
$V_{DD(UVLO-)}$	パワー コンバータ電源が立ち下がる時の正のスレッシュホールド	パワー コンバータ電源が立ち下がる時の正のスレッシュホールド	2.40	2.55		V
$V_{DD(HYS)}$	パワー コンバータ電源電圧ヒステリシス	パワー コンバータ電源電圧ヒステリシス	0.15			V
チャネル分離						
$V_{IO}, V_{ISOIN}^{(3)}$	チャネル ロジック電源電圧	1.8V 動作	1.71		1.89	V
		2.5V、3.3V、および 5V 動作	2.25		5.5	V
$V_{IO(UVLO+)}$	ロジック電源電圧の立ち上がりスレッシュホールド			1.55	1.7	V
$V_{IO(UVLO-)}$	ロジック電源電圧の立ち下がりスレッシュホールド		1.0	1.41		V
$V_{IO(HYS)}$	ロジック電源電圧ヒステリシス		75			mV
I_{OH}	HIGH レベル出力電圧 ⁽¹⁾	$V_{ISOIN} = 5V$	-4			mA
		$V_{ISOIN} = 3.3V$	-2			mA
		$V_{ISOIN} = 2.5V$	-1			mA
		$V_{ISOIN} = 1.8V$	-1			mA
I_{OL}	LOW レベル出力電圧 ⁽¹⁾	$V_{ISOIN} = 5V$			4	mA
		$V_{ISOIN} = 3.3V$			2	mA
		$V_{ISOIN} = 2.5V$			1	mA
		$V_{ISOIN} = 1.8V$			1	mA
V_{IH}	High レベル入力電圧 ⁽²⁾		$0.7 \times V_{SI}$		V_{SI}	V
V_{IL}	Low レベル入力電圧		0		$0.3 \times V_{SI}$	V
DR	データレート				100	Mbps
t_{PWRUP}	電源投入後または EN/FLT High 後、チャネル アイソレータ準備完了	$V_{ISOIN} > V_{IO(UVLO+)}$		5		ms
T_A	周辺温度		-40		125	$^\circ C$

(1) この電流はデータ出力チャネルのものです。

(2) V_{SI} = 入力側電源、 V_{SO} = 出力側電源

(3) $1.89V < V_{SI} < 2.25V$ および $1.05V < V_{SI} < 1.71V$ のとき、出力 チャネルは不定状態です

5.4 熱に関する情報

熱評価基準 ⁽¹⁾		ISOW7721	単位
		DFM (SOIC)	
		20 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	68.5	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	24.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	53.7	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	17.1	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	50.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	—	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』を参照してください。

5.5 電力定格

パラメータ		テスト条件	最小値	標準値	最大値	単位
P_D	最大消費電力 (両サイド)	$V_{DD} = 5.5V$, $V_{IO} = 5.5V$, $V_{ISOOUT} = 5V$, $I_{ISOOUT} = 110mA$, $T_J = 150^\circ C$, $T_A \leq 80^\circ C$, $C_L = 15pF$, 50MHz 50% デューティサイクルの方形波入力			1.48	W
P_{D1}	最大消費電力 (サイド 1)				0.74	W
P_{D2}	最大消費電力 (サイド 2)				0.74	W

5.6 絶縁仕様

パラメータ		テスト条件	値	単位
一般				
CLR	外部空間距離 ⁽¹⁾	空気を介した最短のピン間距離	>8	mm
CPG	外部沿面距離 ⁽¹⁾	パッケージ表面に沿った最短のピン間距離	>8	mm
DTI	絶縁物を介した距離	最小内部ギャップ (内部距離 - 容量性信号絶縁)	> 17	μm
		最小内部ギャップ (内部距離 - トランスによる電力絶縁)	>120	
CTI	比較トラッキング インデックス	DIN EN 60112 (VDE 0303-11)、IEC 60112	>600	V
	材料グループ	IEC 60664-1 に準拠	I	
	IEC 60664-1 に準拠した過電圧カテゴリ	定格商用電源 V _{RMS} が 300V 以下	I-IV	
		定格商用電源 V _{RMS} が 600V 以下	I-IV	
		定格商用電源 V _{RMS} が 1000V 以下	I-III	
DIN EN IEC 60747-17 (VDE 0884-17) ⁽²⁾				
V _{IORM}	最大反復ピーク絶縁電圧	AC 電圧 (バイポーラ)	1500	V _{PK}
V _{IOWM}	最大動作絶縁電圧	AC 電圧、経時絶縁破壊 (TDDb) テスト	1000	V _{RMS}
		DC 電圧	1500	V _{DC}
V _{IOTM}	最大過渡絶縁電圧	V _{TEST} = V _{IOTM} 、t = 60s (認定)、 V _{TEST} = 1.2 × V _{IOTM} 、t = 1s (100% 出荷時)	7071	V _{PK}
V _{IOSM}	最大サージ絶縁電圧 ⁽³⁾	IEC 62368-1 に準拠したテスト方法、1.2/50μs 波形	10000	V _{PK}
q _{pd}	見掛けの電荷 ⁽⁴⁾	メソッド a、I/O 安全テスト サブグループ 2/3 の後、V _{ini} = V _{IOTM} 、t _{ini} = 60s、V _{pd(m)} = 1.2 × V _{IORM} 、t _m = 10s	≤ 5	pC
		メソッド a、環境テストのサブグループ 1 の後、V _{ini} = V _{IOTM} 、t _{ini} = 60s、V _{pd(m)} = 1.6 × V _{IORM} 、t _m = 10s	≤ 5	
		ルーチン テスト (100% 出荷時) に、 V _{ini} = 1.2 × V _{IOTM} 、t _{ini} = 1s、 メソッド b1: V _{pd(m)} = 1.875 × V _{IORM} 、t _m = 1s、または メソッド b2: V _{pd(m)} = V _{ini} 、t _m = t _{ini}	≤ 5	
C _{IO}	絶縁バリア容量、入力から出力へ ⁽⁵⁾	V _{IO} = 0.4 × sin (2πft)、f = 1MHz	3.5	pF
R _{IO}	絶縁抵抗 ⁽⁵⁾	V _{IO} = 500V、T _A = 25°C	>10 ¹²	Ω
		V _{IO} = 500V (100°C ≤ T _A ≤ 125°C時)	>10 ¹¹	
		V _{IO} = 500V (T _S = 150°C時)	>10 ⁹	
	汚染度		2	
	耐候性カテゴリ		40/125/21	
UL 1577				
V _{ISO(UL)}	絶縁耐圧	V _{TEST} = V _{ISO} = 5000V _{RMS} 、t = 60s (認定時テスト)、 V _{TEST} = 1.2 × V _{ISO} = 6000V _{RMS} 、t = 1s (100% 出荷時テスト)	5000	V _{RMS}

- (1) 沿面距離および空間距離の要件は、アプリケーション個別の機器絶縁規格に従って適用する必要があります。沿面距離および空間距離を維持するために、プリント基板上でアイソレータの取り付けパッドによってこの距離が短くならないように注意して基板を設計する必要があります。場合によっては、プリント基板上の沿面距離と空間距離が等しくなります。プリント基板上に溝やリブを設けるという技法を使用して、これらの仕様値を大きくすることができます。
- (2) ISOW7721 は、安全定格内に限定した安全な電氣的絶縁に適しています。安全定格への準拠は、適切な保護回路によって保証する必要があります。
- (3) テストは、絶縁バリアの固有サージ耐性を判定するため、気中または油中で実行されます。
- (4) 見掛けの放電電荷とは、部分放電 (pd) により発生する放電です。
- (5) 絶縁バリアのそれぞれの側にあるすべてのピンを互いに接続して、2 つの端子を持つデバイスを構成します。

5.7 安全関連認証

VDE	CSA	UL	CQC	TUV
DIN EN IEC 60747-17 (VDE 0884-17) による認証	IEC 62368-1、IEC 61010-1、IEC 60601-1 による認証	UL 1577 部品認定プログラムの認定	GB 4943.1 に従う認証	EN 61010-1 および EN 62368-1 による認証
認証番号:40040142	マスター契約番号:220991	ファイル番号:E181974	認証番号: CQC21001297517	クライアント ID 番号:77311

5.8 安全限界値

安全限界値の目的は、入力または出力回路の故障による絶縁バリアの損傷の可能性を最小限に抑えることです。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_S	安全入力、出力、または電源電流 ⁽¹⁾	$R_{\theta JA} = 68.5^{\circ}\text{C/W}$ 、 $V_I = 5.5\text{V}$ 、 $T_J = 150^{\circ}\text{C}$ 、 $T_A = 25^{\circ}\text{C}$			332	mA
		$R_{\theta JA} = 68.5^{\circ}\text{C/W}$ 、 $V_I = 3.6\text{V}$ 、 $T_J = 150^{\circ}\text{C}$ 、 $T_A = 25^{\circ}\text{C}$			507	
P_S	安全入力、出力、または合計電力 ⁽¹⁾	$R_{\theta JA} = 68.5^{\circ}\text{C/W}$ 、 $T_J = 150^{\circ}\text{C}$ 、 $T_A = 25^{\circ}\text{C}$			1825	mW
T_S	最高安全温度 ⁽¹⁾				150	$^{\circ}\text{C}$

- (1) 最高安全温度 T_S は、本デバイスに規定された最大接合部温度 T_J と同じ値です。 I_S および P_S パラメータはそれぞれ安全電流と安全電力を表します。 I_S および P_S の最大限界値を超過してはなりません。これらの制限値は周囲温度 T_A によって変化します。「熱に関する情報」の表にある接合部 — 外気熱抵抗 $R_{\theta JA}$ は、リード付き表面実装パッケージ用の高 K テスト基板に実装されたデバイスのものです。これらの式を使って各パラメータの値を計算します：
- $T_J = T_A + R_{\theta JA} \times P$ 、ここで P は本デバイスで消費される電力です。
- $T_{J(\max)} = T_S = T_A + R_{\theta JA} \times P_S$ 、ここで $T_{J(\max)}$ は最大許容接合部温度です。
- $P_S = I_S \times V_I$ 、ここで V_I は最大入力電圧です。

5.9 電気的特性 - パワー コンバータ

$V_{DD} = 5V \pm 10\%$ または $3.3V \pm 10\%$ 、 V_{ISOIN} 外部電源駆動、 $GND1 = GNDIO$ 、 $GND2 = GISOIN$ (特に記述のない限り、推奨動作条件範囲内)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{DD} = 5V$、$V_{ISOOUT} = 5V$、$V_{SEL} = V_{ISOOUT}$						
V_{ISOOUT}	絶縁電源電圧	外部 $I_{ISOOUT} = 0 \sim 55mA$	4.75	5	5.25	V
V_{ISOOUT}	絶縁電源電圧	外部 $I_{ISOOUT} = 0 \sim 110mA$	4.5	5	5.25	V
$V_{ISOOUT}(LINE)$	DC ラインレギュレーション	$I_{ISOOUT} = 55mA$ 、 $V_{DD} = 4.5V \sim 5.5V$		2		mV/V
$V_{ISOOUT}(LOAD)$	DC 負荷レギュレーション	$I_{ISOOUT} = 0 \sim 110mA$		1%		
EFF	最大負荷電流時の効率 ⁽¹⁾	$I_{ISOOUT} = 110mA$ 、 $C_{LOAD} = 0.01\mu F \parallel 10\mu F$ 、 $V_I = V_{DD}$ (ISOW772x)、 $V_O = 0V$ (ISOW772x、F 接尾辞付き)		46%		
$V_{ISOOUT}(RIP)$	絶縁型電源の出力リップル (ピークツーピーク)	帯域幅 20MHz、 $C_{LOAD} = 0.01\mu F \parallel 20\mu F$ 、 $I_{ISOOUT} = 110mA$		24		mV
I_{ISOOUT_SC}	V_{ISOOUT} 短絡時の V_{DD} 電源からの直流電流	V_{ISOOUT} と $GND2$ を短絡		250		mA
$V_{DD} = 5V$、$V_{ISOOUT} = 3.3V$、$V_{SEL} = GND2$						
V_{ISOOUT}	絶縁電源電圧	外部 $I_{ISOOUT} = 0 \sim 70mA$	3.135	3.3	3.465	V
V_{ISOOUT}	絶縁電源電圧	外部 $I_{ISOOUT} = 0 \sim 140mA$	3.135	3.3	3.465	V
$V_{ISOOUT}(LINE)$	DC ラインレギュレーション	$I_{ISOOUT} = 70mA$ 、 $V_{DD} = 4.5V \sim 5.5V$		2		mV/V
$V_{ISOOUT}(LOAD)$	DC 負荷レギュレーション	$I_{ISOOUT} = 0 \sim 140mA$		1%		
EFF	最大負荷電流時の効率 ⁽¹⁾	$I_{ISOOUT} = 140mA$ 、 $C_{LOAD} = 0.01\mu F \parallel 10\mu F$ 、 $V_I = V_{DD}$ (ISOW772x)、 $V_O = 0V$ (ISOW772x、F 接尾辞付き)		36%		
$V_{ISOOUT}(RIP)$	絶縁型電源の出力リップル (ピークツーピーク)	帯域幅 20MHz、 $C_{LOAD} = 0.01\mu F \parallel 20\mu F$ 、 $I_{ISOOUT} = 110mA$		30		mV
I_{ISOOUT_SC}	V_{ISOOUT} 短絡時の V_{DD} 電源からの直流電流	V_{ISOOUT} と $GND2$ を短絡		250		mA
$V_{DD} = 3.3V$、$V_{ISOOUT} = 3.3V$、$V_{SEL} = GND2$						
V_{ISOOUT}	絶縁電源電圧	外部 $I_{ISOOUT} = 0 \sim 30mA$	3.135	3.3	3.465	V
V_{ISOOUT}	絶縁電源電圧	外部 $I_{ISOOUT} = 0 \sim 60mA$	3.135	3.3	3.465	V
$V_{ISOOUT}(LINE)$	DC ラインレギュレーション	$I_{ISOOUT} = 30mA$ 、 $V_{DD} = 3.0V \sim 3.6V$		2		mV/V
$V_{ISOOUT}(LOAD)$	DC 負荷レギュレーション	$I_{ISOOUT} = 0 \sim 60mA$		1%		
EFF	最大負荷電流時の効率 ⁽¹⁾	$I_{ISOOUT} = 60mA$ 、 $C_{LOAD} = 0.01\mu F \parallel 10\mu F$ 、 $V_I = V_{DD}$ (ISOW772x)、 $V_O = 0V$ (ISOW772x、F 接尾辞付き)		43%		
$V_{ISOOUT}(RIP)$	絶縁型電源の出力リップル (ピークツーピーク)	帯域幅 20MHz、 $C_{LOAD} = 0.01\mu F \parallel 20\mu F$ 、 $I_{ISOOUT} = 60mA$		14		mV
I_{ISOOUT_SC}	V_{ISOOUT} 短絡時の V_{DD} 電源からの直流電流	V_{ISOOUT} と $GND2$ を短絡		185		mA

(1) パワー コンバータ $I_{LOAD} = 2$ 次側への電力供給に必要な電流。チャネル アイソレータ電流は、 I_{LOAD} では考慮されません。詳細については、電源電流特性チャネル アイソレータセクションを参照してください。

5.10 電源電流特性 - パワー コンバータ

$V_{DD} = 5V \pm 10\%$ または $3.3V \pm 10\%$ 、 $GND1 = GNDIO$ 、 $GND2 = GISOIN$ (特に記述のない限り、推奨動作条件範囲内)。

パラメータ	テスト条件	電源電流	最小値	標準値	最大値	単位
パワー コンバータが無効						
パワー コンバータ電源電流	EN/FLT = GND1、 $V_{ISOOUT} = I_{LOAD}$ なし	I_{DD}		0.28	0.45	mA
ロジック電源電流	EN/FLT = GND1	I_{IO}		0.27	0.57	mA
パワー コンバータが有効						
パワー コンバータ電源電流 入力	$V_{DD} = 5V$ 、 $V_{SEL} = V_{ISOOUT}$	$I_{LOAD} = 55mA$	I_{DD}	115	171	mA
	$V_{DD} = 5V$ 、 $V_{SEL} = V_{ISOOUT}$	$I_{LOAD} = 110mA$		225	316	mA
	$V_{DD} = 5V$ 、 $V_{SEL} = GND2$	$I_{LOAD} = 70mA$		127	169	mA
	$V_{DD} = 5V$ 、 $V_{SEL} = GND2$	$I_{LOAD} = 140mA$		250	310	mA
	$V_{DD} = 3.3V$ 、 $V_{SEL} = GND2$	$I_{LOAD} = 30mA$		74	112	mA
	$V_{DD} = 3.3V$ 、 $V_{SEL} = GND2$	$I_{LOAD} = 60mA$		143	216	mA
パワー コンバータ出力電流 ⁽¹⁾	$V_{DD} = 5V$	$V_{SEL} = V_{ISOOUT}$	I_{ISOOUT}	110		mA
	$V_{DD} = 5V$	$V_{SEL} = GND2$		140		mA
	$V_{DD} = 3.3V$	$V_{SEL} = GND2$		60		mA

(1) チャンネル アイソレータ電流は、 I_{LOAD} では考慮されません。詳細については、電源電流特性チャンネル アイソレータセクションを参照してください。

5.11 電気的特性 - チャネルアイソレータ - V_{IO} 、 $V_{ISOIN} = 5V$

V_{IO} 、 $V_{ISOIN} = 5V \pm 10\%$ 、GND1 = GNDIO、GND2 = GISOIN (特に記述のない限り、推奨動作条件範囲内)

パラメータ	テスト条件	最小値	標準値	最大値	単位
チャネル分離					
V_{ITH}	入力ピンの立ち上がりスレッショルド			$0.7 \times V_{SI}$	V
V_{ITL}	入力ピンの立ち下がりスレッショルド			$0.3 \times V_{SI}$	V
$V_{I(HYS)}$	入力ピン スレッショルドのヒステリシス (INx)			$0.1 \times V_{SI}$	V
I_{IL}	Low レベル入力電流	INx で $V_{IL} = 0$		-25	μA
I_{IH}	High レベル入力電流	INx で $V_{IH} = V_{SI}$ ⁽¹⁾		25	μA
V_{OH}	High レベル出力電圧	$I_O = -4mA$ 、スイッチング特性試験回路と電圧波形を参照	V_{SO} ⁽¹⁾ – 0.4		V
V_{OL}	Low レベル出力電圧	$I_O = 4mA$ 、スイッチング特性試験回路と電圧波形を参照		0.4	V
CMTI	同相過渡耐性	$V_I = V_{SI}$ または 0V、 $V_{CM} = 1000V$ 、同相過渡電圧耐性試験回路を参照	85	100	kV/ μs

(1) V_{SI} = 入力側電源、 V_{SO} = 出力側電源

5.12 電源電流特性 - チャネルアイソレータ - V_{IO} 、 $V_{ISOIN} = 5V$

V_{IO} 、 $V_{ISOIN} = 5V \pm 10\%$ 、GND1 = GNDIO、GND2 = GISOIN (特に記述のない限り、推奨動作条件範囲内)

パラメータ	テスト条件	電源電流	最小値	標準値	最大値	単位
ISOW7721 チャネル電源電流						
電源電流 - ディセーブル	EN_IO1 = EN_IO2 = 0V、 $V_I = V_{CCI}$ ⁽¹⁾ (ISOW7721)、 $V_I = 0V$ (ISOW7721、F 接尾辞付き)	I_{DD_IO}		3.5	6	mA
		I_{ISOIN}		3.5	5	mA
		I_{DD_IO}		3.5	6	mA
		I_{ISOIN}		3.5	5	mA
チャネル電源電流 — DC 信号	EN_IO1 = EN_IO2 = V_{CCI} 、 $V_I = V_{CCI}$ (ISOW7721)、 $V_I = 0V$ (ISOW7721、F 接尾辞付き)	I_{DD_IO}		3.5	6	mA
		I_{ISOIN}		3.5	5	mA
	EN_IO1 = EN_IO2 = V_{CCI} 、 $V_I = 0V$ (ISOW7721) $V_I = V_{CCI}$ (F 接尾辞付き ISOW7721)	I_{DD_IO}		4.5	7	mA
		I_{ISOIN}		5	7	mA
チャネル電源電流 — AC 信号	すべてのチャネルが方形波クロック入力 でスイッチング、 $C_L = 15pF$	1Mbps	I_{DD_IO}	4	6.5	mA
			I_{ISOIN}	4	6	mA
		10Mbps	I_{DD_IO}	4.8	7	mA
			I_{ISOIN}	4.9	6.7	mA
		100Mbps	I_{DD_IO}	11.6	14.6	mA
			I_{ISOIN}	11.8	14.3	mA

(1) $V_{CCI} = V_{IO}$ または V_{ISOIN}

5.13 電気的特性 - チャネル アイソレータ - V_{IO} 、 $V_{ISOIN} = 3.3V$

V_{IO} 、 $V_{ISOIN} = 3.3V \pm 10\%$ 、GND1 = GNDIO、GND2 = GISOIN (特に記述のない限り、推奨動作条件範囲内)

パラメータ	テスト条件	最小値	標準値	最大値	単位
チャネル分離					
V_{ITH}	入力ピンの立ち上がりスレッショルド			$0.7 \times V_{SI}$	V
V_{ITL}	入力ピンの立ち下がりスレッショルド			$0.3 \times V_{SI}$	V
$V_{I(HYS)}$	入力ピン スレッショルドのヒステリシス (INx)			$0.1 \times V_{SI}$	V
I_{IL}	Low レベル入力電流	INx で $V_{IL} = 0$		-25	μA
I_{IH}	High レベル入力電流	INx で $V_{IH} = V_{SI}$ ⁽¹⁾		25	μA
V_{OH}	High レベル出力電圧	$I_O = -4mA$ 、スイッチング特性試験回路と電圧波形を参照	V_{SO} ⁽¹⁾ - 0.3		V
V_{OL}	Low レベル出力電圧	$I_O = 4mA$ 、スイッチング特性試験回路と電圧波形を参照		0.3	V
CMTI	同相過渡耐性	$V_I = V_{SI}$ または 0V、 $V_{CM} = 1000V$ 、同相過渡電圧耐性試験回路を参照	85	100	kV/ μs

(1) V_{SI} = 入力側電源、 V_{SO} = 出力側電源

5.14 電源電流特性 - チャネル アイソレータ - V_{IO} 、 $V_{ISOIN} = 3.3V$

V_{IO} 、 $V_{ISOIN} = 3.3V \pm 10\%$ 、GND1 = GNDIO、GND2 = GISOIN (特に記述のない限り、推奨動作条件範囲内)

パラメータ	テスト条件	電源電流	最小値	標準値	最大値	単位
ISOW7721 チャネル電源電流						
電源電流 - ディセーブル	EN_IO1 = EN_IO2 = 0V、 $V_I = V_{CCI}$ ⁽¹⁾ (ISOW7721)、 $V_I = 0V$ (ISOW7721、F 接尾辞付き)	I_{DD_IO}		3.5	6	mA
		I_{ISOIN}		3.5	5	mA
		I_{DD_IO}		3.5	6	mA
		I_{ISOIN}		3.5	5	mA
チャネル電源電流 — DC 信号	EN_IO1 = EN_IO2 = V_{CCI} 、 $V_I = V_{CCI}$ (ISOW7721)、 $V_I = 0V$ (ISOW7721、F 接尾辞付き)	I_{DD_IO}		3.5	6	mA
		I_{ISOIN}		3.5	5	mA
	EN_IO1 = EN_IO2 = V_{CCI} 、 $V_I = 0V$ (ISOW7721) $V_I = V_{CCI}$ (F 接尾辞付き ISOW7721)	I_{DD_IO}		4.5	7	mA
		I_{ISOIN}		5	7	mA
チャネル電源電流 — AC 信号	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{DD_IO}	4	6.5	mA
			I_{ISOIN}	4	6	mA
		10Mbps	I_{DD_IO}	4.4	6.7	mA
			I_{ISOIN}	4.6	6.4	mA
		100Mbps	I_{DD_IO}	8.6	11.7	mA
			I_{ISOIN}	8.7	11.4	mA

(1) $V_{CCI} = V_{IO}$ または V_{ISOIN}

5.15 電気的特性 - チャネル アイソレータ - V_{IO} 、 $V_{ISOIN} = 2.5V$

V_{IO} 、 $V_{ISOIN} = 2.5V \pm 10\%$ 、GND1 = GNDIO、GND2 = GISOIN (特に記述のない限り、推奨動作条件範囲内)

パラメータ	テスト条件	最小値	標準値	最大値	単位
チャネル分離					
V_{ITH}	入力ピンの立ち上がりスレッショルド			$0.7 \times V_{SI}$	V
V_{ITL}	入力ピンの立ち下がりスレッショルド			$0.3 \times V_{SI}$	V
$V_{I(HYS)}$	入力ピン スレッショルドのヒステリシス (INx)			$0.1 \times V_{SI}$	V
I_{IL}	Low レベル入力電流	INx で $V_{IL} = 0$		-25	μA
I_{IH}	High レベル入力電流	INx で $V_{IH} = V_{SI}$ ⁽¹⁾		25	μA
V_{OH}	High レベル出力電圧	$I_O = -4mA$ 、スイッチング特性試験回路と電圧波形を参照	V_{SO} ⁽¹⁾ – 0.1		V
V_{OL}	Low レベル出力電圧	$I_O = 4mA$ 、スイッチング特性試験回路と電圧波形を参照		0.1	V
CMTI	同相過渡耐性	$V_I = V_{SI}$ または 0V、 $V_{CM} = 1000V$ 、同相過渡電圧耐性試験回路を参照	85	100	kV/ μs

(1) V_{SI} = 入力側電源、 V_{SO} = 出力側電源

5.16 電源電流特性 - チャネル アイソレータ - V_{IO} 、 $V_{ISOIN} = 2.5V$

V_{IO} 、 $V_{ISOIN} = 2.5V \pm 10\%$ 、GND1 = GNDIO、GND2 = GISOIN (特に記述のない限り、推奨動作条件範囲内)

パラメータ	テスト条件	電源電流	最小値	標準値	最大値	単位
ISOW7721 チャネル電源電流						
電源電流 - ディセーブル	EN_IO1 = EN_IO2 = 0V、 $V_I = V_{CCI}$ ⁽¹⁾ (ISOW7721)、 $V_I = 0V$ (ISOW7721、F 接尾辞付き)	I_{DD_IO}		3.5	6	mA
		I_{ISOIN}		3.5	5	mA
		I_{DD_IO}		3.5	6	mA
		I_{ISOIN}		3.5	5	mA
チャネル電源電流 — DC 信号	EN_IO1 = EN_IO2 = V_{CCI} 、 $V_I = V_{CCI}$ (ISOW7721)、 $V_I = 0V$ (ISOW7721、F 接尾辞付き)	I_{DD_IO}		3.5	6	mA
		I_{ISOIN}		3.5	5	mA
	EN_IO1 = EN_IO2 = V_{CCI} 、 $V_I = 0V$ (ISOW7721) $V_I = V_{CCI}$ (F 接尾辞付き ISOW7721)	I_{DD_IO}		4.5	7	mA
		I_{ISOIN}		5	7	mA
チャネル電源電流 — AC 信号	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{DD_IO}	4	6	mA
			I_{ISOIN}	4	6	mA
		10Mbps	I_{DD_IO}	4.3	6.5	mA
			I_{ISOIN}	4.4	6.1	mA
		100Mbps	I_{DD_IO}	7.2	10	mA
			I_{ISOIN}	7.4	9.7	mA

(1) $V_{CCI} = V_{IO}$ または V_{ISOIN}

5.17 電気的特性 - チャネル アイソレータ - V_{IO} 、 $V_{ISOIN} = 1.8V$

V_{IO} 、 $V_{ISOIN} = 1.8V \pm 5\%$ 、GND1 = GNDIO、GND2 = GISOIN (特に記述のない限り、推奨動作条件範囲内)

パラメータ	テスト条件	最小値	標準値	最大値	単位
チャネル分離					
V_{ITH}	入力ピンの立ち上がりスレッショルド			$0.7 \times V_{SI}$	V
V_{ITL}	入力ピンの立ち下がりスレッショルド			$0.3 \times V_{SI}$	V
$V_{I(HYS)}$	入力ピン スレッショルドのヒステリシス (INx)			$0.1 \times V_{SI}$	V
I_{IL}	Low レベル入力電流	INx で $V_{IL} = 0$		-25	μA
I_{IH}	High レベル入力電流	INx で $V_{IH} = V_{SI}$ ⁽¹⁾		25	μA
V_{OH}	High レベル出力電圧	$I_O = -4mA$ 、スイッチング特性試験回路と電圧波形を参照	V_{SO} ⁽¹⁾ – 0.1		V
V_{OL}	Low レベル出力電圧	$I_O = 4mA$ 、スイッチング特性試験回路と電圧波形を参照		0.1	V
CMTI	同相過渡耐性	$V_I = V_{SI}$ または 0V、 $V_{CM} = 1000V$ 、同相過渡電圧耐性試験回路を参照	85	100	kV/ μs

(1) V_{SI} = 入力側電源、 V_{SO} = 出力側電源

5.18 電源電流特性 - チャネル アイソレータ - V_{IO} 、 $V_{ISOIN} = 1.8V$

V_{IO} 、 $V_{ISOIN} = 1.8V \pm 5\%$ 、GND1 = GNDIO、GND2 = GISOIN (特に記述のない限り、推奨動作条件範囲内)

パラメータ	テスト条件	電源電流	最小値	標準値	最大値	単位
ISOW7721 チャネル電源電流						
電源電流 - ディセーブル	EN_IO1 = EN_IO2 = 0V、 $V_I = V_{CCI}$ ⁽¹⁾ (ISOW7721)、 $V_I = 0V$ (ISOW7721、F 接尾辞付き)	I_{DD_IO}		3.5	6	mA
		I_{ISOIN}		3.5	5	mA
	EN_IO1 = EN_IO2 = 0V、 $V_I = 0V$ (ISOW7721)、 $V_I = V_{CCI}$ (ISOW7721、F 接尾辞付き)	I_{DD_IO}		3.5	6	mA
		I_{ISOIN}		3.5	5	mA
チャネル電源電流 — DC 信号	EN_IO1 = EN_IO2 = V_{CCI} 、 $V_I = V_{CCI}$ (ISOW7721)、 $V_I = 0V$ (ISOW7721、F 接尾辞付き)	I_{DD_IO}		3.5	6	mA
		I_{ISOIN}		3.5	5	mA
	EN_IO1 = EN_IO2 = V_{CCI} 、 $V_I = 0V$ (ISOW7721)、 $V_I = V_{CCI}$ (ISOW7721、F 接尾辞付き)	I_{DD_IO}		4.5	7	mA
		I_{ISOIN}		5	6	mA
チャネル電源電流 — AC 信号	すべてのチャネルが方形波クロック入力でスイッチング、 $C_L = 15pF$	1Mbps	I_{DD_IO}	4	6	mA
			I_{ISOIN}	3.5	5	mA
		10Mbps	I_{DD_IO}	4.3	6.5	mA
			I_{ISOIN}	4.4	6.1	mA
		100Mbps	I_{DD_IO}	6.7	9.1	mA
			I_{ISOIN}	6.9	8.8	mA

(1) $V_{CCI} = V_{IO}$ または V_{ISOIN}

5.19 スイッチング特性 - 5V 電源

$V_{ISOIN} = 5V \pm 10\%$ 、 $V_{IO} = 5V \pm 10\%$ 、 $GND1 = GNDIO$ 、 $GND2 = GISOIN$ (特に記述のない限り、推奨動作条件範囲内)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH} , t_{PHL}	伝搬遅延時間	スイッチング特性試験回路と電圧波形を参照	7.6	10.7	15.7	ns
PWD	パルス幅歪み ⁽¹⁾ $ t_{PHL} - t_{PLH} $			0.9	5	ns
$ENIO_t_{PLH}$, $ENIO_t_{PHL}$	ENIO 伝搬遅延時間 (反対側)	イネーブル / ディセーブル伝搬遅延時間のテスト回路と波形を参照		210	473.8	ns
$t_{sk(o)}$	チャンネル間の出力スキュー時間 ⁽²⁾	同方向チャンネル			4	ns
$t_{sk(pp)}$	部品間のスキュー時間 ⁽³⁾				5.5	ns
t_r	出力信号の立ち上がり時間	スイッチング特性試験回路と電圧波形を参照		2.5	3.6	ns
t_f	出力信号の立ち下がり時間			2.4	3.5	ns
t_{PHZ}	チャンネル ディセーブル伝搬遅延、High からハイ インピーダンス出力	イネーブル / ディセーブル伝搬遅延時間のテスト回路と波形を参照		217	286	ns
t_{PLZ}	チャンネル ディセーブル伝搬遅延、Low からハイ インピーダンス出力			217	286	ns
t_{pZH}	チャンネル イネーブル電波遅延、ハイ インピーダンスから High 出力 (ISOW7721)			237	333	ns
	チャンネル イネーブル伝搬遅延、ハイ インピーダンスから High 出力 (ISOW7721、F 接尾辞付き)			237	333	ns
t_{pZL}	チャンネル イネーブル伝搬遅延、ハイ インピーダンスから Low 出力 (ISOW7721)			237	333	ns
	チャンネル イネーブル伝搬遅延、ハイ インピーダンスから Low 出力 (ISOW7721、F 接尾辞付き)			237	333	ns
t_{DO}	入力電源喪失からデフォルト出力までの遅延時間	V_{IO} または V_{ISOIN} が 1.6V を下回った時点から 10mV/ns で測定。デフォルトの出力遅延時間テスト回路と電圧波形を参照		0.1	0.3	μs
t_{ie}	タイム インターバル エラー	100Mbps で $2^{16} - 1$ PRBS データ		0.7		ns

(1) 別名パルス スキュー。

(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。

(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

5.20 スイッチング特性 - 3.3V 電源

$V_{ISOIN} = 3.3V \pm 10\%$ 、 $V_{IO} = 3.3V \pm 10\%$ 、GND1 = GNDIO、GND2 = GISOIN (特に記述のない限り、推奨動作条件範囲内)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH} , t_{PHL}	伝搬遅延時間	スイッチング特性試験回路と電圧波形を参照	6	11	16.2	ns
PWD	パルス幅歪み ⁽¹⁾ $ t_{PHL} - t_{PLH} $			0.6	4.7	ns
ENIO_ t_{PLH} , ENIO_ t_{PHL}	ENIO 伝搬遅延時間 (反対側)	イネーブル / ディセーブル伝搬遅延時間のテスト回路と波形を参照		220	474	ns
$t_{sk(o)}$	チャンネル間の出力スキュー時間 ⁽²⁾	同方向チャンネル			4.1	ns
$t_{sk(pp)}$	部品間のスキュー時間 ⁽³⁾				4.5	ns
t_r	出力信号の立ち上がり時間	スイッチング特性試験回路と電圧波形を参照		1.8	2.7	ns
t_f	出力信号の立ち下がり時間			1.6	2.4	ns
t_{PHZ}	チャンネル ディセーブル伝搬遅延、High からハイ インピーダンス出力	イネーブル / ディセーブル伝搬遅延時間のテスト回路と波形を参照		230	300.4	ns
t_{PLZ}	チャンネル ディセーブル伝搬遅延、Low からハイ インピーダンス出力			230	299.6	ns
t_{pZH}	チャンネル イネーブル電波遅延、ハイ インピーダンスから High 出力 (ISOW7721)			226	318.9	ns
	チャンネル イネーブル伝搬遅延、ハイ インピーダンスから High 出力 (ISOW7721、F 接尾辞付き)			226	319.1	ns
t_{pZL}	チャンネル イネーブル伝搬遅延、ハイ インピーダンスから Low 出力 (ISOW7721)			225	317.9	ns
	チャンネル イネーブル伝搬遅延、ハイ インピーダンスから Low 出力 (ISOW7721、F 接尾辞付き)			225	317.6	ns
t_{DO}	入力電源喪失からデフォルト出力までの遅延時間	V_{IO} または V_{ISOIN} が 1.6V を下回った時点から 10mV/ns で測定。デフォルトの出力遅延時間テスト回路と電圧波形を参照		0.1	0.3	μs
t_{ie}	タイム インターバル エラー	100Mbps で 2 ¹⁶ - 1 PRBS データ		0.65		ns

(1) 別名パルス スキュー。

(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。

(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

5.21 スイッチング特性 - 2.5V 電源

$V_{ISOIN} = 2.5V \pm 10\%$ 、 $V_{IO} = 2.5V \pm 10\%$ 、GND1 = GNDIO、GND2 = GISOIN (特に記述のない限り、推奨動作条件範囲内)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH} , t_{PHL}	伝搬遅延時間	スイッチング特性試験回路と電圧波形を参照	7.5	12	18	ns
PWD	パルス幅歪み ⁽¹⁾ $ t_{PHL} - t_{PLH} $			0.36	5.1	ns
ENIO_ t_{PLH} , ENIO_ t_{PHL}	ENIO 伝搬遅延時間 (反対側)	イネーブル / ディセーブル伝搬遅延時間のテスト回路と波形を参照		225	478	ns
$t_{sk(o)}$	チャンネル間の出力スキュー時間 ⁽²⁾	同方向チャンネル			4.1	ns
$t_{sk(pp)}$	部品間のスキュー時間 ⁽³⁾				6	ns
t_r	出力信号の立ち上がり時間	スイッチング特性試験回路と電圧波形を参照		2	3.26	ns
t_f	出力信号の立ち下がり時間			1.8	3.2	ns
t_{PHZ}	チャンネル ディセーブル伝搬遅延、High からハイ インピーダンス出力	イネーブル / ディセーブル伝搬遅延時間のテスト回路と波形を参照		237	326	ns
t_{PLZ}	チャンネル ディセーブル伝搬遅延、Low からハイ インピーダンス出力			236	325	ns
t_{pZH}	チャンネル イネーブル電波遅延、ハイ インピーダンスから High 出力 (ISOW7721)			228	360	ns
	チャンネル イネーブル伝搬遅延、ハイ インピーダンスから High 出力 (ISOW7721、F 接尾辞付き)			228	360	ns
t_{pZL}	チャンネル イネーブル伝搬遅延、ハイ インピーダンスから Low 出力 (ISOW7721)			227	350	ns
	チャンネル イネーブル伝搬遅延、ハイ インピーダンスから Low 出力 (ISOW7721、F 接尾辞付き)			227	350	ns
t_{DO}	入力電源喪失からデフォルト出力までの遅延時間	V_{IO} または V_{ISOIN} が 1.6V を下回った時点から 10mV/ns で測定。デフォルトの出力遅延時間テスト回路と電圧波形を参照		0.1	0.3	μs
t_{ie}	タイム インターバル エラー	100Mbps で 2 ¹⁶ - 1 PRBS データ		0.7		ns

(1) 別名パルス スキュー。

(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。

(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

5.22 スイッチング特性 - 1.8V 電源

$V_{ISOIN} = 1.8V \pm 5\%$ 、 $V_{IO} = 1.8V \pm 5\%$ 、GND1 = GNDIO、GND2 = GISOIN (特に記述のない限り、推奨動作条件範囲内)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{PLH} , t_{PHL}	伝搬遅延時間	スイッチング特性試験回路と電圧波形を参照	7.5	15	21.5	ns
PWD	パルス幅歪み ⁽¹⁾ $ t_{PHL} - t_{PLH} $			0	5.8	ns
ENIO_ t_{PLH} , ENIO_ t_{PHL}	ENIO 伝搬遅延時間 (反対側)	イネーブル / ディセーブル伝搬遅延時間のテスト回路と波形を参照		243	475	ns
$t_{sk(o)}$	チャネル間の出力スキュー時間 ⁽²⁾	同方向チャネル			4.1	ns
$t_{sk(pp)}$	部品間のスキュー時間 ⁽³⁾				8.6	ns
t_r	出力信号の立ち上がり時間	スイッチング特性試験回路と電圧波形を参照		1.9	3	ns
t_f	出力信号の立ち下がり時間			1.8	3	ns
t_{PHZ}	チャネル ディセーブル伝搬遅延、High からハイ インピーダンス出力	イネーブル / ディセーブル伝搬遅延時間のテスト回路と波形を参照		260	410	ns
t_{PLZ}	チャネル ディセーブル伝搬遅延、Low からハイ インピーダンス出力			260	406	ns
t_{pZH}	チャネル イネーブル電波遅延、ハイ インピーダンスから High 出力 (ISOW7721)			240	444	ns
	チャネル イネーブル伝搬遅延、ハイ インピーダンスから High 出力 (ISOW7721、F 接尾辞付き)			240	444	ns
t_{pZL}	チャネル イネーブル伝搬遅延、ハイ インピーダンスから Low 出力 (ISOW7721)			237	439	ns
	チャネル イネーブル伝搬遅延、ハイ インピーダンスから Low 出力 (ISOW7721、F 接尾辞付き)			237	439	ns
t_{DO}	入力電源喪失からデフォルト出力までの遅延時間	V_{IO} または V_{ISOIN} が 1.6V を下回った時点から 10mV/ns で測定。デフォルトの出力遅延時間テスト回路と電圧波形を参照		0.1	0.3	μs
t_{ie}	タイム インターバル エラー	100Mbps で 2 ¹⁶ - 1 PRBS データ		0.7		ns

(1) 別名パルス スキュー。

(2) $t_{sk(o)}$ は、1 つのデバイスについて、すべての駆動入力を相互に接続し、同方向に出力をスイッチングし、同じ負荷を駆動するときの複数の出力間のスキューです。

(3) $t_{sk(pp)}$ は、同一の電源電圧、温度、入力信号、負荷で動作する異なるデバイスについて、同方向にスイッチングするときの任意の端子間での伝搬遅延時間の差です。

5.23 絶縁特性曲線

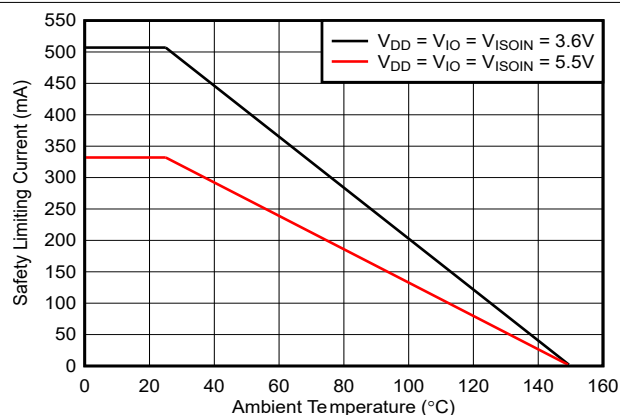


図 5-1. DFM-20 パッケージでの安全限界電流の熱特性低下曲線

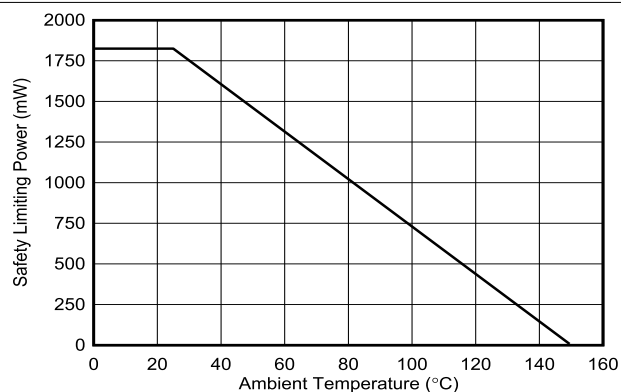


図 5-2. DFM-20 パッケージでの安全限界電力の熱特性低下曲線

5.24 代表的特性

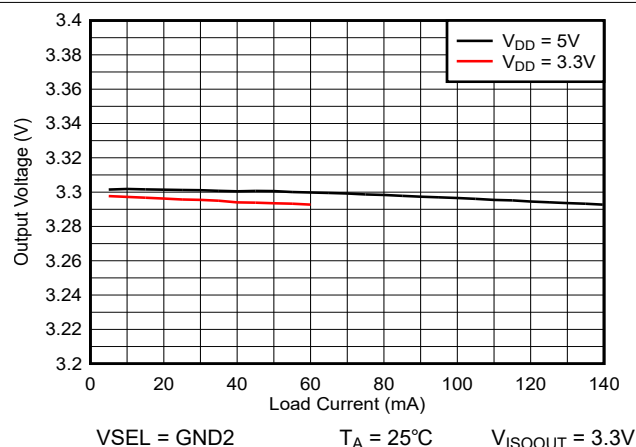


図 5-3. 絶縁電源電圧 (V_{ISOOUT}) と負荷電流 (I_{ISOOUT}) との関係

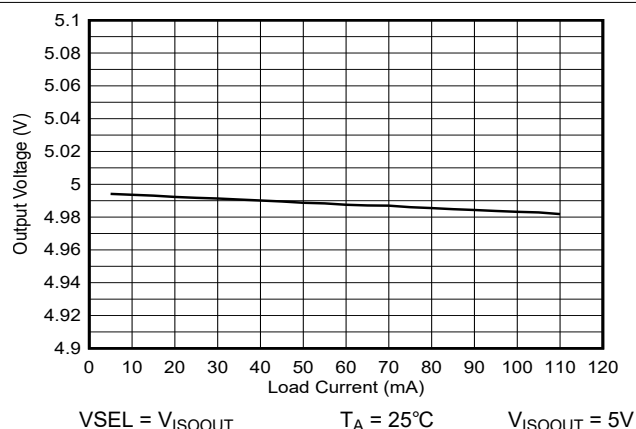


図 5-4. 絶縁電源電圧 (V_{ISOOUT}) と負荷電流 (I_{ISOOUT}) との関係

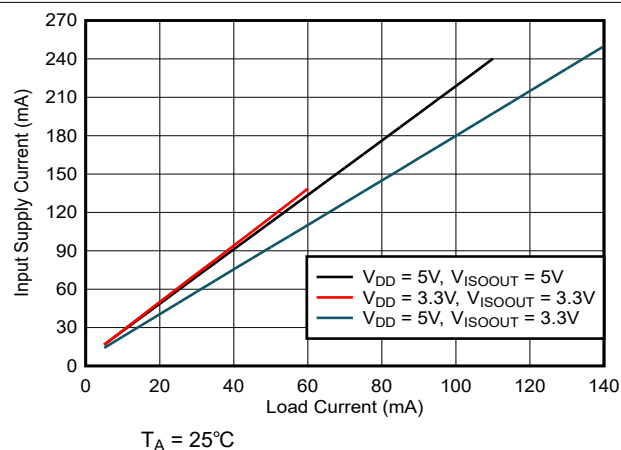


図 5-5. 電源電流 (I_{DD}) と負荷電流 (I_{ISOOUT}) との関係

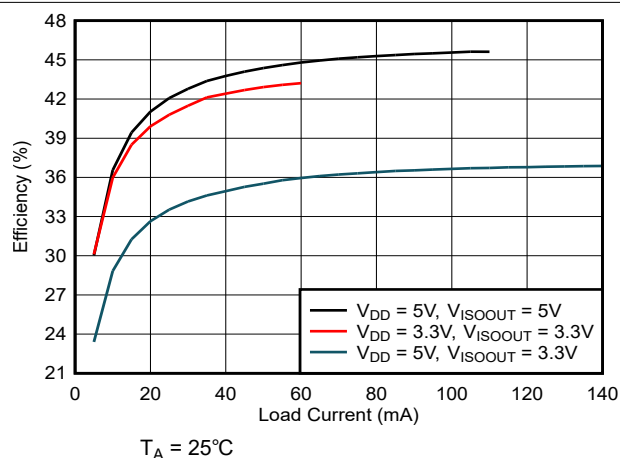


図 5-6. 効率と負荷電流 ($I_{VISOOUT}$) との関係

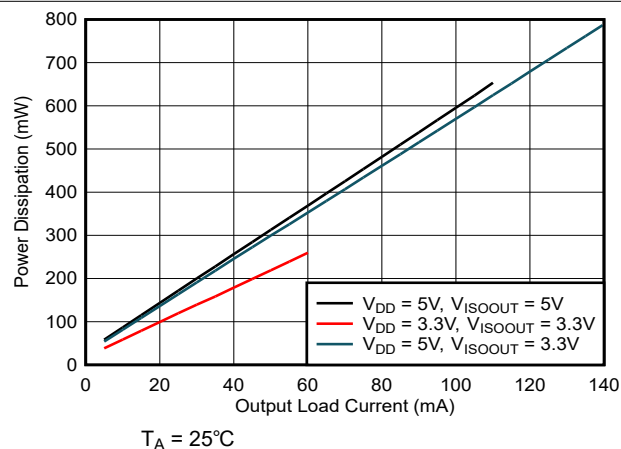


図 5-7. 消費電力と負荷電流 (I_{ISOOUT}) との関係

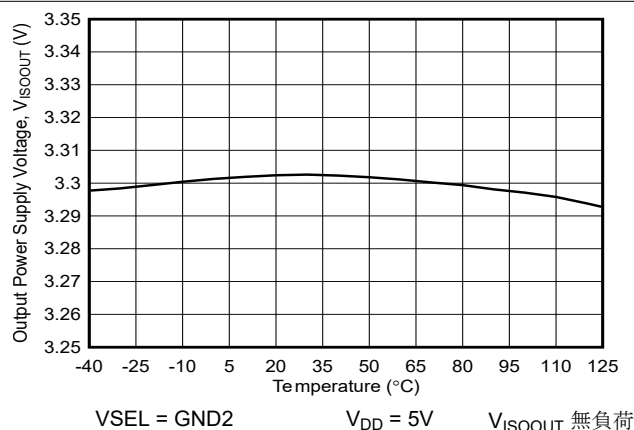


図 5-8. 3.3V 絶縁電源電圧 (V_{ISOOUT}) と周囲温度との関係

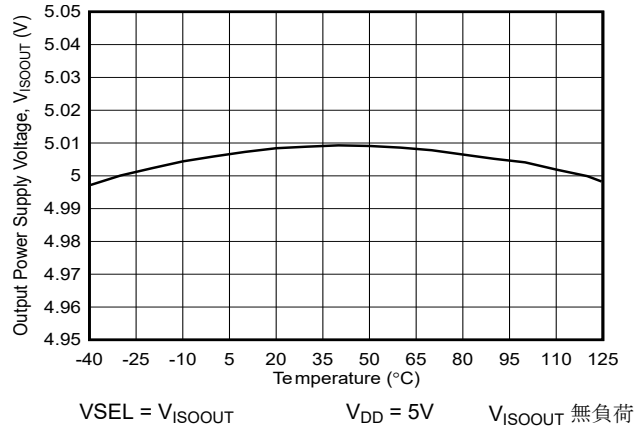


図 5-9. 5V 絶縁電源電圧 (V_{ISOOUT}) と周囲温度との関係

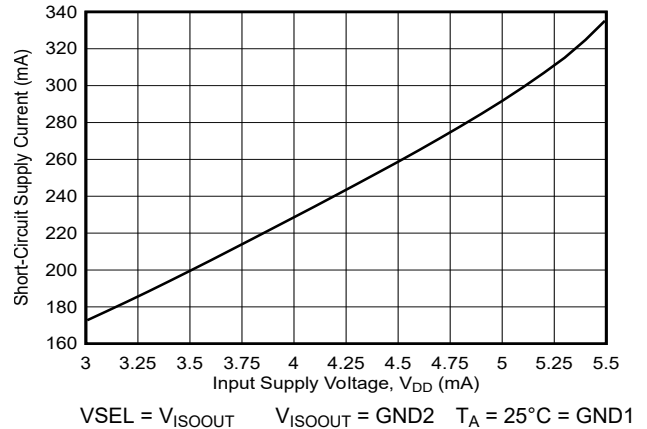


図 5-10. 短絡時電源電流 (I_{CC}) と電源電圧 (V_{CC}) との関係

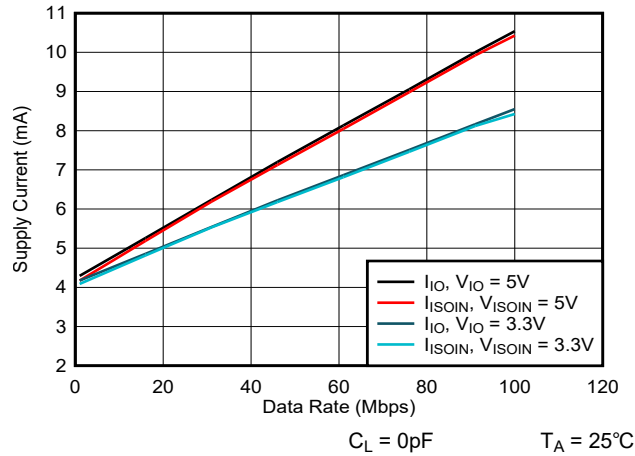


図 5-11. $C_L = 15pF$ に ISOW7721 チャネル電源電流とデータレートとの関係

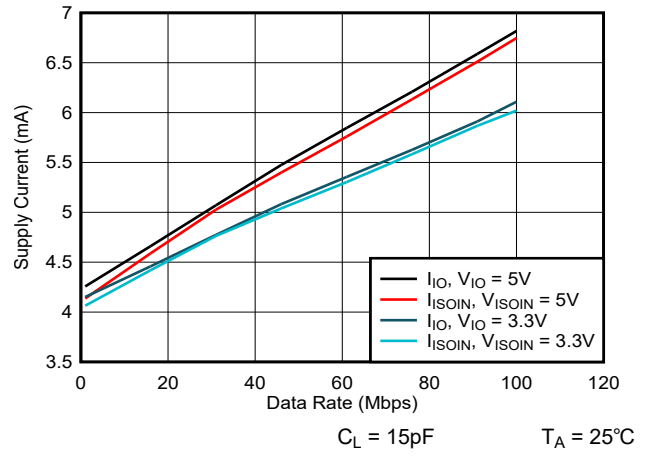


図 5-12. $C_L = 0pF$ に ISOW7721 チャネル電源電流とデータレートとの関係

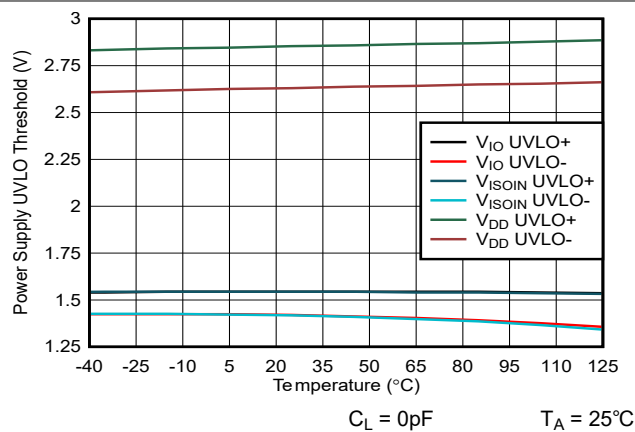


図 5-13. 電源の低電圧スレッシュホールドと周囲温度との関係

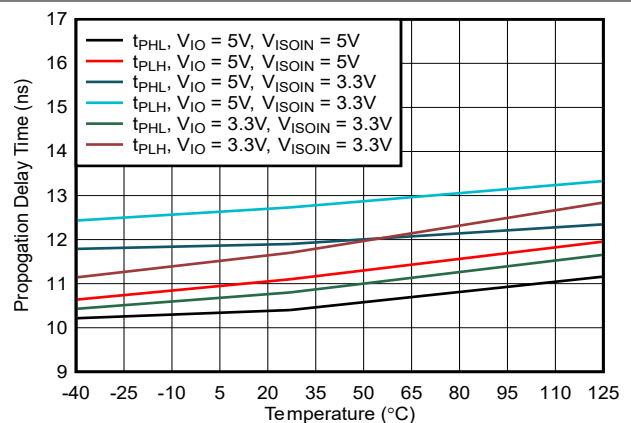


図 5-14. 伝搬遅延時間と周囲温度との関係

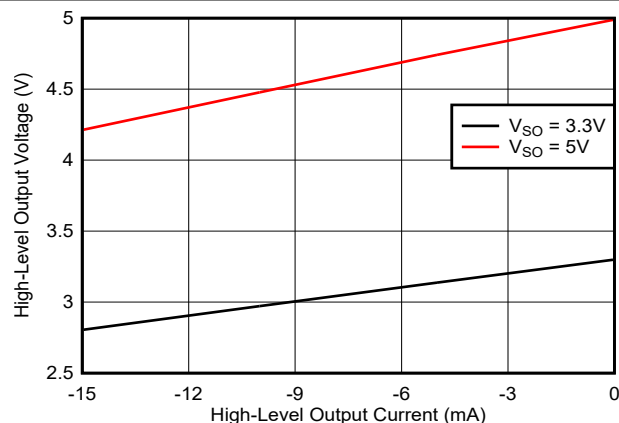


図 5-15. HIGH レベル出力電圧と HIGH レベル出力電流との関係

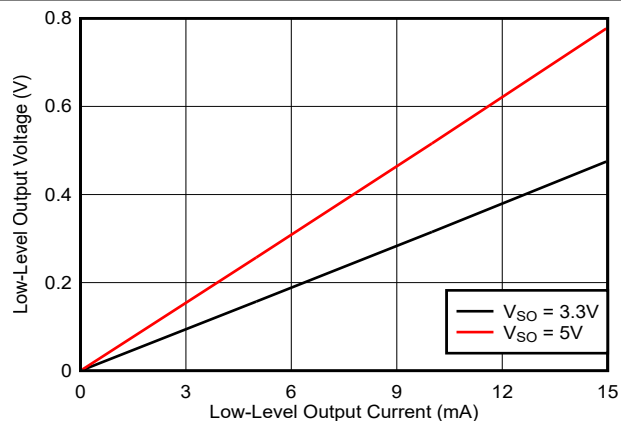


図 5-16. Low レベル出力電圧と Low レベル出力電流との関係

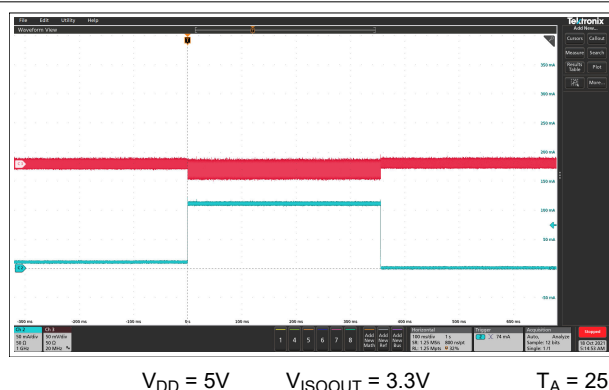


図 5-17. 10mA から 110mA への負荷過渡応答

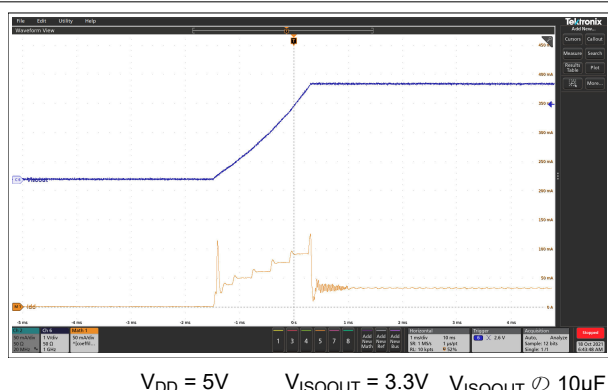


図 5-18. $V_{ISOOUT} = 3.3V$ の 10mA 負荷でのソフトスタート

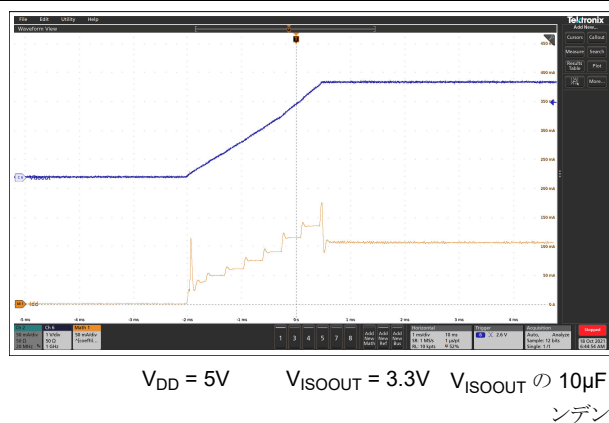


図 5-19. $V_{ISOOUT} = 3.3V$ の 50mA 負荷でのソフトスタート

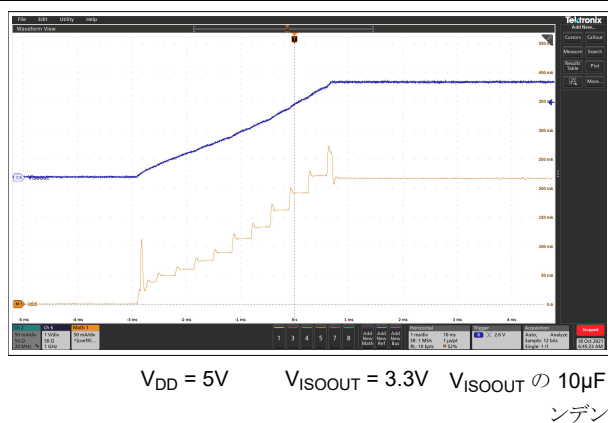
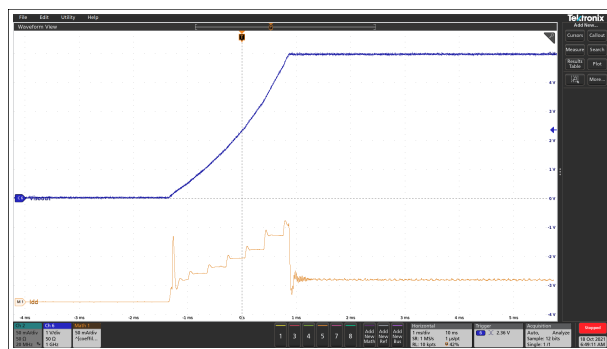
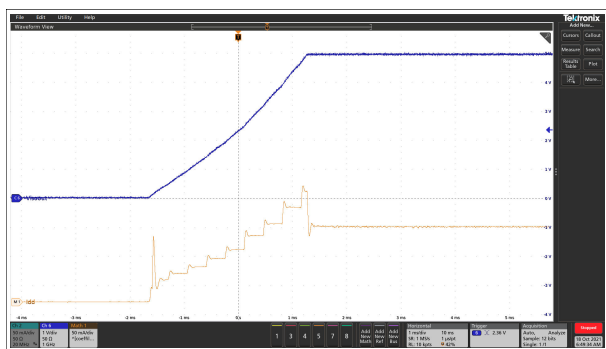


図 5-20. $V_{ISOOUT} = 3.3V$ の 110mA 負荷でのソフトスタート



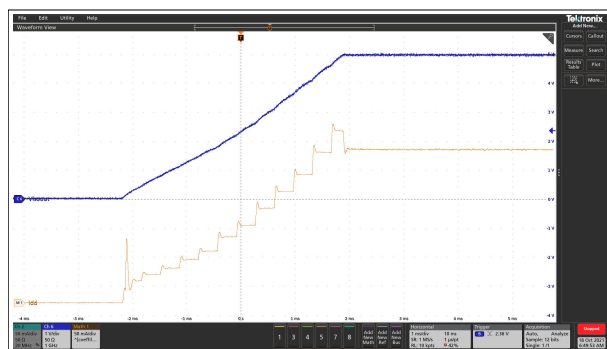
$V_{DD} = 5V$ $V_{ISOOUT} = 5V$ V_{ISOOUT} の $10\mu F$ コンデンサ

図 5-21. $V_{ISOOUT} = 5V$ の $10mA$ 負荷でのソフトスタート



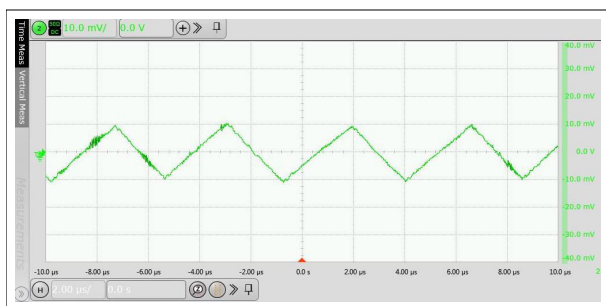
$V_{DD} = 5V$ $V_{ISOOUT} = 5V$ V_{ISOOUT} の $10\mu F$ コンデンサ

図 5-22. $V_{ISOOUT} = 5V$ の $50mA$ 負荷でのソフトスタート



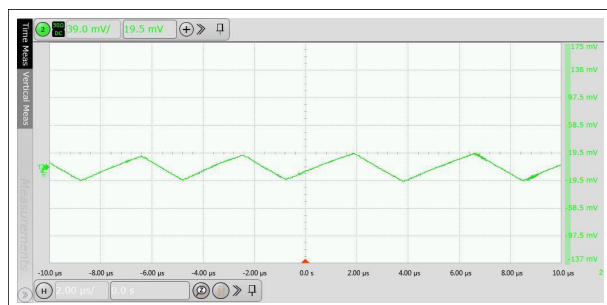
$V_{DD} = 5V$ $V_{ISOOUT} = 5V$ V_{ISOOUT} の $10\mu F$ コンデンサ

図 5-23. $V_{ISOOUT} = 5V$ の $110mA$ 負荷でのソフトスタート



$V_{DD} = 3.3V$ $V_{ISOOUT} = 3.3V$ V_{ISOOUT} の $10\mu F$ コンデンサ

図 5-24. $10\mu F$ コンデンサと $60mA$ 負荷を使用した $3.3V$ での V_{ISOOUT} リップル電圧



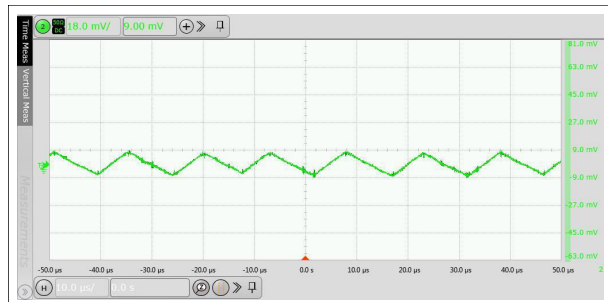
$V_{DD} = 5V$ $V_{ISOOUT} = 5V$ V_{ISOOUT} の $10\mu F$ コンデンサ

図 5-25. $10\mu F$ コンデンサと $110mA$ 負荷を使用した $5V$ での V_{ISOOUT} リップル電圧



$V_{DD} = 3.3V$ $V_{ISOOUT} = 3.3V$ V_{ISOOUT} の $100\mu F$ コンデンサ

図 5-26. $100\mu F$ コンデンサと $60mA$ 負荷を使用した $3.3V$ での V_{ISOOUT} リップル電圧



$V_{DD} = 5V$ $V_{ISOOUT} = 5V$ V_{ISOOUT} の $100\mu F$
コンデンサ

図 5-27. $100\mu F$ コンデンサと $110mA$ 負荷を使用した
 $5V$ での V_{ISOOUT} リップル電圧

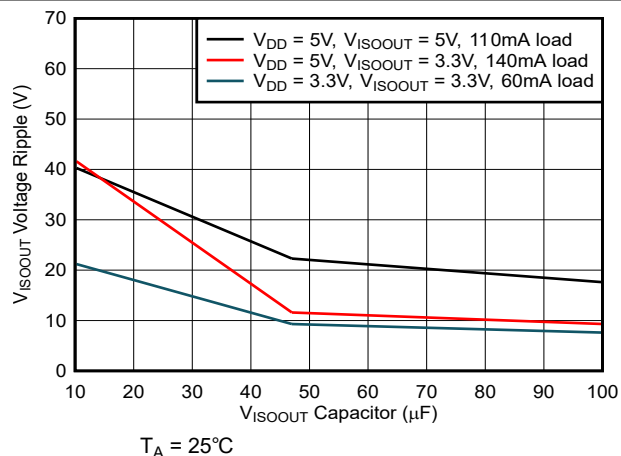
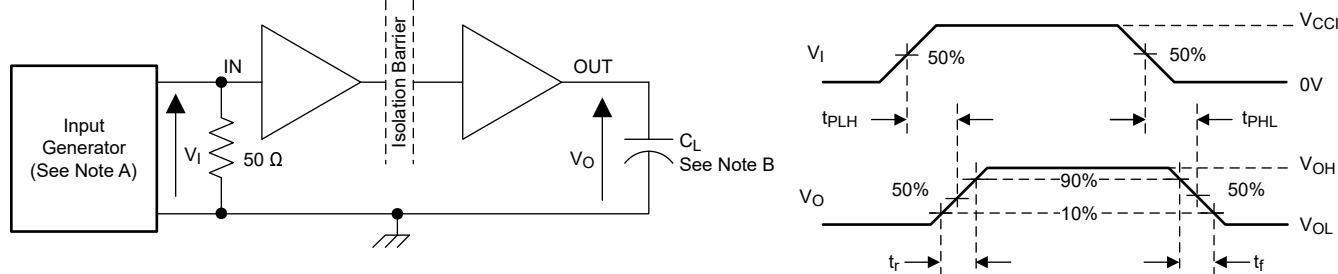


図 5-28. V_{ISOOUT} リップル電圧と負荷コンデンサとの
関係

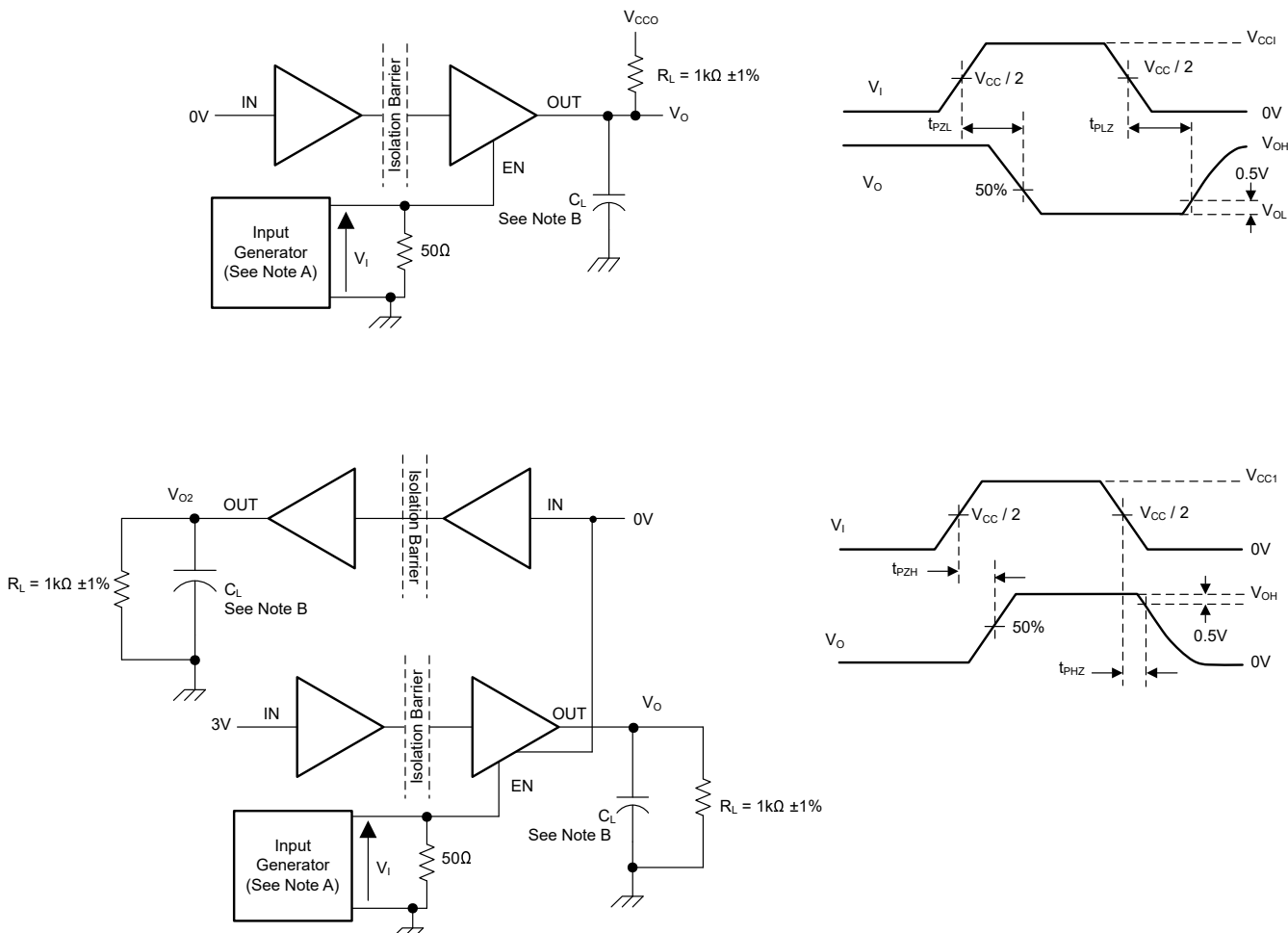
6 パラメータ測定情報

以下の図では、 V_{CCI} および V_{CCO} はそれぞれ電源 V_{IO} および V_{ISOIN} 示しています。



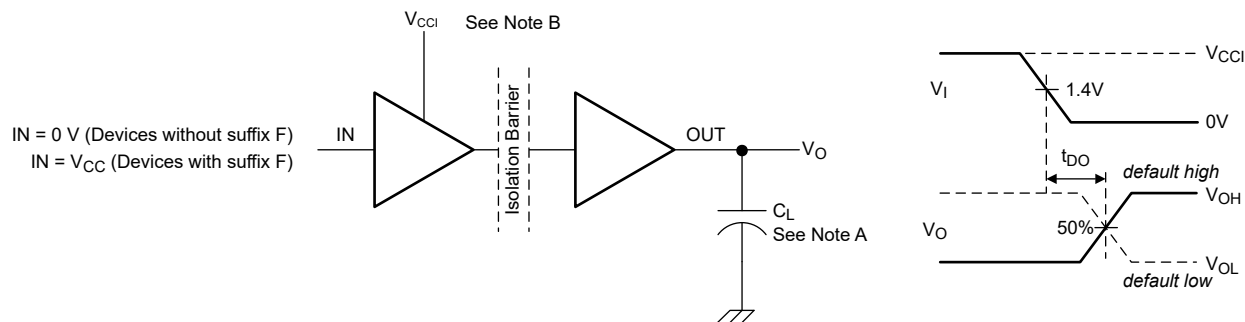
- A. $C_L = 15\text{pF}$ 、入力パルスは以下の特性を持つジェネレータから供給されます: $\text{PRR} \leq 50\text{kHz}$ 、50% デューティ サイクル、 $t_r \leq 3\text{ns}$ 、 $t_f \leq 3\text{ns}$ 、 $Z_O = 50\Omega$ 。入力ジェネレータ信号を終端するため、入力に 50Ω の抵抗が必要です。実際のアプリケーションでは、この 50Ω 抵抗は不要です。
- B. $C_L = 15\text{pF}$ 、 $\pm 20\%$ 以内の計測器および治具の容量が含まれています。

図 6-1. スイッチング特性試験回路と電圧波形



- A. A. 入力パルスは、以下の特性を持つジェネレータから供給されます。 $\text{PRR} \leq 50\text{kHz}$ 、50% デューティ サイクル、 $t_r \leq 3\text{ns}$ 、 $t_f \leq 3\text{ns}$ 、 $Z_O = 50\Omega$ 。入力ジェネレータ信号を終端するため、入力に 50Ω の抵抗が必要です。実際のアプリケーションでは、この 50Ω 抵抗は不要です。
- B. B. $C_L = 15\text{pF}$ 、 $\pm 20\%$ 以内の計測器および治具の容量が含まれています。

図 6-2. イネーブル / ディセーブル伝搬遅延時間のテスト回路と波形



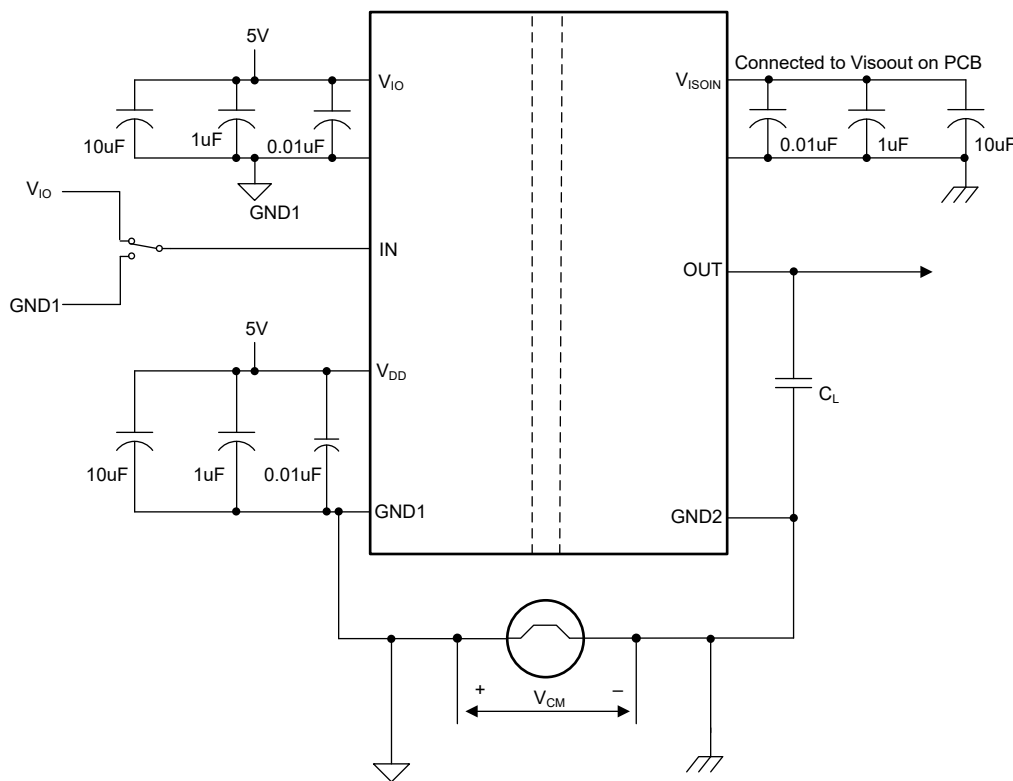
注

A. $C_L = 15\text{pF}$ 、 $\pm 20\%$ 以内の計測器および治具の容量が含まれています。

注

B. 電源ランプレート = 10mV/ns 。

図 6-3. デフォルトの出力遅延時間テスト回路と電圧波形



注

 $C_L = 15\text{pF}$ であり、 $\pm 20\%$ 以内の計測器および治具の容量が含まれています。

注

合否基準: 出力が安定状態を維持。

図 6-4. 同相過渡電圧耐性試験回路

7 詳細説明

7.1 概要

ISOW7721 デバイス ファミリーは、低ノイズ、低放射の絶縁型 DC/DC コンバータと、2 つの高速絶縁データ チャネルを備えています。ISOW7721 デバイスの機能ブロック図を[セクション 7.2](#) に示します。

7.1.1 電源の絶縁

内蔵絶縁型 DC/DC コンバータは、高度な回路とオンチップ レイアウト技法により放射エミッションを低減し、標準 46% 効率を達成します。内蔵のトランスでは、絶縁バリアとして薄膜ポリマーを使用しています。パワー コンバータの出力電圧は、 V_{SEL} ピンを使用して 3.3V または 5V に制御可能です。電力を節約するために、 EN ピンを使用して DC/DC コンバータをオフにできます。出力電圧 V_{ISOOUT} を監視しており、フィードバック情報が専用の絶縁チャネルを通じて 1 次側に伝達されます。DC/DC コンバータをレギュレーションできるように帰還チャネルに適切に電力を供給するために、 V_{ISOOUT} を V_{ISOIN} に接続する必要があります。そのためには、ピンを直接接続するか、常に電源オンになった LDO を使用します。フェライト ビーズは、さらに放射を低減するため、 V_{ISOOUT} と V_{ISOIN} の間に配置することを推奨します。セクションを参照してください。[セクション 8.2](#) それに応じて 1 次側スイッチング段のデューティ サイクルが調整されます。パワー コンバータの高速フィードバック制御ループにより、負荷過渡時のオーバーシュートおよびアンダーシュートを低く抑えます。 V_{IO} 、 V_{DD} および V_{ISOIN} 電源にはヒステリシス付きの低電圧ロックアウト (UVLO) が内蔵されており、ノイズの多い状況下で堅牢なフェールセーフ動作を実現します。内蔵のソフトスタート メカニズムによって突入電流を制御し、電源オン時に出力のオーバーシュートが発生することを防止します。

7.1.2 信号絶縁

内蔵信号絶縁チャネルは、オンオフキーイング (OOK) 変調方式を採用し、二酸化ケイ素ベースの絶縁バリアを介してデジタルデータを送信します。トランスミッタは、一方の状態を表す高周波キャリアをバリアを介して送信し、もう一方の状態を表す信号は送信しません。レシーバは、シグナル コンディショニングの後、信号を復調し、バッファ段経由で出力を生成します。信号絶縁チャネルに高度な回路手法を採用して、CMTI 性能を最大化し、高周波キャリアおよび IO バッファ スイッチングによる放射エミッションを最小化しています。[図 7-1](#) に代表的な信号絶縁チャネルの機能ブロック図を示します。パワー コンバータからのノイズ カップリングを信号パスから回避するため、サイド 1 のパワー コンバータ用電源 (V_{DD}) と信号パス用電源 (V_{IO}) は分離されています。サイド 2 でも同様に、パワー コンバータ出力 (V_{ISOOUT}) を PCB 上で外部から V_{ISOIN} に接続する必要があります。 V_{ISOOUT} と V_{ISOIN} の間、および $GND2$ ピンの間にフェライト ビーズを配置することで、放射をさらに改善できます。詳細については、[レイアウトのガイドライン](#)を参照してください。

7.2 機能ブロック図

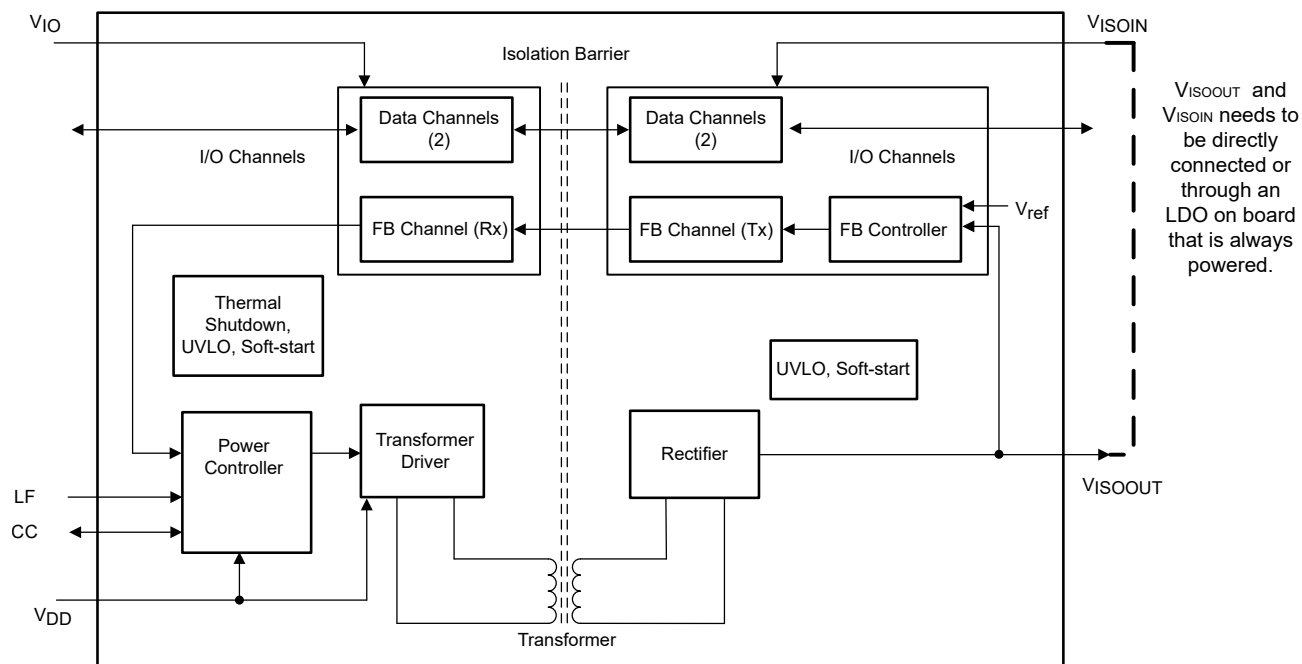


図 7-1. ブロック図

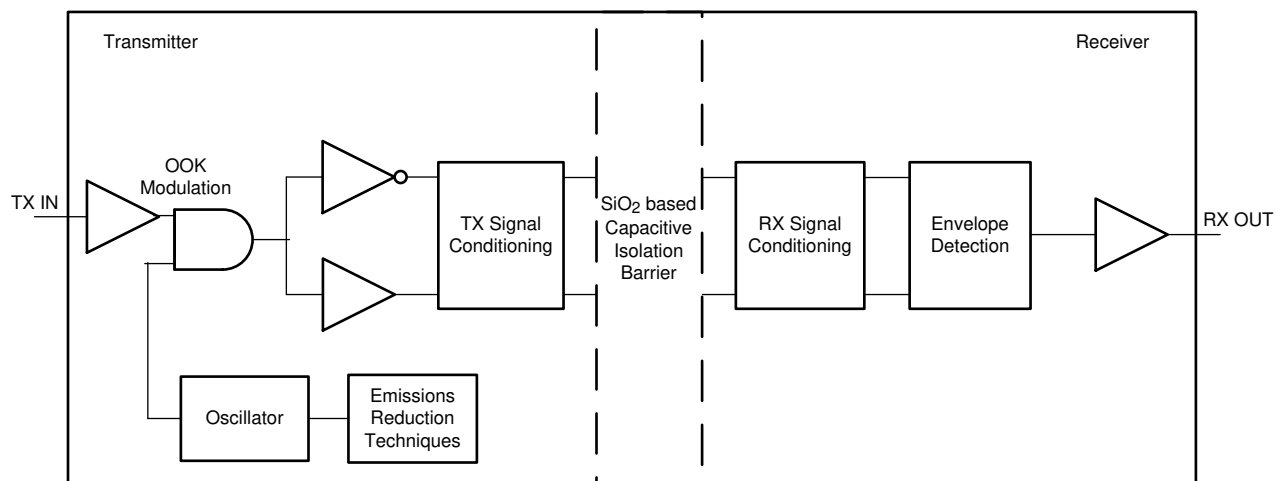


図 7-2. 容量性データチャネルの概念ブロック図

図 7-3 に、OOK 方式の概念図を示します。

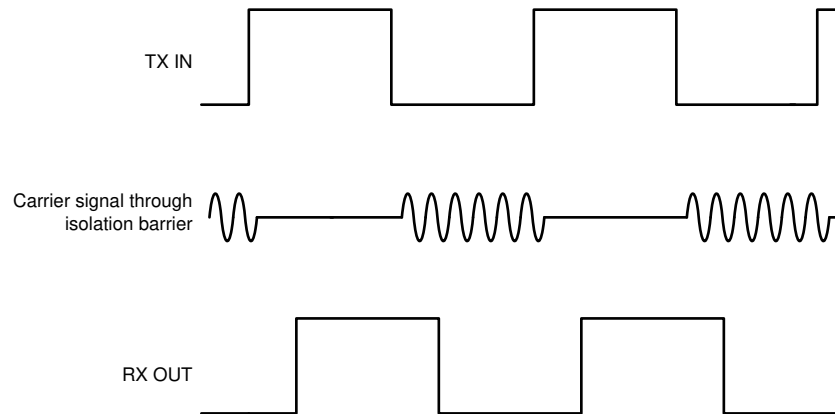


図 7-3. オン オフ キーイング (OOK) による変調方式

7.3 機能説明

デバイスの機能 に、デバイスの機能概要を示します。

表 7-1. デバイスの機能

部品番号 ⁽¹⁾	チャンネル方向	最大データレート	デフォルト出力状態	絶縁定格 ⁽²⁾
ISOW7721	正方向 1、逆方向 1	100Mbps	高	5kV _{RMS} / 7071V _{PK}
ISOW7721, F 接尾辞付き			低	

(1) 接尾辞 F は、注文可能な型番の一部です。注文可能な型番については、[セクション 11](#) セクションを参照してください。

(2) 絶縁定格の詳細については、[セクション 5.7](#) 表を参照してください。

7.3.1 電磁両立性 (EMC) に関する検討事項

ISOW7721 は、内部発振器のエミッション低減方式と高度な内部レイアウト技法により、システム レベルで放射エミッションを最小化します。

過酷な産業用環境で使用される多くのアプリケーションは、静電気放電 (ESD)、電気的高速過渡現象 (EFT)、サージ、電磁放射のような外乱の影響を受けやすくなっています。これらの電磁妨害は、IEC 61000-4-x および CISPR 32 などの国際規格により規制されています。システム レベルの性能と信頼性は、アプリケーション基板の設計とレイアウトに大きく左右されますが、ISOW7721 は、数多くのチップ レベルの設計改善を取り入れて、システム全体の堅牢性を高めています。改善項目の一部を以下に示します。

- 入出力信号ピンおよびチップ間のボンド パッドに、堅牢な ESD 保護セル。
- 電源ピンおよびグランド ピンに、ESD セルの低抵抗接続。
- 高電圧絶縁コンデンサの性能を強化し、ESD、EFT、サージの各イベントに対する耐性を向上。
- 低インピーダンス パスを経由して不要な高エネルギー信号をバイパスする、オンチップ デカップリング コンデンサの大容量化。
- ガードリングによって PMOS デバイスと NMOS デバイスを相互に絶縁し、寄生 SCR がトリガされるのを防止。
- 完全差動内部動作を確保し、絶縁バリアをまたぐコモン モード電流を低減。
- パワー パスと信号パスを分離して内部の高周波結合を最小限に抑え、フェライト ビーズによる外部フィルタリングで放射エミッションをさらに低減することが可能に。
- パワー コンバータのスイッチング周波数を 25MHz に低減し、エミッション スペクトルの高周波成分の強度を低減。

7.3.2 パワーアップ動作とパワーダウン動作

ISOW7721 は、V_{IO}、V_{DD}、V_{ISOIN} 電源に低電圧ロックアウト (UVLO) 機能を搭載しており、正方向および負方向のスレッシュホルドとヒステリシスを備えています。デバイスが動作するには、パワー コンバータ電源 (VDD) とロジック電源 (VIO) の

両方が存在している必要があります。どちらかが UVLO を下回ると、信号路とパワー コンバータの両方が無効になります。

電源オン時に V_{DD} 電圧が正方向の UVLO スレッショルドを超えると、DC/DC コンバータが初期化されるとともに、制御された状態で電力コンバータのデューティ サイクルが増加していきます。このソフトスタート方式により、 V_{DD} 電源から引き出される 1 次側ピーク電流を制限し、制御された状態で V_{ISOOUT} 出力に電源を供給してオーバーシュートを回避します。絶縁データ チャネルの出力は、 V_{IO} および V_{DD} 電圧が正方向の UVLO スレッショルドを超えるまでは不定状態になります。2 次側の V_{ISOOUT} ピンで UVLO の正方向スレッショルドを超えると、フィードバック データ チャネルが 1 次側コントローラへのフィードバックを開始します。レギュレーション ループが制御を引き継ぎ、絶縁データ チャネルは、対応する入力チャネルまたはそれぞれのデフォルト状態の定義による通常状態に移行します。このパワー アップ シーケンスが完了して、システム機能に関与するデータ チャネルが有効になるまで、十分な時間マージン (通常は $10\mu\text{F}$ の負荷容量で 10ms) を考慮して設計する必要があります。

V_{IO} または V_{DD} 電源が失われた場合、UVLO 下限スレッショルドに達したときに 1 次側 DC/DC コントローラがオフになります。その後、 V_{ISOOUT} コンデンサは外部負荷によって放電されます。 V_{ISOIN} 側の絶縁データ出力は、 V_{ISOIN} 電圧がゼロまで放電するのに要する短時間の間、デフォルト状態に戻ります。

7.3.3 保護機能

ISOW7721 は、システム レベルで堅牢な設計を実現するための複数の保護機能を備えています。

- V_{ISOOUT} には過電圧クランプ機能が備わっており、 $V_{SEL} = \text{GND2}$ で V_{ISOOUT} で電圧の上昇が観測される場合、 $V_{SEL} = V_{ISOOUT}$ または 4V のときに、 6V で電圧をクランプします。デバイスの信頼性を確保するため、 V_{ISOOUT} はオーバークランプ電圧よりも低くすることを推奨します。
- V_{DD} の過電圧ロックアウトは、 7V を超える電圧が観測されたときに発生します。デバイスは低消費電力状態に移行し、 EN ピンが Low になります。
- このデバイスは、出力過負荷および短絡に対して保護されています。過負荷状態において、電力コンバータが要求される電流を供給できない場合には、出力電圧が低下し始めます。 V_{ISOOUT} がグラウンドへ短絡した場合には、コンバータのデューティ サイクルを制限することによって、損傷に対する保護を実現しています。
- また、熱保護機能が内蔵されており、絶縁出力で過負荷および短絡の状態が発生したときにデバイスが損傷するのを防止します。このような状態では、デバイスの温度が上昇し始めます。温度が 165°C を超えると、サーマル シャットダウンが作動して 1 次側コントローラがオフになり、 V_{ISOOUT} 負荷に供給されるエネルギーがなくなって、デバイスが冷却されます。接合部温度が 150°C を下回ると、デバイスは通常動作を開始します。過負荷または出力短絡の状態が続いている場合は、この保護サイクルが繰り返されます。デバイスの接合部温度がこのような高い値に達しないよう、設計で注意してください。

7.3.4 電力出力を向上させるためのマルチデバイス チェーン接続

ISOW7721 は、[図 7-4](#) に示すように、複数の ISOW7721 デバイスをデジタイズチェーン接続することにより、 110mA を超える負荷を実現できます。次の式を使用して、目標の負荷電流を得るために必要な ISOW7721 デバイスの数を推定できます。

$$\text{Number of device} = \text{ceil} \left[\frac{\text{Target load current} - \text{Maximum available load current}}{0.8 \text{ Maximum available load current}} + 1 \right] \quad (1)$$

例:

ISOW7721 を使用して、 $V_{DD} = 5\text{V}$ および $V_{SEL} = 5\text{V}$ の 680mA 負荷を生成するマルチデバイスのチェーン接続を設計します。

$V_{DD} = 5\text{V}$ 、 $V_{SEL} = 5\text{V}$ で利用可能な最大負荷電流は、ページ 1 の 100mA です。

$$\text{Number of device} = \text{ceil} \left[\frac{680 - 110}{0.8 (110)} + 1 \right] = 8 \quad (2)$$

上記の計算から、 680mA の負荷を生成するには 8 つの ISOW7721 が必要です。

マルチデバイス チェーン接続を設定するには、次の手順に従います。

1. LF を **GND1** に設定し、デバイスをデ이지ーチェーンのリーダーとして構成します (デ이지ーチェーンでは 1 つのリーダーのみが許可されます)。リーダーの **CC** ピンは出力として構成されます。
2. LF を **V_{DD}** に設定し、もう一方のデバイスをフォロワとして設定します (システム電流要件を満たすため、複数のフォロワを使用できます)。フォロワの **CC** ピンは入力として構成されています。
3. LF ピンで電圧を変化させるには、デバイスを目的の役割にするために、電源を入れ直す必要があります。マルチデバイス チェーン接続の動作中に、電力の供給されていないデバイスの **VISOOUT** ピンが過電圧状態にさらされるのを防止するため、すべてのデバイスに電力が供給されていることを確認してください。電源が供給されていないデバイスの場合、**VSEL** が **GND** に設定される可能性があるため、**VISOOUT** の最大定格は **4V** です。この **VISOOUT** ピンを別の **5V VISOOUT** ピンによって長時間駆動すると、デバイスが損傷する可能性があります。
4. リーダーの **CC** ピンをフォロワの **CC** ピンに接続すると (複数のフォロワを使用可能)、リーダーをフォロワと同期できます。
5. リーダーとフォロワ用に、すべての **VISOOUT** ピンと **VISOIN** ピンを一緒に接続します。
6. リーダーとフォロワ用に、すべての **GISOUT** ピンを一緒に接続します。
7. リーダーとフォロワ用に、すべての **V_{DD}** ピンを一緒に接続します。
8. すべての **VSEL** ピンは、同じロジック状態に設定する必要があります。

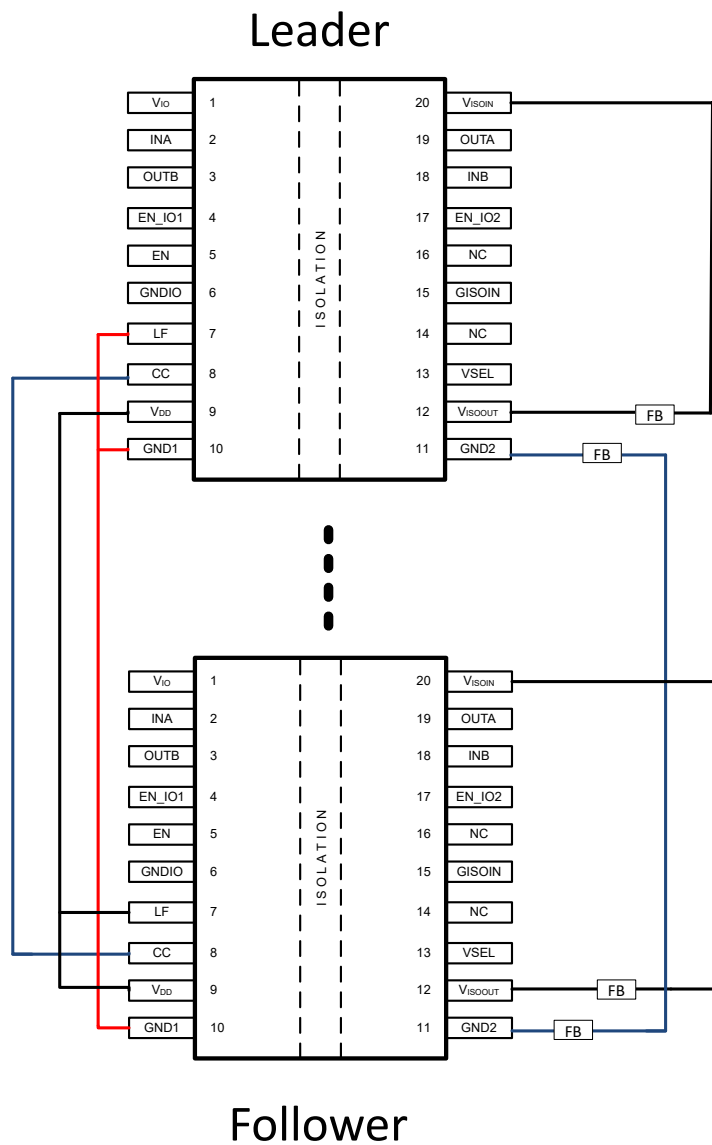


図 7-4. マルチデバイス チェーン接続

7.4 デバイスの機能モード

表 7-2 に、これらのデバイスの電源構成を示します。

表 7-2. 電源構成機能表

V _{DD}	V _{IO}	VSEL	V _{ISOOUT} ⁽²⁾
< V _{DD(UVLO+)}	> V _{IO(UVLO+)}	X	OFF
> V _{DD(UVLO+)}	< V _{IO(UVLO+)}	X	OFF
5V	1.71V ~ 5.5V	High (V _{ISOOUT} に短絡)	5V
5V または 3.3V	1.71V ~ 5.5V	Low (GND2 に短絡) ⁽¹⁾	3.3V

(1) VSEL ピンは、内部で弱くプルダウンされています。したがって、V_{ISOOUT} = 3.3V の場合、ノイズの多いシステム シナリオでは、VSEL ピンを GND2 ピンに強く接続する必要があります。

(2) V_{ISOOUT} が PCB 上で V_{ISOIN} に短絡し、GND2 ピンと GISOIN ピンの両方が互いに短絡し、EN = High となります

表 7-3 に、これらのデバイスのチャネル アイソレータの機能モードを示します。

表 7-3. チャネル アイソレータの機能表

チャネル入力電源 (V _{CCI}) ⁽¹⁾	チャネル出力電源 (V _{CCO}) ⁽¹⁾	入力 (INx)	IO イネーブル (EN_IOx)	出力 (OUTx)	コメント
PU	PU	H	H または オープン	H	通常動作: チャネルの出力は、入力の論理状態になります。
		L	H またはオープン	L	
		オープン	H またはオープン	デフォルト	デフォルト モード ⁽²⁾ : INx がオープン のとき、対応するチャネル出力はデフォルトのロジック状態に移行します。
		X	L	Z とデフォルト	出力イネーブルが Low の場合、同じ側の出力は高インピーダンス状態となり、反対側の出力はフェイルセーフのデフォルト状態になります。
PD	PU	X	H またはオープン	デフォルト	デフォルト モード ⁽²⁾ : V _{CCI} に電源が供給されていないとき、チャネル出力は選択されたデフォルト オプションに基づいたロジック状態になります。V _{CCI} が電源オフから電源オンに移移すると、チャネル出力は入力のロジック状態と同じになります。V _{CCI} が電源オンから電源オフに移移すると、チャネル出力は選択されているデフォルト状態になります。

(1) V_{CCI} = 入力側の V_{IO} または V_{ISOIN}、V_{CCO} = 出力側の V_{IO} または V_{ISOIN}、PU = 電源オン (V_{IO} > 1.7V、V_{ISOIN} > 1.7V)、PD = 電源オフ (V_{IO} < 1V、V_{ISOIN} < 1V)、X = 無関係、H = High レベル、L = Low レベル

(2) デフォルト状態では、ISOW7721 の出力は high となり、接尾辞 F 付きの出力は low となります。

7.4.1 デバイス I/O 回路図

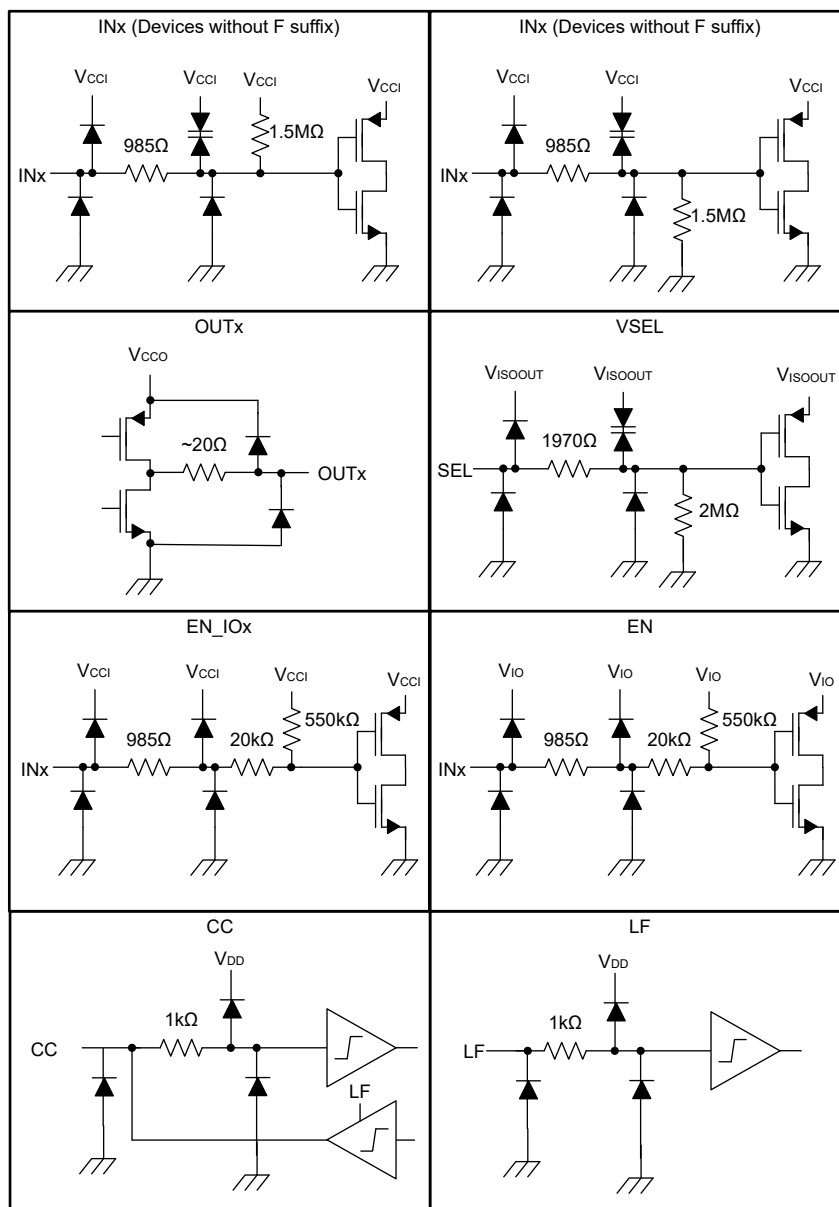


図 7-5. デバイス I/O 回路図

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

このデバイスは、高性能 2 チャンネル デジタル アイソレータで、DC/DC コンバータが内蔵されています。通常、デジタルアイソレータは、デバイスの両側に電力を供給するために、相互に絶縁された 2 つの電源を必要とします。このデバイスには、DC/DC コンバータが内蔵されているため、絶縁電源がデバイス内で生成され、デバイスの絶縁側への電力供給および絶縁側に接続されるペリフェラルへの電力供給に使用できるため、基板面積を削減できます。このデバイスは、シングルエンドの CMOS ロジック スイッチング技術を使用しています。デジタル アイソレータを使って設計する場合は、シングルエンド設計構造のため、デジタル アイソレータが特定のインターフェイス規格に準拠していないこと、シングルエンド CMOS または TTL デジタル信号ラインの絶縁のみを目的としていることに注意してください。アイソレータは通常、インターフェイスの種類や規格にかかわらず、データコントローラ (マイコンまたは UART) と、データコンバータまたはライントランシーバとの間に配置されます。

このデバイスは、基板面積が限定され、より高い集積を求めるアプリケーション向けに設計されています。また、このデバイスは、所要の絶縁仕様を満たす電力トランスが大型で高価になる高電圧アプリケーション向けにも設計されています。

8.2 代表的なアプリケーション



ステップバイステップの設計手順、回路図、部品表、プリント基板 (PCB) ファイル、シミュレーション結果、テスト結果については、『[TI Design TIDA-01333](#)、[ISOW7841](#) を使用する 8 チャンネル絶縁型高電圧アナログ入力モジュールのリファレンス デザイン』を参照してください。

図 8-1 に、SPI 絶縁の代表的な回路を示します。

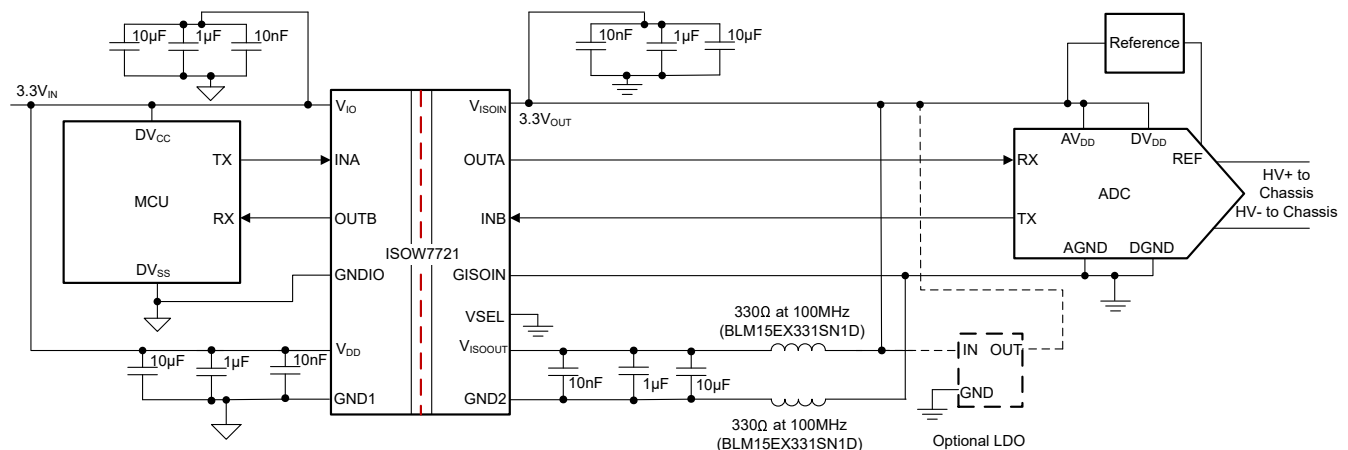


図 8-1. ISOW7721 を使用する ADC センシング アプリケーション向けの絶縁電源および UART

8.2.1 設計要件

このデバイスを設計するには、表 8-1 に記載されているパラメータを使用します。

表 8-1. 設計パラメータ

パラメータ	値
V_{DD} 入力電圧	3V ~ 5.5V
V_{IO} 入力電圧	1.71V ~ 5.5V
V_{ISOIN} 入力電圧	1.71V ~ 5.5V
V_{DD} デカップリング コンデンサ	10 μ F + 1 μ F + 0.01 μ F + オプションの追加容量
V_{IO} デカップリング コンデンサ	0.1 μ F + オプションの追加容量
V_{ISOIN} デカップリング コンデンサ	0.1 μ F + オプションの追加容量
V_{ISOOUT} デカップリング コンデンサ	10 μ F + 1 μ F + 0.01 μ F + オプションの追加容量
V_{ISOOUT} から V_{ISOIN} の直列インダクタ	BLM15ELX9331SN1D
GND2 から V_{ISOIN} の直列インダクタ	BLM15ELX9331SN1D
V_{IO} の直列インダクタ	BLM15ELX9331SN1D
V_{DD} の直列インダクタ	BLM15ELX9331SN1D

ISOW7721 の V_{DD} および V_{ISOOUT} 電源に非常に大きな電流が流れるため、一般的に、より大きなデカップリング コンデンサを使用するとノイズおよびリップル性能が向上します。10 μ F コンデンサで十分ですが、最高の性能を得るためには、 V_{DD} および V_{ISOOUT} ピンの両方にそれぞれのグラウンドに対してより大容量のデカップリング コンデンサ (たとえば 47 μ F) を接続することを強く推奨します。

8.2.2 詳細な設計手順

これらのデバイスは、高性能で動作するように、外付けバイパス コンデンサとフェライト ビーズを特定の配置で配置する必要があります。これらの低 ESR セラミック バイパス コンデンサは、チップ パッドにできるだけ近づけて配置する必要があります。

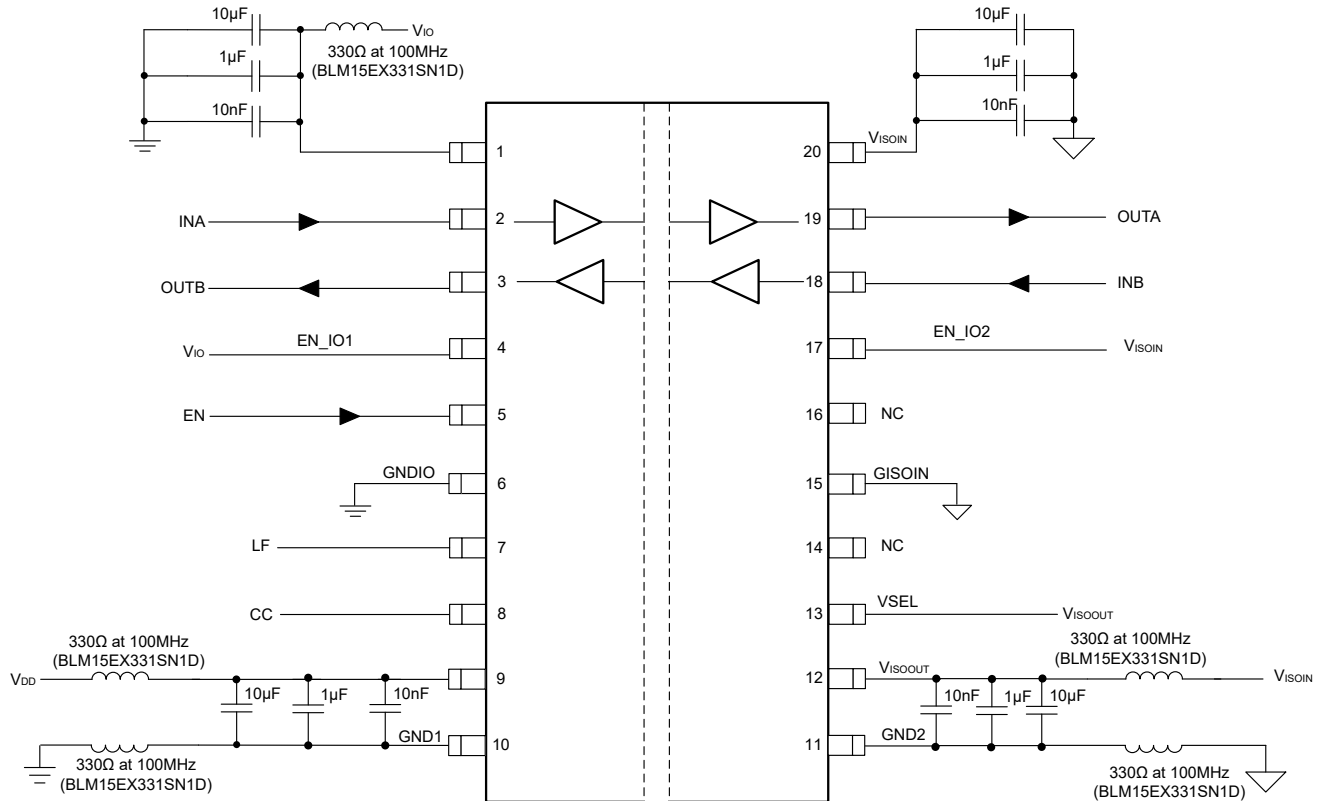


図 8-2. ISOW7721 の標準の回路接続図

8.2.3 アプリケーション曲線

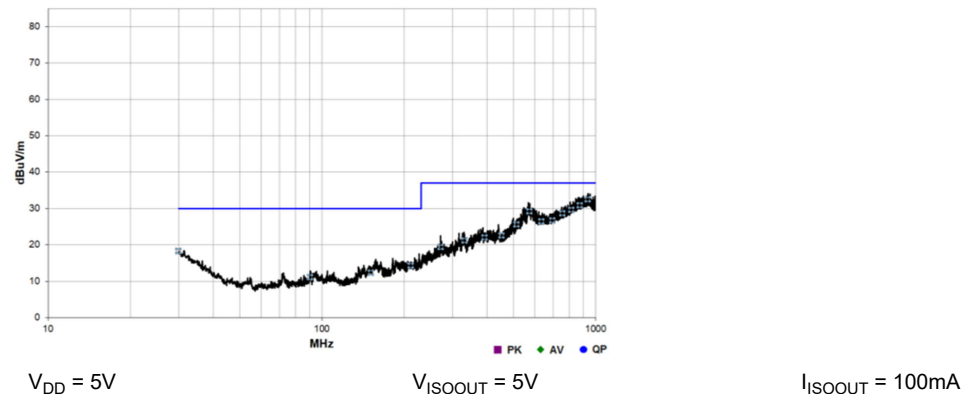


図 8-3. ISOW77xx 放射エミッションと CISPR32B ラインとの関係 (青)

8.2.3.1 絶縁寿命

絶縁寿命予測データは、業界標準の TDDB (Time Dependent Dielectric Breakdown、経時絶縁破壊) テスト手法を使用して収集されます。このテストでは、バリアのそれぞれの側にあるすべてのピンを互いに接続して 2 つの端子を持つデバイスを構成し、その両側に高電圧を印加します。TDDB テスト構成については、図 8-4 を参照してください。この絶縁破壊データは、動作温度範囲で、さまざまな電圧について 60Hz でスイッチングして収集されます。強化絶縁について、VDE 規格では、100 万分の 1 (ppm) 未満の故障率での TDDB (経時絶縁破壊) 予測曲線の使用が求められています。期待される最小絶縁寿命は、規定の動作絶縁電圧において 20 年ですが、VDE の強化絶縁認証には、動作電圧につ

いて 20%、寿命について 50% の安全マージンがさらに必要となります。すなわち、規定値よりも 20% 高い動作電圧で、30 年の最小絶縁寿命が必要であることになります。

図 8-5 に、寿命全体にわたって高電圧ストレスに耐えることができる、絶縁バリアの固有能力を示します。この TDDB データによれば、絶縁バリアの固有能力は $1000V_{RMS}$ 、寿命は 100 年以上です。

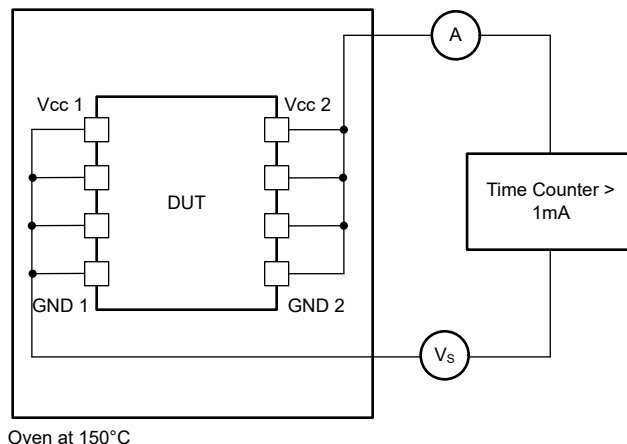


図 8-4. 絶縁寿命測定用のテスト構成

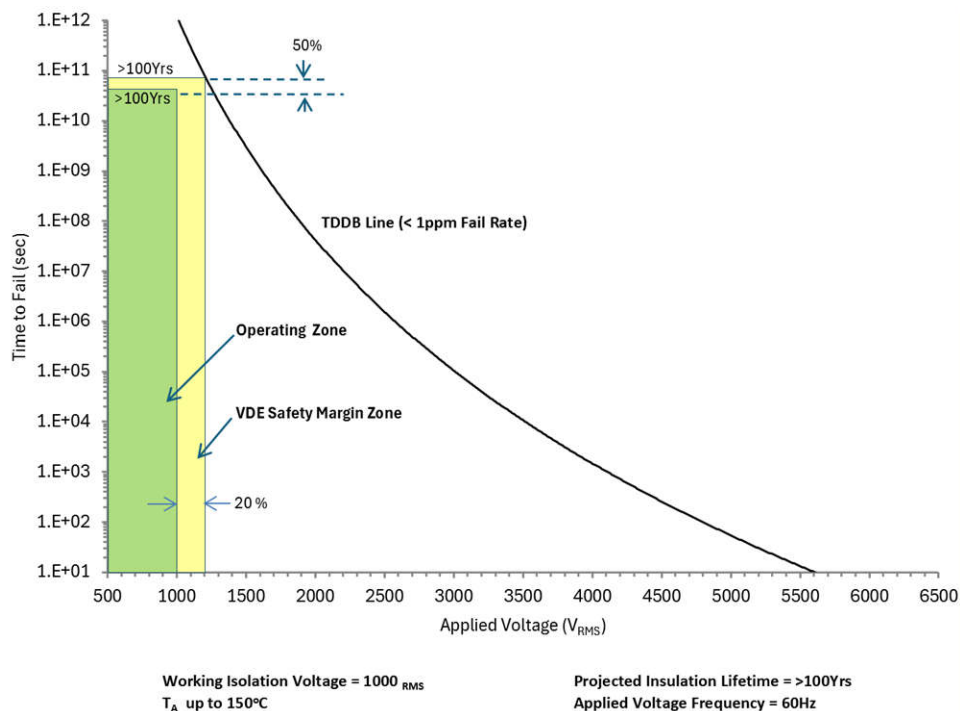


図 8-5. 絶縁寿命予測データ

8.3 電源に関する推奨事項

さまざまなデータレートおよび電源電圧での動作の信頼性を確保するため、電源ピンにできるだけ近い場所にデカップリング コンデンサを配置する必要があります。DC/DC コンバータをレギュレーションできるように帰還チャンネルに適切に電力を供給するために、 V_{ISOOUT} を V_{ISOIN} に接続する必要があります。 V_{ISOOUT} と V_{ISOIN} が接続されていない場合、DC/DC コンバータにより開ループが実行され、6V で過電圧クランプがクランプされるまで V_{ISOOUT} 電圧はドリフトします。 V_{ISOOUT} および V_{ISOIN} を接続するには、次の 2 つの方法があります。

1. V_{ISOOUT} および V_{ISOIN} をフェライト ビーズと直接接続します。フェライト ビーズは、さらに放射を低減するため、 V_{ISOOUT} と V_{ISOIN} の間に配置することを推奨します。
2. 電源が常にオンになっている LDO を経由して、 V_{ISOOUT} および V_{ISOIN} をフェライト ビーズと接続します。LDO に EN ピンがある場合、EN を常に High に維持します。

入力電源 (V_{IO} および V_{DD}) は、出力負荷をサポートし、最終アプリケーションで要求される最大データ レートでのスイッチングに対応できる適切な電流定格が必要です。詳細については、[セクション 8.2](#) セクションを参照してください。

出力負荷電流 110mA の場合、入力電流制限を 600mA 超とし、出力負荷電流が低い場合は入力電流制限を比例して低くできます。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

優れた EMC 性能を達成するには、低コストの 2 層 PCB で十分です。

- 上層に高速パターンを配線することにより、ビアの使用 (およびそれに伴うインダクタンスの発生) を避けて、データリンクのトランスミッタおよびレシーバ回路とアイソレータとの間のクリーンな相互接続が可能になります。
- 高速信号層の次の層に、ベタのグランド プレーンを配置することにより、伝送ライン接続のインピーダンスを制御し、リターン電流のための優れた低インダクタンス パスを実現します。
- グランド プレーンの次の層に、電源プレーンを配置すると、高周波バイパス容量を約 100pF/インチ² 増加させることができます。
- 最下層に低速の制御信号を配線すると、これらの信号リンクには一般的に、ビアのような不連続性を許容するマージンがあるため、高い柔軟性が得られます。

電源プレーンまたは信号層の追加が必要な場合は、対称性を保つために、第 2 の電源系統またはグランド プレーン系統を層構成に追加します。これにより、基板の層構成は機械的に安定し、反りを防ぎます。また、各電源系統の電源プレーンとグランド プレーンを互いに近づけて配置できるため、高周波バイパス容量を大幅に増やすことができます。

デバイスには放熱用のサーマル パッドがないため、デバイスは各 GND ピンを通じて放熱します。デバイスの内部接合部温度が許容できないレベルに上昇するのを防ぐため、両方の GND ピンに十分な銅パターンを確保してください。

図 8-6 に、デバイスのバイパス コンデンサの推奨配置と配線を示します。アプリケーションの EMC 要件を満たすには、以下のガイドラインに従う必要があります：

- 高周波バイパスコンデンサ 10nF は、 V_{DD} および V_{ISOOUT} ピンの近くに配置し、デバイスピンから 1mm 未満の距離で配置する必要があります。これは、放射エミッション性能を最適化するには非常に不可欠です。これらのコンデンサが 0402 サイズであることを確認してください。これにより、コンデンサのインダクタンス (ESL) を最小限に抑えることができます。
- パワー コンバータの入力 (V_{DD}) および出力 (V_{ISOOUT}) 電源ピンには、少なくとも 10 μ F のバルク コンデンサを配置する必要があります。
- バイパス コンデンサまで、 V_{DD} と GND1 のパターンを対称にする必要があります。 V_{ISOOUT} と GND2 のパターンを対称にする必要があります。
- 0402 サイズのフェライト ビーズ (型番: BLM15EX331SN1) 2 個を V_{ISOOUT} と GND2 に実装しているので、パワー コンバータ出力からの高周波ノイズが PCB 上の他の部品に印加される前に、すべてのハイ インピーダンスを認識できます。
- 電源コンバータの出力端子 (V_{ISOOUT} ピン 12 および GND2 ピン 11) から 4mm 以内の範囲には、金属配線やグランド プレーンを配置しないでください。VSEL ピンは V_{ISOOUT} ドメインにも属しており、出力電圧を選択するには、ピン 11 またはピン 12 に短絡する必要があります。
- 低放射エミッションの設計を行うためには、EVM のレイアウトガイドラインに従うことを強く推奨します。

8.4.1.1 PCB 材料

150Mbps 未満で動作する場合 (または、立ち上がり立ち下がり時間が 1ns 超)、およびトレース長が 10 インチ未満の場合のデジタル回路基板には、標準の FR-4 UL94V-0 プリント基板を使用します。この PCB は、高周波での誘電損失の低減、吸湿性の低減、強度と剛性の向上、および自己消火性の特性により、安価な代替品よりも推奨されます。

8.4.2 レイアウト例

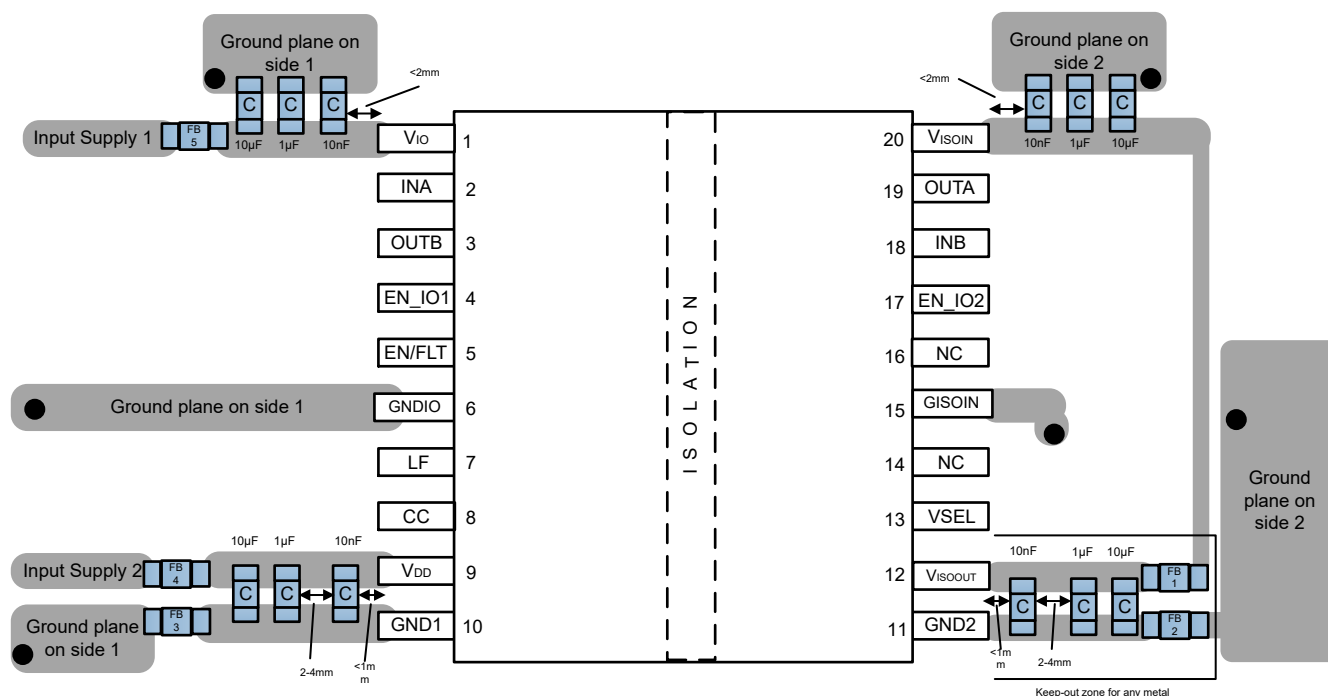


図 8-6. レイアウト例

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (September 2021) to Revision A (August 2026)	Page
・「特長」セクションの機能安全認証の情報を更新	1
・デバイスのステータスを「量産データ」に更新。	2
・「電力定格」表の重複したテスト条件を削除	8
・新しい規格 DIN EN IEC 60747-17 (VDE 0884-17) に合わせて「絶縁仕様」表を更新	9
・認証番号を追加し、規格名称を訂正して「安全関連認証」表を更新。	10
・「絶縁寿命」セクションと「絶縁寿命予測」データ グラフを更新	39

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 開発サポート

開発サポートについては、以下を参照してください。

- [ISOW7841](#) を使用する 8 チャンネル絶縁型高電圧アナログ入力モジュールのリファレンス デザイン
- 信号と電力を統合した絶縁型 [RS-485](#) のリファレンス デザイン
- 信号と電力を統合した絶縁型 [RS-232](#) のリファレンス デザイン

10.2 ドキュメントのサポート

10.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、[『デジタル アイソレータ設計ガイド』](#)
- テキサス インスツルメンツ、[『絶縁の用語集』](#)

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の「Alert me」(アラートを受け取る) をクリックして登録すると、製品情報の更新に関する週次ダイジェストを受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 サポート・リソース

テキサス・インスツルメンツ [E2E™](#) サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.5 商標

テキサス・インスツルメンツ [E2E™](#) is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

11 メカニカル、パッケージ、および注文情報

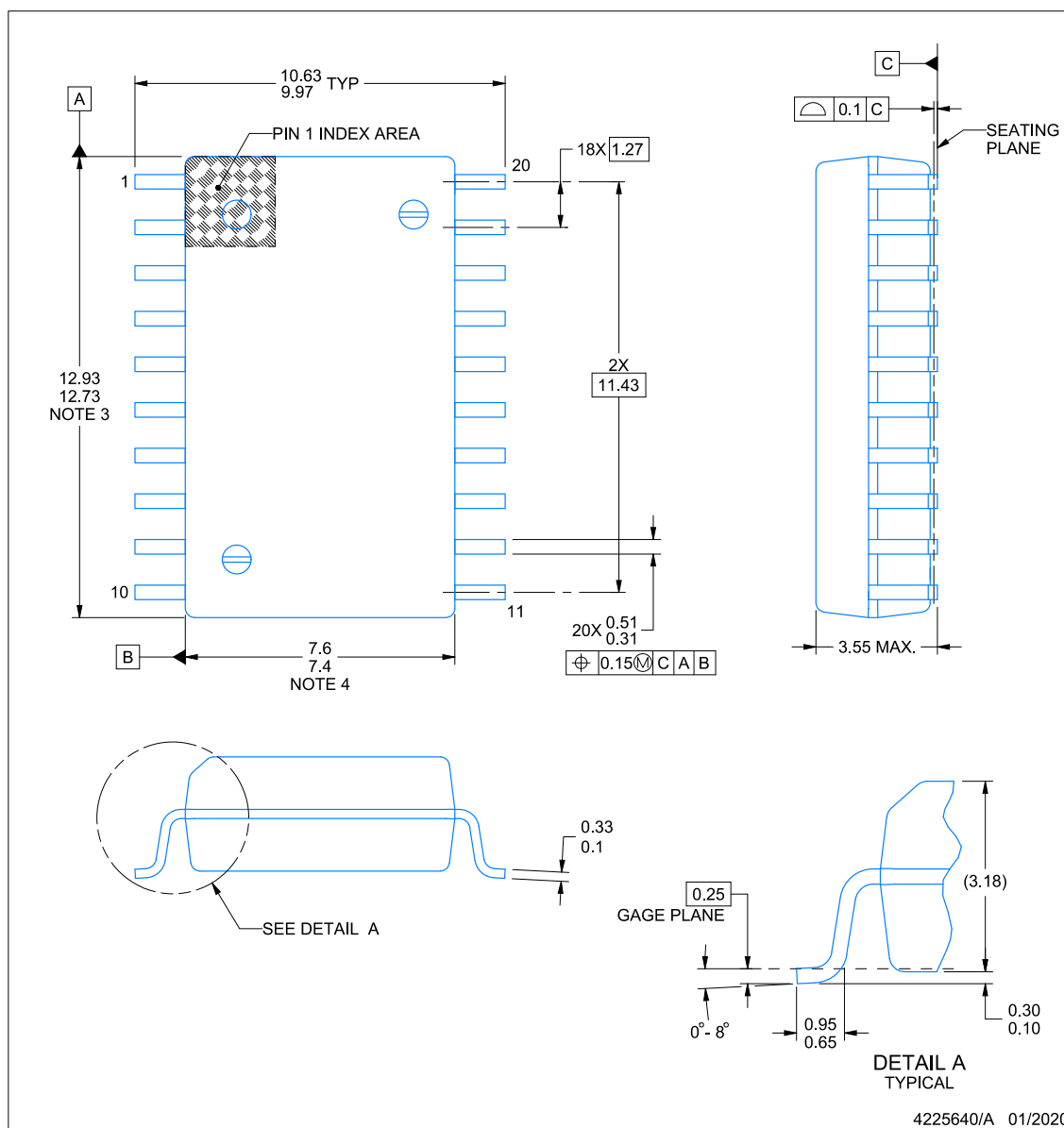
以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGE OUTLINE

DFM0020A

SOIC - 3.55 mm max height

SMALL OUTLINE PACKAGE

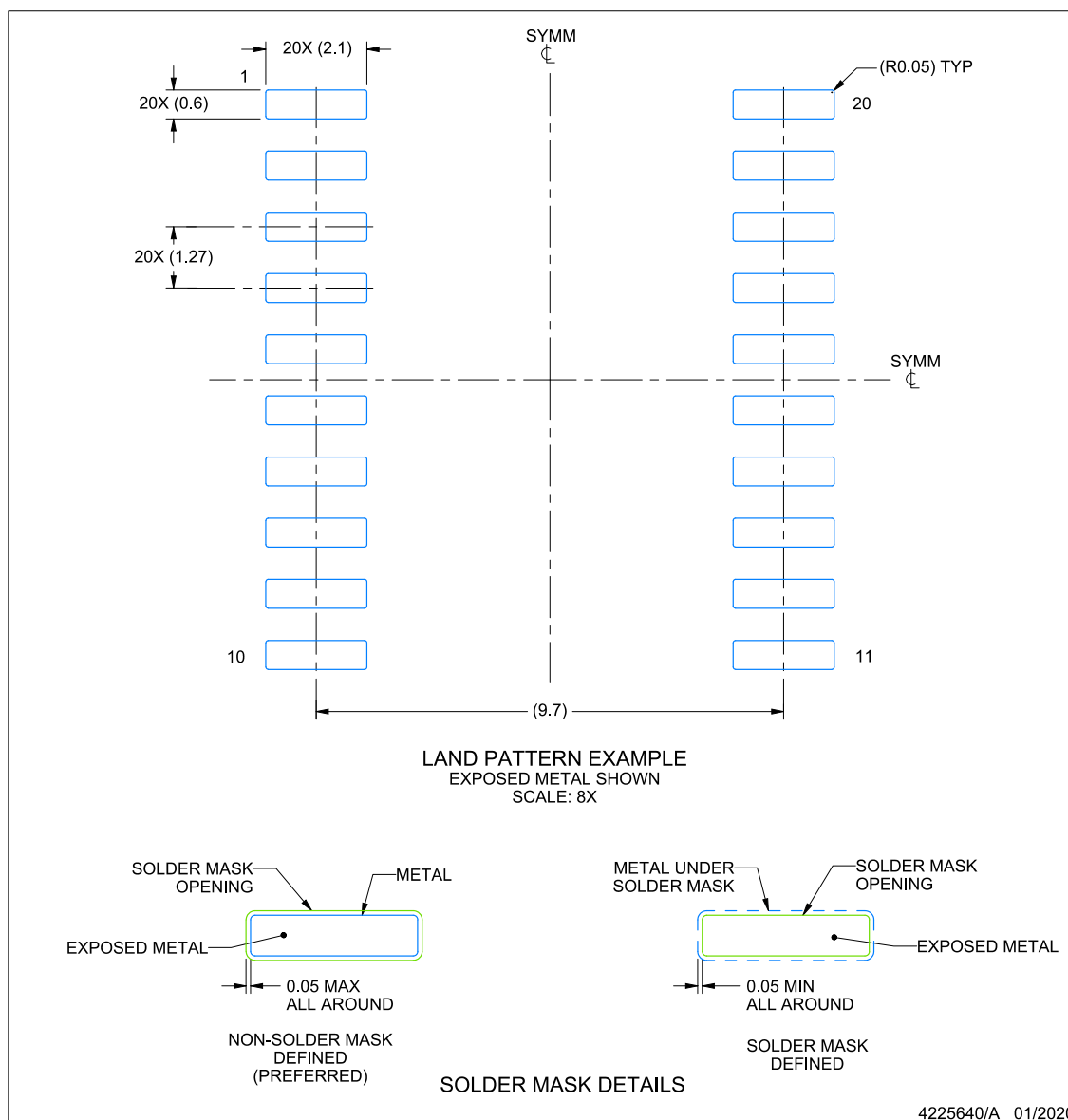


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Ref. JEDEC registration MS-013

EXAMPLE BOARD LAYOUT**DFM0020A****SOIC - 3.55 mm max height**

SMALL OUTLINE PACKAGE



NOTES: (continued)

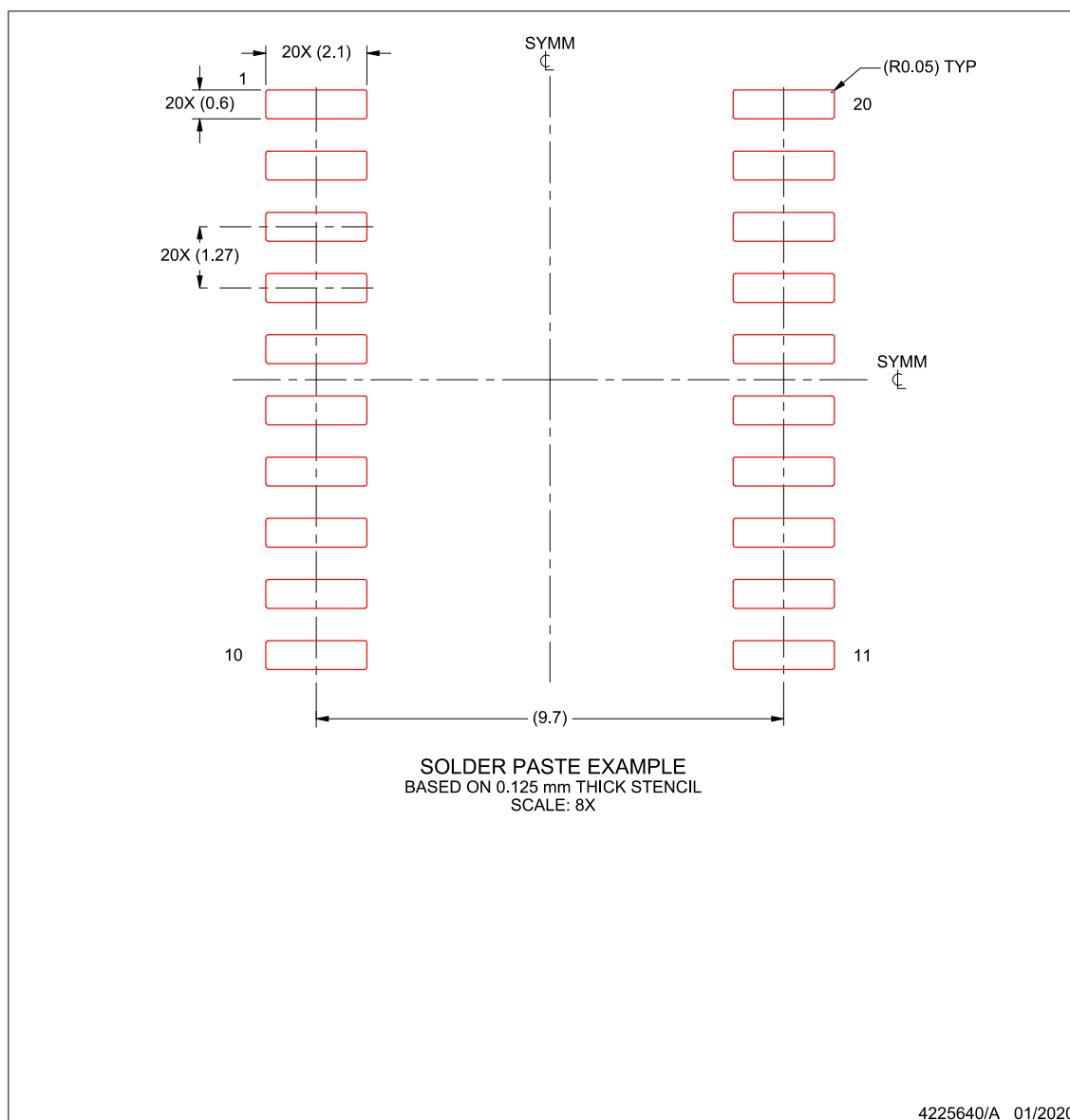
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DFM0020A

SOIC - 3.55 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISOW7721DFMR	Active	Production	SOIC (DFM) 20	850 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7721
ISOW7721DFMR.A	Active	Production	SOIC (DFM) 20	850 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7721
ISOW7721FDFMR	Active	Production	SOIC (DFM) 20	850 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7721F
ISOW7721FDFMR.A	Active	Production	SOIC (DFM) 20	850 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	ISOW7721F

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

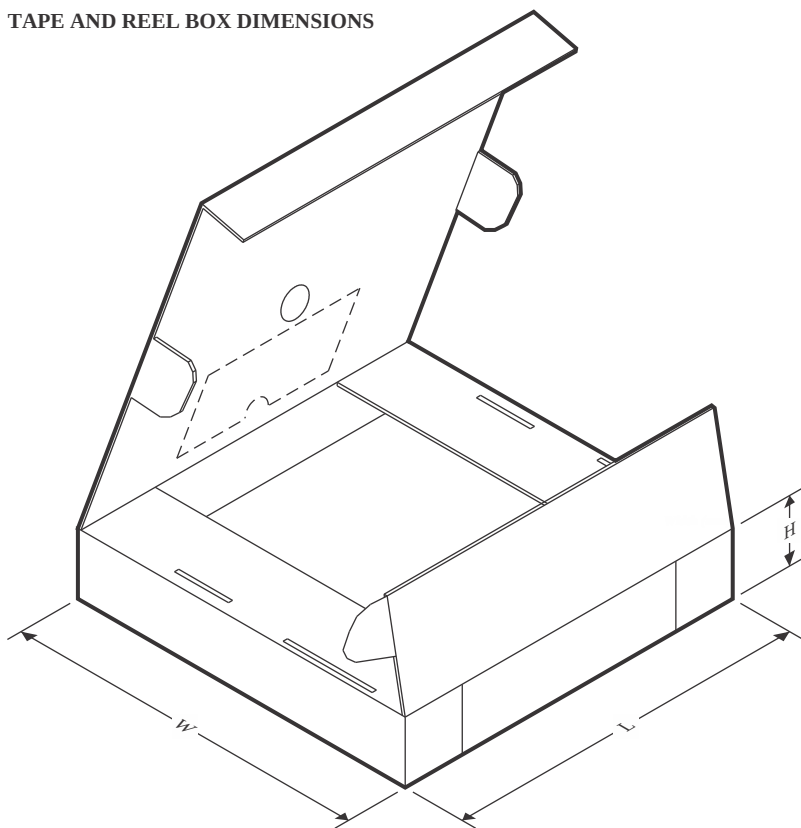
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISOW7721DFMR	SOIC	DFM	20	850	330.0	24.4	10.85	13.4	4.0	16.0	24.0	Q1
ISOW7721FDFMR	SOIC	DFM	20	850	330.0	24.4	10.85	13.4	4.0	16.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

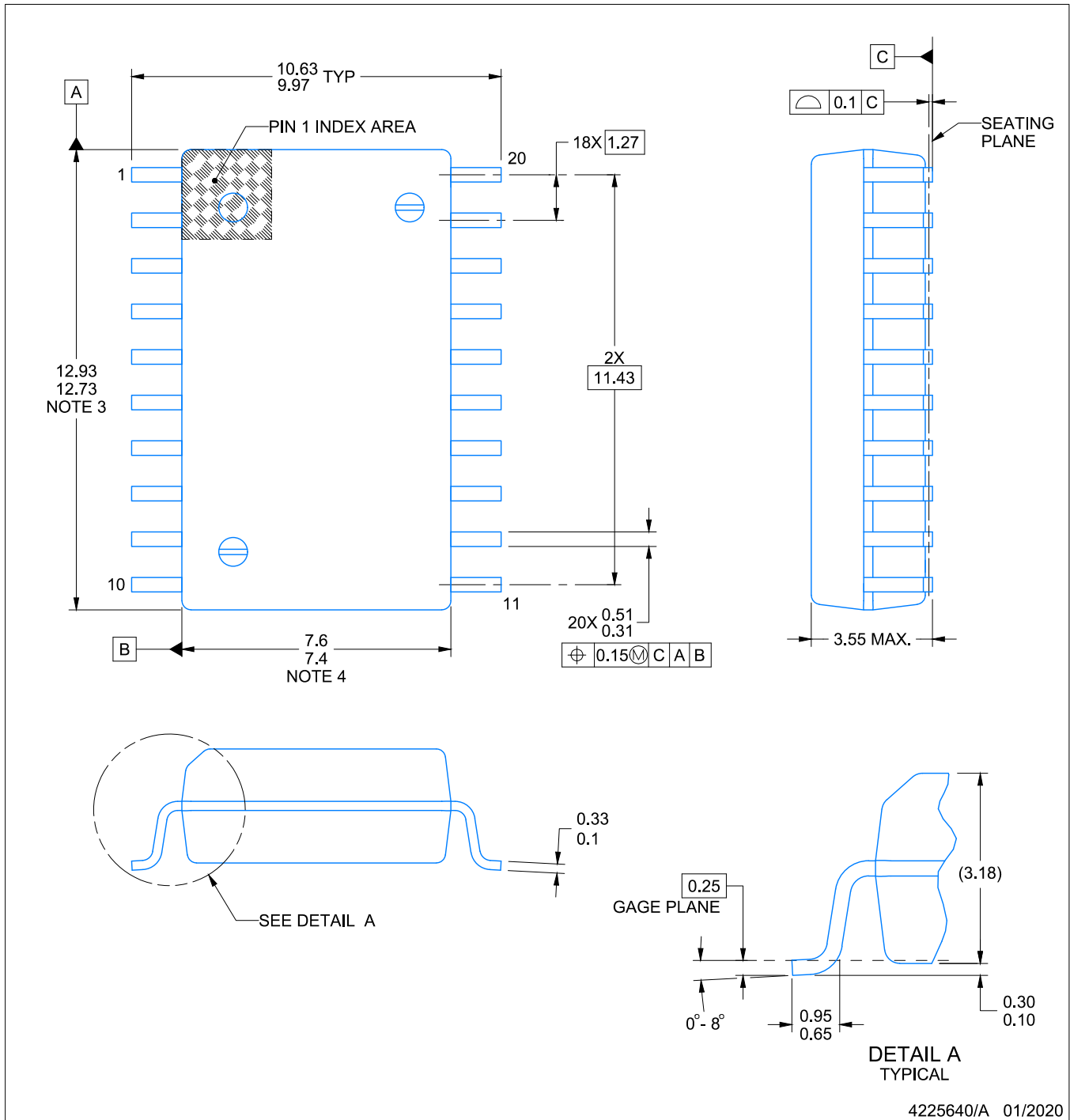
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISOW7721DFMR	SOIC	DFM	20	850	350.0	350.0	43.0
ISOW7721FDFMR	SOIC	DFM	20	850	350.0	350.0	43.0

PACKAGE OUTLINE

DFM0020A

SOIC - 3.55 mm max height

SMALL OUTLINE PACKAGE



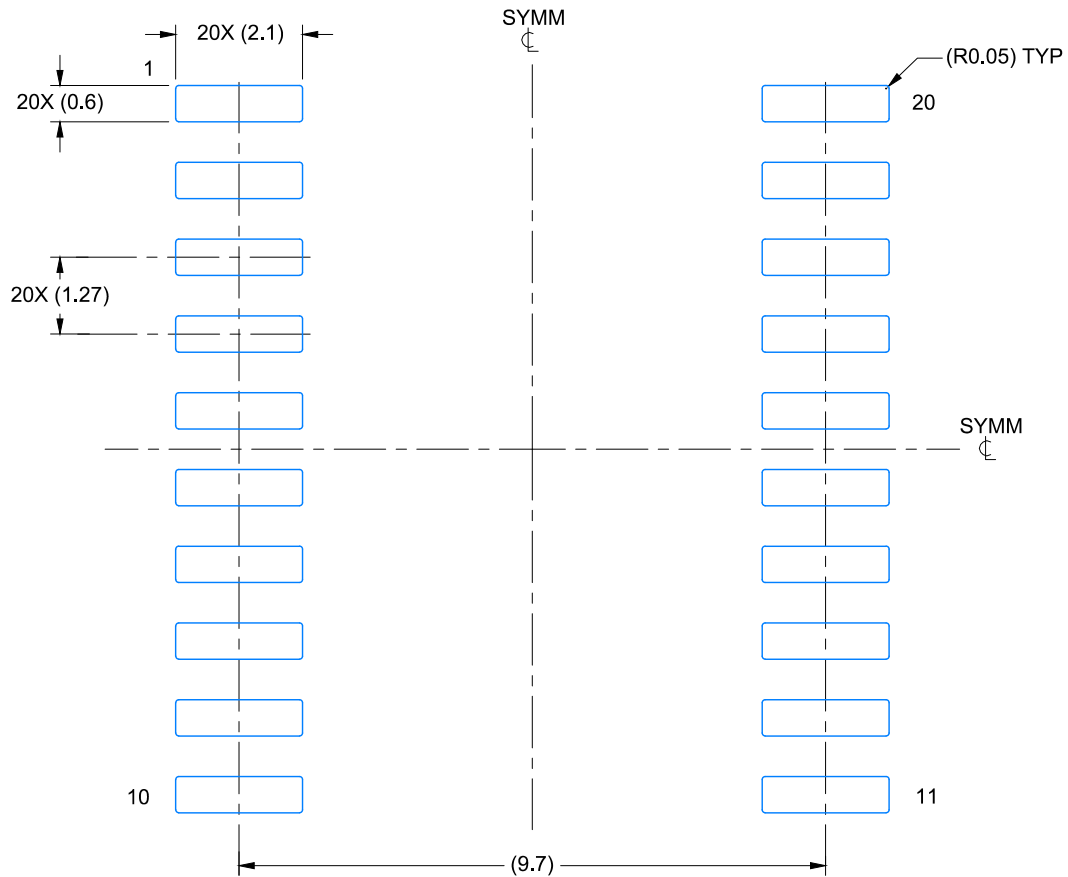
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Ref. JEDEC registration MS-013

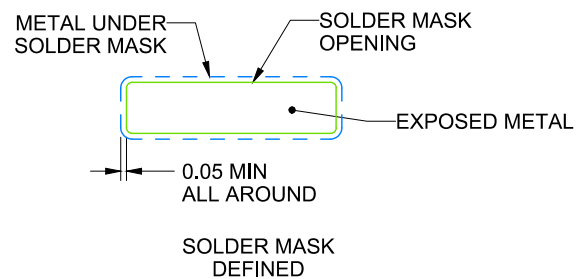
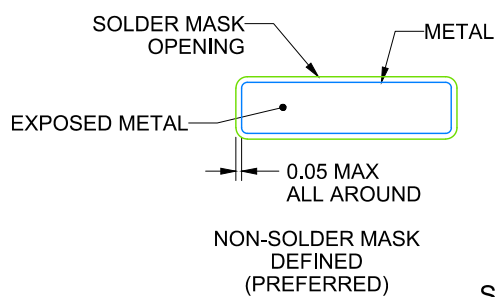
DFM0020A

SOIC - 3.55 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X



SOLDER MASK DETAILS

4225640/A 01/2020

NOTES: (continued)

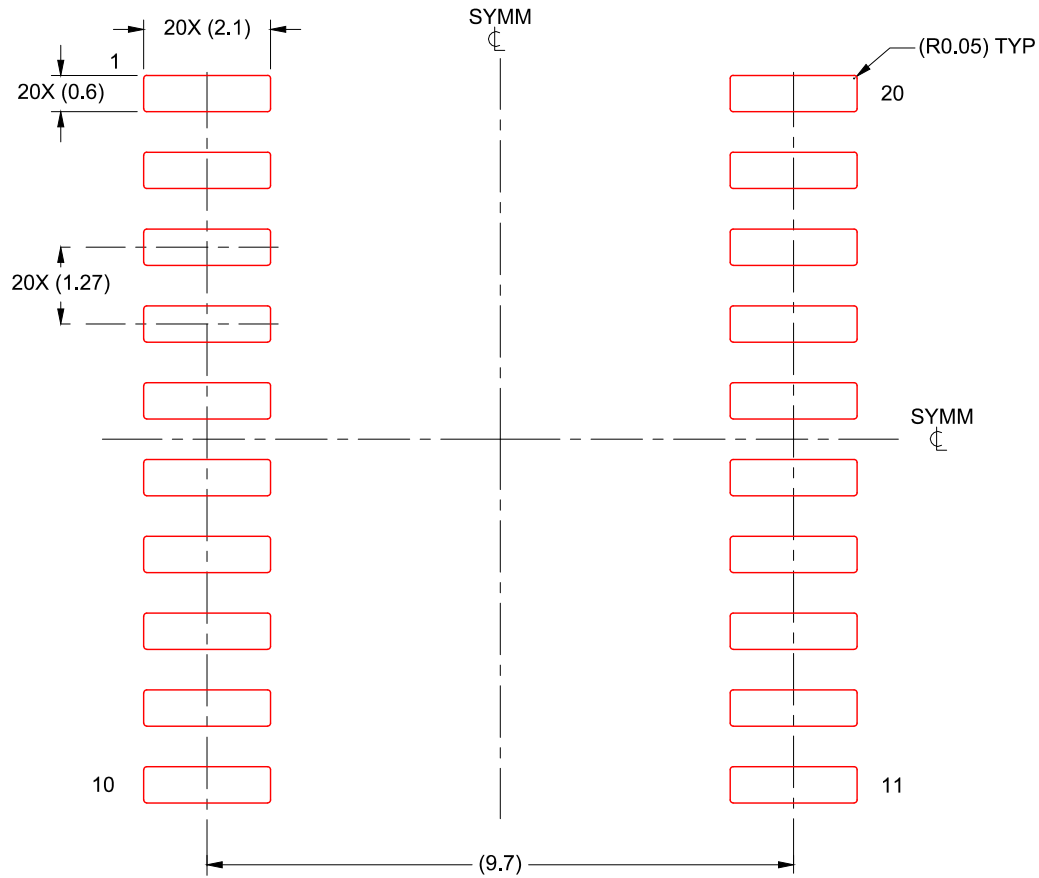
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DFM0020A

SOIC - 3.55 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

4225640/A 01/2020

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月