IWRL6432 シングルチップ 57～64GHz 産業用レーダー センサ

1 特長

- FMCW トランシーバ
  - PLL、トランスミッタ、レシーバ、ベースバンド、ADC を内蔵
  - 57GHz～64GHz の範囲 (7GHz の連続帯域幅) に対応
  - 3 つの受信チャネルと 2 つの送信チャネル
  - 最大で 25m (標準値) までのレンジ
  - Tx あたり 11dBm の出力電力 (標準値)
  - 11dB (標準値) のノイズ指数
  - 1MHz で -89dBc/Hz の位相ノイズ (標準値)
  - FMCW の動作
  - 5MHz IF 帯域幅、実数のみの Rx チャネル
  - フラクショナル N PLL を使用した超高精度のチャープ エンジン
  - トランスミッタごとのバイナリ位相シフタ
- 処理部品
  - 単精度 FPU (160MHz) を搭載した Arm® M4F® コア
  - テキサス・インスツルメンツのレーダー ハードウェア アクセラレータ (HWA 1.2)、FFT、対数振幅、CFAR 動作 (80MHz) 用
- 複数の低消費電力モードをサポート
  - アイドル モードとディープ スリープ モード
- パワー マネージメント
  - 1.8V および 3.3V IO のサポート
  - 内蔵 LDO ネットワークにより PSRR の向上を実現
  - BOM 最適化モードと電力最適化モード
  - 1.8V IO モード用の 1 つまたは 2 つの電源レール、3.3V IO モード用の 2 つまたは 3 つの電源レール
- 較正および自己テストを内蔵
  - 内蔵ファームウェア (ROM)
  - 自己完結型のオンチップ較正システム
- ホスト インターフェイス
  - UART
  - CAN-FD
  - SPI
- RDIF (レーダー データ インターフェイス)、未加工 ADC サンプル キャプチャ用
- ユーザー アプリケーションで利用可能なその他のインターフェイス
  - QSPI
  - I2C
  - JTAG
  - GPIO
  - PWM インターフェイス
- 内部メモリ
  - 1MB のオンチップ RAM
  - レーダー キューブ用の構成可能な L3 共有メモリ
  - データおよびコード RAM (512/640/768KB)
- 機能安全準拠
  - 機能安全アプリケーション向けに開発
  - SIL-2 準拠までのハードウェア インテグリティ
- 12 x 12 BGA グリッド、102 BGA ボールの FCCSP パッケージ、パッケージ サイズ：6.45mm × 6.45 mm
- クロック ソース
  - プライマリ クロック用の 40.0MHz 水晶振動子
  - 40.0MHz の外部駆動クロック (方形波 / 正弦波) をサポート
  - 低消費電力動作用 32kHz 内部発振器
- 動作時の温度範囲対応
  - 動作時の接合部温度範囲：-40℃ ～ 105℃

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

2 アプリケーション

- 自動ドア / ゲート
- モーション検出器
- 物体検出 / 人間の追跡 / 人数計測
- ビデオ ドアベル
- IP ネットワーク カメラ
- サーモスタット
- エアコン
- 冷蔵庫、冷凍庫
- ロボット掃除機
- 芝刈り機
- ホーム シアター
- PC / ノート PC
- ポータブル エレクトロニクス
- テレビ
- タブレット
- イヤホン
- スマート ウォッチ
- ゲーム
- ホーム シアター & エンターテインメント

3 概要

IWRL6432 ミリ波センサ デバイスは、FMCW レーダー テクノロジーをベースとする統合型シングル チップ ミリ波センサです。このデバイスは 57GHz～63.9GHz の帯域で動作でき、主に 4 つの電源ドメインに区分されています。

- **RF / アナログ サブシステム**:このブロックには、RF 信号の送受信に必要なすべての RF およびアナログ コンポーネントが含まれています。
- **フロント エンド コントローラ サブシステム (FECSS)**:FECSS には、レーダー フロント エンドの構成、制御、較正を担当するプロセッサが含まれています。
- **アプリケーション サブシステム (APPSS)**:APPSS には、ユーザーによるプログラムが可能な ARM Cortex M4 が実装されており、カスタム制御や車載用インターフェイス アプリケーションに使用できます。トップ サブシステム (TOPSS) は、APPSS 電源ドメインの一部であり、クロッキングおよびパワー マネージメント サブブロックを含んでいます。
- **ハードウェア アクセラレータ (HWA)**:HWA ブロックは、FFT、CFAR (Constant False Alarm Rate、一定誤警報率)、スケーリング、圧縮などの一般的なレーダー処理を負荷分担して、APPSS を補完します。

IWRL6432 は、使用事例の要件に基づいて状態 (電源オンまたはオフ) を制御するため、上記の各電源ドメインを個別に制御できるように設計されています。このデバイスにはスリープやディープ スリープなどのさまざまな低消費電力状態を実行する機能もあり、クロック ゲーティングによって、また、デバイスの内部 IP ブロックをオフにすることによって、低消費電力のスリープ モードを実現しています。このデバイスでは、そのようなシナリオで保持されるアプリケーション イメージや RF プロファイルなど、デバイスの一部の内容を保持することもできます。

さらに、このデバイスは、テキサス・インスツルメンツの低消費電力 45nm RF CMOS プロセスで製造され、超小型の外形で、かつてないレベルの統合を実現しています。IWRL6432 は、ビル / ファクトリ オートメーション、商用 / 住宅用セキュリティ、パーソナル エレクトロニクス、存在 / 動作検出、ヒューマン マシン インターフェイス向けジェスチャ検出 / 認識などのアプリケーションのために、産業用 (およびパーソナル エレクトロニクス) 分野の低消費電力、自己監視機能付き、超高精度レーダー システム向けに設計されています

表 3-1. パッケージ情報

量産部品番号 (1)	パッケージ (2)	本体サイズ (3)	トレイ / テープ アンド リール	説明
IWRL6432BDQGAMF	AMF (FCCSP、102)	6.45mm × 6.45 mm	トレイ	製造中、
IWRL6432BDQGAMFR	AMF (FCCSP、102)	6.45mm × 6.45 mm	テープ アンド リール	製造中、
IWRL6432BDBAAMF	AMF (FCCSP、102)	6.45mm × 6.45 mm	トレイ	製造中、機能安全準拠、認証済みブート対応
IWRL6432BDBAAMFR	AMF (FCCSP、102)	6.45mm × 6.45 mm	テープ アンド リール	製造中、機能安全準拠、認証済みブート対応

(1) 詳細については、デバイスの命名規則 を参照してください。
(2) 詳細については、メカニカル、パッケージ、および注文情報 を参照してください。
(3) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。

Copyright © 2025 Texas Instruments Incorporated

4 機能ブロック図

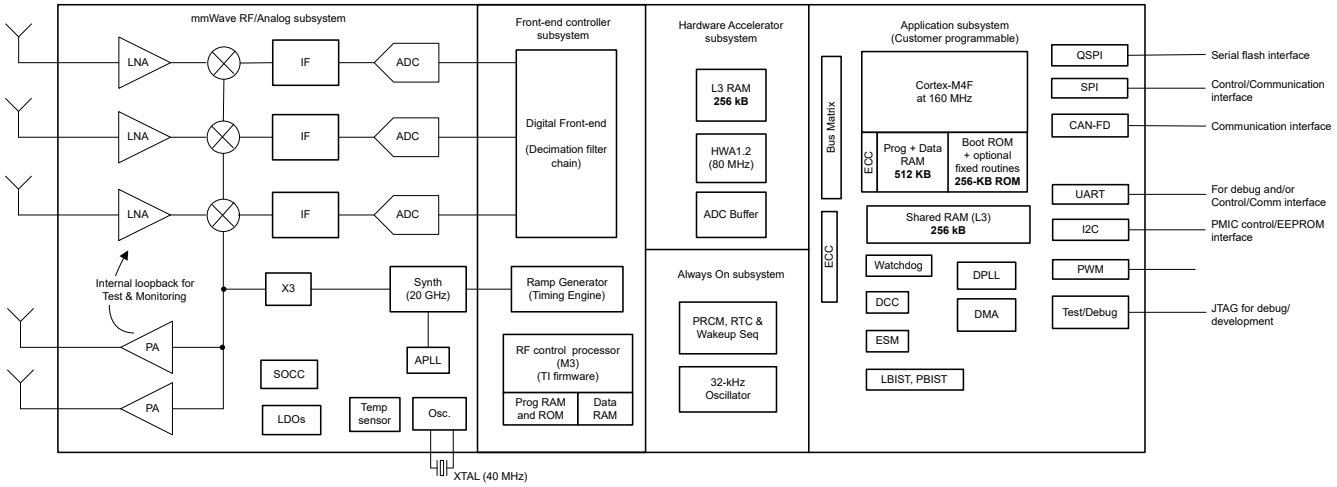


図 4-1. 機能ブロック図

目次

1 特長 1
2 アプリケーション 2
3 概要 2
4 機能ブロック図 3
5 デバイスの比較 5
5.1 関連製品 7
6 端子構成および機能 8
6.1 ピン配置図 8
6.2 信号の説明 8
7 仕様 17
7.1 絶対最大定格 17
7.2 ESD 定格 17
7.3 電源投入時間 (POH) 17
7.4 推奨動作条件 18
7.5 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様 18
7.6 電源仕様 20
7.7 パワー セーブ モード 26
7.8 電圧レールごとのピーク電流要件 27
7.9 RF 仕様 28
7.10 サポート対象 DFE 機能 29
7.11 CPU の仕様 30
7.12 熱抵抗特性 30
7.13 タイミングおよびスイッチング特性 30
8 詳細説明 51
8.1 概要 51
8.2 機能ブロック図 51
8.3 サブシステム 52
8.4 その他のサブシステム 57
8.5 メモリ パーティションの選択 58
8.6 ブート モード 59
9 監視と診断 60
10 アプリケーション、実装、およびレイアウト 61
10.1 アプリケーション情報 61
10.2 リファレンス回路図 61
11 デバイスおよびドキュメントのサポート 62
11.1 デバイスの命名規則 62
11.2 ツールとソフトウェア 63
11.3 ドキュメントのサポート 63
11.4 サポート リソース 63
11.5 商標 64
11.6 静電放電に関する注意事項 64
11.7 用語集 64
12 改訂履歴 64
13 メカニカル、パッケージ、および注文情報 66

Copyright © 2025 Texas Instruments Incorporated

5 デバイスの比較

下表に、レーダー デバイスの機能の比較を示します。

機能	IWRL6432	IWRL1432	IWR6843AOP (1)	IWR6843 (1)	IWR6443	IWR1843AOP	IWR1843 (1)	IWR1642	IWR1443
アンテナ オン パッケージ (AOP)	-	-	あり	-	-	あり	-		-
レシーバの数	3	3	4	4	4	4	4	4	4
トランスミッタの数	2	2	3(2)	3(2)	3(2)	3(2)	3(2)	2	3
RF 周波数範囲	57～64GHz	76～81GHz	60～64GHz	60～64GHz	60～64GHz	76～81GHz	76～81GHz	76～81GHz	76～81GHz
オンチップ メモリ	1MB	1MB	1.75MB	1.75MB	1.4MB	2MB	2MB	1.5MB	576KB
最大 I/F (中間周波数) (MHz)	5	5	10	10	10	10	10	5	15
最大実数サンプリング レート (Msps)	12.5	12.5	25	25	25	25	25	12.5	37.5
最大複素サンプリング レート (Msps)	-	-	12.5	12.5	12.5	12.5	12.5	6.25	18.75
セーフティおよびセキュリティ									
機能安全への準拠	SIL-2 に準拠	SIL-2 対応予定 (3)	SIL-2	SIL-2	-	SIL-2 対応予定 (3)	SIL-2	-	-
デバイスのセキュリティ (4)	-	-	あり	あり	あり	あり	あり	あり	-
プロセッサ									
MCU	M4F	M4F	R4F	R4F	R4F	R4F	R4F	R4F	R4F
DSP	-	-	C674x	C674x	-	C674x	C674x	C674x	-
HWA	あり	あり	あり	あり	あり	あり	あり	-	あり
ペリフェラル									
シリアル ペリフェラル インターフェイス (SPI) ポート	2	2	2	2	2	2	2	2	1
クワッド シリアル ペリフェラル インターフェイス (QSPI)	あり	あり	あり	あり	あり	あり	あり	あり	あり
I^2C (Inter-Integrated Circuit) インターフェイス	1	1	1	1	1	1	1	1	1
コントローラ エリア ネットワーク (DCAN) インターフェイス	-	-	-	-	-	あり	あり	あり	あり
コントローラ エリア ネットワーク (CAN-FD) インターフェイス	あり	あり	あり	あり	あり	あり	あり	-	-
トレース	-	-	あり	あり	-	あり	あり	あり	-

Copyright © 2025 Texas Instruments Incorporated

機能		IWRL6432	IWRL1432	IWR6843AOP (1)	IWR6843 (1)	IWR6443	IWR1843AOP	IWR1843 (1)	IWR1642	IWR1443
PWM		あり	あり	あり	あり	あり	あり	あり	あり	-
DMM インターフェイス		-	-	あり	あり	あり	あり	あり	あり	-
ハードウェア イン ループ (HIL/DMM)		-	-	あり	あり	あり	あり	あり	あり	-
GPADC		あり	あり	あり	あり	あり	あり	あり	あり	あり
ADC 未加工データ キャプチャ		RDIF	RDIF	LVDS	LVDS	LVDS	LVDS	LVDS	LVDS	LVDS
UART		2	2	2	2	2	2	2	2	2
1V バイパス モード		該当なし	該当なし	あり	あり	あり	あり	あり	あり	あり
JTAG		あり	あり	あり	あり	あり	あり	あり	あり	あり
同時に使用できる TX の数		2	2	3	3	3	3	3	2	2
チャープごとに構成可能な TX 位相シフタ		BPM のみ	BPM のみ	あり(5)	あり(5)	あり(5)	あり(5)	あり(5)	BPM のみ	BPM のみ
製品のステータス	製品プレビュー (PP)、事前情報 (AI)、量産データ (PD)	PD (6)	AI	PD (6)	PD (6)	PD (6)	PD (6)	PD (6)	PD (6)	PD (6)

(1) 機能安全アプリケーション用に開発された本デバイスは、SIL-2 までのハードウェア インテグリティをサポートしています。詳細については、関連資料を参照してください。IWRL6432 デバイスの機能安全非準拠製品も提供しています。
(2) 3 Tx 同時動作は、1V LDO バイパスおよび PA LDO 無効化モードのみでサポートしています。このモードでは、1V 電源を V_{OUT} PA ピンに供給する必要があります。
(3) 認定は、異なる時期に認定書をもって確定されることがあるため、目標は、関連するデータシートのみにおいて「準拠予定」から「準拠」に更新されます。最新の準拠ステータスについては、該当するデータシートを参照してください。
(4) セキュア ブートとカスタマー プログラマブル キーを含むデバイス セキュリティ機能は、「製品情報」表のセクション 3 のデバイス タイプ識別子で示された一部の製品バリアントでのみ利用できます。
(5) 6 ビット リニア位相シフタ。
(6) 量産データの情報は、公開日の時点で最新のものです。製品は、テキサス・インスツルメンツの標準保証条件に基づく仕様に準拠しています。

Copyright © 2025 Texas Instruments Incorporated

5.1 関連製品

この製品ファミリまたは関連製品の他のデバイスの詳細については、以下のリンクを参照してください。

ミリ波センサ	テキサス・インスツルメンツの最もフットプリントが小さい産業用アプリケーション向けミリ波センサは、小さい電力で、距離、角度、速度を迅速かつ正確に検出します。
ミリ波 IWR	テキサス・インスツルメンツの IWRxxxx ミリ波センサ ファミリは高集積であり、57～64GHz の周波数帯域で動作する RFCMOS 技術に基づいて設計されています。これらのデバイスは、高精度の線形チャープ合成のための閉ループ PLL を備えています。これらのデバイスは超小型、低消費電力、高精度です。これらのデバイスを使用すると、短距離から超短距離までの産業用アプリケーションを実現できます。
IWRL6432 のコンパニオン製品	この製品に類似した製品を評価します。
IWRL6432 のリファレンス デザイン	IWRL6432 TI Designs リファレンス デザイン ライブラリは、アナログ、組み込みプロセッサ、コネクティビティの各分野にわたる堅牢なリファレンス デザイン ライブラリです。すべての TI Designs は、システム設計を迅速に開始できるように テキサス・インスツルメンツの専門家により作成されたもので、回路図またはブロック図、BOM、設計ファイルが含まれており、製品の開発期間短縮に役立ちます。ti.com/reference-designs でリファレンス デザインを検索およびダウンロードしてください。

Copyright © 2025 Texas Instruments Incorporated

6 端子構成および機能

6.1 ピン配置図

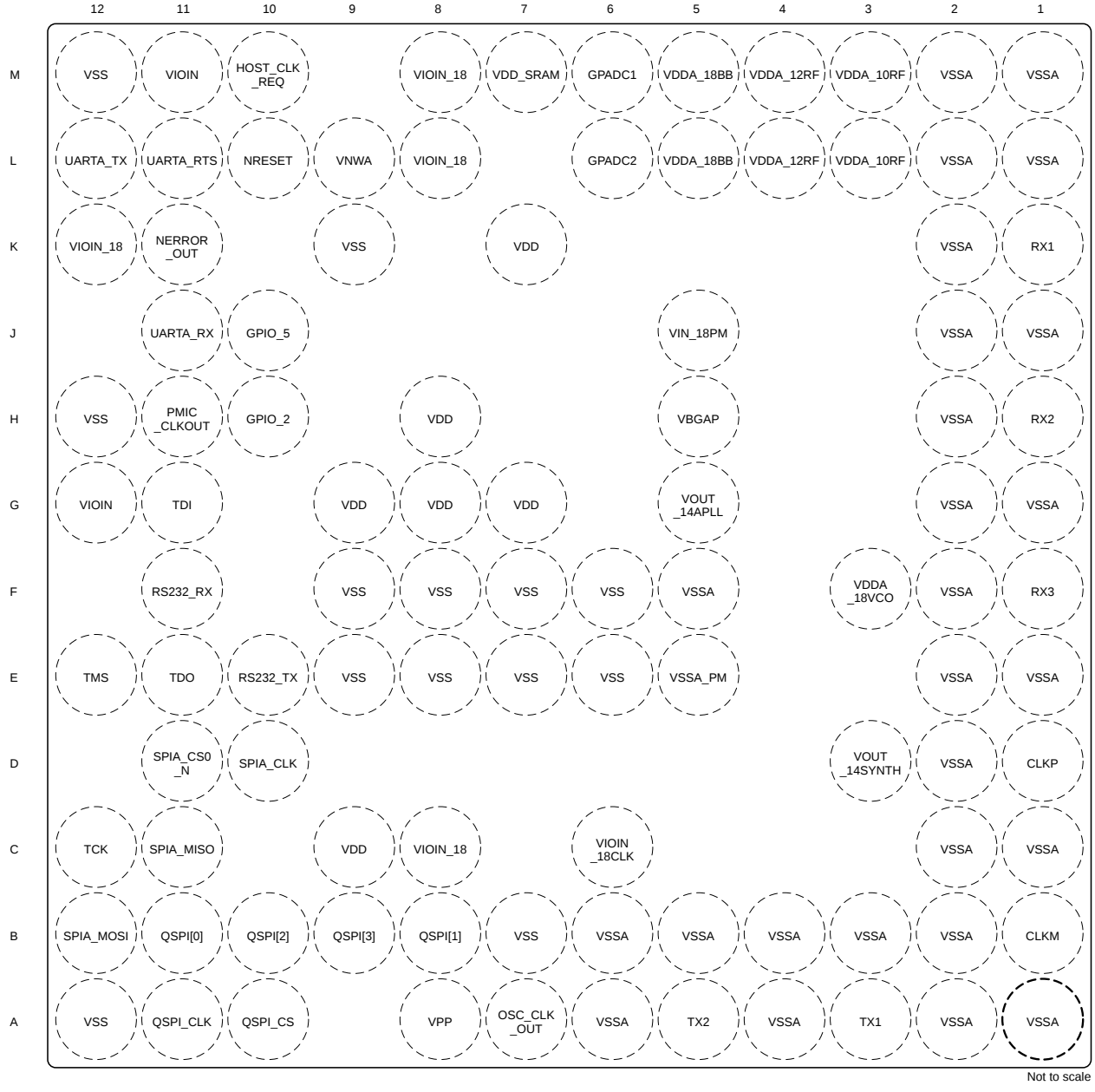


図 6-1. FCCSP のピン配置図 (上面図)

6.2 信号の説明

注

本デバイスのすべてのデジタル IO ピン (NRESET を除く) は非フェイルセーフであるため、VIO 電源が本デバイスに供給されていない限り、これらの IO ピンが外部から駆動されないように注意する必要があります。

Copyright © 2025 Texas Instruments Incorporated

表 6-1. アナログ信号の説明

信号名	説明	ピンの種類	BGA のピン
CLKM	XTAL CLKM ピン	A	B1
CLKP	XTAL CLKP ピン	A	D1
GPADC1	GPADC 入力 1	A	M6
GPADC2	GPADC 入力 2	A	L6
NRESET	NRESET 入力	A	L10
OSC_CLK_OUT	発振器クロック出力	A	A7
RX1	RX チャネル 1	A	K1
RX2	RX チャネル 2	A	H1
RX3	RX チャネル 3	A	F1
TX1	TX チャネル 1	A	A3
TX2	TX チャネル 2	A	A5
VBGAP	バンドギャップ リファレンス ピン	A	H5
VDDA_10RF	1.0V RF 電源用内部 LDO 出力。このピンには外付けコンデンサが必要です。	A	L3、M3
VOUT_14APLL	1.4V LDO 出力。このピンには外付けコンデンサが必要です。	A	G5
VOUT_14SYNTH	1.4V LDO 出力。このピンには外付けコンデンサが必要です。	A	D3

表 6-2. CAN 信号の説明

信号名	説明	ピンの種類	BGA のピン
CAN_FD_RX	CAN 受信データ	I	J11
CAN_FD_TX	CAN 送信データ	O	L12

表 6-3. クロック信号の説明

信号名	説明	ピンの種類	BGA のピン
MCU_CLKOUT	MCU クロック出力	O	K11、M10
PMIC_CLKOUT	PMIC クロック出力。 これはセンス オン パワー ラインとしても機能します。ブート モード SOP1 に影響します。	O	H11
RTC_CLK_IN	RTC クロック入力。 これは、ディープ スリープを出るためのウェークアップ要因として使用されます。詳細については、テクニカル リファレンス マニュアルを参照してください。	I	B8、E12、H10、K11、L11

表 6-4. EPWM 信号の説明

信号名	説明	ピンの種類	BGA のピン
EPWMA	EPWM 出力 A	O	C11、D11、G11、L11
EPWMB	EPWM 出力 B	O	B12、C12、D10、J10
EPWM_SYNC_IN	EPWM 同期入力	I	E10、E12、J10
EPWM_SYNC_OUT	EPWM 同期出力	O	E12

Copyright © 2025 Texas Instruments Incorporated

表 6-5. GPIO 信号の説明

信号名	説明	ピンの種類	BGA のピン
GPIO_0	汎用入出力	IO	B12
GPIO_1	汎用入出力	IO	C11
GPIO_2	汎用入出力	IO	H10
GPIO_3	汎用入出力	IO	J11
GPIO_4	汎用入出力	IO	K11
GPIO_5	汎用入出力	IO	J10
GPIO_6	汎用入出力	IO	L11
GPIO_7	汎用入出力	IO	M10

表 6-6. I2C 信号の説明

信号名	説明	ピンの種類	BGA のピン
I2C_SCL	I2C クロック	IO	B10、D10、E10、L12、M10
I2C_SDA	I2C データ	IO	B9、D11、F11、H10、J11

表 6-7. JTAG 信号の説明

信号名	説明	ピンの種類	BGA のピン
TCK	JTAG テスト クロック入力	I	C12
TDI	JTAG テスト データ入力	I	G11
TDO	JTAG テスト データ出力。 ブート モード SOP0 に影響を与えるセンス オン パワー [リセット] ラインとしても機能します。	O	E11
TMS	JTAG テスト モード選択入力	I	E12

表 6-8. RDIF 信号の説明

信号名	説明	ピンの種類	BGA のピン
RDIF_CLK	RDIF クロック	O	L11
RDIF_D0	RDIF データ 0	O	H10
RDIF_D1	RDIF データ 1	O	J11
RDIF_D2	RDIF データ 2	O	L12
RDIF_D3	RDIF データ 3	O	K11
RDIF_FRM_CLK	RDIF フレーム クロック	O	M10

表 6-9. 電源信号の説明

信号名	説明	ピンの種類	BGA のピン
VDD	1.2V コア電源	PWR	C9、G7、G8、G9、H8、K7
VDDA_12RF	1.2V RF 電源	PWR	L4、M4
VDDA_18BB	1.8V アナログ電源	PWR	L5、M5
VDDA_18VCO	1.8V アナログ電源	PWR	F3

Copyright © 2025 Texas Instruments Incorporated

表 6-9. 電源信号の説明 (続き)

信号名	説明	ピンの種類	BGA のピン
VDD_SRAM	1.2V SRAM 電源	PWR	M7
VIN_18PM	1.8V コア電源	PWR	J5
VIOIN	1.8V アナログ電源	PWR	G12、M11
VIOIN_18	1.8V アナログ電源	PWR	C8、K12、L8、M8
VIOIN_18CLK	1.8V アナログ電源	PWR	C6
VNWA	1.2V VNWA 電源。常に SRAM 電源に接続。	PWR	L9
VPP	ヒューズ チェーン用電源電圧	PWR	A8
VSS	グランド	GND	A12、B7、E6、E7、E8、E9、F6、F7、F8、F9、H12、K9、M12
VSSA	グランド	GND	A1、A2、A4、A6、B2、B3、B4、B5、B6、C1、C2、D2、E1、E2、F2、F5、G1、G2、H2、J1、J2、K2、L1、L2、M1、M2
VSSA_PM	グランド	GND	E5

表 6-10. QSPI 信号の説明

信号名	説明	ピンの種類	BGA のピン
QSPI_D0	QSPI データ ビット 0	IO	B11
QSPI_D1	QSPI データ ビット 1	I	B8
QSPI_D2	QSPI データ ビット 2	I	B10
QSPI_D3	QSPI データ ビット 3	I	B9
QSPI_SCLK	QSPI クロック	IO	A11
QSPI_CS	QSPI チップ セレクト	O	A10

表 6-11. RS232 デバッグ信号の説明

信号名	説明	ピンの種類	BGA のピン
RS232_RX	デバッグ UART (バス メインとして動作) - 受信信号	I	F11
RS232_TX	デバッグ UART (バス メインとして動作) - 送信信号	O	E10

表 6-12. SPIA 信号の説明

信号名	説明	ピンの種類	BGA のピン
SPIA_CLK	SPIA クロック	IO	D10
SPIA_CS0_N	SPIA チップ セレクト 0	IO	D11
SPIA_MISO	SPIA MISO	IO	C11
SPIA_MOSI	SPIA MOSI	IO	B12

Copyright © 2025 Texas Instruments Incorporated

表 6-13. SPIB 信号の説明

信号名	説明	ピンの種類	BGA のピン
SPIB_CLK	SPIB クロック	IO	A11、D10
SPIB_CS0_N	SPI0 チップ セレクト 0	IO	A10、D11
SPIB_MISO	SPIB MISO	IO	B8、C11
SPIB_MOSI	SPIB MOSI	IO	B11、B12

表 6-14. システム信号の説明

信号名	説明	ピンの種類	BGA のピン
HOST_CLK_REQ	ホスト クロック要求出力	O	M10
NERROR_OUT	NERROR 出力信号	O	K11
SYNC_IN	同期入力	I	B9、E12、J10、J11、K11
WARM_RESET_OUT	ウォーム リセット出力	O	E12、H10
WU_REQIN	ウェークアップ要求入力	I	B10、H10、K11、L11、L12、M10

表 6-15. UARTA 信号の説明

信号名	説明	ピンの種類	BGA のピン
UARTA_RTS	UARTA RTS 出力	O	L11
UARTA_RX	UARTA 受信データ	I	J11
UARTA_TX	UARTA 送信データ	O	L12

表 6-16. UARTB 信号の説明

信号名	説明	ピンの種類	BGA のピン
UARTB_RX	UARTB 受信データ	I	F11、J11
UARTB_TX	UARTB 送信データ	O	E10、L12

Copyright © 2025 Texas Instruments Incorporated

表 6-17. ピン多重化表

BGA ボール番号 (1)	ボール名 (2)	信号名 (3)	PINCNTL レジスタ (4)	PINCNTL レジスタ アドレス (5) (11)	モード (6)	種類 (7)	プルアップ / ダウン タイプ (8)	RST 時のボールの状態 (9)	RST 後のボールの状態 (10)
H10	GPIO_2	GPIO_2	PADAL_CFG_REG	0x5A00 002C	0	IO	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		LIN_RX			1	I			
		WARM_RESET_OUT			2	O			
		I2C_SDA			3	IO			
		SPIA_CS1_N			4	IO			
		WU_REQIN			5	I			
		RTC_CLK_IN			6	I			
		MDO_D0			7	O			
J10	GPIO_5	GPIO_5	PADAV_CFG_REG	0x5A00 0054	0	IO	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		SYNC_IN			1	I			
		LIN_RX			2	I			
		EPWMB			3	O			
		EPWM_SYNC_IN			4	I			
		MDO_D3			5	O			
M10	HOST_CLK_REQ	HOST_CLK_REQ	PADAX_CFG_REG	0x5A00 005C	0	O	PU/PD	オフ / オフ / オフ	オフ / SS / オフ
		GPIO_7			1	IO			
		MCU_CLKOUT			2	O			
		LIN_TX			3	O			
		WU_REQIN			4	I			
		SPIB_MISO			5	IO			
		I2C_SCL			6	IO			
		MDO_D3			8	O			
		MDO_FRM_CLK			9	O			
K11	NERROR_OUT	NERROR_OUT	PADAU_CFG_REG	0x5A00 0050	0	O	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		GPIO_4			1	IO			
		SYNC_IN			2	I			
		SPIB_CS0_N			3	IO			
		WU_REQIN			4	I			
		RTC_CLK_IN			5	I			
		MCU_CLKOUT			6	O			
		MDO_D3			7	O			
H11	PMIC_CLKOUT	PMIC_CLKOUT	PADAK_CFG_REG	0x5A00 0028	0	O	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		LIN_TX			1	O			
		SPIA_CS1_N			2	IO			
		MDO_FRM_CLK			3	O			
B11	QSPI[0]	QSPI[0]	PADAC_CFG_REG	0x5A00 0008	0	IO	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		SPIB_MOSI			1	IO			
		MDO_D0			2	O			
B8	QSPI[1]	QSPI[1]	PADAD_CFG_REG	0x5A00 000C	0	I	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		SPIB_MISO			1	IO			
		RTC_CLK_IN			2	I			
		MDO_D3			3	O			
B10	QSPI[2]	QSPI[2]	PADAE_CFG_REG	0x5A00 0010	0	I	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		I2C_SCL			1	IO			
		WU_REQIN			2	I			
		MDO_D1			3	O			

Copyright © 2025 Texas Instruments Incorporated

表 6-17. ピン多重化表 (続き)

BGA ボール番号 (1)	ボール名 (2)	信号名 (3)	PINCNTL レジスタ (4)	PINCNTL レジスタ アドレス (5) (11)	モード (6)	種類 (7)	プルアップ / ダウン タイプ (8)	RST 時のボールの状態 (9)	RST 後のボールの状態 (10)
B9	QSPI[3]	QSPI[3]	PADAF_CFG_REG	0x5A00 0014	0	I	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		I2C_SDA			1	IO			
		SYNC_IN			2	I			
		MDO_D2			3	O			
A11	QSPI_CLK	QSPI_CLK	PADAA_CFG_REG	0x5A00 0000	0	IO	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		SPIB_CLK			1	IO			
		MDO_CLK			2	O			
A10	QSPI_CS	QSPI_CS	PADAB_CFG_REG	0x5A00 0004	0	O	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		SPIB_CS0_N			1	IO			
		MDO_FRM_CLK			2	O			
F11	RS232_RX	RS232_RX	PADAP_CFG_REG	0x5A00 003C	0	I	PU/PD	オフ / オフ / アップ	オン / オフ / アップ
		I2C_SDA			1	IO			
		UARTB_RX			2	I			
		LIN_RX			3	I			
		MDO_D2			4	O			
		SPIB_MISO			5	IO			
E10	RS232_TX	RS232_TX	PADAO_CFG_REG	0x5A00 0038	0	O	PU/PD	オフ / オフ / オフ	オフ / SS / オフ
		I2C_SCL			1	IO			
		UARTB_TX			2	O			
		LIN_TX			3	O			
		EPWM_SYNC_IN			4	I			
		MDO_D1			5	O			
		SPIB_CS1_N			6	IO			
D10	SPIA_CLK	SPIA_CLK	PADAG_CFG_REG	0x5A00 0018	0	IO	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		EPWMB			1	O			
		I2C_SCL			2	IO			
		SPIB_CLK			3	IO			
		MDO_CLK			4	O			
D11	SPIA_CS0_N	SPIA_CS0_N	PADAH_CFG_REG	0x5A00 001C	0	IO	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		EPWMA			1	O			
		I2C_SDA			2	IO			
		SPIB_CS0_N			3	IO			
		MDO_D3			4	O			
C11	SPIA_MISO	SPIA_MISO	PADAJ_CFG_REG	0x5A00 0024	0	IO	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		GPIO_1			1	IO			
		EPWMA			2	O			
		SPIB_MISO			3	IO			
		MDO_D2			4	O			
B12	SPIA_MOSI	SPIA_MOSI	PADAI_CFG_REG	0x5A00 0020	0	IO	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		GPIO_0			1	IO			
		EPWMB			2	O			
		SPIB_MOSI			3	IO			
		MDO_D1			4	O			
C12	TCK	TCK	PADAT_CFG_REG	0x5A00 004C	0	I	PU/PD	オフ / オフ / ダウン	オン / オフ / ダウン
		EPWMB			1	O			
		SPIB_CS1_N			2	IO			
		SPIB_MOSI			3	IO			
		MDO_D0			4	O			

Copyright © 2025 Texas Instruments Incorporated

表 6-17. ピン多重化表 (続き)

BGA ボール番号 (1)	ボール名 (2)	信号名 (3)	PINCNTL レジスタ (4)	PINCNTL レジスタ アドレス (5) (11)	モード (6)	種類 (7)	プルアップ / ダウン タイプ (8)	RST 時のボールの状態 (9)	RST 後のボールの状態 (10)
G11	TDI	TDI	PADAR_CFG_REG	0x5A00 0044	0	I	PU/PD	オフ / オフ / ダウン	オン / オフ / ダウン
		EPWMA			1	O			
		SPIB_CS0_N			2	IO			
E11	TDO	TDO	PADAS_CFG_REG	0x5A00 0048	0	O	PU/PD	オフ / オフ / オフ	オフ / SS / オフ
		MDO_FRM_CLK			1	O			
E12	TMS	TMS	PADAQ_CFG_REG	0x5A00 0040	0	I	PU/PD	オフ / オフ / アップ	オン / オフ / アップ
		WARM_RESET_OUT			1	O			
		SPIA_CS1_N			2	IO			
		SYNC_IN			3	I			
		SPIB_MISO			4	IO			
		SPIB_CLK			5	IO			
		RTC_CLK_IN			6	I			
		EPWM_SYNC_IN			7	I			
		EPWM_SYNC_OUT			8	O			
L11	UARTA_RTS	UART_RTS	PADAW_CFG_REG	0x5A00 0058	0	O	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		GPIO_6			1	IO			
		LIN_TX			2	O			
		SPIB_CLK			3	IO			
		WU_REQIN			4	I			
		EPWMA			5	O			
		RTC_CLK_IN			6	I			
		MDO_CLK			7	O			
J11	UARTA_RX	UARTA_RX	PADAM_CFG_REG	0x5A00 0030	0	I	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		GPIO_3			1	IO			
		LIN_RX			2	I			
		CAN_FD_RX			3	I			
		SYNC_IN			4	I			
		UARTB_RX			5	I			
		I2C_SDA			6	IO			
		MDO_D1			7	O			
L12	UARTA_TX	UARTA_TX	PADAN_CFG_REG	0x5A00 0034	0	O	PU/PD	オフ / オフ / オフ	オフ / オフ / オフ
		LIN_TX			1	O			
		CAN_FD_TX			2	O			
		SPIB_MOSI			3	IO			
		WU_REQIN			4	I			
		UARTB_TX			5	O			
		I2C_SCL			6	IO			
		MDO_D2			7	O			

(1) **ボール番号:** 底面の各信号に関連付けられた底面側のボール番号。
(2) **ボール名:** パッケージ デバイスのメカニカル名 (名前は muxmode 0 に由来します)。
(3) **信号名:** 各ボールで多重化された信号の名前 (ボールの名前は muxmode 0 での信号名であることにも注意)。
(4) **PINCNTL_REGISTER:** PinMux 制御用 APPSS レジスタ名
(5) **PINCNTL アドレス:** PinMux 制御用 APPSS アドレス
(6) **モード:** 多重化モード番号:このボール番号に対応する特定の信号名を選択するために PinMux 制御レジスタに書き込まれる値。モード列にはビット範囲値があります。
(7) **タイプ:** 信号の種類と方向:
- I = 入力
- O = 出力

Copyright © 2025 Texas Instruments Incorporated

- IO = 入出力

(8) ***プルアップ / ダウン タイプ*:** 内部プルアップまたはプルダウン抵抗が存在することを示します。プルアップおよびプルダウン抵抗は、ソフトウェアによって有効化または無効化できます。
- プルアップ: 内部プルアップ
- プルダウン: 内部プルダウン
- 空欄はプルアップ / ダウンがないことを意味します。

(9) **RST 時のボールの状態**: リセット時のボールの状態 (RX / TX / プル ステータス形式)
- RX (入力バッファ)
  - オフ: 入力バッファは**無効**です。
  - オン: 入力バッファは**有効**です。
- TX (出力バッファ)
  - オフ: 出力バッファは**無効**です。
  - Low: 出力バッファは**有効**であり、V_{OL} を駆動します。
- プル ステータス (内部プル抵抗)
  - オフ: 内部プル抵抗は**ターンオフ**されています。
  - アップ: 内部**プルアップ**抵抗がターンオンされています。
  - ダウン: 内部**プルダウン**抵抗がターンオンされています。
  - NA: 内部プル抵抗なし。
- 空欄、または「-」は該当しないことを意味します。

(10) **RST 後のボールの状態**: リセット後のボールの状態 (RX / TX / プル ステータス形式)
- RX (入力バッファ)
  - オフ: 入力バッファは**無効**です。
  - オン: 入力バッファは**有効**です。
- TX (出力バッファ)
  - オフ: 出力バッファは**無効**です。
  - SS: MUXMODE で選択されたサブシステムによって、出力バッファの状態が決まります。
- プル ステータス (内部プル抵抗)
  - オフ: 内部プル抵抗は**ターンオフ**されています。
  - アップ: 内部**プルアップ抵抗**がターンオンされています。
  - ダウン: 内部 **プルダウン抵抗**がターンオンされています。
  - NA: 内部プル抵抗なし。
- 空欄、NA、「-」は該当しないことを意味します。

(11) ピン多重化制御値はレジスタの下位 4 ビットに割り当てられています。

Copyright © 2025 Texas Instruments Incorporated

7 仕様

7.1 絶対最大定格

パラメータ (1) (2)		最小値	最大値	単位
VDD	1.2V デジタル電源	-0.5	1.4	V
VIOIN	I/O 電源 (3.3V または 1.8V): すべての CMOS I/O は同じ VIOIN 電圧レベルで動作します。	-0.5	3.8	V
VIOIN_18	CMOS IO 用 1.8V 電源	-0.5	2	V
VIN_18CLK	クロック モジュール用 1.8V 電源	-0.5	2	V
VIN_18BB	1.8V アナログ ベースバンド電源	-0.5	2	V
VIN_18VCO 電源	1.8V RF VCO 電源	-0.5	2	V
VPP	ヒューズ チェーン用電源電圧	-0.5	2	V
RX1-3	RF 入力の外部印加電力		10	dBm
TX1-2	RF 出力の外部印加電力 (3)		10	dBm
入力および出力電圧範囲	デュアル電圧 LVCMOS 入力、3.3V または 1.8V (定常状態)	-0.3V	VIOIN + 0.3	V
	デュアル電圧 LVCMOS 入力。3.3V/1.8V (過渡オーバーシュート / アンダーシュート) または外部発振器入力で動作します。		VIOIN + 20% 信号周期の 20% まで	
CLKP、CLKM	リファレンス水晶振動子用入力ポート	-0.5	2	V
クランプ電流	それぞれの電源レールを 0.3V 上回るまたは下回る入力または出力電圧。I/O の内部ダイオード保護セルを流れるクランプ電流を制限します。	-20	20	mA
T_J	動作ジャンクション温度範囲	-40	105	℃
T_{STG}	プリント基板に半田付けした後の保存温度範囲	-55	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはあくまでもストレス評価であり、データシートの「推奨動作条件」に示された値と等しい、またはそれを超える条件で本製品が正しく動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) 特に記述のない限り、すべての電圧値は V_{SS} を基準にしていします。
(3) この値は、TX に外部から印加される信号レベルに対応します。さらに、TX 出力にはガンマ = 1 までの反射係数を適用できます。

7.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	すべてのピン	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	すべてのピン	±500	
			角のピン	±750	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

7.3 電源投入時間 (POH)

接合部温度 (T_j) (1)	動作条件	公称 CVDD 電圧 (V)	パワーオン時間 [POH] (時間)
105℃の T_j	50% の RF デューティ サイクル	1.2	100,000

(1) この情報は、お客様の利便性のみを目的として提供されるものであり、テキサス・インスツルメンツの半導体製品に関する標準的な契約条件に基づいて提供される保証を拡張または変更するものではありません。

Copyright © 2025 Texas Instruments Incorporated

7.4 推奨動作条件

		最小値	公称値	最大値	単位
VDD	1.2V デジタル電源	1.14	1.2	1.26	V
VIOIN	I/O 電源 (3.3V または 1.8V): すべての CMOS I/O はこの電源で動作します。	3.135	3.3	3.465	V
		1.71	1.8	1.89	
VIOIN_18	CMOS IO 用 1.8V 電源	1.71	1.8	1.89	V
VIN_18CLK	クロック モジュール用 1.8V 電源	1.71	1.8	1.89	V
VIN18BB	1.8V アナログ ベースバンド電源	1.71	1.8	1.89	V
VIN_18VCO	1.8V RF VCO 電源	1.71	1.8	1.89	V
V_{IH}	入力 High 電圧 (1.8V モード)	1.17			V
	入力 High 電圧 (3.3V モード)	2.25			
V_{IL}	入力 Low 電圧 (1.8V モード)			0.3*VIOIN	V
	入力 Low 電圧 (3.3V モード)			0.62	
V_{OH}	High レベル出力スレッショルド (I_{OH} = 6mA)	VIOIN - 450			mV
V_{OL}	Low レベル出力スレッショルド(I_{OL} = 6mA)			450	mV
NRESET SOP[1:0]	V_{IL} (1.8V モード)			0.2	V
	V_{IH} (1.8V モード)	0.96			
	V_{IL} (3.3V モード)			0.3	
	V_{IH} (3.3V モード)	1.57			

7.5 ワンタイム プログラマブル (OTP) eFuse の VPP 仕様

このセクションは、OTP eFuse のプログラミングに必要な動作条件を規定しており、認証済みブート デバイスにのみ適用できます。お客様固有のキーまたはその他のフィールド (ソフトウェア バージョンなど) を efuse に書き込む際に、ユーザーは VPP 電源を供給する必要があります。

7.5.1 OTP eFuse プログラミングの推奨動作条件

パラメータ	説明	最小値	公称値	最大値	単位
VPP	通常動作時の eFuse ROM ドメインの電源電圧範囲		NC (2)		
	OTP プログラミング時の eFuse ROM ドメインの電源電圧範囲 (1)	1.65	1.7	1.75	V
VPP 電源の持続時間	VPP 電圧が推奨時間を超えて供給された場合、信頼性の問題が発生する可能性があります。			24	時間帯
I(VPP)				50	mA

(1) 通常動作中は、VPP に電圧を印加しないでください。これは通常、VPP 端子に接続されている外部レギュレータを無効にすることで実現できます。
(2) NC:接続なし

注

パワーアップ シーケンス:VPP は、最後 (つまりその他のすべてのレールを立ち上げた後) に立ち上げる必要があります。

7.5.2 ハードウェア要件

OTP eFuse にキーをプログラムする場合、以下のハードウェア要件を満たす必要があります。

- OTP レジスタをプログラムしないときは、VPP 電源をディセーブルにする必要があります。

Copyright © 2025 Texas Instruments Incorporated

7.5.3 ハードウェア保証への影響

お客様は、eFuse を使用すると テキサス・インスツルメンツのデバイスに対して永続的な変更が加えられることを、自己の責任において認識し、受け入れるものとします。お客様は、不適切な動作条件またはプログラミング シーケンスが原因で eFuse が故障する可能性があることを承諾するものとします。このような障害が発生すると、テキサス・インスツルメンツのデバイスが動作不能になることがあります。また、テキサス・インスツルメンツは eFuse の使用を試行する前に、テキサス・インスツルメンツのデバイスがテキサス・インスツルメンツのデバイスの仕様に準拠していることを確認できません。したがって、eFuse のプログラム可能性に問題がある場合、テキサス・インスツルメンツは法的責任を負いません。

Copyright © 2025 Texas Instruments Incorporated

7.6 電源仕様

7.6.1 消費電力が最適化された 3.3V I/O トポロジ

表 7-1 に、3.3V I/O トポロジによる、外部電源ブロックから本デバイスまでの電源レールを示します。

表 7-1. 電源レールの特性：消費電力が最適化された 3.3V I/O トポロジ

電源	その電源から電力を供給されるデバイス ブロック	本デバイス内の関連 IO
3.3V	デジタル I/O	入力:VIOIN
1.8V	シンセサイザと APLL の VCO、水晶発振器、IF アンプ段、ADC	入力:VDDA_18VCO、VIOIN_18CLK、VDDA_18BB、VIOIN_18、VIN_18PM LDO 出力:VOUT_14SYNTH、VOUT_14APLL
1.2V	コア デジタルおよび SRAM、RF、VNWA	入力:VDD、VDD_SRAM、VNWA、VDDA_12RF LDO 出力:VDDA_10RF

7.6.2 BOM が最適化された 3.3V I/O トポロジ

表 7-2 に、BOM に関して最適化された 3.3V I/O トポロジによる、外部電源ブロックから本デバイスまでの電源レールを示します。

表 7-2. 電源レールの特性：BOM が最適化された 3.3V I/O トポロジ

電源	その電源から電力を供給されるデバイス ブロック	本デバイス内の関連 IO
3.3V	デジタル I/O	入力:VIOIN
1.8V	シンセサイザと APLL の VCO、水晶発振器、IF アンプ段、ADC	入力:VDDA_18VCO、VIOIN_18CLK、VDDA_18BB、VIOIN_18、VIN_18PM LDO 出力:VOUT_14SYNTH、VDDA_10RF、VDD_SRAM、VNWA、VOUT_14APLL、VDDA_12RF、VDD、

7.6.3 消費電力が最適化された 1.8V I/O トポロジ

表 7-3 に、消費電力に関して最適化された 1.8V I/O トポロジによる、外部電源ブロックから本デバイスまでの電源レールを示します。

表 7-3. 電源レールの特性：消費電力が最適化された 1.8V I/O トポロジ

電源	その電源から電力を供給されるデバイス ブロック	本デバイス内の関連 IO
1.8V	シンセサイザと APLL の VCO、水晶発振器、IF アンプ段、ADC	入力:VIOIN、VIN_18PM、VDDA_18VCO、VIOIN_18CLK、VDDA_18BB、VIOIN_18 LDO 出力:VOUT_14SYNTH、VOUT_14APLL
1.2V	コア デジタルおよび SRAM、RF、VNWA	入力:VDD、VDD_SRAM、VNWA、VDDA_12RF LDO 出力:VDDA_10RF

7.6.4 BOM が最適化された 1.8V I/O トポロジ

表 7-4 に、BOM に関して最適化された 1.8V I/O トポロジによる、外部電源ブロックから本デバイスまでの電源レールを示します。

表 7-4. 電源レールの特性：BOM が最適化された 1.8V I/O トポロジ

電源	その電源から電力を供給されるデバイス ブロック	本デバイス内の関連 IO
1.8V	シンセサイザと APLL の VCO、水晶発振器、IF アンプ段、ADC、デジタル I/O	入力: VIOIN、VDDA_18VCO、VIOIN_18CLK、VIOIN_18、VDDA_18BB、VIN_18PM、VDDA_18VCO LDO 出力: VDD、VDD_SRAM、VNWA、VDDA_10RF、VDDA_12RF、VOUT_14APLL、VOUT_14SYNTH

Copyright © 2025 Texas Instruments Incorporated

7.6.5 システム トポロジ

以下のシステム トポロジがサポートされています。

- トポロジ 1: 自律モード (外部 MCU をウェークアップ可能)
- トポロジ 2: ペリフェラル モード (外部 MCU の制御下で動作)

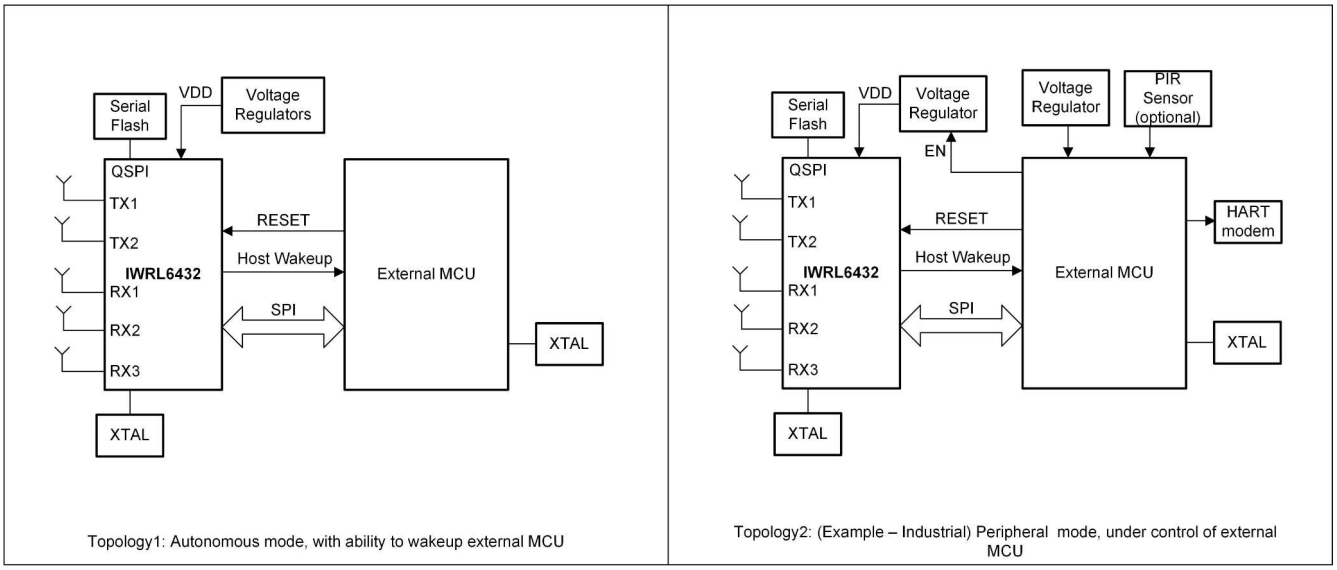


図 7-1. システム トポロジ

トポロジ 1: 自律モードでは、M4F アプリケーション プロセッサと組み合わせて、IWRL6432 を完全なセンサとして使用できます。この場合、内部アプリケーション プロセッサがすべての処理を実行した後、ホスト プロセッサに割り込み、センサ データに基づいてアクションを実行するように伝達します。ほとんどの処理は IWRL6432 チップの *内蔵* MCU で実行され、必要な高レベルの結果のみが外部ホストに伝達されますこのトポロジの MIPS では、外部 MCU の処理能力が緩和され、非常に低コストで、低消費電力 MCU の使用は可能です。

トポロジ 2: ペリフェラル モードでは、IWRL6432 は *外部* MCU によって制御され、ほとんどの処理は外部 MCU で実行されます。この場合、計算能力および電力要件はより高く、ほとんどの時間、外部 MCU はアクティブ状態を維持します。

7.6.5.1 電源トポロジ

本デバイスは、BOM 最適化モードと電力最適化モードのための 2 つの独自の電源トポロジをサポートしています。上記の表 (セクション 7.6.1～セクション 7.6.4) に、これらの選択肢をまとめます。1.2V レールを内部で生成する方法と外部電源から供給する方法のどちらを採用するかによって、2 つの電源トポロジが考慮されます。

BOM 最適化モードでは、1 レール (1.8V) と 2 レール (3.3V および 1.8V) のどちらかの方法で、本デバイスに (外部的に) 電力を供給できます。BOM 最適化トポロジでは、1.2V レールは内部的に生成されます。

電力最適化モードでは、2 レール (1.8V、1.2V) と 3 レール (3.3V、1.8V、1.2V) のどちらかの方法で、本デバイスに (すべて外部的に) 電力を供給できます。電力最適化トポロジでは、1.2V レールは内部的には生成されません。本デバイスは外部 1.2V 電源を検出し、本デバイスが動作するトポロジを判断します。

7.6.5.1.1 BOM 最適化モード

このモードでは、1 つの 1.8V レギュレータを使って、または 1 つの 3.3V レギュレータと 1 つの 1.8V レギュレータを使って本デバイスに電力を供給できます。1 レールと 2 レールのどちらを選択するかは、必要とされる IO 電圧によって決まります。

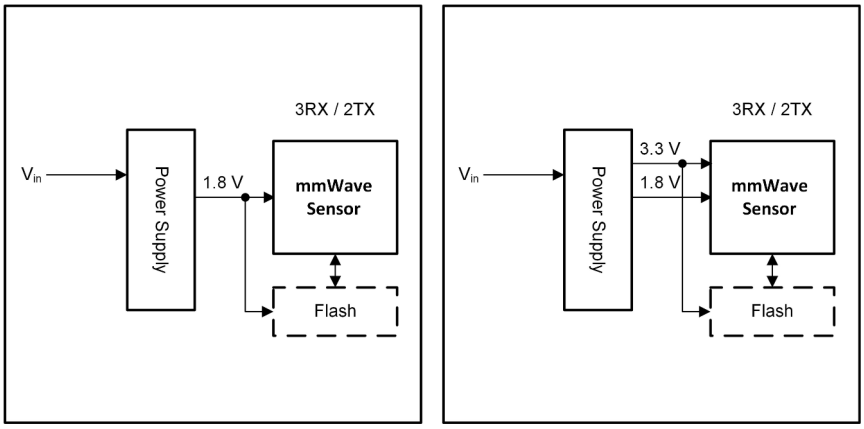


図 7-2. BOM 最適化モードの電源管理 (左：1.8V I/O トポロジ、右：3.3V I/O トポロジ)

7.6.5.1.2 消費電力最適化モード

このモードは、超低消費電力を必要とするアプリケーションを目的としています。本デバイスには、2 レール (1.8V、1.2V) と 3 レール (3.3V、1.8V、1.2V) のどちらかの方法を使って電力を供給できます。

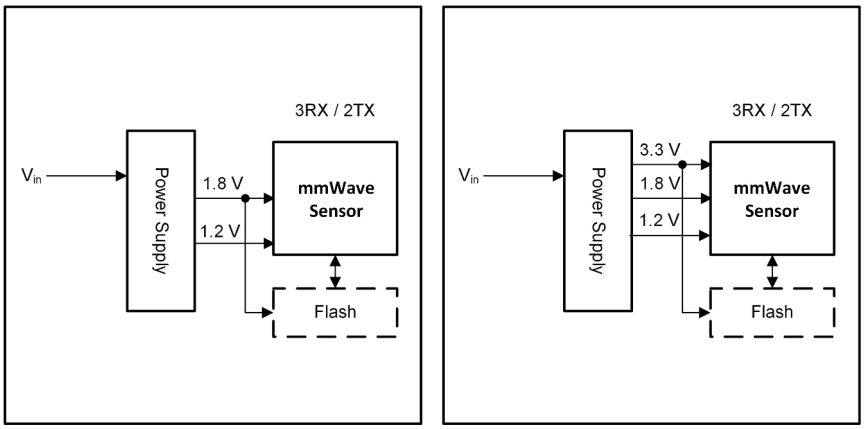


図 7-3. 消費電力最適化モードの電源管理 (左：1.8V I/O トポロジ、右：3.3V I/O トポロジ)

7.6.6 BOM 最適化トポロジのための内部 LDO 出力デカップリング コンデンサおよびレイアウト条件

このセクションでは、デカップリング コンデンサの推奨値と、内部 LDO 出力パスの特定の部分の寄生インダクタンスおよび抵抗の許容値の範囲を示します。すべての低ドロップアウト レギュレータと同様、本内部 LDO では、内部制御ループを安定させるため、出力と GND との間に出力コンデンサを接続する必要があります。温度による変動が小さい X7R タイプのコンデンサを使うことを推奨します。下表に、コンデンサの最小値と最大値を示します。この表には、与えられたコンデンサの DC バイアスによる変動、許容誤差、温度変動が含まれます。

注

1. 寄生素子の値が規定範囲内に収まらない場合、本デバイスの性能が低下する可能性があります。
2. 標準値のデカップリング コンデンサの使用を推奨します。範囲の端付近の容量値を選択すると、性能が低下する可能性があります。選択されたコンデンサの動作範囲が、規定の範囲をカバーできないためです。

Copyright © 2025 Texas Instruments Incorporated

7.6.6.1 単一コンデンサ レール

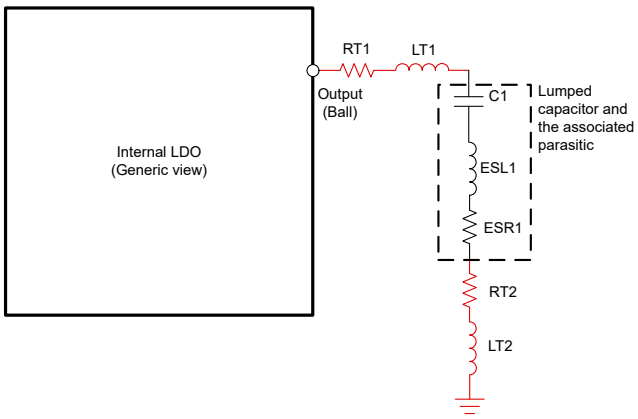


図 7-4. 出力パスの各部分が持つ寄生素子 (コンデンサが 1 つの場合)

1.2V デジタル LDO には、4.7µF (標準値) の 1 つのデカップリング コンデンサが必要です。図 7-4 に、出力パスの各部分が持つ寄生素子を示します。「RT1」と「RT2」は、それぞれボールからコンデンサのリードまでのトレースとグランド トレースが持つ寄生抵抗です。同様に、「LT1」と「LT2」は、それぞれボールからコンデンサのリードまでのトレースとグランド トレースが持つ寄生インダクタンスです。「ESL1」と「ESR1」は、デカップリング コンデンサの実効的な直列インダクタンスと直列抵抗です。表 7-5 に、容量と寄生素子の最小値、最大値、標準値を示します。

7.6.6.1.1 1.2V デジタル LDO

ボール名 : VDD

表 7-5. 1.2V デジタル LDO の出力

	最小値	標準値	最大値	単位
C の推奨値	3.6	4.7	5.2	µF
出力寄生インダクタンスの許容値 LP (1)	1	1.5	2	nH
出力寄生抵抗の許容値 Rp (2)	15	20	35	mΩ

(1) Lp = LT1 + ESL1 + LT2
(2) Rp = RT1 + ESR1 + RT2

7.6.6.2 2 コンデンサ レール

1.2V RF LDO、1.2V SRAM LDO、1.0V RF LDO には、10µF と 2.2µF (標準値) の 2 つのデカップリング コンデンサが必要です。

Copyright © 2025 Texas Instruments Incorporated

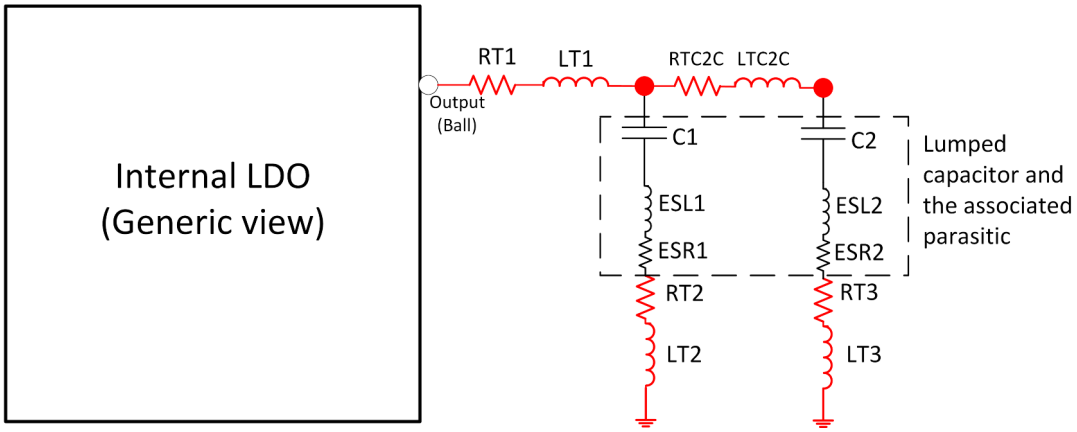


図 7-5. 出力パスの各部分が持つ寄生素子 (コンデンサが 2 つの場合)

図 7-5 に、出力パスの各部分が持つ寄生素子を示します。図に示すように、出力パスは次の 4 つの部分に分割できます。

ボールから第 1 コンデンサまで:「RT1」と「LT1」は、ボールから第 1 コンデンサのリードまでの部分が持つ寄生抵抗と寄生インダクタンスです。

第 1 コンデンサ沿い:「ESL1」と「ESR1」は、第 1 デカップリング コンデンサの実効的な直列インダクタンスと直列抵抗です。「RT2」と「LT2」はそれぞれ第 1 コンデンサのグランド トレースの抵抗とインダクタンスです。

第 1 コンデンサのリードから第 2 コンデンサのリードまで:「RTC2C」と「LTC2C」は、2 つのコンデンサの間のトレースの抵抗とインダクタンスです。

第 2 コンデンサ沿い:「ESL2」と「ESR2」は、第 2 デカップリング コンデンサの実効的な直列インダクタンスと直列抵抗です。「RT3」と「LT3」はそれぞれ第 2 コンデンサのグランド トレースの抵抗とインダクタンスです。

注

どちらのコンデンサも、それぞれのボールの近くに配置することを推奨します。

7.6.6.2.1 1.2V RF LDO

ボール名 : VDDA_12RF

表 7-6. 1.2V RF LDO 出力

		最小値	標準値	最大値	単位
C の推奨値	C1	4.9	10.0	11.0	µF
	C2	1.3	2.2	2.4	µF
出力寄生インダクタンスの許容値	ボールから第 1 コンデンサのリードまで (LT1)	0.3		0.6	nH
	第 1 コンデンサ沿い (ESL1 + LT2)	0.4		0.7	
	コンデンサの 2 本のリードの間 (LTC2C)	0.1		0.3	
	第 2 コンデンサ沿い (ESL2 + LT3)	0.4		0.7	
出力寄生抵抗の許容値	ボールから第 1 コンデンサのリードまで (RT1)	1		5	mΩ
	第 1 コンデンサ沿い (ESR1 + RT2)	15		25	
	コンデンサの 2 本のリードの間 (RTC2C)	1		5	
	第 2 コンデンサ沿い (ESR2 + RT3)	15		25	

Copyright © 2025 Texas Instruments Incorporated

7.6.6.2.2 1.2V SRAM LDO

ボール名 : VDD_SRAM

表 7-7. 1.2V SRAM LDO 出力

		最小値	標準値	最大値	単位
C の推奨値	C1	4.9	10.0	11.0	µF
	C2	1.3	2.2	2.4	µF
出力寄生インダクタンスの許容値	ボールから第 1 コンデンサのリードまで (LT1)	0.5		1.0	nH
	第 1 コンデンサ沿い (ESL1 + LT2)	1.0		1.5	
	コンデンサの 2 本のリードの間 (LTC2C)	0.5		1.0	
	第 2 コンデンサ沿い (ESL2 + LT3)	1.0		1.5	
出力寄生抵抗の許容値	ボールから第 1 コンデンサのリードまで (RT1)			1	mΩ
	第 1 コンデンサ沿い (ESR1 + RT2)	15		35	
	コンデンサの 2 本のリードの間 (RTC2C)			1	
	第 2 コンデンサ沿い (ESR2 + RT3)	15		35	

7.6.6.2.3 1.0V RF LDO

ボール名 : VDDA_10RF

表 7-8. 1.0V RF LDO 出力

		最小値	標準値	最大値	単位
C の推奨値	C1	4.9	10.0	11.0	µF
	C2	1.3	2.2	2.4	µF
出力寄生インダクタンスの許容値	ボールから第 1 コンデンサのリードまで (LT1)	0.3	0.3	0.6	nH
	第 1 コンデンサ沿い (ESL1 + LT2)	0.3		1.0	
	コンデンサの 2 本のリードの間 (LTC2C)	0.1		0.3	
	第 2 コンデンサ沿い (ESL2 + LT3)	0.3		1.0	
出力寄生抵抗の許容値	ボールから第 1 コンデンサのリードまで (RT1)	1		5	mΩ
	第 1 コンデンサ沿い (ESR1 + RT2)	15		25	
	コンデンサの 2 本のリードの間 (RTC2C)	1		5	
	第 2 コンデンサ沿い (ESR2 + RT3)	15		25	

7.6.7 ノイズおよびリップルの仕様

表 7-9 に示す 1.8V 電源リップル仕様は、RX で -105dBc (RF ピン = -15dBm) の目標スプリアス レベルを満たすように定義されています。スプリアス レベルとリップル レベルには、dB 対 dB の関係があります。たとえば、電源リップルが 1dB 増加すると、スプリアス レベルは約 1dB 増加します。引用された値は、指定された周波数で印加された正弦波入力のピーク ツー ピーク レベルです。これらの値は最適化中であり、変更される可能性があります。

表 7-9. ノイズおよびリップルの仕様

周波数 (kHz)	ノイズ仕様		リップル仕様	
	1.8V (µV/√Hz)	1.2V (µV/√Hz) (1)	1.8V (mVpp)	1.2V (mVpp) (1)
10	6.057	44.987	0.035	1.996
100	2.677	26.801	0.760	2.233
200	2.388	28.393	0.955	3.116

Copyright © 2025 Texas Instruments Incorporated

表 7-9. ノイズおよびリップルの仕様 (続き)

周波数 (kHz)	ノイズ仕様		リップル仕様	
	1.8V (µV/√Hz)	1.2V (µV/√Hz) (1)	1.8V (mVpp)	1.2V (mVpp) (1)
500	0.757	9.559	0.504	1.152
1000	0.419	1.182	0.379	0.532
2000	0.179	1.256	0.153	0.561
5000	0.0798	0.667	0.079	0.297
10000	0.0178	0.104	0.017	0.046

(1) 1.2V のノイズ / リップル仕様は、電力に関して最適化された電源構成のみに適用されます。BOM に関して最適化されたトポロジでは、1.2V のノイズ / リップル仕様は適用されません。

注

BOM に関して最適化されたトポロジの 1.8V 電源には、同じ 1.8V ノイズ / リップル仕様が適用されます。

7.7 パワー セーブ モード

表 7-10 に、サポートされている電源の状態を示します。

表 7-10. デバイスの電源の状態

電源の状態	詳細
アクティブ	アクティブ電源状態とは、RF / チャープ動作が継続している状態を指します。
プロセッシング	プロセッシング電源状態とは、データの処理中であり、かつ RF をオフにした状態を指します。(1)
アイドル	アイドル電源状態とは、フレーム間 / バースト間 / チャープ間のアイドル時間を指します。
ディープ スリープ	本デバイスが保存しているデータ (アプリケーション イメージ、チャープ プロファイルなど) を保持でき、本デバイスを最初から再起動する必要がない本デバイスの最小消費電力状態。 消費電力を大幅に節約するため、フレーム処理が完了した後、本デバイスはこの状態に移行できます。ディープ スリープの終了は、多くの外部ウェークアップ要因または内部タイミングの維持によって行われます。

(1) この状態での消費電力には、ハードウェア アクセラレータの消費電力も含まれます。

7.7.1 標準消費電力の値

表 7-11 と表 7-12 に、公称デバイス (周囲温度 25℃、公称電圧条件) の、各種電源トポロジおよびアンテナ構成における各省電力モードの消費電力の標準値を示します。

表 7-11. 3.3V IO モードの消費電力の推定値

電力モード		消費電力 (mW)	
		消費電力最適化モード	BOM 最適化モード
アクティブ (2TX、3RX)	サンプリング : 12.5MSps、 開始周波数 = 60GHz BW = 2GHz RX ゲイン = 30dB TX バックオフ = 0dB	960	1290
アクティブ (2TX、2RX)		870	1180
アクティブ (1TX、2RX)		720	950
アクティブ (1TX、1RX)		690	910
プロセッシング	測定には、メジャー モーション SDK OOB チェーンが使用されます。	80	120
アイドル	APPSS CM4 = 20MHz、FECSS、HWA 電源オフ、SPI アクティブ	11.2	19.0
ディープ スリープ	保持されるメモリ = 114KB	0.66	0.67

Copyright © 2025 Texas Instruments Incorporated

表 7-12. 1.8V IO モードの消費電力の推定値

電力モード		消費電力 (mW)	
		消費電力最適化モード	BOM 最適化モード
アクティブ (2TX、3RX)	サンプリング：12.5MSps、開始周波数 = 60GHz BW = 2GHz RX ゲイン = 30dB TX バックオフ = 0dB	960	1290
アクティブ (2TX、2RX)		870	1180
アクティブ (1TX、2RX)		720	950
アクティブ (1TX、1RX)		690	910
プロセッシング	測定には、メジャー モーション SDK OOB チェーンが使用されます。	80	120
アイドル	APPSS CM4 = 20MHz、FECSS、HWA 電源オフ、SPI アクティブ	10.9	18.6
ディープ スリープ	保持されるメモリ = 114KB	0.48	0.48

表 7-13. 3.3V 消費電力最適化トポロジの使用事例の消費電力

パラメータ		条件	標準値 (mW)
平均消費電力 (存在検出 - メジャー モーション)	**RF フロント エンド構成：**1TX、1RX ADC サンプリング レート = 12.5Msps ランプ終了時間 = 25µs チャープ アイドル時間 = 6µs チャープ スロープ = 35MHz/µs バーストあたりのチャープ数 = 10 バースト周期 = 300µs フレームあたりのバースト数 = 1 本デバイスは、アクティブ動作後、ディープ スリープ状態に移行するように構成されています。ディープ スリープ状態で保持されるメモリ = 114KB	1Hz 更新レート	1.2

7.8 電圧レールごとのピーク電流要件

表 7-14 に、最大分割レール電流の値を示します。

表 7-14. 電圧レールごとの最大ピーク電流

モード (1)	IO 電圧(3)	最大電流 (mA) (2)		
		1.2V：1.2V レールによって駆動される全ノードが消費する電流の合計値	1.8V：1.8V レールによって駆動される全ノードが消費する電流の合計値	3.3V：3.3V レールによって駆動される全ノードが消費する電流の合計値
BOM に関して最適化	3.3V	該当なし	1360	90
BOM に関して最適化	1.8V	該当なし	1450	該当なし
消費電力に関して最適化	3.3V	1100	270	90
消費電力に関して最適化	1.8V	1100	360	該当なし

(1) デバイスの全機能を使用、2TX、3RX 同時動作、HWA、M4F、各種ホスト通信 / インターフェイス ペリフェラル (CAN、、I2C、GPADC) アクティブ、全温度範囲にわたるテストを含む
(2) 電流の規定値は、代表的な電源電圧レベルにおける値です。
(3) 正確な VIOIN 電流は、使用するペリフェラルとその動作周波数によって異なります。

Copyright © 2025 Texas Instruments Incorporated

7.9 RF 仕様

推奨動作条件範囲内 (特に記述のない限り)

パラメータ			最小値	標準値	最大値	単位
レシーバ	ノイズ指数	57～63.9GHz		11		dB
	1dB 圧縮ポイント (帯域外) (1)			-9		dBm
	最大ゲイン			40		dB
	ゲイン範囲			10		dB
	ゲイン ステップ サイズ			2		dB
	IF 帯域幅 (2)				5	MHz
	ADC サンプリング レート (実数)				12.5	Msps
	ADC の分解能			12		ビット
	S11			-10		dB
トランスミッタ	出力電力			11		dBm
	電源バックオフ範囲			26		dB
	S11			-10		dB
クロック サブシステム	周波数範囲		57		63.9	GHz
	ランプ レート				400	MHz/µs
	1MHz オフセットでの位相ノイズ	57～63.9GHz		-89		dBc/Hz

(1) 1dB 圧縮ポイント (帯域外) は、HPF の最小カットオフ周波数よりも十分低い連続波形トーンを供給することで測定されます。

(2) アナログ IF 段は、1 次ハイパス コーナー周波数を設定可能なハイパス フィルタ回路を備えています。一連の使用可能な HPF コーナーは次のように要約されます。

使用可能な HPF コーナー周波数 (kHz)
175、350、700、1400

デジタル ベースバンド チェーンによって実行されるフィルタ処理は、±0.5dB 未満の通過帯域リップル / ドループを実現することを目的としています。

図 7-6 に、設定されたレシーバ ゲインに対するノイズ指数と帯域内 P1dB パラメータのばらつきを示します。

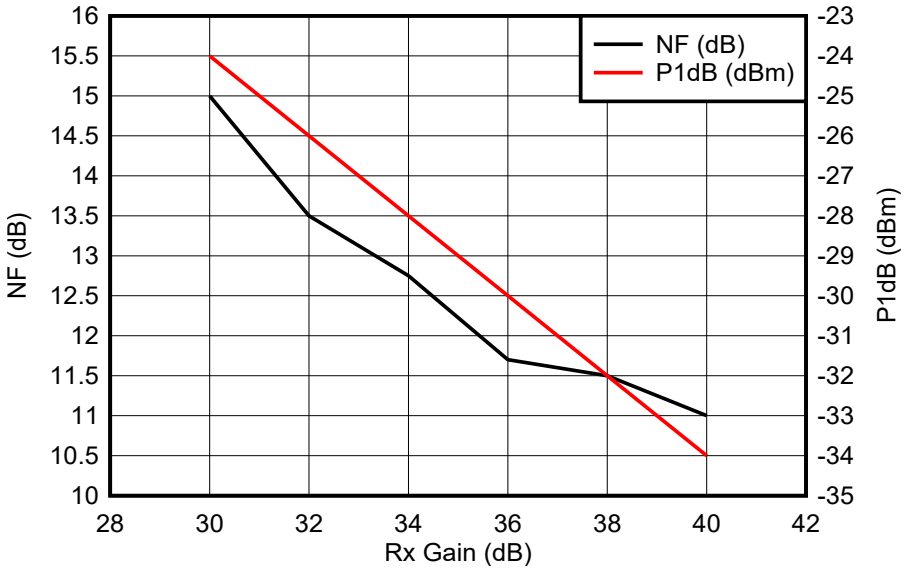
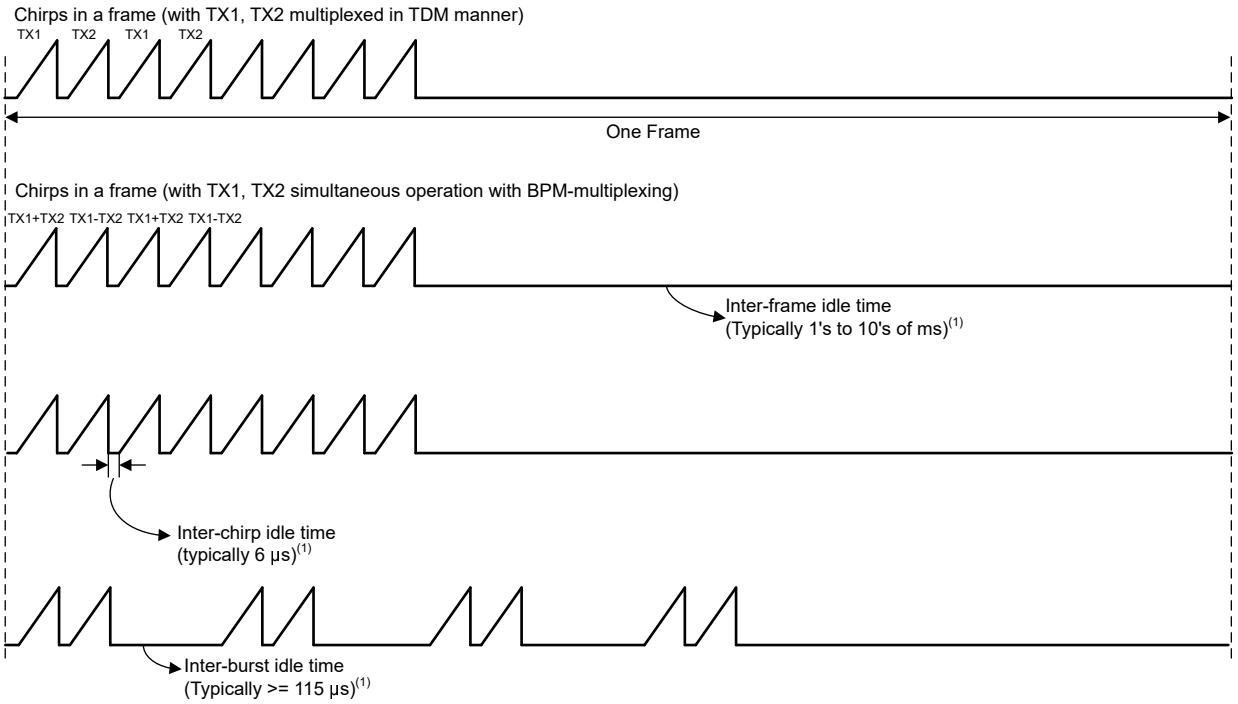


図 7-6. ノイズ指数、帯域内 P1dB とレシーバ ゲインとの関係

Copyright © 2025 Texas Instruments Incorporated

7.10 サポート対象 DFE 機能

- TX 出力のバックオフ
  - 0dB～26dB (1dB 刻み) の TX バックオフをサポート
  - 各 TX でのバイナリ位相変調をサポート
- RX ゲイン
  - 実数 RX チャネル
  - 30dB～40dB (2dB 刻み) の総合 RX ゲイン範囲
- VCO
  - 最大 7GHz の RF 掃引帯域幅全体を 1 つの VCO でカバー
- ハイパス フィルタ
  - コーナー周波数 (175kHz、350kHz、700kHz、1400kHz) を選択可能
  - 1 次ハイパス フィルタのみ
- ローパス フィルタ
  - 5MHz の最大 IF 帯域幅をサポート
  - 40dB の阻止帯域除去、2 つのフィルタリング オプションをサポート
  - 90% の可視性 – IF 帯域幅はナイキストの 90% (フィルタ長が長いため設定時間が長い)
  - 80% の可視性 – IF 帯域幅はナイキストの 80% (90% の可視性と比べてセトリング時間が短いため 30% 速い)
- サポートしている ADC サンプリング レート:
  - 1.0、1.25、1.667、2.0、2.5、4.0、5.0、6.667、7.692、10.0、12.5Msps
- タイミング エンジン
  - チャープ、バースト、フレームのサポート
    - 長いバースト アイドル時間よりも、長いフレーム アイドル時間の方がより多くの消費電力が節約されます。さらに、長いバースト アイドル時間よりも、長いチャープ アイドル時間の方がより少ない消費電力が節約されます。詳細については、ミリ波センシング推定ツールの電力カリキュレータを参照してください。
    - メモリ要件を低減するため、狭い間隔で配置されたチャープ全体でチャープ蓄積 (平均化) が可能
  - チャープごとのパラメータ ディザリング機能



1. DFP API 資料を参照

図 7-7. タイミング エンジンがサポートしているチャープ プロファイル

7.11 CPU の仕様

推奨動作条件範囲内 (特に記述のない限り)

パラメータ		標準値	単位
アプリケーション サブシステム (M4F ファミリ)	クロック速度	160	MHz
	密結合メモリ - A (プログラム + データ)	512	KB
共有メモリ	共有 L3 メモリ (1)	256	KB
	HWA 専用 L3 メモリ	256	KB

(1) L3 メモリは構成可能

7.12 熱抵抗特性

表 7-15. FCCSP パッケージの熱抵抗特性 [AMF0102A]

熱評価基準 (1) (4)		℃/W (2) (3)
$R\Theta_{JC}$	接合部とケースとの間	8.5
$R\Theta_{JB}$	接合部と基板との間	6.2
$R\Theta_{JA}$	接合部と自由空気との間	24.7
Psi_{JC}	接合部とパッケージ上面との間	0.36
Psi_{JB}	接合部と基板との間	6.2

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。
(2) °C/W = 摂氏温度 / ワット。
(3) これらの値は、JEDEC により定義された 2S2P システム (JEDEC 定義の 1S0P システムによる θ JC [$R\Theta_{JC}$] 値を除く) に基づいており、周囲環境とアプリケーションによって変化します。詳細については、以下の EIA/JEDEC 規格を参照してください。
- JESD51-2、『IC の熱テスト手法の環境条件 - 自然対流 (静止空気)』
- JESD51-3、『リード付き表面実装パッケージ用の有効熱伝導率の低いテスト基板』
- JESD51-7、『リード付き表面実装パッケージ用の有効熱伝導率の高いテスト基板』
- JESD51-9、『エリア アレイ表面実装パッケージの熱測定用テスト基板』

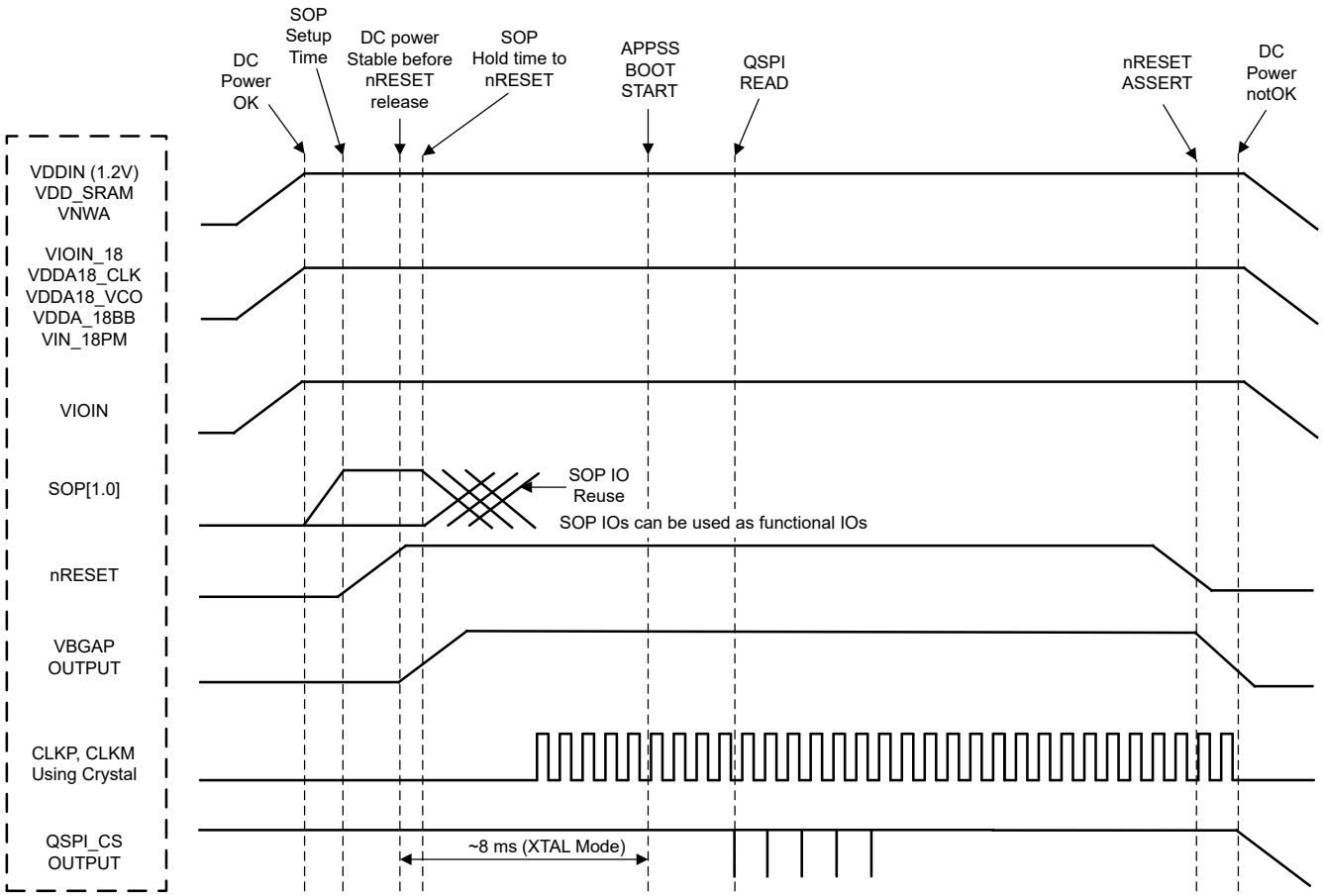
(4) テスト条件:電力 =1.305W (25℃時)

7.13 タイミングおよびスイッチング特性

7.13.1 電源シーケンスおよびリセット タイミング

デバイスでは、リセットがデアサートされる前に、すべての外部電圧レールが安定化している必要があります。図 7-8 に、デバイス ウェークアップ シーケンスを示します。

Copyright © 2025 Texas Instruments Incorporated



A. のアプリケーションがシリアル フラッシュからブートする自律モードの場合、デフォルトでは、MCU_CLK_OUT は本デバイスのブートローダによっては有効化されません。

図 7-8. デバイス ウェークアップ シーケンス

7.13.2 同期フレーム トリガ

デバイスは、レーダー フレームをトリガするハードウェア ベースの機能を備えています。外部ホストは SYNC_IN 信号パルスを送信することで、レーダー フレームを開始できます。ハードウェア SYNC_IN トリガ用に本デバイスを設定するには、ソフトウェア API トリガを提供する必要があります。外部パルスの立ち上がりエッジと電波のフレーム送信との時間差 (Tlag) は約 160ns (標準値) です。フレームの開始時間を制御するためにユーザーが設定できる追加のプログラマブル遅延機能も備わっています。

すべてのインスタンスのフレーム構成において、外部 SYNC_IN パルスの周期は、設定されたフレーム期間より常に大きい必要があります。

Copyright © 2025 Texas Instruments Incorporated

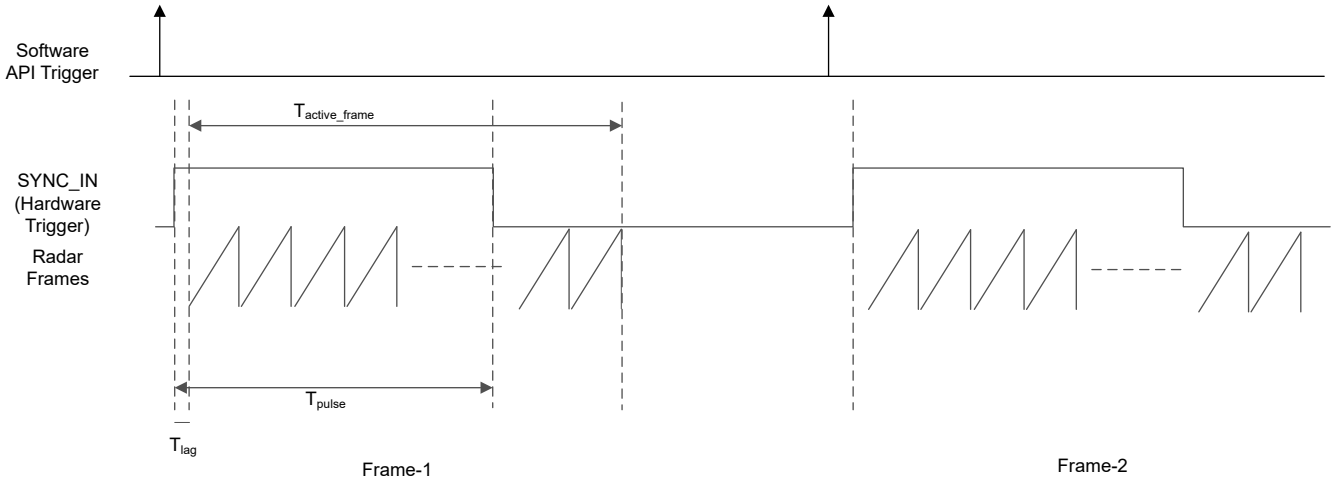


図 7-9. 同期入力ハードウェア トリガ

表 7-16. フレーム トリガのタイミング

パラメータ	説明	最小値	最大値	単位
T_{active_frame}	アクティブ フレーム持続時間	ユーザー定義		ns
T_{pulse}		25	< T_{active_frame} または 4000	

7.13.3 入力クロックおよび発振器

7.13.3.1 クロック仕様

は、初期ブートのために、そして本デバイスが内蔵している内部 APLL のリファレンスとして、外部クロック源 (すなわち、CLKP に接続された 40MHz 水晶振動子または外部発振器) を必要とします。デバイス ピンに接続された外部水晶振動子の図 7-10 に、水晶振動子の実装を示します。

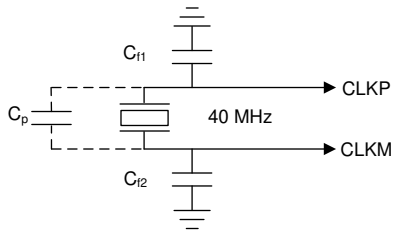


図 7-10. 水晶振動子の実装

注

図 7-10 の負荷コンデンサ C_{f1} および C_{f2} は、式 1 が満足されるように選択する必要があります。この式の C_L は、水晶振動子のメーカーによって指定された負荷です。発振器回路の実装に使用されるすべてのディスクリート部品は、関連する発振器の CLKP および CLKM ピンのできるだけ近くに配置する必要があります。

$$C_L = C_{f1} \times \frac{C_{f2}}{C_{f1} + C_{f2}} + C_P \quad (1)$$

表 7-17 に、クロック水晶振動子の電気的特性を示します。

Copyright © 2025 Texas Instruments Incorporated

表 7-17. 水晶振動子の電気的特性 (発振器モード)

名称	説明	最小値	代表値	最大値	単位
f_P	並列共振水晶振動子周波数		40		MHz
C_L	水晶振動子の負荷容量	5	8	12	pF
ESR	水晶振動子の ESR			50	Ω
温度範囲	想定される動作温度範囲	-40		105	℃
周波数の許容誤差	水晶振動子周波数の許容誤差 (1) (2) (3)	-200		200	ppm
励振レベル			50	200	µW

(1) 水晶振動子メーカーの仕様はこの要件を満たす必要があります。
(2) 水晶振動子の初期許容誤差、全温度範囲でのドリフト、経年劣化、不適切な負荷容量による周波数変動が含まれます。
(3) 水晶振動子の許容誤差はレーダー センサの精度に影響します。

外部クロックをクロック源として使用する場合、その信号は CLKP ピンにのみ入力し、CLKM はグランドに接続します。40MHz クロックを外部から入力する場合、位相ノイズ要件は非常に重要です。表 7-18 に、外部クロック信号の電気的特性を示します。

Copyright © 2025 Texas Instruments Incorporated

表 7-18. 外部クロック モード仕様

パラメータ		仕様			単位
		最小値	代表値	最大値	
入力クロック: 外部 AC 結合正弦波または DC 結合方形波の位相ノイズ (40MHz 基準)	周波数		40		MHz
	AC 振幅	700		1200	mV (pp)
	DCV_{il}	0.00		0.20	V
	DCV_{ih}	1.6		1.95	V
	1kHz での位相ノイズ			-132	dBc/Hz
	10kHz での位相ノイズ			-143	dBc/Hz
	100kHz での位相ノイズ			-152	dBc/Hz
	1MHz での位相ノイズ			-153	dBc/Hz
	デューティ サイクル	35		65	%
	周波数の許容誤差	-200		200	ppm

Copyright © 2025 Texas Instruments Incorporated

7.13.4 マルチチャネル バッファ付き / 標準シリアル ペリフェラル インターフェイス (McSPI)

McSPI モジュールは、マルチチャネル送信 / 受信、コントローラ / ペリフェラル同期シリアル バスです。

7.13.4.1 McSPI の特長

McSPI モジュールの主な特長は次のとおりです。

- チャネルごとに周波数、極性、位相をプログラム可能なシリアル クロック
- 幅広く選択可能な SPI ワード長 (4～32 ビット)
- コントローラ モードで最大 4 チャネル、または受信モードで 1 チャネル
- コントローラのマルチチャネル モード:
  - 全二重 / 半二重
  - 送信専用 / 受信専用 / 送信および受信モード
  - 入出力 (I/O) ポートをチャネルごとに柔軟に制御可能
  - プログラム可能なクロック粒度
  - クロック定義、極性イネーブル、ワード幅をチャネルごとに構成可能
- 1 本の割り込みラインで複数の割り込み要因イベントに対応
- チャネルごとの McSPI 転送のためのプログラマブル スタート ビットを追加可能 (スタート ビット モード)
- スタート ビット書き込みコマンドをサポート
- スタート ビット休止およびブレーク シーケンスをサポート
- シフト動作 (1～32 ビット) をプログラム可能
- チップ セレクトと外部クロック生成との間のタイミング制御をプログラム可能
- 1 チャネルで使用できる内蔵 FIFO

7.13.4.2 SPI のタイミング条件

表 7-19 に、McSPI のタイミング条件を示します。

表 7-19. McSPI のタイミング条件

		最小値	代表値	最大値	単位
入力条件					
t_R	入力立ち上がり時間	1		3	ns
t_F	入力立ち下がり時間	1		3	ns
出力条件					
C_{LOAD}	出力負荷容量	2		15	pF

7.13.4.3 SPI - コントローラ モード

7.13.4.3.1 SPI - コントローラ モードのタイミングおよびスイッチング要件

表 7-20 と表 7-21 に、SPI (コントローラ モード) のタイミング要件を示します。

表 7-20. SPI のタイミング要件 - コントローラ モード

番号 (1) (8)			モード	最小値	最大値	単位
SM4	$t_{su(MISO-SPICLK)}$	セットアップ時間、SPI_D[x] 有効から SPI_CLK アクティブ エッジまで (1)		5		ns
SM5	$t_{h(SPICLK-MISO)}$	ホールド時間、SPI_CLK アクティブ エッジから SPI_D[x] 有効の間 (1)		3		ns

表 7-21. SPI のスイッチング特性 - コントローラ モード

番号 (1) (8)			モード	最小値	最大値	単位
SM1	$t_{c(SPICLK)}$	サイクル時間、SPI_CLK (1) (2)		24.6(3)		ns

Copyright © 2025 Texas Instruments Incorporated

表 7-21. SPI のスイッチング特性 - コントローラ モード (続き)

番号 (1) (8)			モード	最小値	最大値	単位
SM2	$t_{w(SPICLKL)}$	標準パルス幅、SPI_CLK Low (1)		-1 + 0.5P (3) (4)		ns
SM3	$t_{w(SPICLKH)}$	標準パルス幅、SPI_CLK High (1)		-1 + 0.5P(4)		ns
SM6	$t_{d(SPICLK-SIMO)}$	遅延時間、SPI_CLK アクティブ エッジから SPI_D[x] 遷移まで (1)		-2	5	ns
SM7	$t_{sk(CS-SIMO)}$	遅延時間、SPI_CS[x] アクティブ エッジから SPI_D[x] 遷移まで		5		ns
SM8	$t_{d(SPICLK-CS)}$	遅延時間、SPI_CS[x] アクティブから SPI_CLK の最初のエッジまで	Controller_PHA0_POL 0、Controller_PHA0_POL 1 (5)	-4 + B(6)		ns
			Controller_PHA1_POL 0、Controller_PHA1_POL 1 (5)	-4 + A (7)		ns
SM9	$t_{d(SPICLK-CS)}$	遅延時間、SPI_CLK の最後のエッジから SPI_CS[x] 非アクティブまで	Controller_PHA0_POL 0、Controller_PHA0_POL 1 (5)	-4 + A (7)		ns
			Controller_PHA1_POL 0、Controller_PHA1_POL 1 (5)	-4 + B (6)		ns
SM11	Cb	各バス ラインの容量性負荷		3	15	pF

(1) このタイミングは、SPI_CLK の極性に関係なく、また、どちらのクロック エッジが出力データの駆動および入力データのキャプチャに使用されるかに関係なく、すべての構成に適用されます。
(2) SPI_CLK の最大周波数に関連があります。
(3) 20ns のサイクル時間 = 50MHz
(4) P = SPICLK 周期
(5) SPI_CLK の位相は、SPI_CH(i)CONF レジスタの PHA ビットを使用してプログラム可能です。
(6) B = (TCS + 0.5) × TSPICLKREF。ここで、TCS は SPI_CH(i)CONF レジスタのビット フィールドであり、Fratio = 偶数 (>= 2) です。
(7) P = 20.8ns のとき、A = (TCS + 1) × TSPICLKREF。ここで、TCS は SPI_CH(i)CONF レジスタのビット フィールドです。
P > 20.8ns のとき、A = (TCS + 0.5) × Fratio × TSPICLKREF。ここで、TCS は SPI_CH(i)CONF レジスタのビット フィールドです。
(8) このセクションに示す IO タイミングは、SPI1 と SPI2 に対して信号のすべての組み合わせに適用できます。ただし、1 つの IOSET 内の信号を使用する場合、このタイミングは SPI3 と SPI4 にのみ有効です。以下の表に、IOSET の定義を示します。

このタイミングは、SPI_CLK の極性に関係なく、また、どちらのクロック エッジが出力データの駆動および入力データのキャプチャに使用されるかに関係なく、すべての構成に適用されます。

注

レーダー SPI ペリフェラル モードのサポート周波数は、フル サイクル モードでは 40MHz、ハーフ サイクル モードでは 20MHz です。

Copyright © 2025 Texas Instruments Incorporated

7.13.4.3.2 SPI 出力タイミングのタイミングおよびスイッチング特性 - コントローラ モード

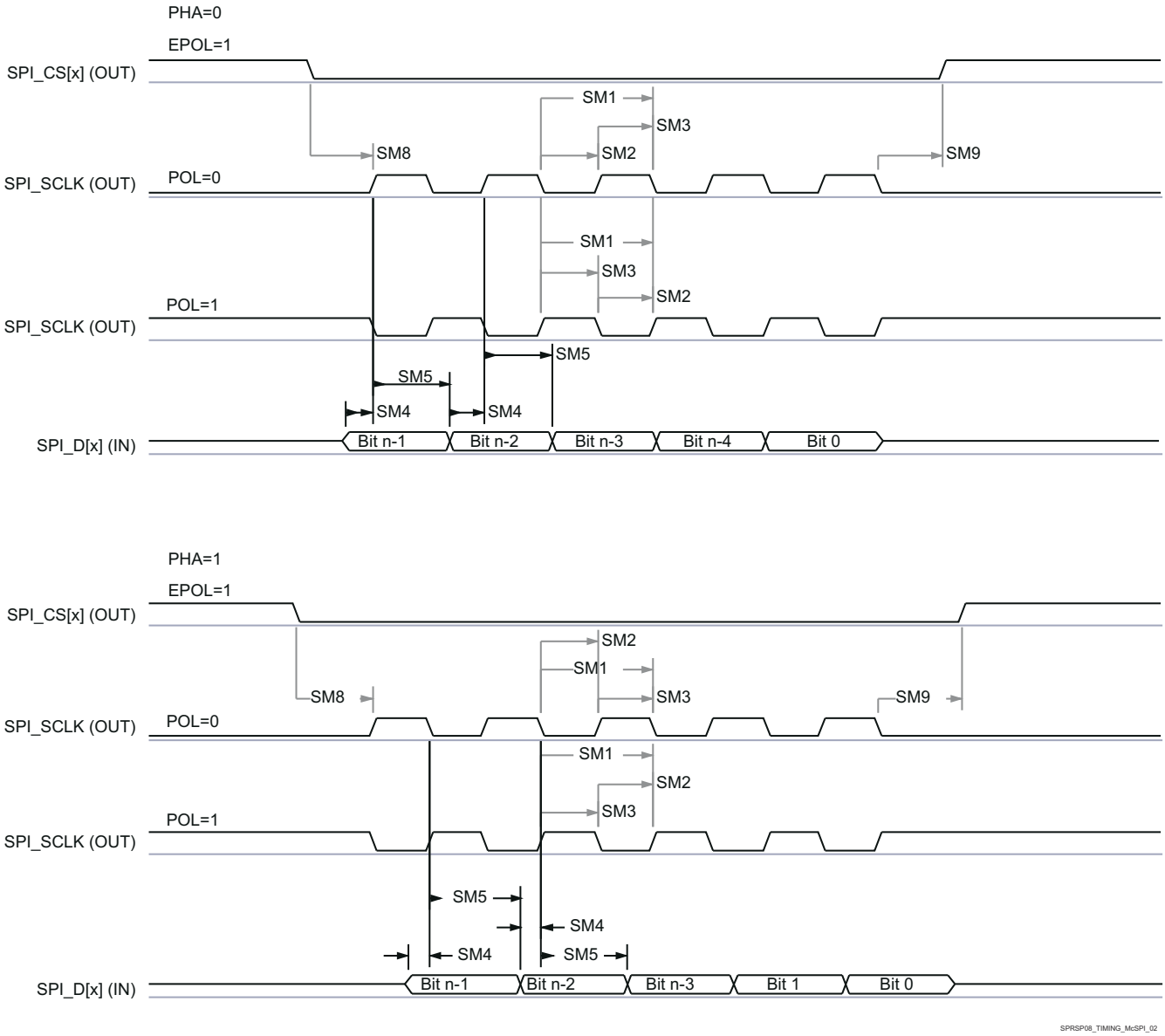


図 7-11. SPI のタイミング - コントローラ モードの受信

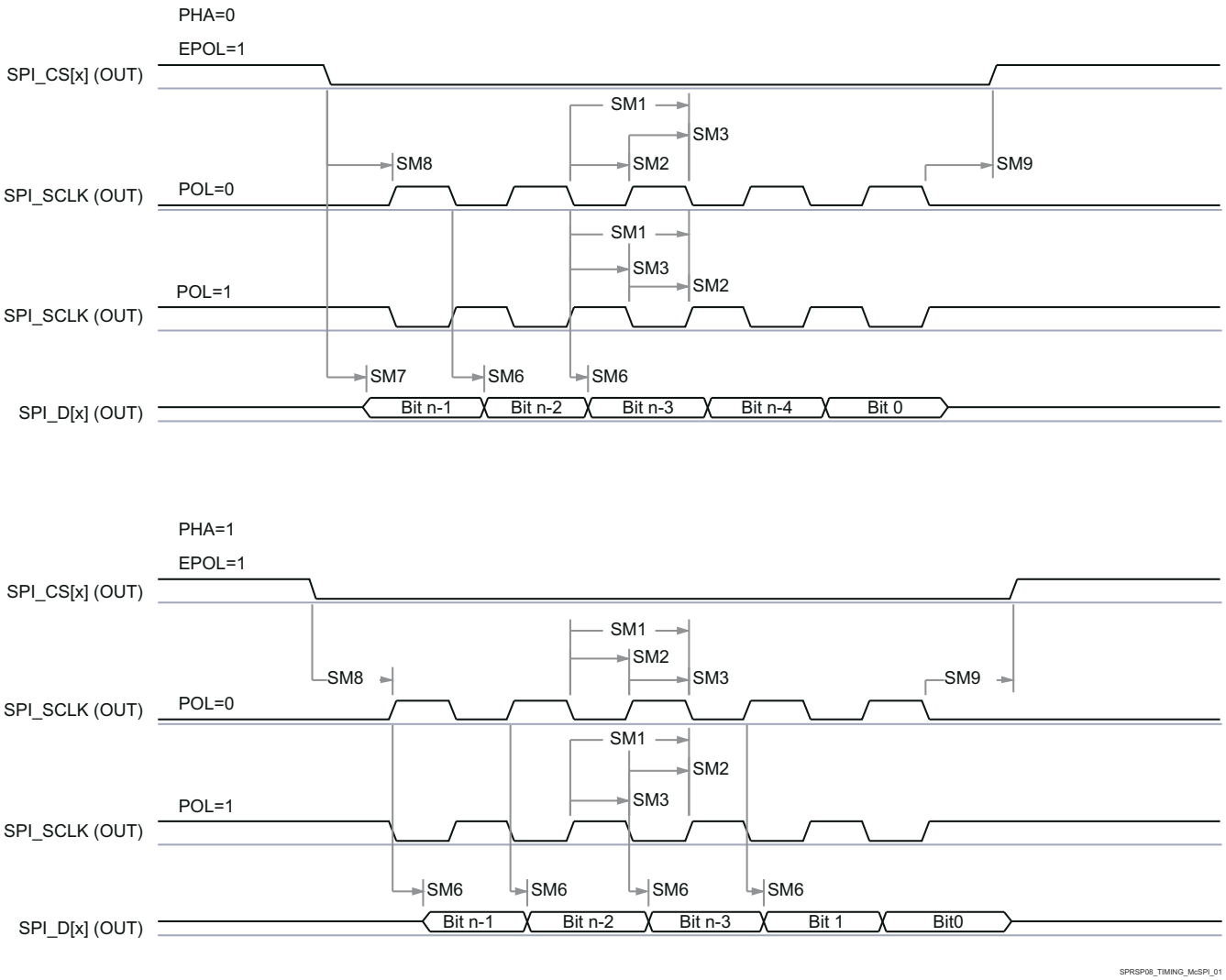


図 7-12. SPI のタイミング - コントローラ モードの送信

7.13.4.4 SPI - ペリフェラル モード

7.13.4.4.1 SPI のタイミングおよびスイッチング要件 - ペリフェラル モード

表 7-22 と表 7-23 に、SPI (ペリフェラル モード) のタイミング要件を示します。

表 7-22. SPI のタイミング要件 - ペリフェラル モード

番号(1) (3)	パラメータ	説明	最小値	最大値	単位
SS1	$t_{c(SPICLK)}$	サイクル時間、SPI_CLK	24.6		ns
SS2	$t_{w(SPICLKL)}$	標準パルス幅、SPI_CLK low	0.45*P(2)		ns
SS3	$t_{w(SPICLKH)}$	標準パルス幅、SPI_CLK High	0.45*P(2)		ns
SS4	$t_{su(SIMO-SPICLK)}$	セットアップ時間、SPI_D[x] 有効から SPI_CLK アクティブ エッジまで	3		ns
SS5	$t_{h(SPICLK-SIMO)}$	ホールド時間、SPI_CLK アクティブ エッジから SPI_D[x] 有効の間	1		ns
SS8	$t_{su(CS-SPICLK)}$	セットアップ時間、SPI_CS[x] 有効から SPI_CLK の最初のエッジまで	5		ns
SS9	$t_{h(SPICLK-CS)}$	ホールド時間、SPI_CLK の最後のエッジから SPI_CS[x] 有効の間	5		ns
SS10	sr	すべてのピンの入力スルーレート	1	3	ns
SS11	Cb	D0 と D1 の容量性負荷	2	15	pF

Copyright © 2025 Texas Instruments Incorporated

表 7-23. SPI のスイッチング特性 - ペリフェラル モード

番号	パラメータ	説明	最小値	最大値	単位
SS6	$t_{d(SPICLK-SOMI)}$	遅延時間、SPI_CLK アクティブ エッジから McSPI_somi 遷移まで	0	5.77	ns
SS7	$t_{sk(CS-SOMI)}$	遅延時間、SPI_CS[x] アクティブ エッジから McSPI_somi 遷移まで	5.77		ns

(1) このタイミングは、SPI_CLK の極性に関係なく、また、どちらのクロック エッジが出力データの駆動および入力データのキャプチャに使用されるかに関係なく、すべての構成に適用されます。
(2) P = SPICLK 周期。
(3) PHA = 0。SPI_CLK の位相は、SPI_CH(i)CONF レジスタの PHA ビットを使用してプログラム可能です。

7.13.4.4.2 SPI 出力タイミングのタイミングおよびスイッチング特性 - セカンダリ モード

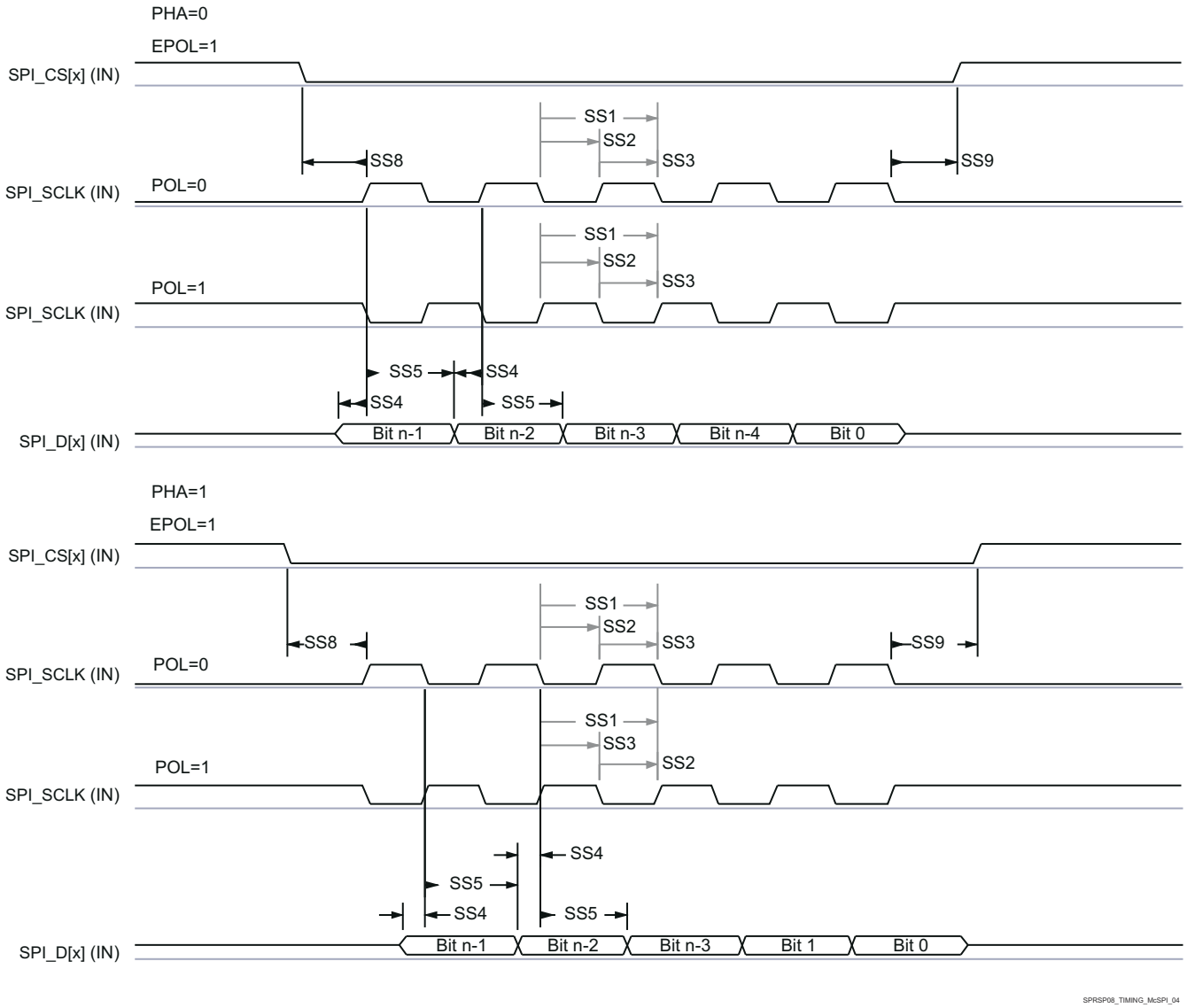


図 7-13. SPI のタイミング - ペリフェラル モードの受信

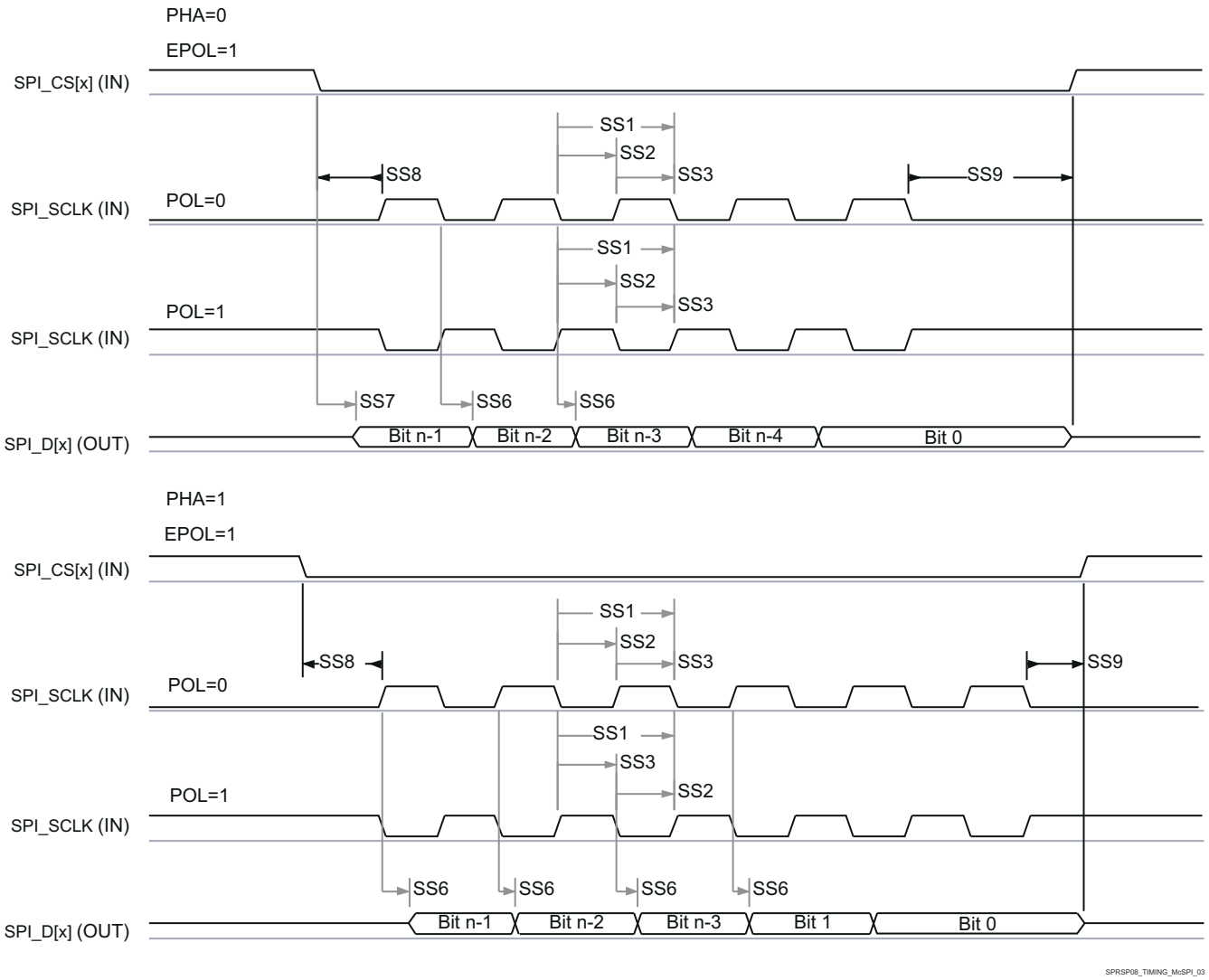


図 7-14. SPI のタイミング - ペリフェラル モードの送信

Copyright © 2025 Texas Instruments Incorporated

7.13.5 RDIF インターフェイスの構成

サポートしているレーダー データ インターフェイス (RDIF) は、(たとえば、未加工の ADC データをキャプチャするための) デバッグ インターフェイスとして開発されたものであり、量産インターフェイスとして開発されたものではありません。RDIF は 4 つのデータ レーン、1 つのビット クロック レーン、1 つのフレーム クロック レーンを備えています。このインターフェイスから、デバッグのために高速データが送信されます。RDIF インターフェイスは、以下のデータ レート [1] をサポートしています。

- 400Mbps
- 320Mbps
- 200Mbps
- 160Mbps

7.13.5.1 RDIF インターフェイスのタイミング

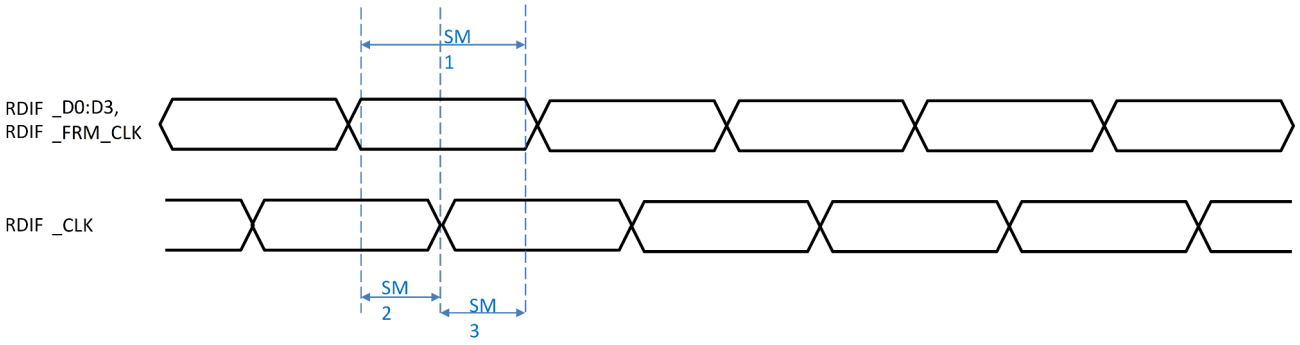


図 7-15. RDIF のタイミング要件

表 7-24. RDIF インターフェイスのタイミング要件

番号	パラメータ	説明	モード	最小値	最大値	単位
SM1	Tb (RDIF_D[x])	ビット間隔、RDIF_d[x]	内部クロック	9.6		ns
SM2	Tvb (RDIF_D[x] - RDIF_CLK)	データ有効時間、RDIF_clk のアクティブ エッジの前の、RDIF_d[x] および RDIF_frm_clk 有効の期間	内部クロック	4.8		ns
SM3	Tva (RDIF_CLK - RDIF_D[x])	データ有効時間、RDIF_clk のアクティブ エッジの後の、RDIF_d[x] 有効の期間	内部クロック	4.8		ns
SM4	C_b	各バス ラインの容量性負荷		3	15	pF

[1] 4 つのデータ レーンの集約データ レート

Copyright © 2025 Texas Instruments Incorporated

7.13.5.2 RDIF データ形式

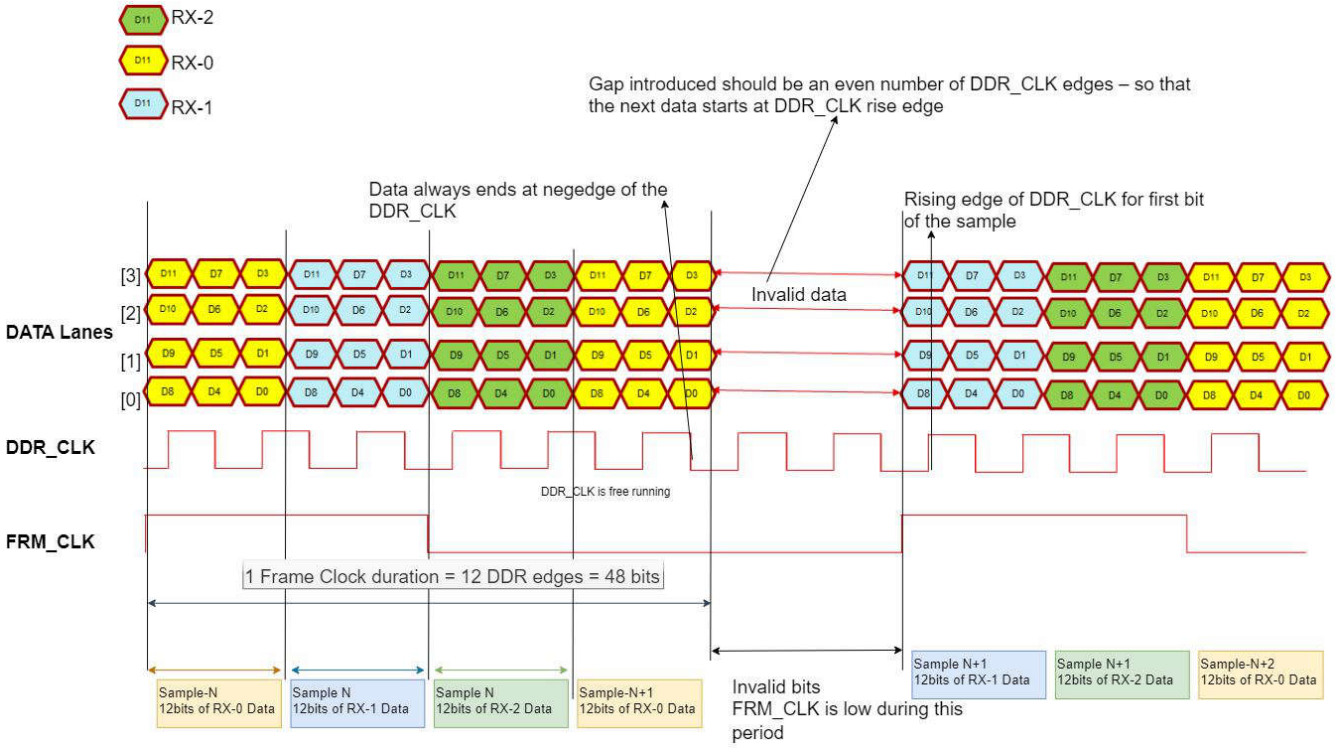


図 7-16. RDIF データ形式

- 上図に示すように、サンプルは 1 チャネルずつ送信されます。1 つのチャネルの 12 ビットすべてが、4 つのデータ レーンの 3 つの DDR_CLK エッジで送信され、その後に次の RX チャネルが送信されます。
- フレーム クロック (FRM_CLK) は 12 の DDR_CLK エッジに及び、1 FRM_CLK で 48 ビットが送信されます。
- FRM_CLK は、間に隙間を設けることができます。インターフェイス レートが着信レートよりも大きいことから、この機能が必要とされます。
- DDR_CLK は連続的です。
- DDR_CLK は、DFE 用に選択された 400MHz ADC CLK (ADC クロックの 1 つ) から生成されます。これは、DFE 用に選択された 400MHz クロックと同じです。
- 新しいサンプルは常に DDR_CLK の立ち上がりエッジから始まります。
- FRM_CLK はデータ ビット全体にわたって有効であり、DDR_CLK に対するセットアップ時間 / ホールド時間を満たします。

Copyright © 2025 Texas Instruments Incorporated

7.13.6 汎用入出力 (General-Purpose Input/Output)

7.13.6.1 出力タイミングと負荷容量 (C_L) のスイッチング特性

表 7-25 に、出力タイミングのスイッチング特性と負荷容量との関係を示します。

表 7-25. 出力タイミングと負荷容量 (C_L) のスイッチング特性

パラメータ(1) (2)		テスト条件		VIOIN = 1.8V	VIOIN = 3.3V	単位
t_r	最大立ち上がり時間	スルー制御 = 0	C_L = 20pF	2.8	3.0	ns
			C_L = 50pF	6.4	6.9	
			C_L = 75pF	9.4	10.2	
t_f	最大立ち下がり時間		C_L = 20pF	2.8	2.8	ns
			C_L = 50pF	6.4	6.6	
			C_L = 75pF	9.4	9.8	
t_r	最大立ち上がり時間	スルー制御 = 1	C_L = 20pF	3.3	3.3	ns
			C_L = 50pF	6.7	7.2	
			C_L = 75pF	9.6	10.5	
t_f	最大立ち下がり時間		C_L = 20pF	3.1	3.1	ns
			C_L = 50pF	6.6	6.6	
			C_L = 75pF	9.6	9.6	

(1) PADxx_CFG_REG で設定されるスルー制御は、出力ドライバの挙動を変化させます (高速または低速の出力スルーレート)。
(2) 立ち上がり / 立ち下がり時間は、VIOIN 電圧の 10% と 90% の間を信号が遷移するのに要する時間として測定されます。

Copyright © 2025 Texas Instruments Incorporated

7.13.7 CAN-FD (Controller Area Network - Flexible Data-rate)

CAN-FD モジュールは、従来型 CAN と CAN FD (フレキシブル なデータ レートの CAN) の両方の仕様をサポートしています。CAN FD 機能により、データ フレームあたりのスループットが向上し、ペイロードが増加します。従来型 CAN デバイスと CAN FD デバイスは、競合することなく、同じネットワーク上に共存できます。

CAN-FD の主な機能は次のとおりです。

- CAN プロトコル 2.0A、B、ISO 11898-1 に準拠
- 完全な CAN FD のサポート (フレームあたり最大 64 データ バイト)
- AUTOSAR および SAE J1939 をサポート
- 最大 32 個の専用送信バッファ
- 構成可能な送信 FIFO、最大 32 エレメント
- 構成可能な送信キュー、最大 32 エレメント
- 構成可能な送信イベント FIFO、最大 32 エレメント
- 最大 64 個の専用受信バッファ
- 2 つの構成可能な受信 FIFO、それぞれ最大 64 エレメント
- 最大 128 の 11 ビット フィルタ素子
- 自己テスト用内部ループバック モード
- マスク可能割り込み、2 本の割り込みライン
- 2 つのクロック ドメイン (CAN クロック / ホスト クロック)
- パリティ / ECC のサポート - メッセージ RAM のシングル エラー訂正およびダブル エラー検出 (SECDED) 機能
- 全メッセージ メモリ容量 (4352 ワード)。

7.13.7.1 CANx TX および RX ピンの動的特性

パラメータ		最小値	代表値	最大値	単位
$t_{d(CAN_FD_tx)}$	遅延時間、送信シフト レジスタから CAN_FD_tx ピンまで (1)			15	ns
$t_{d(CAN_FD_rx)}$	遅延時間、CAN_FD_rx ピンから受信シフト レジスタまで (1)			15	ns

(1) これらの値には、出力バッファの立ち上がり / 立ち下がり時間は含まれていません。

7.13.8 シリアル通信インターフェイス (SCI)

SCI の特長は次のとおりです。

- 標準的な UART (Universal Asynchronous Receiver-Transmitter) 通信
- 全二重または半二重動作をサポート
- 標準的な NRZ (non-return to zero) 形式
- 互換モードでのダブル バッファ付き受信および送信機能
- 個別に有効化される 2 本の割り込みライン (レベル 0、レベル 1) をサポート
- 以下に基づいて、フレーム形式を 1 文字あたり 3～13 ビットに構成可能:
  - データ ワード (1～8 ビットの範囲でワード長をプログラム可能)
  - アドレス ビット モードでの追加アドレス ビット
  - パリティを 0、1 パリティ ビット、奇数または偶数パリティにプログラム可能
  - ストップを 1 または 2 ストップ ビットにプログラム可能
- CLK ピンを使わない等時間間隔モードまたは同期通信モード
- 2 つのマルチプロセッサ通信フォーマットにより、2 つ以上のデバイスの間の通信が可能
- マルチプロセッサ通信中、スリープ モードを使って CPU リソースを解放した後、着信メッセージを受信するためにウェークアップすることが可能
- ダイレクト メモリ アクセス (DMA) によるデータ送受信可能
- 5 つのエラー フラグと 7 つのステータス フラグにより、SCI イベントに関する詳細情報を提供
- 2 本の外部ピン:RS232_RX、RS232_TX

Copyright © 2025 Texas Instruments Incorporated

- マルチバッファ付き受信および送信ユニット

7.13.8.1 SCI のタイミング要件

		最小値	代表値	最大値	単位
f (ボー)	サポートされているボーレート (20pF)		115.2[1]	1250[2]	k ボー

(1) サポートされている最大標準ボーレート。
(2) サポートされている最大カスタム ボーレート。

7.13.9 I2C (Inter-Integrated Circuit Interface)

I2C (Inter-Integrated Circuit) モジュールは、Philips Semiconductors 社の I2C バス仕様バージョン 2.1 に準拠しかつ I²C-bus™ で接続されたデバイスの間のインターフェイスとして機能するマルチコントローラ通信モジュールです。このモジュールは、すべてのターゲットまたはコントローラ I2C 互換デバイスをサポートしています。

I2C には次の特長があります。

- Philips I2C バス仕様 v2.1 (I2C 仕様、Philips ドキュメント番号 9398 393 40011) に準拠
  - ビット / バイト形式の転送
  - 7 ビットおよび 10 ビットのデバイス アドレッシング モード
  - START バイト
  - マルチコントローラ トランスミッタ / ターゲット レシーバ モード
  - マルチコントローラ レシーバ / ターゲット トランスミッタ モード
  - コントローラ送信 / 受信、受信 / 送信の組み合わせモード
  - 100kbps～最大 400kbps (Phillips ファースト モード) の転送レートをサポート
- フリー データ形式
- 2 つの DMA イベント (送信および受信)
- DMA イベントのイネーブル / ディセーブル機能
- モジュールのイネーブル / ディセーブル機能
- SDA と SCL を汎用 I/O として構成可能 (任意)
- 出力のスルーレート制御
- 出力のオープン ドレイン制御
- 入力のプログラマブル プルアップ / プルダウン機能
- NACK 無視モードをサポート

注

この I2C モジュールは次の機能をサポートしていません。

- High-Speed (HS) モード
- C バス互換モード
- 10 ビット アドレス モードの複合フォーマット (I2C がターゲット アドレスの第 1 バイトを送信するたびに、ターゲット アドレスの第 2 バイトを送信する)

Copyright © 2025 Texas Instruments Incorporated

7.13.9.1 I2C のタイミング要件

		スタンダード モード (1)		ファースト モード		単位
		最小値	最大値	最小値	最大値	
$t_{c(SCL)}$	サイクル時間、SCL	10		2.5		µs
$t_{su(SCLH-SDAL)}$	セットアップ時間、SCL High から SDA Low まで (繰り返しスタート条件の場合)	4.7		0.6		µs
$t_{h(SCLL-SDAL)}$	ホールド時間、SDA Low から SCL Low の間 (スタートおよび繰り返しスタート条件の場合)	4		0.6		µs
$t_{w(SCLL)}$	パルス幅、SCL low	4.7		1.3		µs
$t_{w(SCLH)}$	パルス幅、SCL high	4		0.6		µs
$t_{su(SDA-SCLH)}$	セットアップ時間、SDA 有効から SCL High まで	250		100		ns
$t_{h(SCLL-SDA)}$	ホールド時間、SCL low から SDA 有効の間	0	3.45(1)	0	0.9	µs
$t_{w(SDAH)}$	パルス幅、ストップ条件とスタート条件の間の SDA High の期間	4.7		1.3		µs
$t_{su(SCLH-SDAH)}$	セットアップ時間、SCL High から SDA High まで (ストップ条件の場合)	4		0.6		µs
$t_{w(SP)}$	パルス幅、スパイク (抑制が必要)			0	50	ns
C_b (2) (3)	各バス ラインの容量性負荷		400		400	pF

(1) I2C ピンの SDA および SCL は、フェイルセーフ I/O バッファを備えていません。これらのピンは、デバイスの電源がオフのときに電流を引き出す可能性があります。
(2) I2C バス デバイスの $t_{h(SDA-SCLL)}$ の最大値を満たす必要があるのは、SCL 信号の Low 期間 ($t_{w(SCLL)}$) を本デバイスがストレッチ (延長) しない場合に限られます。
(3) C_b = 1 本のバス ラインの合計容量 (pF 単位)。ファスト モード デバイスと混在する場合、より高速な立ち下がり時間が許容されます。

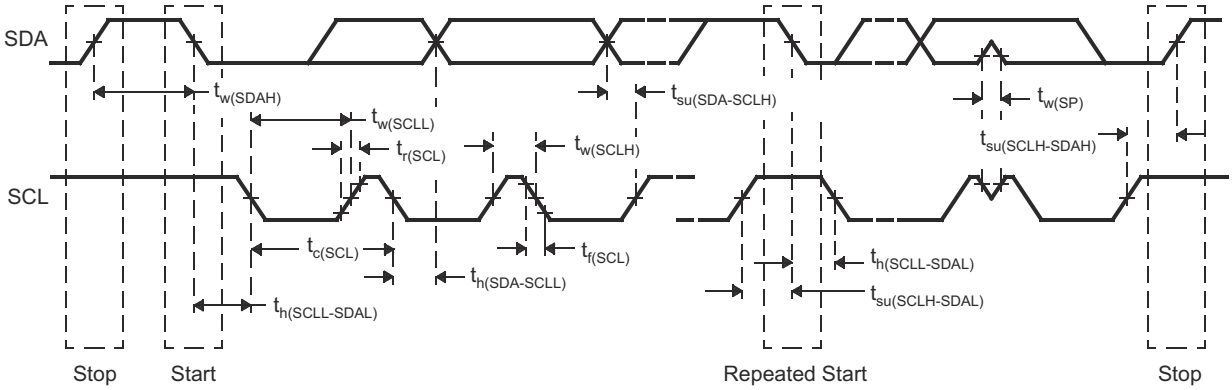


図 7-17. I2C タイミング図

注

- SCL 信号の立ち下がりエッジの未定義領域をブリッジするため、デバイスは SDA 信号のために (SCL 信号の VIHmin を基準として) 300ns 以上のホールド時間を内部的に確保する必要があります。
- $t_{h(SDA-SCLL)}$ の最大値を満たす必要があるのは、SCL 信号の Low 期間 ($t_{w(SCLL)}$) を本デバイスがストレッチ (延長) しない場合に限られます。ファースト モード I2C バス デバイスは、スタンダード モード I2C バス システムでも使えますが、その場合、$t_{su(SDA-SCLH)}$ ≧ 250ns の要件を満たす必要があります。本デバイスが SCL 信号の Low 期間をストレッチしない場合、これは自動的に当てはまります。そのようなデバイスが SCL 信号の Low 期間をストレッチする場合、次のデータ ビットを SDA ラインに tr max + $t_{su(SDA-SCLH)}$ の間出力する必要があります。

Copyright © 2025 Texas Instruments Incorporated

7.13.10 クワッド シリアル ペリフェラル インターフェイス (QSPI)

本クワッド シリアル ペリフェラル インターフェイス (QSPI) モジュールは、外部 SPI デバイスへのシングル、デュアル、クワッドの読み取りアクセスを可能にする SPI モジュールの一種です。このモジュールは、メモリ マップ レジスタ インターフェイスを備えており、外部 SPI デバイスからデータにアクセスするための直接インターフェイスとして機能するため、ソフトウェア要件が簡素化されます。QSPI はコントローラとしてのみ動作します。本デバイス内の QSPI は、クワッド SPI フラッシュ メモリからの高速ブートを主な目的としています。

QSPI は、以下の機能をサポートしています。

- プログラマブルなクロック分周回路
- 6 ピン インターフェイス
- 転送されるワード長をプログラム可能 (1～128 ビット)
- 転送されるワード数をプログラム可能 (1～4096)
- ワードまたはフレーム (ワード数) 完了時の任意の割り込み生成
- チップ セレクトのアクティブ化と出力データの間の遅延をプログラム可能 (0～3 QSPI クロック サイクル)

セクション 7.13.10.2 とセクション 7.13.10.3 は、セクション 7.13.10.1 に記載された動作条件を前提としています。

7.13.10.1 QSPI のタイミング条件

		最小値	代表値	最大値	単位
入力条件					
t_R	入力立ち上がり時間	1		3	ns
t_F	入力立ち下がり時間	1		3	ns
出力条件					
C_{LOAD}	出力負荷容量	2		15	pF

7.13.10.2 QSPI 入力 (読み取り) タイミングのタイミング要件

		最小値 (1) (2)	標準値	最大値	単位
$t_{su(D-SCLK)}$	セットアップ時間、d[3:0] 有効から sclk 立ち下がりエッジまで	5			ns
$t_{h(SCLK-D)}$	ホールド時間、sclk 立ち下がりエッジから d[3:0] 有効の間	1			ns
$t_{su(D-SCLK)}$	セットアップ時間、最後の d[3:0] ビット有効から最後の sclk 立ち下がりエッジまで	5 - P (3)			ns
$t_{h(SCLK-D)}$	ホールド時間、最後の sclk 立ち下がりエッジから最後の d[3:0] ビット有効の間	1 + P (3)			ns

(1) クロック モード 0 (clk 極性 = 0、clk 位相 = 0) が動作モードです。
(2) 従来の立ち上がりクロック エッジとは対照的に、本デバイスはクロック モード 0 の立ち下がりクロック エッジでデータを取り込みます。立ち下がりエッジに基づく本デバイスのセットアップおよびホールド時間タイミングは標準ではありませんが、クロック モード 0 の立ち下がりエッジでデータを出力する標準 SPI デバイスと接続できるように設計されています。
(3) P = SCLK 周期 (ns 単位)。

Copyright © 2025 Texas Instruments Incorporated

7.13.10.3 QSPI スイッチング特性

番号	パラメータ		最小値	代表値	最大値	単位
Q1	$t_{c(SCLK)}$	サイクル時間、sclk	12.5			ns
Q2	$t_{w(SCLKL)}$	パルス幅、sclk Low	Y*P - 3 (1) (2)			ns
Q3	$t_{w(SCLKH)}$	パルス幅、sclk High	Y*P - 3 (1) (2)			ns
Q4	$t_{d(CS-SCLK)}$	遅延時間、sclk 立ち下がりエッジから cs アクティブ エッジまで	–M*P - 1 (2) (3)		–M*P + 2.5 (2) (3)	ns
Q5	$t_{d(SCLK-CS)}$	遅延時間、sclk 立ち下がりエッジから cs 非アクティブ エッジまで	N*P - 1 (2) (3)		N*P + 2.5 (2) (3)	ns
Q6	$t_{d(SCLK-D1)}$	遅延時間、sclk 立ち下がりエッジから d[1] 遷移まで	-2		4	ns
Q7	$t_{ena(CS-D1LZ)}$	イネーブル時間、cs アクティブ エッジから d[1] 駆動 (ロー インピーダンス) まで	-P - 4 (2)		-P + 1 (2)	ns
Q8	$t_{dis(CS-D1Z)}$	ディセーブル時間、cs アクティブ エッジから d[1] トライステート (ハイ インピーダンス) まで	-P - 4 (2)		-P + 1 (2)	ns
Q9	$t_{d(SCLK-D1)}$	遅延時間、最初の sclk 立ち下がりエッジから最初の d[1] 遷移まで (PHA = 0 の場合のみ)	-2 - P (2)		4 - P (2)	ns
Q12	$t_{su(D-SCLK)}$	セットアップ時間、d[3:0] 有効から sclk 立ち下がりエッジまで	5			ns
Q13	$t_{h(SCLK-D)}$	ホールド時間、sclk 立ち下がりエッジから d[3:0] 有効の間	1			ns
Q14	$t_{su(D-SCLK)}$	セットアップ時間、最後の d[3:0] ビット有効から最後の sclk 立ち下がりエッジまで	5 - P (2)			ns
Q15	$t_{h(SCLK-D)}$	ホールド時間、最後の sclk 立ち下がりエッジから最後の d[3:0] ビット有効の間	1 + P (2)			ns

(1) Y パラメータは、次のように定義されます。DCLK_DIV が 0 または奇数の場合、Y = 0.5 です。DCLK_DIV が偶数の場合、Y = (DCLK_DIV/2)/(DCLK_DIV+1) です。最高の性能を得るため、0 または偶数の DCLK_DIV を使い、デューティ サイクルの歪みを最小化することを推奨します。クロック分周係数 DCLK_DIV の詳細については、デバイス固有のテクニカル リファレンス マニュアルを参照してください。
(2) P = SCLK 周期 (ns 単位)。
(3) M = QSPI_SPI_DC_REG.DDx + 1、N = 2

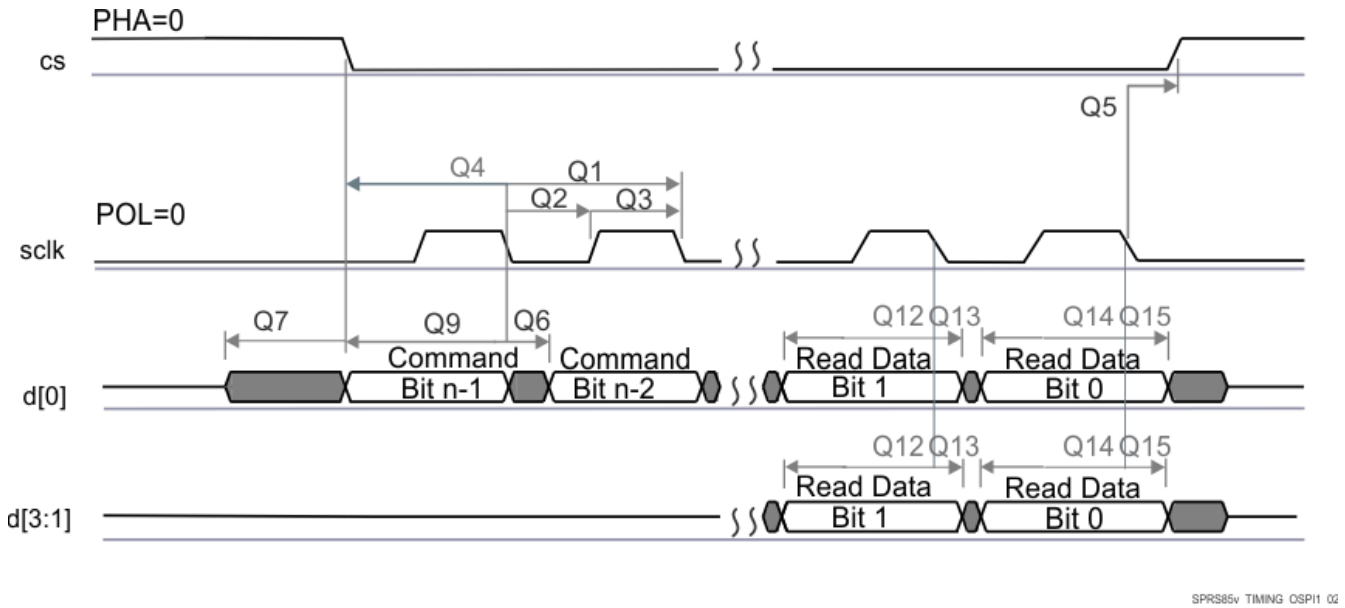


図 7-18. QSPI 読み出し (クロック モード 0)

Copyright © 2025 Texas Instruments Incorporated

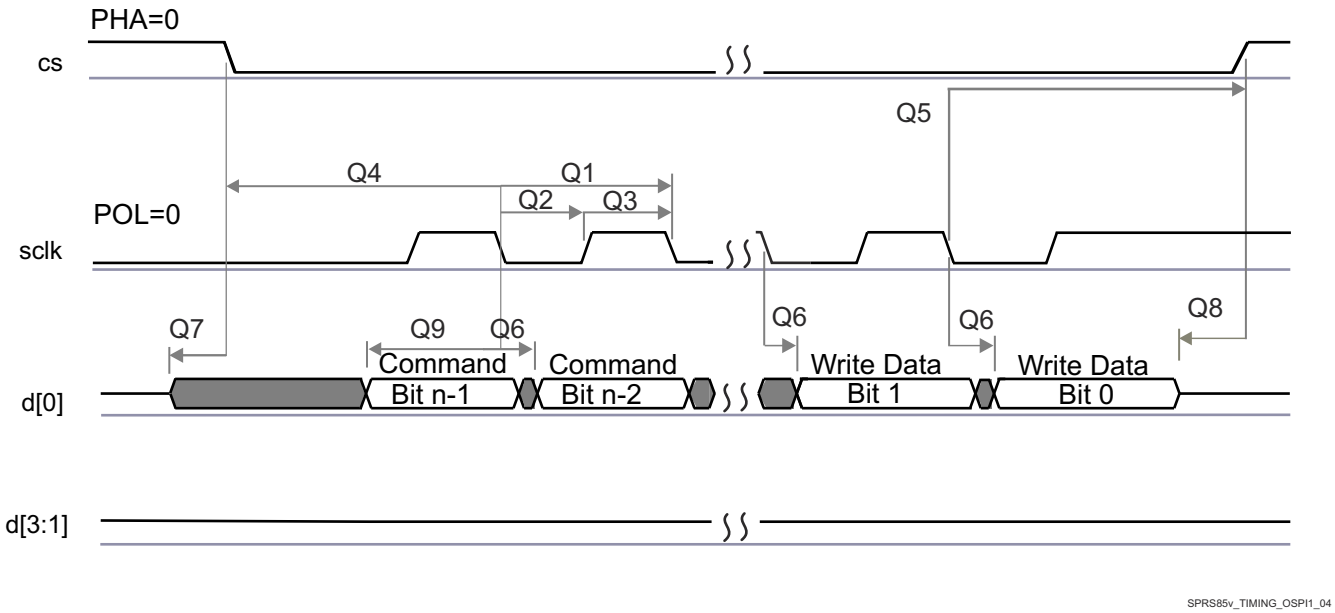


図 7-19. QSPI 書き込み (クロック モード 0)

7.13.11 JTAG インターフェイス

セクション 7.13.11.2 とセクション 7.13.11.3 は、セクション 7.13.11.1 に記載された動作条件を前提としています。

7.13.11.1 JTAG のタイミング条件

		最小値	代表値	最大値	単位
入力条件					
t_R	入力立ち上がり時間	1		3	ns
t_F	入力立ち下がり時間	1		3	ns
出力条件					
C_{LOAD}	出力負荷容量	2		15	pF

7.13.11.2 IEEE 1149.1 JTAG のタイミング要件

番号			最小値	代表値	最大値	単位
1	$t_{c(TCK)}$	サイクル時間 TCK	66.66			ns
1a	$t_{w(TCKH)}$	パルス幅、TCK High (tc の 40%)	20			ns
1b	$t_{w(TCKL)}$	パルス幅、TCK Low (tc の 40%)	20			ns
3	$t_{su(TDI-TCK)}$	入力セットアップ時間、TDI 有効から TCK High まで	2.5			ns
	$t_{su(TMS-TCK)}$	入力セットアップ時間、TMS 有効から TCK High まで	2.5			ns
4	$t_{h(TCK-TDI)}$	入力ホールド時間、TCK High から TDI 有効の間	18			ns
	$t_{h(TCK-TMS)}$	入力ホールド時間、TCK High から TMS 有効の間	18			ns

7.13.11.3 IEEE 1149.1 JTAG の推奨動作条件に対するスイッチング特性

番号	パラメータ		最小値	代表値	最大値	単位
2	$t_{d(TCKL-TDOV)}$	遅延時間、TCK LOW から TDO 有効まで	0		15	ns

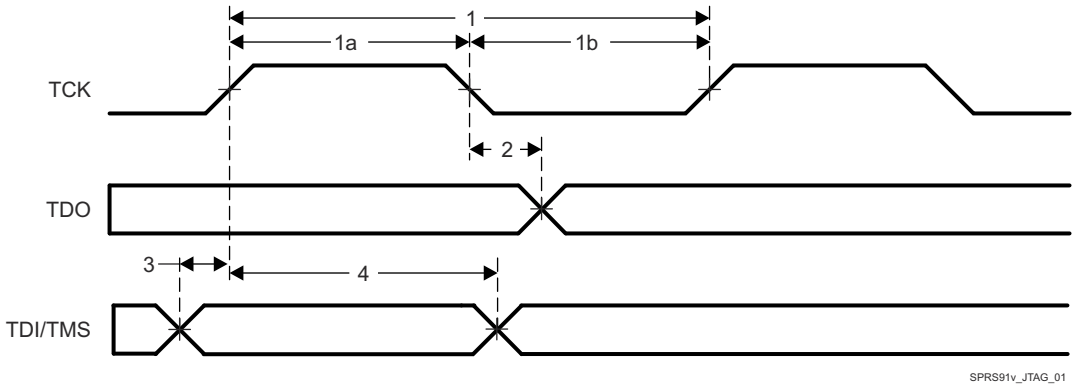


図 7-20. JTAG のタイミング

Copyright © 2025 Texas Instruments Incorporated

8 詳細説明

8.1 概要

IWRL6432 デバイスは、ミリ波フロント エンド、ユーザーがプログラム可能な MCU、2 つのトランスミッタと 3 つのレシーバのためのアナログ ベースバンド シグナル チェーンを内蔵した完結型 SOC です。このデバイスは、メモリ、処理能力、アプリケーション コード サイズを重視する使用事例において、オンチップ レーダーとして使用できます。使用事例には、コスト効率の優れた産業用レーダー センシング アプリケーションが含まれます。例:

- 産業用センシング
- レーダーによる産業用オートメーション センサ フュージョン
- レーダーによる交差点の監視
- 産業用レーダー近接監視
- 人数計測
- ジェスチャ

拡張性の観点から見ると、IWRL6432 デバイスは、より大きいアプリケーション ソフトウェア フットプリントのための追加のメモリと、より速いインターフェイスとを必要とする場合があるより複雑なアプリケーションに対応するため、外付けのローエンド MCU と組み合わせて使用できます。

8.2 機能ブロック図

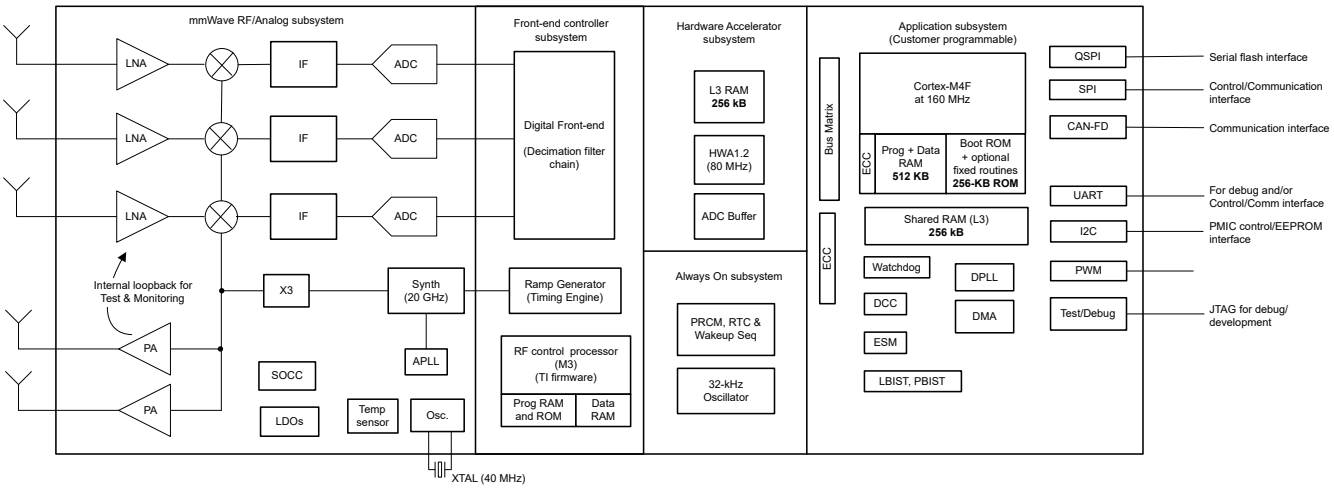


図 8-1. 機能ブロック図

8.3 サブシステム

8.3.1 RF およびアナログ サブシステム

RF / アナログ サブシステムには RF 回路とアナログ回路 (つまり、シンセサイザ、PA、LNA、ミキサ、IF、ADC) が含まれます。このサブシステムには水晶発振器と温度センサも含まれます。2 つの TX は、BPM モードではビーム フォーミング用に同時に動作させることができ、または TDM モードでは個別に動作させることができます。同様に、本デバイスでは、アプリケーションと電力の要件に基づいて受信チャネル数を構成できます。システムの消費電力を節約するため、RF およびアナログ サブシステムを低消費電力モード構成に設定できます。

8.3.2 クロック サブシステム

xWRL6432 のクロック サブシステムは、水晶振動子からの入力リファレンスから 57～63.9GHz を生成します。このサブシステムは、発振器回路と、それに続くクリーンアップ PLL および RF シンセサイザ回路を内蔵しています。次に、RF シンセサイザの出力は X3 逓倍器で処理され、57～63.9GHz の範囲の必要な周波数を生成します。RF シンセサイザの出力は、効果的なセンサ動作に必要な波形を生成するため、タイミング エンジン ブロックによって変調されます。

システムのウェークアップ後、クリーンアップ PLL はホスト プロセッサにも基準クロックを提供します。

クロック サブシステムには、水晶振動子の存在を検出し、生成されたクロックの品質を監視するための機能も内蔵されています。

図 8-2 に、クロック サブシステムを示します。

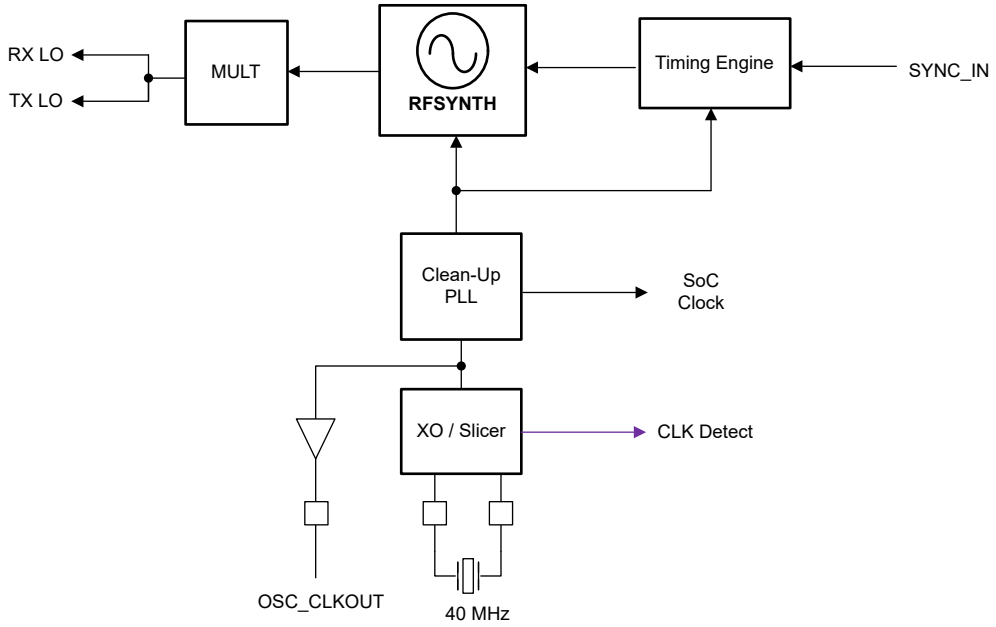


図 8-2. クロック サブシステム

Copyright © 2025 Texas Instruments Incorporated

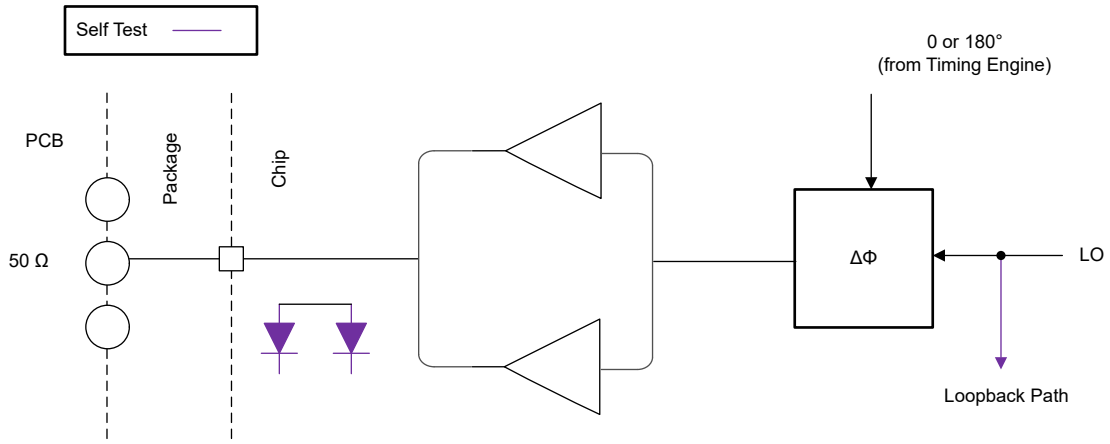
8.3.3 送信サブシステム

xWRL6432 の送信サブシステムは 2 つの並列送信チェーンで構成され、それぞれが独立して位相および振幅制御を行います。本デバイスは MIMO レーダーのためのバイナリ位相変調をサポートしています。

送信チェーンは、システムを最適化するためのプログラム可能なバックオフもサポートしています。

図 8-3 に、送信サブシステムを示します。

図 8-3. 送信サブシステム (チャネルごと)



8.3.4 受信サブシステム

図 8-4 に、受信サブシステムを示します。

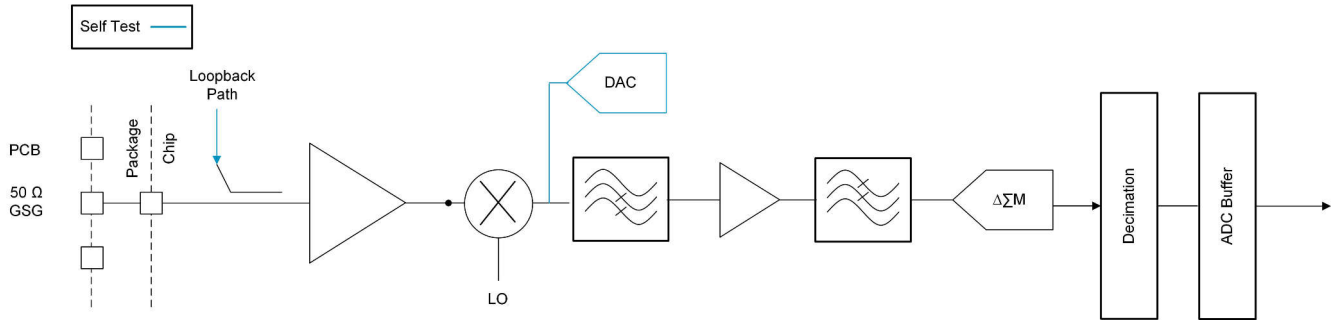


図 8-4. 受信サブシステム (チャネルごと)

8.3.5 プロセッサ サブシステム

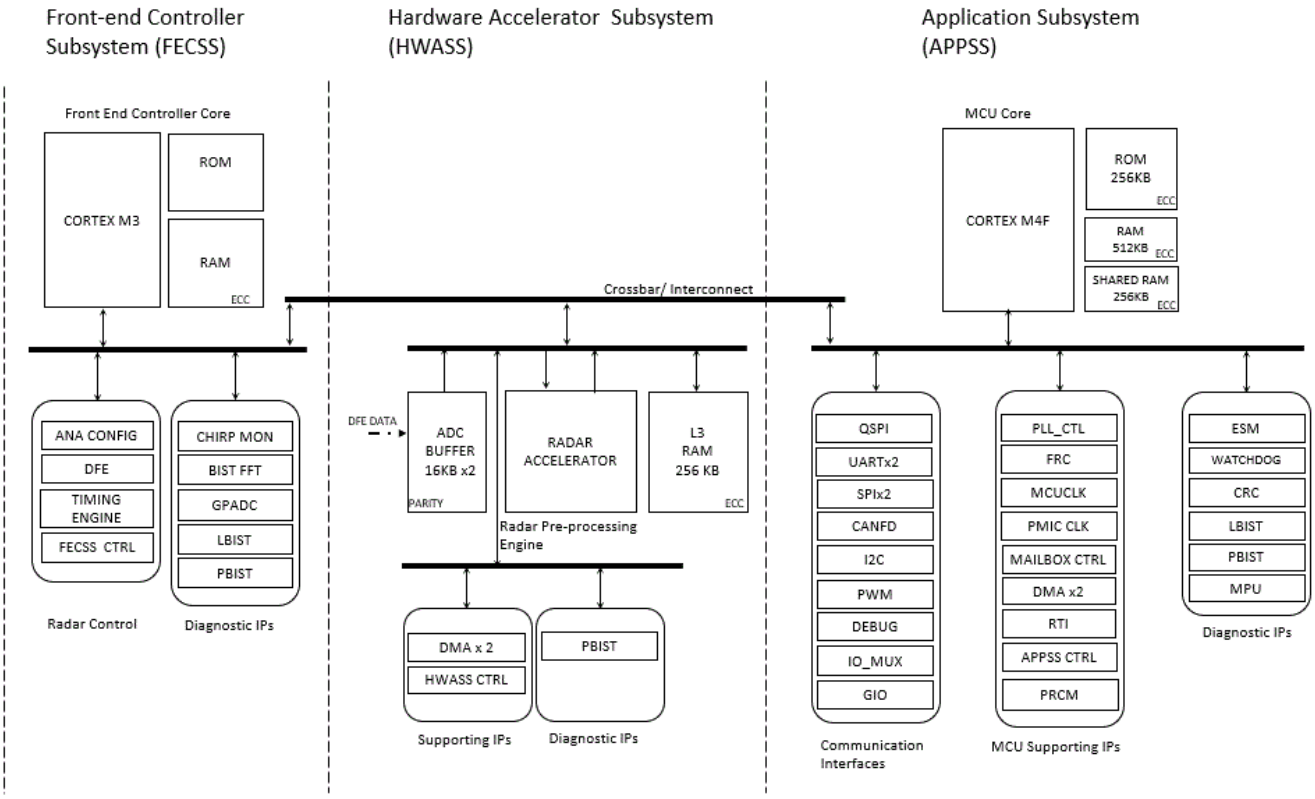


図 8-5. プロセッサ サブシステム

図 8-5 に、デバイスのカスタマー プログラマブル プロセッサ サブシステムのブロック図を示します。概念的には、2 つのカスタマー プログラマブル プロセッサ サブシステムが存在し、図に示すように点線で区切られています。左側に、HWA、高性能高帯域幅 (64 ビット、80MHz) インターコネクト、関連ペリフェラルのデータ転送を示します。測定データ出力用の RDIF インターフェイス、L3 レーダー データ キューブ メモリ、ADC バッファ、CRC エンジン、データ ハンドシェイク メモリ (インターコネクト上に搭載された追加メモリ)。

この図の右側に、メイン サブシステムを示します。メイン サブシステムは、本デバイスの頭脳であり、本デバイスのすべてのペリフェラルとハウスキーピング動作を制御します。メイン サブシステムには、Cortex-M4F プロセッサと関連ペリフェラルおよびハウスキーピング コンポーネント (例 : DMA、CRC、PCR (ペリフェラル セントラル リソース) インターコネクトを介してメイン インターコネクトに接続されたペリフェラル (I^{2}C、UART、SPI、CAN、PMIC クロック モジュール、PWM など)) が含まれます。

Copyright © 2025 Texas Instruments Incorporated

8.3.6 ホスト インターフェイス

ホスト インターフェイスは、SPI、UART、CAN-FD インターフェイスを介して提供できます。産業用アプリケーション向けシリアル インターフェイスは、別のシリアル規格にコード変換される場合があります。

IWRL6432 デバイスは、以下のメイン インターフェイスを介してホスト レーダー プロセッサと通信します。

- 基準クロック – デバイス ウェークアップ後にホスト プロセッサ用に使用できる基準クロック
- 制御 – ホスト制御用の 4 ポート標準 SPI (ペリフェラル)。すべての無線制御コマンド (および応答) は、このインターフェイスを通ります。
- リセット – ホストからのデバイス ウェークアップのためのアクティブ Low のリセット。
- ホスト割り込み - ミリ波センサがホスト インターフェイスを必要としていることを示します。
- エラー – 無線コントローラがフォルトを検出した際にホストに通知するために使用されます。

8.3.7 アプリケーション サブシステム Cortex-M4F

メイン システムには、最大 160MHz のクロック周波数で動作する Arm Cortex M4F プロセッサが含まれます。このプロセッサで実行されるユーザー アプリケーションは、明確に定義された API メッセージによるレーダー制御、(レーダー ハードウェア アクセラレータで支援された) レーダー信号処理、外部インターフェイス用ペリフェラルを含む、本デバイス全体の動作を制御します。

詳細な説明とメモリ マップについては、テクニカル リファレンス マニュアルを参照してください。

8.3.8 ハードウェア アクセラレータ (HWA1.2) の特長

- 高速 FFT の計算は、サイズがプログラマブル (2^N) で、最大 1024 ポイントの複素 FFT
- 24 ビットの内部 FFT ビット幅 (I と Q のそれぞれ) により、優れた信号対量子化雑音比 (SQNR) 性能を実現
- radix-2 の段ごとに完全にプログラマブルなバタフライ スケーリングにより、ユーザーのフレキシビリティを向上
- FFT 前処理機能を内蔵 – 例:DC の推定と減算
- DC の推定 & 減算、干渉の推定 & ゼロ設定、実数ウィンドウ、複素前方乗算
- 振幅 (絶対値) と対数振幅の計算
- フレキシブルなデータ フローとデータ サンプルの調整機能により、効率的な多次元 FFT 演算と転置アクセス
- メイン プロセッサからの干渉を最小限に抑えながら一連の演算を 1 つずつ実行するチェーン化およびループ化機能
- ピーク検出 – CFAR (CFAR-CA、CFAR-OS) 検出器
- Sum と 1D Max を含む基本的な統計値
- レーダー キューブ メモリを最適化するための圧縮エンジン

Copyright © 2025 Texas Instruments Incorporated

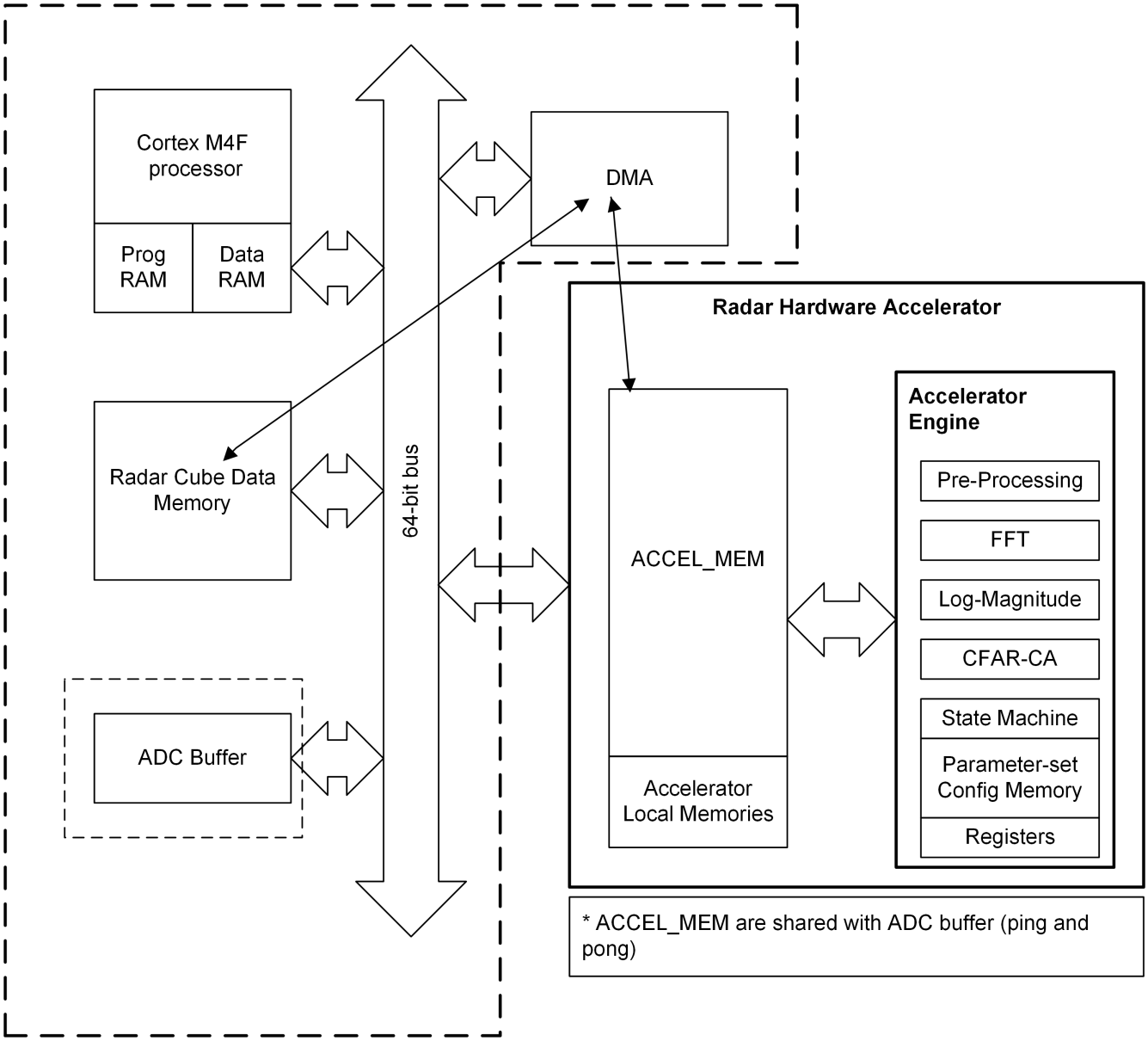


図 8-6. HWA 1.2 の機能ブロック図

8.3.8.1 ハードウェア アクセラレータ機能 HWA1.1 と HWA1.2 の違い

特長		HWA1.0、HWA1.1 (xWR1843、xWR6843)	HWA1.2 (xWRL6432、xWRL1432)
FFT 機能	FFT サイズ	1024、512、256、...	1024、512、256、...
	内部ビット幅	24 ビット I、24 ビット Q	24 ビット I、24 ビット Q
		バタフライ スケーリングを各段で設定可能	バタフライ スケーリングを各段で設定可能
	FFT スティッチング	最大 4096 ポイント	最大 4096 ポイント
4 つの 256 ポイント FFT に関する FFT ベンチマーク		1312 クロック サイクル (200MHz で 6.56µs)	1320 クロック サイクル (80 MHz で 16.5 µs)
パラメータ セットの数		16	32
ローカル メモリ		64KB	64KB

Copyright © 2025 Texas Instruments Incorporated

特長	HWA1.0、HWA1.1 (xWR1843、xWR6843)	HWA1.2 (xWRL6432、xWRL1432)
入力および出力フォーマッタ	• ローカル メモリの A および B dim アドレッシング • スケーリングをプログラム可能	• ローカル メモリの A および B dim アドレッシング • スケーリングをプログラム可能
FFT 前処理	• 振幅に基づく固定スレッショルドによる干渉の初期化 (ゼロ設定) • 複素乗算 (7 モード) • 実数ウィンドウ係数	• DC の推定と減算 • mag、mag-diff に基づく適応型統計学による干渉の初期化。干渉カウント表示。 • 複素乗算 (7 モード) • 実数ウィンドウ係数
FFT 後処理	対数振幅 (0.3dB 精度)	対数振幅 (0.06dB 精度)
圧縮と解凍のサポート	HWA1.0 (xWR1843) では使用不可。HWA1.1 (xWR6843) で使用可能。	使用可能
検出	CFAR-CA (線形および対数モード)	• CFAR-CA (線形および対数モード) • CFAR-OS (各側で最大 32 のウィンドウ サイズ)
統計値	1D Sum、1D Max	1D Sum、1D Max

8.4 その他のサブシステム

8.4.1 ユーザー アプリケーション向け GPADC チャネル (サービス)

IWRL6432 デバイスは、ユーザー アプリケーションのための ADC サービス機能を備えており、本デバイスが内蔵する GPADC エンジンを使って 2 つまでの外部電圧を測定できます。GPADC1 および GPADC2 ピンは、このために使われます。

- GPADC 自体は、FEC サブシステム内で動作するテキサス・インスツルメンツ製ファームウェアによって制御され、ユーザーが外部電圧を監視するための GPADC アクセスは、FEC サブシステムに転送される「APPSS」コールによって行われます。この API は、APPSS Cortex M4F® で動作しているユーザー アプリケーションとリンクさせることができます。
- デバイス ファームウェア パッケージ (DFP) には、これらの信号を構成および測定するための API が含まれています。この API を使用すると、セトリング時間 (スキップする ADC サンプル数) と取得する連続サンプル数を設定できます。フレームの最後に、監視対象の各電圧について、測定値の最小値、最大値、平均値が報告されます。

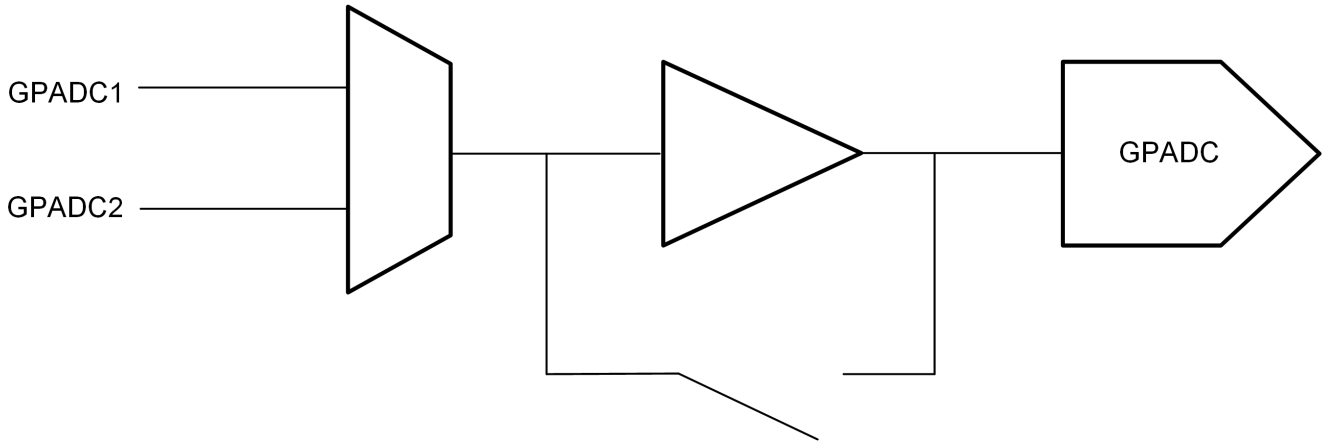


図 8-7. GPADC パス

Copyright © 2025 Texas Instruments Incorporated

GPADC 構造は、内部温度センサの出力を測定するために使われます。これらの測定の精度は ±7℃です。

8.4.2 GPADC のパラメータ

パラメータ	標準値	単位
ADC 電源	1.8	V
ADC の入力電圧範囲 (バッファなし)	0 – 1.8	V
ADC の入力電圧範囲 (バッファ付き) (1)	0.4 – 1.3	V
ADC の分解能	8	ビット
ADC のオフセット誤差	±5	LSB
ADC のゲイン誤差	±5	LSB
ADC の DNL	-1/+2.5	LSB
ADC の INL	±2.5	LSB
ADC のサンプリング レート (2)	831	kSPS
ADC のサンプリング時間 (2)	300	ns
ADC の内部コンデンサ	10	pF
ADC の入力静電容量	2	pF
ADC の入力リーク電流	3	µA

(1) 規定の範囲を外れると、バッファ出力は非線形になります。
(2) GPADC 自体は、BIST サブシステム内で動作するテキサス・インスツルメンツ製ファームウェアによって制御されます。詳細については、API コールを参照してください。

8.5 メモリ パーティションの選択

IWRL6432 デバイスは合計 1MB のメモリを持っています。L3 メモリは 2 つのメモリ バンクを備えており、レーダー キューブ メモリまたは Cortex-M4F RAM に関連付けることができます。

表 8-1. メモリ パーティションの選択

		構成 1	構成 2	構成 3
レーダー データ メモリ * (L3)	データ キューブ、検出マトリクス、ヒートマップを含みます。	256KB	384kB	512KB
アプリケーション (M4F プログラム + データ)	ドライバ、mmWavelink、BIOS を含みます。	768KB	640KB	512KB
メモリの合計		1024KB	1024KB	1024KB

RAM 全体が保持されます。また、各メモリ クラスタを個別にターンオフできます (必要な場合)。クラスタは以下のように定義されます。

表 8-2. メモリ保持の選択

RAM_1			RAM_2		RAM_3	共有	HWA
256KB			128KB		128KB	256KB	256KB
バンク #1 (1)			バンク #2		バンク #3		
クラスタ #1	クラスタ #3	クラスタ #4	クラスタ #2	クラスタ #5		クラスタ #6	
64kB	64KB	128KB	16KB	112KB	128KB	256KB	256KB

(1) 保持メモリはパワー スイッチを持っています。これらのバンクはメモリ構成を表しています。

Copyright © 2025 Texas Instruments Incorporated

8.6 ブート モード

デバイス リセットがデアサートされるとすぐに、APPSS のプロセッサはオンチップ ROM メモリからブートローダの実行を開始します。

ブートローダは 3 つの基本モードで動作し、これらのモードは、「センス オン パワー」(SOP) ピンと呼ばれるピンを設定することで、ユーザー ハードウェア (プリント基板) 上で指定されます。デバイス境界上のこれらのピンはブートローダ ファームウェアによってスキャンされ、ブートローダ動作モードが選択されます。

表 8-3 に、関連する SOP の組み合わせと、それらがブートローダの動作にどのように割り当てられるかを列挙します。

表 8-3. SOP の組み合わせ

SOP1	SOP0	ブートローダのモードと動作
0	0	**フラッシュ モード** ユーザー アプリケーション (またはテキサス・インスツルメンツが提供したデバイス ファームウェア パッチ) をシリアル フラッシュに書き込めるように、デバイス ブートローダはループで実行します。
0	1	**機能モード** デバイス ブートローダは、QSPI シリアル フラッシュから内部 RAM にユーザー アプリケーションを読み込み、制御をそのユーザー アプリケーションに切り替えます。
1	1	**デバッグ モード** ブートローダはバイパスされ、M4F プロセッサは停止します。これにより、ユーザーはエミュレータを既知のポイントに接続できます。

Copyright © 2025 Texas Instruments Incorporated

9 監視と診断

監視と機能安全の実装の詳細については、テクニカル リファレンス マニュアルを参照してください。

低消費電力ミリ波 SDK (MMWAVE-L-SDK) のミリ波デモに、監視 DFP API の使い方を示します。詳細については、MMWAVE-L-SDK と DFP インターフェイス制御ドキュメント (ICD) のデモ資料をご覧ください。

すべての診断機能の適用可能性の詳細については、デバイス安全性マニュアルまたはその他の関連資料を参照してください。

Copyright © 2025 Texas Instruments Incorporated

10 アプリケーション、実装、およびレイアウト

注

以下のアプリケーションに関するセクションの情報は、テキサス・インスツルメンツの部品仕様の一部ではなく、テキサス・インスツルメンツはこれらの情報の正確性や完全性を保証しません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 アプリケーション情報

アプリケーション情報については、IWR アプリケーション Web ページを参照してください。

10.2 リファレンス回路図

最新のハードウェア設計情報については、「設計キット」(通常、「設計および開発」にあります) の配下の本デバイスの製品ページを確認してください。

ご参考までに、設計ファイル、回路図、レイアウト、PCB スタック アップを以下に示します。

- Altium IWRL6432 EVM 設計ファイル
- IWRL6432 EVM の回路図、組立図、部品表

Copyright © 2025 Texas Instruments Incorporated

11 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。ツールおよびソフトウェアは、デバイスの性能評価や、コードの生成に使用され、それに従ってソリューションの開発が行われます。

11.1 デバイスの命名規則

製品開発サイクルの段階を示すために、TI ではマイクロプロセッサ (MPU) とサポート ツールのすべての型番に接頭辞が割り当てられています。各デバイスには次の 3 つのいずれかの接頭辞があります:X、P、空白 (接頭辞なし) (たとえば、*IWRL6432*)。テキサス・インスツルメンツでは、サポート ツールについては、使用可能な 3 つの接頭辞のうち TMDX および TMDS の 2 つを推奨しています。これらの接頭辞は、製品開発の進展段階を表します。段階には、エンジニアリング プロトタイプ(TMDX)から、完全認定済みの量産デバイス/ツール(TMDS)まであります。

デバイスの開発進展フロー:

X 実験的デバイス。最終デバイスの電気的特性を必ずしも表さず、量産アセンブリ フローを使用しない可能性があります。

P プロトタイプ デバイス。最終的なシリコン ダイとは限らず、最終的な電気的特性を満たさない可能性があります。

空白 認定済みのシリコン ダイの量産バージョン。

サポート ツールの開発進展フロー:

TMDX 開発サポート製品。テキサス・インスツルメンツの社内認定試験はまだ完了していません。

TMDS 完全に認定済みの開発サポート製品です。

X および P デバイスと TMDX 開発サポート ツールは、以下の免責事項の下で出荷されます。

「開発中の製品は、社内での評価用です。」

量産デバイスおよび TMDS 開発サポート ツールの特性は完全に明確化されており、デバイスの品質と信頼性が十分に示されています。テキサス・インスツルメンツの標準保証が適用されます。

プロトタイプ デバイス(X または P)の方が標準的な量産デバイスに比べて故障率が大きいと予測されます。これらのデバイスは予測される最終使用時の故障率が未定義であるため、テキサス・インスツルメンツではそれらのデバイスを量産システムで使用しないよう推奨しています。認定済みの量産デバイスのみを使用する必要があります。

TI デバイスの項目表記には、デバイス ファミリ名の接尾辞も含まれます。この接尾辞は、パッケージのタイプ (例:AMF0102A) と温度範囲を表しています (たとえば、空白はデフォルトの民生用温度範囲を示します)。図 11-1 に、任意の *IWRL6432* デバイスについて、完全なデバイス名を読み取るための凡例を示します。

AMF0102A パッケージ タイプの *IWRL6432* デバイスの注文可能な型番については、(利用可能な場合) このドキュメントにある「パッケージ オプションの付録」やテキサス・インスツルメンツの Web サイト (www.ti.com) を参照するか、テキサス・インスツルメンツの販売代理店にお問い合わせください。

ダイに対するデバイス命名規則マーキングの詳細説明については、『IWRL6432 デバイス エラッタ』を参照してください。

Copyright © 2025 Texas Instruments Incorporated

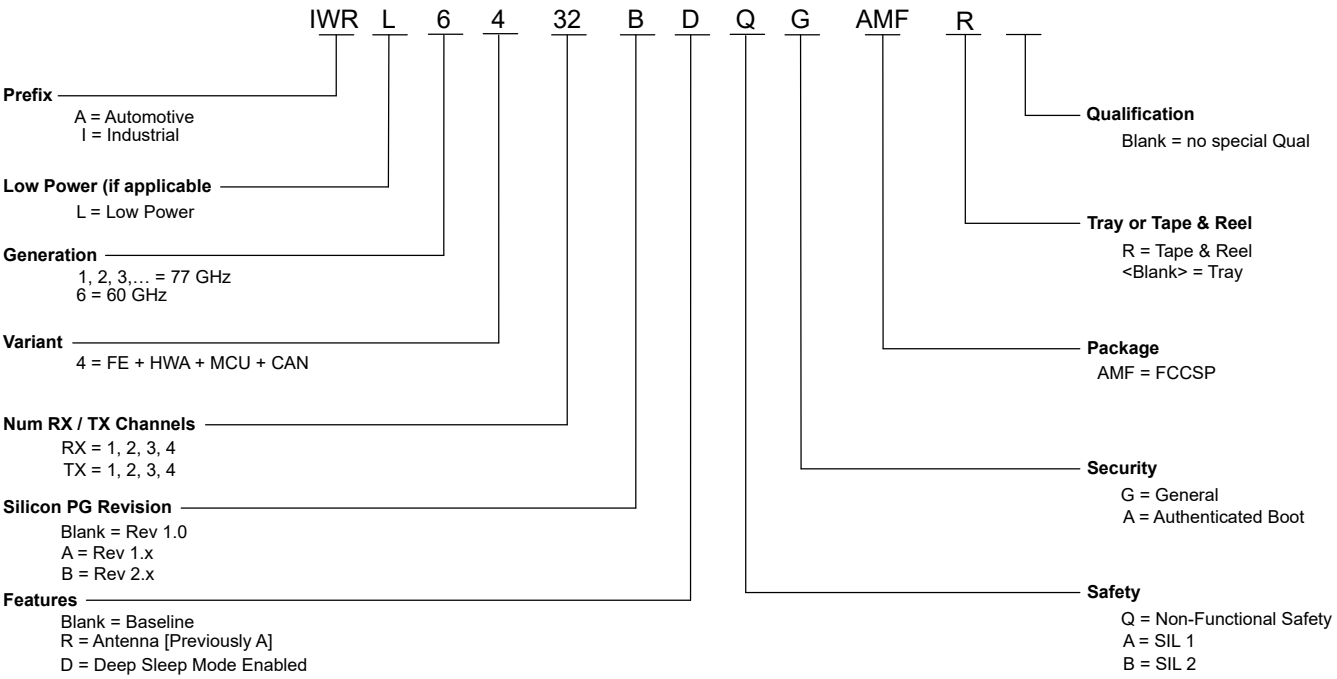


図 11-1. デバイスの命名規則

11.2 ツールとソフトウェア

モデル

IWRL6432 BSDL モデル

個別デバイスの IEEE 1149.1 でテスト可能な入力および出力ピンのバウンダリ スキャン データベース。

IWRL6432 IBIS モデル

デバイスの IO バッファの IO バッファ情報モデル。基板上でのシミュレーションについては、IBIS Open Forum を参照してください。

11.3 ドキュメントのサポート

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

ペリフェラルに関する最新ドキュメントとその他の技術資料を以下に示します。

エラッタ

- IWRL6432 デバイス正誤表

  シリコンに関する既知の勧告、制限、注意事項を説明し、回避策を示しています。

11.4 サポート リソース

テキサス・インスツルメンツ E2E™ サポート フォーラムは、エンジニアが検証済みの回答と設計に関する支援をエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

Copyright © 2025 Texas Instruments Incorporated

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらは テキサス・インスツルメンツの仕様を構成するものではなく、必ずしも テキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

11.5 商標

E2E™ is a trademark of Texas Instruments.
Arm® and M4F® are registered trademarks of Arm Limited.
すべての商標は、それぞれの所有者に帰属します。

11.6 静電放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.7 用語集

テキサス・インスツルメンツ用語集	この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

Changes from MARCH 8, 2024 to MARCH 30, 2025 (from Revision A (March 2024) to Revision B (March 2025)) — **Page**

- (特長):機能安全準拠を更新 1

Changes from DECEMBER 31, 2022 to MARCH 8, 2024 (from Revision * (December 2022) to Revision A (March 2024)) — **Page**

- (特長):レンジ仕様から「短距離」を削除 1
- (特長):ノイズ指数を「12.5dB」から「11dB」に更新 1
- (特長):パッケージの説明に「BGA ボール」を追加しました。 1
- (アプリケーション):新しいアプリケーションを追加 2
- (概要):動作周波数範囲を 57～63.9GHz に更新 2
- (パッケージ情報):新しい量産部品番号を追加 2
- (パッケージ情報):量産開始前の部品番号を削除 2
- (ブロック図):機能ブロック図を更新 3
- (デバイスの機能の比較):xWRL1432 を追加 5
- (デバイスの機能の比較):xWR1843AOP を追加 5
- (デバイスの機能の比較):「準拠予定」デバイスの注釈追加済み 5
- (デバイスの機能の比較):量産ステータスを AI から PD に変更 5
- (関連製品):リファレンス デザインのリンクを更新。 7
- (信号の説明):VSSA にボール F5 を追加 8
- (クロック信号の説明):RTC_CLK_IN の概要は追加されました。 9
- (絶対最大定格):VPP の絶対最大定格を追加 17
- (VPP 仕様):VPP 仕様を記載した新しいセクションを追加 18
- (電源仕様):IO を更新 20
- (消費電力が最適化された 3.3V I/O トポロジ):VNWA 電源を追加。 20

Copyright © 2025 Texas Instruments Incorporated

- (BOM が最適化された 3.3V I/O トポロジ): VNWA IO を追加 20
- (BOM が最適化された 1.8V I/O トポロジ): VNWA IO を追加 20
- (システム トポロジ): 2 つのシステム トポロジのそれぞれについて「概要」を追加しました。 21
- (電源トポロジ): 2 つの電源トポロジに関する詳細情報によって「概要」を更新。 21
- (BOM 最適化トポロジのための内部 LDO 出力デカップリング コンデンサおよびレイアウト条件): デカップリング コンデンサの値と出力パス寄生素子の値の範囲に言及した新しいセクションを追加。 22
- (ノイズおよびリップルの仕様): 1.8V のノイズとリップルの仕様の注を追加 25
- (標準消費電力の値): 「3.3V IO モードの消費電力の推定値」表 - 消費電力最適化および BOM 最適化モードの消費電力を更新。 26
- (標準消費電力の値): 「1.8V IO モードの消費電力の推定値」表 - 消費電力最適化および BOM 最適化モードの消費電力を更新。 26
- (標準消費電力の値): 表の脚注を削除。 26
- (標準消費電力の値): 概要のデバイス条件と周囲温度を更新。 26
- (標準消費電力の値): 「3.3V 消費電力最適化トポロジの使用事例の消費電力」表 - 消費電力の平均値を 2.52mW から 1.2mW に更新 26
- (電圧レールごとのピーク電流要件): 消費電力に関して最適化された 1.8V IO の、1.8V レールによって駆動される全ノードが消費する最大電流を 270mA から 360mA に変更されました。 27
- (RF 仕様): ノイズ指数を「12.5dB」から「11dB」に更新 28
- (RF 仕様): 周波数範囲を 57～63.9GHz に更新 28
- (RF 仕様): レシーバとトランスミッタの S11 を追加 28
- (RF 仕様): ノイズ指数、帯域内 P1dB とレシーバ ゲインとの関係のグラフを更新 28
- (サポート対象 DFE 機能): サポートしている ADC サンプリング レートを更新 29
- (サポート対象 DFE 機能): ローパス フィルタの箇条書き項目の順序を変更 29
- (サポート対象 DFE 機能): タイミング エンジンの段落を更新 29
- (サポート対象 DFE 機能): タイミング エンジンがサポートしているチャープ プロファイルの図を更新 29
- (電源シーケンス): 1.2V、1.8V、VIOIN の電源投入を同期。 30
- (電源シーケンス): SOP1 シーケンスを更新 30
- (クロック仕様): 「外部クロック モード仕様」表 - DCV の単位を訂正 32
- (RDIF インターフェイスの構成): サポートしているデータ レートから 100Mbps を削除。 41
- (SCI のタイミング要件): サポートされているボーレートを追加 45
- (ブロック図): 機能ブロック図を更新 51
- (クロック サブシステム): 図を更新。 52
- (クロック サブシステム): 概要から「77～81GHz のスペクトル」を削除。 52
- (クロック サブシステム): 動作周波数範囲を更新 52
- (送信サブシステム): 送信サブシステムの図を更新 53
- (アプリケーション サブシステム): セクション名をメイン サブシステムからアプリケーション サブシステムに変更 55
- (GPADC チャネル): APPSS Cortex M4F® を追加。 57
- (監視と診断): セクション追加済み 60
- (アプリケーション情報): リンクを更新 61
- (デバイスの命名規則): パッケージ タイプ更新済み 62
- (デバイスの命名規則): 量産部品番号を反映する更新済み 62

Copyright © 2025 Texas Instruments Incorporated

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データ シートのブラウザ版を使用されている場合は、画面左側のナビゲーションをご覧ください。

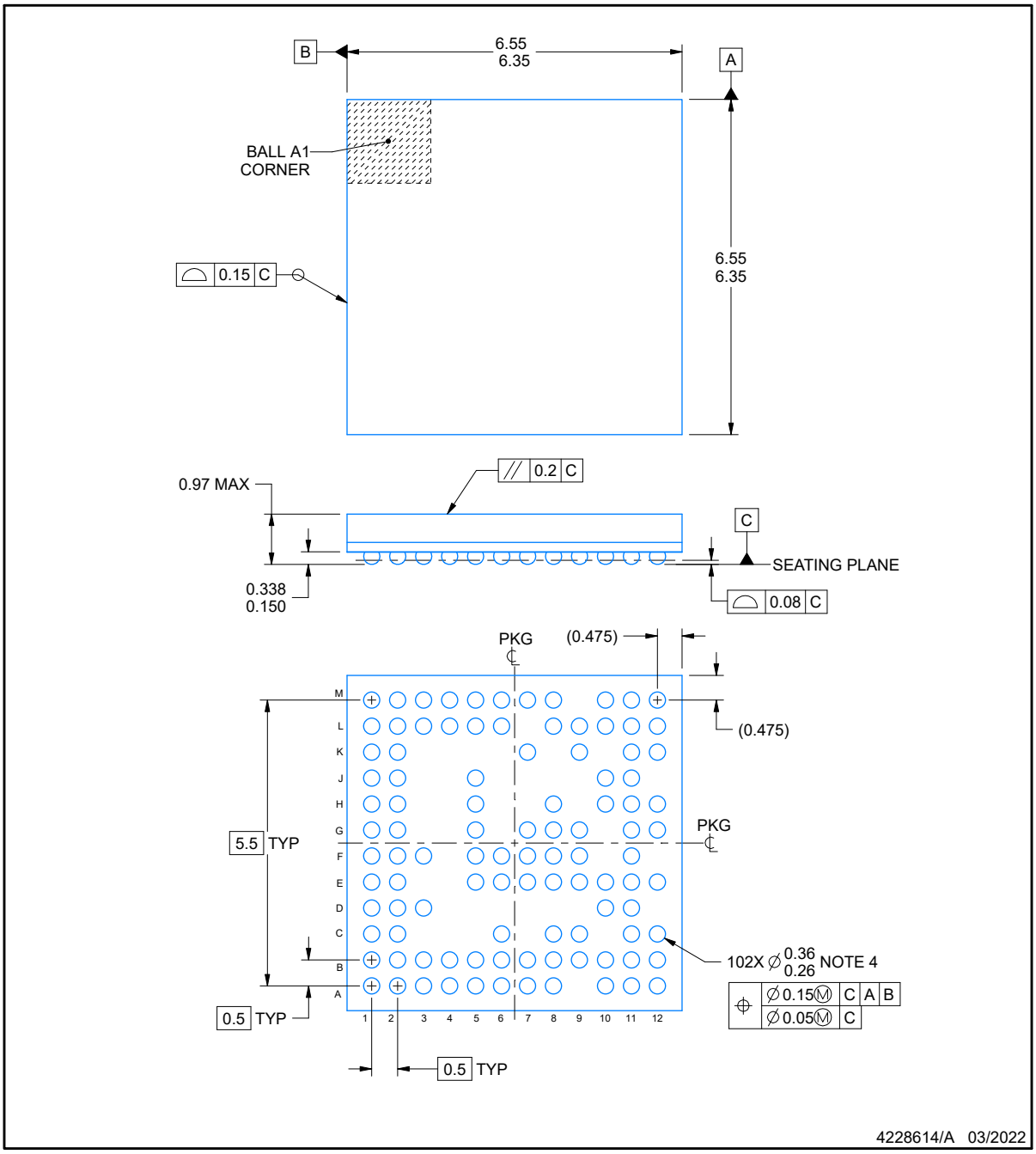
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

AMF0102A

FCCSP - 0.97 mm max height

FLIP CHIP CHIP SCALE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Primary datum C and seating plane are defined by the spherical crowns of the solder balls.
4. Dimension is measured at the maximum solder ball diameter, post reflow, parallel to primary datum C.

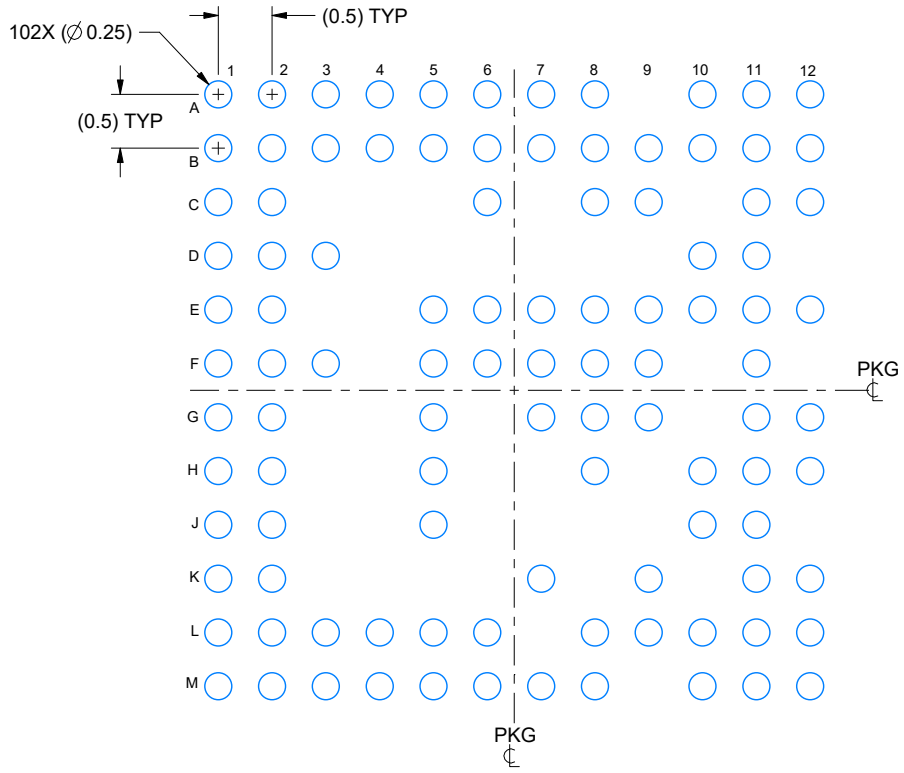
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

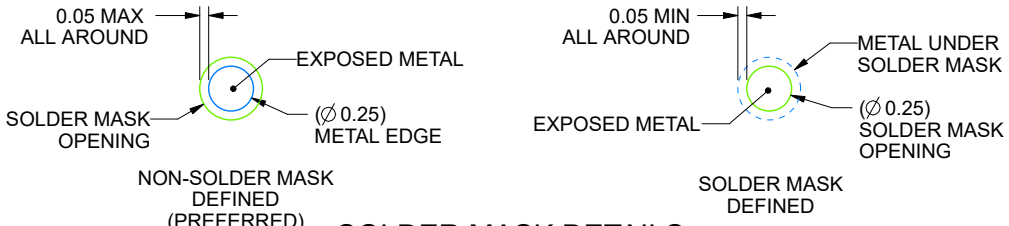
AMF0102A

FCCSP - 0.97 mm max height

FLIP CHIP CHIP SCALE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS
NOT TO SCALE

4228614/A 03/2022

NOTES: (continued)

5. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).

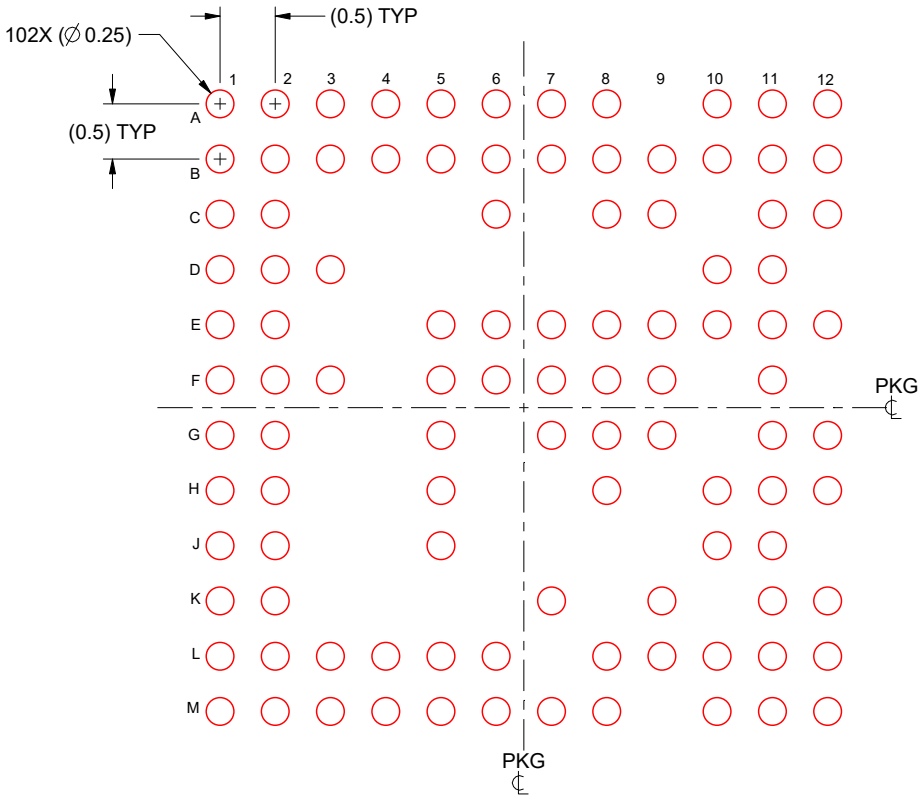
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

AMF0102A

FCCSP - 0.97 mm max height

FLIP CHIP CHIP SCALE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 15X

4228614/A 03/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
IWRL6432BDBAAMF	Active	Production	FCCSP (AMF) | 102	260 | JEDEC TRAY (5+1)	Yes	SNAGCUBI	Level-3-260C-168 HR	-40 to 105	IWRL6432 BA 791B
IWRL6432BDBAAMF.B	Active	Production	FCCSP (AMF) | 102	260 | JEDEC TRAY (5+1)	Yes	SNAGCUBI	Level-3-260C-168 HR	-40 to 105	IWRL6432 BA 791B
IWRL6432BDBAAMFR	Active	Production	FCCSP (AMF) | 102	1000 | LARGE T&R	Yes	SNAGCUBI	Level-3-260C-168 HR	-40 to 105	IWRL6432 BA 791B
IWRL6432BDBAAMFR.B	Active	Production	FCCSP (AMF) | 102	1000 | LARGE T&R	Yes	SNAGCUBI	Level-3-260C-168 HR	-40 to 105	IWRL6432 BA 791B
IWRL6432BDQGAMF	Active	Production	FCCSP (AMF) | 102	260 | JEDEC TRAY (5+1)	Yes	SNAGCUBI	Level-3-260C-168 HR	-40 to 105	IWRL6432 QG 791B
IWRL6432BDQGAMF.B	Active	Production	FCCSP (AMF) | 102	260 | JEDEC TRAY (5+1)	Yes	SNAGCUBI	Level-3-260C-168 HR	-40 to 105	IWRL6432 QG 791B
IWRL6432BDQGAMFR	Active	Production	FCCSP (AMF) | 102	1000 | LARGE T&R	Yes	SNAGCUBI	Level-3-260C-168 HR	-40 to 105	IWRL6432 QG 791B
IWRL6432BDQGAMFR.B	Active	Production	FCCSP (AMF) | 102	1000 | LARGE T&R	Yes	SNAGCUBI	Level-3-260C-168 HR	-40 to 105	IWRL6432 QG 791B

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

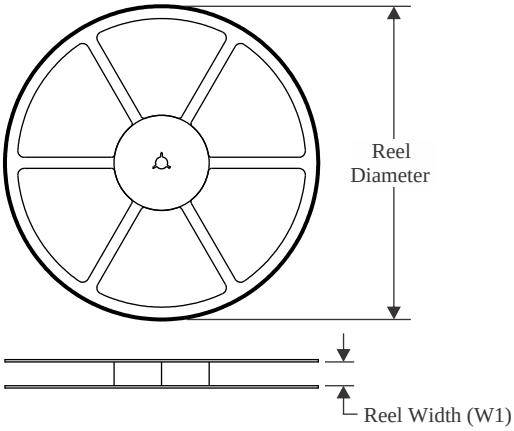
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

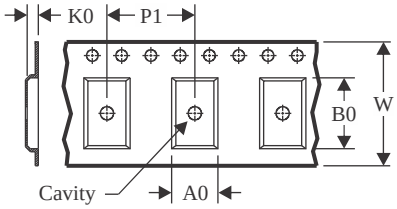
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

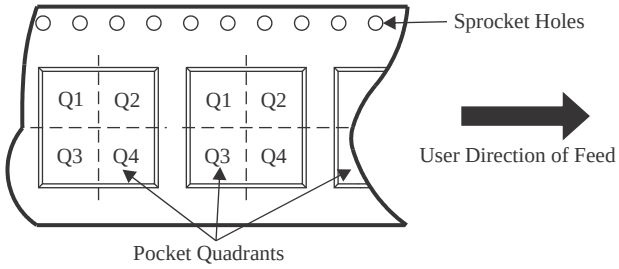


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

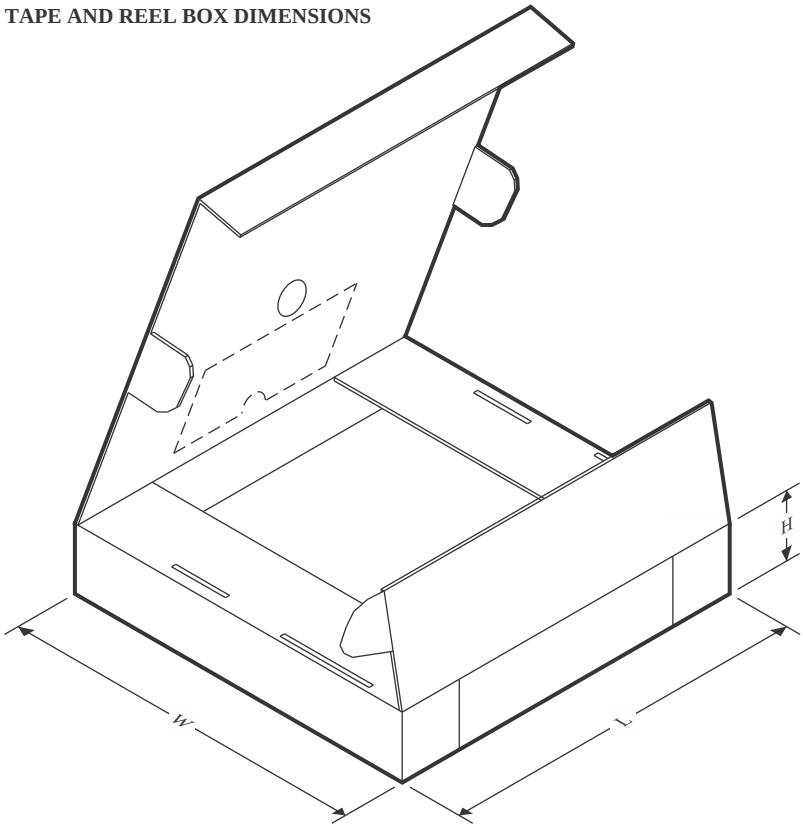
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
IWRL6432BDBAAMFR	FCCSP	AMF	102	1000	330.0	16.4	6.8	6.8	1.6	12.0	16.0	Q2
IWRL6432BDQGAMFR	FCCSP	AMF	102	1000	330.0	16.4	6.8	6.8	1.6	12.0	16.0	Q2

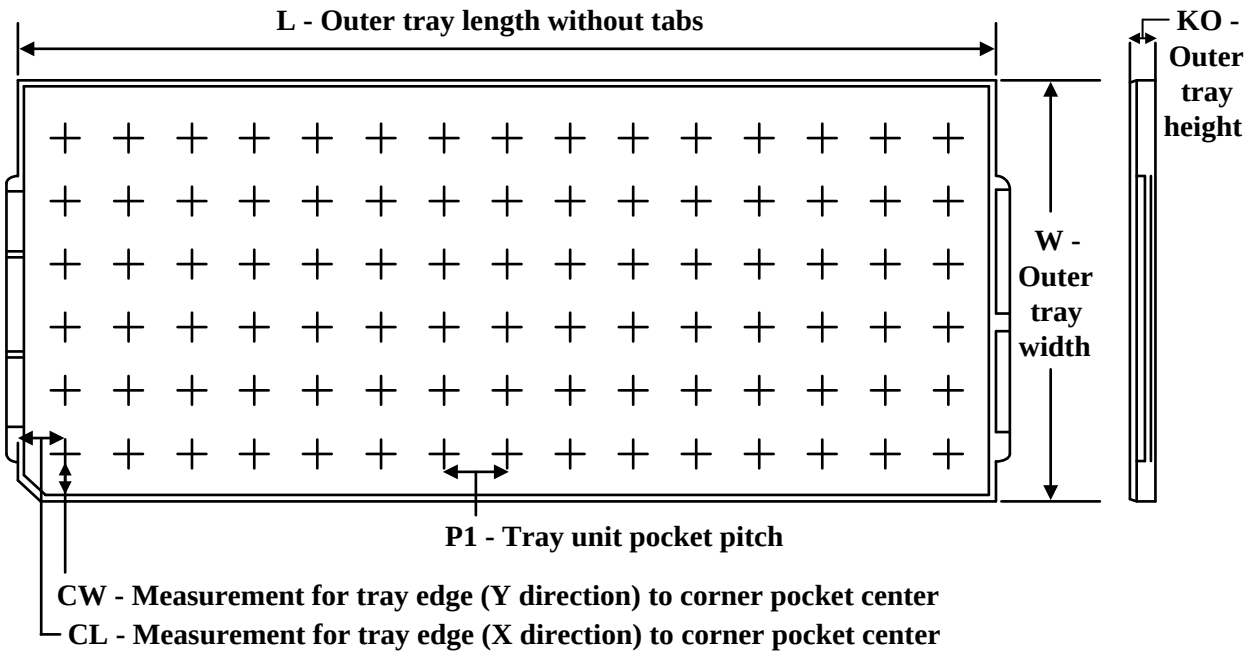
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
IWRL6432BDBAAMFR	FCCSP	AMF	102	1000	336.6	336.6	31.8
IWRL6432BDQGAMFR	FCCSP	AMF	102	1000	336.6	336.6	31.8

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
IWRL6432BDBAAMF	AMF	FCCSP	102	260	10 x 26	150	315	135.9	7620	11.8	10	10.35
IWRL6432BDBAAMF.B	AMF	FCCSP	102	260	10 x 26	150	315	135.9	7620	11.8	10	10.35
IWRL6432BDQGAMF	AMF	FCCSP	102	260	10 x 26	150	315	135.9	7620	11.8	10	10.35
IWRL6432BDQGAMF.B	AMF	FCCSP	102	260	10 x 26	150	315	135.9	7620	11.8	10	10.35

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月