

LF412C デュアル FET 入力オペアンプ

1 特長

- 低い入力バイアス電流: 標準値 $\pm 10\text{pA}$
- 低い入力ノイズ電流: 標準値 $2\text{fA}/\sqrt{\text{Hz}}$
- 低い消費電流: 標準値 0.560mA
- 高い入力インピーダンス
- 内部でオフセット電圧を調整
- 広いゲイン帯域幅: 標準値 4.5MHz
- 高スルーレート: 標準値 $21\text{V}/\mu\text{s}$ ($V_{\text{ID}} = 1\text{V}$ の新しいダイ性能)

2 アプリケーション

- TFT-LCD フラット パネル V_{COM} ドライバ
- A/D コンバータ バッファ
- ハイサイドまたはローサイドのセンシング
- ヘッドホン アンプ

3 説明

このデバイスは、入力オフセット電圧および規定の最大入力オフセット電圧ドリフトが非常に低い、低コストの FET 入力オペアンプです。オペアンプは、低い消費電流を必要としますが、大きなゲイン帯域幅積を維持します。また、入力ステージにより、入力バイアスとオフセット電流が非常に小さくなっています。

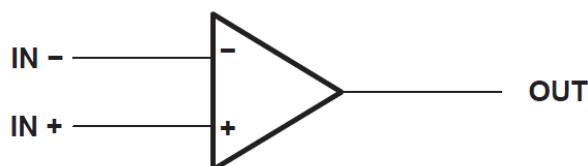
LF412C は、高速積分器、デジタル / アナログ コンバータ、サンプル / ホールド回路、その他の多くの回路などのアプリケーションに使用できます。

LF412C は、 $0^{\circ}\text{C} \sim 70^{\circ}\text{C}$ で動作特性が規定されています。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
LF412CD	D (SOIC, 8)	4.90mm × 3.90mm
LF412CP	P (PDIP, 8)	9.81mm × 6.35mm

- (1) 詳細については、[セクション 8](#) を参照してください。
 (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



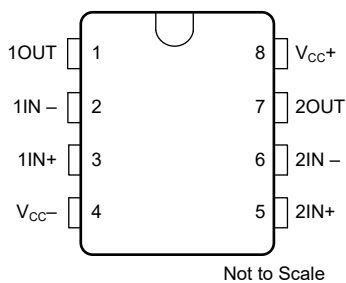
シンボル (各アンプ)



目次

1 特長.....	1	5.6 従来のダイと新しいダイの比較.....	8
2 アプリケーション.....	1	6 デバイスおよびドキュメントのサポート.....	9
3 説明.....	1	6.1 ドキュメントの更新通知を受け取る方法.....	9
4 ピン構成および機能.....	3	6.2 サポート・リソース.....	9
5 仕様.....	4	6.3 商標.....	9
5.1 絶対最大定格.....	4	6.4 静電気放電に関する注意事項.....	9
5.2 推奨動作条件.....	4	6.5 用語集.....	9
5.3 電気的特性.....	4	7 改訂履歴.....	9
5.4 動作特性.....	5	8 メカニカル、パッケージ、および注文情報.....	10
5.5 代表的特性.....	6		

4 ピン構成および機能



**図 4-1. D または P パッケージ
上面図**

表 4-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
1OUT	1	O	出力、チャンネル 1
1IN -	2	I	反転入力、チャンネル 1
1IN +	3	I	非反転入力、チャンネル 1
V _{CC-}	4	—	正 (最高) 電源
V _{CC+}	5	—	負 (最低) 電源
2OUT	6	O	出力、チャンネル 2
2IN -	7	I	反転入力、チャンネル 2
2IN +	8	I	非反転入力、チャンネル 2

(1) I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
V_{CC+}	電源電圧、正		18	V
V_{CC-}	電源電圧、負		-18	V
V_{ID}	差動入力電圧 ⁽³⁾		±30	V
V_I	入力電圧 ⁽²⁾		±15	V
	出力短絡時間	制限なし		
	連続総許容損失		500	mW
T_A	動作温度範囲	0	70	°C
T_{stg}	保存温度	-65	150	°C
	リード温度: ケースから 1.6mm (1/16 インチ) 離れた点で 10 秒間		260	°C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用情况、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
- (2) 特に記述のない限り、絶対最大負入力電圧は負の電源電圧と等しくなります。
- (3) 消費電力定格を超えないように、温度および電源電圧を制限する必要があります。

5.2 推奨動作条件

		最小値	最大値	単位
V_{CC+}	電源電圧、正	3.5	18	V
V_{CC-}	電源電圧、負	-3.5	-18	V

5.3 電気的特性

自由気流での動作温度範囲内、 $V_{CC\pm} = \pm 15V$ (特に記述のない限り)

パラメータ		テスト条件		T_A ⁽¹⁾	最小値	標準値	最大値	単位
V_{IO}	入力オフセット電圧	$V_{IC} = 0$	$R_S = 10k\Omega$	25°C		±0.125	3	mV
a_{VIO}	入力オフセット電圧の平均温度係数	$V_{IC} = 0$	$R_S = 10k\Omega$	フルレンジ		±0.3	20 ⁽²⁾	μV/°C
I_{IO}	入力オフセット電流 ⁽³⁾	$V_{IC} = 0$		25°C		±10	100	pA
				70°C			4	nA
I_{IB}	入力バイアス電流 ⁽³⁾	$V_{IC} = 0$		25°C		±10	200	pA
				70°C			8	nA
V_{ICR}	同相入力電圧範囲				±11	- 11.5 から 14.5		V
V_{OM}	最大ピーク出力電圧スイング	$R_L = 10k\Omega$			±12	±14.950		V
A_{VD}	大信号差動電圧	$V_O = \pm 10V$	$R_L = 2k\Omega$	25°C	88	130		dB
				フルレンジ	83.5			
r_{ID}	差動入力抵抗			25°C		540		GΩ
r_{ICM}	同相入力抵抗					6		TΩ
CMRR	同相信号除去比	$V_{IC} = V_{ICRmin}$ 、 $R_S \leq 10k\Omega$			70	100		dB
k_{SVR}	電源電圧除去比 ⁽⁴⁾				70	100		dB

5.3 電気的特性 (続き)

自由気流での動作温度範囲内、 $V_{CC\pm} = \pm 15V$ (特に記述のない限り)

パラメータ		テスト条件	T_A ⁽¹⁾	最小値	標準値	最大値	単位
I_{CC}	電源電流 (アンプごと)				0.560	3.4	mA

- (1) フルレンジは $0^{\circ}C \sim 70^{\circ}C$ です。
- (2) a_{VIO} については、90% 以上のデバイスがこの制限を満たしています。
- (3) FET 入力オペアンプの入力バイアス電流は通常の接合部逆電流で、温度により顕著な影響を受けます。接合部温度をできる限り周囲温度に近い値に維持するため、パルス手法を使用する必要があります。
- (4) 電源電圧除去比は、両方の電源振幅が同時に増加または減少している場合に測定されます。

5.4 動作特性

$V_{CC\pm} = \pm 15V$, $T_A = 25^{\circ}C$

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{O1}/V_{O2}	クロストーク減衰	$f = 1kHz$			120		dB
SR	スルーレート	$R_L = 2k\Omega$, $C_L = 100pF$	$V_{ID} = 1V$		21		V/ μs
			$V_{ID} = 100mV$		0.5		
B_1	ユニティ ゲイン帯域幅				4.5		MHz
V_n	等価入力ノイズ電圧	$f = 1kHz$	$R_S = 20\Omega$		18		nV/ $\sqrt{Hz}$
I_n	等価入力ノイズ電流	$f = 1kHz$			2		fA/ $\sqrt{Hz}$

5.5 代表的特性

高温時および低温時のデータは、デバイスの定格動作自由気流の動作時温度範囲内でのみ適用されます。

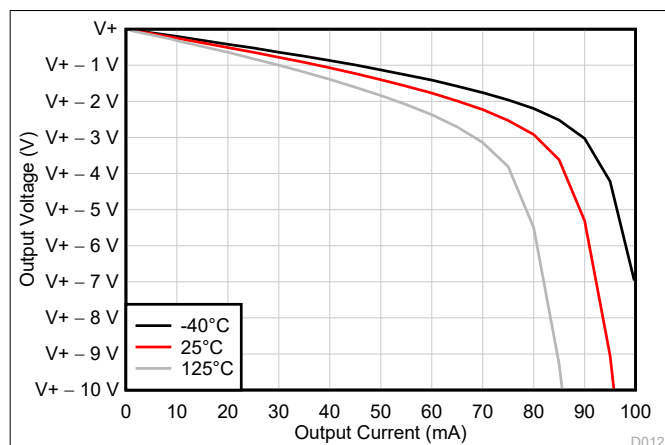


図 5-1. 出力電圧スイングと出力電流との関係 (ソース)、新しいダイ

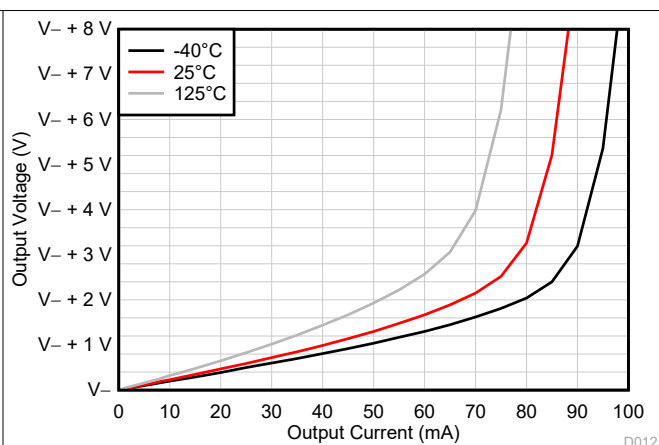


図 5-2. 出力電圧スイングと出力電流との関係 (シンク)、新しいダイ

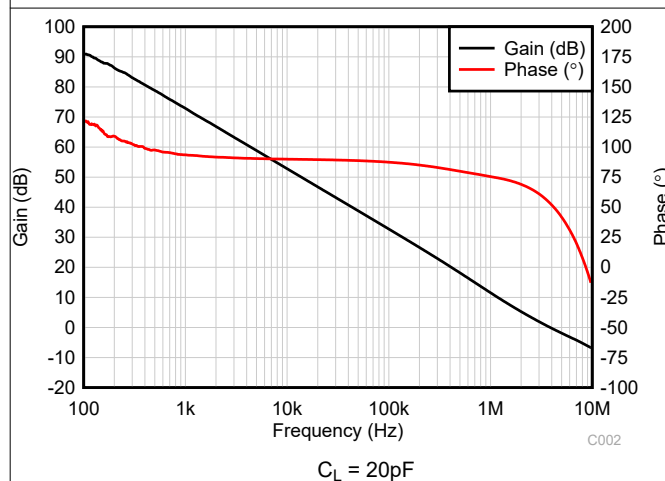


図 5-3. 開ループゲインおよび位相と周波数との関係、新しいダイ

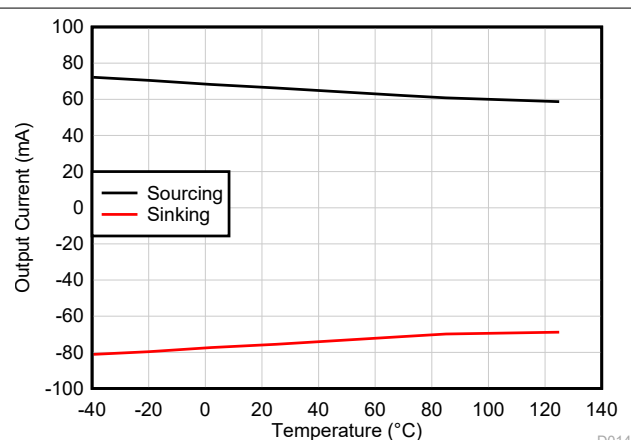


図 5-4. 短絡電流と温度との関係、新しいダイ

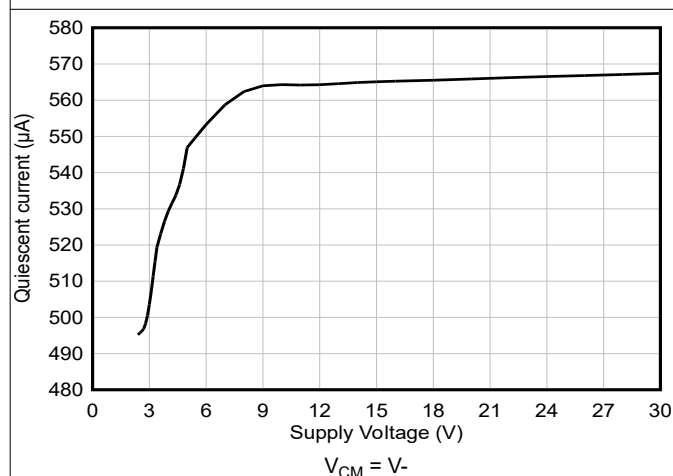


図 5-5. 静止電流と電源電圧との関係、新しいダイ

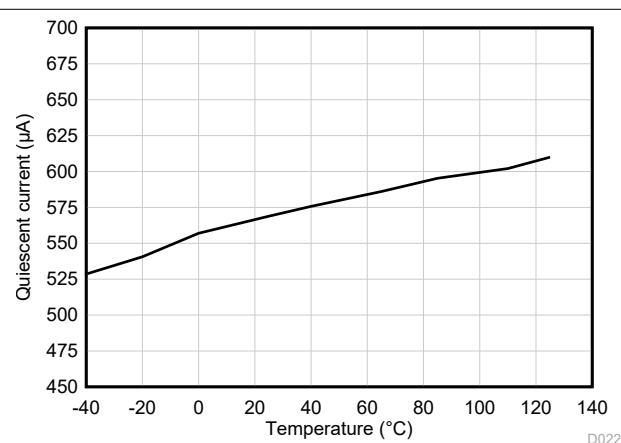


図 5-6. 静止電流と温度との関係、新しいダイ

5.5 代表的特性 (続き)

高温時および低温時のデータは、デバイスの定格動作自由気流の動作時温度範囲内でのみ適用されます。

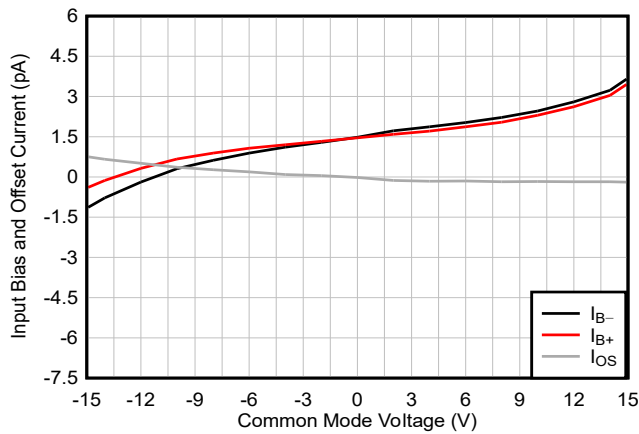


図 5-7. 入力バイアス電流と同相電圧との関係、新しいダイ

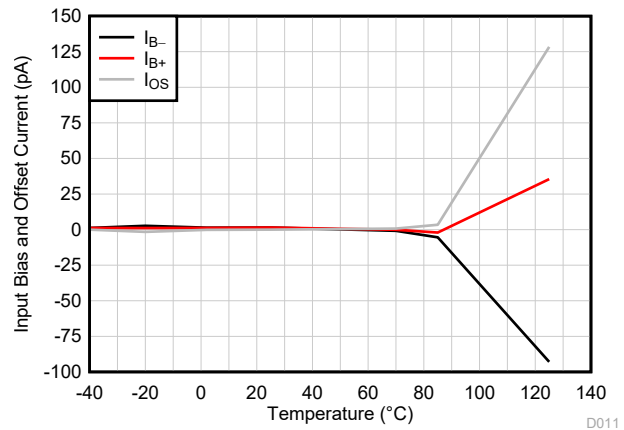


図 5-8. 入力バイアス電流と温度との関係、新しいダイ

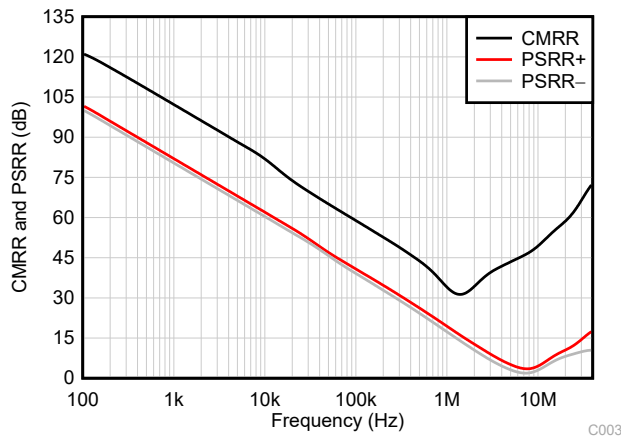


図 5-9. 同相信号除去比および PSRR と周波数との関係、新しいダイ

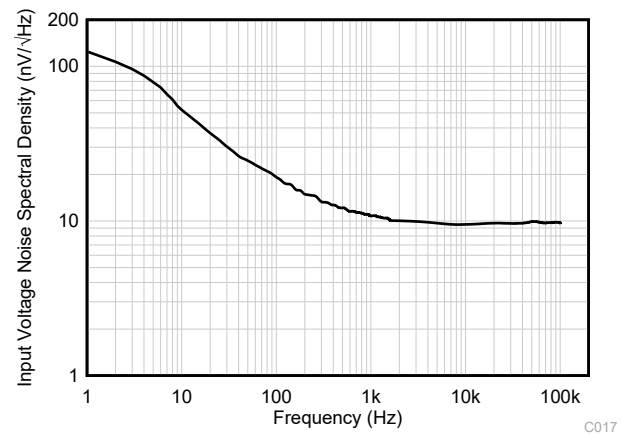


図 5-10. 入力電圧ノイズのスペクトル密度と周波数との関係、新しいダイ

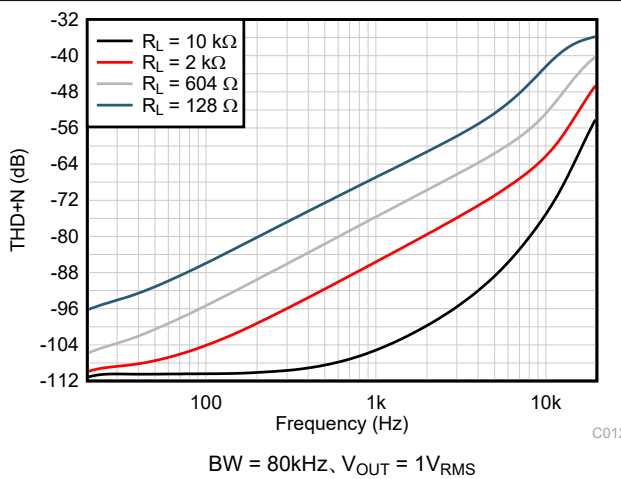


図 5-11. THD+N 比と周波数との関係、新しいダイ

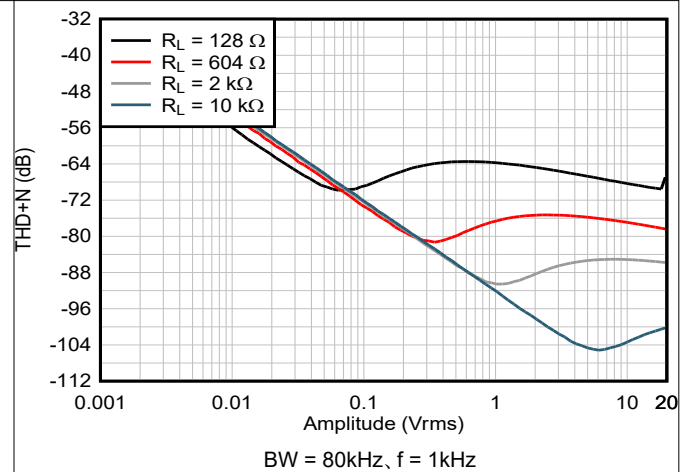


図 5-12. THD+N と出力振幅との関係、新しいダイ

5.6 従来のダイと新しいダイの比較

このデータシートの改訂 C 版の発行時点で、テキサス インストルメンツは、LF412 のダイの製造を最新の製造拠点に移動しました。このドキュメントでは、2 つの異なるダイを「古い」(以前の製造拠点) および「新しい」ダイと呼びます。ダイの原点は、配送情報の「チップ ソース オリジン」(CSO) パラメータから分離することができます。古いダイ CSO は「SHE」で、新しいダイ CSO は「RFB」です。古いダイの情報は配送情報の中にあります。このデータシートでは、比較のため、古いダイの情報を保持していますが、新しい製造はすべて新しいダイに移行しています。

6 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

6.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

6.2 サポート・リソース

テキサス・インスツルメンツ **E2E™ サポート・フォーラム** は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

6.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

6.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

6.5 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

7 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (August 1994) to Revision C (August 2026)	Page
• ドキュメント全体を通して JFET という表記をすべて FET に変更	1
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新.....	1
• TI の最新のドキュメントおよび翻訳基準に合わせて、データシートのテキストおよびフォーマットを更新.....	1
• 低入力バイアス電流を 50pA から $\pm 10\text{pA}$ に更新.....	1
• 低入力ノイズ電流を $0.01\text{pA}/\sqrt{\text{Hz}}$ から $2\text{fA}/\sqrt{\text{Hz}}$ に更新.....	1
• 低供給電流を 4.5mA から 0.560mA に更新.....	1
• ワイドゲイン帯域幅を 3MHz から 4.5MHz に変更.....	1
• 高スルーレートを $13\text{V}/\mu\text{s}$ から $21\text{V}/\mu\text{s}$ に更新.....	1
• 「アプリケーション」セクションを追加	1
• 「デバイス情報」表を「パッケージ情報」表に変更.....	1
• 「...高速」と「...および高速スルーレート...」を削除.....	1
• 「...整合された高電圧 JFET 入力...」を「入力ステージ...」に変更.....	1
• 「ピン構成および機能」セクションを追加	3
• 脚注を追加.....	4

• 「電源電圧」を「電源電圧」、「正と電源電圧」、「負」に更新.....	4
• 「電源電圧」を「電源電圧」、「正と電源電圧」、「負」に更新.....	4
• 差動入力電圧の最大値を 30V から ± 30 に更新.....	4
• 差動入力電圧の最小値を削除.....	4
• 「電源電圧」を「電源電圧」、「正と電源電圧」、「負」に更新.....	4
• 入力オフセット電圧の標準値を 1mV から $\pm 0.125\text{mV}$ に変更.....	4
• 入力オフセット電圧の平均温度係数の標準値を $10\mu\text{V}/^\circ\text{C}$ から $\pm 0.3\mu\text{V}/^\circ\text{C}$ に変更.....	4
• 入力オフセット電流の標準値を 25pA から $\pm 10\text{pA}$ に変更.....	4
• 入力バイアス電流の標準値を 50pA から $\pm 10\text{pA}$ に変更.....	4
• ピーク出力電圧スイングの最大値を $\pm 13.5\text{V}$ から $\pm 14.950\text{V}$ に変更.....	4
• 25°C での大信号差動電圧スイングの最小値を 25V/mV から 88dB に、全範囲の値を 15V/mV から 83.5dB に変更.....	4
• 25°C における大信号差動電圧スイングの標準値を、200V/mV から 130dB に変更.....	4
• 全範囲での大信号差動電圧スイングの標準値を削除.....	4
• 入力抵抗を削除.....	4
• 差動および同相入力抵抗を追加.....	4
• 全電源電流を電源電流 (アンプごと) に変更.....	4
• スルーレートの標準値を $13\text{V}/\mu\text{s}$ から $21\text{V}/\mu\text{s}$ に変更.....	5
• $V_{\text{ID}} = 100\text{mV}$ のスルーレートの標準値を追加.....	5
• ユニティ ゲイン帯域幅の標準値を 3MHz から 4.5MHz に変更.....	5
• ユニティ ゲイン帯域幅の最小値を削除.....	5
• 等価入力ノイズ電圧の標準値を $18\text{nV}/\sqrt{\text{Hz}}$ から $10.8\text{nV}/\sqrt{\text{Hz}}$ に変更.....	5
• 等価入力ノイズ電圧の標準値を $0.01\text{pA}/\sqrt{\text{Hz}}$ から $2\text{fA}/\sqrt{\text{Hz}}$ に変更.....	5
• 「代表的特性」セクションを追加.....	6
• 「従来のダイと新しいダイの比較」セクションを追加.....	8

8 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LF412 MWC	Active	Production	WAFERSALE (YS) 0	1 NOT REQUIRED	-	Call TI	Level-1-NA-UNLIM	-40 to 85	
LF412CD	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	0 to 70	LF412C
LF412CDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	LF412C
LF412CDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	LF412C
LF412CDR1G4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	LF412C
LF412CDR1G4.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	LF412C
LF412CDRE4	Active	Production	SOIC (D) 8	2500 LARGE T&R	-	Call TI	Call TI	0 to 70	
LF412CDRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	-	Call TI	Call TI	0 to 70	
LF412CP	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	LF412CP
LF412CP.A	Active	Production	PDIP (P) 8	50 TUBE	Yes	NIPDAU	N/A for Pkg Type	0 to 70	LF412CP

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

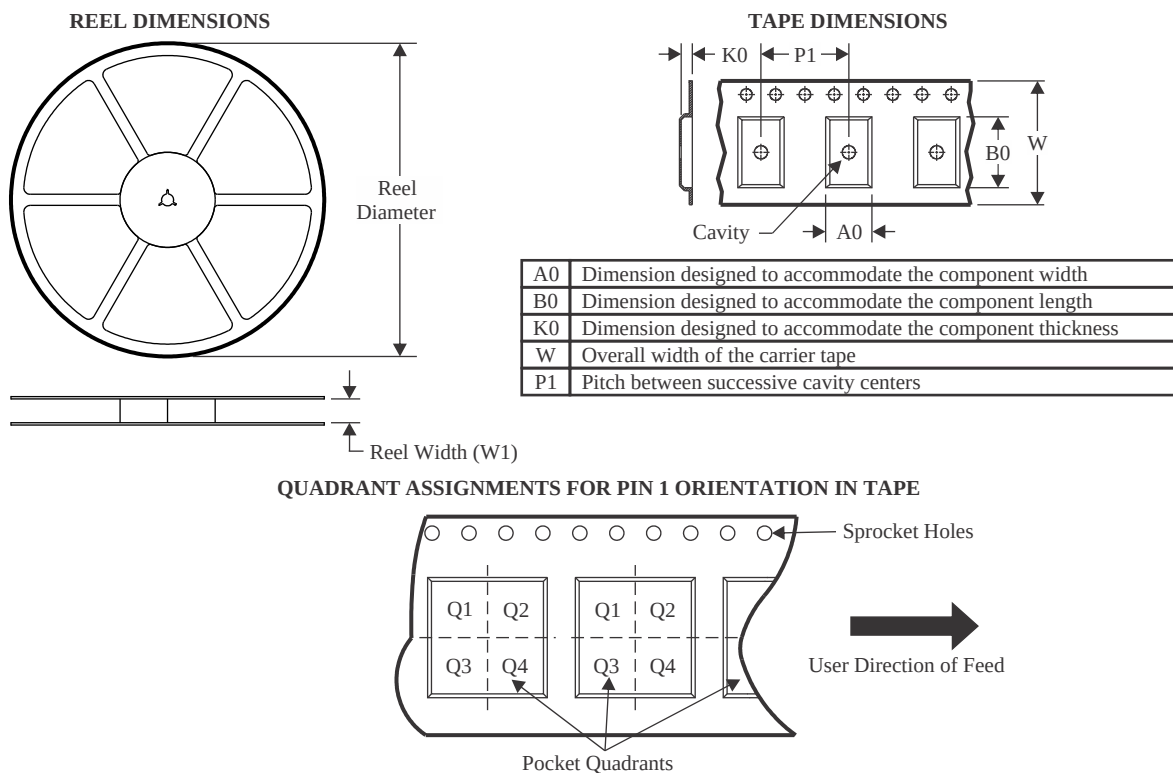
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

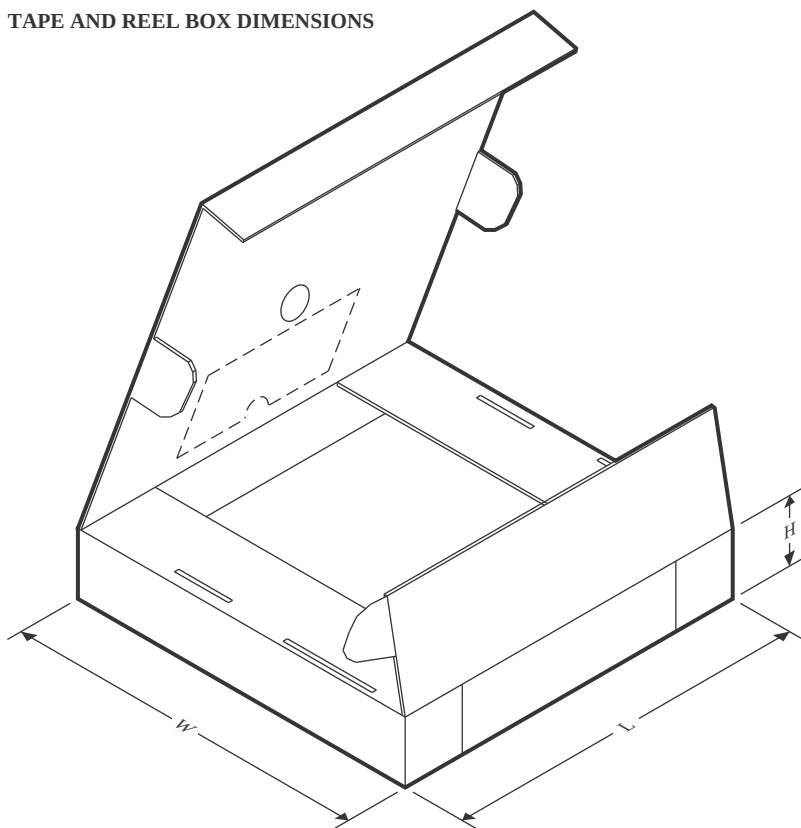
TAPE AND REEL INFORMATION



*All dimensions are nominal

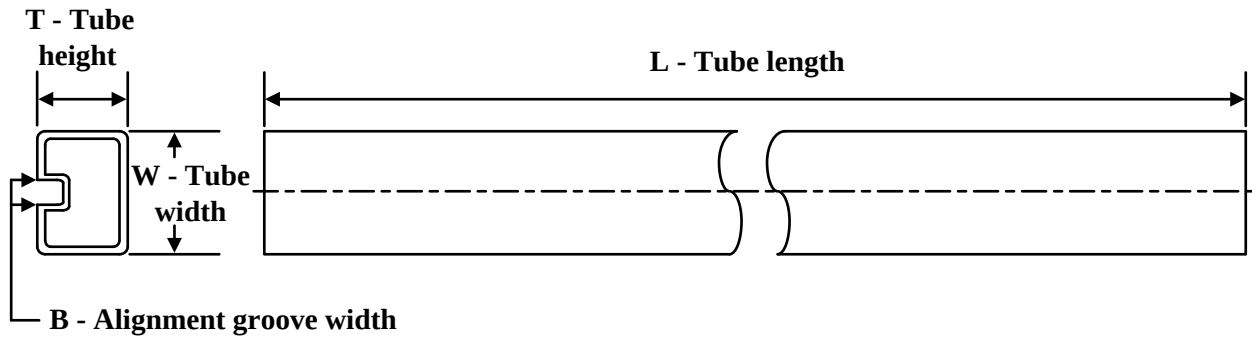
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LF412CDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LF412CDR1G4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



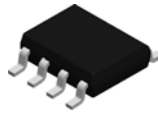
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LF412CDR	SOIC	D	8	2500	353.0	353.0	32.0
LF412CDR1G4	SOIC	D	8	2500	353.0	353.0	32.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
LF412CP	P	PDIP	8	50	506	13.97	11230	4.32
LF412CP.A	P	PDIP	8	50	506	13.97	11230	4.32

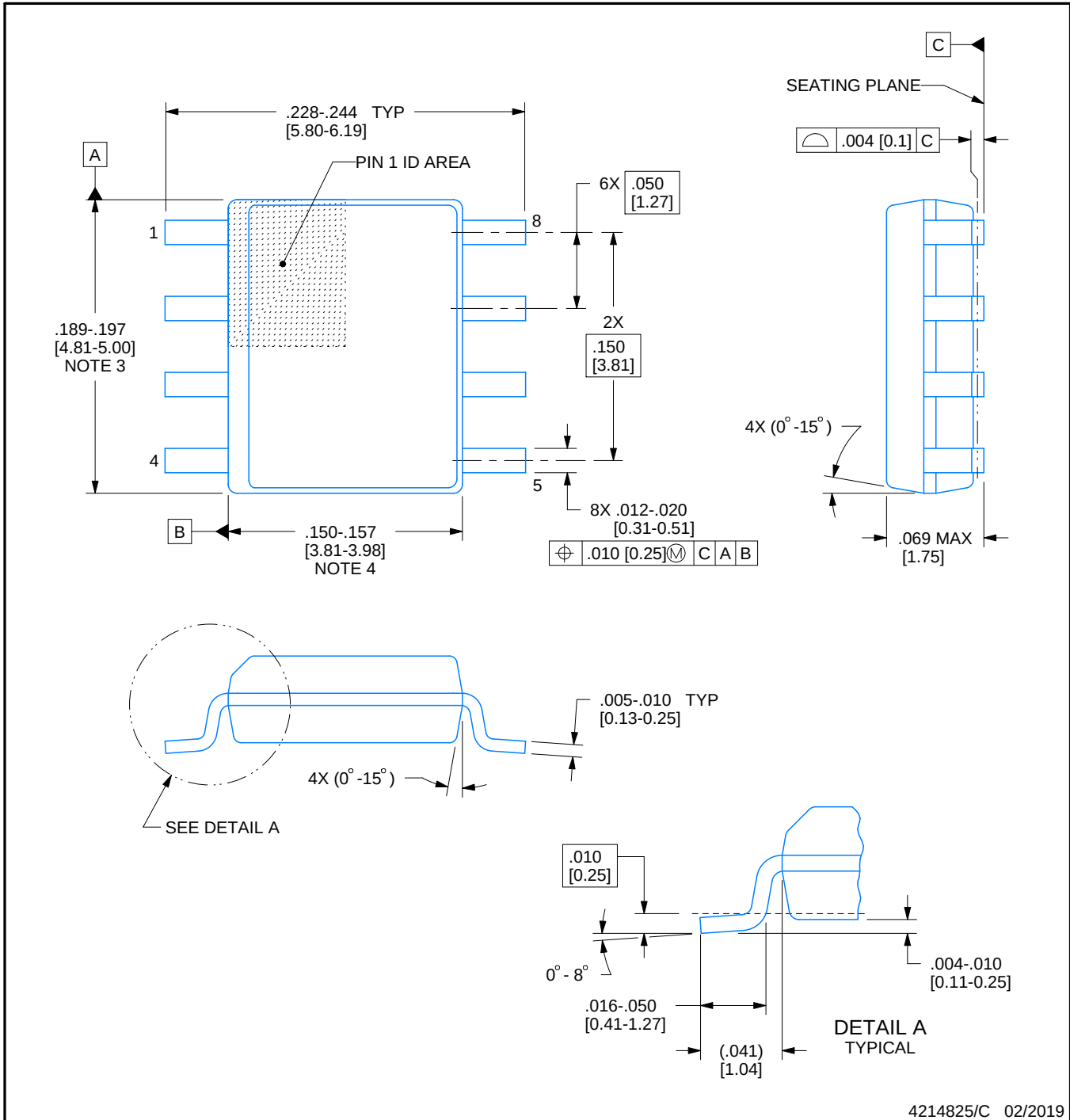


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

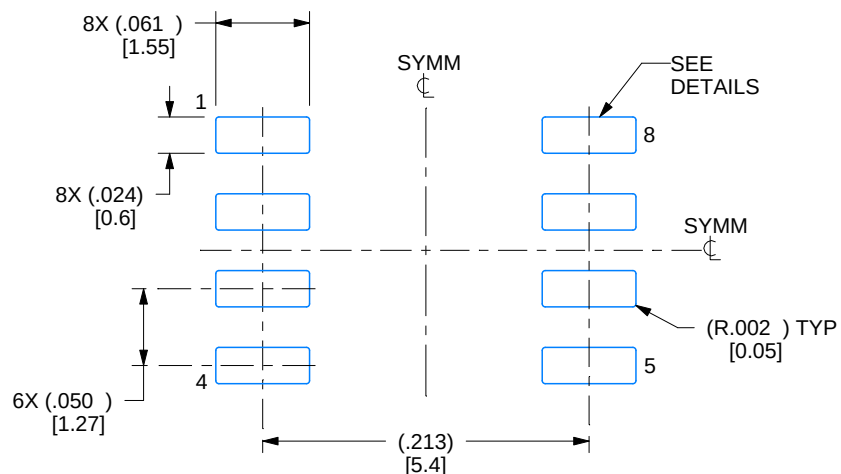
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

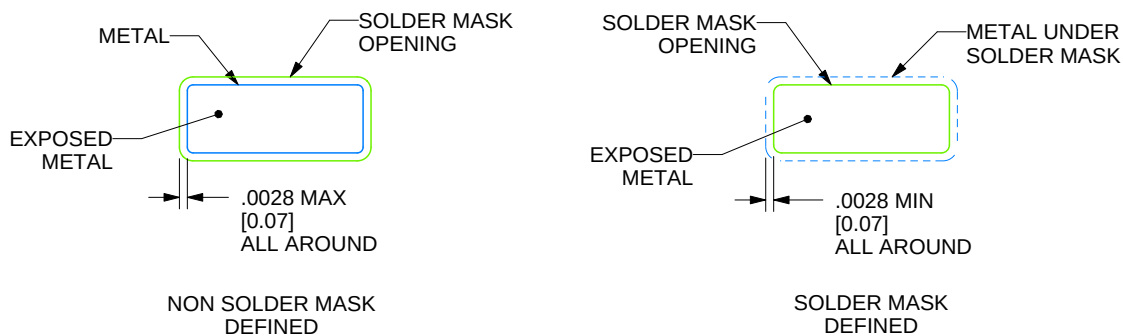
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

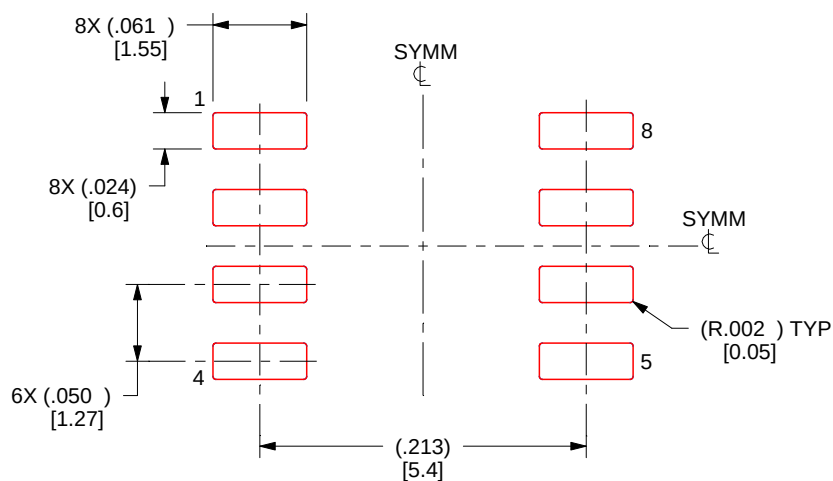
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

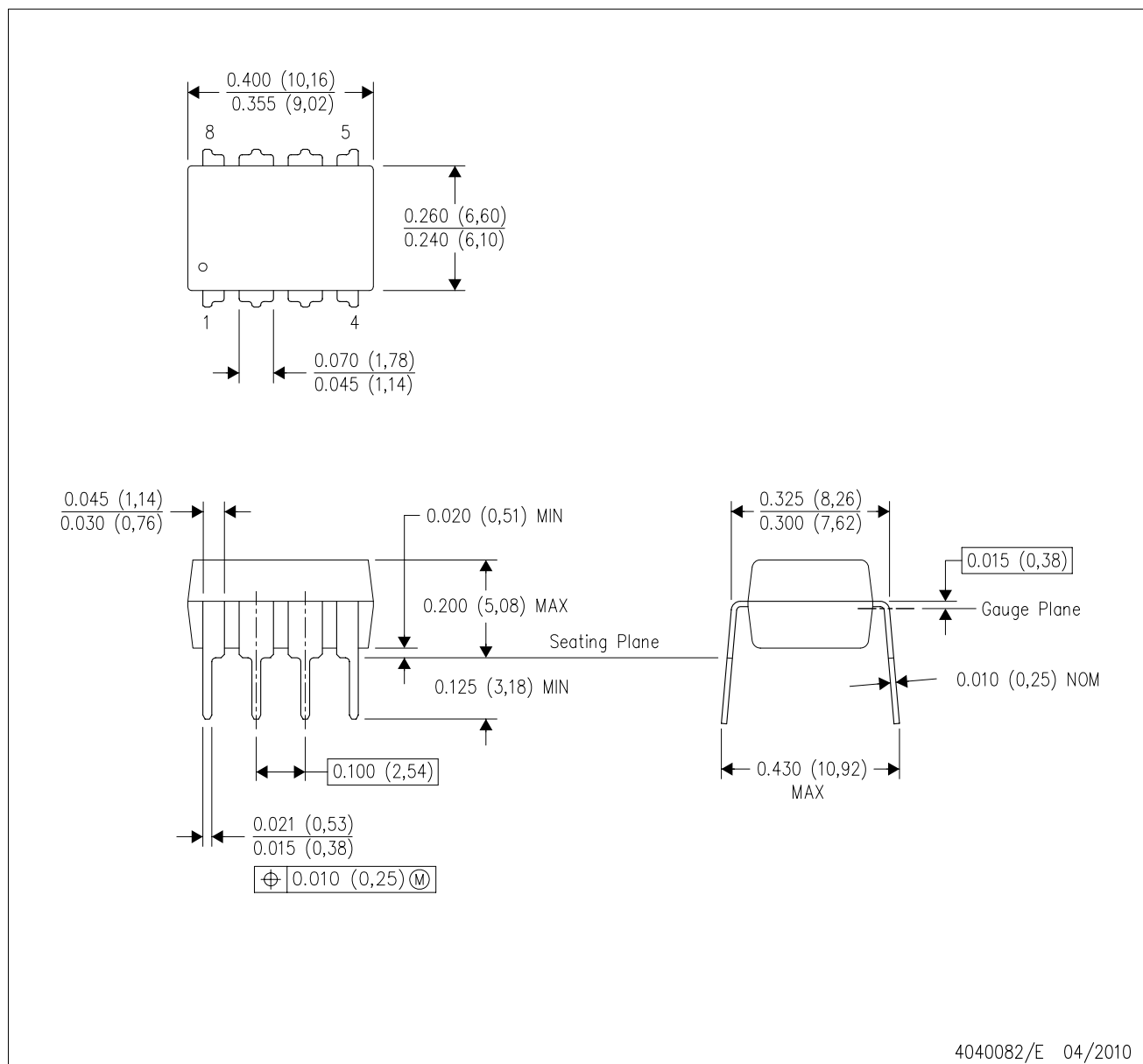
4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R-PDIP-T8)

PLASTIC DUAL-IN-LINE PACKAGE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. Falls within JEDEC MS-001 variation BA.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月