LM25139
JAJSXE9 – OCTOBER 2025

LM25139 42V、同期整流降圧 DC/DC コントローラ、デュアルランダムスペクトラム拡散機能付き、高度な EMI 低減

1 特長

- 多用途の同期整流式降圧 DC/DC コントローラ
  - 4V～42V の広い入力電圧範囲
  - 固定 3.3V、5V 出力または可変出力 (0.8V ～ 36V)
  - 接合部温度範囲：-40℃～150℃
  - ソース 1.65A、シンク 2.4A の駆動能力を備えた高電流 MOSFET ゲートドライバ内蔵
  - ロスレスインダクタ DCR またはシャント電流センシング
  - 25ns の $t_{ON(min)}$ により高い V_{IN} から V_{OUT} への変換を実現
  - 高いデューティサイクルアプリケーション向けの 80ns $t_{OFF(min)}$
  - 無負荷時のスリープ時静止電流：10µA
  - シャットダウン時静止電流：2.3µA
- CISPR 25 Class 5 EMI 要件に対して最適化
  - 5% または 10% の周波数変調機能を備えたデュアルランダムスペクトラム拡散機能 (DRSS)
  - スイッチング周波数：100kHz ～ 3.2MHz
  - 外部クロックへの周波数同期も可能
  - 選択可能な PFM または FPWM 動作
- 堅牢な設計用の本質的な保護機能
  - ヒカップ モードによる過電流保護
  - 高精度のイネーブル入力とオープン ドレインの PGOOD インジケータによるシーケンシングと制御
  - VCC とゲート駆動の UVLO 保護
  - 固定 3ms 出力電圧ソフトスタート
  - ヒステリシス付きのサーマル シャットダウン保護
- 16 ピン、3mm × 3mm パッケージウェッタブルフランク付き
- LM25139 デバイスと WEBENCH® Power Designer を使用してカスタム設計を作成

2 アプリケーション

- パーソナル エレクトロニクス：コンピュータ ペリフェラル
- 産業用：24V バス システム、電力供給
- エンタープライズ システム：高性能コンピューティング

3 説明

LM25139 は、単一出力の大電流レギュレータ回路用超低 I_Q を使用する、42V 同期整流降圧 DC/DC コントローラです。このデバイスは、V_{IN} 範囲の広いコントローラのファミリから派生したもので、ピーク電流モード制御アーキテクチャを採用して、高速過渡応答、便利なループ補償、優れた負荷およびラインレギュレーション性能を実現します。

最小オン時間 25ns のハイサイドスイッチは大きい降圧率に対応できるため、12V および 24V の入力から低電圧レールへの直接変換が可能になり、システムの設計コストと複雑性を下げることができます。LM25139 は最低 4V の入力電圧ディップ中も動作を継続し、必要に応じて 100% に近いデューティサイクルで動作するため、高性能の用アプリケーションに最適です。

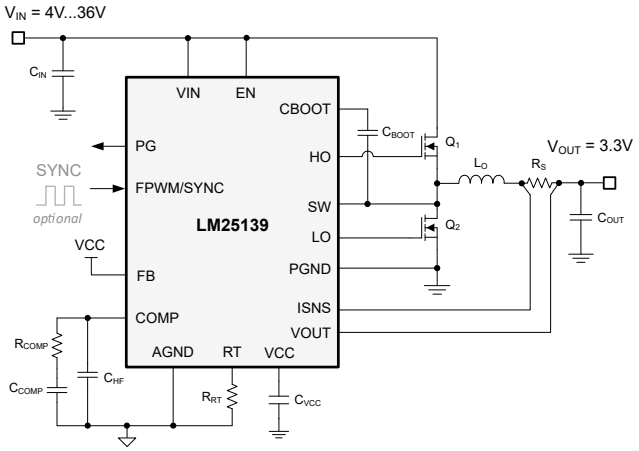
LM25139 は、放熱に役立つウェッタブルフランクピンと露出パッドが付いた、放熱特性に優れた 16 ピン VQFN パッケージで供給されます。

パッケージ情報

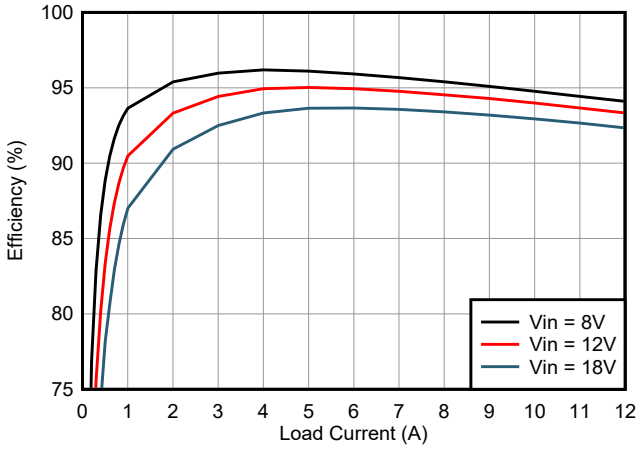
部品番号	パッケージ (1)	パッケージ サイズ(2)
LM25139	RGT (VQFN、16)	3mm × 3mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



代表的な回路図



代表的な効率、V_{OUT} = 3.3V、F_{SW} = 440kHz

CISPR 11 または 32 EMI 要件への準拠を容易にする複数の機能が搭載されています。大電流 MOSFET ゲートドライバは、適応的にタイミングを制御し、スイッチング遷移時のボディダイオードの導通を最小限にとどめて、スイッチング損失を低減するとともに、高入力電圧および高スイッチング周波数時の熱および EMI 性能を高めます。スイッチング周波数は最高 3.2MHz まで抵抗により設定可能で、外部クロック ソースと同期できるため、ノイズに敏感な用途のビート周波数を除去できます。

EMI シグネチャをさらに改善するため、LM25139 コントローラにはデュアルランダムスペクトラム拡散 (DRSS) と呼ばれる独自の機能があります。低周波数の三角波変調と高周波数のランダム変調を組み合わせると、低周波数帯域から高周波数帯域にわたり EMI 障害がそれぞれ緩和されます。このハイブリッド手法は、業界標準の EMC テストで規定されている複数分解能帯域幅 (RBW) 設定に適合します。

LM25139 の追加機能として、-40℃ ～ 150°C の接合部温度での動作、ユーザーが選択可能な PFM モードによる軽負荷時消費電流の低減、オープンドレインのパワーグッドインジケータによる異常検出出力と出力監視、高精度イネーブル入力、プリバイアスされた負荷への単調なスタートアップ、内蔵 VCC バイアス電源レギュレータとブートストラップダイオード、内蔵 3ms ソフトスタート時間、ヒカップモード過負荷保護機能、自動回復機能付きサーマル シャットダウン保護があります。

LM25139 コントローラは、車載アプリケーション向けに AEC-Q100 グレード 1 の認定を取得済みです。広い入力電圧範囲、低い静止電流消費、高温での動作、低い最小オン時間、低い EMI シグネチャ、少ない部品数、9mm^2 の IC サイズにより、堅牢性の強化とコスト上の利点が求められるアプリケーションに最適なポイントオブロードレギュレータの選択を実現できます。

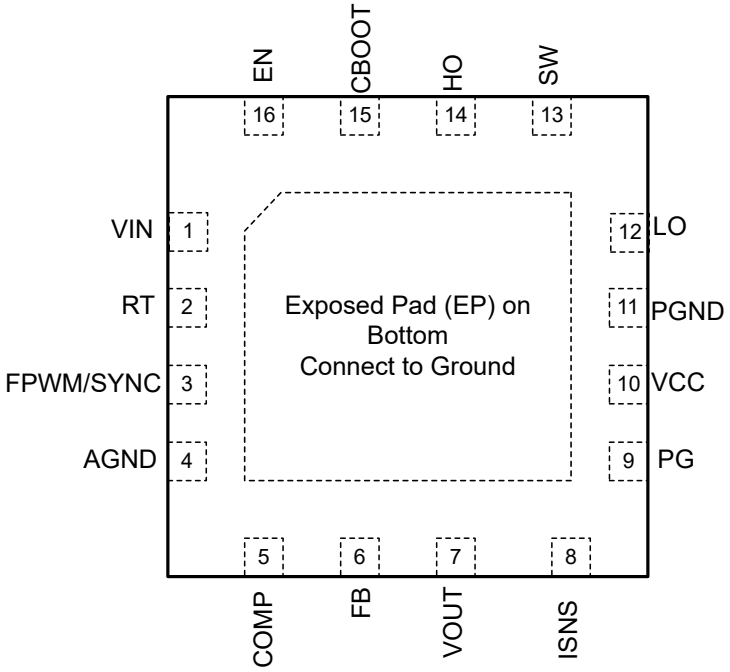
Copyright © 2025 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....4
5 仕様.....6
5.1 絶対最大定格.....6
5.2 ESD 定格.....6
5.3 推奨動作条件.....6
5.4 熱に関する情報.....7
5.5 電気的特性.....7
5.6 代表的特性.....10
6 詳細説明.....14
6.1 概要.....14
6.2 機能ブロック図.....15
6.3 機能説明.....16
6.4 デバイスの機能モード.....23
7 アプリケーションと実装.....24
7.1 アプリケーション情報.....24
7.2 代表的なアプリケーション.....31
7.3 電源に関する推奨事項.....42
7.4 レイアウト.....43
8 デバイスおよびドキュメントのサポート.....48
8.1 デバイス サポート.....48
8.2 ドキュメントのサポート.....49
8.3 ドキュメントの更新通知を受け取る方法.....50
8.4 サポート・リソース.....50
8.5 商標.....50
8.6 静電気放電に関する注意事項.....50
8.7 用語集.....50
9 改訂履歴.....50
10 メカニカル、パッケージ、および注文情報.....51

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能



露出したパッドを PCB 上の AGND と PGND に接続します。

図 4-1. 16 ピン RGT パッケージ VQFN (上面図)

表 4-1. ピンの機能

ピン		タイプ[1]	説明
番号	名称		
1	VIN	P	VCC レギュレータの電源電圧入力ソース
2	RT	I	周波数プログラミング ピン。RT と AGND の間に抵抗を配置することにより、発振器の周波数は、DRSS が無効な状態で 100kHz ～ 3.2MHz の範囲に設定されます。RT と VCC の間に抵抗を配置することにより、発振器の周波数は、DRSS が有効な状態で 100kHz ～ 3.2MHz の範囲に設定されます。
3	FPWM/SYNC	I	FPWM/SYNC を GND に接続すると、ダイオードエミュレーションモードが有効になります。FPWM/SYNC を VCC に接続すると、LM25139 は軽負荷時に導通して強制 PWM (FPWM) モードで動作します。FPWM/SYNC を使用して、コントローラを外部クロックに同期することもできます。EN が Low のときに FPWM/SYNC に外部クロックを印加することで、LM25139 をスタンバイモードに移行させます。
4	AGND	P	アナログ グランド接続。内部電圧リファレンスのアナログ回路のグランド帰線。
5	COMP	O	相互コンダクタンスのエラーアンプ。COMP と AGND との間に補償回路網を接続します。
6	FB	I	FB を VCC に接続して出力電圧を 3.3V に設定します。24.9kΩ または 24kΩ を使用して FB を VCC に接続し、出力電圧を 5V に設定します。VOUT と AGND の間に抵抗デバイダを取り付けて、出力電圧の設定ポイントを 0.8V ～ 36V に設定します。FB のレギュレーション電圧は 0.8V です。
7	VOUT	I	出力電圧センスと電流センスアンプ入力。V_{OUT} を電流センス抵抗の出力側に接続します。
8	ISNS	I	電流検出アンプ入力。このピンを外部電流センス抵抗のインダクタ側に接続します。
9	PG	O	V_{OUT} が指定されたレギュレーションウィンドウの範囲外である場合に Low になるオープンコレクタ出力。
10	VCC	P	VCC バイアスピン。VCC と PGND の間にセラミック コンデンサを接続します。
11	PGND	G	ローサイドパワー MOSFET ゲートドライバの電源グランド接続ピン
12	LO	O	ローサイドパワー MOSFET ゲートドライバ出力
13	SW	P	降圧レギュレータおよびハイサイドゲートドライバのリターンのスイッチノード。ブートストラップコンデンサ、ハイサイド MOSFET のソース端子、ローサイド MOSFET のドレイン端子に接続します。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ(1)	説明
番号	名称		
14	HO	O	ハイサイドパワー MOSFET ゲートドライバ出力
15	CBOOT	P	ブートストラップゲートドライバのハイサイドドライバ電源
16	EN	I	立ち上がりスレッショルド 1V、ヒステリシス電流 11µA のアクティブ高精度入力。EN 電圧が 0.5V を下回っていれば、LM25139 はシャットダウンモードです。
17	露出パッド付き	G	露出パッドを電源グランド接続に接続します。

(1) P = 電源、G = グランド、I = 入力、O = 出力

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

接合部の動作時推奨温度である -40℃ ～ 150℃において (特に記述のない限り)。(1)

		最小値	最大値	単位
出力電圧	VOUT から AGND へ	-0.3	36	V
	SW に対する CBOOT	-0.3	V_{SW} + 5.5	V
	CBOOT から SW、過渡 < 20ns	-2		V
	HO から SW	-0.3	V_{CBOOT} + 0.3	V
	HO から SW、過渡 < 20ns	-5		V
	LO から PGND	-0.3	V_{VCC} + 0.3	V
	LO から PGND、過渡 < 20ns	-1.5		V
	VCC、PG、COMP から AGND	-0.3	5.5	V
入力電圧	AGND～PGND	-0.3	0.3	V
	VIN から PGND へ	-0.3	45	V
	SW～PGND	-0.3	45	V
	SW から PGND、過渡 < 20ns	-5		V
	EN、RT から PGND	-0.3	45	V
	FB、FPWM/SYNC から AGND	-0.3	5.5	V
	ISNS から AGND	-0.3	45	V
動作時の接合部温度、T_J		-40	150	°C
保管温度、T_{stg}		-55	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±750	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

接合部の動作時温度範囲 -40°C ～ 150°C (特に記載がない場合)。(1)

		最小値	公称値	最大値	単位
V_{IN}	入力電源電圧範囲	3.5		42	V
V_{OUT}	出力電圧範囲	0.8		36	V
	SW～PGND	-0.3		42	V
	CBOOT、HO から SW	-0.3	5	5.25	V
	FB、COMP から AGND	-0.3		5.25	V
	EN、RT から PGND	-0.3		42	V
	VCC、LO から PGND	-0.3	5	5.25	V
	VOUT、ISNS から PGND	-0.3		36	V
	PGND から AGND へ	-0.3		0.3	V
	FPWM/SYNC、PG から AGND	-0.3		5.25	V

Copyright © 2025 Texas Instruments Incorporated

5.3 推奨動作条件 (続き)

接合部の動作時温度範囲 -40°C ～ 150°C (特に記載がない場合)。(1)

		最小値	公称値	最大値	単位
T_J	動作時接合部温度	-40		150	°C

(1) 推奨動作条件は、デバイスが機能すると想定されている条件です。仕様およびテスト条件については、「電気的特性」を参照してください。

5.4 熱に関する情報

熱評価基準(1)		LM25139 RGT (VQFN) 16 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	55.2	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	62.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	29.9	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	3.5	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	29.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	14.3	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

T_J = –40°C ～ 150°C。標準値は T_J = 25°C および V_{IN} = 12V での値 (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
入力電源 (VIN)						
I_{Q-VIN1}	VIN シャットダウン電流	V_{EN} = 0V		2.3	4	µA
I_{Q-VIN2}	VIN スタンバイ 電流	非スイッチング、0.5V ≤ V_{EN} ≤ 1V		30	48	µA
I_{SLEEP1}	スリープ電流、3.3V	V_{EN}= 5V、V_{VOUT} = 3.3V、レギュレーション中、無負荷、スイッチングなし、$V_{FPWM/SYNC}$ = 0V		10	18	µA
I_{SLEEP2}	スリープ電流、5V	V_{EN} = 5V、V_{VOUT} = 5V、レギュレーション中、無負荷、スイッチングなし、$V_{FPWM/SYNC}$ = 0V		11	20	µA
高精度イネーブル (EN)						
V_{SDN}	シャットダウンからスタンバイへのスレッショルド	V_{EN} 立ち上がり		0.55		V
$V_{EN-HIGH}$	イネーブル電圧立ち上がりスレッショルド	V_{EN} 立ち上がり、スイッチングが有効	0.95	1.0	1.05	V
I_{EN-HYS}	イネーブル ヒステリシス	V_{EN} = 1.1 V	-14	-11	-8	µA
内部 LDO (VCC)						
$V_{VCC-REG}$	VCC のレギュレーション電圧	I_{VCC} = 0mA ～ 90mA	4.7	5	5.3	V
$V_{VCC-UVLO}$	VCC UVLO 立ち上がりスレッショルド		3.68	3.8	3.9	V
$V_{VCC-HYST}$	VCC UVLO ヒステリシス			300		mV
$I_{VCC-REG}$	内部 LDO 短絡電流制限			210		mA
リファレンス電圧 (FB)						
V_{REF}	レギュレーション済み FB 電圧		792	800	808	mV
出力電圧 (VOUT)						
$V_{OUT-3.3V-INT}$	3.3V 出力電圧設定ポイント	R_{FB} = 0Ω、V_{IN} = 4V ～ 42V	3.26	3.3	3.33	V
$V_{OUT-5V-INT}$	5V 出力電圧設定ポイント	R_{FB} = 24.9kΩ、V_{IN} = 5.5V ～ 42V	4.93	5.0	5.05	V
エラー アンプ (COMP)						
g_m	EA 相互コンダクタンス			1.1		mS
I_{FB}	誤差アンプ入力バイアス電流				100	nA
$V_{COMP-CLAMP=MAX}$	COMP クランプ最大電圧			2.1		V
$I_{COMP-SRC}$	EA ソース電流	V_{COMP} = 1V、V_{FB} = 0.68V		115		µA

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 (続き)

T_J = –40°C ～ 150°C。標準値は T_J = 25°C および V_{IN} = 12V での値 (特に記述のない限り)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{COMP-SINK}$	EA シンク電流	V_{COMP} = 1V、V_{FB} = 0.92V		115		µA
デュアルランダム拡散スペクトラム (DRSS)						
f_m	変調周波数		7.2		16.6	kHz
Δf_{C1}	低周波数のスペクトラム拡散 変調範囲 1	LM25139D5QRGTRQ1		±5		%
Δf_{C2}	低周波数のスペクトラム拡散 変調範囲 2	LM25139QRGTRQ1		±10		%
強制 PWM (FPWM/SYNC)						
$V_{FPWM-HI}$	FPWM High 検出スレッショルド				1.2	V
$V_{FPWM-LO}$	FPWM Low 検出スレッショルド		0.8			V
V_{ZC-PFM}	PFM でのゼロクロススレッショルド (LO オフ)			-5.5		mV
$V_{ZC-FPWM}$	FPWM でのゼロクロススレッショルド (LO オフ)			30		mV
$t_{PFM-FILTER}$	SYNCIN から PFM モード		13		72	µs
スイッチング周波数 (RT)						
V_{RT}	RT ピンのレギュレーション電圧	10kΩ < R_{RT} < 100kΩ		1		V
$F_{SW2-VCC}$	スイッチング周波数 2、RT から VCC	RT = 10.1kΩ から VCC		2.2		MHz
F_{SW1}	スイッチング周波数 1	R_{RT} = 53kΩ から AGND	396	440	484	kHz
F_{SW2}	スイッチング周波数 2	R_{RT} = 10.1kΩ から AGND		2.2		MHz
F_{SW3}	スイッチング周波数 3	R_{RT} = 237kΩ から AGND		100		kHz
$SLOPE_1$	内部スロープ補償 1	R_{RT} = 10.1kΩ		1000		mV/µs
$t_{ON(min)}$	最小オン時間	$V_{HO} – V_{SW} = V_{CBOOT} – V_{SW}$		25		ns
$t_{OFF(min)}$	最小オフ時間	$V_{HO} – V_{SW}$ = 0V		80		ns
パワーグッド (PG)						
V_{PG-OV}	PG OV スレッショルド レベル	レギュレーション電圧に応じて増加	107	110	113.5	%
V_{PG-UV}	PG UV スレッショルド レベル	レギュレーションされた電圧に応じて減少	89	92	95	%
$V_{PG-UV-HYST}$	PG UV ヒステリシス	レギュレーション出力に応じて増加		3.6		%
$V_{PG-OV-HYST}$	PG OV ヒステリシス	レギュレーション電圧に応じて増加		3.6		%
t_{OV-DLY}	PG OV フィルタ時間	V_{OUT} 立ち上がり		25		µs
t_{UV-DLY}	PG UV フィルタ時間	V_{OUT} 立ち下がり		25		µs
V_{PG-OL}	PG 電圧	オープンコレクタ、I_{PG} = 4mA	0.04	0.14	0.8	V
スタートアップ (ソフトスタート)						
t_{SS-INT}	内部固定ソフトスタート時間		1.5	3	4.2	ms
ブート回路 (CBOOT)						
$V_{BOOT-DROP}$	内部ダイオードの順方向電圧降下	I_{CBOOT} = 20mA、VCC から CBOOT		0.8		V
I_{BOOT}	CBOOT から SW への静止電流、スイッチングなし	V_{EN} = 5V、$V_{CBOOT} – V_{SW}$ = 5V			9	µA
$V_{BOOT-SW-UV-R}$	CBOOT から SW UVLO 立ち上がりスレッショルド	$V_{CBOOT} – V_{SW}$ 立ち上がり		2.9		V
$V_{BOOT-SW-UV-F}$	CBOOT から SW UVLO 立ち下がりスレッショルド	$V_{CBOOT} – V_{SW}$ 立ち下がり		2.6		V
$V_{BOOT-SW-UV-HYS}$	CBOOT から SW UVLO ヒステリシス			330		mV
ハイサイドゲートドライバ (HO)						
$V_{HO-HIGH}$	HO High 状態出力電圧	I_{HO} = –100mA、$V_{HO-HIGH} = V_{CBOOT} – V_{HO}$		120		mV
V_{HO-LOW}	HO Low 状態出力電圧	I_{HO} = 100mA		60		mV
I_{HO-SRC}	HO ピーク ソース電流	$V_{HO} = V_{SW}$ = 0V、$V_{CBOOT} = V_{VCC}$ = 5V		1.65		A
$I_{HO-SINK}$	HO ピーク シンク電流	V_{VCC} = 5V		2.4		A
ローサイドゲートドライバ (LO)						

Copyright © 2025 Texas Instruments Incorporated

5.5 電気的特性 (続き)

T_J = –40°C ～ 150°C。標準値は T_J = 25°C および V_{IN} = 12V での値 (特に記述のない限り)。

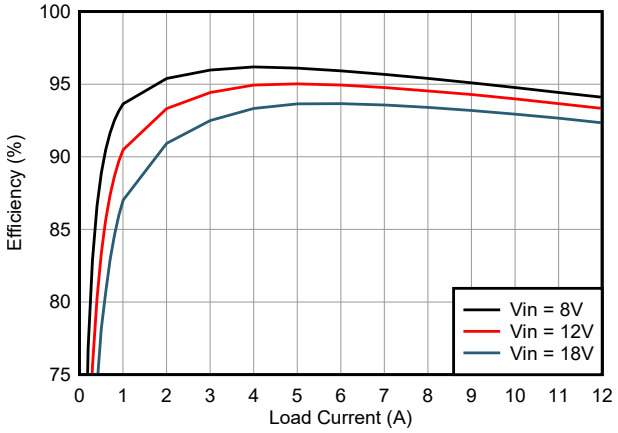
パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{LO-HIGH}$	LO High 状態出力電圧	I_{LO} = -100mA		124		mV
V_{LO-LOW}	LO Low 状態出力電圧	I_{LO} = 100mA		60		mV
I_{LO-SRC}	LO ピーク ソース電流	V_{LO} = V_{SW} = 0V、V_{VCC} = 5V		1.65		A
$I_{LO-SINK}$	LO ピーク シンク電流	V_{VCC} = 5V		2.4		A
アダプティブ デッドタイム制御						
t_{DEAD1}	HO オフから LO オンまでのデッドタイム			18		ns
t_{DEAD2}	LO オフから HO オンまでのデッドタイム			22		ns
内部ヒカップモード						
HIC_{DLY}	ヒカップ モードの起動遅延	V_{ISNS} – V_{VOUT} > 60mV		512		サイクル
HIC_{CYCLES}	ヒカップ モード障害	V_{ISNS} – V_{VOUT} > 60mV		16384		サイクル
過電流保護						
V_{CS-TH}	Current limit threshold	ISNS から VOUT まで測定	52	60	68	mV
$t_{DELAY-ISNS}$	出力までの ISNS 遅延			70		ns
G_{CS}	CS アンプのゲイン			10		V/V
$I_{BIAS-ISNS}$	CS アンプ入力バイアス電流				1.2	µA
サーマル シャットダウン						
T_{J-SHD}	サーマル シャットダウンのスレッショルド (1)	温度上昇		175		°C
T_{J-HYS}	サーマル シャットダウン ヒステリシス (1)			15		°C

(1) 設計により規定されています。実製品の検査は行っていません。

Copyright © 2025 Texas Instruments Incorporated

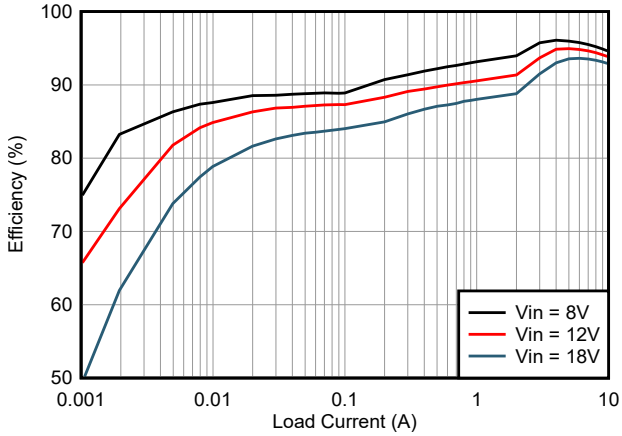
5.6 代表的特性

V_{IN} = 12V、T_J = 25℃、特に記述のない限り。



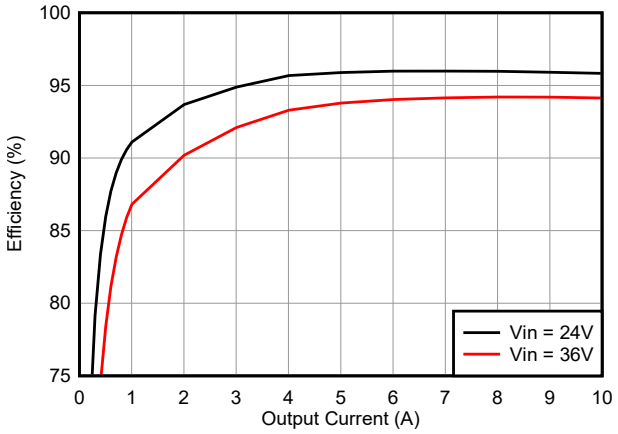
セクション 7.2.2 を参照　V_{OUT} = 3.3V　F_{SW} = 440kHz

図 5-1. 効率と負荷との関係、3.3V 出力、FPWM



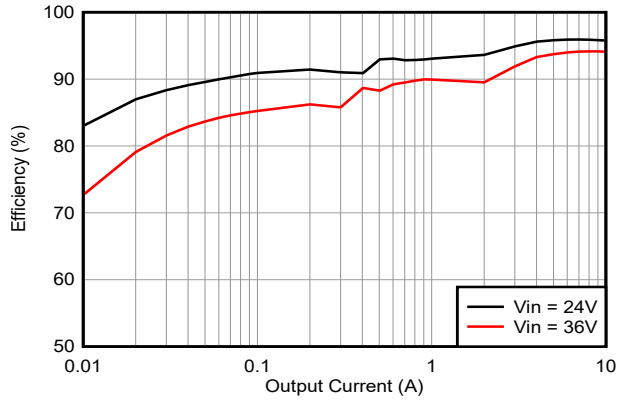
セクション 7.2.2 を参照　V_{OUT} = 3.3V　F_{SW} = 440kHz

図 5-2. 効率と負荷との関係、3.3V 出力、PFM



セクション 7.2.1 を参照　V_{OUT} = 12V　F_{SW} = 1MHz

図 5-3. 効率と負荷との関係、12V 出力、FPWM



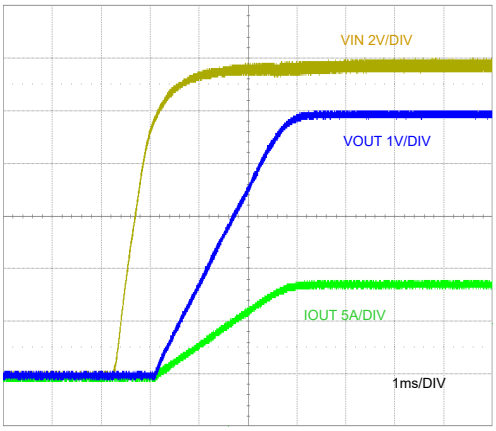
セクション 7.2.1 を参照　V_{OUT} = 12V　F_{SW} = 1MHz

図 5-4. 効率と負荷との関係、12V 出力、PFM

Copyright © 2025 Texas Instruments Incorporated

5.6 代表的特性 (続き)

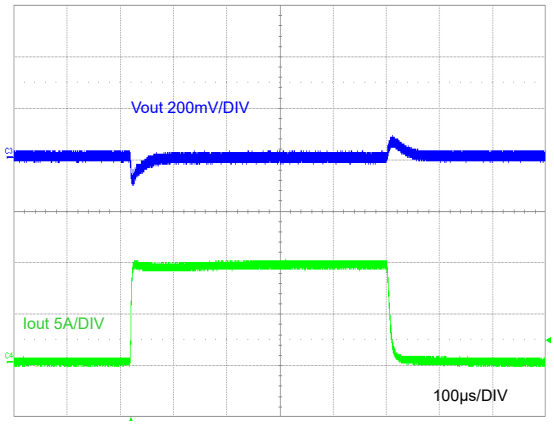
V_{IN} = 12V、T_J = 25℃、特に記述のない限り。



セクション 7.2.2 を参照

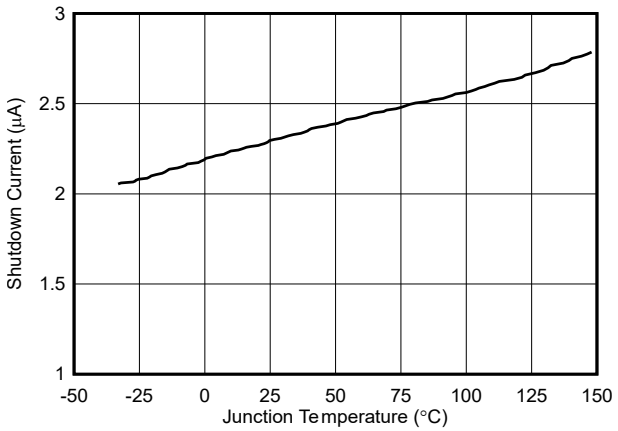
8A の抵抗性負荷

図 5-5. スタートアップ特性



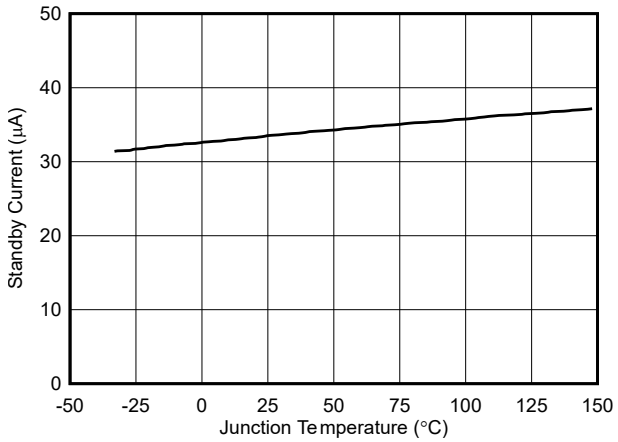
I_{OUT} = 0 A～10 A　　V_{OUT} = 5V　　2A/µs スルーレート

図 5-6. 負荷過渡応答



V_{EN} = 0 V

図 5-7. シャットダウン時の静止電流と温度との関係

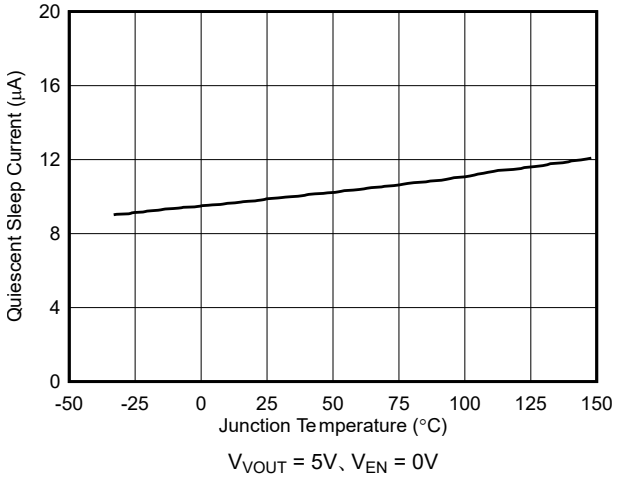


0.6V < V_{EN} < 1V

図 5-8. スタンバイ静止電流と温度との関係

5.6 代表的特性 (続き)

V_{IN} = 12V、T_J = 25℃、特に記述のない限り。



V_{VOUT} = 5V、V_{EN} = 0V

図 5-9. スリープ静止電流と温度との関係

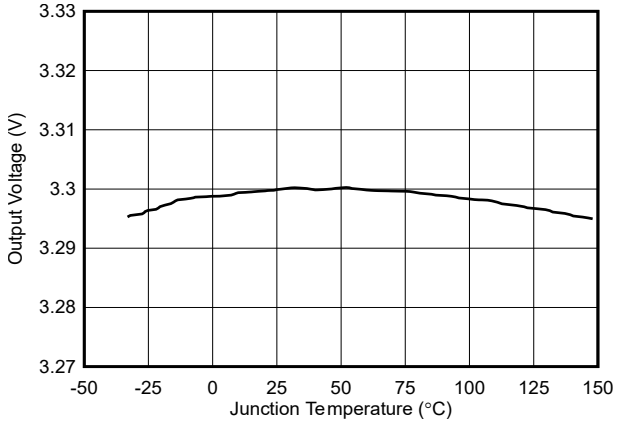


図 5-10. 固定 3.3V 出力電圧と温度との関係

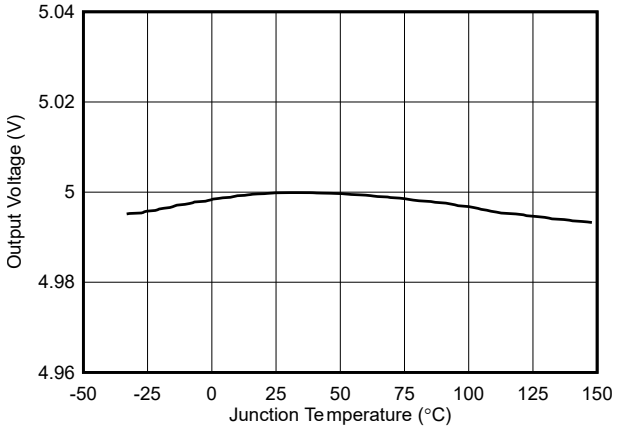


図 5-11. 固定 5V 出力電圧と温度との関係

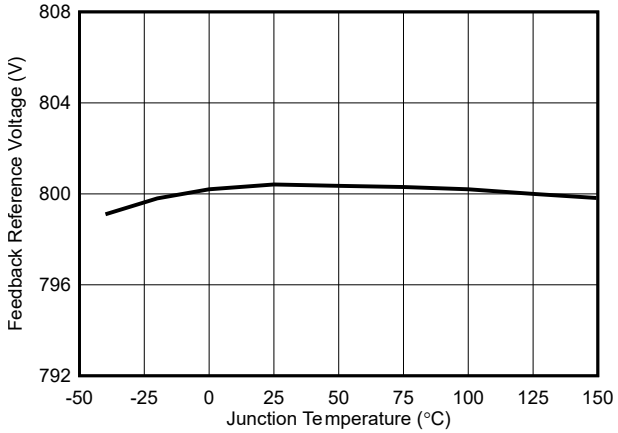


図 5-12. 帰還電圧と温度との関係

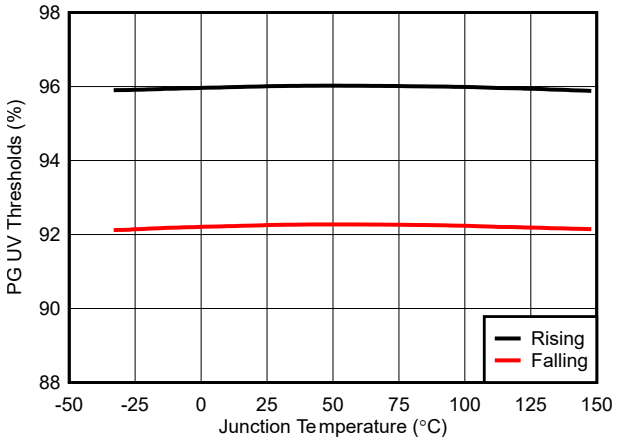


図 5-13. PG UV スレッショルドと温度との関係

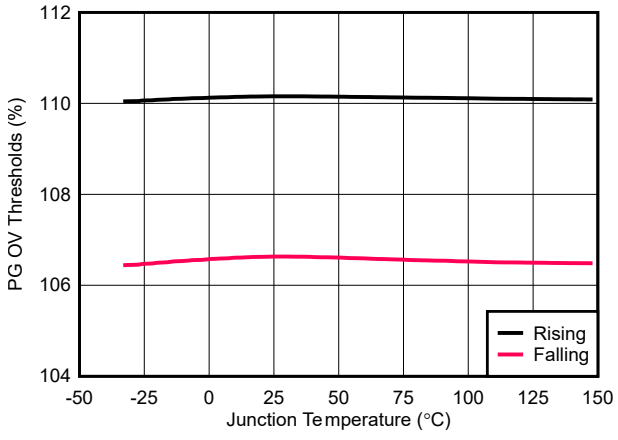


図 5-14. PG OV スレッショルドと温度との関係

Copyright © 2025 Texas Instruments Incorporated

5.6 代表的特性 (続き)

V_{IN} = 12V、T_J = 25℃、特に記述のない限り。

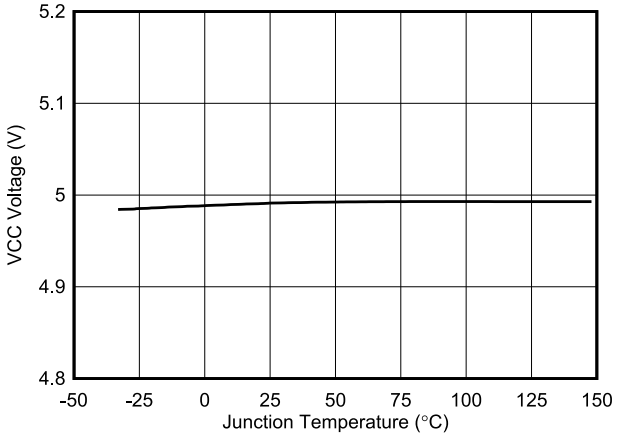


図 5-15. VCC レギュレーション電圧と温度との関係

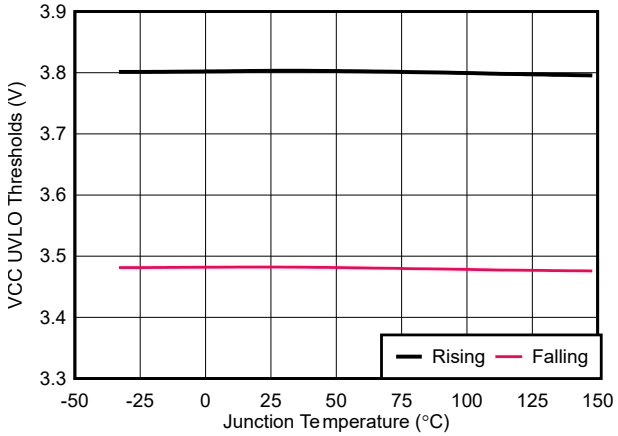


図 5-16. VCC UVLO スレッショルドと温度との関係

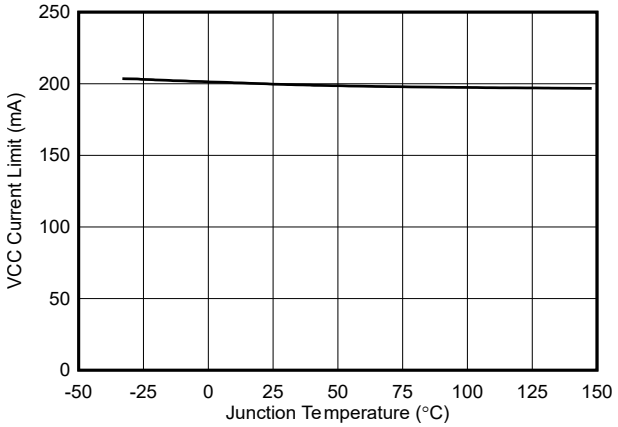


図 5-17. VCC 電流制限と温度との関係

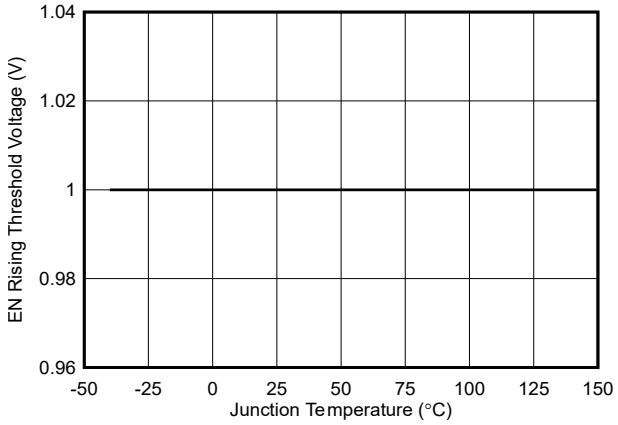


図 5-18. EN 立ち上がりスレッショルド電圧と温度との関係

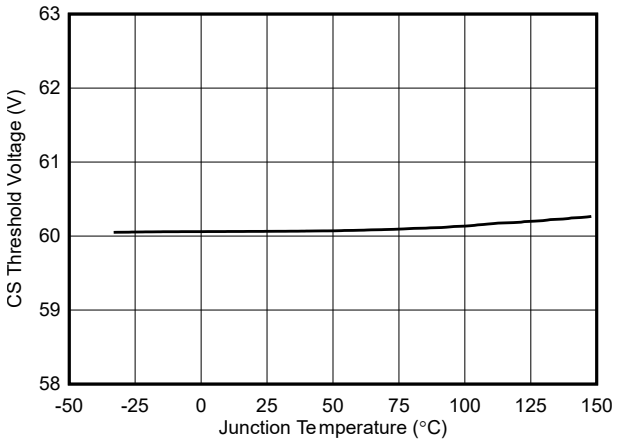


図 5-19. 電流センススレッショルドと温度との関係

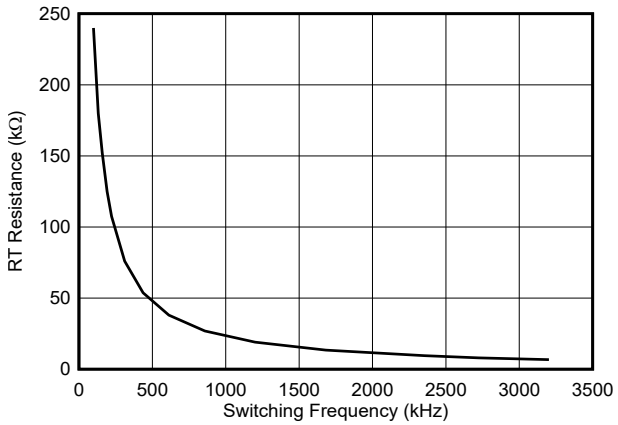


図 5-20. RT 抵抗とスイッチング周波数との関係

Copyright © 2025 Texas Instruments Incorporated

6 詳細説明

6.1 概要

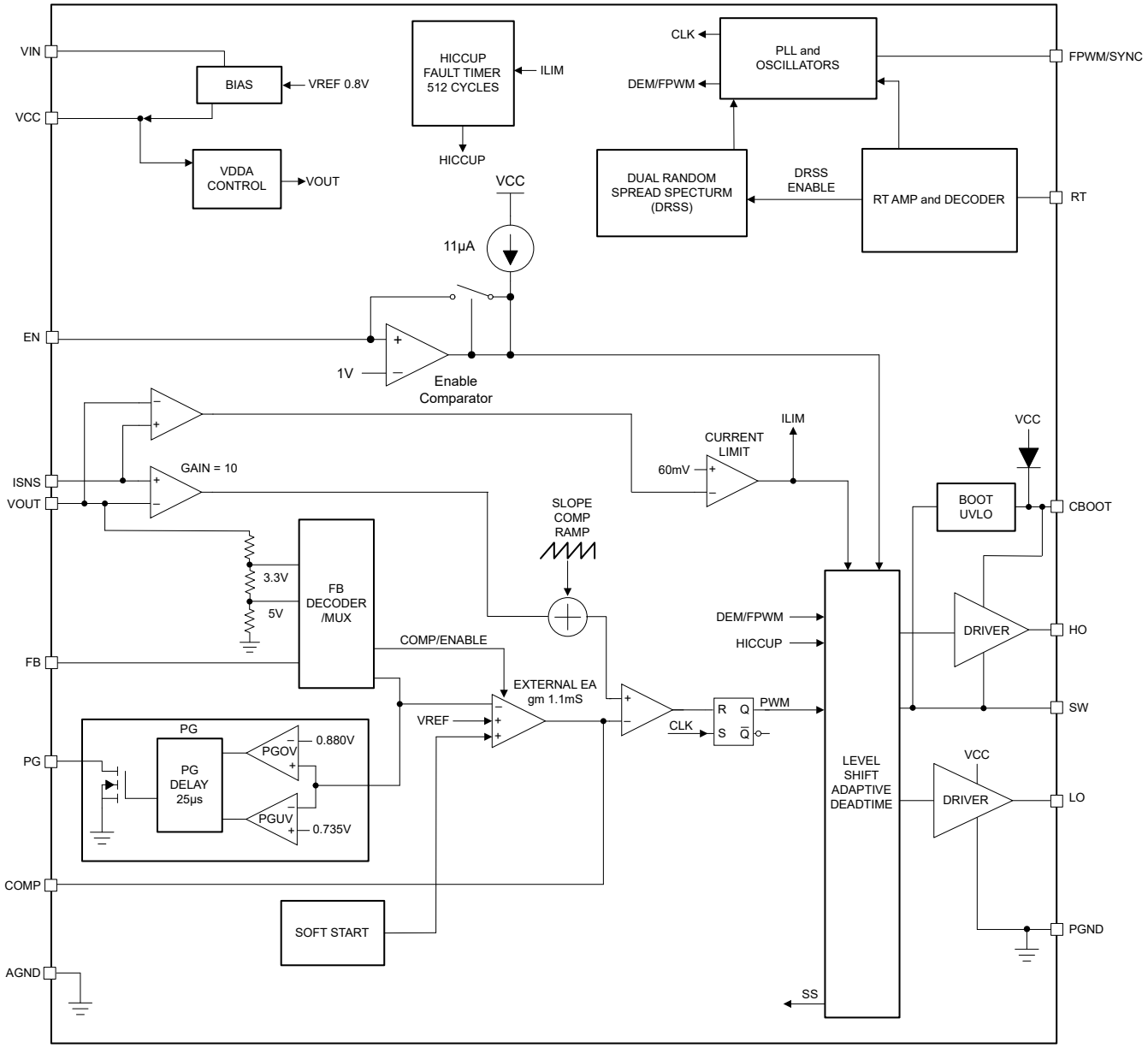
LM25139 は 4V ～ 42V の広い入力電圧範囲で動作する、高効率の同期整流降圧電源を実装するために必要なすべての機能を備えたスイッチングコントローラです。LM25139 は、固定 3.3V、5V、または 0.8V ～ 36V の可変出力を供給するように構成されています。この使いやすいコントローラは、それぞれ 1.65A と 2.4A のピーク電流を供給およびシンクできる、ハイサイドとローサイドの各 MOSFET ゲートドライバを内蔵しています。アダプティブデッドタイム制御は、ボディダイオードの導通を最小限に抑えるように設計されています。

シャント抵抗またはインダクタ DCR 電流センシングを使用するピーク電流モード制御により、固有ラインのフィードフォワード、サイクル単位のピーク電流制限、簡単なループ補償を実現します。また、電流モード制御は、高入力電圧と低ドロップアウトアプリケーションの場合だけでなく、高降圧変換比 (たとえば、10 対 1) が必要なアプリケーションでも、幅広いデューティサイクル範囲をサポートします。発振器の周波数は 100kHz ～ 3.2MHz の間でユーザーがプログラム可能であり、外部クロックを FPWM/SYNC に適用することにより、最大 3.2MHz の周波数を同期することが可能です。ユーザーが選択可能な PFM モード機能により、不連続導通モード (DCM) 動作をイネーブルにして、軽負荷条件時の効率をさらに向上させ、消費電力を低減することができます。

LM25139 には、産業用 CISPR 11 アプリケーションなど、さまざまな EMI 規格への準拠を容易にする機能が搭載されています。DRSS 手法はピーク高調波 EMI シグネチャを低減します。LM25139 は、放熱に役立つ露出パッド付きの 16 ピン RGT パッケージで供給されます。

Copyright © 2025 Texas Instruments Incorporated

6.2 機能ブロック図


VIN
VCC
EN
ISNS
VOUT
FB
PG
COMP
AGND
BIAS
VREF 0.8V
VDDA CONTROL
VOUT
HICCUP FAULT TIMER 512 CYCLES
ILIM
HICCUP
VCC
11µA
1V
Enable Comparator
GAIN = 10
3.3V
5V
FB DECODER /MUX
SLOPE COMP RAMP
COMP/ENABLE
EXTERNAL EA gm 1.1mS
VREF
PG
PG DELAY 25µs
PGOV
0.880V
PGUV
0.735V
SOFT START
CLK
PLL and OSCILLATORS
DEM/FPWM
FPWM/SYNC
DUAL RANDOM SPREAD SPECTURM (DRSS)
DRSS ENABLE
RT AMP and DECODER
RT
CURRENT LIMIT
60mV
ILIM
DEM/FPWM
HICCUP
R Q
S Q̄
PWM
CLK
LEVEL SHIFT ADAPTIVE DEADTIME
SS
BOOT UVLO
VCC
CBOOT
DRIVER
HO
SW
VCC
DRIVER
LO
PGND

6.3 機能説明

6.3.1 入力電圧範囲 (V_{IN})

LM25139 の動作入力電圧範囲は 4V ～ 42V です。このデバイスは、12V および 24V の車載電源レールからの降圧変換を目的としています。図 6-1 のアプリケーション回路に、単一電源を使用した LM25139 ベースの幅広い V_{IN} の降圧レギュレータを実装するために必要なすべての部品を示します。LM25139 は内蔵の LDO サブレギュレータを使用して、ゲート駆動および制御回路用の 5V VCC バイアスレールを供給します (入力電圧は 5V と必要とされるサブレギュレータのドロップアウト仕様を加算した値より大きいと仮定)。

高入力電圧のアプリケーションでは、ラインまたは負荷の遷移イベント中は、VIN ピンと SW ピンが 45V の絶対最大電圧定格を超えないように注意してください。*絶対最大定格*を超えて電圧が逸脱すると、IC が損傷する可能性があります。電圧のオーバーシュートとリンギングを最小限に抑えるには、PCB 基板レイアウト中は注意深く作業を行い、高品質な入力バイパスコンデンサを使用してください。

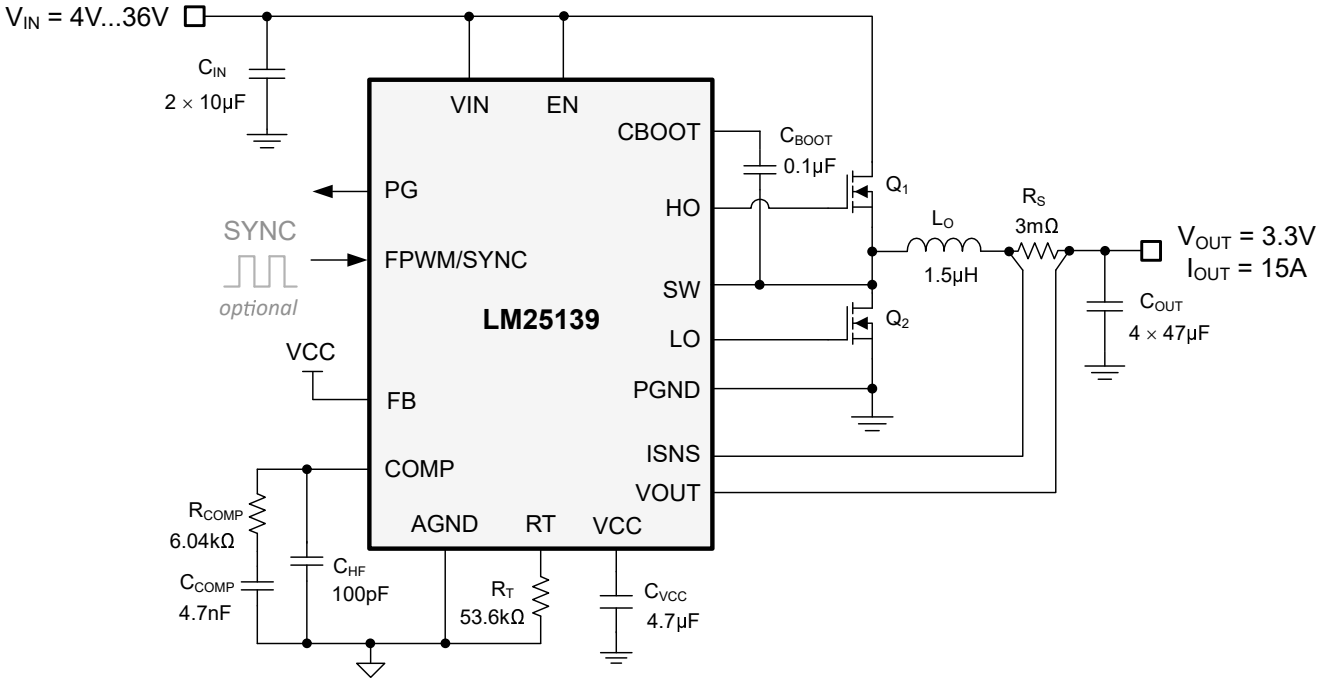


図 6-1. 代表的なアプリケーション回路図

V_{IN} が V_{OUT} に近づくと、LM25139 は t_{OFF} サイクルをスキップして、コントローラがデューティサイクルを約 99% まで延長できるようにします。図 6-2 も参照してください。

LM25139 がドロップアウトモードに移行するタイミングを計算するには、式 1 を使用します。

- t_{SW} は 発振器周期です
- t_{OFF} は最小オフ時間で、標準値は 80ns です

$$V_{IN(min)} = \frac{V_{OUT} \times t_{SW}}{t_{SW} + t_{OFF(min)}} \quad (1)$$

Copyright © 2025 Texas Instruments Incorporated

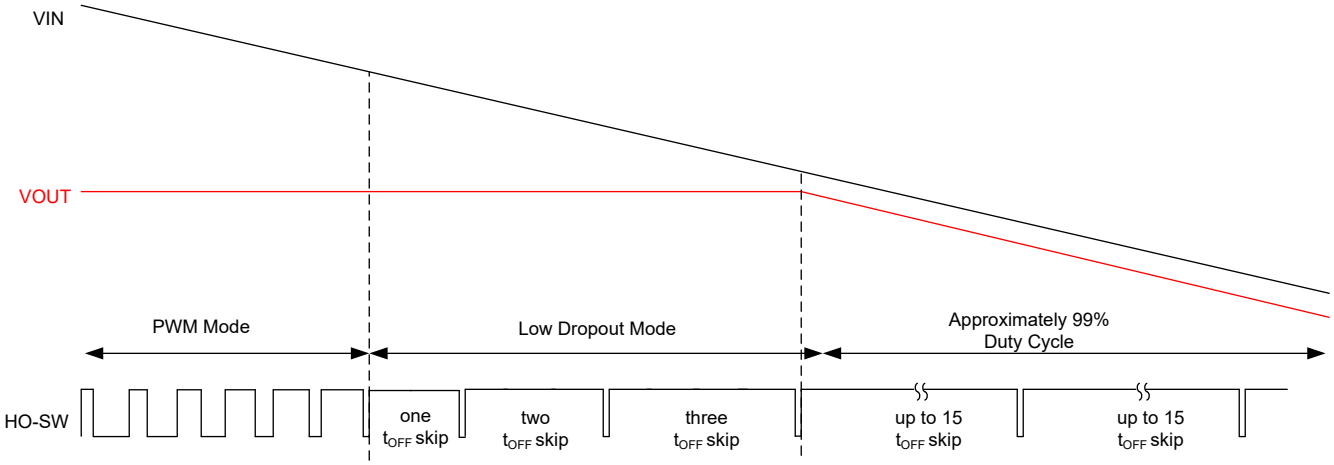


図 6-2. ドロップアウトモードでの動作

6.3.2 高電圧バイアス電源レギュレータ (VCC)

LM25139 には、高電圧 VCC バイアス レギュレータが内蔵されており、PWM コントローラ向けバイアス電源と、外部 MOSFET 用ゲートドライバを供給します。コントローラは最大 42V の入力電圧の定格です。ただし、入力電圧が VCC 設定ポイントレベルを下回っている場合、VCC 電圧は V_{IN} からわずかな電圧降下を引いた値となります。

VCC レギュレータの出力電流制限は 210mA (標準値) です。パワーアップ時に、コントローラは VCC ピンに接続されているコンデンサに電流を供給します。VCC 電圧が 3.8V (標準値) を超え、EN ピンが 1V を上回ると、ソフトスタートシーケンスが開始されます。VCC 電圧が VCC UVLO 立ち下がりスレッショルドの 3.5V (標準値) を下回るまで降下、または EN が Low 状態に切り替わるまで、出力はアクティブ状態を維持します。VCC と PGND の間にセラミックコンデンサを接続します。VCC コンデンサの推奨範囲は 2.2µF ～ 10µF です。

6.3.3 高精度イネーブル (EN)

EN ピンは最大 42V の電圧に接続できます。LM25139 には高精度イネーブル機能があります。EN の電圧が 1V を超えるとスイッチングがイネーブルになります。EN 電圧が 0.5V 未満の場合、LM25139 はシャットダウン状態になり、V_{IN} からの消費電流 I_Q は 2.3uA (標準値) になります。EN 電圧が 0.5V ～ 1V の場合、LM25139 はスタンバイモードになり、VCC レギュレータはアクティブですが、コントローラはスイッチングしません。コントローラがスタンバイモードのとき、入力静止電流は 30µA (標準値) です。電圧が 1V を上回ると LM25139 はイネーブルになります。ただし、多くのアプリケーションでは、図 6-3 に示すように抵抗デバイダ R_{UV1} と R_{UV2} 使用することで、高精度 UVLO を確立できる利点があります。TI では EN ピンをフローティングのままにしないように推奨しています。

式 2 および 式 3 を使用して、必要な入力ターンオンおよびターンオフ電圧が指定された UVLO 抵抗を計算します。

$$R_{UV1} = \frac{V_{IN(ON)} - V_{IN(OFF)}}{I_{HYS}} \quad (2)$$

$$R_{UV2} = \frac{R_{UV1} \times V_{EN}}{V_{IN(ON)} - V_{EN}} \quad (3)$$

Copyright © 2025 Texas Instruments Incorporated

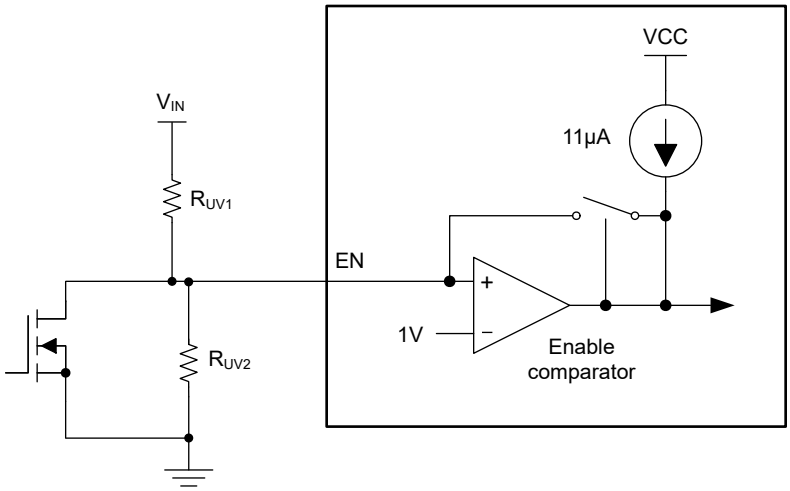


図 6-3. プログラマブル入力電圧 UVLO をオン

6.3.4 パワー グッド モニタ (PG)

LM25139 には V_{OUT} の出力電圧監視信号があり、シーケンシングと監視を簡素化しています。パワーグッド信号は、ダウンストリームコンバータのスタートアップシーケンシング、故障保護、出力監視に使用します。パワー グッド出力 (PG) は、出力電圧がレギュレーション状態のときに、高インピーダンスのオープン ドレイン状態に切り替わります。出力電圧がパワーグッドスレッショルドの下限値 (標準 92%) を下回るまで低下するか、またはパワーグッドスレッショルドの上限値 (標準 110%) を上回ると、PG は Low に切り替わります。25µs のグリッチ除去フィルタにより、遷移中の PG の誤トリップが防止されます。TI では、PG から関連するロジックレールまでの間に 100kΩ (標準値) のプルアップ抵抗を入れることを推奨しています。

6.3.5 スイッチング周波数 (RT)

LM25139 発信機を RT から AGND の抵抗でプログラムし、発信機の周波数を 100kHz ～ 3.2MHz に設定します。式 4 を使用して、指定されたスイッチング周波数の RT 抵抗を計算します。

$$R_T\left(k\Omega\right) = \frac{23759}{F_{SW}(kHz)} - 0.72 \quad (4)$$

RT と AGND の間に接続された抵抗を使用して発振器の周波数を設定すると、DRSS 無効化されます。DRSS を有効にするには、発振器の周波数に 式 4 を使い RT と VCC の間に抵抗を接続します。

6.3.6 デュアル ランダム スペクトラム拡散機能 (DRSS)

LM25139 にはデジタルスペクトラム拡散機能があり、広い周波数範囲にわたって電源の EMI を低減します。DRSS 機能は、低周波数の三角波変調プロファイルと、高周波数のサイクル単位のランダム変調プロファイルを組み合わせたものです。低周波数三角波変調は低い無線周波数帯域で性能を向上させ、高周波のランダム変調は高い無線周波数帯域で性能を向上させます。

スペクトラム拡散は、狭帯域信号を広帯域信号に変換し、エネルギーを複数の周波数にわたって拡散することで動作します。業界規格では周波数帯域ごとに異なる EMI レシーバ解像度の帯域幅 (RBW) 設定を要求しているため、RBW はスペクトラム拡散の性能に影響を及ぼします。 DRSS は、低周波数の三角波変調プロファイルと高周波サイクル単位のランダム変調を使用して、それぞれ低 RBW および高 RBW の EMI 性能を同時に向上できます。DRSS により、伝導エミッションを低周波数帯域 (150kHz ～ 30MHz) で 15dBµV、高周波帯域 (30MHz ～ 108MHz) で 5dBµV に低減できます。

DRSS を有効にするには、RT ピンと VCC の間に抵抗を接続します。

Copyright © 2025 Texas Instruments Incorporated

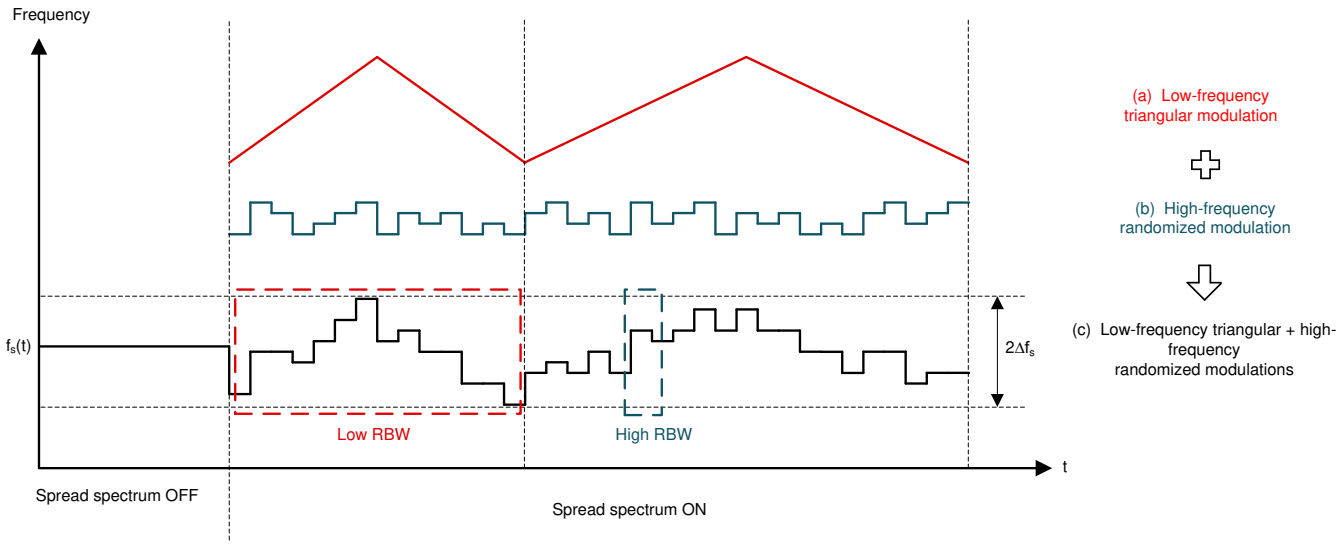


図 6-4. デュアル ランダム スペクトラム拡散機能の実装

6.3.7 ソフトスタート

LM25139 には内部 3ms ソフトスタートタイマ (標準値) があります。ソフトスタート機能は、レギュレータを徐々に定常状態動作点へと到達させることで、起動時のストレスやサージを低減します。

6.3.8 出力電圧の設定ポイント (FB)

LM25139 の出力は、外付けの帰還抵抗を使用せずに 2 つの固定出力電圧の 1 つに対して個別に構成することも、または外付けの抵抗分割器を使用して目的の電圧に調整することも可能です。FB を VCC に直接接続して出力を 3.3V に設定します。または、FB と VCC の間に 24.9kΩ の抵抗を取り付けることで、出力を 5V に設定します。表 6-1 を参照してください。

表 6-1. 帰還構成抵抗

VCC へのプルアップ抵抗	V_{OUT} 設定ポイント
0 Ω	3.3V
24.9kΩ	5V
設置されていません	外部 FB 分圧器の設定

または、出力と AGND との間に外付け抵抗の分圧器を接続して出力電圧を設定します。出力電圧の調節範囲は 0.8V ～ 36V です。FB のレギュレーション電圧は 0.8V (V_{REF}) です。式 5 を使用すると、それぞれ R_{FB1} と R_{FB2} と表される帰還抵抗の上限と下限を計算することができます。

$$R_{FB1} = \left(\frac{V_{OUT} - 1}{V_{REF}}\right) \times R_{FB2} \quad (5)$$

R_{FB2} の推奨開始値は 10kΩ ～ 20kΩ です。

低 I_Q 動作が必要な場合は、外付け帰還抵抗の選択に注意してください。外付け分圧器の消費電流は、LM25139 のスリープ電流 (標準値 9.5μA) に加算されます。V_{IN} に反映される分割電流は、V_{OUT}/V_{IN} の比で増減します。

LM25139 が (VIN 電圧が 3V を下回り) パワーダウンして再びパワーアップするまで、FB の設定はラッチされ変更できません。FB の設定は、EN ピンの電圧が 0.5V を下回り、その後 0.5V を超えるまで上昇して、EN ピンがディスエーブルサイクルを経由した場合も、再構成できます。

Copyright © 2025 Texas Instruments Incorporated

6.3.9 最小制御可能オン時間

最小出力電圧の調整範囲には、LM25139 の 0.8V の電圧リファレンスと、制御可能なスイッチ ノードの最小パルス幅 $t_{ON(min)}$ という 2 つの制約があります。

$t_{ON(min)}$ は実質的に、指定されたスイッチング周波数における電圧降圧変換比 V_{OUT}/V_{IN} を制限します。固定周波数の PWM 動作の場合、電圧の変換比は次の 式 6 を満たす必要があります:

$$\frac{V_{OUT}}{V_{IN}} > t_{ON(min)} \times F_{SW} \quad (6)$$

ここで、

- $t_{ON(min)}$ は 25ns (標準値) です。
- F_{SW} はスイッチング周波数です。

目標とする電圧変換比が上記の条件を満たさない場合、LM25139 は固定スイッチング周波数動作からパルス スキッピング モードに遷移して、出力電圧のレギュレーションを維持します。たとえば、目標の出力電圧が 5V で、入力電圧 24V、スイッチング周波数 2.1MHz の場合、式 7 を使用して変換比を検証します。

$$\frac{5V}{24V} > 25ns \times 2.1MHz \quad (7)$$

$$0.208 > 0.0525 \quad (8)$$

V_{IN} の範囲が広いアプリケーションで低出力電圧の場合、式 6 の要件を満たすためのもう 1 つの方法は、LM25139 のスイッチング周波数を下げることです。

6.3.10 エラーアンプと PWM コンパレータ (FB)

LM25139 には高ゲイン相互コンダクタンスアンプがあり、フィードバック電圧と内部高精度基準電圧 (0.8V) の間の差に比例した誤差電流を生成します。相互コンダクタンスアンプの出力は COMP ピンに接続して、ユーザーが外部制御ループ補償を行うことができます。TI では一般的に、ピーク電流モード制御用の type-II 補償ネットワークをお勧めしています。

出力電圧が -300mV を下回ると、出力電圧が -300mV を上回るまで、pwm パルスの comp 制御が停止してローサイド駆動がオンになります。その時点で、comp によって pwm パルスの制御が再アサートされます。

6.3.11 スロープ補償

LM25139 には、ピーク電流モード制御と 50% を超えるデューティ サイクルで安定した動作を実現するスロープ補償が提供されています。式 9 を使用して降圧インダクタンスを計算し、スロープ補償の寄与がインダクタのダウンスロープの 1 倍になるようにします。

$$L_{O\text{-}IDEAL}(\mu H) = \frac{V_{OUT}(V) \times R_S(m\Omega)}{45 \times F_{SW}(MHz)} \quad (9)$$

- 一般に、インダクタンスの値が低いほど、ピーク ツー ピークのインダクタ電流は増加します。これにより、サイズとコストは最小限に抑えられ、コア損失とピーク電流の増加によって軽負荷効率が下がる代わりに、過渡応答が向上します。
- 一般に、インダクタンスの値が大きいほどピークツーピークのインダクタ電流が低下し、スイッチピークと RMS 電流が現象しますが、負荷過渡仕様を満たすためにより大容量の出力コンデンサが必要になります。

6.3.12 インダクタ電流センス (ISNS、VOUT)

降圧出力段のインダクタ電流を検出する方法には 2 種類あります。1 つ目は、インダクタと直列に電流センス抵抗 (シャントとも呼ばれます) を使用する方法、2 つ目はインダクタの DC 抵抗を利用する方法 (DCR 電流センシング) です。

Copyright © 2025 Texas Instruments Incorporated

6.3.12.1 シャント電流センシング

シャント電流センシングは、シャント抵抗を使用したインダクタ電流センシングを示します。この構成では、インダクタ電流を継続的に監視して、動作温度範囲全体での正確な過電流保護を実現します。最適な電流センス精度と過電流保護を実現するためには、インダクタと出力の間に低インダクタンスで ±1% の許容誤差を持つシャント抵抗を使用して、LM25139 の電流センス アンプまでケルビン接続します。

ISNS から VOUT までの間で検出されたピーク電圧信号が 60mV の電流制限スレッショルドを超えた場合、電流制限コンパレータはサイクルごとの電流制限の HO 出力をただちに停止します。シャント抵抗を計算するには、式 10 を使用します。

$$R_S = \frac{V_{CS\text{-}TH}}{I_{OUT(CL)} + \frac{\Delta I_L}{2}} \quad (10)$$

ここで、

- $V_{CS\text{-}TH}$ は、60mV の電流センススレッショルドです。
- $I_{OUT(CL)}$ は過電流設定ポイントで、最大負荷電流より大きな値を設定して、負荷過渡中の過電流コンパレータのトリッピングを防止します。
- ΔI_L は、ピーク ツー ピークのインダクタ リップル電流です。

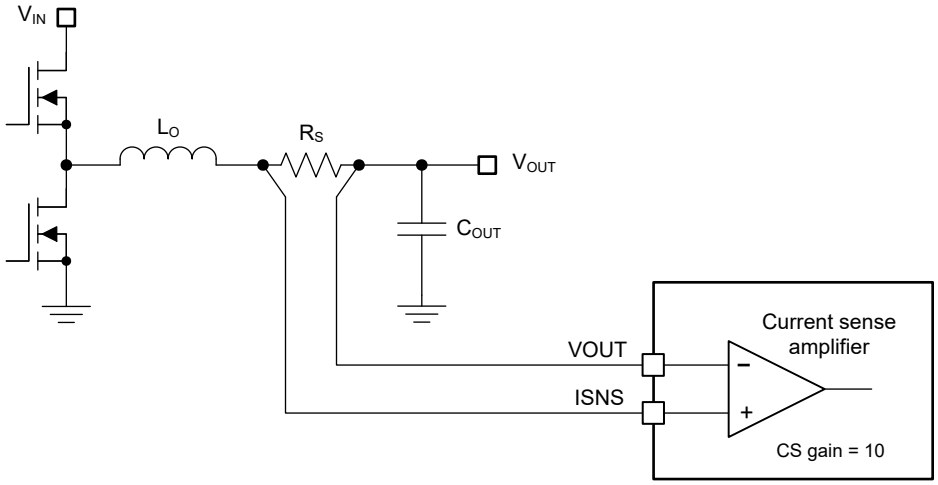


図 6-5. シャント電流センシングの実装

ソフトスタート電圧は、過電流状態およびソフトスタートの完了後 (8ms タイマ)、FB より 95mV 高い値にクランプされます。過電流イベントが 16 回発生すると、SS のクランプがイネーブルになります。これにより、短い過電流イベント中は SS は Low にプルされるため、復帰中の出力電圧のオーバーシュートが防止されます。

6.3.12.2 インダクタ DCR 電流センシング

精密な電流制限保護を必要としない大電力アプリケーションでは、インダクタ DCR 電流センシングが推奨されます。この手法では、インダクタと並列な RC センス ネットワークを利用して、ロスレスなインダクタ電流を実現して、これを連続監視することができます。室温で 10%～15% の範囲内での標準的な電流制限精度を得るには、DCR 許容誤差の小さなインダクタを選択します。図 6-6 の部品 R_{CS} と C_{CS} によりインダクタ間にローパスフィルタが作成され、インダクタ DCR 間の電圧の差動センシングが可能となります。

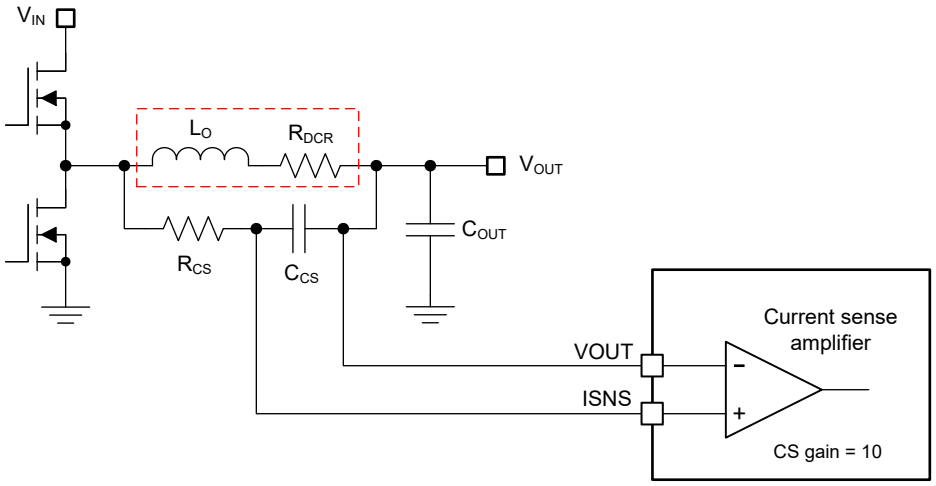


図 6-6. インダクタ DCR 電流センシングの実装

式 11 は、s ドメインのセンスコンデンサ間の電圧降下を示しています。$R_{CS}C_{CS}$ 時定数が L_O/R_{DCR} に等しい場合、センス コンデンサ C_{CS} 間に発生する電圧はインダクタ DCR 電圧の複製であり、精密な電流センシングが可能となります。$R_{CS}C_{CS}$ 時定数が L_O/R_{DCR} 時定数とは異なる場合、次のようなセンシング誤差が発生します。

- $R_{CS}C_{CS} > L_O/R_{DCR}$ の場合 → DC レベルは正しいが、AC 振幅は減衰する。
- $R_{CS}C_{CS} < L_O/R_{DCR}$ の場合 → DC レベルは正しいが、AC 振幅は増幅される。

$$V_{CS}(s) = \left(I_{OUT(CL)} + \frac{\Delta I}{2}\right) \times R_{DCR} \times \frac{\left(1 + s\frac{L_O}{R_{DCR}}\right)}{(1 + sR_{CS}C_{CS})} \quad (11)$$

低インピーダンスセンシングネットワークを維持するために、0.1µF 以上の C_{CS} 容量を選択してください。この結果、スイッチノードからのノイズピックアップの影響が低減されます。セクション 7.4.1 をよく読み、ノイズと DC 誤差によって ISNS ピンと VOUT ピンの間に印加される電流センス信号に誤りが発生しないように注意してください。

6.3.12.3 ヒカップモード電流制限

LM25139 には内部ヒカップモード保護機能が搭載されています。過負荷が検出されると、サイクル単位の電流制限が 512 サイクル発生します。電流制限スレッショルドを超えないまま、スイッチングサイクルが連続 4 回発生すると、512 サイクルのカウンタはリセットされます。512 サイクルカウンタが満了すると、内部ソフトスタートが Low にプルされ、HO および LO ドライバ出力が無効化されて、16384 サイクルのヒカップカウンタが有効になります。カウンタが 16384 に達すると、内部ソフトスタートが有効になって出力が再開されます。ソフトスタート中は、ソフトスタートが完了して (8ms) 出力電圧がレギュレーション値の半分に達するまで、ヒカップモードの電流制限は無効化されます。

Copyright © 2025 Texas Instruments Incorporated

6.4 デバイスの機能モード

6.4.1 スリープ モード

LM25139 はピーク電流モード制御で動作するため、COMP 電圧はピークインダクタ電流に比例します。無負荷または軽負荷状態では、出力コンデンサは非常にゆっくりと放電されます。その結果、COMP 電圧はサイクル単位でのドライバ出力パルスを要求しません。LM25139 のコントローラがスイッチングサイクルの検出に 16 回失敗すると、LM25139 はスリープモードに入り、低 I_Q 状態に切り替わって、入力から流れる電流を低減します。スリープモードの標準コントローラ I_Q は、3.3V 出力で 10µA です。

6.4.2 強制 PWM と同期 (FPWM/SYNC)

ダイオードの代わりにローサイド同期 MOSFET を実装した同期整流降圧レギュレータは、軽負荷、出力過電圧、プリバイアスのスタートアップ条件中は出力から負の電流をシンクできます。LM25139 にはダイオードエミュレーション機能 (PFM モードとも呼ばれる) があり、ローサイド MOSFET の逆 (ドレインからソース) 電流を防止します。PFM モードに構成した場合、電流センス抵抗またはインダクタ DCR センシング方式を使用して、インダクタ電流 (V_{ISNS} - V_{OUT}) 検出により逆電流が検出されると、ローサイド MOSFET がオフになります。検出されたインダクタ電流は、ゼロクロスのスレッショルド (5.5mV) と比較され、逆電流の流れを示します。PFM モードでは、ピークインダクタ電流は電流制限の 20% 以上になるように強制されます。この構成の利点は軽負荷条件時に電力損失が低減されることです。PFM モードの欠点は軽負荷時の過渡応答が遅くなることです。

FPWM/SYNC ピンを使用して PFM を構成します。PFM をイネーブルにして、軽負荷時に低 I_Q 電流を実現するには、FPWM/SYNC を GND に接続します。FPWM を連続導通モード (CCM) で動作する必要がある場合は、FPWM/SYNC を VCC に接続します。PFM モードは、プリバイアスのスタートアップ条件中に逆電流が流れることを防止するため、自動的に動作します。デバイスが FPWM モードで動作するように設定されている場合、本デバイスは引き続き PFM モードでスタートアップし、スタートアップ時に PFM モードから FPWM モードに遷移するために 1000 サイクルのスイッチングパルスが必要です。

LM25139 には、FPWM モードから PFM モードに遷移するための 35µs の標準グリッチ除去フィルタを備えています。グリッチ除去フィルタの有効期限が過ぎると、ピークインダクタ電流は電流制限の 20% 以上に強制され、5.5mV のゼロ電流スレッショルドが有効になります。PFM モードから FPWM モードへの遷移は 2 ステージです。最初のステージでは、20% の最小ピーク電流制限が直ちに除去されます。その後、5.5mV のゼロ電流スレッショルドは、1000 つのハイサイド FET スイッチングサイクルにわたって、負の電流制限である 30mV まで線形的に低下します。

LM25139 を外部ソースと同期させるには、ロジックレベルのクロック信号を FPWM/SYNC に適用します。LM25139 は、最大 3.2MHz の RT をプログラムされた周波数の ±20% に同期できます。RT 抵抗と同期信号がある場合、LM25139 は RT 抵抗を無視し、外部クロックと同期します。低 V_{IN} 状態で最小オフ時間に達した場合、同期信号は無視され、スイッチング周波数を低減して、出力電圧レギュレーションを維持します。

EN 電圧が Low のときに FPWM/SYNC に外部クロックを印加することで、LM25139 をスタンバイモードに移行できます。この動作により VCC レギュレータがオンになり、EN が 1V を超えて駆動されたときのターンオン時間を短縮できます。

6.4.3 サーマル シャットダウン

LM25139 には、内部接合部温度モニタが搭載されています。温度が 175℃ (標準値) を超えると、サーマル シャットダウンが発生します。サーマル シャットダウンに入ると、デバイスは以下のように動作します。

1. ハイサイド MOSFET とローサイド MOSFET を停止します。
2. PG が Low に切り替わります
3. VCC レギュレータを停止します。
4. ダイ温度がサーマル シャットダウン ヒステリシスの 15℃ (標準値) だけ低下すると、ソフトスタート シーケンスを開始します。

この保護は非ラッチ保護のため、故障が継続していると、デバイスはサーマル シャットダウン状態の開始と終了を繰り返します。

Copyright © 2025 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

7.1.1 パワートレイン コンポーネント

同期整流降圧レギュレータの設計を成功に導くには、降圧レギュレータのパワートレイン コンポーネントを包括的に理解することが不可欠です。以下のセクションでは、出力インダクタ、入力および出力コンデンサ、パワー MOSFET、EMI 入力フィルタについて説明します。

7.1.1.1 降圧インダクタ

多くのアプリケーションでは、公称入力電圧におけるインダクタのリップル電流 ΔI_L が最大 DC 出力電流の 30%～50% の間になるように降圧インダクタンスを選択します。式 13 に示されるピークインダクタ電流に基づき、式 12 を使用してインダクタンスを選択します。

$$L = \frac{V_{OUT}}{\Delta I_L \times F_{SW}} \times \left(1 - \frac{V_{OUT}}{V_{IN(nom)}}\right) \quad (12)$$

$$I_{L(peak)} = I_{OUT} + \frac{\Delta I_L}{2} \quad (13)$$

インダクタのデータシートを参照し、インダクタの飽和電流が特定の設計のピーク インダクタ電流よりも十分に大きいことを確認します。フェライトの設計はコア損失が非常に低く、高スイッチング周波数で好まれます。そのため、設計の目標を銅損と飽和の防止に集中することができます。低インダクタのコア損失は、無負荷の入力電流の低下と軽負荷時の効率の向上により明らかです。ただし、フェライトのコア素材は飽和特性が高く、飽和電流を超過するとインダクタンスは急激に低下します。この動作の結果、インダクタのリップル電流には急激な増加が生じ、出力電圧リップルも上昇するため、当然効率は低下し、信頼性も損なわれます。一般的に、インダクタの飽和電流はコア温度が上がるにつれて減少することに注意してください。もちろん、インダクタの飽和を防止するには正確な過電流保護が重要です。

7.1.1.2 出力コンデンサ

通常、レギュレータの出力コンデンサエネルギーのストレージと制御ループ応答の組み合わせは、出力電圧の整合性を動的 (過渡) 許容誤差の仕様範囲内に保つために規定されます。電源管理アプリケーションで出力コンデンサを制限する通常の境界は、限られた中で利用可能な PCB 面積、部品の取付面積とプロファイル、コストによって決まります。コンデンサの寄生 (等価直列抵抗 (ESR) と等価直列インダクタンス (ESL)) は、負荷ステップの振幅とスルーレートが増加するにつれて、レギュレータの負荷過渡応答の形成において優先度がより高くなります。

出力コンデンサ C_{OUT} はインダクタのリップル電流をフィルタリングして、ステップ負荷過渡イベントのために電荷を蓄積します。一般的に、セラミック コンデンサの ESR は非常に低いため、出力電圧リップルとノイズ スパイクは低減されますが、タンタル コンデンサと電解コンデンサは過渡負荷イベント用の比較的小さなフットプリントのものでも、バルク容量は非常に大きくなります。

ΔV_{OUT} で示されるピークツーピーク出力電圧リップルの静的仕様に基づき、式 14 で示される値よりも大きな出力容量を選択します。

$$C_{OUT} \geq \frac{L_O \times \Delta I_{OUT}^2}{\left(V_{OUT} + \Delta V_{OVERSHOOT}\right)^2 - V_{OUT}^2} \quad (14)$$

Copyright © 2025 Texas Instruments Incorporated

図 7-1 は、負荷の上昇遷移時と下降遷移時の関連電流の波形を概念的に表した図です。ここに示すように、インダクタ電流の大信号のスルーレートは、インダクタ電流が負荷過渡に伴い新しい負荷電流レベルに合うように上昇するにつれて制限されます。このスルーレートの制限により、出力コンデンサの電荷の損失はより大きくなります。そのため、負荷の上昇過渡時とその後はできる限り迅速に電荷を補充する必要があります。同様に、負荷の下降過渡時とその後は、インダクタ電流のスルーレートの制限により出力コンデンサの電荷が増大するため、できる限り早く放電する必要があります。

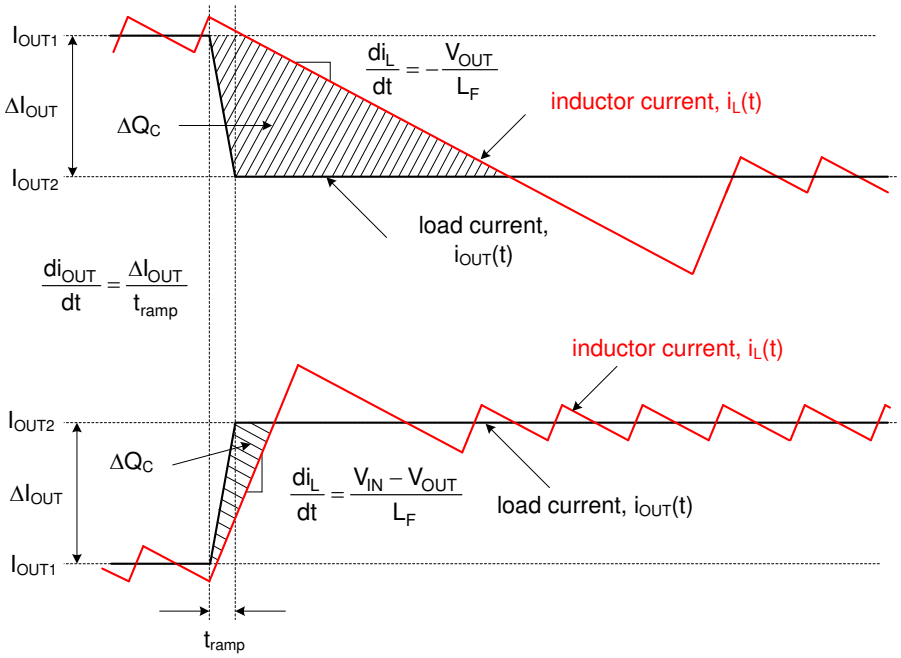


図 7-1. C_{OUT} の電荷の増大と損失を表す負荷過渡応答の図

低出力電圧 (3.3V など) への 12V 入力の標準的なレギュレータ アプリケーションでは、負荷オフ時の過渡は出力電圧の過渡偏差という点でワースト ケースになります。この変換比アプリケーションでは、定常状態のデューティサイクルは約 28% で、デューティサイクルがゼロに急減したときの大信号インダクタ電流のスルーレートは約 $-V_{OUT}/L$ です。負荷オン過渡と比較して、インダクタ電流が必要なレベルに遷移するまでの時間がさらに長くなります。出力コンデンサの電荷が過剰になると、出力電圧の深刻なオーバーシュートを引き起こします。実際に、出力コンデンサからこの過剰な電荷をできるだけ早く放電するには、負荷ステップに従い、インダクタ電流が公称レベルを下回るようにする必要があります。このシナリオでは、出力容量が大きいほど有利に過剰な電荷を吸収して、電圧のオーバーシュートを最小限に抑えることができます。

このような負荷オフ過渡時に、出力電圧のオーバーシュート ($\Delta V_{OVERSHOOT}$ と表記され、出力電流の段階的な減少は ΔI_{OUT} で与えられます) の動的要件に合わせるためには、出力容量を以下の式よりも大きくする必要があります。

$$C_{OUT} \geq \frac{L_O \times \Delta I_{OUT}^2}{(V_{OUT} + \Delta V_{OVERSHOOT})^2 - V_{OUT}^2} \quad (15)$$

コンデンサの ESR は、メーカーのデータシートに仕様として明記、またはインピーダンスと周波数曲線の関係によって暗黙的に示されています。種類、サイズ、構造に応じて、電解コンデンサには 5mΩ 以上の非常に大きな ESR と 5nH ～ 20nH の比較的大きな ESL が内蔵されています。PCB パターンは寄生抵抗とインダクタンスにも寄与します。セラミック出力コンデンサはスイッチング周波数における ESR と ESL への寄与が小さく、容量性インピーダンスの成分が優勢です。ただし、セラミック コンデンサのパッケージと電圧定格によっては、実効容量は印加された DC 電圧と動作温度で大幅に低下することがあります。

式 14 の ESR の項を無視すると、出力リップルの要件を満たすために必要な最小セラミック容量を簡単に見積もることができます。5V 出力の場合は、1206 または 1210 のフットプリントで 2～4 個の 47µF、10V X7R コンデンサを選ぶのが一

Copyright © 2025 Texas Instruments Incorporated

般的です。負荷オフ過渡のオーバーシュート要件を満たすために追加容量が必要かどうかを決定するには、式 15 を使用します。

セラミック コンデンサと電解コンデンサを混在させて実装することは、化学的性質が異なっていても性能補完が可能なコンデンサを並列に接続する理由になります。各コンデンサの周波数応答は累積的で、各コンデンサは周波数範囲の特定の部分で必要な性能を発揮します。セラミックは、低 ESR と ESL で優れた中域周波数と高周波数のデカップリング特性を実現し、スイッチング周波数の出力リップルを最小限に抑えます。一方、大きなバルク容量を持つ電解デバイスは低周波数でエネルギー保存を行うため、負荷過渡要求に対応します。

7.1.1.3 入力コンデンサ

入力コンデンサは、スイッチング周波数の AC 電流により、降圧出力段への入力リップル電圧を制限する必要があります。テキサス・インスツルメンツは、幅広い温度範囲で低インピーダンスと高い RMS 電流定格を実現する X7S または X7R 誘電セラミック コンデンサの使用を推奨しています。スイッチング ループの寄生インダクタンスを最小化するためには、入力コンデンサをハイサイド MOSFET のドレイン側とローサイド MOSFET のソース側のできる限り近くに配置します。単一チャネル降圧レギュレータの入力コンデンサの RMS 電流を計算するには、式 16 を使用します。

$$I_{CIN(RMS)} = \sqrt{D \times \left(I_{OUT}^2 \times (1 - D) + \frac{\Delta I_L^2}{12} \right)} \tag{16}$$

入力コンデンサの RMS 電流の最大値は D = 0.5 のときに発生します。この時点で、入力コンデンサの RMS 電流定格は出力電流の半分を超えています。

入力電流の DC 成分は入力電圧源と入力フィルタ コンデンサによる AC 成分から供給されることが理想です。インダクタ リップル電流を無視すると、入力コンデンサは、D 間隔の間に振幅 (I_{OUT} − I_{IN}) の電流をソースし、1−D 間隔の間に I_{IN} をシンクします。そのため、入力コンデンサは、出力電流に等しいピーク ツー ピーク振幅の方形波電流を導通します。その結果、AC リップル電圧の合成容量成分は三角波になります。ESR 関連のリップル成分だけでなく、ピーク ツー ピーク リップル電圧の振幅を計算するには、式 17 を使用します。

$$\Delta V_{IN} = \frac{I_{OUT} \times D \times (1 - D)}{F_{SW} \times C_{IN}} + I_{OUT} \times R_{ESR} \tag{17}$$

ΔV_{IN} の入力電圧リップル仕様に基づいて、特定の負荷電流に必要な入力容量を計算するには、式 18 を使用します。

$$C_{IN} \geq \frac{D \times (1 - D) \times I_{OUT}}{F_{SW} \times (\Delta V_{IN} - R_{ESR} \times I_{OUT})} \tag{18}$$

低 ESR のセラミック コンデンサは、より大きなバルク容量と並列に配置することで、レギュレータとダンピングの入力フィルタリングを最適化し、Q の高いセラミックと共振する入力寄生インダクタンスの影響を低減することができます。12V バッテリの車載用アプリケーションには、十分大きな電流定格のバルクコンデンサ 1 つと、10µF、50V の X7R セラミックデカップリングコンデンサ 4 つで通常は十分です。入力バルク コンデンサは、リップル電流定格と動作温度範囲に基づいて選択してください。

7.1.1.4 パワー MOSFET

パワー MOSFET の選択は、DC/DC レギュレータの性能に大きな影響を及ぼします。MOSFET は低オン抵抗 $R_{DS(on)}$ を内蔵しているため導通損失を低減し、同時に寄生容量が小さいため遷移時間が短くなり、スイッチング損失が低くなります。通常、MOSFET の $R_{DS(on)}$ が低くなるほど、ゲートの電荷と出力の電荷 (それぞれ Q_G と Q_{OSS}) は高くなり、逆もまた同じです。そのため、一般的に $R_{DS(on)}$ と Q_G の積は MOSFET の性能指数として規定されます。使用されているパッケージの熱抵抗が低いため、MOSFET の消費電力によって MOSFET のダイ温度が過剰な高温になることはありません。

LM25139 アプリケーションでパワー MOSFET の選択に影響を与える主なパラメータは次のとおりです:

- $R_{DS(on)}$ (V_{GS} = 5V の場合)

Copyright © 2025 Texas Instruments Incorporated

- ドレイン - ソース間電圧定格 BV_{DSS} は、最大入力電圧に応じて、標準で 40V または 60V です
- V_{GS} = 5V におけるゲート電荷パラメータ
- 関連入力電圧における出力電荷 Q_{OSS}
- ボディ ダイオードの逆回復電荷 Q_{RR}
- ゲート スレッショルド電圧 $V_{GS(th)}$。MOSFET データシートの Q_G と V_{GS} のプロットにおけるミラー プラトーから算出されます。ミラープラトー電圧は通常 2V ～ 3V の範囲にあるため、LM25139 の 5V ゲートドライブの振幅によって、オン時には MOSFET は十分強化され、オフ時には Cdv/dt 貫通に対するマージンが確保されます。

1 チャネルあたりの MOSFET に関連する電力損失は、表 7-1 の式にまとめられています。この式の添え字の 1 と 2 は、それぞれハイサイドとローサイド MOSFET のパラメータを表します。インダクタのリップル電流の影響を考慮する場合でも、寄生インダクタンスや SW ノードのリンギングなどの 2 次損失モードは含まれません。

表 7-1. MOSFET の電力損失

電力損失モード	下限側 MOSFET	ローサイド MOSFET
MOSFET の導通(2) (3)	$P_{cond1} = D \times \left(I_{OUT}^2 + \frac{\Delta I_L^2}{12} \right) \times R_{DS(on)1}$	$P_{cond2} = D' \times \left(I_{OUT}^2 + \frac{\Delta I_L^2}{12} \right) \times R_{DS(on)2}$
MOSFET のスイッチング	$P_{sw1} = \frac{V_{IN} \times F_{SW}}{2} \times \left[\left(I_{OUT} - \frac{\Delta I_L}{2} \right) \times t_R + \left(I_{OUT} + \frac{\Delta I_L}{2} \right) \times t_F \right]$	無視できる範囲
MOSFET ゲートドライブ(1)	$P_{Gate1} = V_{CC} \times F_{SW} \times Q_{G1}$	$P_{Gate2} = V_{CC} \times F_{SW} \times Q_{G2}$
MOSFET 出力電荷(4)	$P_{Coss} = F_{SW} \times (V_{IN} \times Q_{oss2} + E_{oss1} - E_{oss2})$	
ボディ ダイオード導通	該当なし	$P_{condBD} = V_F \times F_{SW} \times \left[\left(I_{OUT} + \frac{\Delta I_L}{2} \right) \times t_{dt1} + \left(I_{OUT} - \frac{\Delta I_L}{2} \right) \times t_{dt2} \right]$
ボディダイオードの逆回復(5)	$P_{RR} = V_{IN} \times F_{SW} \times Q_{RR2}$	

(1) ゲートドライブ損失は、MOSFET の内部ゲート抵抗、外付けの直列ゲート抵抗、LM25139 の関連ドライバ抵抗に基づき分配されます。
(2) MOSFET の $R_{DS(on)}$ の正の温度係数は、約 4500ppm/°Cです。MOSFET の接合部温度 T_J と、周囲温度と比べて接合部温度がどれだけ上昇するかは、デバイスの総消費電力とその熱インピーダンスに依存します。最小入力電圧や、それに近い電圧で動作する時には、MOSFET の $R_{DS(on)}$ は利用可能なゲートドライブ電圧の定格になります。
(3) D' = 1D は、デューティ サイクルの補数です。
(4) MOSFET の出力容量 C_{oss1} と C_{oss2} は、電圧に対して高度な非線形となります。これらの容量は、ハイサイド MOSFET ターンオフ時のインダクタ電流によりロスレスで充電されます。ただし、ターンオン時には電流は入力から流れるため、ローサイド MOSFET の出力容量が充電されます。C_{oss1} のエネルギー E_{oss1} はターンオン時に消費されますが、C_{oss2} に保存されているエネルギー E_{oss2} で相殺されます。
(5) MOSFET ボディダイオードの逆回復電荷 Q_{RR} は、さまざまなパラメータ、特に順方向電流、電流遷移速度、温度に依存します。

ハイサイド (制御) MOSFET では、PWM のオン時間 (または D 間隔) 中にインダクタ電流が流れ、ほとんどのスイッチング損失がここで発生します。そのため、導通およびスイッチング損失の寄与のバランスを取るハイサイド MOSFET を選択することが必要です。ハイサイド MOSFET の総消費電力は、導通、スイッチング (電圧 - 電流間のオーバーラップ)、出力充電、ボディダイオードの逆回復に起因する正味の損失の通常 3 分の 2 の合計になります。

ローサイド (同期) MOSFET は、ハイサイド MOSFET がオフ (または 1D 間隔中) のときにインダクタ電流を流します。ローサイド MOSFET のスイッチング損失はゼロ電圧でスイッチングされるため、ローサイド MOSFET のスイッチング損失は無視できます。電流はチャネルからボディダイオードへ流れますが、遷移デッドタイム中は逆方向にも流れます。LM25139 は適応型ゲートドライブタイミングを使用しているため、両方の MOSFET がオフのときに、ボディダイオードの導通損失を最小に抑えます。この損失は、スイッチング周波数に正比例します。

ステップダウン比の高いアプリケーションでは、スイッチング時間の大部分でローサイド MOSFET は電流を流します。そのため、高効率を実現するには、低 $R_{DS(on)}$ のときにローサイド MOSFET を最適化することが重要です。導通損失が大きすぎる場合、または目標とする $R_{DS(on)}$ が単一の MOSFET で実現可能な値より低い場合は、2 つのローサイド

Copyright © 2025 Texas Instruments Incorporated

MOSFET を並列に接続します。ローサイド MOSFET の総消費電力は、チャネル導通、ボディ ダイオード導通、ボディ ダイオードの逆回復に起因する正味の損失の通常 3 分の 1 の合計になります。LM25139 は、TI の NexFET™ パワー MOSFET の製品ラインを駆動するよう設計されています。

7.1.1.5 EMI フィルタ

スイッチング レギュレータは最小入力電圧において最小となる負の入力インピーダンスを示します。LC フィルタの減衰不足は、フィルタの共振周波数に対して出力インピーダンスが高いことを示しています。安定性のため、フィルタの出力インピーダンスはコンバータの入力インピーダンスの絶対値よりも小さくする必要があります。

$$Z_{IN} = \left| -\frac{V_{IN(min)}^2}{P_{IN}} \right| \tag{19}$$

パッシブ EMI フィルタの設計手順は以下のとおりです:

- EMI フィルタに対して、スイッチング周波数で要求される減衰を計算します。ここで、C_{IN} はスイッチング コンバータの入力における既存の容量を表しています。
- 通常、入力フィルタ インダクタ L_{IN} は 1µH～10µH の間で選択されますが、大電流設計での損失を低減するために、さらに小さい値にすることも可能です。
- 入力フィルタ コンデンサ C_F を計算します。

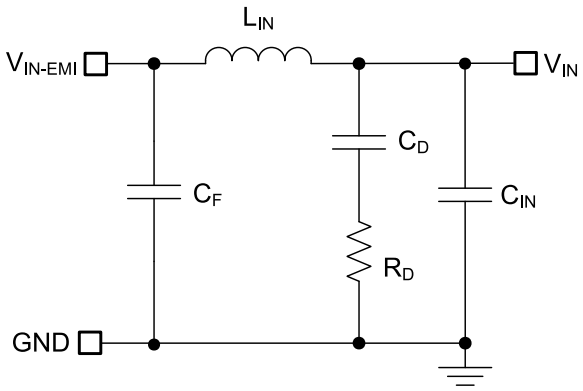


図 7-2. 降圧レギュレータ用のパッシブ π 段 EMI フィルタ

入力電流波形のフーリエ級数から最初に高調波電流を計算し、その値に入力インピーダンス (インピーダンスは既存の入力コンデンサ C_{IN} で定義) を乗算します。式 20 を使用して必要な減衰を求める式を示します。

$$Attn = 20\log\left(\frac{I_{L(PEAK)}}{\pi^2 \times F_{SW} \times C_{IN}} \times \sin(\pi \times D_{MAX}) \times \frac{1}{1\mu V}\right) - V_{MAX} \tag{20}$$

ここで、

- V_{MAX} は、適用可能な伝導 EMI 仕様に許容される dBµV ノイズレベルです (たとえば CISPR 32 Class B など)。
- C_{IN} は、降圧レギュレータの既存の入力容量です。
- D_{MAX} は、最大デューティ サイクルです。
- I_{PEAK} は、ピーク インダクタ電流です。

フィルタ設計の目的のため、入力時の電流を方形波でモデリングすることができます。式 21 を使用して、パッシブ EMI フィルタの容量 C_F を決定します。

$$C_F = \frac{1}{L_{IN}} \times \left(\frac{10^{\frac{|Attn|}{40}}}{2\pi \times F_{SW}} \right)^2 \tag{21}$$

Copyright © 2025 Texas Instruments Incorporated

スイッチング レギュレータに入力フィルタを追加すると、制御から出力への伝達関数が変更されます。フィルタの出力インピーダンスは、入力フィルタが降圧コンバータのループゲインに大きな影響を与えないように、十分小さくする必要があります。インピーダンスは、フィルタの共振周波数でピークになります。パッシブフィルタの共振周波数を計算するには、式 22 を使用します。

$$f_{res} = \frac{1}{2\pi \times \sqrt{L_{IN} \times C_F}} \quad (22)$$

R_D の目的は、共振周波数におけるフィルタのピーク出力インピーダンスを低減することです。コンデンサ C_D は、入力電圧の DC 成分をブロックして、R_D での過剰な電力消費を防止します。コンデンサ C_D は、入力コンデンサ C_{IN} より大きな容量で、共振周波数において R_D よりも低インピーダンスの必要があります。この要件により、C_{IN} がメインフィルタのカットオフ周波数に干渉することを防ぎます。共振周波数におけるフィルタの出力インピーダンスが高い場合は、入力ダンピングを追加する必要があります (L_{IN} と C_{IN} で形成されるフィルタの Q 値が大きすぎる場合)。式 23 で示されている値での入力ダンピングには、電解コンデンサ C_D を使用することができます。

$$C_D \geq 4 \times C_{IN} \quad (23)$$

式 24 を使用して、入力ダンピング抵抗 R_D を選択します。

$$R_D = \sqrt{\frac{L_{IN}}{C_{IN}}} \quad (24)$$

7.1.2 エラー アンプと補償

図 7-3 に、相互コンダクタンスのエラーアンプ (EA) を使用した Type-II 補償器を示します。式 25 に示すように、EA の開ループゲインの支配的なポールは、EA 出力抵抗 $R_{O\text{-}EA}$ と、実効帯域幅制限容量 C_{BW} で設定します。

$$G_{EA(openloop)}(s) = -\frac{g_m \times R_{O-EA}}{1 + s \times R_{O-EA} \times C_{BW}} \quad (25)$$

上の式では、EA の高周波ポールは無視されています。出力電圧から COMP ノードまでの補償器の伝達関数は、(内部または外部の) フィードバック抵抗ネットワークからのゲインの寄与を含めて 式 26 で計算します。

$$G_c(s) = \frac{\hat{v}_c(s)}{\hat{v}_{out}(s)} = -\frac{V_{REF}}{V_{OUT}} \times \frac{g_m \times R_{O-EA} \times \left(1 + \frac{s}{\omega_{z1}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right) \times \left(1 + \frac{s}{\omega_{p2}}\right)} \quad (26)$$

ここで、

- V_{REF} は、0.8V の帰還電圧リファレンスです。
- g_m は、1.1mS の EA ゲイン相互コンダクタンスです。
- $R_{O\text{-}EA}$ は、10MΩ のエラーアンプ出力インピーダンスです。

$$\omega_{z1} = \frac{1}{R_{COMP} \times C_{COMP}} \quad (27)$$

$$\omega_{p1} = \frac{1}{R_{O-EA} \times (C_{COMP} + C_{HF} + C_{BW})} \cong \frac{1}{R_{O-EA} \times C_{COMP}} \quad (28)$$

$$\omega_{p2} = \frac{1}{R_{COMP} \times (C_{COMP} || (C_{HF} + C_{BW}))} \cong \frac{1}{R_{COMP} \times C_{COMP}} \quad (29)$$

EA の補償部品は、原点近くの極、ゼロ、高周波極を生成します。通常、$R_{COMP} << R_{O\text{-}EA}$ かつ $C_{COMP} >> C_{BW}$ かつ C_{HF} のため、近似値が有効です。

Copyright © 2025 Texas Instruments Incorporated

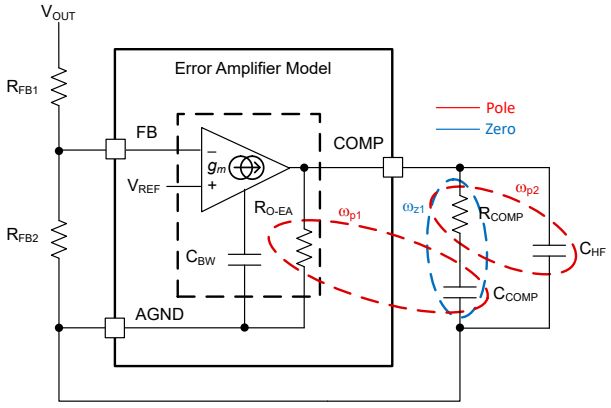


図 7-3. エラー アンプと補償ネットワーク

Copyright © 2025 Texas Instruments Incorporated

7.2 代表的なアプリケーション

7.2.1 設計 1 - 高効率 1MHz 同期整流降圧レギュレータ

図 7-4 は、出力電圧 12V、定格負荷電流 10A の単一出力、同期整流降圧レギュレータの回路図を示しています。この例では、出力インダクタと直列に接続したセンス抵抗で電流制限が監視されています。スイッチング周波数は、抵抗 R_T により 1MHz に設定されます。12V の出力電圧は、抵抗分圧器を使用して設定します。

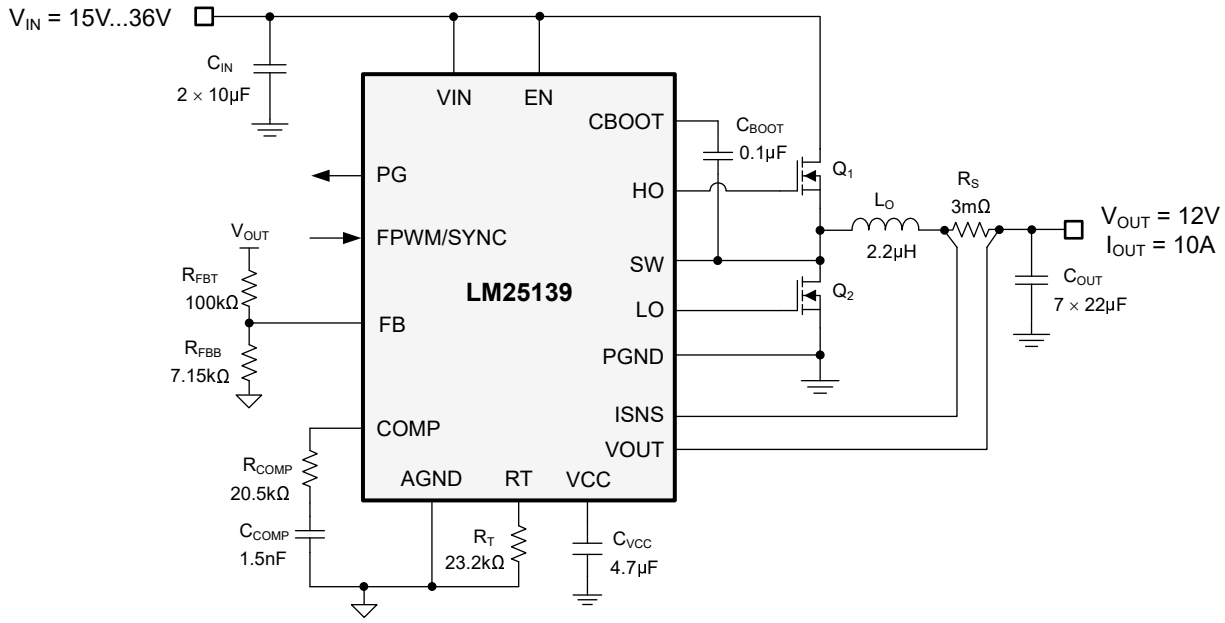


図 7-4. アプリケーション回路 1、LM25139 降圧レギュレータを 1MHz で使用

注

これ以降の設計例では、いくつかのアプリケーションにおける LM25139 コントローラを紹介します。入力電源バスのソースインピーダンスによっては、特に低入力電圧と高出力電流の動作時条件における安定性を確保するために、入力に電解コンデンサが必要になることがあります。セクション 7.3 も参照してください。

7.2.1.1 設計要件

この設計例の入力、出力、性能のパラメータを、以下の表に示します。

表 7-2. 設計パラメータ

設計パラメータ	値
入力電圧レンジ (定常状態)	15V ～ 36V
最小入力電圧	15V
最小入力電圧	36V
出力電圧	12V
出力電流	10A
スイッチング周波数	1MHz
出力電圧レギュレーション	±1%
ソフト スタート時間	3ms

スイッチング周波数は、抵抗 R_T により 1MHz に設定されます。制御ループ性能について、対象のループ クロスオーバー周波数は 50°以上の位相マージンで 55kHz です。

表 7-3 は、選択した降圧レギュレータのパワートレイン部品を示します。ほとんどの部品は複数のベンダから入手可能です。特に MOSFET は、詳細を セクション 7.1.1.4 に示すように、導通損失とスイッチング電力の損失がどちらも最低になるように選択されます。この設計には、低 DCR の金属粉末コンポジットインダクタとセラミック出力コンデンサが実装されています。

表 7-3. アプリケーション回路 1 の部品表

リファレンス指定子	数量	仕様	製造元	部品番号
C_{IN}	2	10µF、50V、X7R、1210、セラミック	AVX	12105C106K4Z2A
C_O	7	22µF、50V、X5R、セラミック	TDK	CKG57NX5R1H226M500JH
L_O	1	2.2µH、4.3mΩ、16A、6.71 × 6.71 × 6.1mm	Coilcraft	XGL6060-222ME
R_S		3mΩ ±1% 1W チップ抵抗ワイド 0805 (2012 メトリック)、0508 車載 AEC-Q200、電流センス金属箔	Susumu	KRL2012E-M-R003F-T5
Q_1、Q_2	2	40V、4.6mΩ、7nC、SON 5 × 6	Infineon	IAUC60N04S6L039
U_1	1	LM25139 同期整流降圧コントローラ	テキサス・インスツルメンツ	LM25139RGTR

Copyright © 2025 Texas Instruments Incorporated

7.2.1.2 詳細な設計手順

7.2.1.2.1 WEBENCH® ツールによるカスタム設計

ここをクリック すると、WEBENCH® Power Designer により、LM25139 デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

7.2.1.2.2 降圧インダクタ

1. 公称入力電圧における 30% のインダクタリップル電流に基づいて必要な降圧インダクタンスを計算するには、式 30 を使用します。

$$L_O = \frac{V_{OUT}}{\Delta I_{LO} \times F_{SW}} \times \left(1 - \frac{V_{OUT}}{V_{IN(nom)}}\right) = \frac{12V}{3A \times 1MHz} \times \left(1 - \frac{12V}{24V}\right) = 2\mu H \quad (30)$$

2. インダクタの標準値である 2.2µH を選択します。最大定常状態の入力電圧におけるピークインダクタ電流を計算するには、式 31 を使用します。ピーク電流モード制御に対して、デューティ サイクルが 50% より大きいと分数調波振動が発生します。設計を簡略化するため、LM25139 にはスイッチング周波数に比例した内部スロープ補償ランプが内蔵されています。このスイッチング周波数は電流センス信号に追加され、分数調波振動が発生する性質を弱めます。

$$I_{LO(PK)} = I_{OUT} + \frac{\Delta I_{LO}}{2} = I_{OUT} + \frac{V_{OUT}}{2 \times L_O \times F_{SW}} \times \left(1 - \frac{V_{OUT}}{V_{IN(max)}}\right) = 10 + \frac{12V}{2 \times 2.2\mu H \times 1MHz} \times \left(1 - \frac{12V}{36V}\right) = 11.8A \quad (31)$$

7.2.1.2.3 電流センス部品

この設計では、直列抵抗を使用して出力電流リップルを検出し電流リップルを設定します。以下の手順では、電流センス抵抗の選択方法について詳しく説明します。

1. 全負荷時のピーク インダクタ電流より少なくとも 25% 以上高い最大ピーク電流能力に基づいて電流検出抵抗を計算し、スタートアップ中と負荷オンでの過渡時に十分なマージンを提供します。式 32 を使用して、電流検出抵抗を計算します。

$$R_S = \frac{V_{CS-TH}}{1.25 \times I_{LO(PK)}} = \frac{60mV}{1.25 \times 11.8A} = 4.1m\Omega \quad (32)$$

2. この例では、より高い電流制限のために 3mΩ を選択しています。広範なアスペクト比の終端設計による 0508 フットプリント部品により、1W の電力定格、低い寄生直列インダクタンス、コンパクトな PCB レイアウトを実現しています。セクション 7.4.1 のレイアウトガイドラインをよく読み、ノイズと DC 誤差によって ISNS+ ピンと VOUT ピンの間で測定する差動電流センス電圧に誤りが発生しないように注意してください。
3. インダクタの近くにシャント抵抗を配置します。
4. ケルビン検出接続を使用し、シャントから LM25139 までの差動を取るように配線します。

Copyright © 2025 Texas Instruments Incorporated

5. CS から出力までの伝搬遅延 (電流制限コンパレータ、内部ロジックとパワー MOSFET ゲートドライバが要因) により、ピーク電流は計算した電流制限スレッショルドを超えて増加します。合計伝搬遅延 $t_{DELAY-ISNS}$ が 70ns の場合は、式 33 を使用して、出力が短絡した状態でのワーストケースのピークインダクタ電流を計算してください。

$$I_{LO-PK(SC)} = \frac{V_{CS-TH}}{R_S} + \frac{V_{IN(max)} \times t_{DELAY-ISNS}}{L_O} = \frac{60mV}{3m\Omega} + \frac{36V \times 70ns}{2.2\mu H} = 21A \quad (33)$$

6. この結果に基づき、全動作温度範囲で飽和電流が 21A より大きくなるインダクタを選択します。

または、出力インダクタの DCR を使用して電流を検出することもできます。正確な DCR 検出を実現するには、以下の手順を使用します:

1. 式 34 を使用して、インダクタの時定数をセンシング時定数と一致させ、センス抵抗を計算します。

$$R_{CS} = \frac{L_O}{C_{CS} \times R_{DCR}} = \frac{2.2\mu H}{0.1\mu F \times 4.3m\Omega} = 5.1k\Omega \quad (34)$$

2. 式 35 を使用して、インダクタの DCR から得られる電流制限を計算します。

$$I_{CL} = \frac{V_{CS-TH}}{R_{DCR}} = \frac{60mV}{4.3m\Omega} = 13.9A \quad (35)$$

ここで、

- V_{CS-TH} は、60mV の電流制限スレッショルドです。

3. インダクタの近くにセンス抵抗とコンデンサを配置します。
4. ケルビン検出接続を使用し、センス回路網から LM25139 までの差動を取るように配線します。
5. CS から出力までの伝搬遅延 (電流制限コンパレータ、内部ロジックとパワー MOSFET ゲートドライバが要因) により、ピーク電流は計算した電流制限スレッショルドを超えて増加します。合計伝搬遅延 $t_{DELAY-ISNS}$ が 70ns の場合は、式 36 を使用して、出力が短絡した状態でのワーストケースのピークインダクタ電流を計算してください。

$$I_{LO-PK(SC)} = \frac{V_{CS-TH}}{R_{DCR}} + \frac{V_{IN(max)} \times t_{DELAY-ISNS}}{L_O} = \frac{60mV}{4.3m\Omega} + \frac{36V \times 70ns}{2.2\mu H} = 15.1A \quad (36)$$

6. 結果に基づいて、全動作温度範囲にわたって飽和電流が 16A 以上であるインダクタを選択します。

7.2.1.2.4 出力コンデンサ

1. 式 37 を使用して、負荷オフ遷移 (全負荷から無負荷まで遷移) 中の出力電圧のオーバーシュートを管理するために必要な出力容量を見積ります。このときの前提として、負荷遷移偏差仕様は 1.5% (12V 出力で 180mV) です。

$$C_{OUT} \geq \frac{L_O \times \Delta I_{OUT}^2}{(V_{OUT} + \Delta V_{OVERSHOOT})^2 - V_{OUT}^2} = \frac{2.2\mu H \times 10A^2}{(12V + 180mV)^2 - 12V^2} = 50.5\mu F \quad (37)$$

2. 印加された電圧で実効容量が大幅に減少するセラミックコンデンサの電圧係数については、7 つの 22µF、50V、X5R、セラミック出力コンデンサを選択することに注意してください。通常、負荷オフ過渡応答の要件を満たすために十分な容量を使用する場合、無負荷から全負荷への過渡時の電圧アンダーシュートも十分要件を満たします。
3. 式 38 を使用して、公称入力電圧時におけるピーク ピーク出力電圧リップルを見積ります。

$$\Delta V_{OUT} = \sqrt{\left(\frac{I_{LO}}{8 \times F_{SW} \times C_{OUT}}\right)^2 + (R_{ESR} \times \Delta I_{LO})^2} = \sqrt{\left(\frac{3A}{8 \times 1MHz \times 133\mu F}\right)^2 + (1m\Omega \times 3A)^2} = 4.1mV \quad (38)$$

ここで、

- R_{ESR} は、出力コンデンサの実効等価直列抵抗 (ESR) です。
- 133µF は、12V 時の合計実効 (ディレーティング) セラミック出力容量です。

4. 式 39 を使用して、出力コンデンサの RMS リップル電流を計算し、リップル電流がコンデンサのリップル電流定格内に収まっていることを確認します。

Copyright © 2025 Texas Instruments Incorporated

$$I_{CO(RMS)} = \frac{\Delta I_{LO}}{\sqrt{12}} = \frac{3}{\sqrt{12}} = 0.86A \quad (39)$$

7.2.1.2.5 入力コンデンサ

一般的に、スイッチング周波数における電源入力のソース インピーダンスは比較的高くなります。入力リップル電圧を制限するには、高品質な入力コンデンサが必要です。一般的に、リップル電流は、スイッチング周波数におけるコンデンサの相対インピーダンスに基づいて、入力コンデンサ間で分割されます。

1. 入力コンデンサを選択する場合は、十分な電圧と RMS リップル電流定格を持つものにしてください。
2. ワーストケースのデューティ サイクル動作ポイントが 50% と想定し、式 40 を使用して、入力コンデンサの RMS リップル電流を計算します。

$$I_{CIN(RMS)} = I_{OUT} \times \sqrt{D \times (1 - D)} = 10A \times \sqrt{0.5 \times (1 - 0.5)} = 5A \quad (40)$$

3. 式 41 を使用して、必要な入力容量を求めます。

$$C_{IN} \geq \frac{D \times (1 - D) \times I_{OUT}}{F_{SW} \times (\Delta V_{IN} - R_{ESR} I_{OUT})} = \frac{0.5 \times (1 - 0.5) \times 10A}{1MHz \times (240mV - 2m\Omega \times 10A)} = 11.4\mu F \quad (41)$$

ここで、

- ΔV_{IN} は、入力ピーク ツー ピーク リップル電圧の仕様です。
- R_{ESR} は、入力コンデンサの ESR です。

4. セラミックコンデンサの電圧係数から、2 つの 10µF、50V、X7R、1210 セラミック入力コンデンサを選択します。これらのコンデンサはパワー MOSFET の近くに配置してください。詳細については、セクション 7.4.1.1 を参照してください。
5. 4 つの 10nF、50V、X7R、0603 セラミックコンデンサをハイサイド MOSFET の近くに配置して、MOSFET のスイッチング遷移時に di/dt の大きい電流を供給します。このコンデンサにより、高い自己共振周波数 (SRF) と 100MHz 以上での低実効インピーダンスが実現します。この結果、電源ループの寄生インダクタンスはさらに低下し、スイッチノードの電圧オーバーシュートとリンギングが最小限に抑えて、伝導および放射 EMI シグネチャを低減できます。詳細については、セクション 7.4.1 を参照してください。

7.2.1.2.6 帰還抵抗

式 42 を使用して帰還抵抗の値を決定します。

$$R_{FB1} = R_{FB2} \times \left(\frac{V_{OUT}}{V_{REF}} - 1\right) = 715k\Omega \times \left(\frac{12V}{0.8V} - 1\right) = 100.1k\Omega \quad (42)$$

7.2.1.2.7 周波数設定抵抗

式 43 を使用して、1MHz のスイッチング周波数の RT 抵抗を計算します。標準値として 23.2kΩ を選択します。

$$R_T = \frac{23759}{F_{SW(kHz)}} - 0.72 = \frac{23759}{1000kHz} - 0.72 = 23k\Omega \quad (43)$$

7.2.1.2.8 補償部品

以下の手順に従って、安定した制御ループの補償部品を選択します:

1. 55kHz に規定されたループゲインクロスオーバー周波数 f_C に基づき、実効出力容量を 100µF と仮定して、式 44 を使用して R_{COMP} を計算します。R_{COMP} の標準値 20.5kΩ を選択します。

$$R_{COMP} = 2\pi \times f_C \times \frac{V_{OUT}}{V_{REF}} \times \frac{R_S \times G_{CS}}{g_m} \times C_{OUT} = 2\pi \times 55kHz \times \frac{12V}{0.8V} \times \frac{3m\Omega \times 10}{1100\mu S} \times 150\mu F = 21.2k\Omega \quad (44)$$

2. クロスオーバー時に十分な位相ブーストを実現し、負荷またはライン過渡時に高速なセトリングタイムを確保するには、(1) クロスオーバー周波数の 1/10 または (2) 負荷ポールのうち高いほうにゼロが配置されるように C_{COMP} を選択します。式 45 を使用して必要な値を計算し、C_{COMP} の標準値 1.5nF を選択します。

$$C_{COMP} = \frac{10}{2\pi \times f_C \times R_{COMP}} = \frac{10}{2\pi \times 55kHz \times 20.5k\Omega} = 1.4nF \quad (45)$$

また、このように容量値が小さいため、ドロップアウトから回復するときに (入力電圧が出力電圧設定点より低く、V_{COMP} が High になったとき) 出力電圧のオーバーシュートを回避できます。

3. 式 46 を使用して C_{HF} を計算し、ESR ゼロの位置にポールを作成し、COMP における高周波ノイズを減衰させます。C_{BW} (31pF) は、エラーアンプの帯域幅制限容量です。一部の設計では、C_{HF} は必要になるほど大きくありません。この設計では、高周波コンデンサは必要ありません。

$$C_{HF} = \frac{1}{2\pi \times f_{ESR} \times R_{COMP}} - C_{BW} \quad (46)$$

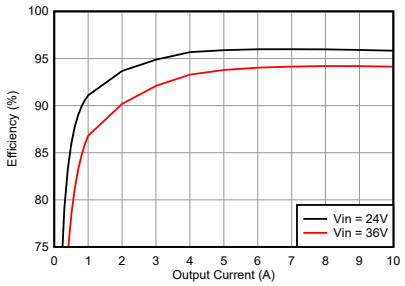
注

高い R_{COMP} と低い C_{COMP} 値で高速ループを設定して、ドロップアウト状態の動作から復帰するときの応答を改善します。

注

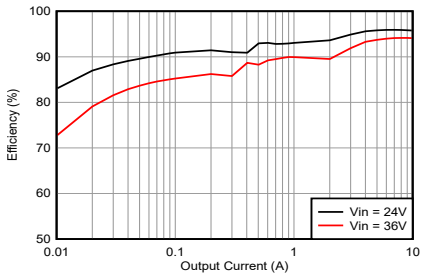
電源の設計と管理に関する技術ソリューション、業界動向、技術的なヒントについては、TI の技術資料も参照してください。

7.2.1.3 アプリケーション曲線



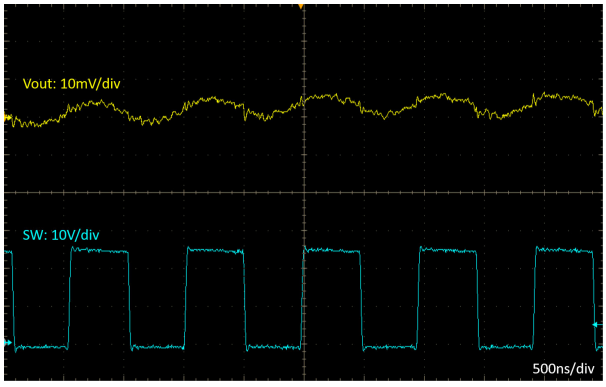
12V 出力

図 7-5. FPWM 効率と I_{OUT} との関係



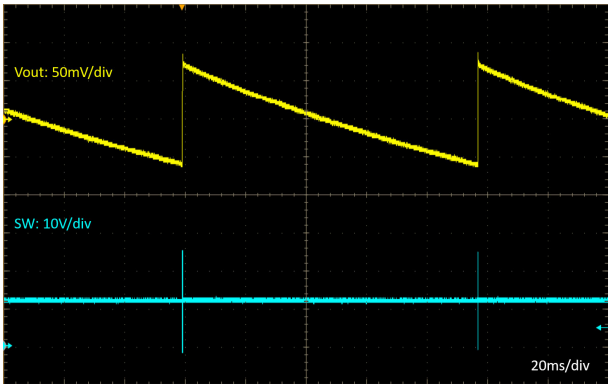
12V 出力

図 7-6. PFM 効率と I_{OUT} との関係、対数スケール



10A の抵抗性負荷

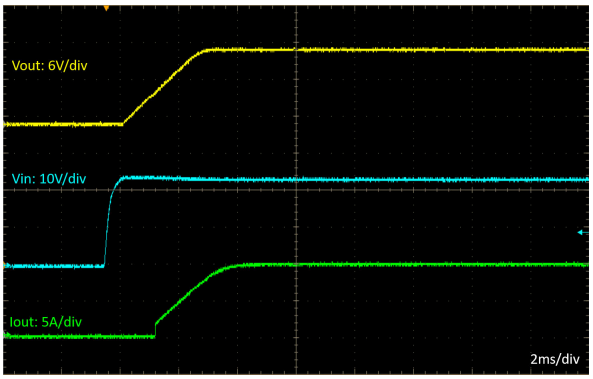
図 7-7. 全負荷スイッチング



無負荷

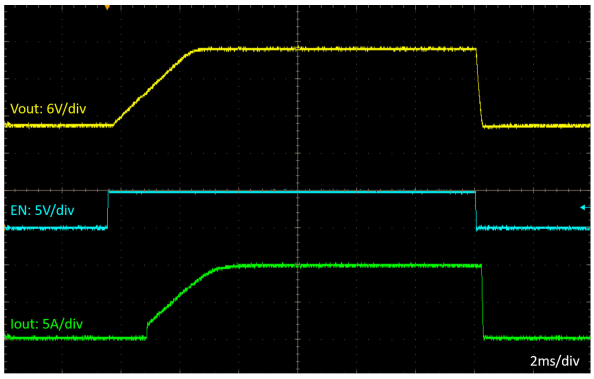
図 7-8. PFM スイッチング

Copyright © 2025 Texas Instruments Incorporated



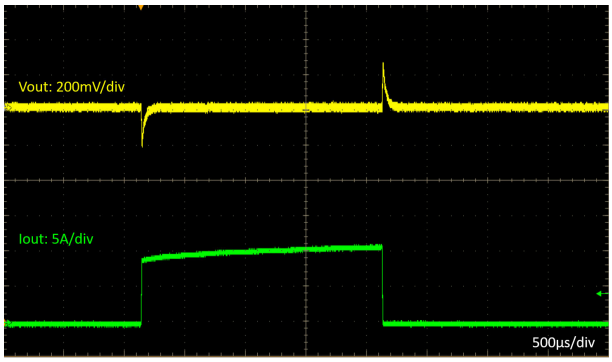
24V まで V_{IN} ステップ　　10A の抵抗性負荷

図 7-9. スタートアップ特性



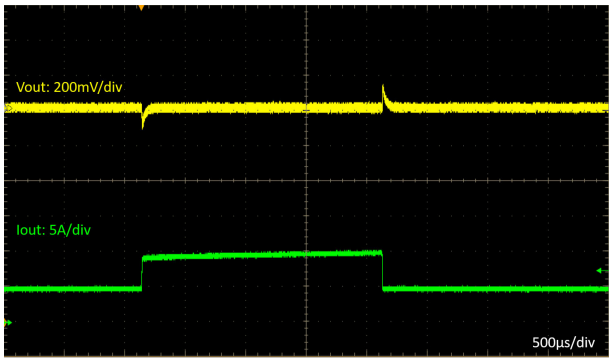
V_{IN} = 24V　　10A の抵抗性負荷

図 7-10. オン / オフ特性のイネーブル



V_{IN} = 24V　　FPWM

図 7-11. 負荷過渡、0A～10A



V_{IN} = 24V　　FPWM

図 7-12. 負荷過渡、5A～10A

Copyright © 2025 Texas Instruments Incorporated

7.2.2 設計 2 -高効率、440kHz、同期整流降圧レギュレータ

以下の図は、出力電圧 3.3V、定格負荷電流 12A の単一出力、同期整流降圧レギュレータの回路図を示しています。この例では、出力インダクタと直列に配置した抵抗を使用して電流が検出されます。スイッチング周波数は、抵抗 R_T により 440kHz に設定されます。3.3V の出力電圧は、FB を直接 VCC に接続することで実現されます。

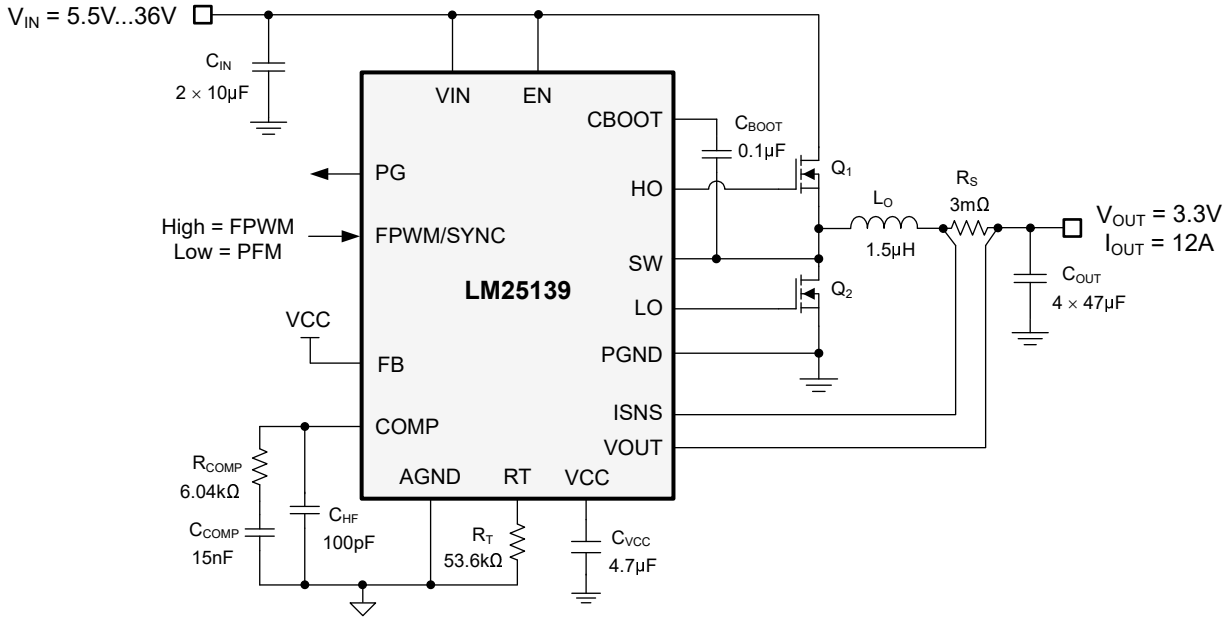


図 7-13. アプリケーション回路 2、LM25139 降圧レギュレータを 440kHz で使用

Copyright © 2025 Texas Instruments Incorporated

7.2.2.1 設計要件

この設計例の入力、出力、性能のパラメータを、以下の表に示します。

表 7-4. 設計パラメータ

設計パラメータ	値
入力電圧レンジ (定常状態)	8V ～ 36V
最小入力電圧	5.5V
最小入力電圧	36V
出力電圧	3.3V
出力電流	12A
スイッチング周波数	440kHz
出力電圧レギュレーション	±1%
ソフト スタート時間	3ms

スイッチング周波数は、抵抗 R_T により 440kHz に設定されます。表 7-5 は、選択した降圧レギュレータのパワートレイン部品を示します。ほとんどの部品は複数のベンダから入手可能です。特に MOSFET は、詳細を セクション 7.1.1.4 に示すように、導通損失とスイッチング電力の損失がどちらも最低になるように選択されます。

表 7-5. アプリケーション回路 2 の部品表

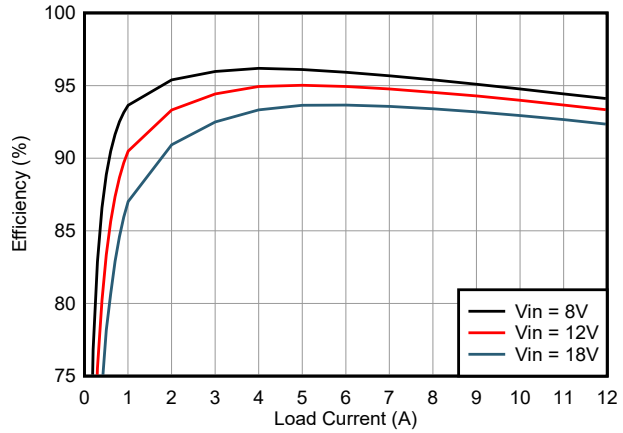
リファレンス指定子	数量	仕様	製造元	部品番号
C_{IN}	2	10µF、50V、X7R、1210、セラミック	AVX	12105C106K4Z2A
C_O	4	47µF、10V、X7R、1210、セラミック	Murata (村田製作所)	GRM32ER71A476KE15L
L_O	1	1.5µH、2.91mΩ、32A、8.8 × 8.3 × 7.8mm	Würth Elektronik	74439358015
R_S	1	3mΩ ±1% 1W シャント、0508、AEC-Q200	Susumu	KRL2012E-M-R003F-T5
Q_1、Q_2	2	40V、4.6mΩ、7nC、SON 5 × 6	Infineon	IAUC60N04S6L039
U_1	1	LM25139 同期整流降圧コントローラ	テキサス・インスツルメンツ	LM25139RGTR

7.2.2.2 詳細な設計手順

セクション 7.2.1.2 を参照してください。

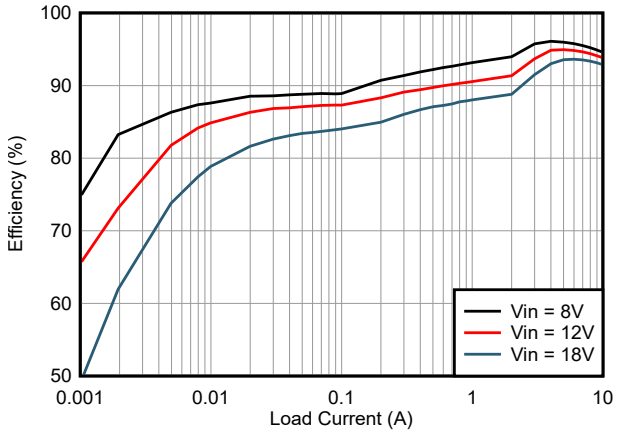
Copyright © 2025 Texas Instruments Incorporated

7.2.2.3 アプリケーション曲線



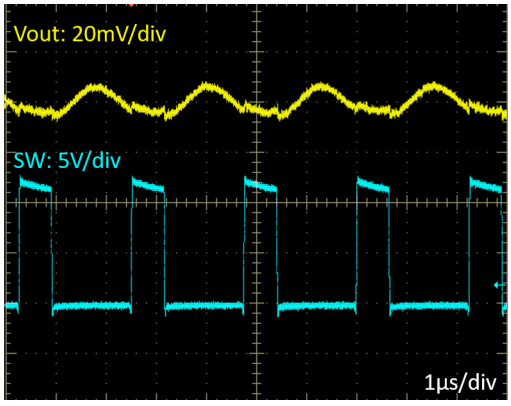
3.3V 出力

図 7-14. FPWM 効率と I_{OUT} との関係



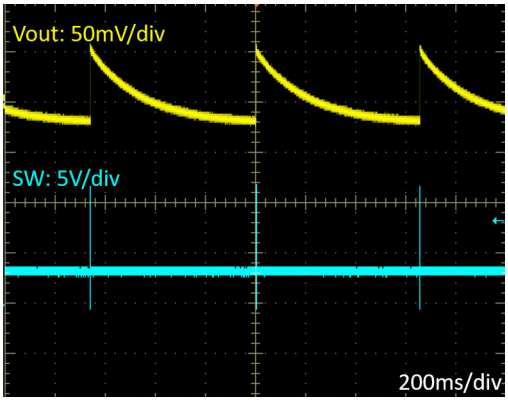
3.3V 出力

図 7-15. PFM 効率と I_{OUT} との関係、対数スケール



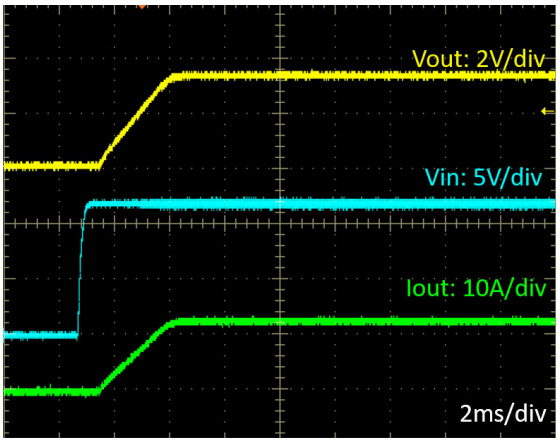
12A の抵抗性負荷

図 7-16. 全負荷スイッチング



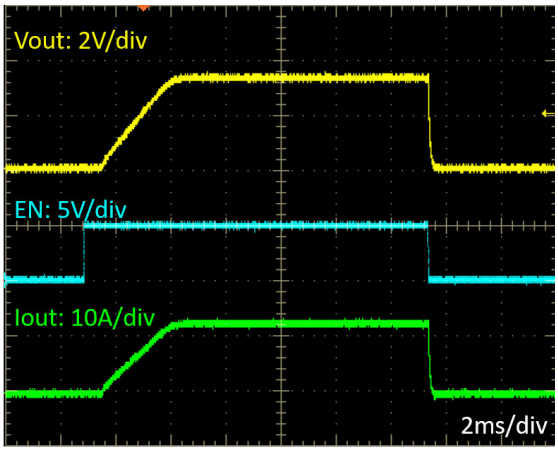
無負荷

図 7-17. PFM スイッチング



12V まで V_{IN} ステップ　　12A の抵抗性負荷

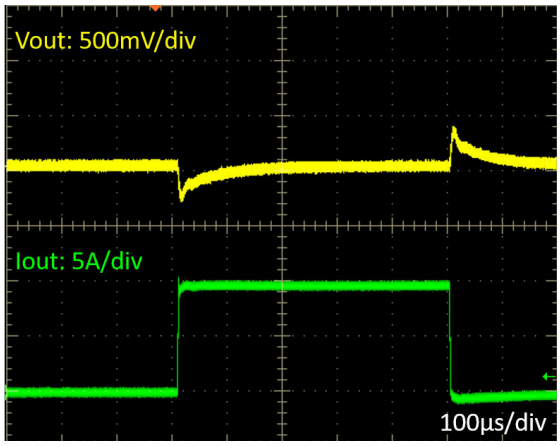
図 7-18. スタートアップ特性



V_{IN} = 12V　　12A の抵抗性負荷

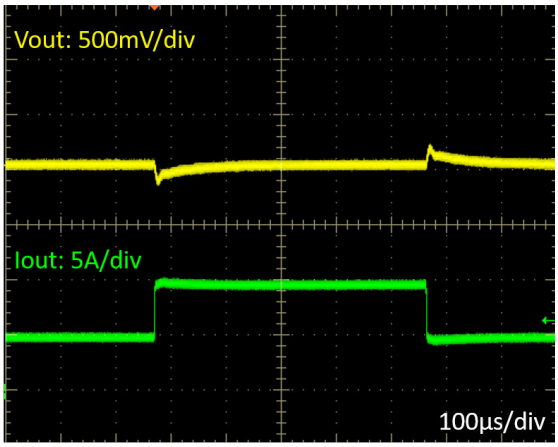
図 7-19. オン / オフ特性のイネーブル

Copyright © 2025 Texas Instruments Incorporated



V_{IN} = 12V FPWM

図 7-20. 負荷過渡、0A～10A



V_{IN} = 12V FPWM

図 7-21. 負荷過渡、5A～10A

7.3 電源に関する推奨事項

LM25139 の降圧コントローラは、3.5V ～ の広い入力電圧範囲で動作するよう設計されています。入力電源の特性は、「*絶対最大定格*」と「*推奨動作条件*」に適合している必要があります。また、入力電源は、全負荷時のレギュレータに必要な入力電流を供給できる必要があります。平均入力電流を見積るには、式 47 を使用します。

$$I_{IN} = \frac{P_{OUT}}{V_{IN} \times \eta} \tag{47}$$

ここで、

η は効率です。

レギュレータが高インピーダンスを持つ長い配線や PCB パターンを経由して入力電源に接続されている場合は、安定した性能を実現するために特に注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、コンバータの動作に悪影響を及ぼすおそれがあります。寄生インダクタンスと低 ESR セラミック入力コンデンサを組み合わせることで、不足減衰共振回路が形成されます。この回路は、入力電源がオンとオフを周期的に切り替わるたびに、VIN で過電圧過渡が発生する可能性があります。寄生抵抗により、負荷過渡中に入力電圧が低下する場合があります。こうした問題を解決する最善策は、入力電源からレギュレータまでの距離を短くして、セラミックと並列にアルミニウム製やポリマー製の入力コンデンサを使用することです。電解コンデンサの ESR は比較的低いため、入力共振回路は減衰し、電圧オーバーシュートを低減することができます。通常、容量の範囲が 10µF ～ 47µF であれば並列入力を減衰させるのに十分であり、大きな負荷過渡中も入力電圧を安定した状態に保持できます。

レギュレータの前に EMI 入力フィルタを使用することがあります。ただし、設計に留意しなければ、これにより不安定な状態が起きる、または前述のような影響を及ぼすおそれがあります。『*AN-2162 DC/DC コンバータ向け伝導 EMI の簡単な成功事例*』アプリケーションノートでは、スイッチングレギュレータの入力フィルタを設計する際に役立つ提案を紹介しています。

Copyright © 2025 Texas Instruments Incorporated

7.4 レイアウト

7.4.1 レイアウトのガイドライン

堅牢で信頼性の高い設計を実現するためには、大電流、高速スイッチング回路 (大電流と電圧スルーレート対応) で適切な PCB 設計とレイアウトを行うことが重要です。LM25139 を使用して PCB レイアウトを設計するにあたり、あらかじめ特定の問題を考慮する必要があります。降圧レギュレータの出力段の高周波電力ループは、図 7-22 の色付きの範囲のループ 1 で表されています。降圧レギュレータのトポロジカルアーキテクチャは、特にループ 1 内の部品に流れる di/dt の大電流を意味し、この実効ループ面積を最小化することによって寄生インダクタンスを低減することが必須となります。また、図 7-22 のそれぞれ 2 と 3 に示されるローサイドとハイサイド MOSFET のゲート駆動ループも重要です。

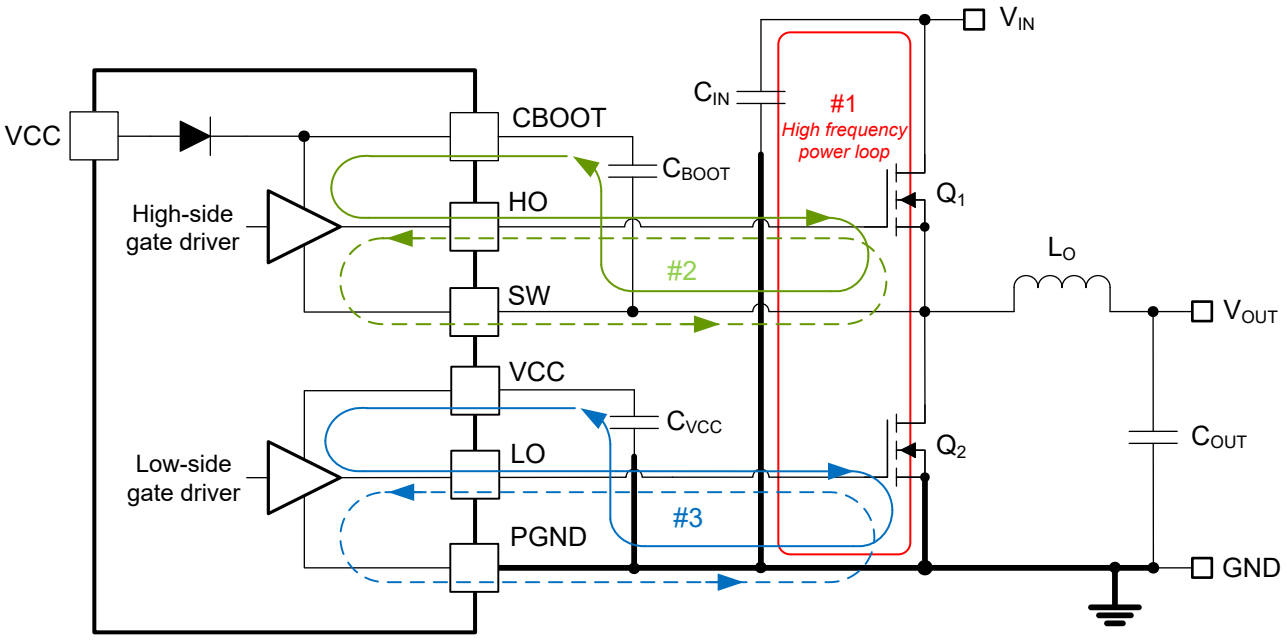


図 7-22. 出力段とゲート駆動回路スイッチング ループを内蔵した DC/DC レギュレータ グランド システム

7.4.1.1 出力段レイアウト

1. 入力コンデンサ、出力コンデンサ、MOSFET は、降圧レギュレータの出力段の構成部品であり、一般に PCB の上面 (はんだ側) に配置されます。システムレベルの気流を活用することにより、対流熱伝達の利点が最大化されます。通常、2 面 PCB レイアウトでは小信号部品は底面 (部品側) に配置されます。少なくとも 1 つの内部プレーンを挿入してグランドに接続することにより、小信号パターンをシールドし、ノイズの多いパターンや線と分離します。
2. DC/DC レギュレータには、複数の大電流ループがあります。このループ領域を最小化すると、生成されるスイッチング ノイズは抑制され、スイッチング性能を最適化することができます。
   - ループ 1:最小化が最も重要なループ領域は、1 つ以上の入力コンデンサからハイサイドとローサイドの MOSFET を経由し、グランド接続を通過して 1 つ以上のコンデンサに戻る経路です。1 つ以上の入力コンデンサの負端子は、ローサイド MOSFET のソース (グランド側) の近くに接続します。同様に、1 つ以上の入力コンデンサの正端子は、ハイサイド MOSFET のドレイン (VIN 側) の近くに接続します。図 7-22 のループ 1 を参照してください。
   - もう 1 つのループはループ 1 よりは重要ではありませんが、ローサイド MOSFET からインダクタと 1 つ以上の出力コンデンサを経由し、グランドを通過して、ローサイド MOSFET のソースに戻る経路です。ローサイド MOSFET のソースと 1 つ以上の出力コンデンサの負端子をグランドのできるだけ近くで接続します。
3. SW ノードとして定義される PCB パターンは、ハイサイド (制御) MOSFET のソース、ローサイド (同期) MOSFET のドレイン、インダクタの高電圧側に接続され、短く幅広い配線で接続する必要があります。ただし、SW 接続は注入 EMI のソースのため、大きすぎてはいけません。
4. パッドの形状とはんだペーストのステンシル設計など、MOSFET メーカーが推奨する MOSFET のレイアウトの考慮事項に従ってください。

Copyright © 2025 Texas Instruments Incorporated

5. SW ピンは電力変換段のスイッチ ノードに接続され、ハイサイド ゲートドライバのリターン パスとして動作します。図 7-22 のループ 1 に固有の寄生インダクタンスと両方のパワー MOSFET の出力容量 (C_{OSS}) により共振回路が形成され、SW ノードの高周波 (50MHz 以上) リンギングが誘発されます。このリンギングの電圧ピークは、制御されていないときは入力電圧よりも大幅に高くなることがあります。ピーク リンギング振幅が SW ピンの絶対最大定格制限を超えないことを確認してください。たいていの場合、SW ノードから GND まで接続された直列抵抗とコンデンサのスナバ ネットワークにより、リンギングは減衰し、ピーク振幅は減少します。PCB レイアウトのスナバ ネットワークの部品を利用できるように準備します。SW ピンにおけるリンギング振幅が過剰なことが試験で明らかになった場合は、必要に応じてスナバ部品を入れてください。

7.4.1.2 ゲートドライブレイアウト

LM25139 のハイサイドおよびローサイドゲートドライバは、短い伝搬遅延、アダプティブデッドタイム制御、低インピーダンス出力段を内蔵しており、非常に高速な立ち上がり、立ち下がり時間で大きなピーク電流を供給できるため、パワー MOSFET の高速なターンオン遷移とターンオフ遷移を実現しています。パターンの長さとインピーダンスを十分制御できていない場合、di/dt が非常に高いと許容不可能なリンギングが発生することがあります。

ゲートドライブのスイッチング性能を最適化するには、空電または寄生ゲートループインダクタンスの最小化が重要です。これは、MOSFET ゲートキャパシタンスで共振する直列ゲートインダクタンスでも、ゲートドライブコマンドに反して負のフィードバック成分を供給するコモンソースインダクタンス (ゲートとパワーループに共通) でも同様で、これにより MOSFET のスイッチング時間は長くなります。以下のループが重要です。

- ループ 2:ハイサイド MOSFET、Q_1。ハイサイド MOSFET のターンオン中は、ブートストラップ (ブート) コンデンサからゲートドライバとハイサイド MOSFET を経由して大電流が流れ、SW 接続を経由してブート コンデンサの負側の端子に戻ります。反対に、ハイサイド MOSFET をオフにするには、ハイサイド MOSFET のゲートからゲートドライバと SW を経由して大電流が流れ、SW パターンを経由してハイサイド MOSFET のソースに戻ります。図 7-22 の「ループ 2」も参照してください。
- ループ 3:ローサイド MOSFET、Q_2。ローサイド MOSFET のターンオン中は、VCC デカップリング コンデンサからゲートドライバとローサイド MOSFET を経由して大電流が流れ、グランドを経由してコンデンサの負側の端子に戻ります。反対に、ローサイド MOSFET をオフにするには、ローサイド MOSFET のゲートからゲートドライバと GND を経由して大電流が流れ、グランドを経由してローサイド MOSFET のソースに戻ります。図 7-22 の「ループ 3」も参照してください。

テキサス・インスツルメンツは、高速 MOSFET ゲートドライブ回路を使用して設計する際には、回路レイアウトのガイドラインを遵守することを強く推奨しています。

- ゲートドライバ出力 HO と LO からハイサイドまたはローサイド MOSFET の各ゲートへの接続は、直列寄生インダクタンスを低減するために、できるだけ短くしてください。ピークゲートドライブ電流は最大 3A になる可能性があることに注意してください。0.65mm (25mils) 以上の広いパターンを使用してください。これらのパターンには、必要に応じて、直径 0.5mm (20mils) 以上の 1 つまたは複数のビアを使用します。HO と SW ゲートパターンを LM25139 からハイサイド MOSFET まで差動ペアとして配線し、フラックスキャンセレーションを利用します。
- 最大 3A の大電流が瞬間的に流れることにより MOSFET のゲートキャパシタンスが充電されるため、VCC と CBOOT ピンから各コンデンサを流れる電流ループパスを最小化します。具体的には、ブートストラップコンデンサ C_{BOOT} を LM25139 の対応する CBOOT、SW ピンのペアの近くに配置して、ハイサイドドライバに関連する「ループ 2」の面積を最小化します。同様に、VCC コンデンサ C_{VCC} を LM25139 の VCC ピンと PGND ピンの近くに配置して、ローサイドドライバに関連するループ 3 の面積を最小化します。

7.4.1.3 PWM コントローラのレイアウト

ゲート ドライバのパターン走行を最小限にするため、コントローラをパワー MOSFET のできる限り近くに配置する規定により、電流センシングだけでなく、アナログ信号と帰還信号に関連する部品については、以下のように考慮します。

- 電源と信号のパターンを分けて、ノイズのシールドを実現するためにグランド プレーンを使用します。
- 相互結合を避けるため、COMP、FB、ISNS+、および RT に関連するすべての敏感なアナログトレースおよびコンポーネントを、SW、HO、LO または CBOOT のような高電圧スイッチングノードから離して配置します。1 つ以上の内部

Copyright © 2025 Texas Instruments Incorporated

層をグランド プレーンとして使用します。特に、電源パターンと部品から帰還 (FB) パターンおよび電流センス (ISNS+ および VOUT) をシールドすることには注意してください。
- FB のパターンができるだけ短くなるように、(必要に応じて) 上側と下側の帰還抵抗を FB ピンの近くに設置します。上側の帰還抵抗から負荷時に必要とされる出力電圧センスポイントまでのパターンを配線します。
- ノイズピックアップを最小限にするために、差動ペアとして ISNS+ と VOUT センスパターンを配線し、適切なシャント抵抗 (シャント電流センシングの使用時) またはセンスコンデンサ (インダクタ DCR 電流センシングの使用時) にケルビン接続を使用します。
- VCC、VIN ピンから、それぞれのデカップリングコンデンサを経由して、PGND ピンまでのループ領域を最小にします。これらのコンデンサは LM25139 のできるだけ近くに配置します。

7.4.1.4 熱設計およびレイアウト

ゲート ドライバとバイアス電源 LDO レギュレータが内蔵された PWM コントローラの有効な温度範囲は、次の内容に大きく影響されます。

- パワー MOSFET の平均ゲート駆動電流の要件
- スイッチング周波数
- 動作入力電圧 (バイアスレギュレータの LDO 電圧降下、ひいてはその消費電力に影響する)
- パッケージと動作環境の熱特性

特定の温度範囲で有効になる PWM コントローラの場合、パッケージは接合部温度を定格制限内に維持しながら、発生する熱を効率的に除去する必要があります。LM25139 コントローラは、豊富なアプリケーション要件を満たす小型の 3mm × 3mm、16 ピン RGT PowerPAD™ IC パッケージで供給されます。このパッケージの熱基準の概要については、「セクション 7.4.1.4」を参照してください。

16 ピン RGT パッケージでは、パッケージの底面にある露出した熱パッドを介して、半導体のダイから熱が除去されます。パッケージの露出したパッドはパッケージのリード線に直接接触していません。パッケージの露出パッドは LM25139 デバイス (グランド) の基板に熱的に接続されています。この接続によって熱のシンクが大幅に改善されますが、熱除去サブシステムを完成させるには PCB の設計にサーマルランド、サーマルビア、グランドプレーンを入れることが必須となります。LM25139 の露出したパッドは、PCB 上でデバイスのパッケージの真下にある、グランドに接続された銅ランドにはんだ付けされているため、熱抵抗を非常に小さい値まで低減します。

サーマルランドから内部とはんだ側の 1 つ以上のグランドプレーンに接続された直径 0.3mm の大量のビアは、放熱に不可欠です。マルチレイヤ PCB 設計では、通常は電源部品の下の PCB 層にソリッドなグランドプレーンを配置します。このプレーンの配置には、電力段の電流を流すためだけでなく、熱を生成するデバイスから熱伝導経路を離す役割もあります。

MOSFET の熱特性も重要です。ハイサイド MOSFET のドレイン パッドは、通常ヒートシンクのために VIN プレーンに接続します。ローサイド MOSFET のドレインパッドは SW プレーンに接続しますが、SW プレーンの領域は EMI の懸念を和らげるために意図的にできるだけ小さくします。

7.4.1.5 グランド プレーン設計

ここまでで説明したように、TI ではソリッドグランドプレーンとして 1 つ以上の内部 PCB 層を使用することを推奨しています。グランド プレーンは敏感な回路やパターンのシールドとして機能するだけでなく、制御回路の低ノイズ基準電位を提供します。特に、電力段部品の直下の層に完全なグランドプレーンが必要です。ローサイド MOSFET のソース端子と入力および出力コンデンサのリターン端子をこのグランドプレーンに接続します。DAP でコントローラの PGND ピンと AGND ピンを接続してから、DAP の下にあるビアの配列を使用してシステムグランドプレーンに接続します。PGND の配線にはスイッチング周波数におけるノイズが含まれており、負荷電流変動によりバウンドすることがあります。PGND、VIN、SW の電力パターンは、グランドプレーンの片側、たとえば最上層に制限できます。グランドプレーンの反対側はノイズが非常に小さくなるため、敏感なアナログのパターン配線に最適です。

7.4.2 レイアウト例

図 7-23 は、SON 5mm × 6mm のケースサイズの、ディスクリートパワー MOSFET、Q1 と Q2 を使用した同期整流降圧レギュレータの片面レイアウトを示します。出力段は GND パッドの配置に囲まれており、必要に応じて EMI シールドに接

Copyright © 2025 Texas Instruments Incorporated

続することができます。この設計では、電力ループのリターン パスとして PCB のレイヤ 2 を最上層の真下に使用することで、約 2mm² の小さな面積のスイッチング電力ループを作成しています。このループ面積、つまり寄生インダクタンスは、EMI だけでなくスイッチノード電圧のオーバーシュートとリンギングを最小化するために、できるだけ小さくする必要があります。

高周波数電力ループ電流は、MOSFET の Q1 と Q2 から 2 層の電力グランドプレーンを通過し、0402 セラミックコンデンサ C14 から C19 を通って VIN に戻ります。垂直ループ構成で逆方向に流れる電流により、フィールドの自己キャンセルが可能となり、寄生インダクタンスは低減されます。図 7-25 に、マルチレイヤ PCB 構造で低プロファイル、自己キャンセル ループを作成する考え方を表す側面図を示します。図 7-24 に示す 2 層の GND プレーン層により、MOSFET の真下に Q2 ソース端子への密結合電流のリターンパスが作られます。

小型サイズの 0402 または 0603 ケースに入った 6 つの 10nF 入力コンデンサは、Q1 のドレインのすぐ近くに並列に配置します。取付面積の小さなコンデンサの低等価直列インダクタンス (ESL) と高自己共振周波数 (SRF) は、優れた高周波性能を実現します。これらのコンデンサの負の端子は、直径 12mil (0.3mm) の複数のビアで 2 層の GND プレーンに接続され、寄生ループインダクタンスをさらに最小化できます。

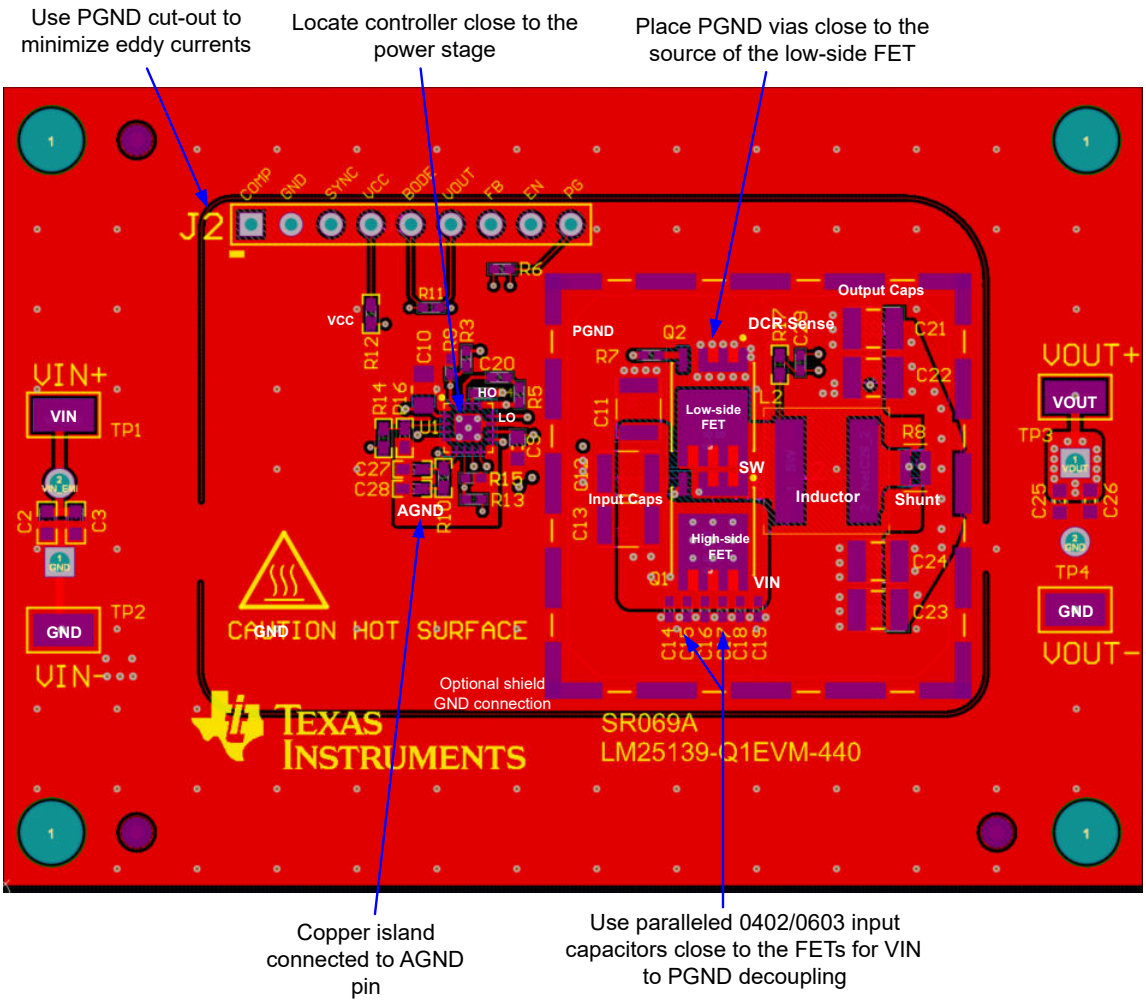


図 7-23. PCB の最上層 - 高密度、片面設計

ノイズ耐性を向上させて EMI を低減するための追加のガイドラインは、次のとおりです:

- 図 7-23 に示すように、LM25139 コントローラをグランドに接続します。すべての大電力コンポーネントに直接接続する電源グランドと、敏感なアナログ部品用のアナロググランドプレーンを作成します。AGND のアナロググランドプレー

Copyright © 2025 Texas Instruments Incorporated

ンと PGND の電力グランドプレーンは、ダイアタッチパッド (DAP) にある IC の真下の 1 点で接続する必要があります。

- MOSFET (スイッチノード) は、dv/dt が高く、放射 EMI に寄与するため、短い銅箔で (ビアなし) インダクタ端子に直接接続します。スイッチノード接続を単層配線にすると、dv/dt が高いスイッチノードビアが PCB の底面には現れません。これにより、EMI テスト中のリファレンスグランドプレーンへの e フィールド結合を回避できます。VIN と PGND プレーンの銅箔ベタは MOSFET をインダクタ端子に接続するポリゴンをシールドし、放射 EMI シグネチャをさらに低減します。
- *EMI フィルタ* 部品を PCB の底面に配置し、上面の電力段部品から部品がシールドされるようにします。

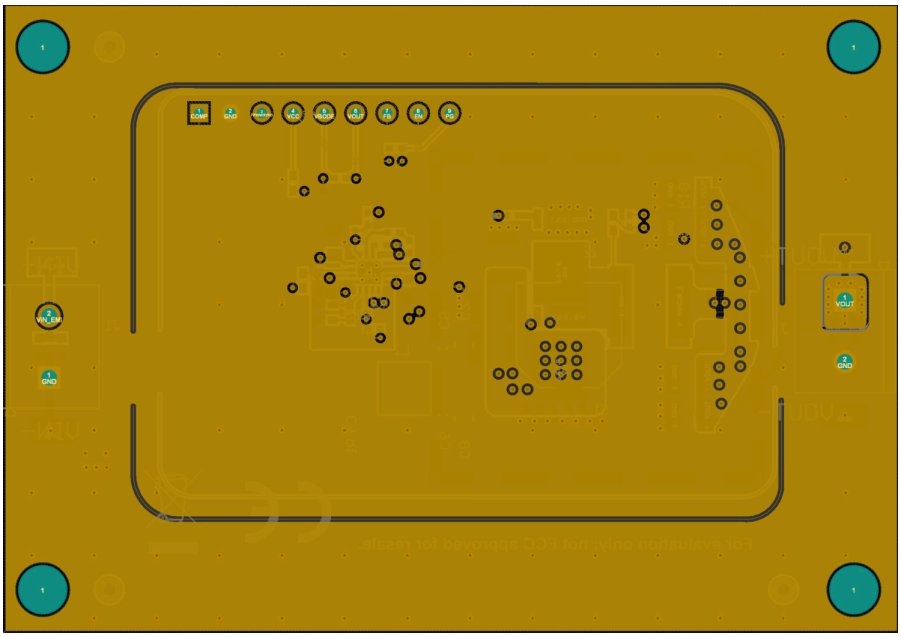
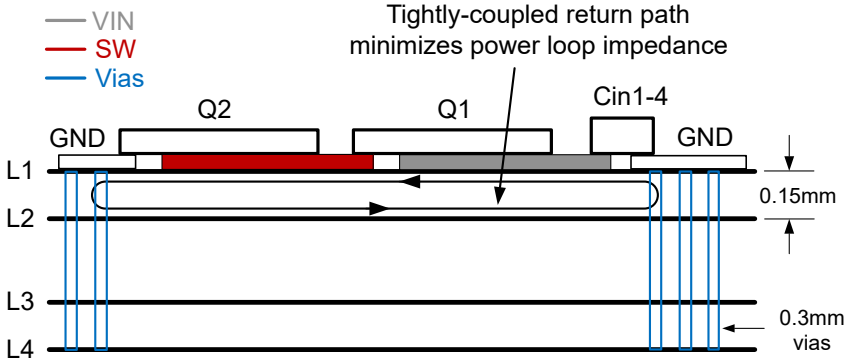


図 7-24. 電源部品の直下にある 2 層のフルグランドプレーン



『*最適化された出力段レイアウトによる大電流 DC/DC レギュレータの EMI 性能向上*』アプリケーションブリーフも参照してください

図 7-25. 低 L1L2 内部層空間のある PCB のスタックアップ図

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

表 8-1 で規定されている最低 3.5V、最大 100V の入力動作電圧では、TI の LM(2)514x/-Q1 ファミリの同期整流降圧コントローラは、幅広いアプリケーションに対応できるスケーラビリティと最適化された設計サイズを実現します。これらのコントローラを使用すると、高密度、低 EMI で高い柔軟性を持つ DC/DC 設計を実現できます。利用可能な EMI 低減機能には、デュアル ランダム スペクトラム拡散 (DRSS) または三角波スペクトラム拡散 (TRSS)、スルーレート (SR) 制御用スプリット ゲート ドライバ出力、統合型アクティブ EMI フィルタリング (AEF) が含まれます。すべてのコントローラは最大動作接合部温度 150℃ の定格で、AEC-Q100 グレード 1 認証を受けています。

表 8-1. 同期整流降圧 DC/DC コントローラ ファミリ

DC/DC コントローラ	シングルまたはデュアル	V_{IN} 範囲	制御方式	ゲート駆動電圧	同期出力	主な機能
LM5137	デュアル	4V ～ 80V	ピーク電流モード	5V	90°位相シフト	100% デューティ サイクル
LM5137F	デュアル	4V ～ 80V	ピーク電流モード	5V	90°位相シフト	SIL 2 または 3
LM25137	デュアル	4V ～ 42V	ピーク電流モード	5V	90°位相シフト	100% デューティ サイクル
LM25137F	デュアル	4V ～ 42V	ピーク電流モード	5V	90°位相シフト	SIL 2 または 3
LM5141	シングル	3.8V ～ 65V	ピーク電流モード	5V	該当なし	分割ゲートドライブ
LM25141	シングル	3.8V ～ 42V	ピーク電流モード	5V	該当なし	分割ゲートドライブ
LM5143	デュアル	3.5V ～ 65V	ピーク電流モード	5V	90°位相シフト	分割ゲートドライブ
LM25143	デュアル	3.5V ～ 42V	ピーク電流モード	5V	90°位相シフト	分割ゲートドライブ
LM5145	シングル	5.5V ～ 75V	電圧モード	7.5V	180°位相シフト	シャントなし
LM5146	シングル	5.5V ～ 100V	電圧モード	7.5V	180°位相シフト	100V 入力能力
LM5148	シングル	3.5V ～ 80V	ピーク電流モード	5V	180°位相シフト	DRSS
LM25148	シングル	3.5V ～ 42V	ピーク電流モード	5V	180°位相シフト	DRSS
LM5149	シングル	3.5V ～ 80V	ピーク電流モード	5V	180°位相シフト	AEF
LM25149	シングル	3.5V ～ 42V	ピーク電流モード	5V	180°位相シフト	AEF
LM5190	シングル	5V ～ 80V	ピーク電流モード	7.5V	該当なし	CC/CV
LM25190	シングル	5V ～ 42V	ピーク電流モード	7.5V	該当なし	CC/CV

開発サポートについては、以下を参照してください。

- LM25139 シミュレーションモデル
- TI のリファレンスデザインライブラリについては、TI Designs を参照してください。
- テキサス・インスツルメンツの WEBENCH 設計環境については、WEBENCH® 設計センターをご覧ください
- TI デザイン:
  - *2 つの 4Gbps クワッドデシリアライザを持つ ADAS 8 チャネルセンサフュージョンハブのリファレンスデザイン*
  - 車載向け EMI と放熱を最適化した同期整流降圧コンバータのリファレンス デザイン
  - *LM5141-Q1 を採用した、車載用大電流、広い V_{IN} の同期整流降圧コントローラのリファレンス デザイン*
  - 2.2MHz 動作、25W 車載スタート / ストップのリファレンス デザイン
  - 車載クラスタ向け同期整流降圧コンバータのリファレンス デザイン
  - ストレージ サーバ向け 137W ホールドアップ コンバータのリファレンス デザイン
  - *12.0A 時に 3.3V、車載向け同期整流降圧のリファレンスデザイン*
  - 車載向け同期整流降圧のリファレンス デザイン
  - 周波数スペクトラム拡散機能搭載、入力範囲の広い同期整流降圧コンバータのリファレンス デザイン
  - *車載用の幅広い V_{IN}、デジタル コックピット処理ユニット向けのフロントエンド リファレンス デザイン*

Copyright © 2025 Texas Instruments Incorporated

- この製品の関連デバイスについては、LM25148 を参照してください。

8.1.1.1 WEBENCH® ツールによるカスタム設計

ここをクリック すると、WEBENCH Power Designer により、LM25139 デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

- ユーザー ガイド:
  - テキサス インスツルメンツ、『*LM5137F-Q1 12V、20A 単一出力評価基板*』
  - テキサス・インスツルメンツ、『*LM25137-Q1 評価基板*』
  - テキサス インスツルメンツ、『*LM5143-Q1 EVM ユーザーガイド*』
  - テキサス インスツルメンツ、『*LM5141-Q1 EVM ユーザーガイド*』
  - テキサス・インスツルメンツ、『*LM5146-Q1 EVM ユーザー ガイド*』
  - テキサス・インスツルメンツ、『LM5145EVM-HD-20A 高密度評価基板』
  - テキサス インスツルメンツ、『*LM5149-Q1 降圧コンバータの評価基板ユーザーガイド*』
  - テキサス インスツルメンツ、『*LM5190-Q1 CC-CV 降圧コントローラ評価基板*』
- アプリケーション ノート:
  - テキサス・インスツルメンツ、『LM5143-Q1 車載用 ADAS アプリケーション向け 4 相降圧レギュレータの設計』
  - テキサス・インスツルメンツ、『LM5140-Q1 デュアル同期整流降圧コントローラによる車載用コールドクランク中の出力電圧レギュレーションの維持』

8.2.1.1 低 EMI 設計リソース

- テキサス インスツルメンツ、『*低 EMI*』ランディングページ
- テキサス インスツルメンツ、『*EMI の問題の対応*』企業ブログ
- テキサス インスツルメンツ、『*DC/DC レギュレータの EMI エンジニアガイド*』 e-book
- テキサス インスツルメンツ、『*低 EMI 電源の設計*』ビデオシリーズ
- ホワイト ペーパー:
  - テキサス・インスツルメンツ、『電源の伝導 EMI 仕様の概要』
  - テキサス・インスツルメンツ、『電源の放射 EMI 仕様の概要』
  - テキサス インスツルメンツ、『*電源における EMI 低減のための短時間でコスト効率の高いイノベーション*』
  - テキサス・インスツルメンツ、『コスト効率が高く要求品質の高いアプリケーション用の広範な V_{IN}、低 EMI 同期整流降圧回路の評価』
- テキサス インスツルメンツ、『*最適化された出力段レイアウトによる大電流 DC/DC レギュレータの EMI 性能向上*』アプリケーションブリーフ

Copyright © 2025 Texas Instruments Incorporated

- テキサス インスツルメンツ、『*誘導性寄生の最小化による降圧コンバータの EMI と電圧ストレスの低減*』アナログデザインジャーナル

8.2.1.2 熱設計についてのリソース

- ホワイト ペーパー:
  - テキサス インスツルメンツ、『*放熱強化パッケージによる高周囲温度環境での熱性能の改善*』
- アプリケーションノート:
  - テキサス インスツルメンツ、『*過去ではなく、現在の識見による熱設計*』
  - テキサス インスツルメンツ、『*露出パッドパッケージで最良の熱抵抗を実現するための基板レイアウトガイド*』
  - テキサス・インスツルメンツ、『半導体および IC パッケージの熱評価基準』
  - テキサス インスツルメンツ、『*放熱特性に優れた PowerPAD™ パッケージ*』
  - テキサス・インスツルメンツ、『新しい熱評価基準の解説』

8.2.1.3 PCB レイアウトについてのリソース

- テキサス インスツルメンツ、『*最適化された出力段レイアウトによる大電流 DC/DC レギュレータの EMI 性能向上*』アプリケーション ブリーフ
- テキサス・インスツルメンツ、*AN-1149*『スイッチング電源のレイアウトのガイドライン』アプリケーション ノート
- テキサス・インスツルメンツ、『*独自電源の構築 - レイアウトの考慮事項*』セミナー

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

NexFET™, PowerPAD™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

日付	改訂	注
October 2025	*	初版リリース

Copyright © 2025 Texas Instruments Incorporated

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM25139D5RGTR	Active	Production	VQFN (RGT) | 16	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-	5139D5
LM25139RGTR	Active	Production	VQFN (RGT) | 16	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-	25139

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LM25139 :

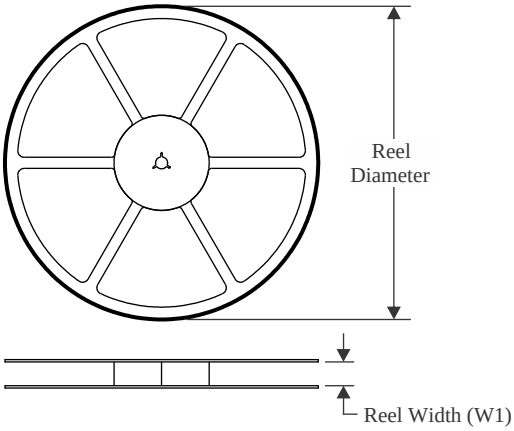
- Automotive : LM25139-Q1

NOTE: Qualified Version Definitions:

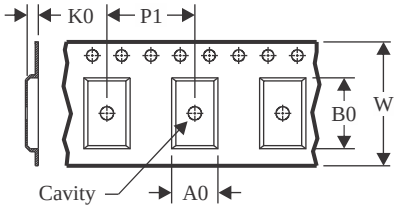
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

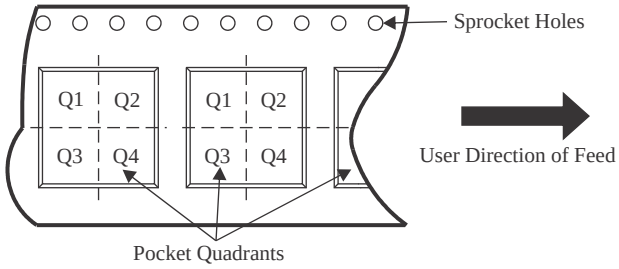


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

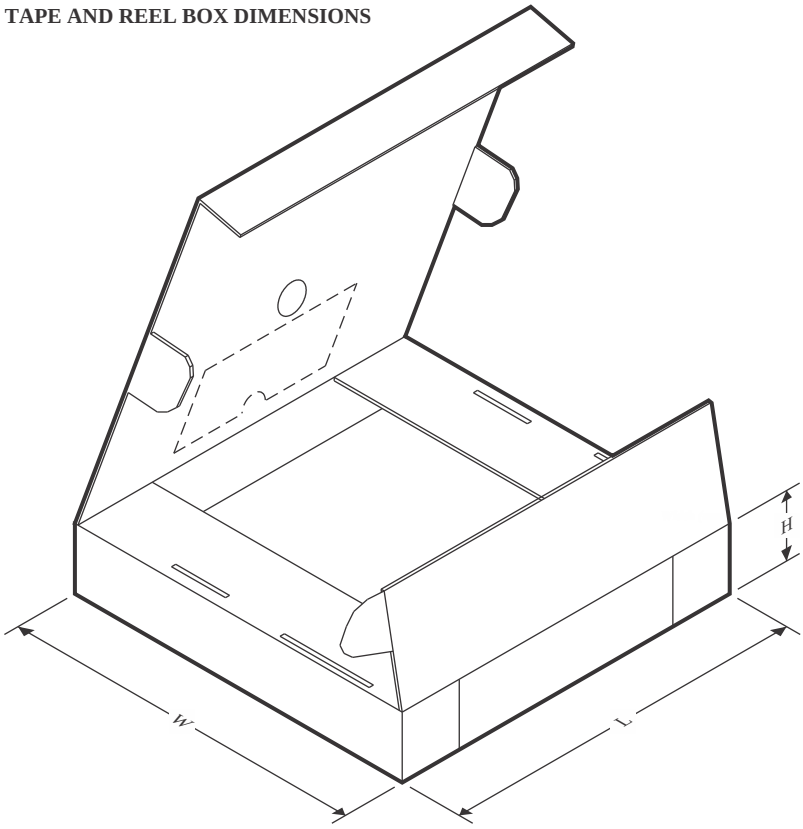
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM25139D5RGTR	VQFN	RGT	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LM25139RGTR	VQFN	RGT	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS

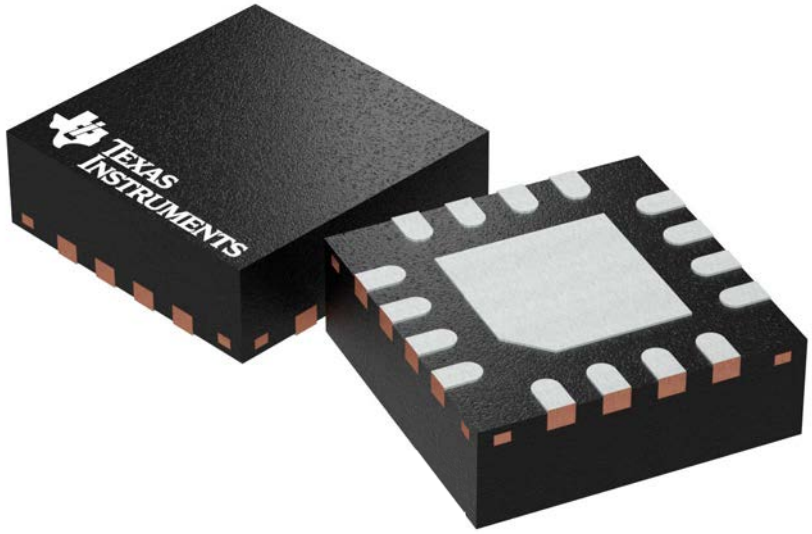


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM25139D5RGTR	VQFN	RGT	16	3000	360.0	360.0	36.0
LM25139RGTR	VQFN	RGT	16	3000	360.0	360.0	36.0

RGT 16 VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



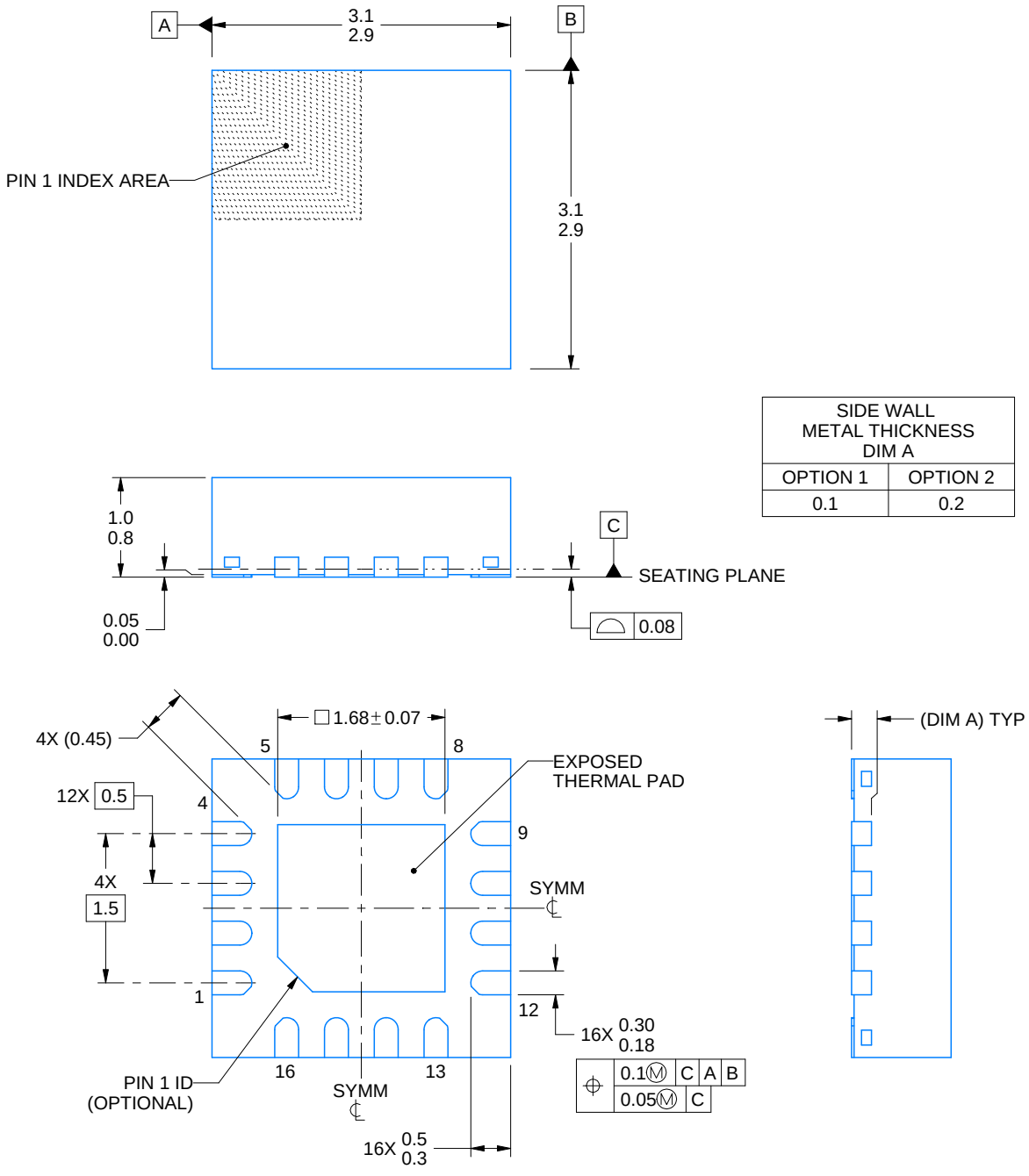
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

PACKAGE OUTLINE

RGT0016C

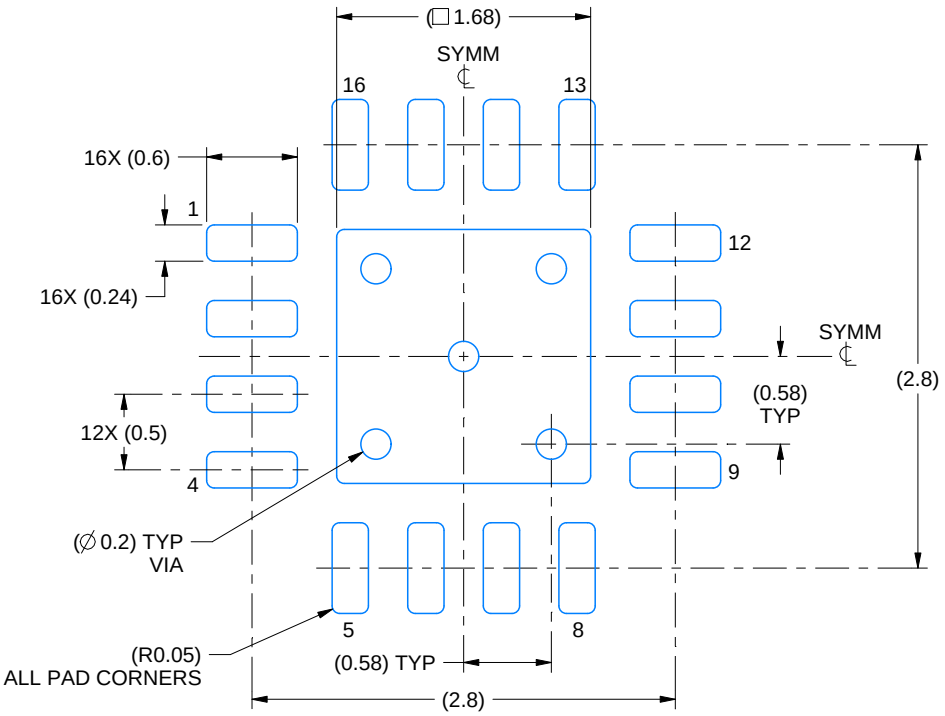
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

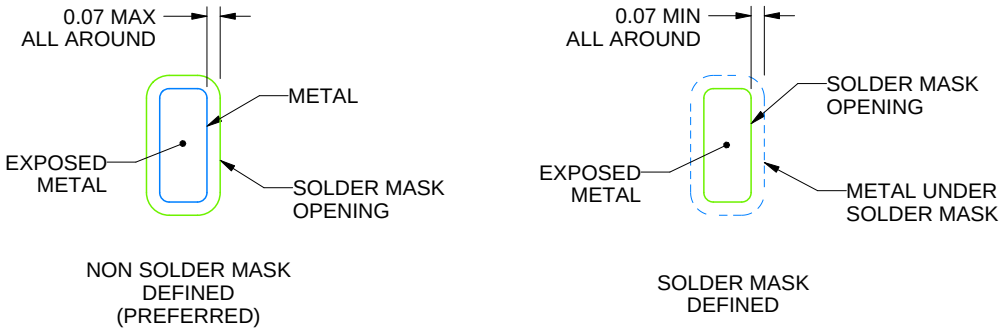


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

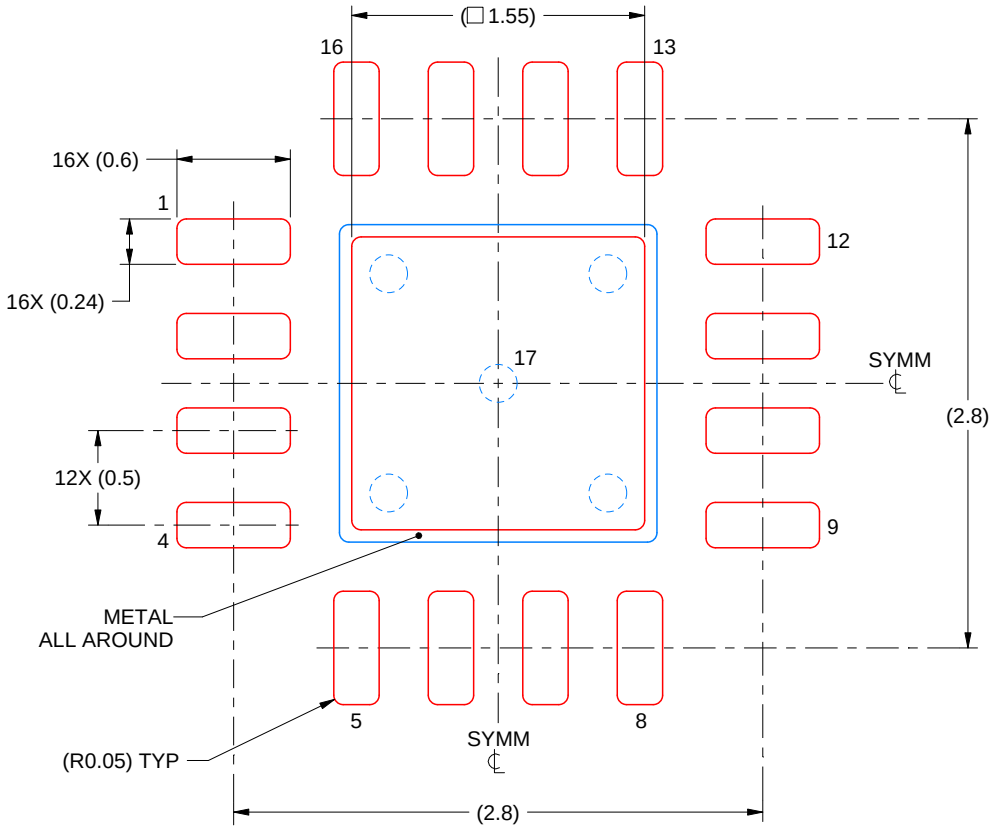


SOLDER MASK DETAILS

4222419/E 07/2025

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4222419/E 07/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月