

TL331L-Q1 および LM2903L-Q1 車載用オープンドレイン高電圧セルフラッチ コンパレータ

1 特長

- 車載アプリケーション認定済み
- 以下の結果で AEC-Q100 認定済み:
 - デバイス温度グレード 1: 動作時周囲温度範囲
-40°C ~ 125°C
- 出力は High から Low への出力遷移でラッチされます
- レベルトリガ クリア
- 透過モード
- チャンネルごとに独立したラッチ
- 電源電圧範囲: 2.7V ~ 36V
- オフセット電圧: 25°C で最大 2.5mV
- フォルトトレラントな入力
- 伝搬遅延時間: 300ns (代表値)
- 低い静止電流: チャンネルあたり 350μA
- オープンドレイン出力
- CLR 入力は最低 1.2V ロジックに対応可能
- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能

2 アプリケーション

- テレマティクス eCall
- 車載用ヘッドユニット
- インストルメントクラスタ
- オンボードチャージャ (OBC) / ワイヤレスチャージャ

3 説明

TL331L-Q1 (シングル) および LM2903L-Q1 (デュアル) は、オープンコレクタ出力を備えた高電圧セルラッチコンパレータです。また、このファミリーは低い入力オフセット電圧とフォルトトレラント入力も実現しています。これらのデバイスは速度と消費電力の組み合わせが非常に優れており、伝搬遅延は 300ns、チャンネルあたりの静止時電流はわずか 300μA です。

ファミリーの独自の特長は出力ラッチ機能です。出力は最初の高レベルから低レベルへのスレッシュホールド超過時にラッチされるため、システムコントローラの完全な注意を必要とせずにイベントやエラー状態をキャプチャできます。これにより、起動時にシステムコントローラが初期化中、または他のタスクでビジー状態になっているときに、イベントをキャプチャできます。ラッチ入力が low に保持されると、「透過」モードに移行し、出力は入力条件を反映し続けます (ラッチは無効)。

これらのコンパレータは、出力位相反転なし、損傷なしで最大 36V まで印加可能なフォルトトレラント入力も備えています。このことにより、このファミリーのコンパレータは、過酷でノイズの多い環境での高精度電圧監視向けの設計になっています。

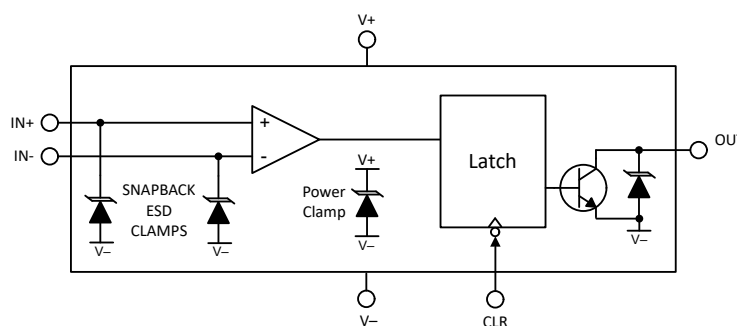
オープンドレイン出力は、複数の出力の OR 接続やレベル変換用に電源電圧以下またはそれ以上にプルアップ可能です。

このファミリーは車載向け温度範囲 -40°C から +125°C で動作が規定されており、標準のリード付きおよびリードレスパッケージで供給されます。

パッケージ情報

部品番号	パッケージ (1)	パッケージサイズ (2)
TL331L-Q1 (シングル)	DCK (SC-70, 6) (3)	2mm × 2.1mm
	DBV (SOT-23, 6) (3)	2.9mm × 2.8mm
	DSE (WSON, 6) (3)	1.5mm × 1.5mm
LM2903L-Q1 (デュアル)	DGS (VSSOP, 10) (3)	3mm × 4.9mm
	RUG (X2QFN, 10)	1.5mm × 2mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) 製品プレビュー (量産データではありません)。



概略内部図



目次

1 特長.....	1	6.2 機能ブロック図.....	15
2 アプリケーション.....	1	6.3 機能説明.....	15
3 説明.....	1	6.4 デバイスの機能モード.....	15
4 ピン構成および機能.....	3	7 アプリケーションと実装.....	20
4.1 ピンの機能: シングル TL331L-Q1	3	7.1 使用上の注意.....	20
4.2 ピン構成: デュアル LM2903L-Q1	4	7.2 代表的なアプリケーション.....	21
5 仕様.....	5	7.3 電源に関する推奨事項.....	22
5.1 絶対最大定格.....	5	7.4 レイアウト.....	22
5.2 ESD 定格.....	5	8 デバイスおよびドキュメントのサポート.....	24
5.3 推奨動作条件.....	5	8.1 ドキュメントのサポート.....	24
5.4 熱に関する情報 - シングル.....	6	8.2 ドキュメントの更新通知を受け取る方法.....	24
5.5 熱に関する情報 - デュアル.....	6	8.3 サポート・リソース.....	24
5.6 電気的特性.....	7	8.4 商標.....	24
5.7 スイッチング特性.....	8	8.5 静電気放電に関する注意事項.....	24
5.8 代表的特性.....	9	8.6 用語集.....	24
6 詳細説明.....	15	9 改訂履歴.....	24
6.1 概要.....	15	10 メカニカル、パッケージ、および注文情報.....	25

4 ピン構成および機能

4.1 ピンの機能：シングル TL331L-Q1

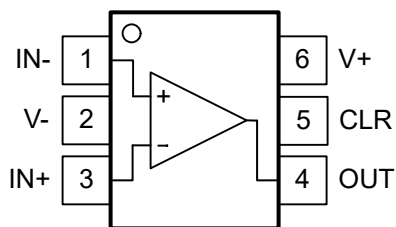


図 4-1. DCK および DBV パッケージ
クリア ピン機能付き TL331 ピン配置
6 ピン SC-70 および SOT-23
上面図

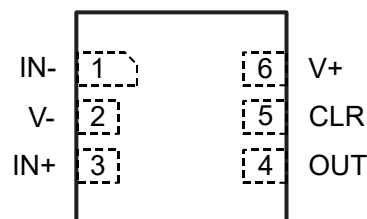


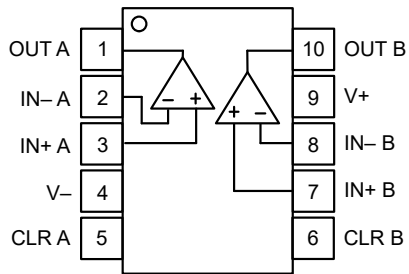
図 4-2. DSE パッケージ
6 ピン WSON
上面図

表 4-1. ピン構成：TL331L-Q1

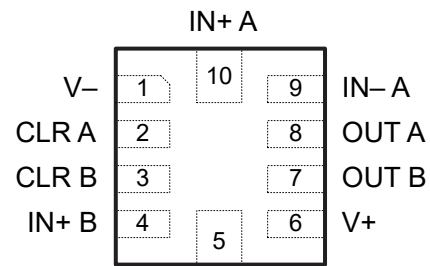
名称	TL331L-Q1			タイプ ⁽¹⁾	説明
	6 ピン	6 ピン	6 ピン		
	SC-70	SOT-23	WSON		
IN-	1	1	1	I	反転 (-) 入力
V-	2	2	2	—	負電源電圧
IN+	3	3	3	I	非反転 (+) 入力
OUT	4	4	4	O	出力
CLR	5	5	5	I	クリア入力 - 立ち下がりエッジでクリア
V+	6	6	6	—	正電源電圧

(1) 信号タイプ:I = 入力、O = 出力

4.2 ピン構成 : デュアル LM2903L-Q1



DGS パッケージ
10 ピン VSSOP
 上面図



RUG パッケージ
10 ピン X2QFN
 上面図

表 4-2. ピンの機能 : LM2903L-Q1

名称	LM2903L-Q1		タイプ ⁽¹⁾	説明
	10 ピン	10 ピン		
	VSSOP	X2QFN		
OUT A	1	8	O	コンパレータ A の出力
IN- A	2	9	I	コンパレータ A の反転 (-) 入力
IN+ A	3	10	I	コンパレータ A の非反転 (+) 入力
V-	4	1	—	負電源電圧
CLR A	5	2	I	コンパレータ A のクリア入力 - 立ち下がりエッジでクリア
CLR B	6	3	I	コンパレータ B のクリア入力 - 立ち下がりエッジでクリア
IN+ B	7	4	I	コンパレータ B の非反転 (+) 入力
IN- B	8	5	I	コンパレータ B の反転 (-) 入力
V+	9	6	—	正電源電圧
OUT B	10	7	O	コンパレータ B の出力

(1) 信号タイプ:I = 入力、O = 出力

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
電源電圧: $V_S = (V+) - (V-)$		-0.3	38	V
(V-) から入力ピン (IN+, IN-, CLR) ⁽²⁾	(V-) から入力ピン (IN+, IN-, CLR) ⁽²⁾	-0.3	38	V
(V-) から出力 (OUT) ⁽³⁾	(V-) から出力 (OUT) ⁽³⁾	-0.3	38	V
出力短絡時間 ⁽⁴⁾			制限なし	s
接合部温度、 T_J			150	°C
保管温度、 T_{stg}		-65	150	°C

- (1) 「絶対最大定格」で示す値を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレスの定格のみについてであり、絶対最大定格において、またはこのデータシートの「推奨動作条件」に示す値を超える他のいかなる条件でも、このデバイスが正しく動作することを意味するものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
- (2) 入力端子は (V-) に対してダイオード クランプされています。電源レールを超えて 0.3V 以上スイングする入力信号は、電流を 10mA 以下に抑える必要があります。また、入力 (IN+, IN-) は、電圧が -0.3V から 36V の範囲内である限り、V+ および OUT を超えることができます
- (3) 出力 (OUT) は、電圧が -0.3V ~ 36V の範囲内である限り、(V+) および入力 (IN+, IN-) を超えることができます
- (4) (V-) または (V+) への短絡。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾	±2000	V
$V_{(ESD)}$	静電放電	デバイス帯電モデル (CDM)、AEC Q100-0111 準拠	±1000	V

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

	最小値	最大値	単位
電源電圧: $V_S = (V+) - (V-)$	2.7	36	V
入力電圧範囲 (V-) から (IN+, IN-, CLR)	-0.1	36	V
入力共通モード同相電圧範囲 (V-) から (IN+, IN-)	0	(V+) - 2	V
(V-) から出力電圧範囲	0	36	V
周囲温度、 T_A	-40	125	°C

5.4 熱に関する情報 - シングル

熱評価基準 ⁽¹⁾		TL331L-Q1			単位
		DCK (SC-70)	DBV (SOT-23)	DSE (WSON)	
		6 ピン	6 ピン	6 ピン	
R _{qJA}	接合部から周囲への熱抵抗	-	-	-	°C/W
R _{qJC(top)}	接合部からケース (上面) への熱抵抗	-	-	-	°C/W
R _{qJB}	接合部から基板への熱抵抗	-	-	-	°C/W
Y _{JT}	接合部から上面への特性パラメータ	-	-	-	°C/W
Y _{JB}	接合部から基板への特性パラメータ	-	-	-	°C/W
R _{qJC(bot)}	接合部からケース (底面) への熱抵抗	-	-	-	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』レポートを参照してください。

5.5 熱に関する情報 - デュアル

熱評価基準 ⁽¹⁾		LM2903L-Q1		単位
		DGK (VSSOP)	RUG (X2QFN)	
		10 ピン	10 ピン	
R _{qJA}	接合部から周囲への熱抵抗	-	150	°C/W
R _{qJC(top)}	接合部からケース (上面) への熱抵抗	-	58	°C/W
R _{qJB}	接合部から基板への熱抵抗	-	78	°C/W
Y _{JT}	接合部から上面への特性パラメータ	-	1.3	°C/W
Y _{JB}	接合部から基板への特性パラメータ	-	78	°C/W
R _{qJC(bot)}	接合部からケース (底面) への熱抵抗	-	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』レポートを参照してください。

5.6 電気的特性

V_S (合計電源電圧) = $(V+) - (V-) = 5V$, $V_{CM} = (V-)$ ($T_A = 25^\circ C$ 時) (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
オフセット電圧						
V _T	入力スレッシュホールド電圧	V _S = 5～36V	-2.5	±0.3	2.5	mV
V _T	入力スレッシュホールド電圧	V _S = 5 ～ 36V、T _A = -40℃ ～ +125℃	-3		3	
電源						
I _Q	静止電流 (コンパレータ 1 個あたり)	V _S = 5V、無負荷、出力 Low		250	400	μA
I _Q	静止電流 (コンパレータ 1 個あたり)	V _S = 36V 無負荷、出力 Low、T _A = -40℃ ～ +125℃			600	
入力バイアス電流						
I _B	入力バイアス電流			-3.5	-25	nA
I _B	入力バイアス電流	T _A = -40℃ ～ +125℃			-50	nA
I _{OS}	入力オフセット電流		-10	0.5	10	nA
I _{OS}	入力オフセット電流	T _A = -40℃ ～ +125℃	-25		25	nA
入力容量						
入力電圧範囲						
V _{IH_CLR}	CLR 電圧入力 High スレッシュホールド		1.1			V
V _{IL_CLR}	CLR 電圧入力 Low スレッシュホールド				0.6	V
V _{CM-Range}	同相電圧範囲 (1)	V _S = 3～36V	(V-)		(V+) - 1.5	V
V _{CM-Range}		V _S = 3 ～ 36V、T _A = -40℃ ～ +125℃	(V-)		(V+) - 2	V
A _{VD}	大信号差動電圧増幅	V _S = 15V、V _O = 1.4V ～ 11.4V、 R _L ≥ 15k ～ (V+)	50	200		V/mV
出力						
V _{OL}	(V-) からの電圧スイング	I _{SINK} ≤ 4mA、V _{ID} = -1V		110	400	mV
V _{OL}	(V-) からの電圧スイング	I _{SINK} ≤ 4mA、V _{ID} = -1V、T _A = -40℃ ～ +125℃			550	mV
I _{LKG}	オープンドレイン出力リーク電流	(V+) = V _O = 5V、V _{ID} = 1V		0.1	20	nA
I _{LKG}	オープンドレイン出力リーク電流	(V+) = V _O = 36V、V _{ID} = 1V		0.3	50	nA
I _{OL}	LOW レベル出力電流	V _{OL} = 1.5V、V _{ID} = -1V、V _S = 5V	6	21		mA

- (1) いずれかの入力の電圧が 0.3V を超えて負になることはできません。この値を超えた場合、出力が不正確になり、入力電流が過剰に流れる可能性があります。同相電圧範囲の上限は、 $V_{CC} - 2V$ に制限されます。ただし、入力の片方のみが有効な同相範囲内にあれば十分です。もう片方の入力は最大 V_{CC} レベルまで上昇でき、コンパレータは正しい出力状態を維持します。どちらか、または両方の入力が最大 V_{CC} レベルに達しても、デバイスは損傷しません。

5.7 スイッチング特性

$V_S = 5V$ 、 $CLR = 5V_{PP}$ 、 $V_{O_PULLUP} = 5V$ 、 $V_{CM} = V_S/2$ 、 $C_L = 15pF$ 、 $R_L = 5.1k\Omega$ 、 $T_A = 25^\circ C$ (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
出力						
T_{PD-HL}	伝搬遅延時間、High から Low	TTL 入力、入力の中間点から出力の中間点までの遅延、 $R_P = 5.1k\Omega$		300		ns
T_{PD-HL}	伝搬遅延時間、High から Low	入力オーバードライブ = 5mV、入力ステップ = 入力の中心点から出力の中間点まで 100mV、 $R_P = 5.1k\Omega$		1000		ns
$T_{PD-CLR-F}$	クリア立ち下がりからラッチ リセットまでの伝搬遅延時間	$CLR = 1.8V$ から $5V$ 、 $V_{ID} = 100mV$ 、 $R_P = 5.1k\Omega$ CLR 立ち下がりエッジ信号から通常出力 HIGH 状態 (R_P から $V_{pull-up}$) までの遅延			650	ns
$CLR_Min_Pulse_Width$	レジスタ ラッチ ディセーブルおよび遷移出力状態までの最小クリア ホールド パルス時間	$CLR = 1.8V$ から $5V$ 、 $V_{ID} = +100 mV$ CLR 立ち下がりエッジで状態変更 (ラッチ リセット) をレジスタするために必要な最小 CLR パルス サイズ		70		ns
T_{FALL}	5V の出力立ち下がり時間、80% から 20%	$V_{ID} = -100mV$		20		ns
パワーオン時間						

5.8 代表的特性

$T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $R_{\text{PULLUP}} = 5.1\text{k}$ 、 $C_L = 15\text{pF}$ 、 $V_{\text{CM}} = 0\text{V}$ 、 $V_{\text{UNDERDRIVE}} = 100\text{mV}$ 、 $V_{\text{OVERDRIVE}} = 100\text{mV}$ (特に記述のない限り)。

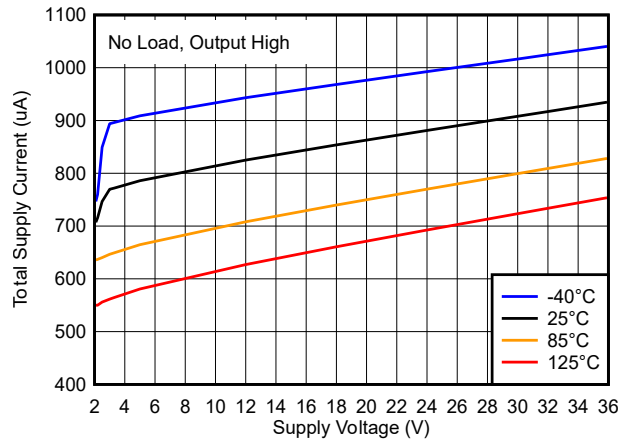


図 5-1. 合計電源電流と電源電圧との関係

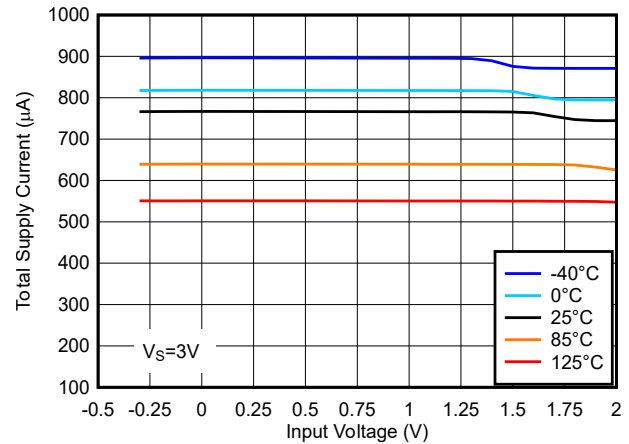


図 5-2. 合計電源電流と入力電圧との関係、3V

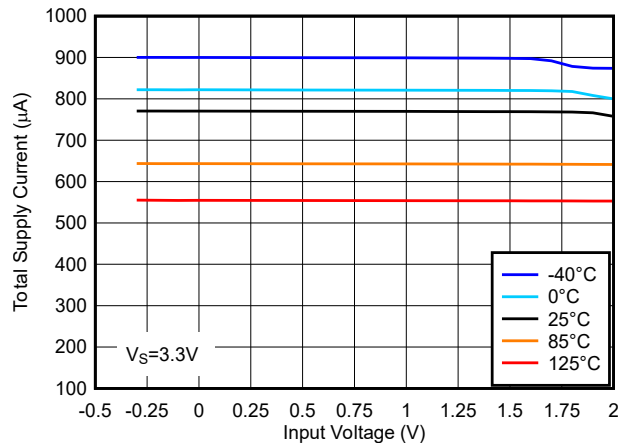


図 5-3. 合計電源電流と入力電圧との関係、3.3V

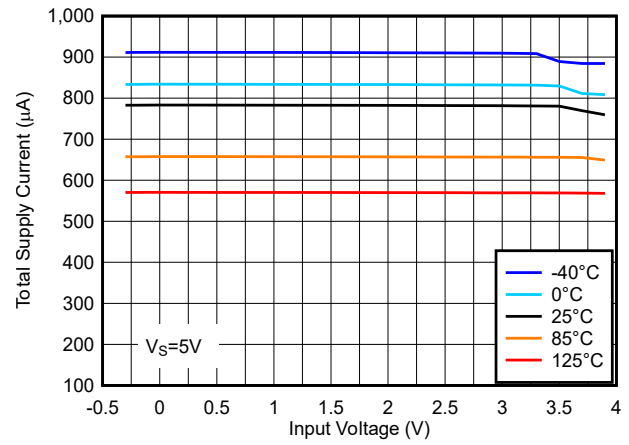


図 5-4. 合計電源電流と入力電圧との関係、5V

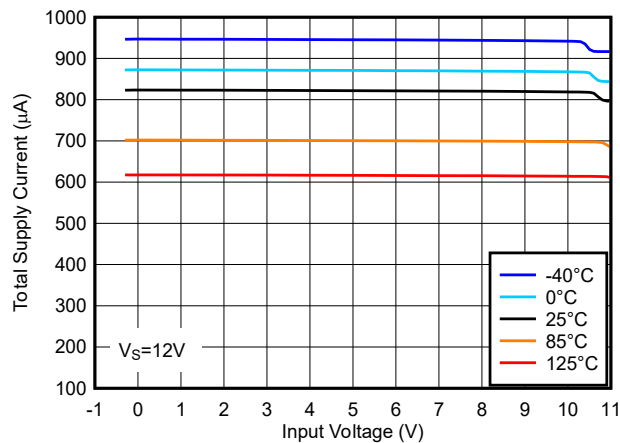


図 5-5. 合計電源電流と入力電圧との関係、12V

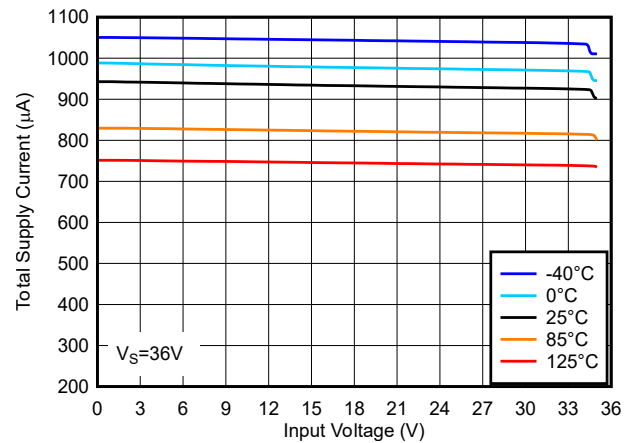


図 5-6. 合計電源電流と入力電圧との関係、36V

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $R_{\text{PULLUP}} = 5.1\text{k}$ 、 $C_L = 15\text{pF}$ 、 $V_{\text{CM}} = 0\text{V}$ 、 $V_{\text{UNDERDRIVE}} = 100\text{mV}$ 、 $V_{\text{OVERDRIVE}} = 100\text{mV}$ (特に記述のない限り)。

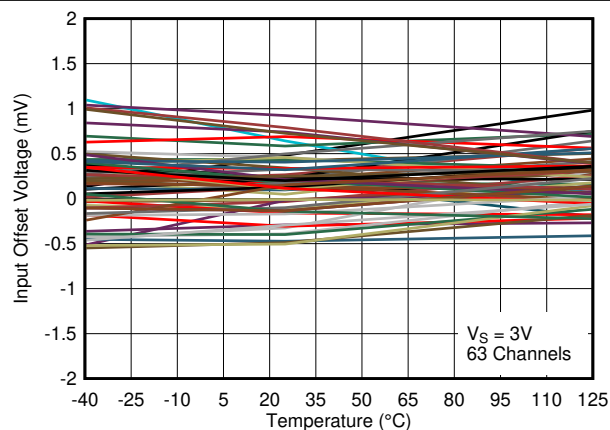


図 5-7. 入力オフセット電圧と温度との関係、3V

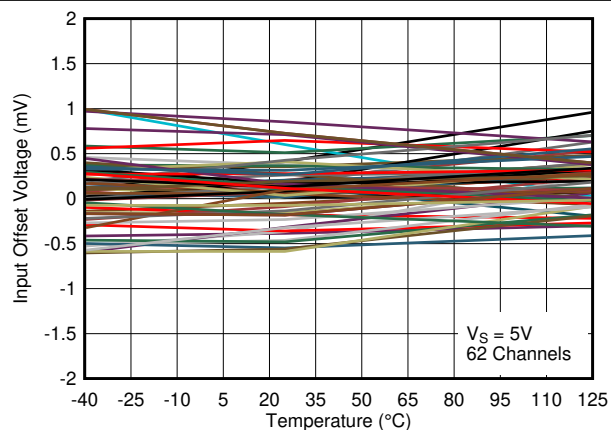


図 5-8. 入力オフセット電圧と温度との関係、5V

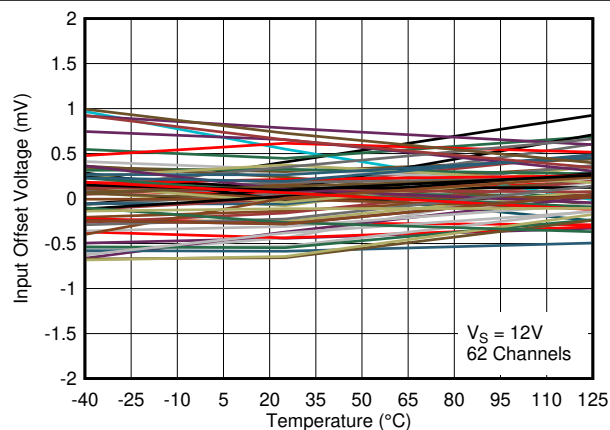


図 5-9. 入力オフセット電圧と温度との関係、12V

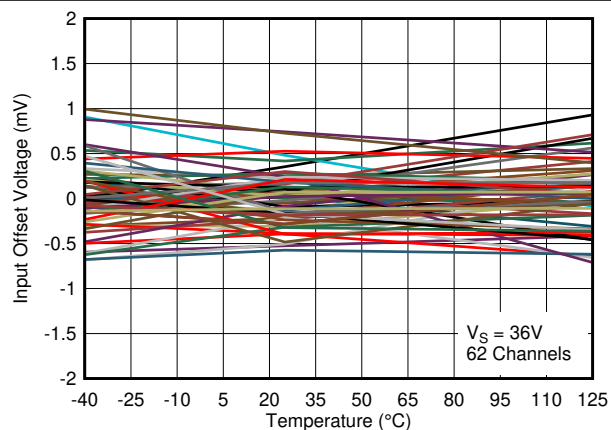
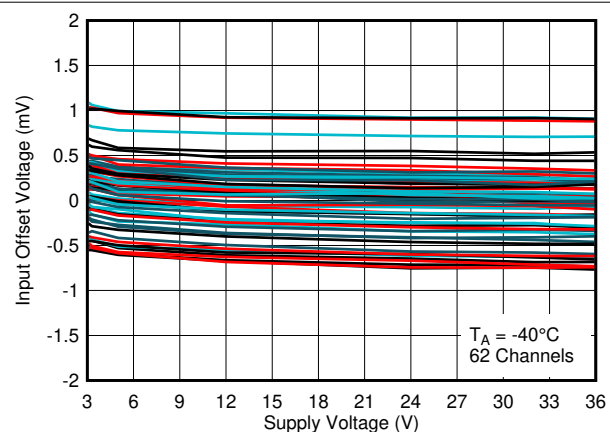
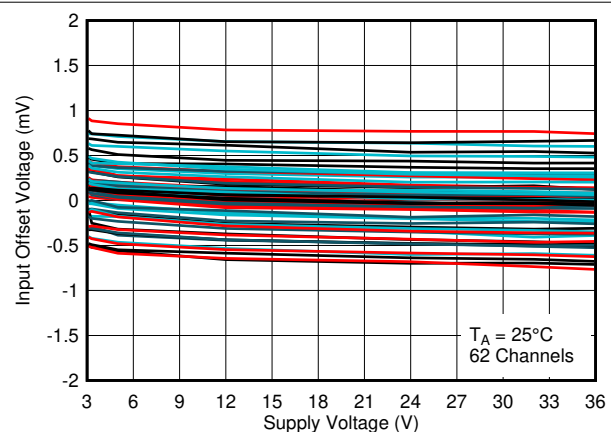


図 5-10. 入力オフセット電圧と温度との関係、36V

図 5-11. -40°C での入力オフセット電圧と電源電圧との関係図 5-12. 25°C での入力オフセット電圧と電源電圧との関係

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $R_{\text{PULLUP}} = 5.1\text{k}$ 、 $C_L = 15\text{pF}$ 、 $V_{\text{CM}} = 0\text{V}$ 、 $V_{\text{UNDERDRIVE}} = 100\text{mV}$ 、 $V_{\text{OVERDRIVE}} = 100\text{mV}$ (特に記述のない限り)。

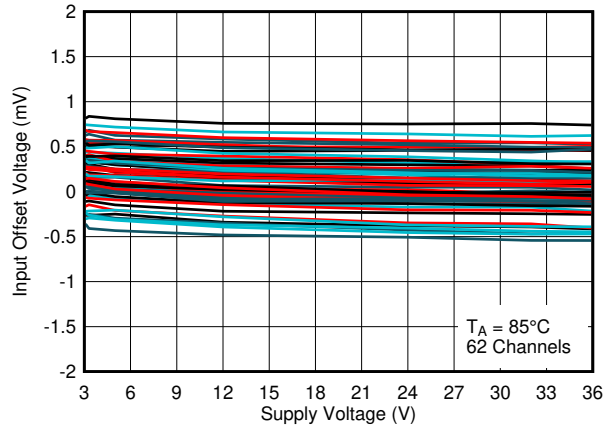


図 5-13. 85°C での入力オフセット電圧と電源電圧との関係

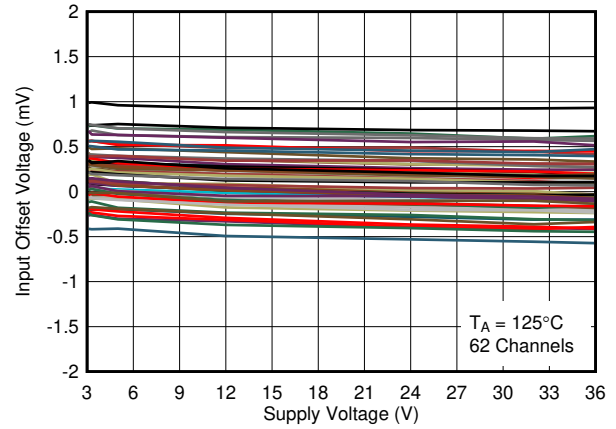


図 5-14. 125°C での入力オフセット電圧と電源電圧との関係

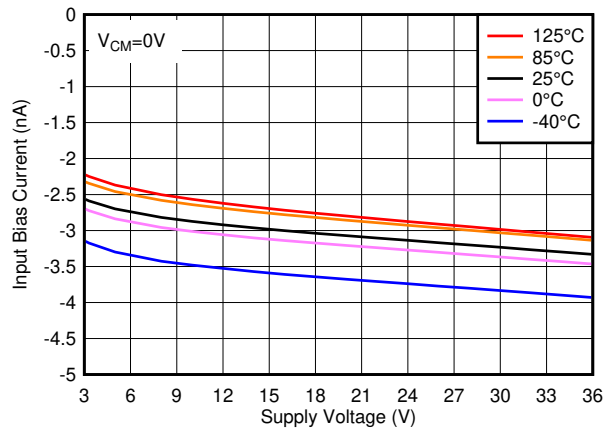


図 5-15. 入力バイアス電流と電源電圧との関係

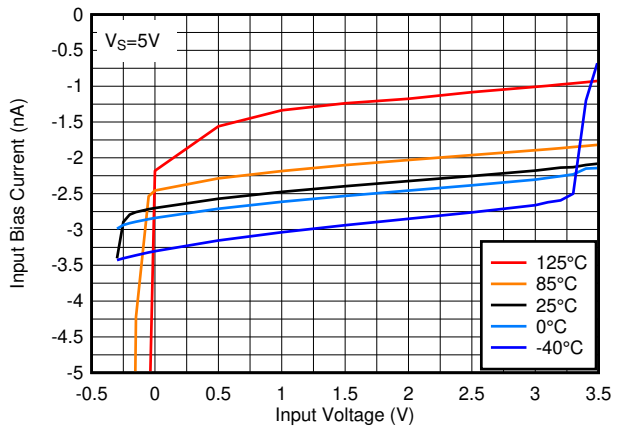


図 5-16. 入力バイアス電流と入力電圧との関係、5V

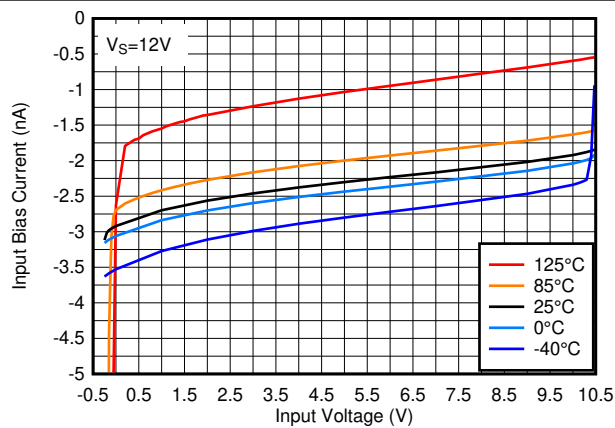


図 5-17. 入力バイアス電流と入力電圧との関係、12V

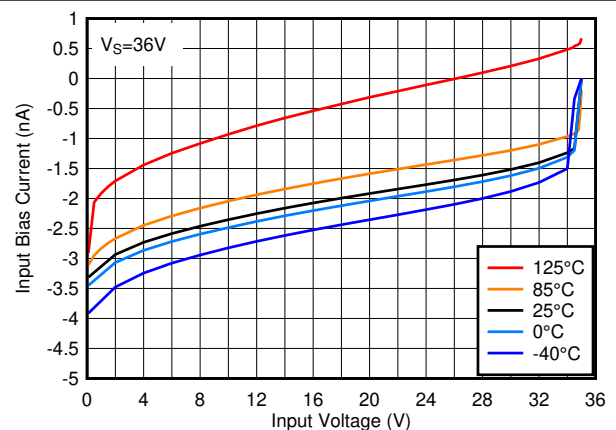


図 5-18. 入力バイアス電流と入力電圧との関係、36V

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $R_{\text{PULLUP}} = 5.1\text{k}$ 、 $C_L = 15\text{pF}$ 、 $V_{\text{CM}} = 0\text{V}$ 、 $V_{\text{UNDERDRIVE}} = 100\text{mV}$ 、 $V_{\text{OVERDRIVE}} = 100\text{mV}$ (特に記述のない限り)。

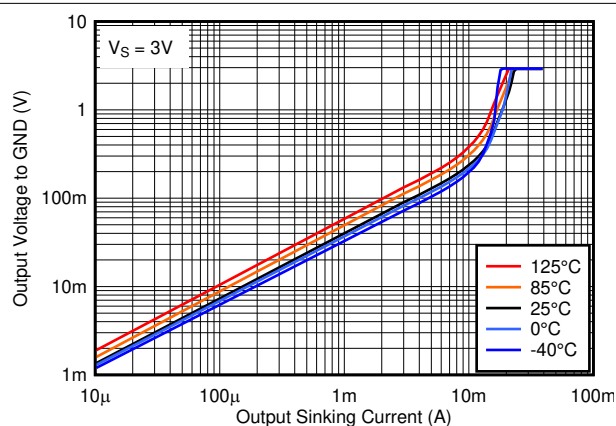


図 5-19. 出力 Low 電圧と出力シンク電流の関係、3V

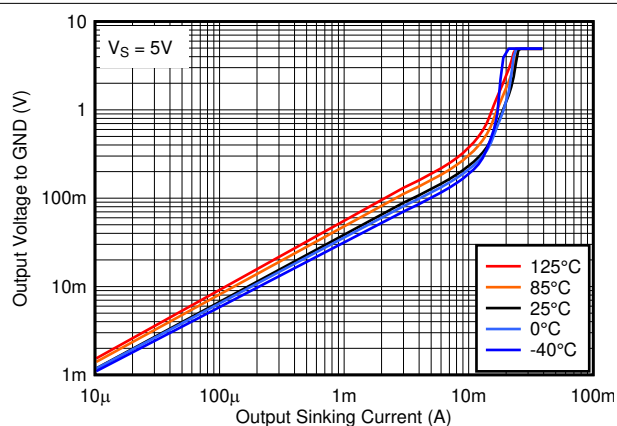


図 5-20. 出力 Low 電圧と出力シンク電流の関係、5V

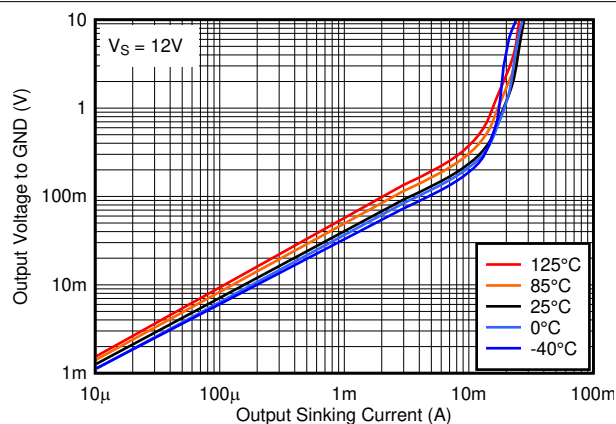


図 5-21. 出力 Low 電圧と出力シンク電流の関係、12V

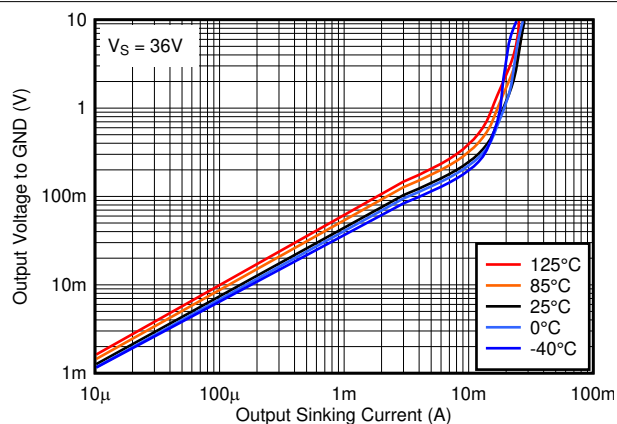


図 5-22. 出力 Low 電圧と出力シンク電流の関係、36V

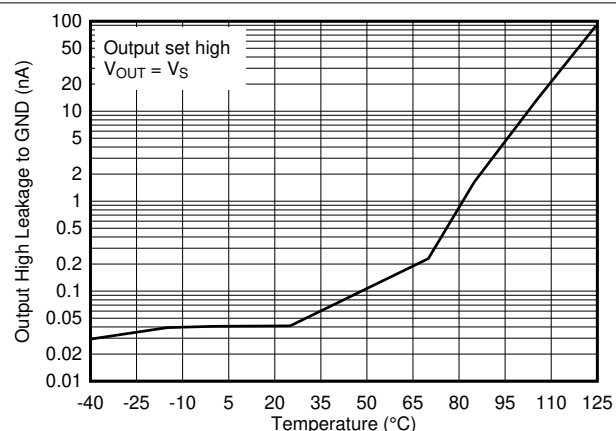


図 5-23. 出力 High リーク電流と温度との関係、5V

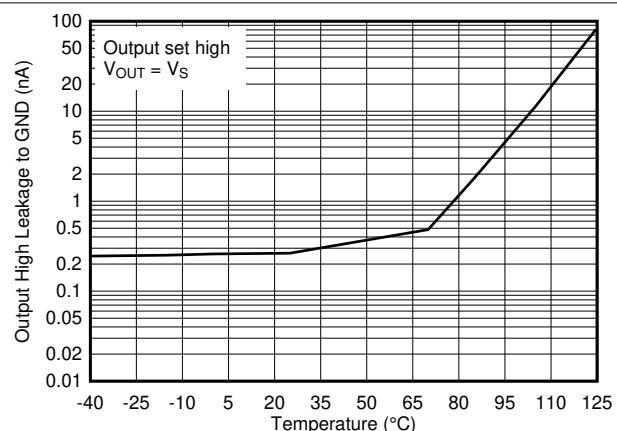


図 5-24. 出力 High リーク電流と温度との関係、36V

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$, $V_S = 5\text{V}$, $R_{\text{PULLUP}} = 5.1\text{k}$, $C_L = 15\text{pF}$, $V_{\text{CM}} = 0\text{V}$, $V_{\text{UNDERDRIVE}} = 100\text{mV}$, $V_{\text{OVERDRIVE}} = 100\text{mV}$ (特に記述のない限り)。

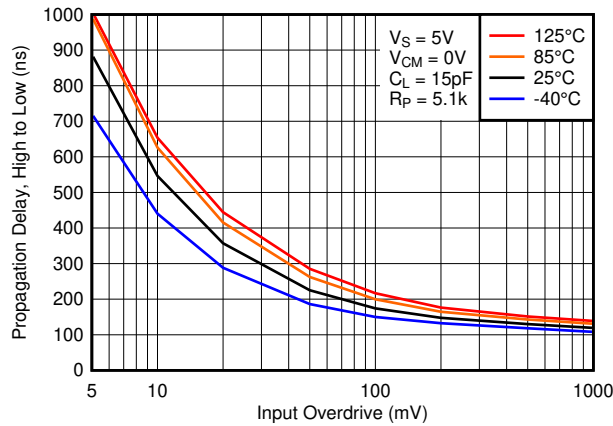


図 5-25. High から Low までの伝搬遅延と入力オーバードライブ電圧との関係、5V

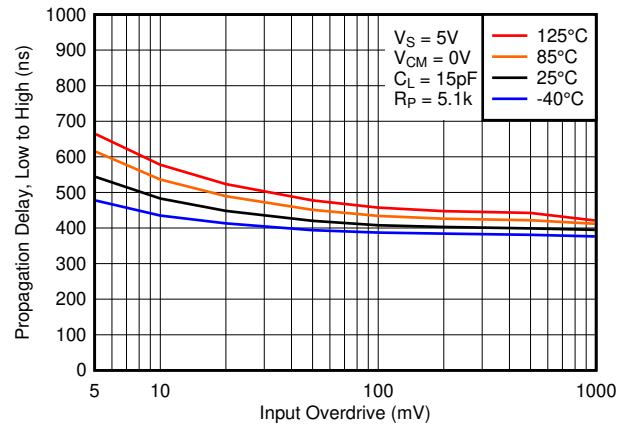


図 5-26. Low から High までの伝搬遅延と入力オーバードライブ電圧との関係、5V

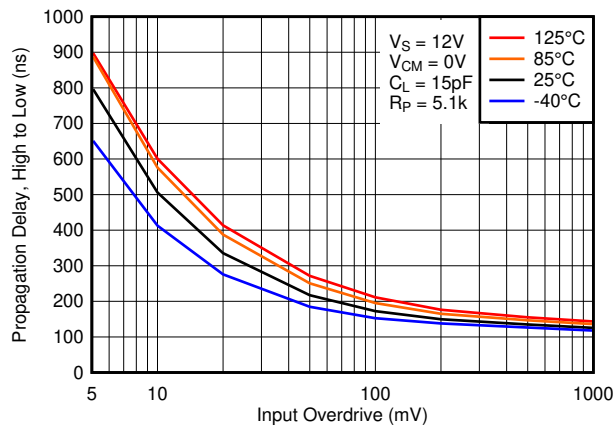


図 5-27. High から Low までの伝搬遅延と入力オーバードライブ電圧との関係、12V

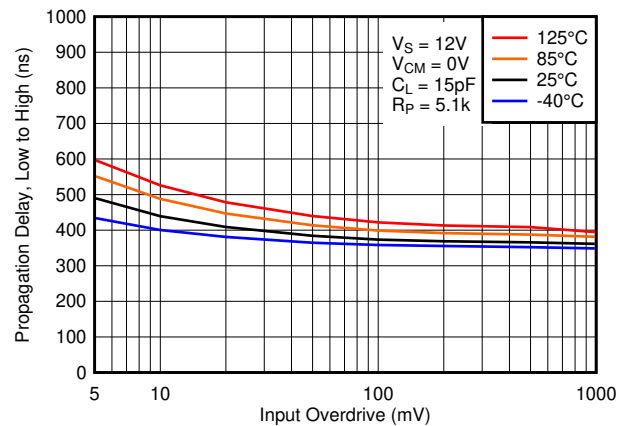


図 5-28. Low から High までの伝搬遅延と入力オーバードライブ電圧との関係、12V

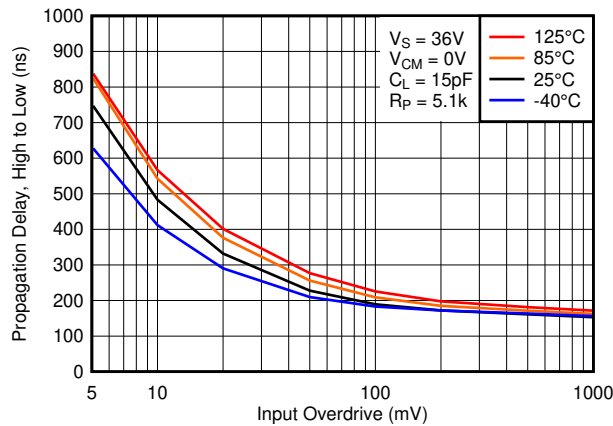


図 5-29. High から Low までの伝搬遅延と入力オーバードライブ電圧との関係、36V

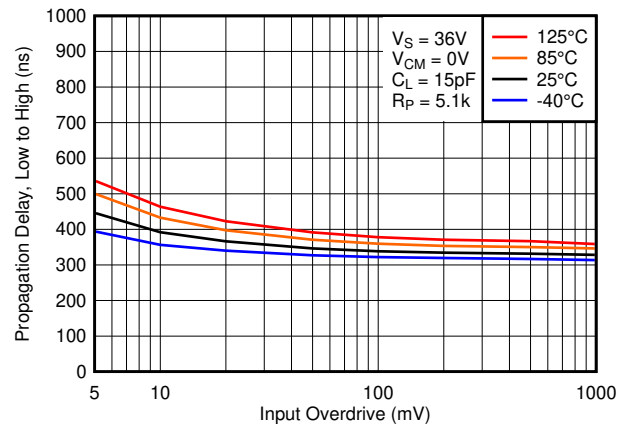


図 5-30. Low から High までの伝搬遅延と入力オーバードライブ電圧との関係、36V

5.8 代表的特性 (続き)

$T_A = 25^\circ\text{C}$ 、 $V_S = 5\text{V}$ 、 $R_{\text{PULLUP}} = 5.1\text{k}$ 、 $C_L = 15\text{pF}$ 、 $V_{\text{CM}} = 0\text{V}$ 、 $V_{\text{UNDERDRIVE}} = 100\text{mV}$ 、 $V_{\text{OVERDRIVE}} = 100\text{mV}$ (特に記述のない限り)。

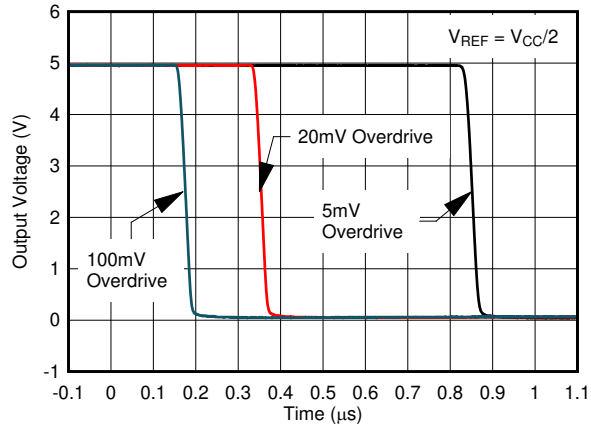


図 5-31. 各種オーバードライブの応答時間、High から Low への遷移

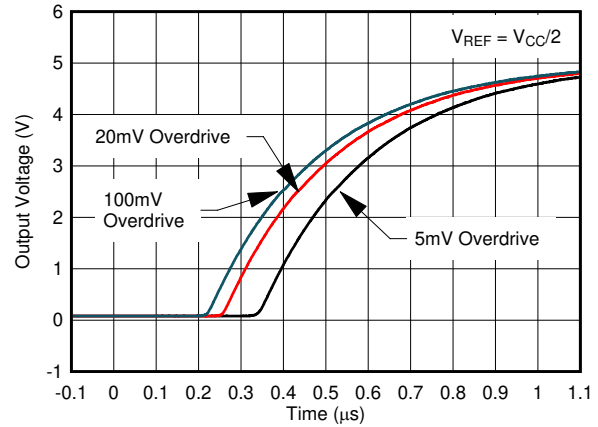


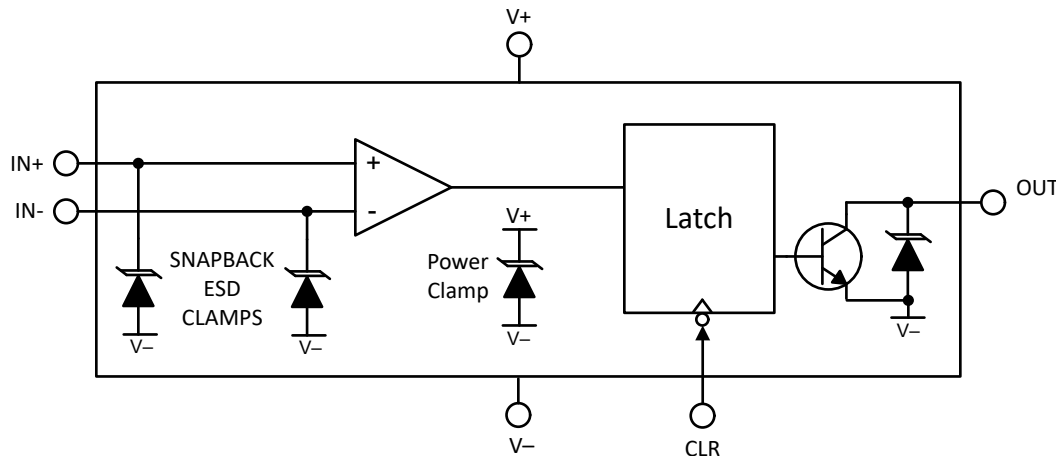
図 5-32. 各種オーバードライブの応答時間、Low から High への遷移

6 詳細説明

6.1 概要

LM2903L-Q1 および TL331L-Q1 は、オープンドレイン出力のシングルおよびデュアル チャネル ラッチ コンパレータです。このデバイスは、低い入力オフセット電圧、フォルトトレラント入力、および優れた速度と電力の組み合わせ (300ns の伝搬遅延時間とチャネルあたり 300 μ A の静止消費電流) を実現しています。

6.2 機能ブロック図



6.3 機能説明

TL331L-Q1 および LM2903L-Q1 の独自の特長は出力ラッチ機能です。出力は最初の負のスレッショルド超過時にラッチされるため、システム コントローラの完全な注意を必要とせずにイベントやエラー状態をキャプチャできます。これにより、起動時にシステム コントローラが初期化中でも、イベントをキャプチャできます。システム コントローラは、必要なタスクを実行した後でラッチをリセットできます。

また、これらのコンパレータには、最大 36V までの入力による損傷を受けず、フォルトトレラント入力を備えています。このことにより、このファミリのコンパレータは、過酷でノイズの多い環境での高精度電圧監視向けの設計になっています。

6.4 デバイスの機能モード

6.4.1 出力

6.4.1.1 コンパレータ出力

TL331L-Q1 および LM2903L-Q1 はオープン ドレイン (オープン コレクタとも呼ばれる) シンクのための出力段を備えているため、コンパレータの電源電圧 (V_S) にかかわらず、出力ロジック レベルを最大 36V の電圧にプルアップできます。オープンコレクタ出力により、複数のオープンコレクタ出力の論理 OR 接続とロジックレベルの変換も可能になります。

使用しないオープン コレクタ出力はフローティングのままにすることができます。フローティング ピンが許されない場合は、 V_- ピンに接続できます。

オープンコレクタ出力保護は、出力と V_- の間に ESD クランプを配置し、プルアップ電圧が V_+ を超えた場合でも、出力を最大 36V までの任意の電圧に引き下げることができるように構成されています。

6.4.2 出力ラッチ

デバイスには、作動状態になった後の最初の出力 High から Low への遷移時にラッチされる出力があります。CLR ピンの立ち下がりエッジまで出力はラッチされたまま維持されます。

6.4.2.1 クリア (CLR) 入力

CLR が High であり、出力がラッチ状態になっていない場合、コンパレータはアーム状態となり、次の high から low への出力変化に応じてラッチする準備が整います。

CLR 入力は、CLR 入力の high から low (立ち下がり) エッジの出力ラッチをクリアします。

CLR が low に保持されている場合、コンパレータは「透過」モードになり、出力は入力条件に応答し続けます。セクション 6.4.2.2 を参照してください。

ラッチは、CLR 入力が high に戻ると作動可能で、次の high から low への出力遷移を待ちます。

ラッチをクリアするための短い CLR パルスの間、入力が交差している場合、ラッチがリセットされている間に出力が遷移する可能性があります。誤パルスを防止するため、CLR リセット パルスはできるだけ短くする必要があります。推奨される最小 CLR パルスは 200ns です。

コンパレータの出力遷移と同時に CLR ピンが遷移 (立ち下がり) している場合、セットアップ時間の競合が発生する可能性があります。CLR の立ち下がりエッジ時間中は、出力の状態は不定です。この競合に対応できるよう、CLR 立ち下がりエッジはできるだけ高速にすること (立ち下がり時間 100ns 未満) を推奨します。

CLR ピンはフェイルセーフ入力であり、コンパレータの電源電圧に関係なく、最大 36V のロジック high レベルに対応できます。0.6V の最大スレッショルドにより、15V CMOS から低電圧 TTL、1.2V CMOS ロジックに至るまでのデジタル ロジックレベル入力に対応しています。

CLR 入力をフローティングにすることは推奨しません。「通常」モードが必要な場合は、チャンネル CLR 入力を V- に接続してください。

コントローラの初期化時にコントローラ出力が Hi-Z のとき、スタートアップ時に CLR ピンが適切な状態になるように、CLR ピンに外部プルアップ抵抗またはプルダウン抵抗が必要な場合に注意してください。コントローラは、起動後、できるだけ早く GPIO ピンを初期化する必要があります。

6.4.2.2 透過モード

CLR ピンが low に保持されると、コンパレータは「透過」モードになります。透過モードでは、ラッチはディスエーブルされ、出力は「通常」のラッチされていないコンパレータと同様に、入力条件に応答し続けます。

ラッチされたコンパレータパスとラッチされていないコンパレータ パスの両方が必要な場合は、デュアル LM2903L をラッチ モードで使い、他のチャンネルをラッチされていないチャンネルの CLR ピンを V- に接続することで透過モードで動作させることができます。

6.4.2.3 ラッチ動作

電源オンの後、TI は、ラッチをリセットするために、CLR ピンを low に切り替えることを推奨します。CLR ピンが high の状態では、ラッチはアームされ、最初の出力 high から low への遷移時に low をラッチします。ラッチの動作の概要を以下に示します。

CLR ピンが low に保持されている場合、出力は連続的な「透過」モードになります (出力はラッチなしで連続的に入力に従います)。

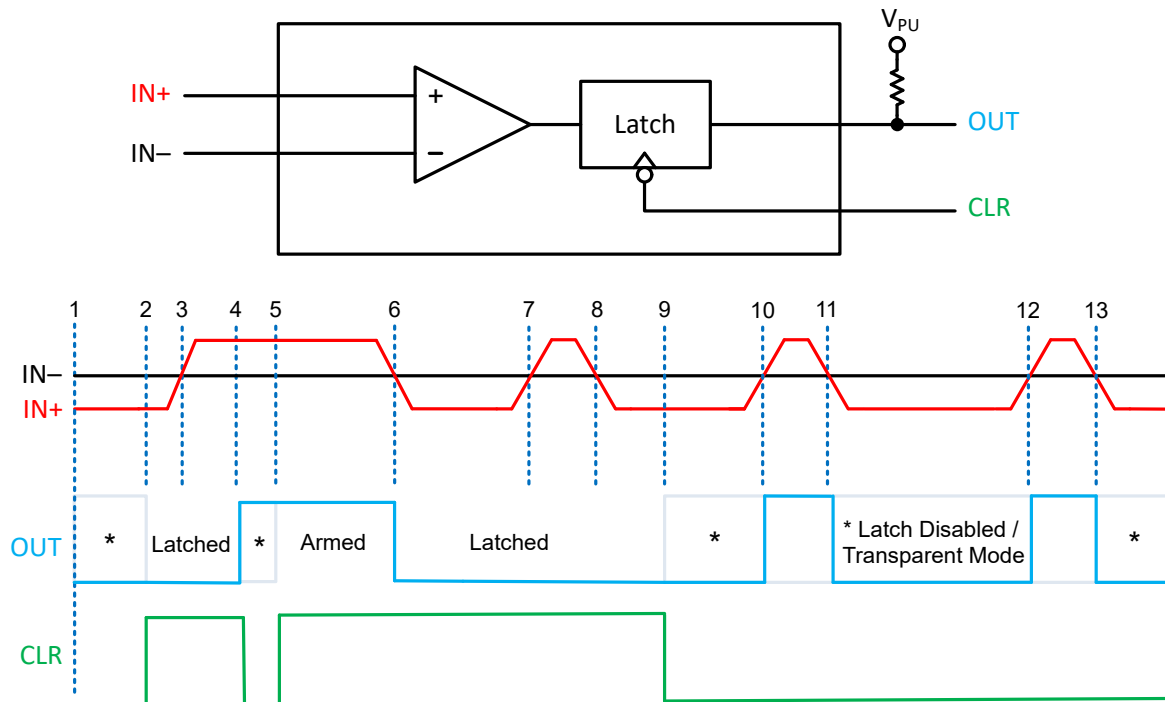


図 6-1. ラッチのタイミングの例

*「透過モード」でラッチが無効

1. IN- > IN+ で、CLR は low、透過モードでは出力は low になります。
2. CLR は high に、アーム ラッチをもたらしました IN- が IN+ より大きい場合でも、出力は low に維持され、即座に low にラッチされます。
3. IN+ > IN- ですが、ラッチ状態のため、出力は low に維持されます。
4. ラッチされた出力をクリアするには、CLR が low になります。CLR ピンが low の間、出力は透過モードになります。IN+ > IN- で、透過モードでは出力が high になります
5. CLR が high になると、透過モードが無効化され、ラッチがセットされます。IN+ > IN- で、出力は high に維持されます。
6. +IN が -IN を超えると、出力は low になり、low でラッチされます。
7. IN+ > IN- で、出力は low のままラッチされます。
8. IN- > IN+ で、出力は low のままラッチされます。
9. CLR を low にすると、ラッチがクリアされ、透過モードが有効になります。
10. IN+ > IN- で、透過モードでは出力がすぐに high になります。
11. IN- > IN+ で、透過モードで出力がただちに low になります。
12. IN+ > IN- で、透過モードでは出力がすぐに high になります。
13. IN- > IN+ で、透過モードで出力がただちに low になります。

6.4.3 入力

6.4.3.1 フェイルセーフ入力および入力電圧範囲

入力は、V+ の値にかかわらず、最高 36V までフォルトトレラントです。フォルトトレラントとは、V+ が電源供給されていないとき、または推奨動作範囲内にあるときに、同じ高い入力インピーダンスを維持することと定義されます。

各入力について、温度範囲全体を通じて、指定された入力電圧範囲は V- から V+ より 2V 低い値までです。

フォルトトレラント入力には、V_S が 0 またはランプアップ / ダウン中を含めて、0V ~ 36V の範囲で任意の値を使用できます。この機能により、入力電圧範囲と電源電圧が規定の最大範囲内にある限り、電源シーケンスの問題が回避されます。これが可能なのは、入力が V+ にクランプされていないため、入力に高電圧が印加されても入力電流の High インピーダンスが維持されるためです。

いずれかの入力ピンが有効な入力範囲内にあり、電源電圧が有効である限り、出力状態は正常です。

入力電圧異常とその結果の概要を以下に示します：

1. IN+ と IN- の両方が規定の入力電圧範囲内の場合：
 - a. IN- が IN+ およびオフセット電圧より高い場合、出力は Low になります。
 - b. IN- が IN+ およびオフセット電圧より低い場合、出力は High になります。
2. IN- が規定の入力電圧範囲より高く、IN+ が規定の電圧範囲内にある場合、出力は Low になります。
3. IN+ が規定の入力電圧範囲より高く、IN- が規定の入力電圧範囲内に入る場合、出力は High になります。
4. IN- および IN+ の両方が、指定された入力電圧範囲を上回り、かつその範囲外にある場合、出力は Low になります。

耐故障性機能があるものの、TI では、データシートの仕様を維持するため、通常のシステム動作時に入力を規定の入力電圧範囲内に維持することを強く推奨します。指定された入力範囲外で動作すると、伝搬遅延時間や入力バイアス電流などの仕様が変化し、それにより予測不能な動作の原因となる可能性があります。

6.4.3.2 入力保護

デバイスには、すべてのピンに内部 ESD 保護回路が組み込まれています。入力には、各ピンから V- への独自の「スナップバック」型 ESD クランプが使用されています。V+ への「上側」ESD クランプはありません。これにより、入力ピンが電源電圧 (V+) を超えられます。ESD イベントの間、スナップバック ダイオードは「短絡」し、V- への Low インピーダンスになります (SCR クロウバーなど)。

電源やバッファ付きリファレンスラインなど、低インピーダンスのソースに入力を接続する場合は、過渡によりクランプが導通した場合に過渡電流を制限するため、入力と直列に電流制限抵抗を追加することを TI では推奨しています。電流は 10mA 以下に制限する必要があります (1mA 未満を推奨します)。この直列抵抗は、任意の抵抗入力分圧器またはネットワークの一部としても使用できます。

ESD ダイオードは、高電圧にクランプできません。ESD クランプは、ツェナー ダイオードのような固定最大電圧で「ホールド」しません。入力を 36V を超える可能性がある電源に接続する場合は、最大入力電圧を超えないように外部クランプが必要です。

6.4.3.3 内部ヒステリシス

このデバイスには、内部ヒステリシスははありません。ラッチ機能により、最初の出力遷移時に出力がラッチされるため、ヒステリシスが不要になります。基準レベルは目的のスレッショルドレベルに設定し、入力信号は早期トリガを引き起こす可能性のあるノイズや過渡電圧を除去するためにフィルタリングする必要があります。外部ヒステリシスは、透過モードでのみ必要です。

6.4.3.4 未使用入力

チャネルを使用しない場合、入力を互いに接続しないでください。等価帯域幅が広く、オフセット電圧が低いため、入力を互いに直接接続すると、デバイスが内部広帯域ノイズでトリガされ、高周波の発振が発生することがあります。使用しない入力は、規定の入力電圧範囲内で使用可能な任意の電圧に接続し、50mV 以上の差動電圧を確保する必要があります。

す。例えば、一方の入力をアースに接続し、もう一方の入力を基準電圧、あるいは電流制限抵抗 (通常 $10\text{k}\Omega$) を介して (V+) に接続することも可能です。

7 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI コンポーネントの仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

7.1.1 基本的なコンパレータの定義

7.1.1.1 動作

基本コンパレータは、一方の入力の入力電圧 (V_{IN}) を、もう一方の入力の基準電圧 (V_{REF}) と比較します。以下の 図 7-1 の例で、 V_{IN} が V_{REF} より低くなると、出力電圧 (V_O) はロジック "Low" (V_{OL}) になります。 V_{IN} が V_{REF} より高くなると、出力電圧 (V_O) は論理 "High" (V_{OH}) になります。表 7-1 に、出力の条件のまとめを示します。入力ピンを入れ替えることにより、出力ロジックを反転できます。

表 7-1. 出力条件

入力条件	出力
$IN+ > IN-$	"High" (V_{OH})
$IN+ = IN-$	不定 (チャタリングが発生する可能性あり)
$IN+ < IN-$	"Low" (V_{OL})

7.1.1.2 伝搬遅延

入力が基準電圧を超えてから出力が応答するまでの間には、遅延があります。これを伝搬遅延と呼びます。伝搬遅延は、"High" から "Low" への入力遷移と "Low" から "High" への入力遷移で異なることがあります。図 7-1 では、伝搬遅延を t_{pLH} と t_{pHL} として示し、入力の中間点から出力の中間点までで測定しています。

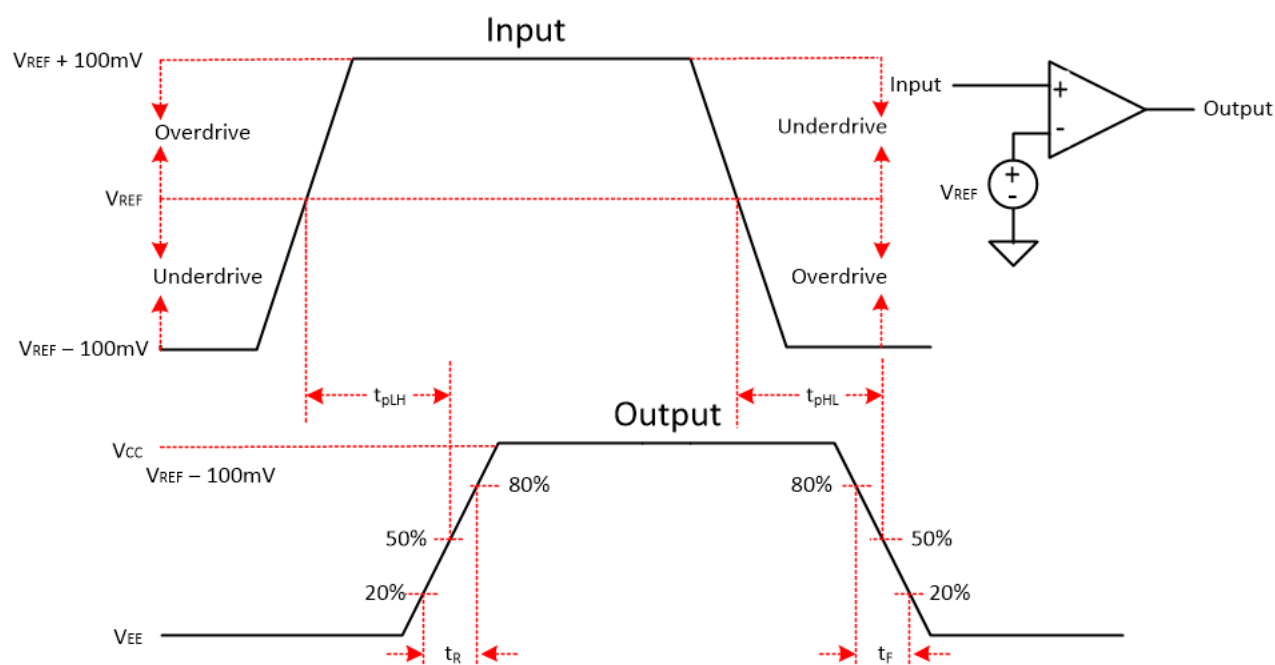


図 7-1. コンパレータのタイミング図

7.1.1.3 オーバードライブ電圧

オーバードライブ電圧 (V_{OD}) は、基準電圧を超える入力電圧の大きさです。入力ピーク ツー ピーク電圧の合計ではありません。図 7-1 の例に示したオーバードライブ電圧は 100mV です。オーバードライブ電圧は、伝搬遅延 (t_p) に影響を与える可能性があります。オーバードライブ電圧が小さいほど、特に 100mV 未満の場合、伝搬遅延時間が長くなります。高速で応答させたい場合は、できる限り大きなオーバードライブ電圧を印加します。

立ち上がり時間 (t_r) は出力波形の 20% から 80% のポイントまでの時間、立ち下がり時間 (t_f) は 80% から 20% のポイントまでの時間です。

7.2 代表的なアプリケーション

7.2.1 ウィンドウ コンパレータ

ウィンドウ コンパレータは、一般的に低電圧および過電圧状態を検出するために使用されます。図 7-2 に、簡単なラッチウィンドウ コンパレータ回路を示します。

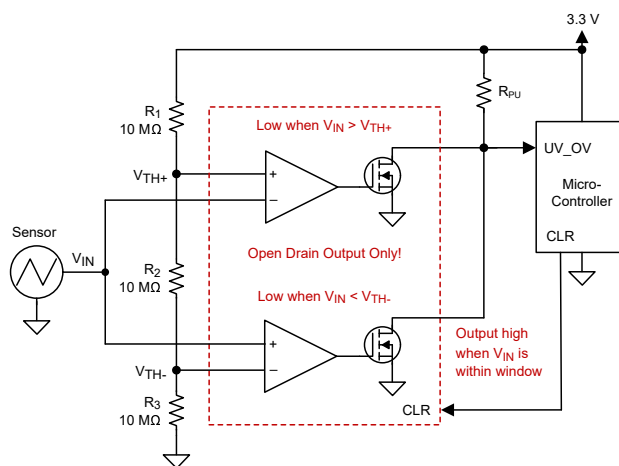


図 7-2. LM2903L-Q1 を使用するウィンドウ コンパレータ

7.2.1.1 設計要件

この設計については、以下の設計要件に従ってください。

- 入力信号が 1.1V を下回る場合のラッチ (論理 "Low" 出力)
- 入力信号が 2.2V を超える場合のラッチ (論理 "Low" 出力)
- 5V 電源で動作

7.2.1.2 詳細な設計手順

図 7-2 に示すように回路を構成します。R1、R2、R3 をそれぞれ 100kΩ 抵抗にします。これらの 3 つの抵抗を使用して、ウィンドウ コンパレータの正と負のスレッシュホールド (V_{TH+} と V_{TH-}) を作成します。

各抵抗が等しい場合、 V_{TH+} は 2.2V、 V_{TH-} は 1.1V です。消費電力を最小限に抑えるため、100kΩ などの大きな抵抗値を使用します。抵抗値を再計算して、目的のトリップ ポイント値を得ることができます。

センサの出力電圧は、2 つのコンパレータの反転入力と非反転入力に印加されます。2 つのコンパレータ出力は互いにワイヤ OR 接続されています。

センサが 1.1V 未満または 2.2V 超の場合、それぞれのコンパレータ出力は Low にラッチします。図 7-3 に示すように、センサが 1.1V～2.2V の範囲内 (「ウィンドウ」内) の場合、それぞれのコンパレータ出力は High になります。

出力をリセットし、ウィンドウ コンパレータを作動可能にするには、CLR ピンを high ~ low ~ high に切り替える必要があります。

7.2.1.3 アプリケーション曲線

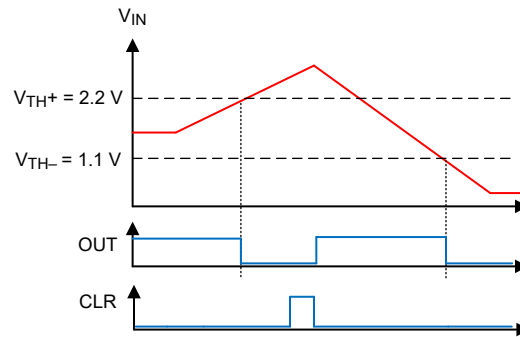


図 7-3. ウィンドウ コンパレータの結果

詳細については、アプリケーション ノート SBOA221「[ウィンドウ コンパレータ回路](#)」を参照してください。

7.3 電源に関する推奨事項

出力エッジが高速であるため、電源リンギングおよび誤トリガーや発振を防ぐために、電源ピンのバイパス コンデンサが重要です。(V+) ピンとグランド ピンの間に低 ESR の 0.1μF セラミック バイパス コンデンサを直接接続し、それぞれのデバイスで電源を直接バイパスします。出力遷移時間中に、特にプッシュプル出力デバイスの場合、狭いピーク電流が流れる場合があります。これらの狭いパルスにより、バイパスされない電源ラインや品質の低いグランドにリンギングが発生する可能性があります。これが入力電圧範囲に影響を与えて、不正確な比較や発振を引き起こす場合があります。

デバイスには、「分割」電源 ((V+) および (V-))、または「単一」電源 ((V+) および GND) から電力を供給できます ((V-) ピンに GND を印加)。いずれのタイプについても、入力信号を推奨の入力範囲内に維持する必要があります。「分割」電源では、出力は GND ではなく (V-) の電位まで「Low」(VOL) になることに注意してください。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

高精度のコンパレータ アプリケーションには、ノイズやグリッチを最小限に抑えた安定した電源が必要です。出力の立ち上がり時間と立ち下がり時間は数十ナノ秒であり、高速ロジック デバイスとして扱う必要があります。バイパス コンデンサは、電源ピンにできるだけ近づけて、しっかりとしたグランド プレーンに接続し、できれば V+ ピンと V- ピンの間に直接接続する必要があります。

出力の発振を防ぐため、出力と入力間のカップリングを最小限に抑えてください。カップリングを低減するために、出力間に V+ または GND のパターンが存在する場合を除いて、出力パターンと入力パターンを並列に配置しないでください。入力に直列抵抗を追加する場合、デバイスの近くに抵抗を配置します。出力と直列に小さい値 (<100Ω) の抵抗を追加して、制御された長い非インピーダンストレース上のリンギングや反射を減衰させることもできます。エッジの形状を最適化するには、長距離の配線にはバック終端を持つ制御されたインピーダンストレースを使用する必要があります。

7.4.2 レイアウト例

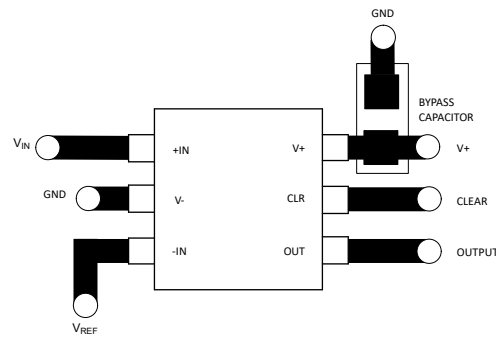


図 7-4. シングル レイアウトの例

8 デバイスおよびドキュメントのサポート

8.1 ドキュメントのサポート

8.1.1 関連資料

『アナログ エンジニア向け回路設計ヒント集: アンプ(コンパレータのセクションを参照)、SLYY137

『Precision Design、ヒステリシス付きコンパレータのリファレンス デザイン』、TIDU020

『ウィンドウ コンパレータ回路』、SBOA221

『リファレンス デザイン、ウィンドウ コンパレータのリファレンス デザイン』、TIPD178

『ヒステリシス回路付き / なしのコンパレータ』、SBOA219

『ヒステリシスを持つ反転コンパレータ回路』、SNOA997

『ヒステリシスを持つ非反転コンパレータ回路』、SBOA313

『独立して動作する 4 つのコンパレータ』、SNOA654

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
July 2026	*	初版リリース

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PLM2903LWRUGRQ1	Active	Preproduction	X2QFN (RUG) 10	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

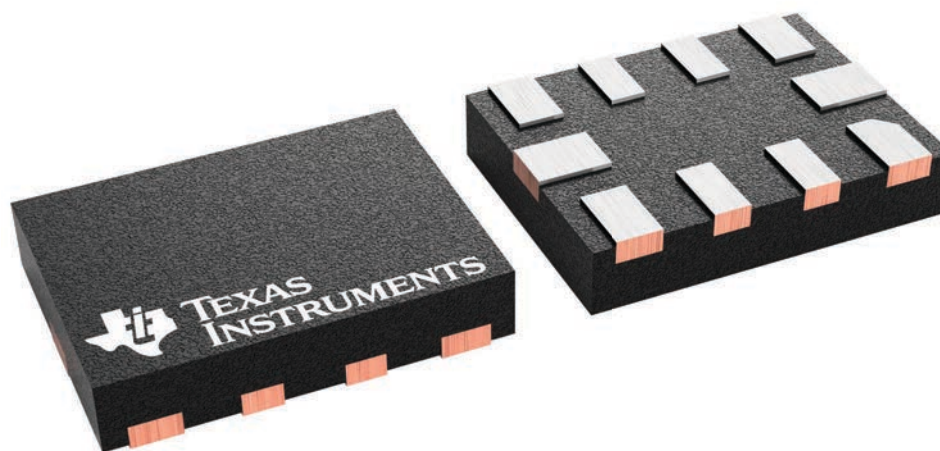
RUG 10

X2QFN - 0.4 mm max height

1.5 x 2, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4231768/A

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月