

LM2904-Q1、LM2904B-Q1、LM2904BA-Q1 車載アプリケーション向け、業界標準デュアル・オペアンプ

1 特長

- 車載アプリケーション用に AEC Q-100 認定済み
 - 温度グレード 1: -40°C ~ +125°C
 - デバイス HBM ESD 分類レベル 2
 - デバイス CDM ESD 分類レベル C5
- 3V ~ 36V の広い電源電圧範囲 (LM2904B-Q1 および LM2904BA-Q1)
- 1 チャンネルあたり 300μA の消費電流 (LM2904B-Q1 および LM2904BA-Q1、標準値)
- 1.2MHz のユニティ・ゲイン帯域幅 (LM2904B-Q1 および LM2904BA-Q1)
- 同相入力電圧範囲にグランドが含まれるため、グランド近くの直接検出が可能
- 25°C で 2mV の低い入力オフセット電圧 (LM2904BA-Q1、最大値)
- 25°C で 3mV の低い入力オフセット電圧 (LM2904B-Q1、最大値)
- RF および EMI フィルタを内蔵 (LM2904B-Q1 および LM2904BA-Q1)
- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能

2 アプリケーション

- 車載用照明
- ボディ・エレクトロニクス
- 車載用ヘッド・ユニット
- テレマティクス制御ユニット
- 緊急通報 (eCall)
- パッシブ・セーフティ: ブレーキ・システム
- 電気自動車、ハイブリッド電気自動車:
 - インバータおよびモータ制御
 - オンボード・チャージャ (OBC) およびワイヤレス・チャージャ
 - バッテリー管理システム (BMS)

3 概要

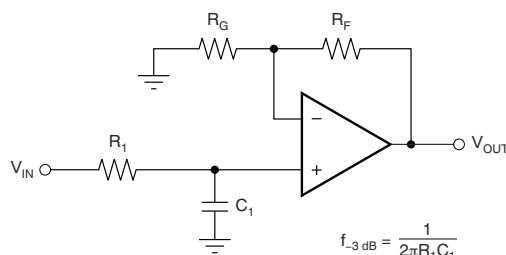
LM2904-Q1、LM2904B-Q1、LM2904BA-Q1 は、AEC-Q100 仕様に準拠して車載用に認定済みの業界標準のオペアンプです。LM2904B-Q1 および LM2904BA-Q1 は LM2904-Q1 の次世代バージョンで、高電圧 (36V) オペアンプを 2 個内蔵しています。LM2904B-Q1 および LM2904BA-Q1 には、低いオフセット (それぞれの標準値 3mV、2mV)、グランドまでの同相入力範囲、高い差動入力電圧能力などの特長があり、コストの制約が厳しい用途で大きな価値を提供します。

LM2904B-Q1 および LM2904BA-Q1 は、ユニティ・ゲイン安定、0.3mV の低いオフセット電圧 (標準値)、300μA の低い静止電流 (標準値) などの機能が強化されており、回路設計を簡素化できます。高い ESD 耐性 (2kV、HBM) と、EMI および RF フィルタの内蔵により、LM2904B-Q1 および LM2904BA-Q1 は車載市場における最も過酷で厳しい環境の用途にも使用可能です。

製品情報

部品番号 ⁽¹⁾	パッケージ	本体サイズ (公称)
LM2904B-Q1	SOIC (8)	4.90mm × 3.90mm
	TSSOP (8)	3.00mm × 4.40mm
	VSSOP (8)	3.00mm × 3.00mm
LM2904BA-Q1	SOIC (8)	4.90mm × 3.90mm
	TSSOP (8)	3.00mm × 4.40mm
	VSSOP (8)	3.00mm × 3.00mm
LM2904-Q1	SOIC (8)	4.90mm × 3.90mm
	TSSOP (8)	3.00mm × 4.40mm

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。



$$\frac{V_{OUT}}{V_{IN}} = \left(1 + \frac{R_F}{R_G}\right) \left(\frac{1}{1 + sR_1C_1}\right)$$

単極ローパス・フィルタ



目次

1 特長.....	1	9.3 機能説明.....	20
2 アプリケーション.....	1	9.4 デバイスの機能モード.....	20
3 概要.....	1	10 アプリケーションと実装.....	21
4 改訂履歴.....	2	10.1 アプリケーション情報.....	21
5 デバイス比較表.....	4	10.2 代表的なアプリケーション.....	21
6 ピン構成と機能.....	5	11 電源に関する推奨事項.....	23
7 仕様.....	6	12 レイアウト.....	24
7.1 絶対最大定格.....	6	12.1 レイアウトのガイドライン.....	24
7.2 ESD 定格.....	6	12.2 レイアウト例.....	24
7.3 推奨動作条件.....	7	13 デバイスおよびドキュメントのサポート.....	25
7.4 熱に関する情報.....	7	13.1 ドキュメントのサポート.....	25
7.5 電気的特性: LM2904B-Q1 および LM2904BA-Q1.....	8	13.2 関連リンク.....	25
7.6 電気的特性: LM2904-Q1、LM2904AV-Q1、LM2904V-Q1.....	10	13.3 Receiving Notification of Documentation Updates.....	25
7.7 代表的特性.....	11	13.4 サポート・リソース.....	25
8 パラメータ測定情報.....	18	13.5 商標.....	25
9 詳細説明.....	19	13.6 Electrostatic Discharge Caution.....	25
9.1 概要.....	19	13.7 Glossary.....	25
9.2 機能ブロック図.....	19	14 メカニカル、パッケージ、および注文情報.....	26

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision J (February 2021) to Revision K (April 2022)	Page
• データシートに LM2904BA-Q1 を追加.....	1
• LM2904B-Q1 および LM2904BA-Q1 の ESD (CDM) 定格を $\pm 750V$ から $\pm 1500V$ に増加.....	6

Changes from Revision I (June 2020) to Revision J (February 2021)	Page
• 文書全体にわたって表、図、相互参照の採番方法を更新.....	1
• 「特長」セクションに機能安全対応および関連文書へのリンクを追加.....	1
• データシート全体にわたって VSSOP (8) パッケージからプレビューの注を削除.....	1
• データシート全体にわたって SOT-23 (8) パッケージの情報を削除.....	1
• 「ピン構成と機能」セクションの VSSOP パッケージからプレビュー・タグを削除.....	5
• 「ピン構成と機能」セクションの DDF (SOT23-8) パッケージを削除.....	5
• 「熱に関する情報」セクションの VSSOP パッケージの熱に関する情報を更新.....	7

Changes from Revision H (December 2019) to Revision I (June 2020)	Page
• 「アプリケーション」セクションにアプリケーションのリンクを追加.....	1
• 「製品情報」表の TSSOP (8) パッケージからプレビューの注を削除.....	1
• 「製品情報」表に VSSOP-8 パッケージの情報を追加.....	1
• 「デバイス比較表」セクションに VSSOP-8 パッケージの情報を追加.....	4
• 「デバイス比較表」セクションの TSSOP-8 パッケージのプレビュー・タグを削除.....	4
• 「ピン構成と機能」セクションの TSSOP パッケージからプレビュー・タグを削除.....	5
• 「ピン構成と機能」セクションに VSSOP パッケージ情報を追加.....	5
• 「製品情報」表に VSSOP パッケージを追加.....	7
• 「デバイスおよびドキュメントのサポート」セクションのセクション・タイトルを「コミュニティ・リソース」から「サポート・リソース」に変更.....	25

Changes from Revision G (February 2019) to Revision H (December 2019)

Page

• 「製品情報」表に SOT23-8 パッケージの情報を追加.....	1
• 「デバイス比較表」に SOT23-8 パッケージの情報を追加	4
• LM2904B-Q1 デバイスの「代表的特性」セクションを追加	11
• 「パラメータ測定情報」セクションに THD+N と小信号ステップ応答のテスト回路 (G = -1) を追加	18
• 特定の電圧を、「推奨動作条件」を参照するように変更	19
• 「詳細説明」セクションの LM2904B-Q1 の機能ブロック図を変更	19

Changes from Revision F (April 2008) to Revision G (February 2019)

Page

• 「アプリケーション」セクション、「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加.....	1
• データシートに新しいデバイスを追加.....	1
• AEC-Q100 認定の記述を追加.....	1

5 デバイス比較表

部品番号	電源電圧	周囲温度範囲	V _{OS} (25°Cでの最大値)	I _Q /CH (25°Cでの標準値)	統合型 EMI フィルタ	パッケージ
LM2904B-Q1	3V~36V	-40°C~125°C	3mV	300μA	あり	D、DGK、PW
LM2904BA-Q1	3V~36V	-40°C~125°C	2mV	300μA	あり	D、DGK、PW
LM2904-Q1	3V~26V	-40°C~125°C	7mV	350μA	なし	D、PW
LM2904V-Q1	3V~32V	-40°C~125°C	7mV	350μA	なし	D、PW
LM2904AV-Q1	3V~32V	-40°C~125°C	2mV	350μA	なし	D、PW

7 仕様

7.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り)⁽¹⁾

		最小値	最大値	単位	
電源電圧、 $V_S = ([V+] - [V-])$	LM2904B-Q1、LM2904BA-Q1		40	V	
	LM2904V-Q1、LM2904AV-Q1		32		
	LM2904-Q1		26		
差動入力電圧、 V_{ID} ⁽²⁾	LM2904B-Q1、LM2904BA-Q1、 LM2904V-Q1、LM2904AV-Q1	-32	32	V	
	LM2904-Q1	-26	26		
入力電圧、 V_I	いずれかの入力	LM2904B-Q1、LM2904BA-Q1	-0.3	40	V
		LM2904V-Q1、LM2904AV-Q1	-0.3	32	
		LM2904-Q1	-0.3	26	
V- への出力短絡時間 (1 つのアンプ)、 $T_A = 25^{\circ}\text{C}$ (またはそれ以下)、 $V_S \leq 15\text{V}$ 時 ⁽³⁾		制限なし		秒	
動作時の周囲温度、 T_A		-40	125	$^{\circ}\text{C}$	
動作時の仮想接合部温度、 T_J			150	$^{\circ}\text{C}$	
保管温度、 T_{stg}		-65	150	$^{\circ}\text{C}$	

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示しており、「推奨動作条件」に示されている値を越える状態で本デバイスが正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、デバイスの信頼性に影響を与えることがあります。

(2) 差動電圧は、 IN_- を基準とする IN_+ です。

(3) 出力から電源ピンへの短絡が発生すると、過熱や最終的な破壊につながる可能性があります。

7.2 ESD 定格

		値	単位
LM2904B-Q1 および LM2904BA-Q1			
V _(ESD) 静電気放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾	±2000	V
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠	±1500	
LM2904-Q1、LM2904AV-Q1、LM2904V-Q1			
V _(ESD) 静電気放電	人体モデル (HBM)、AEC Q100-002 準拠 ⁽¹⁾	±1000:	V
	デバイス帯電モデル (CDM)、AEC Q100-011 準拠	±500:	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

7.3 推奨動作条件

動作時周辺温度範囲内 (特に記述のない限り)

		最小値	最大値	単位	
V _S	電源電圧、V _S = ([V+] – [V–])	LM2904B-Q1、LM2904BA-Q1	3	36	V
		LM2904AV-Q1、LM2904V-Q1	3	30	
		LM2904-Q1	3	26	
V _{CM}	同相電圧	V-	(V+) – 2	V	
T _A	動作時周囲温度	-40	125	°C	

7.4 熱に関する情報

熱評価基準 ⁽¹⁾		LM2904-Q1, LM2904AV-Q1, LM2904B-Q1, LM2904BA-Q1, LM2904V-Q1 ⁽²⁾			単位
		D (SOIC)	DGK (VSSOP)	PW (TSSOP)	
		8 ピン	8 ピン	8 ピン	
R _{θJA}	接合部から周囲への熱抵抗	124.7	186.1	171.7	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	66.9	77.1	68.8	°C/W
R _{θJB}	接合部から基板への熱抵抗	67.9	107.7	99.2	°C/W
Ψ _{JT}	接合部から上面への熱特性パラメータ	19.2	17.2	11.5	°C/W
Ψ _{JB}	接合部から基板への熱特性パラメータ	67.2	106.1	97.9	°C/W

(1) 従来および新しい熱測定値の詳細については、『[半導体および IC パッケージの熱測定値](#)』を参照してください。

(2) どのデバイスがどのパッケージで利用できるかの一覧については、『[セクション 5](#)』を参照してください。

7.5 電気的特性 : LM2904B-Q1 および LM2904BA-Q1

$V_S = (V+) - (V-) = 5V \sim 36V$ ($\pm 2.5V \sim \pm 18V$), $T_A = 25^\circ C$, $V_{CM} = V_{OUT} = V_S/2$, $R_L = 10k$ を $V_S/2$ に接続した場合
(特に記述のない限り)

パラメータ			テスト条件		最小値	標準値	最大値	単位	
オフセット電圧									
V _{OS}	入力オフセット電圧	LM2904B-Q1			±0.3	±3.0	mV		
			T _A = -40°C〜+125°C		±4				
		LM2904BA-Q1				±2.0	mV		
			T _A = -40°C〜+125°C ⁽¹⁾			±3.0	mV		
dV _{OS} /dT	入力オフセット電圧ドリフト			T _A = -40°C〜+125°C ⁽¹⁾		±3.5	12	μV/°C	
PSRR	電源電圧除去比					±2	15	μV/V	
	チャネル・セパレーション、DC	f = 1kHz〜20kHz				±1		μV/V	
入力電圧範囲									
V _{CM}	同相電圧範囲	V _S = 3 V〜36 V				(V-)	(V+) - 1.5	V	
		V _S = 5 V〜36 V		T _A = -40°C〜+125°C		(V-)	(V+) - 2		
CMRR	同相信号除去比	(V-) ≤ V _{CM} ≤ (V+) - 1.5V	V _S = 3V〜36V				20	100	μV/V
		(V-) ≤ V _{CM} ≤ (V+) - 2.0V	V _S = 5V〜36V		T _A = -40°C〜+125°C		25	316	
入力バイアス電流									
I _B	入力バイアス電流					±10	±35	nA	
				T _A = -40°C〜+125°C ⁽¹⁾			±50		
I _{OS}	入力オフセット電流					0.5	4	nA	
				T _A = -40°C〜+125°C ⁽¹⁾			5		
dI _{OS} /dT	入力オフセット電流ドリフト			T _A = -40°C〜+125°C		10		pA/°C	
ノイズ									
E _n	入力電圧ノイズ	f = 0.1〜10Hz				3		μV _{PP}	
e _n	入力電圧ノイズ密度	f = 1kHz				40		nV/√Hz	
入力インピーダンス									
Z _{ID}	差動					10 0.1		MΩ pF	
Z _{IC}	同相					4 1.5		GΩ pF	
開ループ・ゲイン									
A _{OL}	開ループ電圧ゲイン	V _S = 15V、V _O = 1V〜11V、R _L ≥ 10kΩ、(V-) に接続				70	140	V/mV	
				T _A = -40°C〜+125°C		35			
周波数特性									
GBW	ゲイン帯域幅の積					1.2		MHz	
SR	スルーレート	G = +1				0.5		V/μs	
Θ _m	位相マージン	G = +1、R _L = 10kΩ、C _L = 20pF				56		°	
t _{OR}	過負荷復帰時間	V _{IN} × ゲイン > V _S				10		μs	
t _s	セトリング・タイム	0.1% まで、V _S = 5V、2V ステップ、G = +1、C _L = 100pF				4		μs	
THD+N	全高調波歪 + ノイズ	G = +1、f = 1kHz、V _O = 3.53V _{RMS} 、V _S = 36V、R _L = 100k、I _{OUT} ≤ ±50μA、BW = 80kHz				0.001%			
出力									
V _O	レールに対する電圧出力シンク	正電圧レール (V+)		I _{OUT} = 50μA		1.35	1.42	V	
				I _{OUT} = 1mA		1.4	1.48		
				I _{OUT} = 5 mA ⁽¹⁾		1.5	1.61		
		負電圧レール (V-)		I _{OUT} = 50μA		100	150	mV	
				I _{OUT} = 1mA		0.75	1	V	
				V _S = 5V、R _L ≤ 10kΩ、(V-) に接続		T _A = -40°C〜+125°C	5	20	mV
I _O	出力電流	V _S = 15V、V _O = V-、V _{ID} = 1V	ソース ⁽¹⁾			-20	-30	mA	
				T _A = -40°C〜+125°C		-10			
		V _S = 15V、V _O = V+、V _{ID} = -1V	シンク ⁽¹⁾			10	20		
				T _A = -40°C〜+125°C		5			
		V _{ID} = -1V、V _O = (V-) + 200mV				60	100	μA	
I _{SC}	短絡電流	V _S = 20V、(V+) = 10V、(V-) = -10V、V _O = 0V				±40	±60	mA	
C _{LOAD}	容量性負荷ドライブ					100		pF	
R _O	開ループ出力抵抗	f = 1MHz、I _O = 0A				300		Ω	
電源									

7.5 電気的特性 : LM2904B-Q1 および LM2904BA-Q1 (continued)

$V_S = (V_+) - (V_-) = 5V \sim 36V$ ($\pm 2.5V \sim \pm 18V$), $T_A = 25^\circ C$, $V_{CM} = V_{OUT} = V_S/2$, $R_L = 10k$ を $V_S/2$ に接続した場合
(特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
I_Q	無信号時電流 (アンプ 1 個あたり)	$V_S = 5V, I_O = 0A$	$T_A = -40^\circ C \sim +125^\circ C$		300	460	μA
		$V_S = 36V, I_O = 0A$				800	

(1) 特性だけが規定します。

7.6 電気的特性 : LM2904-Q1、LM2904AV-Q1、LM2904V-Q1

$V_S = (V+) - (V-) = 5V$, $T_A = 25^\circ\text{C}$, $R_L = 10k\Omega$ を V_- に接続した場合 (特に記述のない限り)。

パラメータ		テスト条件 ⁽¹⁾		最小値	標準値	最大値	単位		
オフセット電圧									
V _{OS}	入力オフセット電圧	V _S = 5V～最大値、 V _{C M} = 0V、V _O = 1.4V	LM2904-Q1、 LM2904V-A1		±3	±7	mV		
				T _A = -40℃～125℃		±10			
		LM2904AV-Q1		±1	±2				
			T _A = -40℃～125℃		±4				
dV _{OS} /dT	入力オフセット電圧ドリフト			T _A = -40℃～125℃	±7		μV/℃		
PSRR	入力オフセット電圧と電源電圧との関係 (ΔV _{IO} /ΔV _S)	V _S = 5V～30V			65	100	dB		
V _{O1} / V _{O2}	チャネル・セパレーション	f = 1kHz～20kHz			120		dB		
入力電圧範囲									
V _{CM}	同相電圧範囲	V _S = 5V～最大値			(V-) -	(V+) - 1.5	V		
				T _A = -40℃～125℃	(V-) -	(V+) - 2			
CMRR	同相信号除去比	V _S = 5V～最大値、V _{CM} = 0V			65	80	dB		
入力バイアス電流									
I _B	入力バイアス電流	V _O = (V-) + 1.4V			-20	-250	nA		
				T _A = -40℃～125℃		-500			
I _{OS}	入力オフセット電流	V _O = (V-) + 1.4V	LM2904-Q1		2	50	nA		
					T _A = -40℃～125℃			300	
			LM2904AV-Q1、 LM2904V-Q1		2	50			
				T _A = -40℃～125℃		150			
dI _{OS} /dT	入力オフセット電流ドリフト			T _A = -40℃～125℃	10		pA/℃		
ノイズ									
e _n	入力電圧ノイズ密度	f = 1kHz			40		nV/√Hz		
開ループ・ゲイン									
A _{OL}	開ループ電圧ゲイン	V _S = 15V、V _O = (V-) + 1V ～ (V-) + 11V、R _L ≥ 2kΩ、(V-) に 接続			25	100	V/mV		
				T _A = -40℃～125℃	15				
周波数特性									
GBW	ゲイン帯域幅の積				0.7		MHz		
SR	スルーレート	G = +1			0.3		V/μs		
出力									
V _O	レールに対する電圧出力シング	正レール	R _L ≥ 10kΩ	T _A = -40℃～125℃	V _S - 1.5		V		
					4				
			LM2904-Q1		V _S = 最大値、 R _L = 2kΩ	3		2	
					V _S = 最大値、 R _L ≥ 10kΩ	6			
		LM2904AV-Q1、 LM2904V-Q1	V _S = 最大値、 R _L = 2kΩ		5		4		
			V _S = 最大値、 R _L ≥ 10kΩ						
	負レール	V _S = 5V、 R _L ≤ 10kΩ		T _A = -40℃～125℃	5	20	mV		
I _O	出力電流	V _S = 15V、V _O = V-、V _{ID} = 1V	ソース		-20	-30	mA		
				T _A = -40℃～125℃	-10				
		V _S = 15V、V _O = V+、 V _{ID} = -1V	シンク		10	20			
				T _A = -40℃～125℃	5				
		V _{ID} = -1V、V _O = (V-) + 200mV	LM2904-Q1		30		μA		
			LM2904AV-Q1、LM2904V-Q1		12	40			
I _{SC}	短絡電流	V _S = 10V、V _O = V _S /2			±40	±60	mA		
電源									
I _Q	アンプごとの静止電流	V _O = V _S /2、I _O = 0A		T _A = -40℃～125℃	350	600	μA		
		V _S = 最大値、V _O = 最大値 / 2、I _O = 0A			500	1000			

(1) 特に記述のない限り、すべての特性はゼロ同相入力電圧で測定されます。テスト目的での V_S の最大値は、LM2904-Q1 では 26V、LM2904AV-Q1/LM2904V-Q1 では 32V です。

7.7 代表的特性

「代表的特性」セクションは、LM2904B-Q1 および LM2904BA-Q1 に適用されます。「代表的特性」セクションのデータは、次の条件で収集しました。 $T_A = 25^\circ\text{C}$ 、 $V_S = 36\text{V} (\pm 18\text{V})$ 、 $V_{CM} = V_S/2$ 、 $R_{LOAD} = 10\text{k}\Omega$ を $V_S/2$ に接続 (特に記述のない限り)。

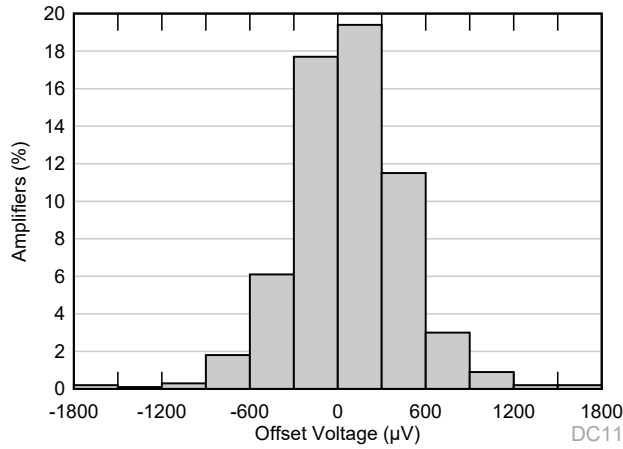


図 7-1. オフセット電圧の製品分布

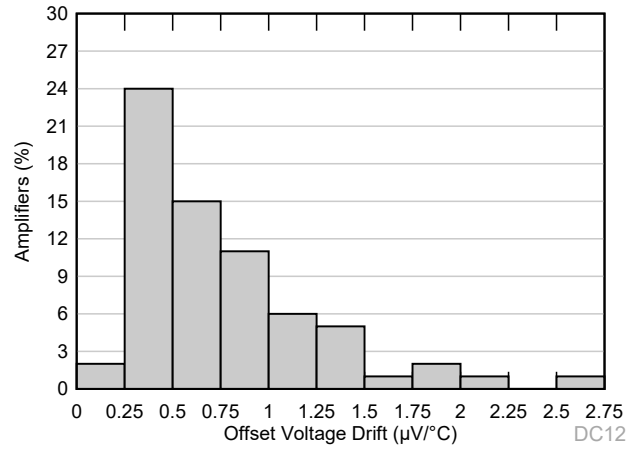


図 7-2. オフセット電圧ドリフトの分布

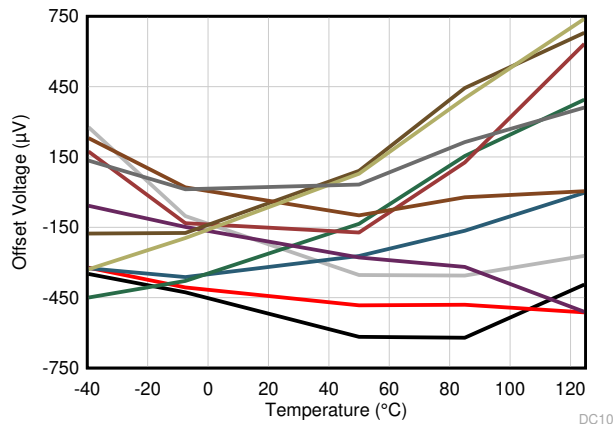


図 7-3. オフセット電圧と温度との関係

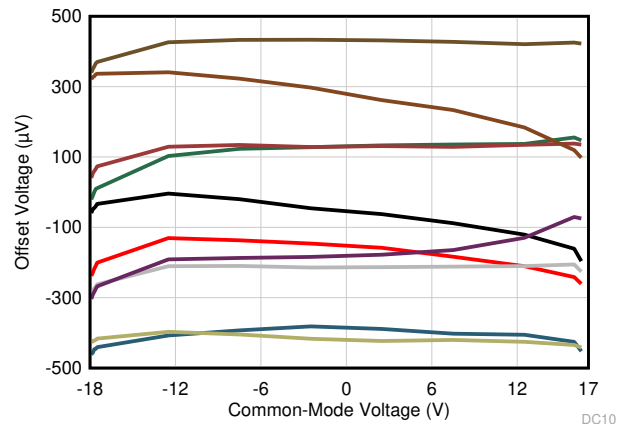


図 7-4. オフセット電圧と同相電圧との関係

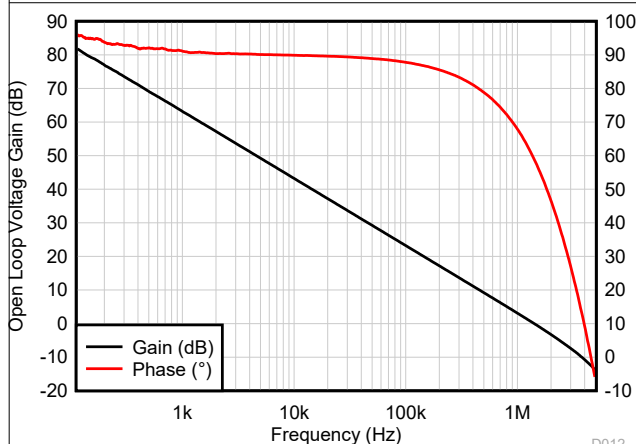


図 7-5. 開ループのゲインおよび位相と周波数との関係

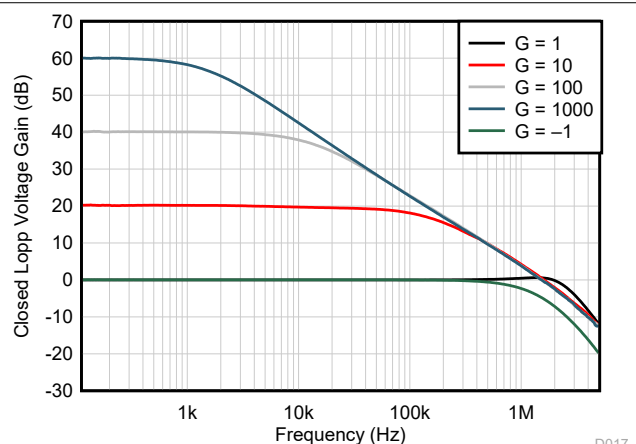


図 7-6. 開ループのゲインと周波数との関係

7.7 代表的特性 (continued)

「代表的特性」セクションは、LM2904B-Q1 および LM2904BA-Q1 に適用されます。「代表的特性」セクションのデータは、次の条件で収集しました。 $T_A = 25^\circ\text{C}$ 、 $V_S = 36\text{V} (\pm 18\text{V})$ 、 $V_{CM} = V_S/2$ 、 $R_{LOAD} = 10\text{k}\Omega$ を $V_S/2$ に接続 (特に記述のない限り)。

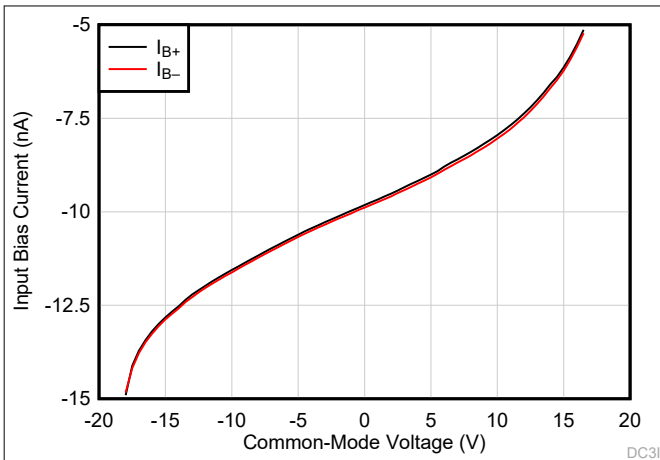


図 7-7. 入力バイアス電流と同相電圧との関係

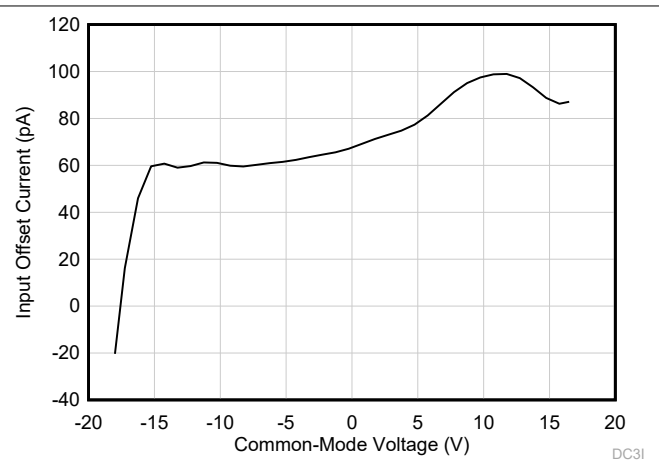


図 7-8. 入力オフセット電流と同相電圧との関係

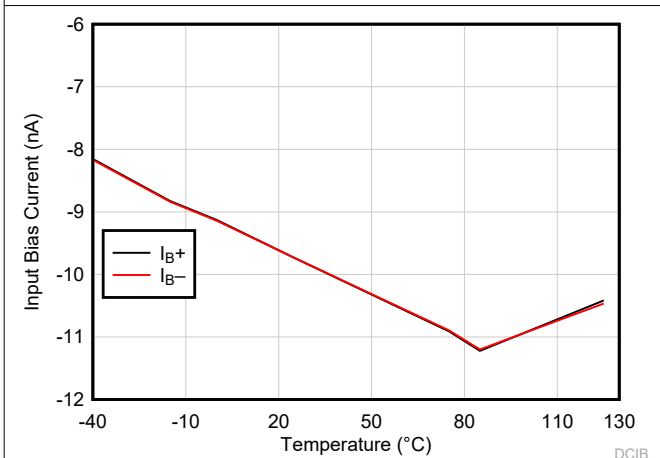


図 7-9. 入力バイアス電流と温度との関係

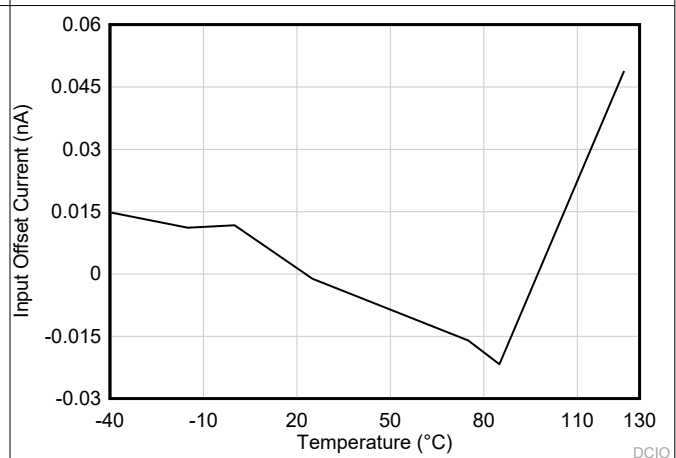


図 7-10. 入力オフセット電流と温度との関係

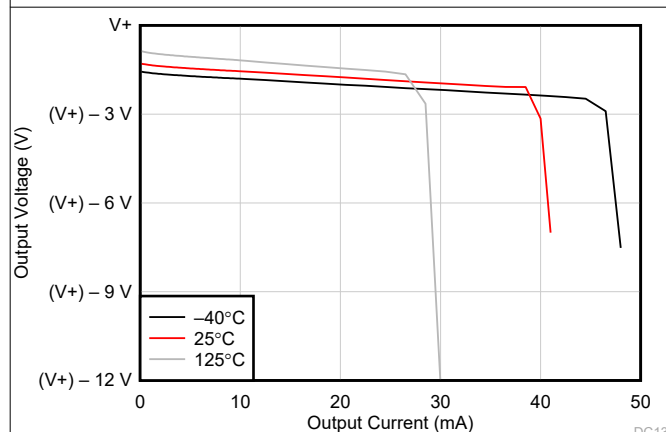


図 7-11. 出力電圧スイングと出力電流との関係 (ソース)

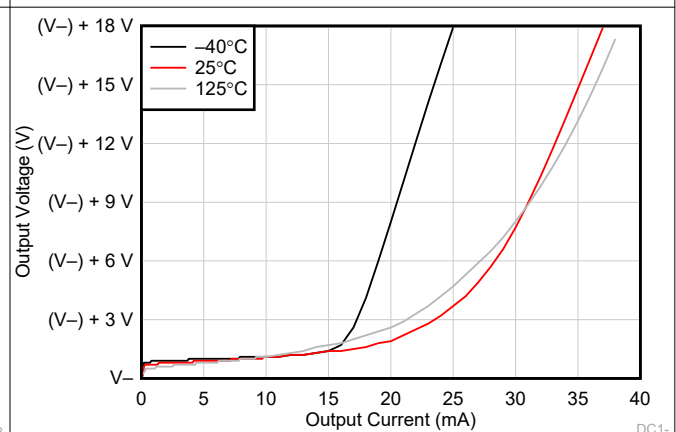


図 7-12. 出力電圧スイングと出力電流との関係 (シンク)

7.7 代表的特性 (continued)

「代表的特性」セクションは、LM2904B-Q1 および LM2904BA-Q1 に適用されます。「代表的特性」セクションのデータは、次の条件で収集しました。 $T_A = 25^\circ\text{C}$ 、 $V_S = 36\text{V} (\pm 18\text{V})$ 、 $V_{CM} = V_S/2$ 、 $R_{LOAD} = 10\text{k}\Omega$ を $V_S/2$ に接続 (特に記述のない限り)。

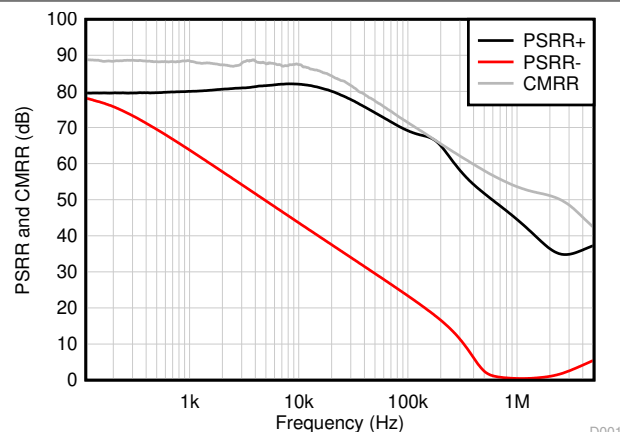


図 7-13. CMRR および PSRR と周波数との関係

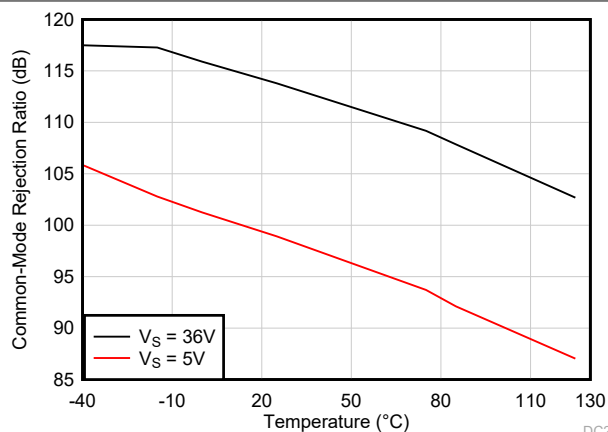


図 7-14. 同相除去比と温度との関係 (dB)

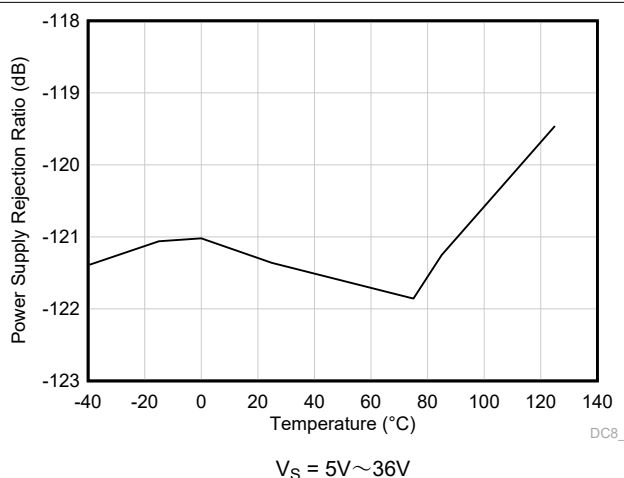


図 7-15. 電源除去比と温度との関係 (dB)

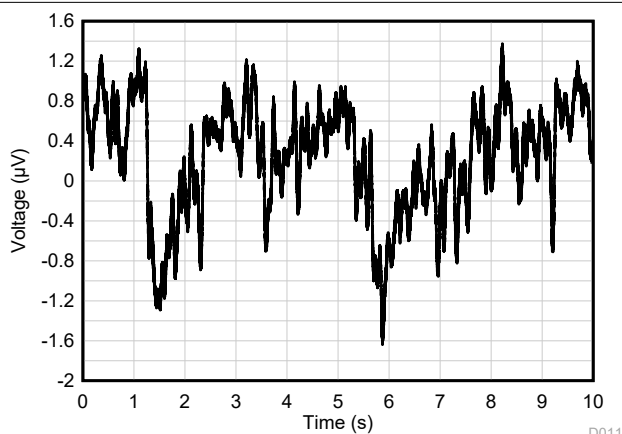


図 7-16. 0.1Hz~10Hz のノイズ

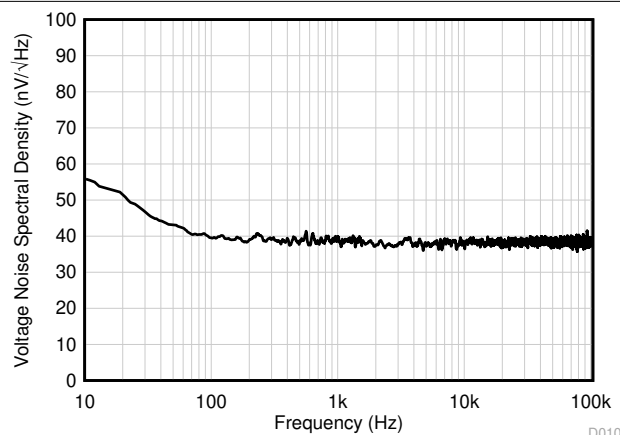
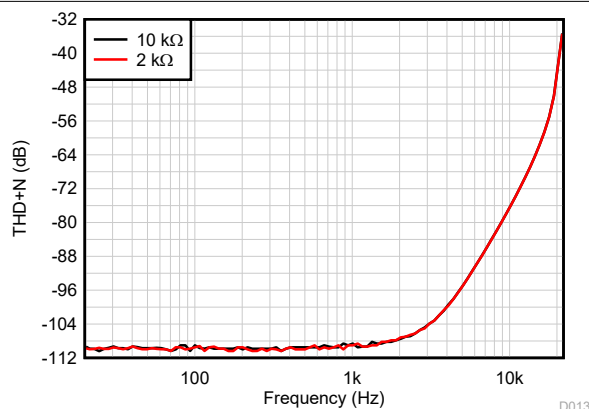


図 7-17. 入力電圧ノイズのスペクトル密度と周波数との関係

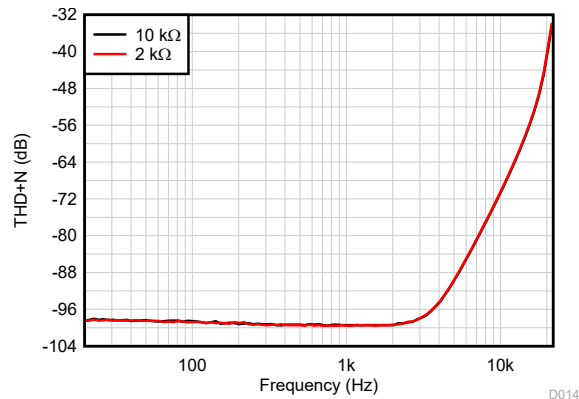


$G = 1$, $f = 1\text{kHz}$, $BW = 80\text{kHz}$,
 $V_{OUT} = 10\text{V}_{PP}$, R_L を V_- に接続

図 7-18. THD+N 比と周波数との関係、 $G = 1$

7.7 代表的特性 (continued)

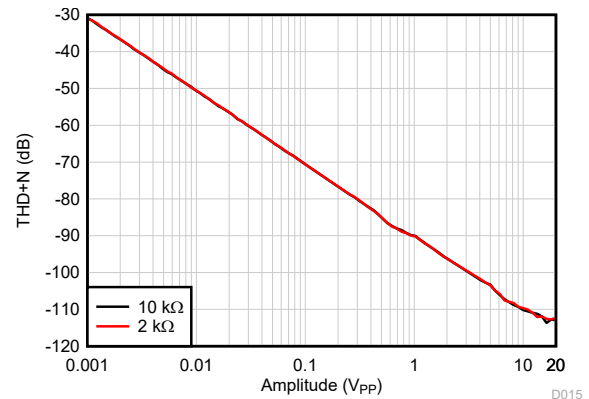
「代表的特性」セクションは、LM2904B-Q1 および LM2904BA-Q1 に適用されます。「代表的特性」セクションのデータは、次の条件で収集しました。 $T_A = 25^\circ\text{C}$ 、 $V_S = 36\text{V} (\pm 18\text{V})$ 、 $V_{CM} = V_S/2$ 、 $R_{LOAD} = 10\text{k}\Omega$ を $V_S/2$ に接続 (特に記述のない限り)。



$G = -1$, $f = 1\text{kHz}$, $BW = 80\text{kHz}$,
 $V_{OUT} = 10V_{PP}$, R_L を V_- に接続

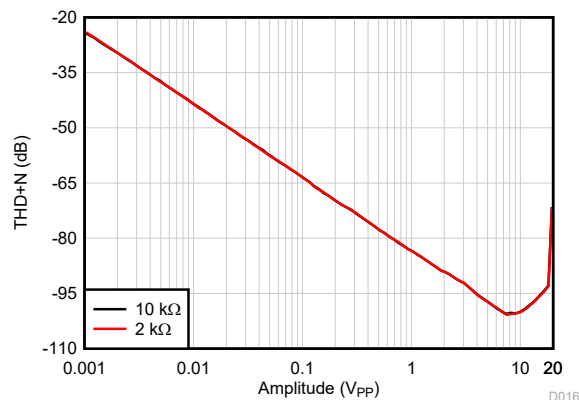
図 8-3 を参照

図 7-19. THD+N 比と周波数との関係、 $G = -1$



$G = 1$, $f = 1\text{kHz}$, $BW = 80\text{kHz}$,
 R_L を V_- に接続

図 7-20. THD+N と出力振幅との関係、 $G = 1$



$G = -1$, $f = 1\text{kHz}$, $BW = 80\text{kHz}$,
 R_L を V_- に接続

図 8-3 を参照

図 7-21. THD+N と出力振幅との関係、 $G = -1$

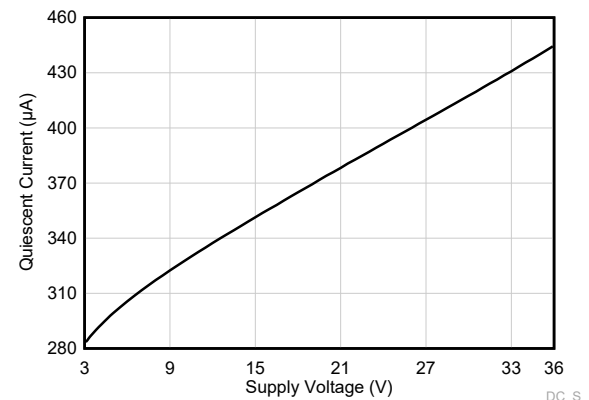


図 7-22. 静止電流と電源電圧との関係

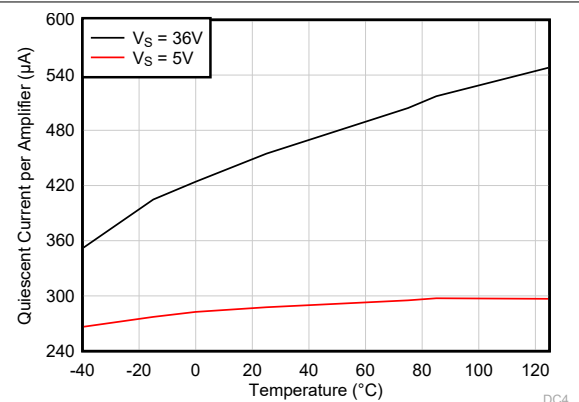


図 7-23. 静止電流と温度との関係

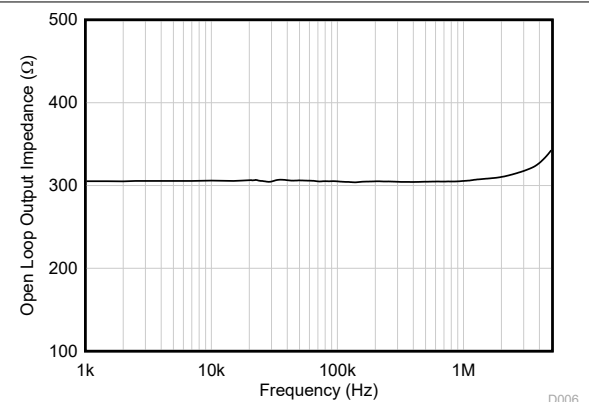
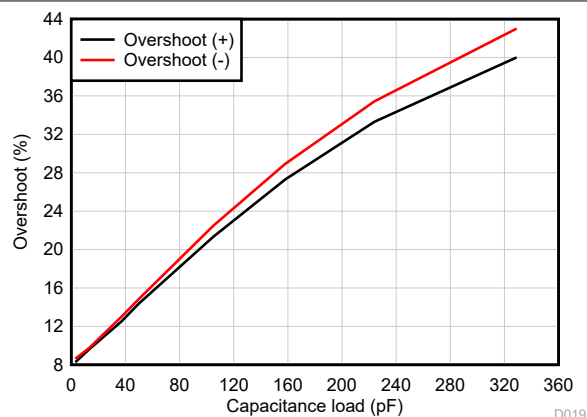


図 7-24. 開ループ出力インピーダンスと周波数との関係

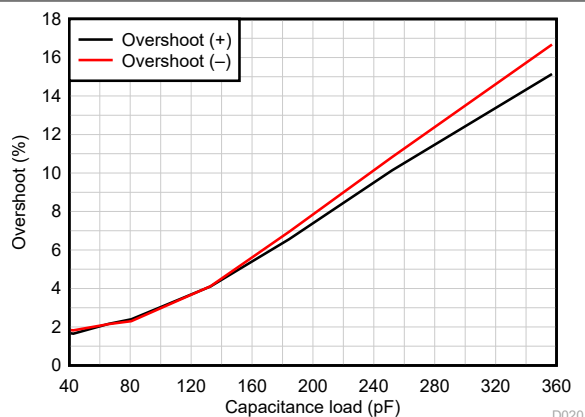
7.7 代表的特性 (continued)

「代表的特性」セクションは、LM2904B-Q1 および LM2904BA-Q1 に適用されます。「代表的特性」セクションのデータは、次の条件で収集しました。 $T_A = 25^\circ\text{C}$ 、 $V_S = 36\text{V} (\pm 18\text{V})$ 、 $V_{CM} = V_S/2$ 、 $R_{LOAD} = 10\text{k}\Omega$ を $V_S/2$ に接続 (特に記述のない限り)。



$G = 1$, 100mV 出力ステップ、 $R_L = \text{オープン}$

図 7-25. 小信号オーバーシュートと容量性負荷との関係



$G = -1$, 100mV 出力ステップ、 $R_L = \text{オープン}$

図 7-26. 小信号オーバーシュートと容量性負荷との関係

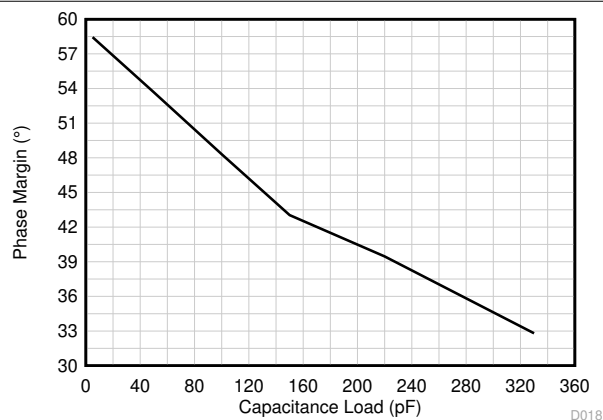


図 7-27. 位相マージンと容量性負荷との関係

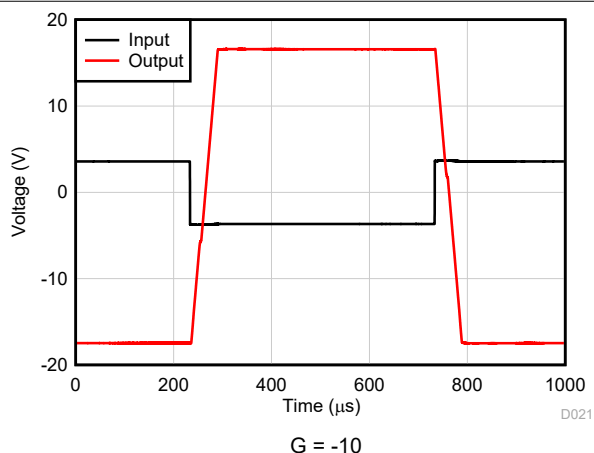
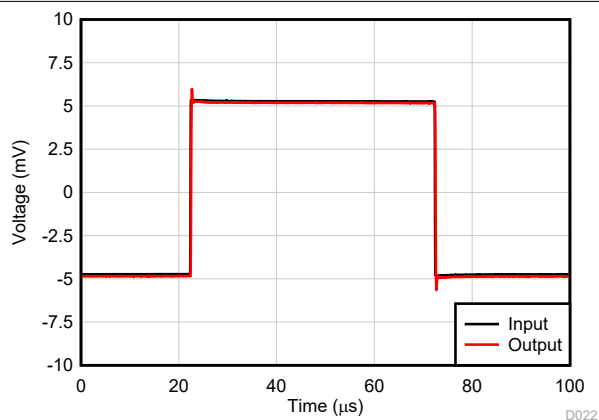
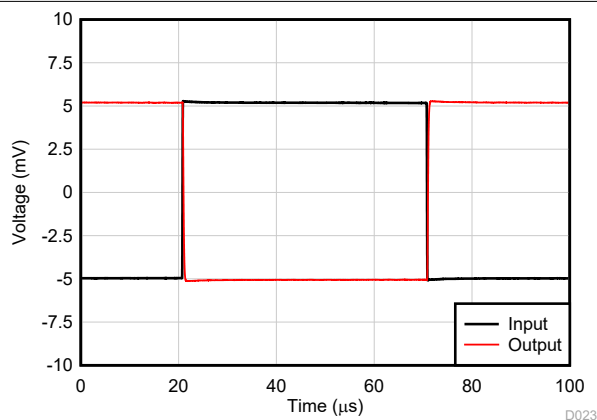


図 7-28. 過負荷からの回復



$G = 1$, $R_L = \text{オープン}$

図 7-29. 小信号ステップ応答、 $G = 1$



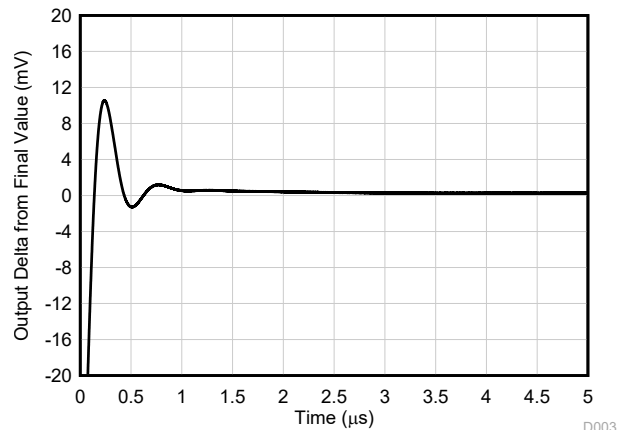
$G = -1$, $R_L = \text{オープン}$, $R_{FB} = 10\text{k}$

図 8-3 を参照

図 7-30. 小信号ステップ応答、 $G = -1$

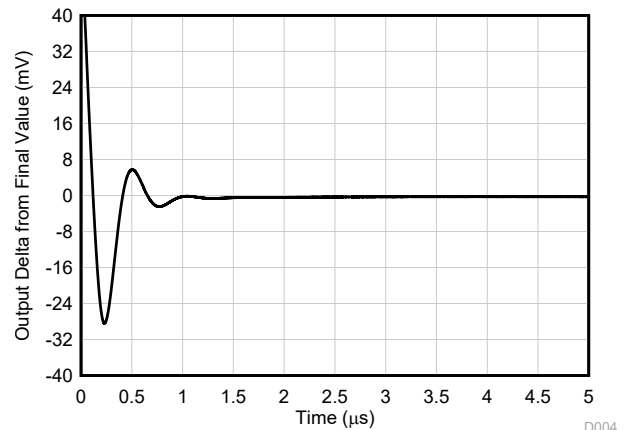
7.7 代表的特性 (continued)

「代表的特性」セクションは、LM2904B-Q1 および LM2904BA-Q1 に適用されます。「代表的特性」セクションのデータは、次の条件で収集しました。 $T_A = 25^\circ\text{C}$ 、 $V_S = 36\text{V} (\pm 18\text{V})$ 、 $V_{CM} = V_S/2$ 、 $R_{LOAD} = 10\text{k}\Omega$ を $V_S/2$ に接続 (特に記述のない限り)。



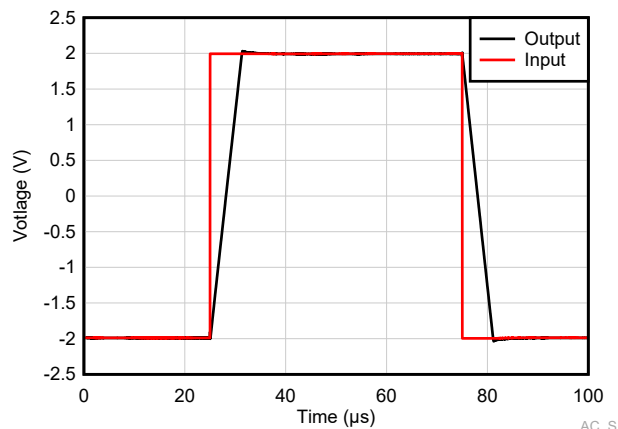
G = 1、 R_L = オープン

図 7-31. 大信号ステップ応答、立ち上がり



G = 1、 R_L = オープン

図 7-32. 大信号ステップ応答、立ち下がり



G = 1、 R_L = オープン

図 7-33. 大信号ステップ応答

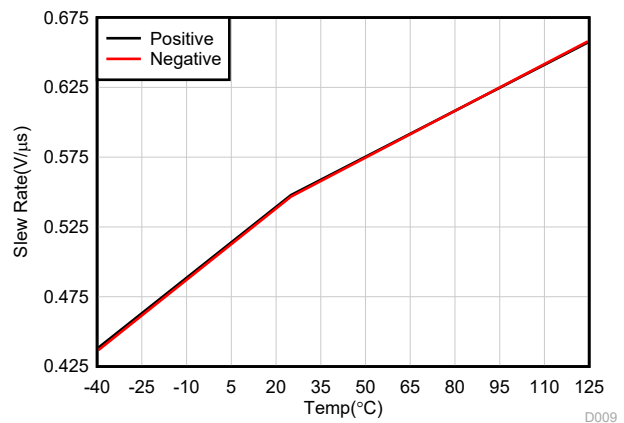


図 7-34. スルーレートと温度との関係

7.7 代表的特性 (continued)

「代表的特性」セクションは、LM2904B-Q1 および LM2904BA-Q1 に適用されます。「代表的特性」セクションのデータは、次の条件で収集しました。 $T_A = 25^\circ\text{C}$ 、 $V_S = 36\text{V} (\pm 18\text{V})$ 、 $V_{CM} = V_S/2$ 、 $R_{LOAD} = 10\text{k}\Omega$ を $V_S/2$ に接続 (特に記述のない限り)。

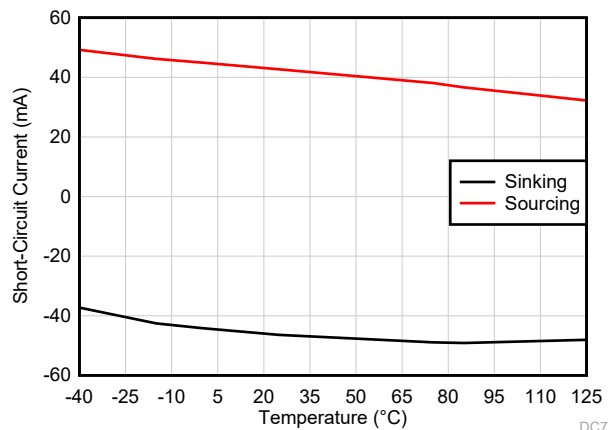


図 7-35. 短絡電流と温度との関係

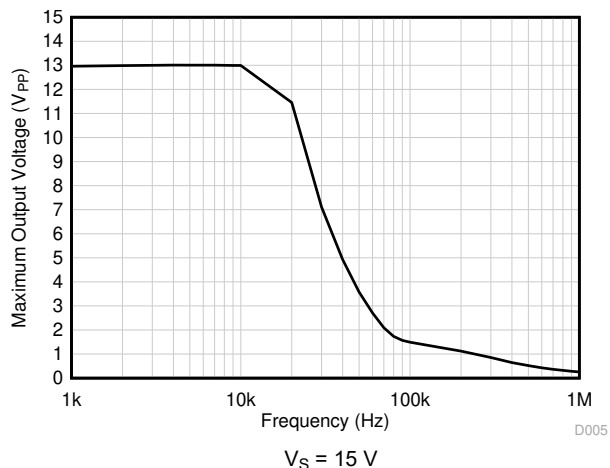


図 7-36. 最大出力電圧と周波数との関係

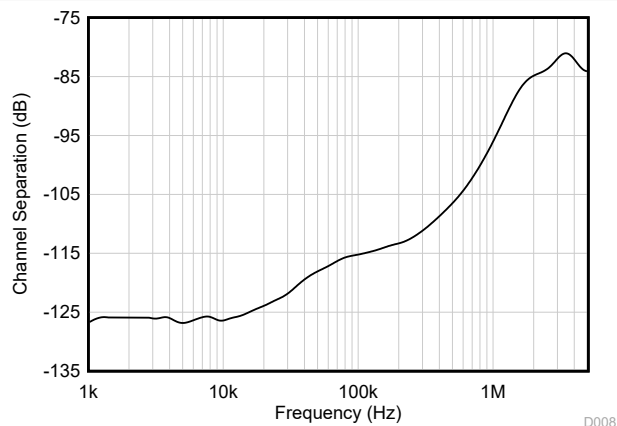


図 7-37. チャネル・セパレーションと周波数との関係

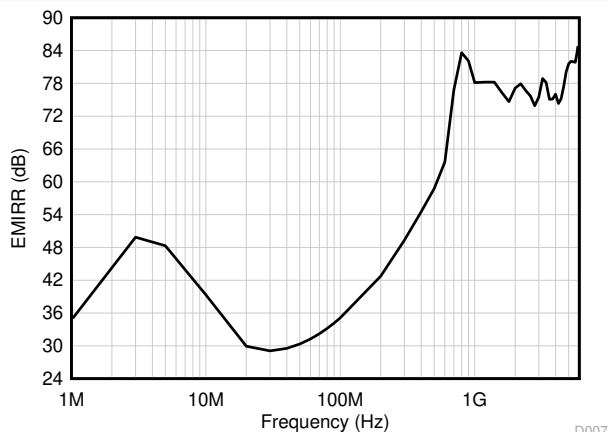


図 7-38. EMIRR (電磁干渉除去比) と周波数との関係

8 パラメータ測定情報

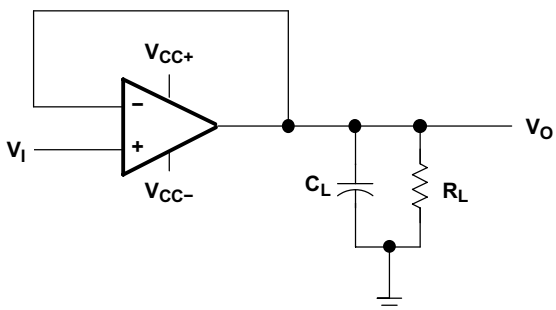


図 8-1. ユニティ・ゲイン・アンプ

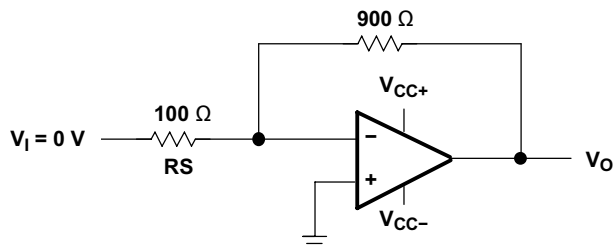


図 8-2. ノイズ・テスト回路

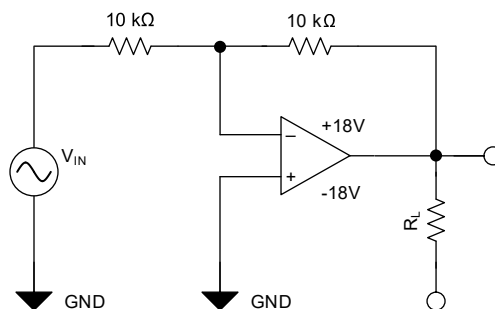


図 8-3. THD+N と小信号ステップ応答のテスト回路 (G = -1)

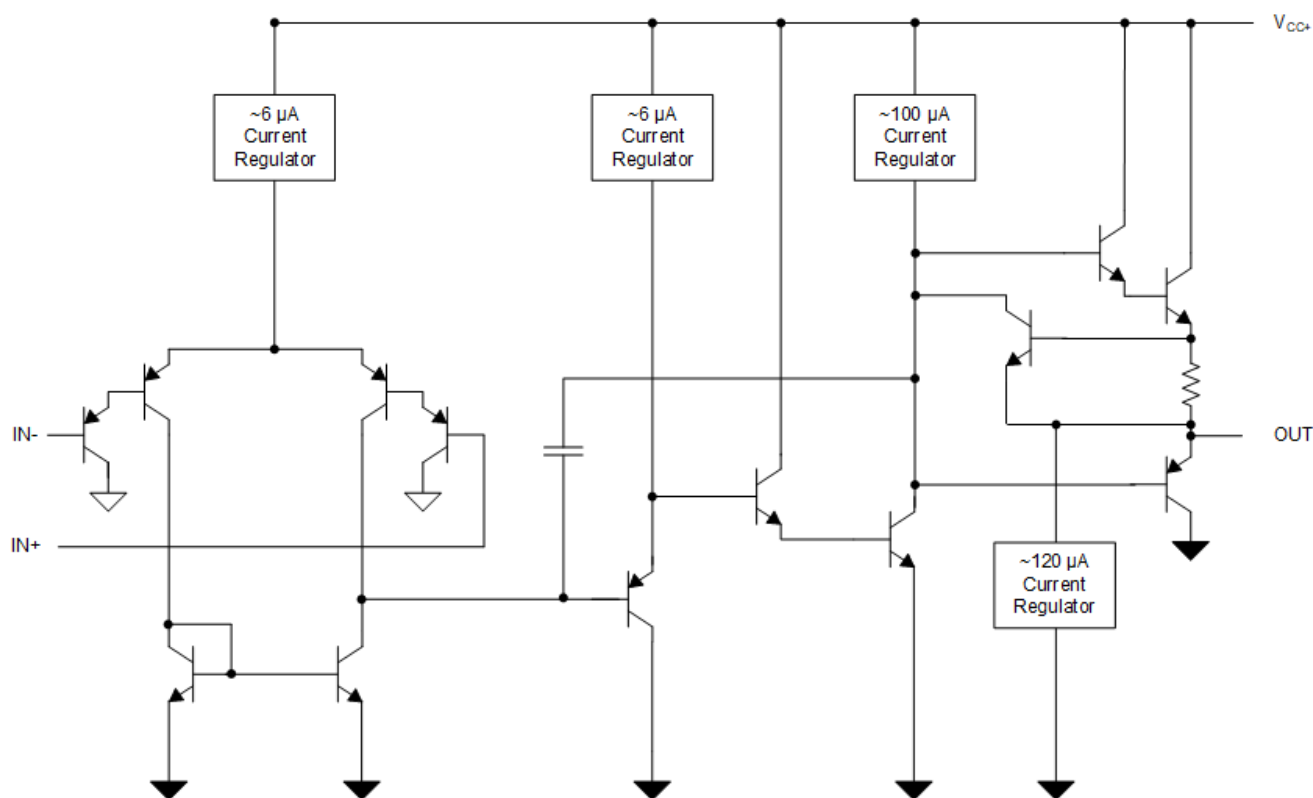
9 詳細説明

9.1 概要

LM2904-Q1、LM2904B-Q1、および LM2904BA-Q1 デバイスは、広い電圧範囲にわたって単一電源で動作するように設計された、2 つの独立した高ゲイン周波数補償オペアンプで構成されています。分割電源での動作も可能です。この場合、2 つの電源の差がセクション 7.3 に規定された電源電圧範囲内で、 V_S が入力同相電圧よりも 1.5V 以上高いことが条件です。低電源電流ドレインは、電源電圧の振幅とは独立しています。

アプリケーションとしては、トランスデューサ・アンプ、DC アンプ・ブロック、およびすべての従来型オペアンプ回路などがあり、より簡単に単電源電圧システムに導入できるようになりました。たとえば、これらのデバイスは、デジタル・システムで使用されている標準的な 5V 電源で直接動作し、 $\pm 5V$ 電源を追加しなくても必要なインターフェイスのエレクトロニクスを提供できます。

9.2 機能ブロック図



9.3 機能説明

9.3.1 ユニティ・ゲイン帯域幅

ユニティ・ゲイン帯域幅とは、ユニティ・ゲインを持つアンプが信号に大きな歪みを発生させずに動作できる最大周波数です。これらのデバイスは、1.2MHz のユニティ・ゲイン帯域幅を備えています (LM2904B-Q1 および LM2904BA-Q1)。

9.3.2 スルーレート

スルーレートは、入力に変化が生じたときにオペアンプが出力を変更できる速さです。これらのデバイスのスルーレートは 0.5V/μs です (LM2904B-Q1 および LM2904BA-Q1)。

9.3.3 入力同相範囲

有効な同相範囲は、デバイスのグランドから $V_S - 1.5V$ (温度範囲全体にわたって $V_S - 2V$) までです。入力は、デバイスに損傷を与えることなく、 V_S を最大 V_S まで超えることができます。出力が適切な位相になるには、少なくとも 1 つの入力が有効な入力同相範囲内にある必要があります。両方の入力が有効範囲を超えた場合、出力位相は未定義となります。いずれかの入力が V_- より 0.3V 以上低い場合、入力電流を 1mA に制限する必要があり、出力位相は未定義となります。

9.4 デバイスの機能モード

LM2904-Q1、LM2904B-Q1、LM2904BA-Q1 デバイスは、電源が接続されたときに電源投入されます。このデバイスは、アプリケーションに応じて、単一電源オペアンプまたはデュアル電源アンプとして動作できます。

10 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 アプリケーション情報

LM2904-Q1、LM2904B-Q1、LM2904BA-Q1 オペアンプは、広範なシグナル・コンディショニング・アプリケーションに役立ちます。V_S よりも前に入力に電力を供給できるため、複数の電源回路で柔軟に動作できます。このデバイス・ファミリに関連するアプリケーション設計ガイドラインの詳細については、アプリケーション・レポート『[LM324/LM358 デバイスのアプリケーション設計ガイドライン](#)』を参照してください。

10.2 代表的なアプリケーション

オペアンプの代表的なアプリケーションは、反転アンプです。このアンプは入力に正の電圧をとり、同じ振幅の負の電圧に変換します。同様に、このアンプは負の電圧を正の電圧に変換します。

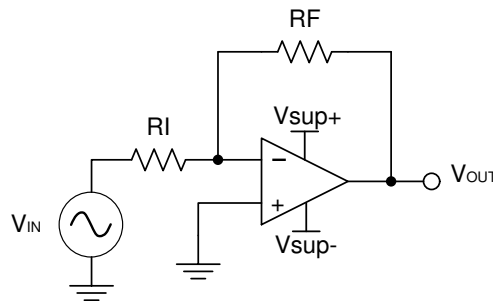


図 10-1. アプリケーション回路図

10.2.1 設計要件

電源電圧は、入力電圧範囲および出力範囲よりも大きくなるように選択する必要があります。たとえば、このアプリケーションは±0.5V～±1.8V の信号をスケーリングします。このアプリケーションに対応するには、電源を±12V に設定するだけで十分です。

10.2.2 詳細な設計手順

式 1 と式 2 を使用して、反転アンプに必要なゲインを決定します。

$$A_V = \frac{V_{OUT}}{V_{IN}} \quad (1)$$

$$A_V = \frac{1.8}{-0.5} = -3.6 \quad (2)$$

必要なゲインを決定したら、R_I または R_F の値を選択します。アンプ回路は mA 範囲の電流を使用するため、kΩ 範囲の値を選択することが求められます。これにより、部品が過度の電流を消費することを防止できます。この例では R_I が 10kΩ で、R_F には 36kΩ が使用されます。これは式 3 によって計算されます。

$$A_V = -\frac{R_F}{R_I} \quad (3)$$

10.2.3 アプリケーション曲線

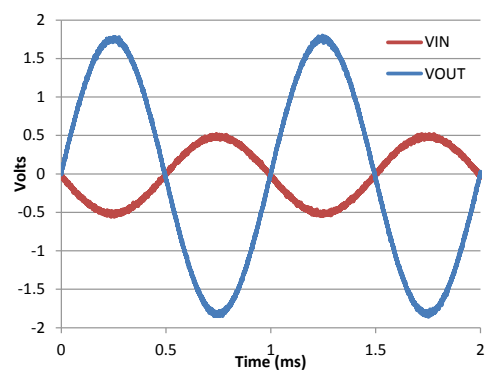


図 10-2. 反転アンプの入力電圧と出力電圧

11 電源に関する推奨事項

注意

推奨動作領域で指定されている電圧を超える電源電圧が印加されると、デバイスに永続的な損傷を与える可能性があります ([セクション 7.1](#) を参照)。

電源ピンの近くに $0.1\mu\text{F}$ のバイパス・コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの誤差を低減できます。バイパス・コンデンサの配置の詳細については、[セクション 12](#) を参照してください。

12 レイアウト

12.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズは、回路全体やオペアンプの電源ピンを経由して、アナログ回路に伝播することがあります。バイパス・コンデンサは、アナログ回路に対してローカルに低インピーダンスの電源を供給し、結合ノイズを低減するために使用されます。
 - 各電源ピンとグランドとの間に、低 ESR の $0.1\mu\text{F}$ セラミック・バイパス・コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、 $V+$ からグランドに対して単一のバイパス・コンデンサを接続します。
- 回路のアナログ部とデジタル部のグランド配線を分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド・プレーン専用です。グランド・プレーンは熱の分散に役立ち、EMI ノイズを拾いにくくなります。グランド電流の流れに注意しながら、デジタル・グランドとアナログ・グランドを物理的に分離してください。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらを分離できない場合は、敏感な配線をノイズの多い配線と並列に配置するよりも、直交させる方がはるかに良い結果になります。
- 外付け部品は、可能な限りデバイスに近く配置します。セクション 12.2 に示すように、 R_F と R_G を反転入力に近づけて配置すると、寄生容量が最小化されます。
- 入力配線はできる限り短くします。入力配線は回路の最も敏感な部分であることに常に注意してください。
- 重要な配線の周囲に、駆動される低インピーダンスのガード・リングを配置することを検討します。ガード・リングを使用すると、付近に存在する、さまざまな電位の配線からのリーク電流を大幅に低減できます。

12.2 レイアウト例

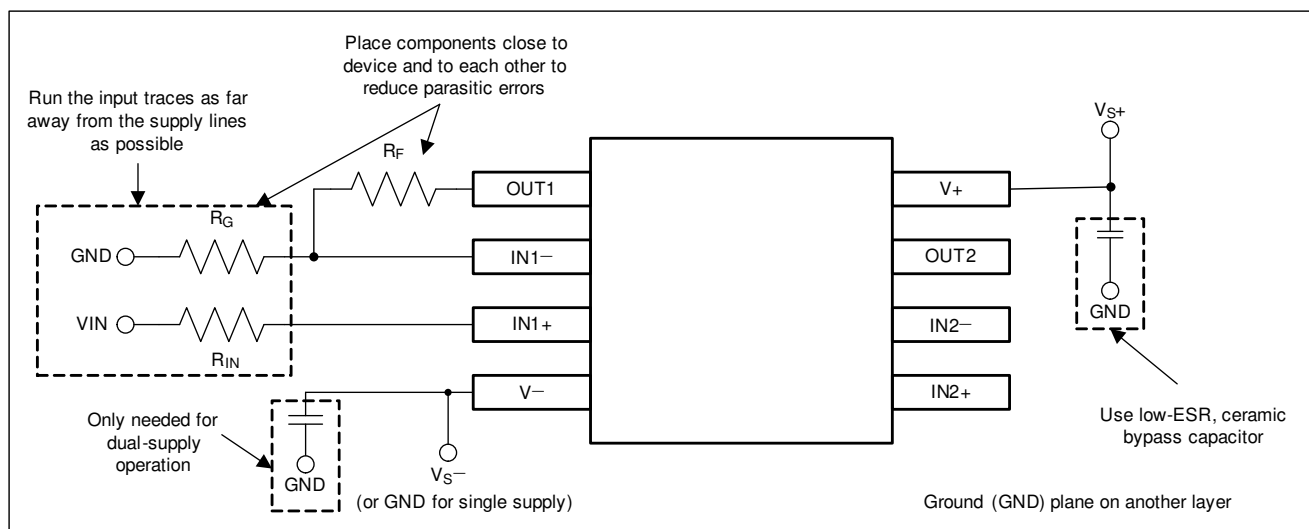


図 12-1. 非反転構成のオペアンプ基板のレイアウト

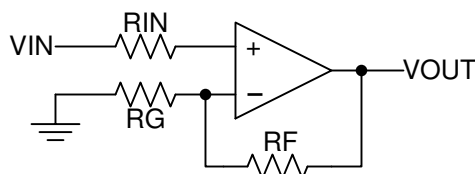


図 12-2. 非反転構成のオペアンプの回路図

13 デバイスおよびドキュメントのサポート

13.1 ドキュメントのサポート

13.1.1 関連資料

関連資料については、以下を参照してください。

テキサス・インスツルメンツ、アプリケーション・レポート『LM324/LM358 デバイスのアプリケーション設計ガイドライン』(英語)

13.2 関連リンク

次の表に、クイック・アクセス・リンクを示します。カテゴリには、技術資料、サポートとコミュニティ・リソース、ツールとソフトウェア、およびご注文へのクイック・アクセスが含まれます。

表 13-1. 関連リンク

製品	プロダクト・フォルダ	ご注文はこちら	技術資料	ツールとソフトウェア	サポートとコミュニティ
LM2904-Q1	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
LM2904B-Q1	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
LM2904BA-Q1	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック

13.3 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on [ti.com](https://www.ti.com). Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

13.4 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の[使用条件](#)を参照してください。

13.5 商標

TI E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

13.6 Electrostatic Discharge Caution



This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

13.7 Glossary

TI Glossary This glossary lists and explains terms, acronyms, and definitions.

14 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。これらの情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM2904AVQDRG4Q1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904AVQ
LM2904AVQDRG4Q1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904AVQ
LM2904AVQDRG4Q1.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904AVQ
LM2904AVQDRQ1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904AVQ
LM2904AVQDRQ1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904AVQ
LM2904AVQDRQ1.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904AVQ
LM2904AVQPWRG4Q1	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904AVQ
LM2904AVQPWRG4Q1.A	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904AVQ
LM2904AVQPWRG4Q1.B	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904AVQ
LM2904AVQPWRQ1	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904AVQ
LM2904AVQPWRQ1.A	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904AVQ
LM2904AVQPWRQ1.B	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904AVQ
LM2904BAQDGKRQ1	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2EMB
LM2904BAQDGKRQ1.A	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2EMB
LM2904BAQDGKRQ1.B	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2EMB
LM2904BAQDRQ1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904BA
LM2904BAQDRQ1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904BA
LM2904BAQDRQ1.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904BA
LM2904BAQPWRQ1	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	294BAQ
LM2904BAQPWRQ1.A	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	294BAQ
LM2904BAQPWRQ1.B	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	294BAQ
LM2904BQDGKRQ1	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	27ZB
LM2904BQDGKRQ1.A	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	27ZB
LM2904BQDGKRQ1.B	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	27ZB
LM2904BQDRQ1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904BQ
LM2904BQDRQ1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904BQ
LM2904BQDRQ1.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904BQ
LM2904BQPWRQ1	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904BQ
LM2904BQPWRQ1.A	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904BQ

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM2904BQPWRQ1.B	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904BQ
LM2904BTQDGKRQ1	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	4BTQ
LM2904BTQDGKRQ1.B	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	4BTQ
LM2904BTQDRQ1	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904TQ
LM2904BTQDRQ1.B	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904TQ
LM2904BTQPWRQ1	Active	Production	TSSOP (PW) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904BT
LM2904BTQPWRQ1.B	Active	Production	TSSOP (PW) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904BT
LM2904QDRG4Q1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904Q1
LM2904QDRG4Q1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904Q1
LM2904QDRG4Q1.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904Q1
LM2904QDRQ1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904Q1
LM2904QDRQ1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904Q1
LM2904QDRQ1.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904Q1
LM2904QPWRG4Q1	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904Q1
LM2904QPWRG4Q1.A	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904Q1
LM2904QPWRG4Q1.B	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904Q1
LM2904QPWRQ1	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904Q1
LM2904QPWRQ1.A	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904Q1
LM2904QPWRQ1.B	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904Q1
LM2904VQDRG4Q1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904VQ
LM2904VQDRG4Q1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904VQ
LM2904VQDRG4Q1.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904VQ
LM2904VQDRQ1	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904VQ1
LM2904VQDRQ1.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904VQ1
LM2904VQDRQ1.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904VQ1
LM2904VQPWRG4Q1	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904VQ
LM2904VQPWRG4Q1.A	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904VQ
LM2904VQPWRG4Q1.B	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904VQ
LM2904VQPWRQ1	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904VQ
LM2904VQPWRQ1.A	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904VQ
LM2904VQPWRQ1.B	Active	Production	TSSOP (PW) 8	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2904VQ

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

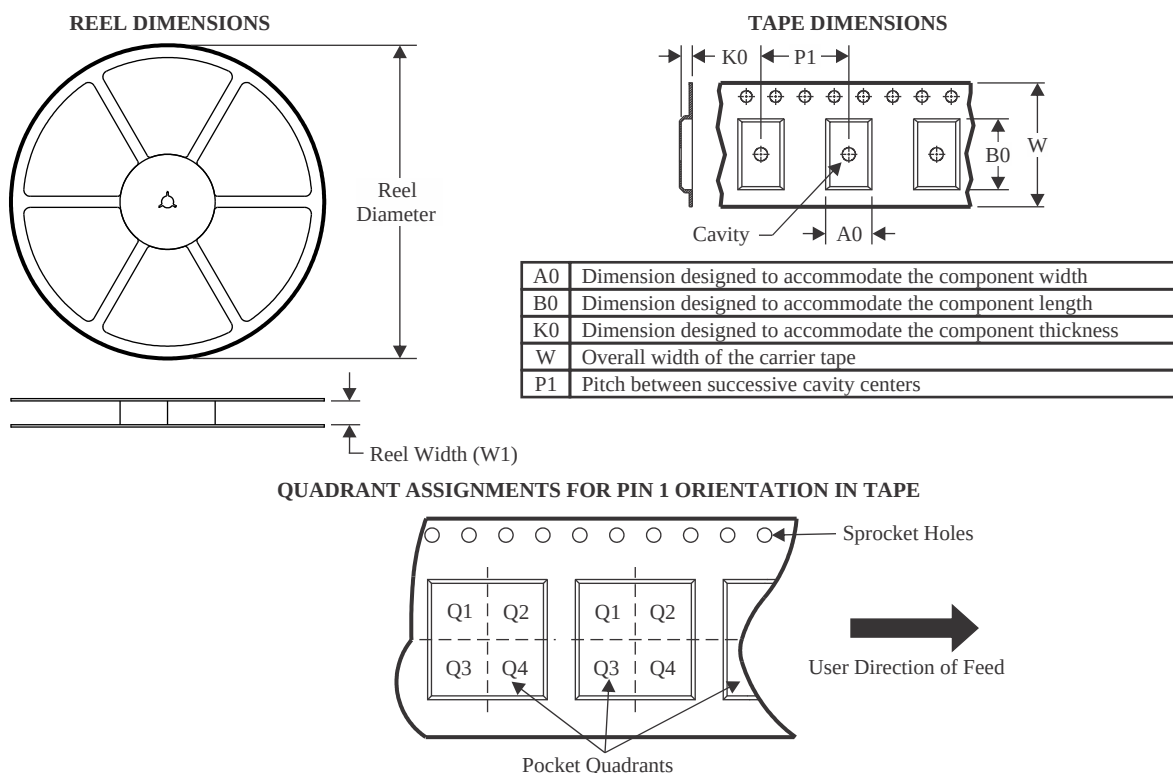
OTHER QUALIFIED VERSIONS OF LM2904-Q1, LM2904B-Q1, LM2904BA-Q1 :

- Catalog : [LM2904](#), [LM2904B](#), [LM2904BA](#)
- Enhanced Product : [LM2904-EP](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

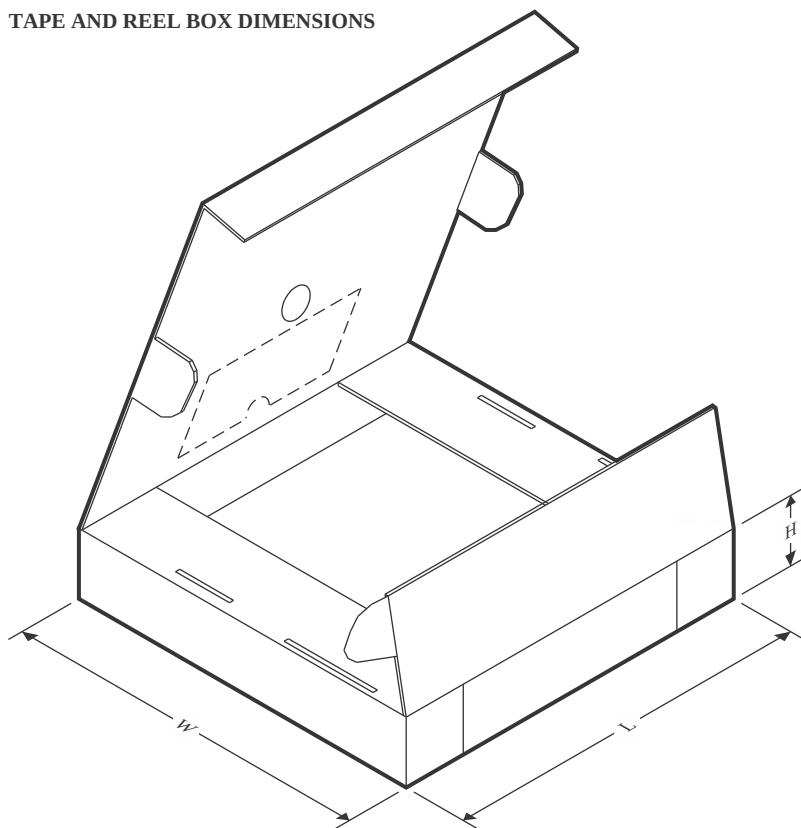


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM2904AVQDRG4Q1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM2904AVQDRG4Q1	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
LM2904AVQDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM2904AVQDRQ1	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
LM2904AVQPWRG4Q1	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LM2904AVQPWRQ1	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LM2904BAQDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
LM2904BAQDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LM2904BAQDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM2904BAQPWRQ1	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LM2904BQDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LM2904BQDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM2904BQPWRQ1	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LM2904BTQDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LM2904BTQDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
LM2904BTQDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM2904BTQPWRQ1	TSSOP	PW	8	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LM2904QDRG4Q1	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
LM2904QDRG4Q1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM2904QDRQ1	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
LM2904QDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM2904QPWRG4Q1	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LM2904QPWRQ1	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LM2904VQDRG4Q1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM2904VQDRG4Q1	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
LM2904VQDRQ1	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM2904VQDRQ1	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
LM2904VQPWRG4Q1	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LM2904VQPWRQ1	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

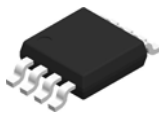


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM2904AVQDRG4Q1	SOIC	D	8	2500	340.5	338.1	20.6
LM2904AVQDRG4Q1	SOIC	D	8	2500	340.5	338.1	20.6
LM2904AVQDRQ1	SOIC	D	8	2500	340.5	338.1	20.6
LM2904AVQDRQ1	SOIC	D	8	2500	353.0	353.0	32.0
LM2904AVQPWRG4Q1	TSSOP	PW	8	2000	353.0	353.0	32.0
LM2904AVQPWRQ1	TSSOP	PW	8	2000	353.0	353.0	32.0
LM2904BAQDGKRQ1	VSSOP	DGK	8	2500	366.0	364.0	50.0
LM2904BAQDGKRQ1	VSSOP	DGK	8	2500	353.0	353.0	32.0
LM2904BAQDRQ1	SOIC	D	8	2500	340.5	338.1	20.6
LM2904BAQPWRQ1	TSSOP	PW	8	2000	353.0	353.0	32.0
LM2904BQDGKRQ1	VSSOP	DGK	8	2500	353.0	353.0	32.0
LM2904BQDRQ1	SOIC	D	8	2500	353.0	353.0	32.0
LM2904BQPWRQ1	TSSOP	PW	8	2000	353.0	353.0	32.0
LM2904BTQDGKRQ1	VSSOP	DGK	8	2500	353.0	353.0	32.0
LM2904BTQDGKRQ1	VSSOP	DGK	8	2500	366.0	364.0	50.0
LM2904BTQDRQ1	SOIC	D	8	3000	340.5	338.1	20.6
LM2904BTQPWRQ1	TSSOP	PW	8	3000	353.0	353.0	32.0
LM2904QDRG4Q1	SOIC	D	8	2500	340.5	338.1	20.6

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM2904QDRG4Q1	SOIC	D	8	2500	340.5	338.1	20.6
LM2904QDRQ1	SOIC	D	8	2500	353.0	353.0	32.0
LM2904QDRQ1	SOIC	D	8	2500	340.5	338.1	20.6
LM2904QPWRG4Q1	TSSOP	PW	8	2000	353.0	353.0	32.0
LM2904QPWRQ1	TSSOP	PW	8	2000	353.0	353.0	32.0
LM2904VQDRG4Q1	SOIC	D	8	2500	340.5	338.1	20.6
LM2904VQDRG4Q1	SOIC	D	8	2500	353.0	353.0	32.0
LM2904VQDRQ1	SOIC	D	8	2500	340.5	338.1	20.6
LM2904VQDRQ1	SOIC	D	8	2500	353.0	353.0	32.0
LM2904VQPWRG4Q1	TSSOP	PW	8	2000	353.0	353.0	32.0
LM2904VQPWRQ1	TSSOP	PW	8	2000	353.0	353.0	32.0

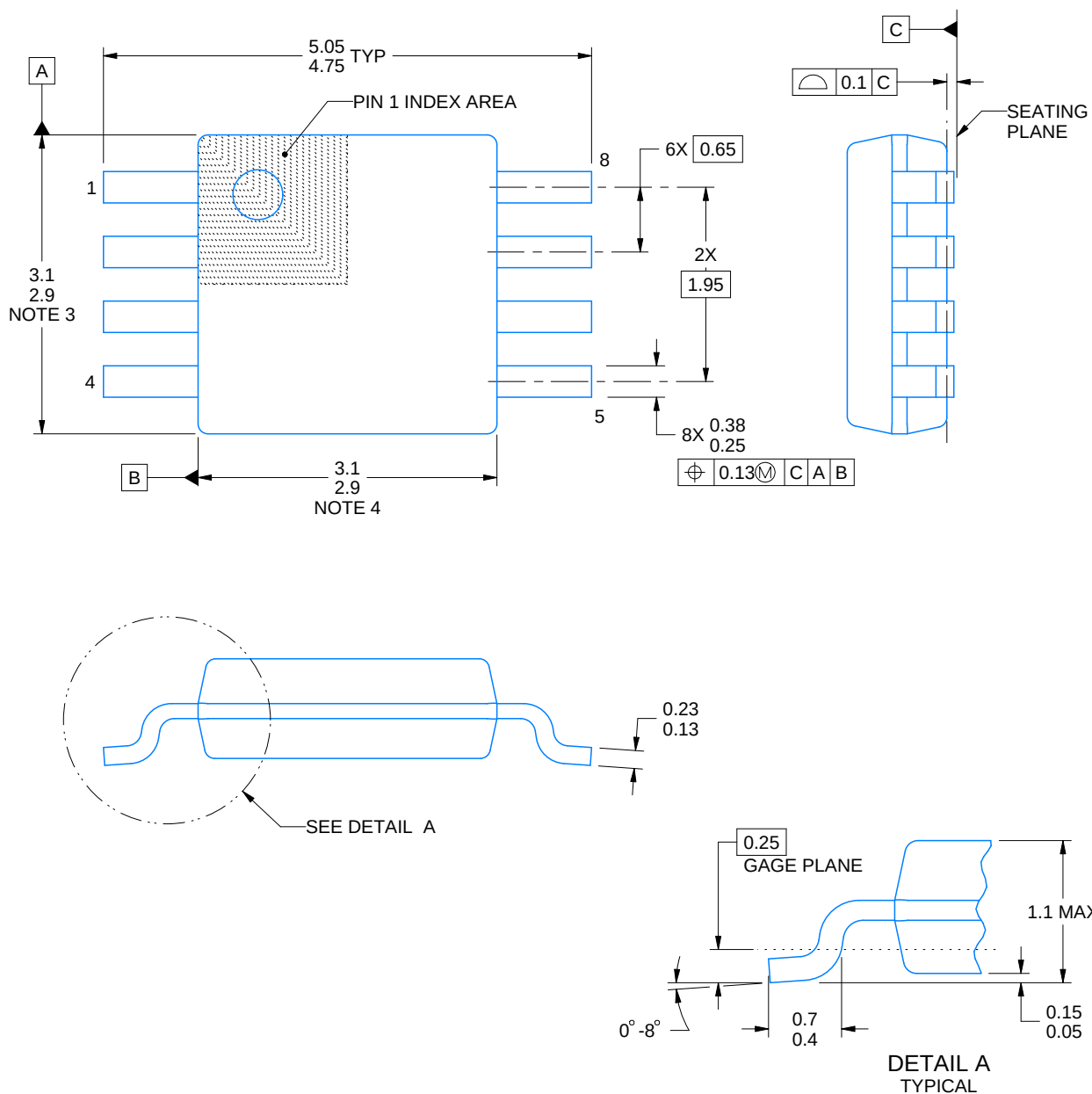
DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

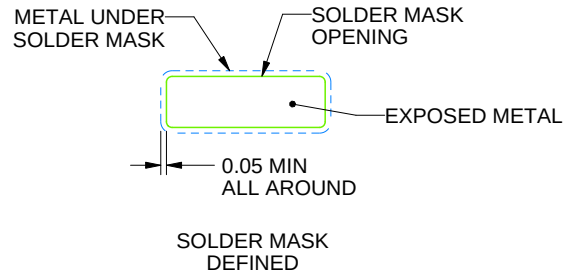
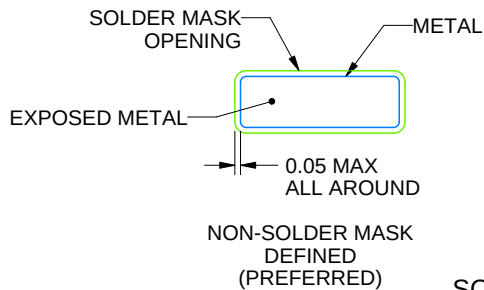
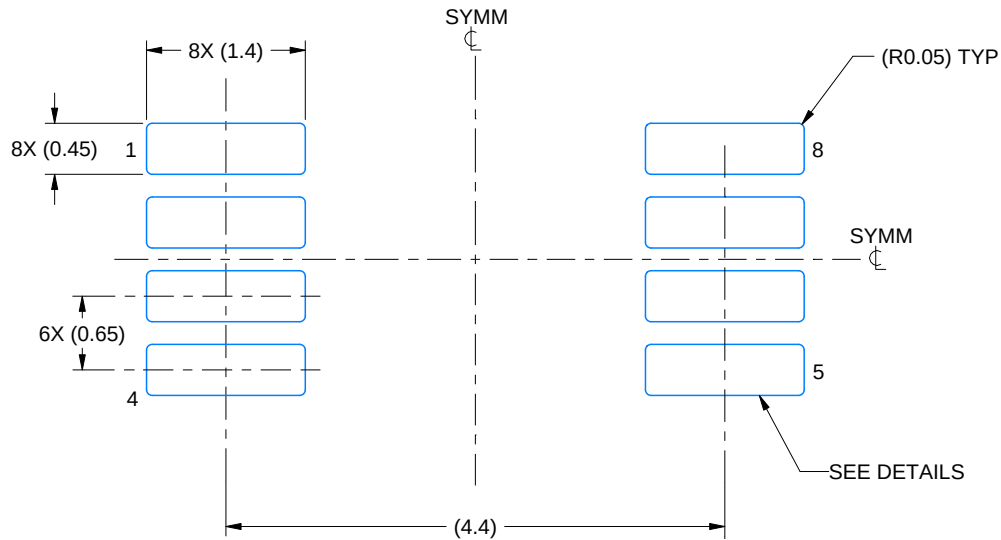
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

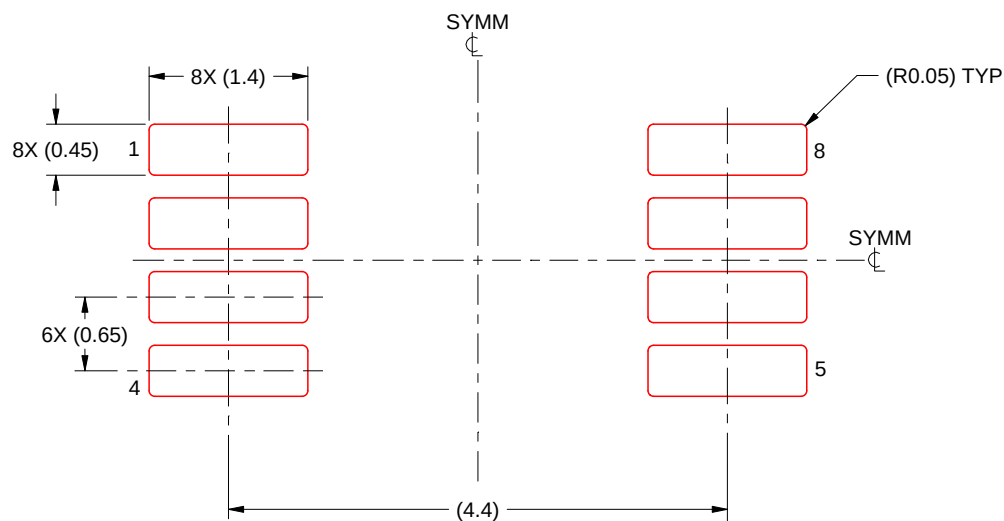
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

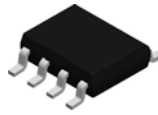


SOLDER PASTE EXAMPLE
SCALE: 15X

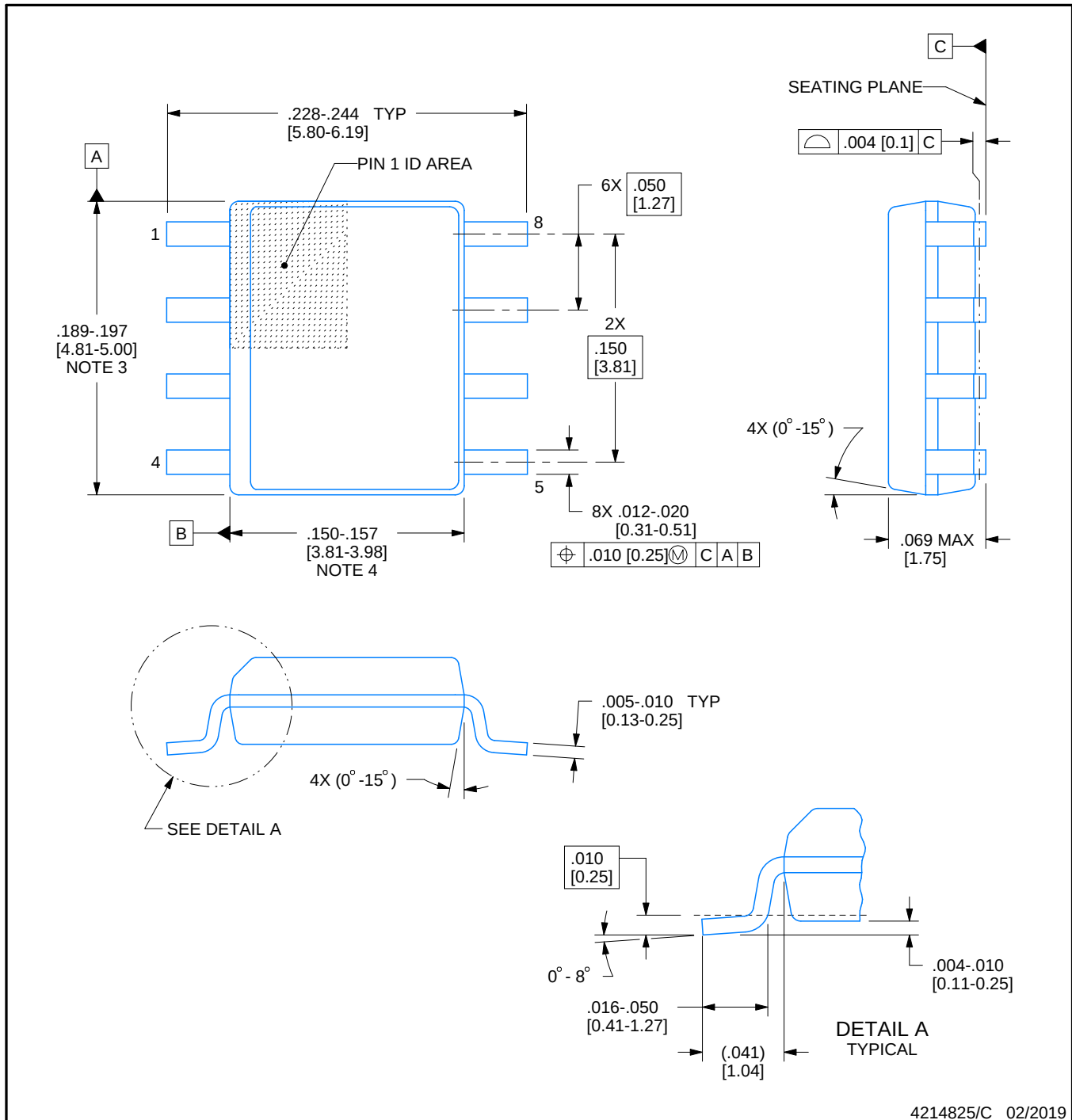
4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

D0008A**PACKAGE OUTLINE****SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

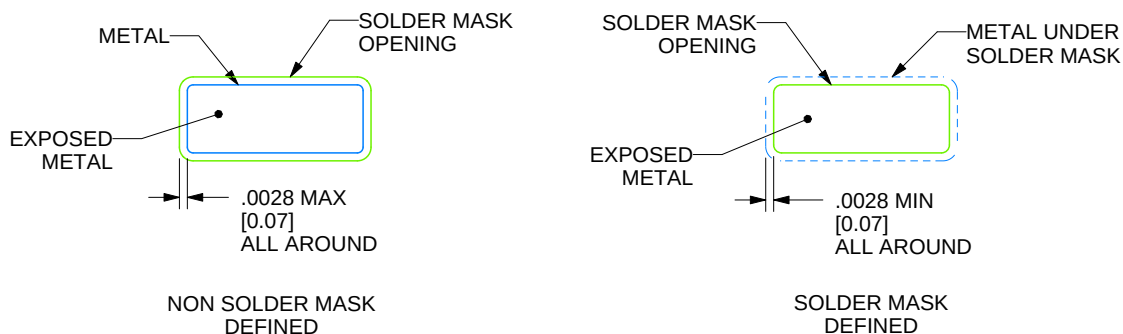
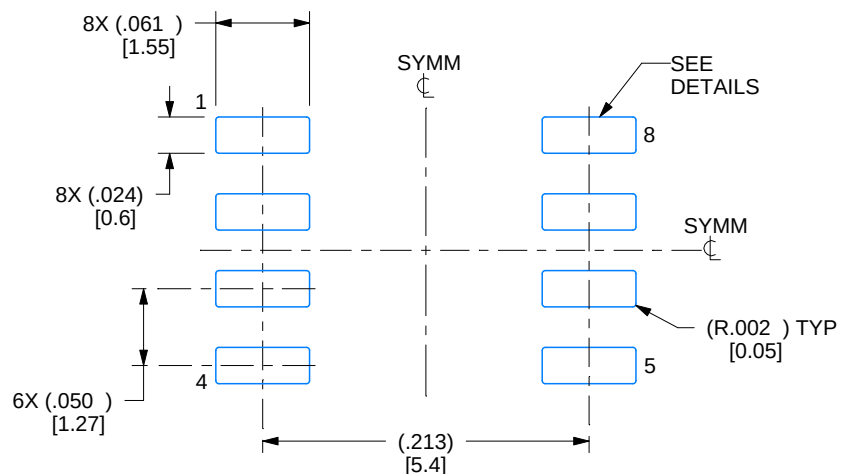
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed $.006$ [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

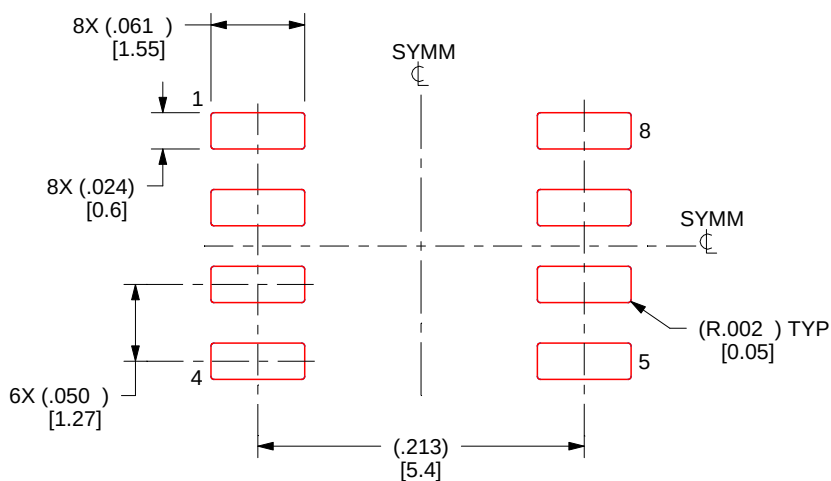
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

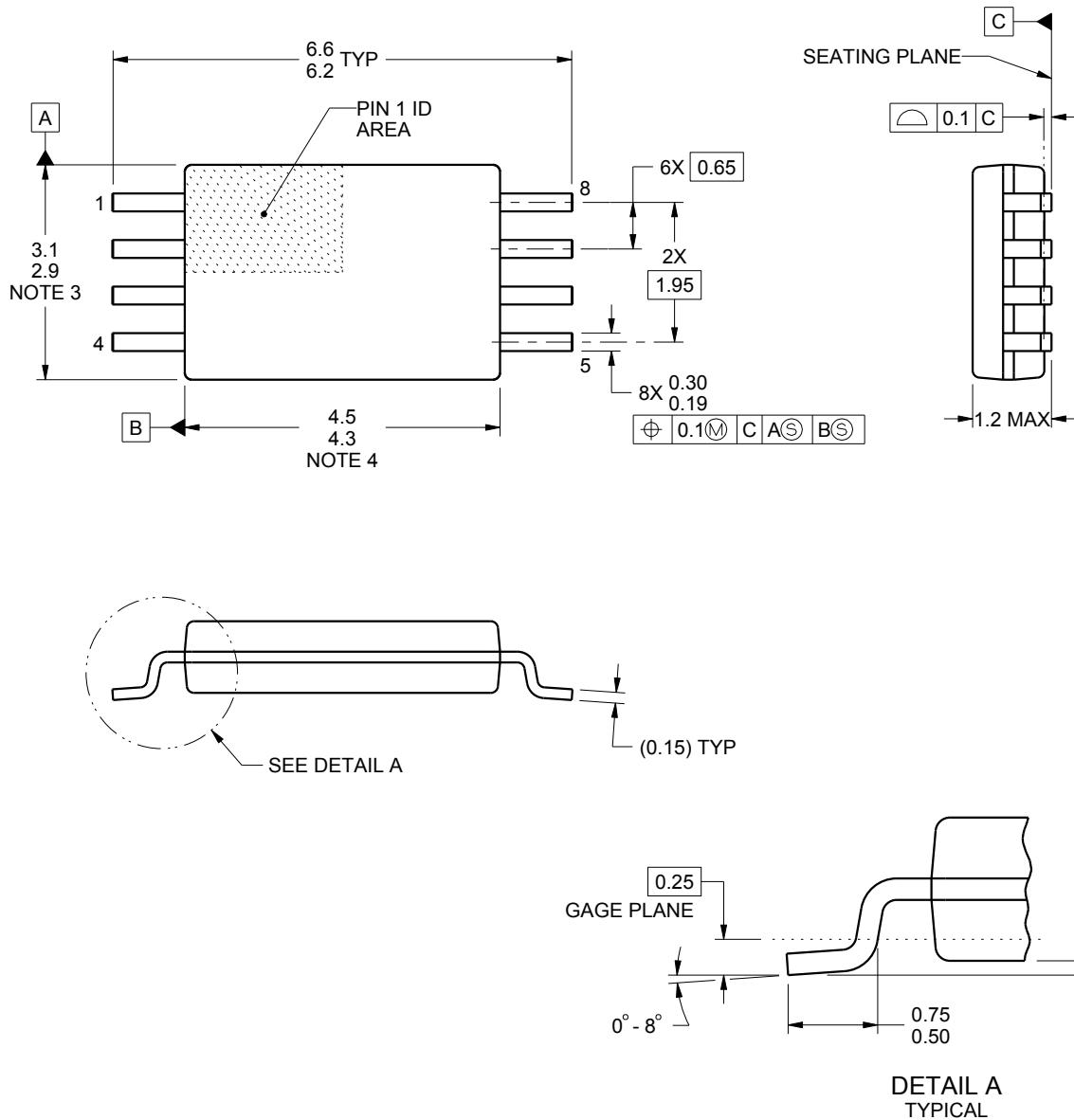
PW0008A



PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4221848/A 02/2015

NOTES:

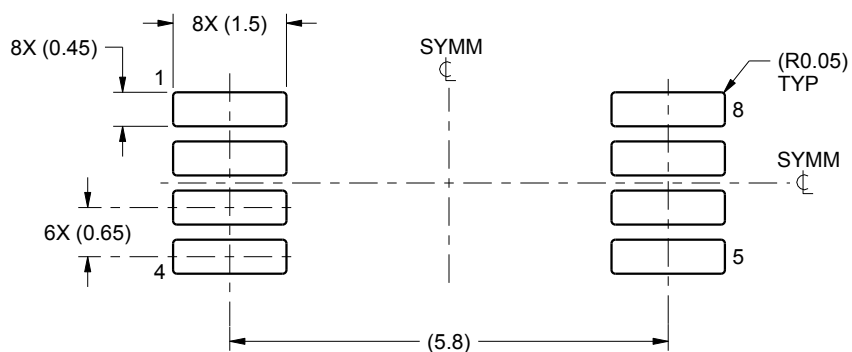
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.

EXAMPLE BOARD LAYOUT

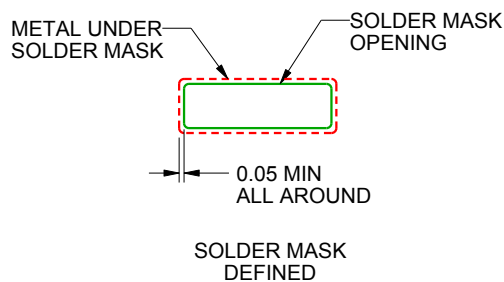
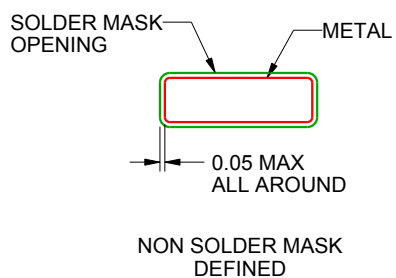
PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

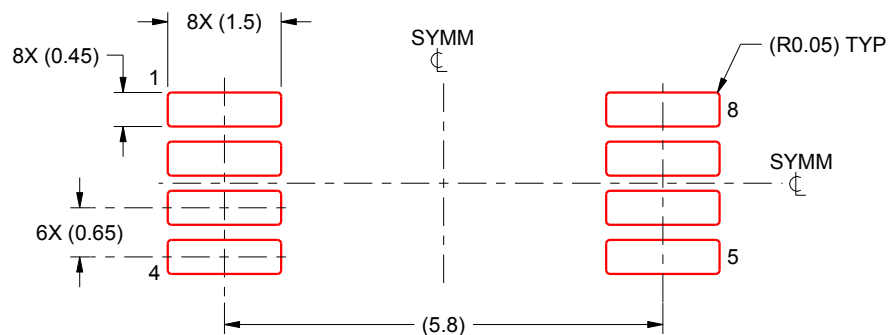
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月