LM317L 100mA 可変フローティング電圧レギュレータ

1 特長

- 出力電圧範囲 (V_O):
  - 可変 1.25V～37V
- 出力電流:最大 100mA
- 安定性のために出力コンデンサが不要
- 精度:
  - 入力レギュレーションは入力電圧の変化ごとに 0.007% (標準値)
  - 出力レギュレーション:0.5% (標準値)
- リップル除去の標準値:
  - 120Hz 時に 71.5dB
- パッケージ オプション:
  - SOIC
  - SOT-89
  - TO-92 (従来のチップのみ)
  - TSSOP (従来のチップのみ)
- 高出力電流要件については、LM317M (500mA) および LM317 (1.5A) を参照

2 アプリケーション

- 太陽光エネルギー
- HVAC システム
- 光ネットワーク端末装置 (ONT)
- AC インバータと VF ドライブ
- エネルギー ストレージ システム
- アナログ入力モジュール

3 説明

LM317L は、1.25V～37V の出力電圧範囲で最大 100mA を供給できる可変 3 端子正電圧レギュレータです。このデバイスは非常に簡単に使用でき、2 つの外付け抵抗だけで出力電圧を設定できます。

LM317L はフローティング トポロジを採用しており、入力と出力の差動電圧のみを検出します。したがって、最大入力と出力間の差動電圧を超えない限り、数百 V の電源をレギュレーションできます。

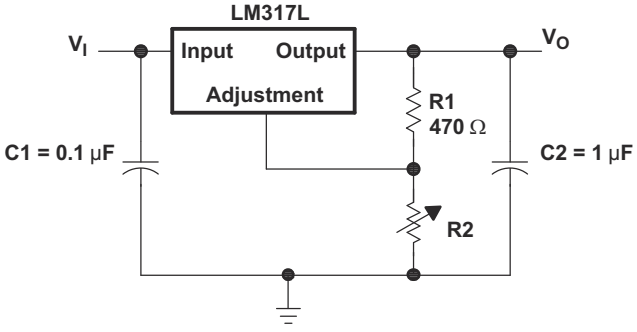
LM317L が入力フィルタ コンデンサから離れた位置にある場合を除き、コンデンサは不要です。離れている場合は、入力バイパス コンデンサが必要です。過渡応答を改善するために、オプションの出力コンデンサを追加できます。

新しいチップは、LM317LC シリーズと LM317LI シリーズの両方について、接合部温度範囲 –40°C ～ +125°C で特性評価されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
LM317L	D (SOIC、8)	4.9mm × 6mm
	LP (TO-92、3)	4.8mm × 3.68mm
	PK (SOT-89、3)	4.5mm × 4.095mm
	PW (TSSOP、8)	3mm × 6.4mm

(1) 詳細については、「メカニカル、パッケージ、および注文情報」を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図

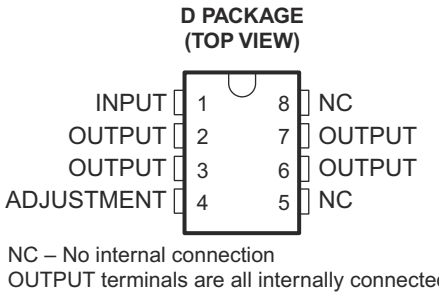
このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

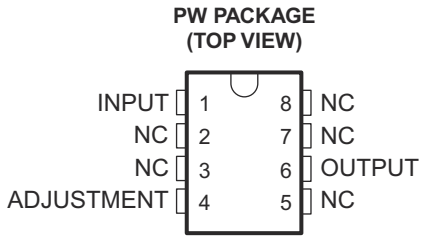
1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報 (SOIC & SOT-89).....5
5.5 熱に関する情報 (TO-92 & TSSOP).....5
5.6 電気的特性.....5
5.7 代表的特性.....7
6 詳細説明.....9
6.1 概要.....9
6.2 機能ブロック図.....9
6.3 機能説明.....10
6.4 デバイスの機能モード.....10
7 アプリケーションと実装.....11
7.1 使用上の注意.....11
7.2 代表的なアプリケーション.....11
7.3 システム例.....13
7.4 電源に関する推奨事項.....17
7.5 レイアウト.....17
7.6 推定接合部温度.....18
8 デバイスおよびドキュメントのサポート.....19
8.1 デバイス サポート.....19
8.2 ドキュメントの更新通知を受け取る方法.....19
8.3 サポート・リソース.....19
8.4 商標.....19
8.5 静電気放電に関する注意事項.....20
8.6 用語集.....20
9 改訂履歴.....20
10 メカニカル、パッケージ、および注文情報.....21

Copyright © 2026 Texas Instruments Incorporated

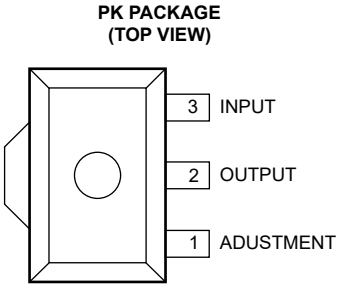
4 ピン構成および機能



NC – No internal connection
OUTPUT terminals are all internally connected.



NC – No internal connection



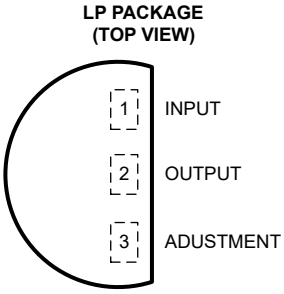


表 4-1. ピンの機能

名称	D	PW	LP	PK	タイプ(1)	説明
調整	4	4	3	1	I	出力帰還電圧
入力	1	1	1	3	I	入力電源電圧
NC	5、8	2、3、5、7、8	—	—	—	接続なし。熱性能を向上させるため、ピンをグランドに接続することを推奨しますが、必須ではありません。
出力	2、3、6、7	6	2	2	O	制御された出力電圧

(1) I = 入力、O = 出力

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1) (2)

			最小値	最大値	単位
$V_I - V_O$	入力と出力の間差動電圧	従来のチップ (CSO:SHE)		35	V
		従来のチップ (CSO:TID)		40	
		新チップ (CSO:RFB)		45	
T_J	動作時接合部温度			150	°C
T_{stg}	保存温度	従来のチップ (CSO:SHE)	-65	150	°C
		従来のチップ (CSO:TID)	-55	150	
		新チップ (CSO:RFB)	-65	150	

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) CSO は、チップの製造拠点のことです。

5.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	従来のチップ (CSO:SHE)	±3000	V
			従来のチップ (CSO:TID)	±2000	
			新チップ (CSO:RFB)	±3000	
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン (2)	従来のチップ (CSO:SHE & CSO:TID)	±2000	
			新チップ (CSO:RFB)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

				最小値	公称値	最大値	単位
V_o	出力電圧		従来のチップ (CSO:SHE)	1.25		32	V
			従来のチップ (CSO:TID)	1.25		37	
			新チップ (CSO:RFB)	1.25		37	
$V_I - V_o$	入力と出力の間差動電圧		従来のチップ (CSO:SHE)	2.5		32	V
			従来のチップ (CSO:TID)	2.5		37	
			新チップ (CSO:RFB)	2.5		37	
I_O	出力電流			2.5		100	mA
T_J	動作時接合部温度	LM317LC	従来のチップ (CSO:SHE)	0		125	°C
			従来のチップ (CSO:TID)	-40		125	
			新チップ (CSO:RFB)	-40		125	
		LM317LI		-40		125	

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報 (SOIC & SOT-89)

熱評価基準(1) (2)		LM317L						単位
		SOIC (D、8 ピン)			SOT-89 (PK、3 ピン)			
		従来のチップ (CSO:SHE)	従来のチップ (CSO:TID)	新チップ (CSO:RFB)	従来のチップ (CSO:SHE)	従来のチップ (CSO:TID)	新チップ (CSO:RFB)	
$R_{\theta JA}$	接合部から周囲への熱抵抗	97.1	96.5	98.18	51.5	44	43.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	–	48.6	48.44	–	86.9	124.2	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	–	34.8	31.90	–	8.5	4.8	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	–	5.9	6.38	–	4.5	5.9	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	–	34.2	31.59	–	8.5	4.9	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	–	–	–	–	6.9	3.1	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。
(2) 従来のチップ デバイスでは限られた熱特性指標のみが記載されていますが、新しいチップ (CSO:RFB) では追加の熱特性指標が含まれています。

5.5 熱に関する情報 (TO-92 & TSSOP)

熱評価基準(1) (2)		TO-92 (LP)		TSSOP (PW)	単位
		3 ピン		8 ピン	
		従来のチップ (CSO: SHE)	従来のチップ (CSO: TID)	従来のチップ (CSO: SHE)	
$R_{\theta JA}$	接合部から周囲への熱抵抗	139.5	156.7	149.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	–	80.6	–	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	–	–	–	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	–	24.7	–	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	–	135.8	–	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	–	–	–	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。
(2) 従来のチップ デバイスでは限られた熱特性指標のみが記載されていますが、新しいチップ (CSO:RFB) では、SOIC および SOT-89 パッケージについて追加の熱特性指標が含まれています。

5.6 電気的特性

推奨動作仮想接合部温度範囲全体に適用されます。特に記載のない限り、これらの仕様は以下の試験条件に適用されます: $V_I - V_O$ = 5V および I_O = 40mA。すべての特性は、入力に 0.1µF のコンデンサ、出力に 1µF のコンデンサを接続して測定されます。

パラメータ	テスト条件			最小値	標準値	最大値	単位
ライン レギュレーション	$V_I - V_O$ = 5V ～ 35V	T_J = 25°C	従来のチップ (CSO:SHE & CSO:TID)		0.01	0.02	%/V
		I_O = 2.5mA～100mA			0.02	0.05	
		T_J = 25°C	新チップ (CSO:RFB)		0.007	0.021	
		I_O = 2.5mA～100mA			0.006	0.0275	
リップル除去	V_O = 10V、f = 120Hz				55		dB
	V_O = 10V、ADJUSTMENT とグランド間に 10µF のコンデンサ、f = 120Hz		従来のチップ (CSO:SHE & CSO:TID)	66	80		
			新チップ (CSO:RFB)	64	71.5		

Copyright © 2026 Texas Instruments Incorporated

5.6 電気的特性 (続き)

推奨動作仮想接合部温度範囲全体に適用されます。特に記載のない限り、これらの仕様は以下の試験条件に適用されます: $V_I - V_O$ = 5V および I_O = 40mA。すべての特性は、入力に 0.1µF のコンデンサ、出力に 1µF のコンデンサを接続して測定されます。

パラメータ	テスト条件			最小値	標準値	最大値	単位
出力電圧レギュレーション	$V_I - V_O$ = 5V ～ 35V、T_J = 25°C、I_O = 2.5mA ～ 100mA	$V_O \le 5V$	従来のチップ (CSO:SHE & CSO:TID)		25		mV
		$V_O \ge 5V$			5		mV/V
	$V_I - V_O$ = 5V ～ 35V、I_O = 2.5mA ～ 100mA	$V_O \le 5V$			50		mV
		$V_O \ge 5V$			10		mV/V
	$V_I - V_O$ = 5V ～ 35V、T_J = 25°C、I_O = 2.5mA ～ 100mA	$V_O \le 5V$	新チップ (CSO:RFB)		25		mV
		$V_O \ge 5V$			5		mV/V
	$V_I - V_O$ = 5V ～ 35V、I_O = 2.5mA ～ 100mA	$V_O \le 5V$			25		mV
		$V_O \ge 5V$			5		mV/V
出力電圧の温度による変化	T_J = 0℃～125℃		従来のチップ (CSO:SHE & CSO:TID)		10		mV/V
	T_J = –40℃～125℃		新チップ (CSO:RFB)		10		
出力電圧の長期ドリフト	T_J = 125°C、$V_I - V_O$ = 35V で 1000 時間後				3	10	mV/V
出力ノイズ電圧	f = 10Hz ～ 10kHz、T_J = 25°C				10		µV/V
レギュレーションを維持するための最小出力電流	$V_I - V_O$ = 35V		従来のチップ (CSO:SHE)		1.5	2.5	mA
			従来のチップ (CSO:TID)		3.5	5	
			新チップ (CSO:RFB)		1.28	1.72	
ピーク出力電流	$V_I - V_O \le 35V$		従来のチップ (CSO:SHE)	100	200		mA
	3V ≤ $V_I - V_O$ ≤ 13V		従来のチップ (CSO:TID)	100	200		
	$V_I - V_O$ = 35V			25	50	150	
	$V_I - V_O \le 35V$		新チップ (CSO:RFB)	160	290		
調整電流			従来のチップ (CSO:SHE & CSO:TID)		50	100	µA
			新チップ (CSO:RFB)		44	57	
調整電流の変化	$V_I - V_O$ = 2.5V ～ 35V、I_O = 2.5mA ～ 100mA		従来のチップ (CSO:SHE & CSO:TID)		0.2	5	µA
	$V_I - V_O$ = 2.8V ～ 35V、I_O = 2.5mA ～ 100mA		新チップ (CSO:RFB)		0.8	2.5	µA
リファレンス電圧 (ADJUSTMENT への出力)	$V_I - V_O$ = 5.0V ～ 35V、I_O = 2.5mA ～ 100mA、P ≤ 定格消費電力		従来のチップ (CSO:SHE & CSO:TID)	1.2	1.25	1.3	V
			新チップ (CSO:RFB)	1.22	1.256	1.292	

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性

特に記載のない限り、仕様は推奨動作仮想接合部温度範囲全体、$V_I - V_O$ = 5V、I_O = 40mA、P ≤ 定格消費電力の条件に適用されます。

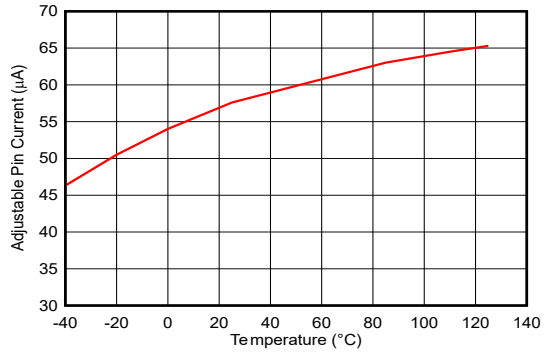


図 5-1. 温度範囲全体にわたる調整電流の変化 (従来のチップ、CSO: SHE)

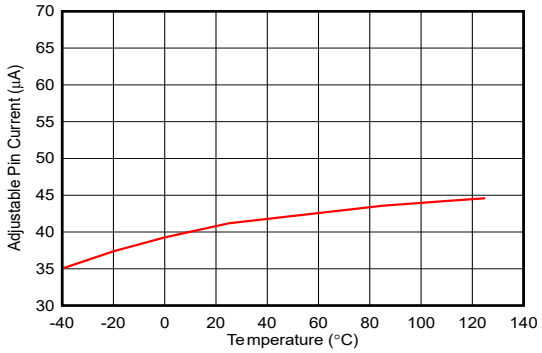


図 5-2. 温度範囲全体にわたる調整電流の変化 (従来のチップ、CSO: TID)

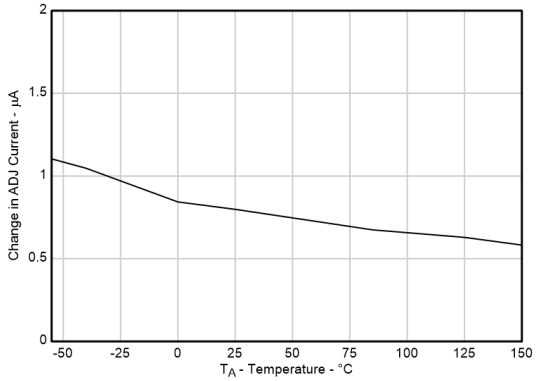
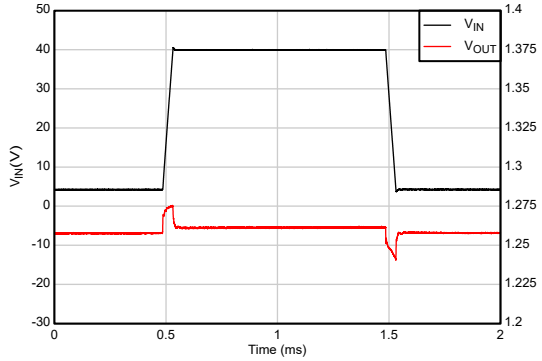
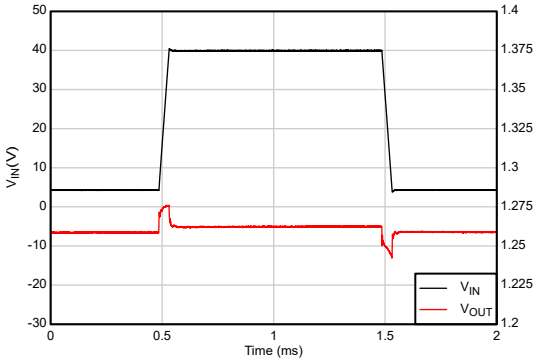


図 5-3. 温度範囲全体にわたる調整電流の変化 (新チップ、CSO: RFB)



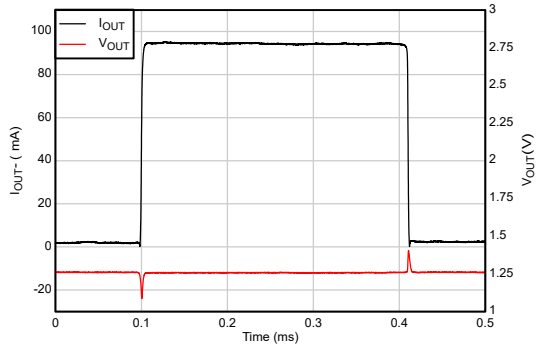
I_O = 2.5mA、C_{OUT} = 0µF、C_{IN} = 1µF

図 5-4. ライン過渡応答 (新チップ、CSO: RFB)



I_O = 100mA、C_{OUT} = 0µF、C_{IN} = 1µF

図 5-5. ライン過渡応答 (新チップ、CSO: RFB)

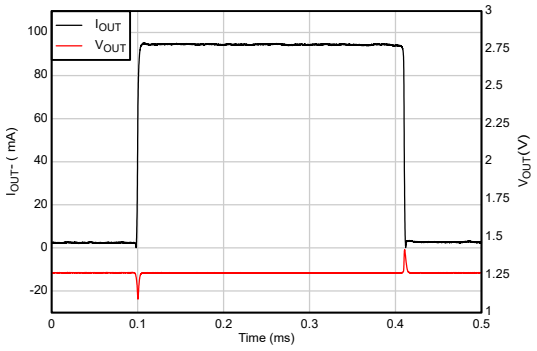


$V_I - V_O$ = 3V、C_{OUT} = 0µF、C_{IN} = 1µF

図 5-6. 負荷過渡 (新チップ、CSO: RFB)

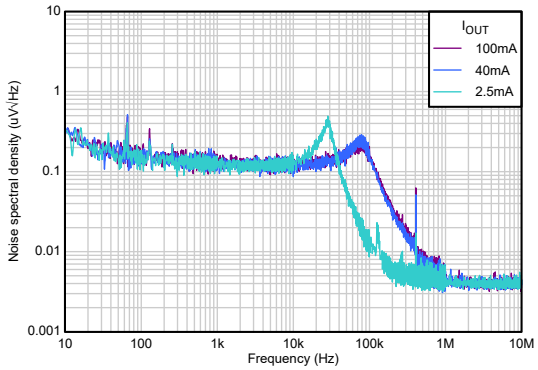
Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性 (続き)



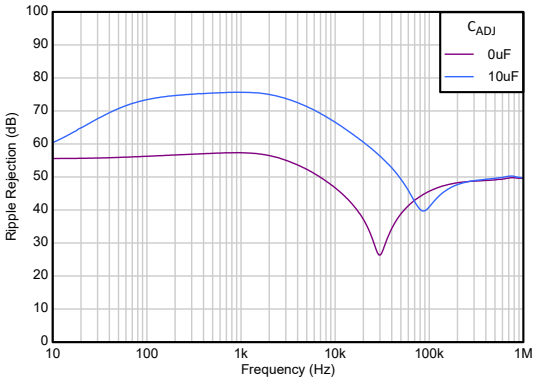
$V_I – V_O$ = 40V、C_{OUT} = 0µF、C_{IN} = 1µF

図 5-7. 負荷過渡 (新チップ、CSO: RFB)



C_{IN} = 1µF、C_{OUT} = 0.1µF

図 5-8. 出力ノイズ (新チップ、CSO: RFB)



C_{IN} = 1µF、C_{OUT} = 0.1µF

図 5-9. リップル除去、(新チップ、CSO: RFB)

Copyright © 2026 Texas Instruments Incorporated

6 詳細説明

6.1 概要

LM317L は、最大 37V (CSO:TID & CSO:RFB) の高電圧耐性を備えた 100mA リニアレギュレータです。このデバイスには、グランドではなく、出力を基準とした帰還電圧があります。この非接地設計により、LM317L は優れたライン レギュレーションおよび負荷レギュレーションを実現します。この設計により、一個の抵抗を使用してデバイスを電流源または電流シンクとして使用することもできます。推奨出力範囲内の任意の出力電圧は、二個の抵抗を使用することで得られます。デバイスのバイアス電流は出力に流れるため、この電流は負荷またはフィードバック抵抗で消費する必要があります。電気的特性のレギュレーションを維持するには、最小出力電流を参照してください。

消費電力は、パストランジスタの電圧と電流の積であり、式 1 に示すように計算されます。

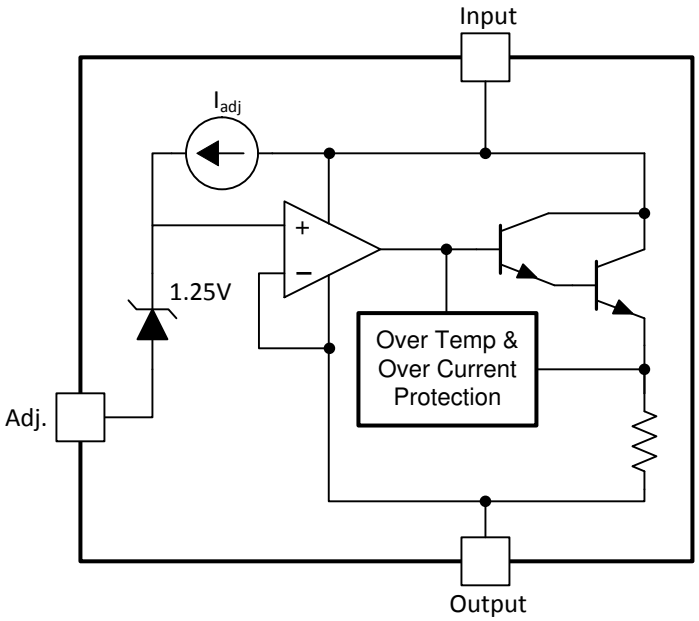
$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (1)$$

アプリケーションのヒート シンクは、式 1 で計算された電力を吸収できる必要があります。

LM317L レギュレータは、電流制限機能と熱過負荷保護機能を備えています。ADJUSTMENT が切断されている場合でも、すべての過負荷保護回路は完全に機能します。通常、コンデンサは不要ですが、デバイスが入力フィルタ コンデンサから離れた位置にある場合は、入力バイパス コンデンサが必要です。過渡応答を改善するために、オプションの出力コンデンサを追加できます。ADJUSTMENT をバイパスすることで、標準的な三端子レギュレータでは実現が困難な非常に高いリップル除去率を得ることができます。

固定出力レギュレータの代替に加えて、LM317L レギュレータはさまざまなアプリケーションで有用です。レギュレータはフローティング構成で、入力と出力の差動電圧のみを検出するため、最大入力-出力間差動電圧を超えない限り、数百 V の電源でもレギュレーションできます。主な用途はプログラム可能な出力レギュレータですが、ADJUSTMENT と OUTPUT の間に固定抵抗を接続することで、このデバイスを高精度電流レギュレータとして使用できます。ADJUSTMENT をグランドにクランプして出力を 1.25V に設定することで、電子シャットダウン機能を備えた電源を実現できます。この電圧では、ほとんどの負荷で消費電流がわずかになります。

6.2 機能ブロック図



6.3 機能説明

6.3.1 NPN ダーリントン出力駆動

NPN ダーリントン出力トポロジは、本質的に低い出力インピーダンスを備えており、出力コンデンサはオプションです。最大電流をサポートし、温度上昇を最小限に抑えるには、2.5V のヘッドルーム ($V_I – V_O$) を推奨します。推奨動作条件を参照してください。

6.3.2 過負荷ブロック

過電流および過熱シャットダウンにより、過負荷や過度の高温動作によるデバイスの損傷を防止します。

6.3.3 プログラマブル フィードバック

ADJUST ピンに 1.25V のオフセット入力を持つオペアンプを使用することで、出力電圧または出力電流 (両方ではない) を容易に設定できます。電流レギュレーション用途では、抵抗値が $1.25V/I_{OUT}$、定格電力が $(1.25V)^2/R$ より大きい一個の抵抗を使用します。電圧レギュレーション用途では、二個の抵抗で出力電圧を設定します。回路図と抵抗の式については、代表的なアプリケーションセクションを参照してください。

6.4 デバイスの機能モード

6.4.1 通常動作

出力レギュレーションを行うため、デバイスの OUTPUT ピンは、OUTPUT ピンの電圧が ADJUST 端子より 1.25V 高くなるように必要な電流を供給します。

6.4.2 低入力電圧で動作

デバイスがレギュレーション動作を行うには、最大 2.5V のヘッドルーム ($V_I – V_O$) が必要です。推奨動作条件を参照してください。ヘッドルームがこれより小さい場合、デバイスはドロップアウトする可能性があります。ドロップアウト動作時、出力電圧は入力電圧からドロップアウト電圧を差し引いた値になります。

6.4.3 軽負荷時の動作モ

このデバイスは、バイアス電流を OUTPUT ピンに渡します。レギュレーションを維持するには、負荷またはフィードバック回路でこの最小電流を消費する必要があり、消費されない場合は出力電圧が高くなりすぎる可能性があります。電気的特性のレギュレーションを維持するには、最小出力電流を参照してください。

6.4.4 自己保護の操作

過負荷が発生すると、デバイスはダーリントン NPN 出力段をシャットダウンするか、出力電流を低減してデバイスの損傷を防止します。故障状態が解消されると、このデバイスは自動的に回復します。過負荷状態が解消されるまで、LM317L の出力が低下したり、デバイスがサーマル シャットダウンへの移行と復帰を繰り返したりする可能性があり、デバイスの長期信頼性に影響を与える場合があります。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

二つの出力抵抗は、V_{OUT} を調整するために必要な部品だけです。

7.2 代表的なアプリケーション

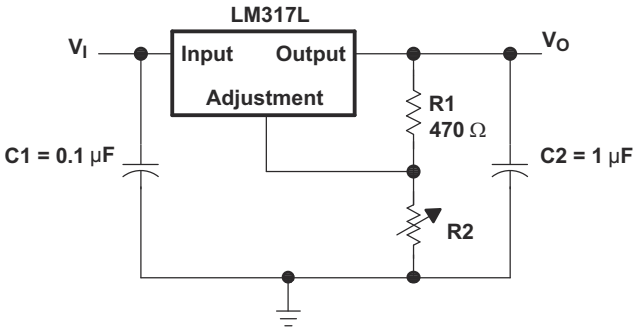


図 7-1. 代表的なアプリケーション回路図

7.2.1 設計要件

1. レギュレータがフィルタ コンデンサから遠い場合は、入力バイパス コンデンサを使用します。
2. この設計例では、表 7-1 に記載されているパラメータを使用します。
3. 出力コンデンサを使用すると過渡応答が改善されますが、オプションです。

表 7-1. 設計パラメータ

設計パラメータ	数値の例
入力電圧範囲	(出力電圧 + 2.5V) ～ 37V
出力電圧	$V_{REF} \times (1 + R_2/R_1) + I_{ADJ} \times R_2$

7.2.2 詳細な設計手順

7.2.2.1 入力コンデンサ

入力コンデンサは必須ではありませんが、特にレギュレータが電源フィルタ コンデンサの近くにない場合は、推奨されます。0.1µF のセラミックまたは 1µF タンタルは、特に調整および出力コンデンサを使用する場合に、ほとんどのアプリケーションで十分なバイパスを提供します。

7.2.2.2 出力コンデンサ

出力コンデンサにより過渡応答が向上しますが、安定性のためには必要ありません。

7.2.2.3 帰還抵抗

帰還抵抗は、式 2 を使用して出力電圧を設定します。

$$V_{REF} \times (1 + R_2 / R_1) + I_{ADJ} \times R_2 \quad (2)$$

Copyright © 2026 Texas Instruments Incorporated

7.2.2.4 調整端子コンデンサ

オプションの調整ピン コンデンサ (C_{ADJ}) により、リップルの増幅を防止することで、リップル除去が改善されます。コンデンサを使用し、V_{OUT} > 6V の場合、出力に対して保護ダイオードを調整することを推奨します。

7.2.2.5 設計オプションおよびパラメータ

一般的なリニア レギュレータ設計では、以下のパラメータが重要になります:

- 入力電圧範囲
- 入力コンデンサ範囲
- 出力電圧
- 出力電流定格
- 出力コンデンサ範囲
- 入力マイクロ短路保護
- 安定性
- リップル除去

7.2.2.6 出力電圧

式 3 に示されているように V_O が算出されます。

$$V_{OUT} = V_{REF} \times \left(1 + \frac{R_2}{R_1}\right) + (I_{ADJ} \times R_2) \quad (3)$$

I_{ADJ} は標準で 44µA であるため、ほとんどのアプリケーションではこのパラメータは無視できます。

7.2.2.7 入力マイクロ短路保護

故障時に入力がグランドに短絡した場合、保護ダイオードにより、外付けコンデンサがデバイス内部の低インピーダンス経路を通じて放電する可能性を防止します。C_3 と C_2 にそれぞれ低インピーダンスの放電経路を設けることで、入力と出力の間に接続した保護ダイオード、および ADJ と出力の間に接続した保護ダイオードにより、コンデンサがレギュレータの出力へ放電するのを防止します。

7.2.2.8 リップル除去

リップル除去の改善には、C_{ADJ} を使用します。このコンデンサは、出力電圧がより高く調整されたときのリップルの増幅を防止します。C_{ADJ} を使用する場合、VOUT が急速に低下したときに ADJ の逆バイアスを防止する保護ダイオードを内蔵しています。詳細については、調整端子コンデンサを参照してください。

7.2.3 アプリケーション曲線

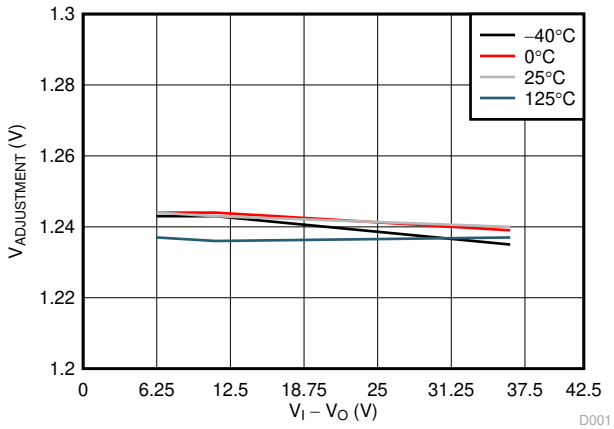


図 7-2. 出力過熱に対する調整電圧 (従来のチップ、CSO:SHE)

Copyright © 2026 Texas Instruments Incorporated

7.3 システム例

7.3.1 リップル除去が改善されたレギュレータ回路

C2 は調整ピンの電圧を安定させるのに役立ち、ノイズの除去に役立ちます。出力がグランドに短絡した場合の C2 を放電するために、ダイオード D1 が存在します。

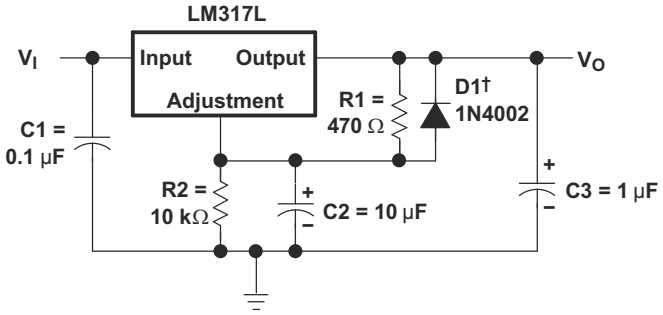


図 7-3. リップル除去が改善されたレギュレータ回路

7.3.2 0V～30V レギュレータ回路

0V ～ 30V のレギュレータ回路のアプリケーションでは、出力電圧は式 4 で決定されます。

$$V_{OUT} = V_{REF}\left(1 + \frac{R_2 + R_3}{R_1}\right) - 10\,V \tag{4}$$

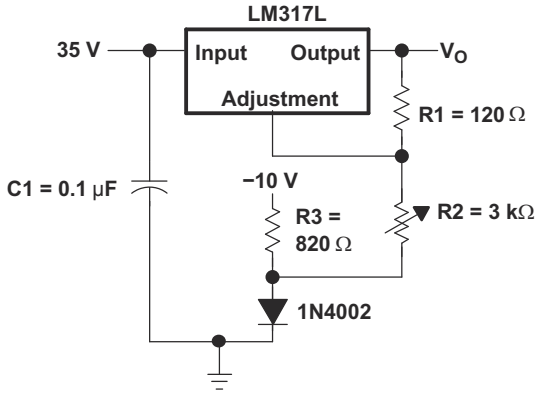


図 7-4. 0V～30V レギュレータ回路

注

このアプリケーション回路は、従来のチップのみを使用してテスト済みです (CSO: SHE & CSO: TID)。TI のお客様は、システムの機能を確認するために、自身の設計実装を検証およびテストする責任があります。

7.3.3 高精度電流制限回路

このアプリケーションは、図 7-5 に示す I_{LIMIT} に出力電流を制限します。

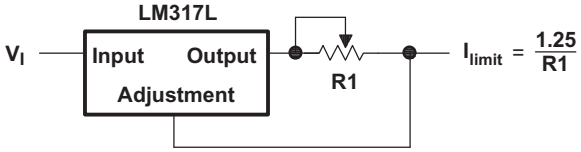


図 7-5. 高精度電流制限回路

7.3.4 トラッキング プリレギュレータ回路

トラッキング プリレギュレータ回路では、回路内の二つ目の LM317L にかかる電圧を一定に保ちます。

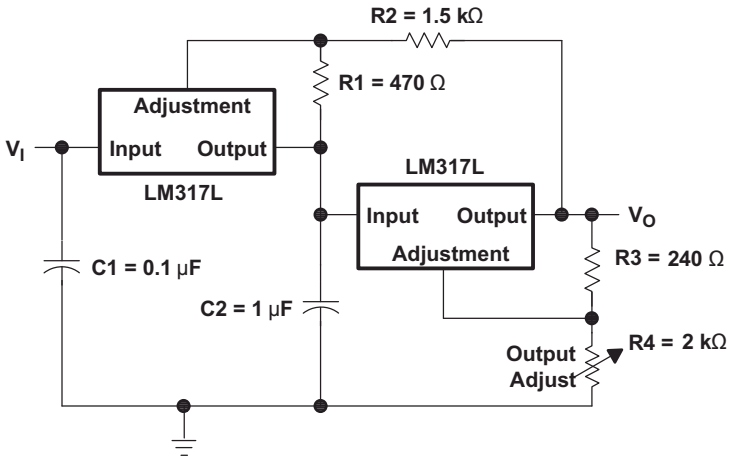


図 7-6. トラッキング プリレギュレータ回路

7.3.5 低速ターンオン 15V レギュレータ回路

コンデンサ C1 は PNP トランジスタと組み合わせることで、回路が電圧供給をゆっくりと開始するようにします。最初は、コンデンサは充電されていません。したがって、式 5 で決定されるように、出力電圧は 1.9V で開始されます。コンデンサの電圧が上昇すると、V_{OUT} は同じ割合で上昇します。出力電圧が R1 と R2 で決まる値に達すると、PNP トランジスタはオフになります。

$$V_{C1} + V_{BE} + 1.25V = 0V + 0.65V + 1.25V = 1.9V \quad (5)$$

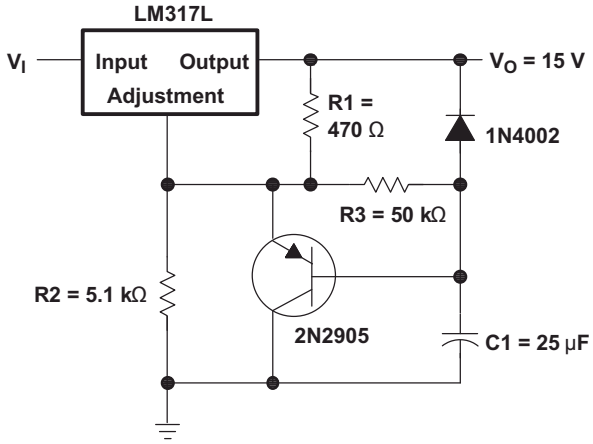


図 7-7. 15V レギュレータ回路の低速ターンオン

注

このアプリケーション回路は、従来のチップのみを使用してテスト済みです (CSO: SHE & CSO: TID)。TI のお客様は、システムの機能を確認するために、自身の設計実装を検証およびテストする責任があります。

Copyright © 2026 Texas Instruments Incorporated

7.3.6 50mA 定電流、バッテリ チャージャ回路

電流制限動作モードを使用すると、式 6 で決定される固定電流でバッテリをトリクル充電できます。V_I は、V_{BAT} + 3.75V よりも大きい必要があります。

$$I_{CHG} = 1.25V \div 24\Omega \quad (6)$$

(1.25V [V_{REF}] + 2.5V [headroom]) (7)

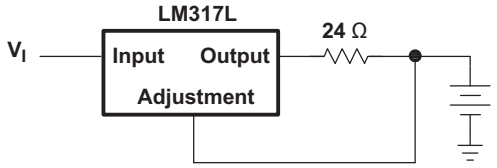


図 7-8. 50mA 定電流、バッテリ チャージャ回路

7.3.7 電流制限 6V チャージャ

充電電流が増加すると、NPN が調整ピンからの電流のシンクを開始するまで下側の抵抗の電圧は上昇します。ADJUSTMENT ピンの電圧が低下し、それに伴って出力電圧も低下して、NPN トランジスタが導通しなくなるまで下がります。

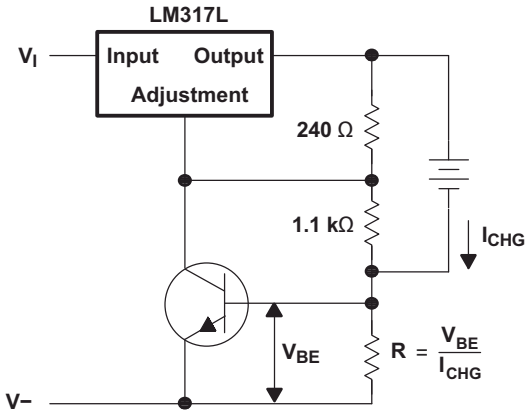


図 7-9. 電流制限 6V チャージャ

注

このアプリケーション回路は、従来のチップのみを使用してテスト済みです (CSO: SHE & CSO: TID)。TI のお客様は、システムの機能を確認するために、自身の設計実装を検証およびテストする責任があります。

7.3.8 大電流可変レギュレータ

このアプリケーションでは、LM317L の ADJUSTMENT ピンの抵抗分圧回路によって決まる出力電圧を維持しながら、LM317L 単体で供給できる電流よりも大きな電流を V_{OUT} から供給できます。

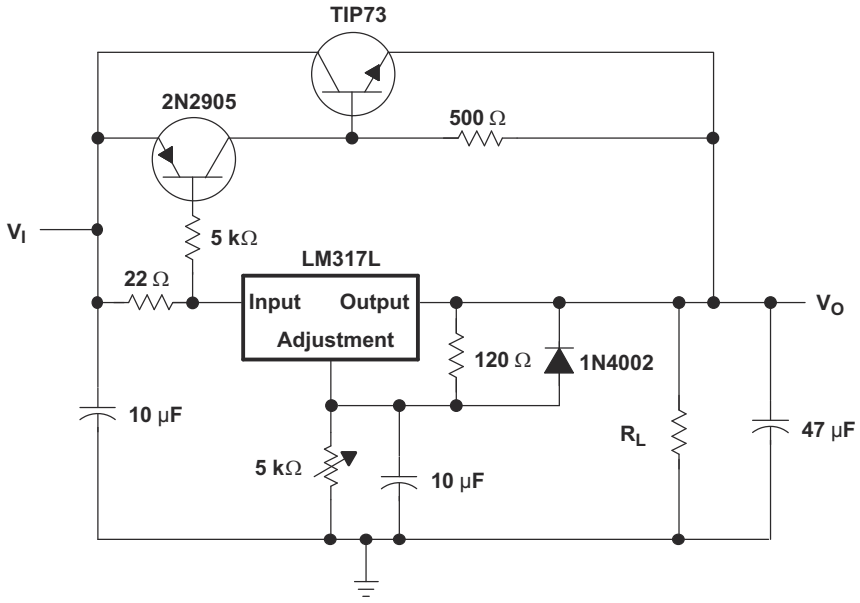


図 7-10. 大電流可変レギュレータ

注

このアプリケーション回路は、従来のチップのみを使用してテスト済みです (CSO: SHE & CSO: TID)。TI のお客様は、システムの機能を確認するために、自身の設計実装を検証およびテストする責任があります。

Copyright © 2026 Texas Instruments Incorporated

7.4 電源に関する推奨事項

LM317L は、出力電圧より 2.5V ～ 37V 高い入力電圧範囲で動作するように設計されています (CSO:TID & CSO:RFB。*推奨動作条件*を参照)。デバイスが入力フィルタ コンデンサから 6 インチ以上離れている場合、安定動作のために 0.1µF 以上の任意の種類の入力バイパス コンデンサが必要です。

7.5 レイアウト

7.5.1 レイアウトのガイドライン

- バイパス コンデンサを使用して入力ピンをグランドにバイパスします。
  - これは、レギュレータが入力フィルタ コンデンサから 6 インチ以上離れて配置されている場合にのみ必要です。ただし、アナログ設計の適切な手法としては、IN から GND (C_{IN}) にバイパス コンデンサを接続するのが推奨されます。C_{IN} は、リアクティブな入力ソースに対抗し、過渡応答、入力リップル除去、PSRR を改善します。
  - C_{IN} は、このデバイスの V_{IN} とシステムの GND のできるだけ近くに配置します。バイパス コンデンサの接続、INPUT ピン、およびシステムの GND ピンで形成されるループ面積を最小限に抑えるよう注意する必要があります。
- 出力ピンとグランドの間に出力コンデンサを接続します。
  - 安定性のために、出力コンデンサ (C_{OUT}) は必要ありません。ただし、C_{OUT} を追加すると過渡応答が改善されます。
  - C_{OUT} は、このデバイスの V_{OUT} とシステムの GND のできるだけ近くに配置します。バイパス コンデンサの接続、OUTPUT ピン、およびシステムの GND ピンで形成されるループ面積を最小限に抑えるよう注意する必要があります。
- 定格最大負荷で動作させる場合は、IR ドロップと発熱を最小限に抑えるため、幅の広い配線パターンを使用します。

7.5.2 レイアウト例

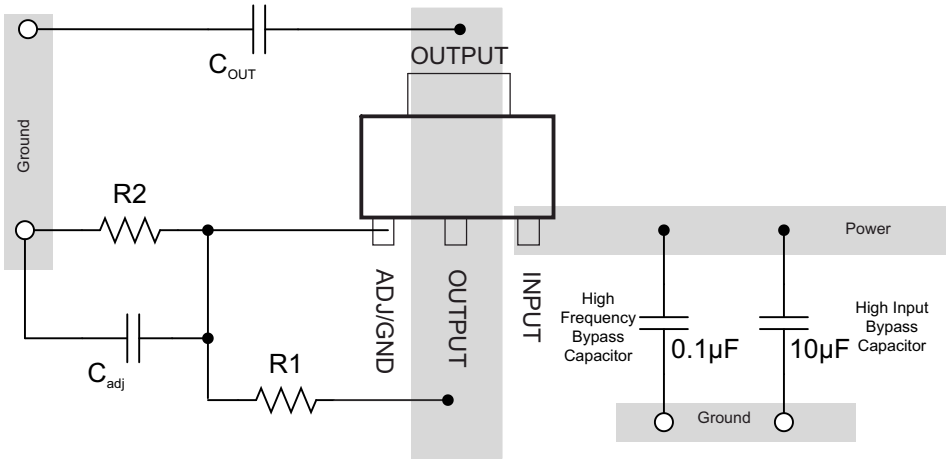


図 7-11. レイアウト図、SOT-89

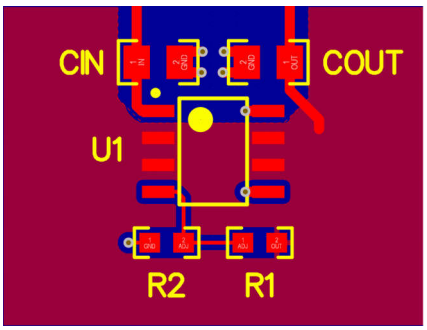


図 7-12. レイアウト図、NC ピンをグランドに接続した SOIC

Copyright © 2026 Texas Instruments Incorporated

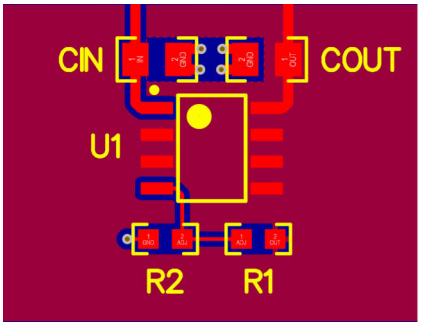


図 7-13. レイアウト図、NC ピンが出力に接続された SOIC

7.6 推定接合部温度

現在、JEDEC 規格では、典型的な PCB 基板アプリケーションで回路内にあるリニア レギュレータの接合部温度を推定するために、psi (Ψ) の熱指標を使用することを推奨しています。これらの指標は熱抵抗パラメータではなく、接合部温度を推定するための実用的かつ相対的な方法を提供します。これらの psi 指標は、熱拡散に利用できる銅箔面積に大きく依存しないことが判明しています。「*熱情報*」表には、主要な熱指標である、接合部から上面への特性パラメータ (Ψ_{JT}) と接合部から基板への特性パラメータ (Ψ_{JB}) がリストされています。これらのパラメータは、以下の式で説明するように、接合部温度 (T_J) を計算するための 2 つの方法を提供します。接合部から上面への特性パラメータ (Ψ_{JT}) とデバイス パッケージの中央上部の温度 (T_T) を使用して、接合部温度を計算します。接合部から基板への特性パラメータ (Ψ_{JB}) とデバイス パッケージから 1mm の PCB 表面温度 (T_B) を使用して、接合部温度を計算します。

$$T_J = T_T + \Psi_{JT} \times P_D \tag{8}$$

$$T_J = T_T + \psi_{JT} \times P_D \tag{9}$$

ここで

- P_D は、消費電力
- T_T は、デバイス パッケージの中央上部の温度

$$T_J = T_B + \Psi_{JB} \times P_D \tag{10}$$

ここで

- T_B は、デバイス パッケージから 1mm の位置で、パッケージのエッジの中心で測定された PCB 表面温度

熱指標とその使用方法の詳細については、『半導体および IC パッケージの熱指標』アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 デバイスの命名規則

デバイスの命名規則

製品 (1)	バージョン	V_{OUT}
LM317L**x y(y) (z) (G4)**	従来のチップ **CSO: SHE**	**x** は動作温度範囲の指定子です (C = 0°C ～ 125°C、I = –40°C ～ 125°C)。 **y(y)** はパッケージ指定子です (D = SOIC、PK = SOT-89、PW = TSSOP、LP = TO-92)。 **(z)** はパッケージの数量指定子です (R = 大型リール、記号なし = SOIC と TSSOP のチューブ梱包、TO-92 のバルク パッキング、SOT-89 の大型リール)。 **(G4)** が存在する場合、NiPdAu リード仕上げを示します。
	従来のチップ **CSO: TID**	**x** は動作温度範囲指定子 (C および I = –40°C ～ 125°C) です。 **y(y)** はパッケージ指定子です (D = SOIC、PK = SOT-89)。 **(z)** はパッケージの数量指定子です (R = 大型リール、記号なし = SOIC のチューブ梱包、SOT-89 向け大型リール)。 **(G4)** が存在する場合、NiPdAu リード仕上げを示します。
	新しいチップ **CSO: RFB**	**x** は動作温度範囲指定子 (C および I = –40°C ～ 125°C) です。 **y(y)** はパッケージ指定子です (D = SOIC、PK = SOT-89)。 **(z)** はパッケージの数量指定子です (R = 大型リール、記号なし = SOIC のチューブ梱包、SOT-89 向け大型リール)。 **(G4)** が存在する場合、NiPdAu リード仕上げを示します。

(1) 最新のパッケージと発注情報については、このデータシートの末尾にあるパッケージ オプションの付録を参照するか、www.ti.com にあるデバイスの製品フォルダをご覧ください。

注

デバイスは、従来のチップ (CSO: SHE または CSO：TID) または新しいチップ (CSO: RFB) を用いて出荷されます。CSO (チップ ソース オリジン) は、そのチップの製造拠点を示します。CSO は、受け取った材料の梱包ラベルに記載されています。本データシートでは、新旧チップごとのデバイス性能について説明しています。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

Copyright © 2026 Texas Instruments Incorporated

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision F (December 2024) to Revision G (August 2026) **Page**

- ドキュメント全体を通して、従来のチップと新しいチップの項目表記を更新 1
- 「特長」セクションから従来のチップの出力電圧範囲を削除 1
- 新しいチップ (CSO:RFB) 仕様を反映するために「特長」セクションの入力電圧変化に対する入力レギュレーションを 0.01% から 0.007% に変更 1
- 新しいチップ (CSO:RFB) 仕様を反映するために「特長」セクションの 120Hz における標準リップル除去率の仕様を 80dB から 71.5dB に変更 1
- 「特長」セクションから 100kHz でのリップル除去の仕様を削除 1
- 「特長」セクションにデバイス パッケージ オプションを追加 1
- 「アプリケーション」セクションを更新 1
- 新しいチップ (CSO:RFB) 仕様を反映させるために「概要」セクションを更新 1
- 新しいチップ (CSO:RFB) 仕様を反映させるために「説明」セクションの最大出力電圧を 32V から 37V に変更 1
- 新しいチップ (CSO:RFB) 仕様を「絶対最大定格」に追加 4
- 新しいチップ (CSO: RFB) 仕様を「ESD 定格」に変更 4
- 新しいチップ (CSO:RFB) 仕様を「推奨動作条件」に追加 4
- 新しいチップ (CSO:RFB) 仕様を「熱に関する情報」に追加 5
- 明確化のため「熱に関する情報」を二つの表に更新 5
- 新しいチップ (CSO: RFB) 仕様を「電気的特性」に変更 5
- 代表的特性グラフのタイトルを変更：従来のチップ (CSO: SHE & CSO: TID) 7
- 新チップの「代表的特性」グラフを追加 (CSO:RFB) 7
- 新しいチップ (CSO:RFB) 仕様を反映するために「概要」セクションを更新 9
- 「概要」セクションから特定の出力電圧範囲およびバイアス電流に関する記述を削除し、代わりに、それらの仕様を確認できる「電気特性」表への参照を追加 9
- 「NPN ダーリントン出力ドライブ」を更新し、「推奨動作条件」へのリンクを追加 10
- 「低入力電圧での動作」を更新し、「推奨動作条件」へのリンクを追加 10
- 「軽負荷時の動作」を更新し、「電気的特性」へのリンクを追加 10
- 明確化のため、「自己保護」の「動作」セクションを更新 10
- 新しいチップ (CSO:RFB) 仕様を反映させるために「設計要件」セクションの最大入力範囲の例示値を 32V から 37V に更新 11
- 「調整端子コンデンサ」セクションを、C_{ADJ} に言及するように更新 12
- 新しいチップ (CSO:RFB) 仕様を反映させるために「出力電圧」セクションの ADJUSTMENT 電流を 50µA から 44µA に更新 12
- 詳細設計手順内で、「入力短絡保護」の位置を「リップル除去」より前に変更 12
- 「リップル除去」を更新し、「ADJUSTMENT 端子コンデンサ」セクションへのリンクを追加 12
- 従来のチップ性能を規定するようにアプリケーション曲線を更新 12
- 0V ～ 30V のレギュレータ回路に注記を追加 13

Copyright © 2026 Texas Instruments Incorporated

- 「低速ターンオン 15V レギュレータ回路」に注記を追加 14
- 「電流制限 6V チャージャ」に注記を追加 15
- 大電流可変レギュレータに注記を追加 16
- 新しいチップ（CSO:RFB）仕様を反映するために「電源に関する推奨事項」セクションの最大入力電圧を 32V から 37V に更新 17
- 「電源に関する推奨事項」セクションの「推奨動作条件」表へのリンクを追加 17
- 「レイアウトのガイドライン」を更新し、コンデンサの配置についての詳細なガイダンスを提供 17
- 「レイアウト例」セクションに SOIC レイアウトを追加 17
- 明確化のため「デバイスの命名規則」を更新し、CSO に基づく区別を追加 19

Changes from Revision E (October 2014) to Revision F (December 2024) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- ドキュメント全体を通して、従来のチップと新しいチップの情報を識別するための用語を追加 1
- ピン機能の表を更新して、正しいピン情報を追加 3
- 「デバイス サポート」セクションを追加 19

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM317LCD	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LCD.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LCDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LCDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LCDR.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LCDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LCDRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LCLP	Active	Production	TO-92 (LP) | 3	1000 | BULK	Yes	SN	N/A for Pkg Type	0 to 125	L317LC
LM317LCLP.A	Active	Production	TO-92 (LP) | 3	1000 | BULK	Yes	SN	N/A for Pkg Type	0 to 125	L317LC
LM317LCLPR	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	0 to 125	L317LC
LM317LCLPR.A	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	0 to 125	L317LC
LM317LCLPRE3	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	0 to 125	L317LC
LM317LCPK	Active	Production	SOT-89 (PK) | 3	1000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	0 to 125	LA
LM317LCPK.A	Active	Production	SOT-89 (PK) | 3	1000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	0 to 125	LA
LM317LCPK.B	Active	Production	SOT-89 (PK) | 3	1000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	0 to 125	LA
LM317LCPKG3	Active	Production	SOT-89 (PK) | 3	1000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	0 to 125	LA
LM317LCPW	Active	Production	TSSOP (PW) | 8	150 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LCPW.A	Active	Production	TSSOP (PW) | 8	150 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LCPWE4	Active	Production	TSSOP (PW) | 8	150 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LCPWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LCPWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LCPWRG4	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 125	L317LC
LM317LID	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI
LM317LID.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI
LM317LIDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	L317LI
LM317LIDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI
LM317LIDR.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI
LM317LIDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI
LM317LIDRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM317LIDRG4.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI
LM317LILP	Active	Production	TO-92 (LP) | 3	1000 | BULK	Yes	SN	N/A for Pkg Type	-40 to 125	L317LI
LM317LILP.A	Active	Production	TO-92 (LP) | 3	1000 | BULK	Yes	SN	N/A for Pkg Type	-40 to 125	L317LI
LM317LILPR	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	-40 to 125	L317LI
LM317LILPR.A	Active	Production	TO-92 (LP) | 3	2000 | LARGE T&R	Yes	SN	N/A for Pkg Type	-40 to 125	L317LI
LM317LIPK	Active	Production	SOT-89 (PK) | 3	1000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	LB
LM317LIPK.A	Active	Production	SOT-89 (PK) | 3	1000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	LB
LM317LIPK.B	Active	Production	SOT-89 (PK) | 3	1000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	LB
LM317LIPKG3	Active	Production	SOT-89 (PK) | 3	1000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	LB
LM317LIPW	Active	Production	TSSOP (PW) | 8	150 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI
LM317LIPW.A	Active	Production	TSSOP (PW) | 8	150 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI
LM317LIPWR	NRND	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI
LM317LIPWR.A	NRND	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L317LI

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

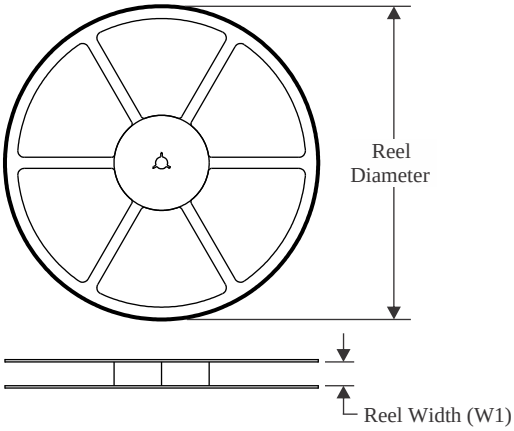
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

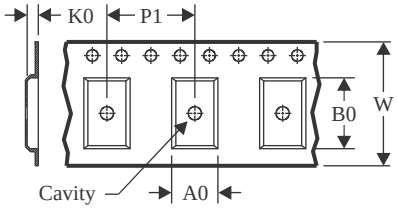
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

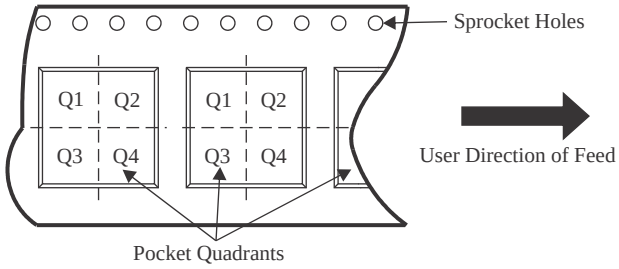


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

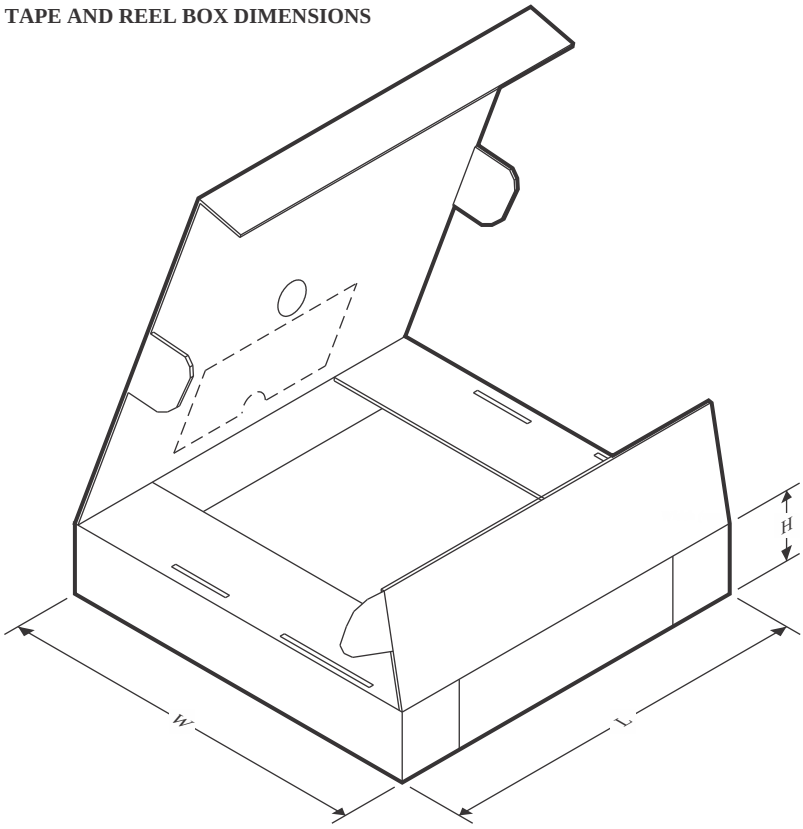
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM317LCDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM317LCDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM317LCPK	SOT-89	PK	3	1000	180.0	12.4	4.91	4.52	1.9	8.0	12.0	Q3
LM317LCPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LM317LIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM317LIDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM317LIPK	SOT-89	PK	3	1000	180.0	12.4	4.91	4.52	1.9	8.0	12.0	Q3
LM317LIPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1

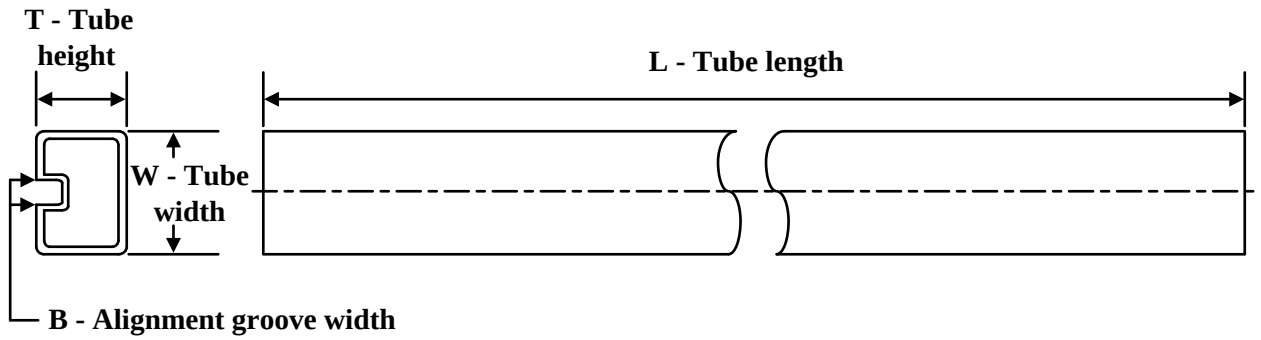
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM317LCDR	SOIC	D	8	2500	340.5	338.1	20.6
LM317LCDRG4	SOIC	D	8	2500	340.5	338.1	20.6
LM317LCPK	SOT-89	PK	3	1000	340.0	340.0	38.0
LM317LCPWR	TSSOP	PW	8	2000	353.0	353.0	32.0
LM317LIDR	SOIC	D	8	2500	353.0	353.0	32.0
LM317LIDRG4	SOIC	D	8	2500	353.0	353.0	32.0
LM317LIPK	SOT-89	PK	3	1000	340.0	340.0	38.0
LM317LIPWR	TSSOP	PW	8	2000	353.0	353.0	32.0

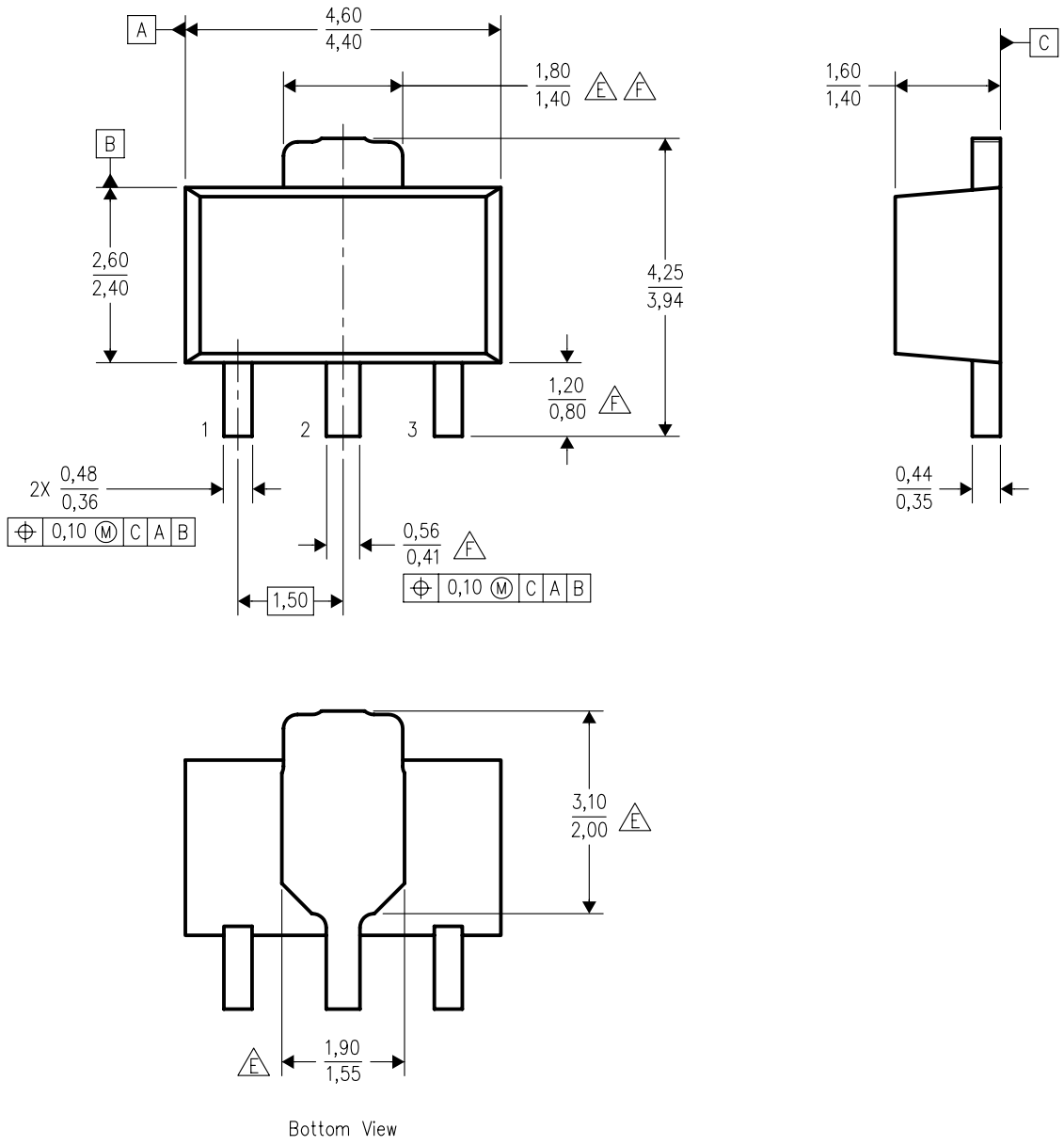
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
LM317LCD	D	SOIC	8	75	507	8	3940	4.32
LM317LCD.A	D	SOIC	8	75	507	8	3940	4.32
LM317LCPW	PW	TSSOP	8	150	530	10.2	3600	3.5
LM317LCPW.A	PW	TSSOP	8	150	530	10.2	3600	3.5
LM317LCPWE4	PW	TSSOP	8	150	530	10.2	3600	3.5
LM317LID	D	SOIC	8	75	507	8	3940	4.32
LM317LID.A	D	SOIC	8	75	507	8	3940	4.32
LM317LIPW	PW	TSSOP	8	150	530	10.2	3600	3.5
LM317LIPW.A	PW	TSSOP	8	150	530	10.2	3600	3.5

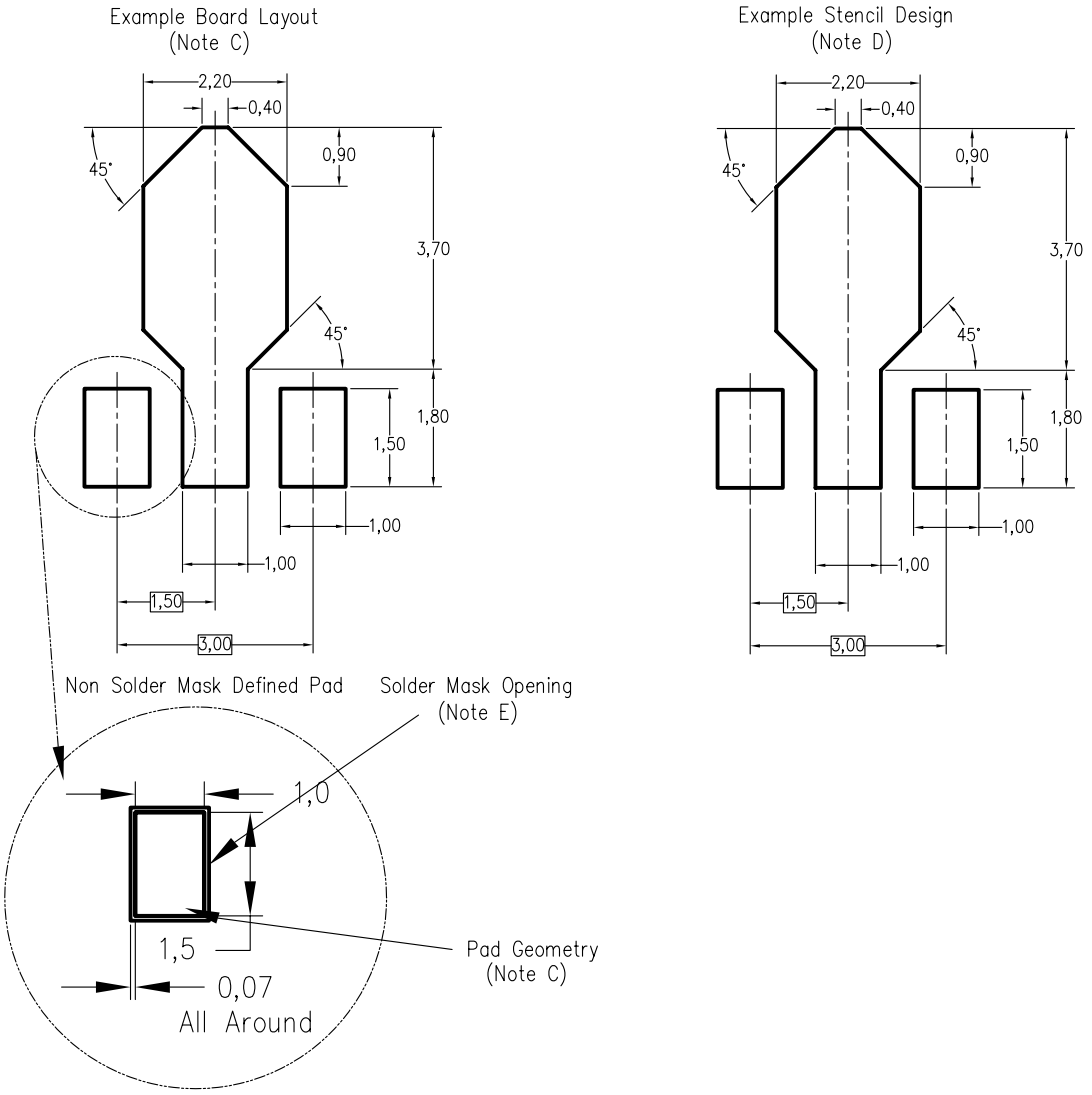
PK (R–PSSO–F3) PLASTIC SINGLE–IN–LINE PACKAGE



4040234/D 02/2006

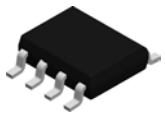
NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. The center lead is in electrical contact with the tab.
D. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion not to exceed 0.15 per side.
E. Thermal pad contour optional within these dimensions.
F. Falls within JEDEC TO–243 variation AA, except minimum lead length, pin 2 minimum lead width, minimum tab width.

PK (R–PDSO–G3)



4208221/A 09/06

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

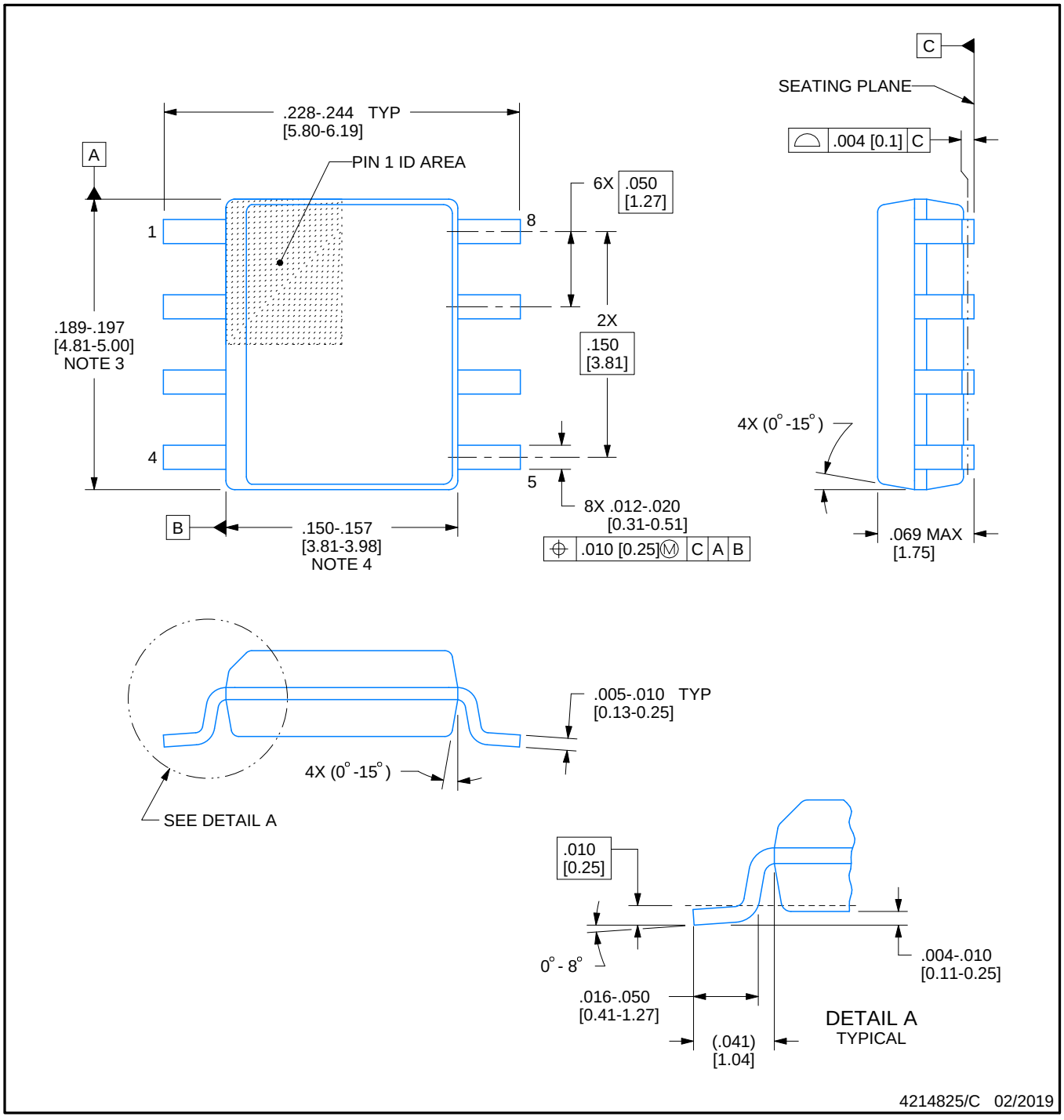


PACKAGE OUTLINE

D0008A

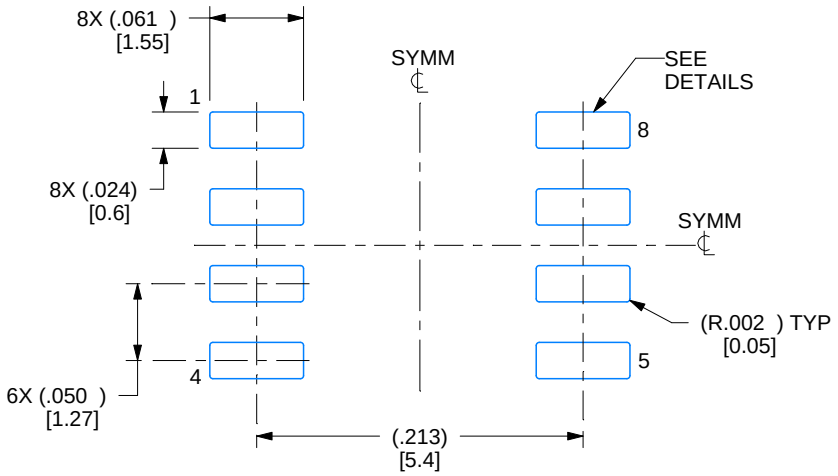
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

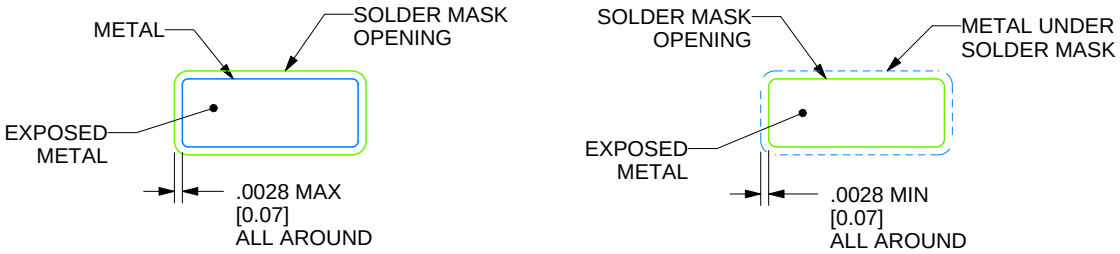


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

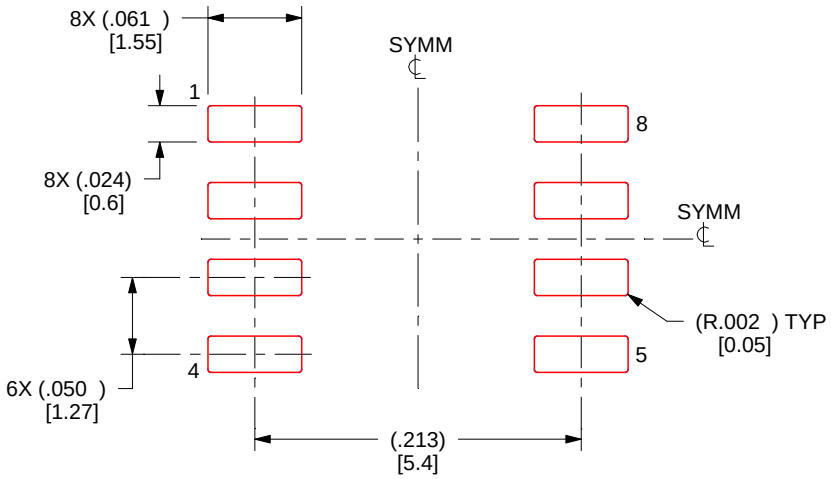
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

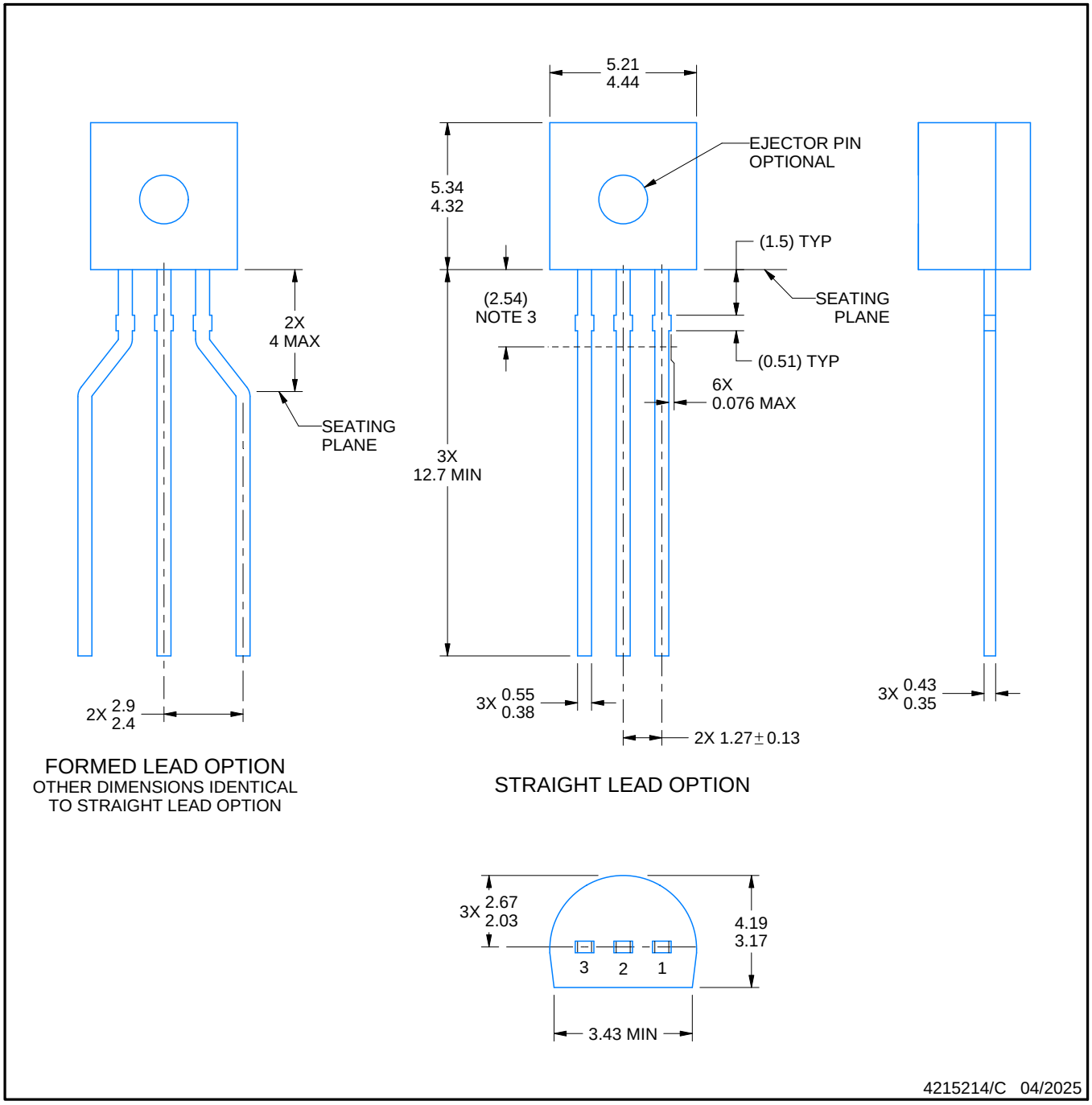
LP0003A



PACKAGE OUTLINE

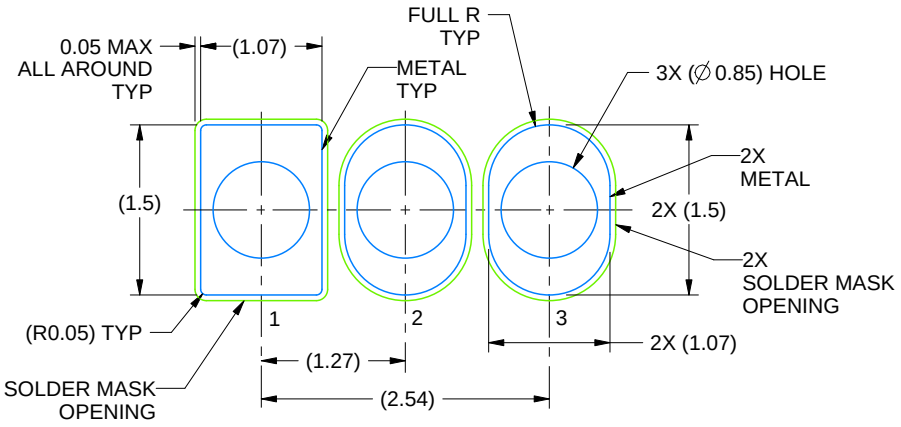
TO-92 - 5.34 mm max height

TO-92

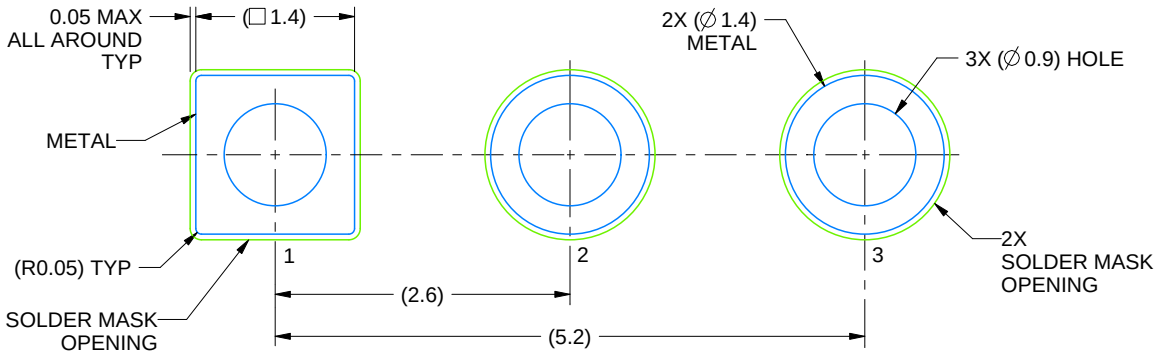


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Lead dimensions are not controlled within this area.
4. Reference JEDEC TO-226, variation AA.
5. Shipping method:
   a. Straight lead option available in bulk pack only.
   b. Formed lead option available in tape and reel or ammo pack.
   c. Specific products can be offered in limited combinations of shipping medium and lead options.
   d. Consult product folder for more information on available options.



LAND PATTERN EXAMPLE
STRAIGHT LEAD OPTION
NON-SOLDER MASK DEFINED
SCALE:15X



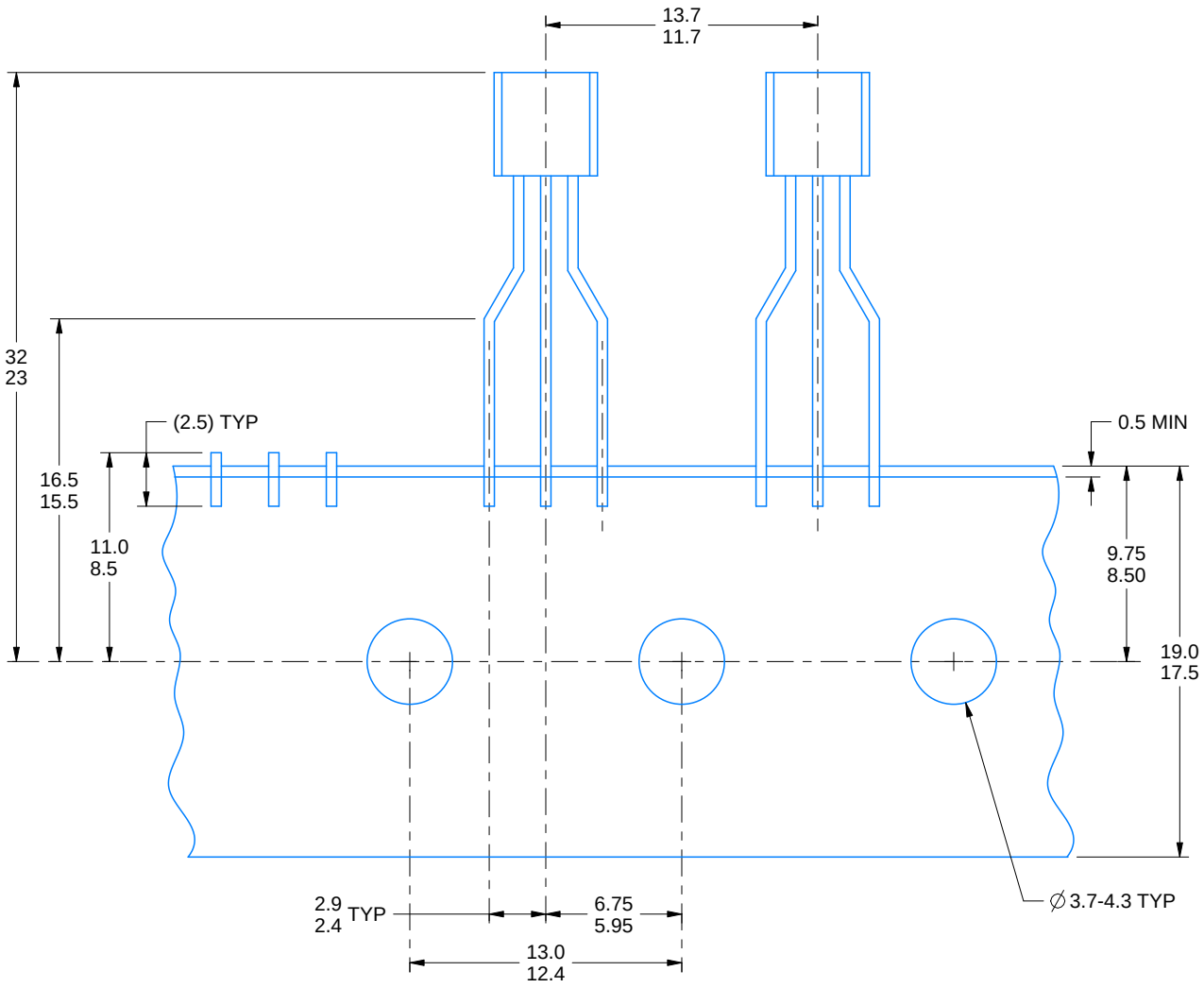
LAND PATTERN EXAMPLE
FORMED LEAD OPTION
NON-SOLDER MASK DEFINED
SCALE:15X

4215214/C 04/2025

LP0003A

TO-92 - 5.34 mm max height

TO-92



FOR FORMED LEAD OPTION PACKAGE

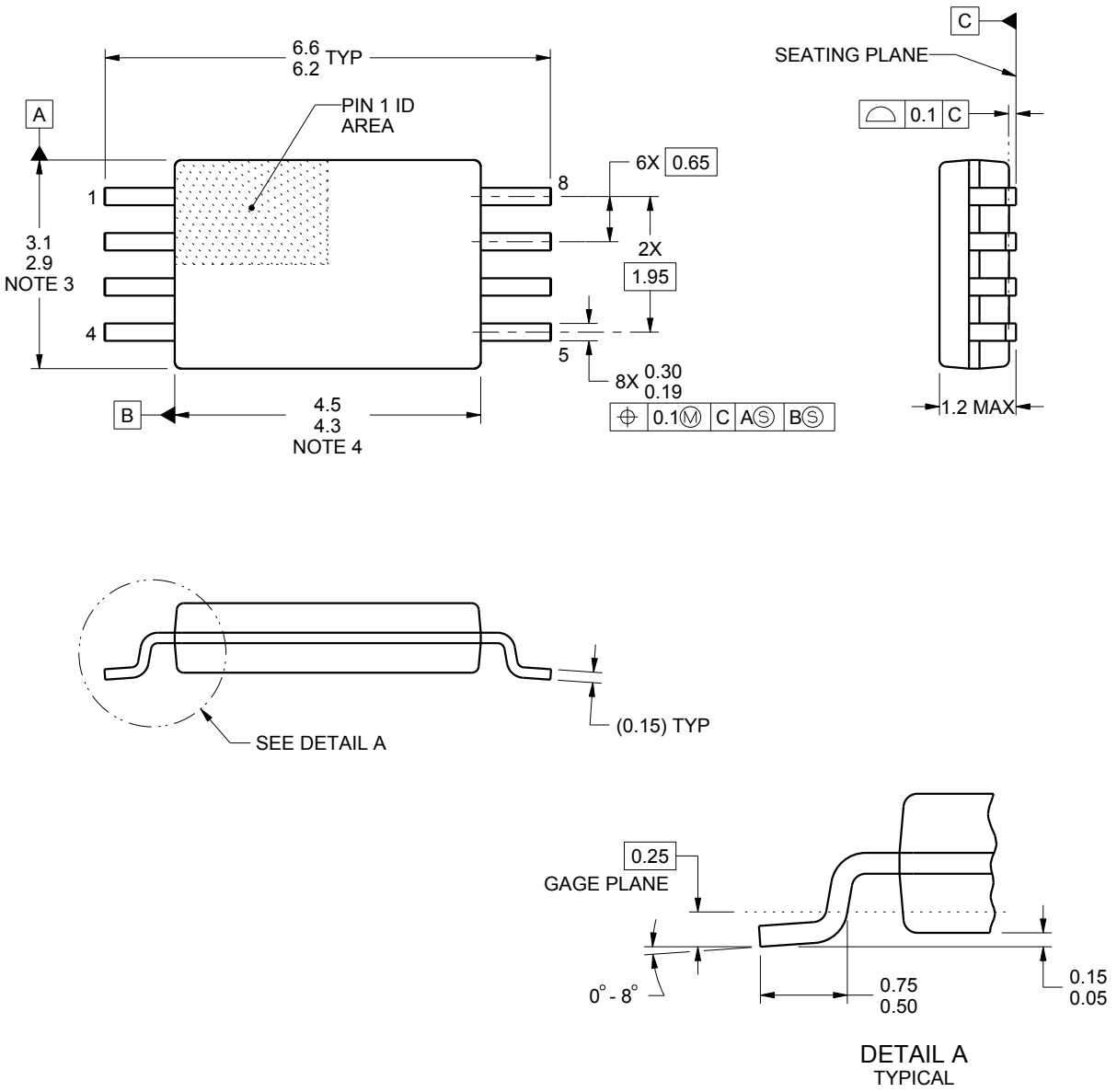
4215214/C 04/2025

PACKAGE OUTLINE

PW0008A

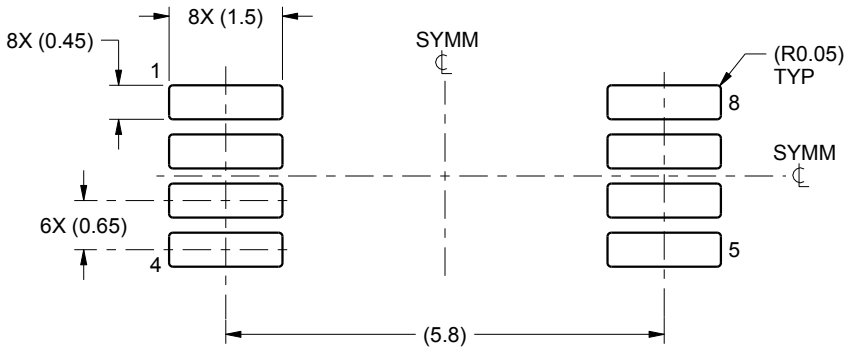
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

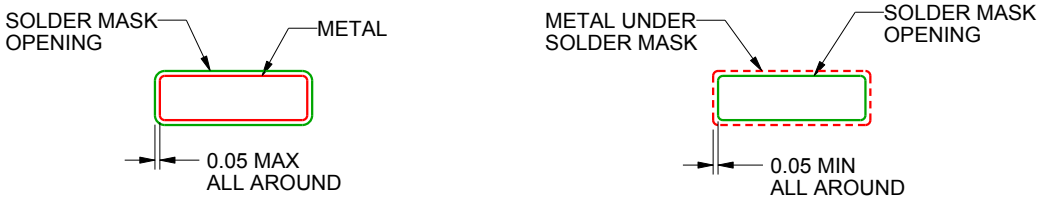


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

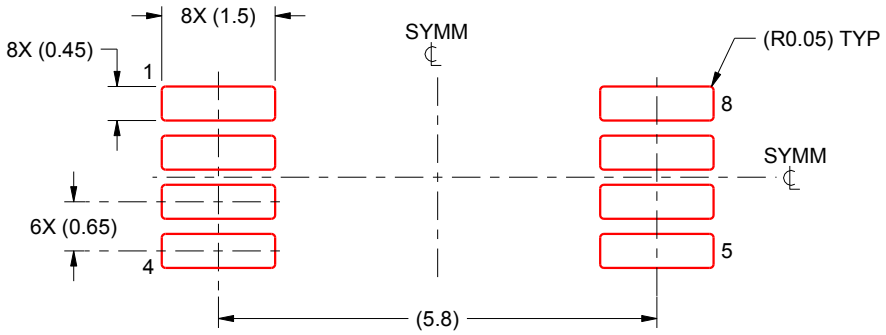


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月