LM321LV、LM358LV、LM324LV 業界標準、低電圧オペアンプ

1 特長

- コストの制約が厳しいシステムのための業界標準アンプ
- 低い入力オフセット電圧:±1mV
- グランドを含む同相電圧範囲
- ユニティ・ゲイン帯域幅:1MHz
- 低い広帯域ノイズ:40nV/√Hz
- 低い静止電流:90μA/Ch
- ユニティ・ゲイン安定
- 2.7V～5.5V の電源電圧で動作
- シングル、デュアル、クワッド・チャネルのバリエーションで供給
- 堅牢性の高い ESD 仕様:2kV HBM
- 拡張温度範囲:–40℃～125℃

2 アプリケーション

- コードレス家電
- 無停電電源
- バッテリ・パック、チャージャ、テスト機器
- 電源モジュール
- 環境センサの信号コンディショニング
- フィールド・トランスミッタ:温度センサ
- オシロスコープ、デジタル・マルチメーター、テスト機器
- ラック・マウントのサーバー
- HVAC:暖房、換気、空調
- DC モーター制御
- ローサイド電流センシング

3 概要

LM3xxLV ファミリには、シングルの LM321LV、デュアルの LM358LV、およびクワッドの LM324LV オペアンプがあります。これらのデバイスは、2.7V～5.5V の低電圧で動作します。

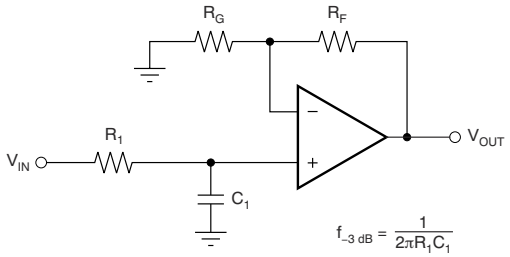
これらのオペアンプは、コストの制限が厳しい低電圧アプリケーションにおいて、LM321、LM358、LM324 の代替品として使用できます。アプリケーションの例として、大型家電、煙感知器、個人用電子機器などがあります。LM3xxLV デバイスは、低電圧で LM3xx デバイスよりも優れた性能を備えており、低消費電力です。これらのオペアンプはユニティ・ゲイン安定で、オーバードライブ状況でも位相反転が発生しません。LM3xxLV ファミリの ESD 耐量は 2kV 以上 (HBM 仕様) です。

LM3xxLV ファミリは、業界標準のパッケージで供給されます。パッケージには SOT-23、SOIC、VSSOP、TSSOP があります。

デバイス情報

部品番号(1)	パッケージ	本体サイズ (公称)
LM321LV	SOT-23 (5)	1.60mm × 2.90mm
	SC70 (5)	1.25mm × 2.00mm
LM358LV	SOIC (8)	3.91mm × 4.90mm
	SOT-23 (8)	1.60mm × 2.90mm
	TSSOP (8)	3.00mm × 4.40mm
	VSSOP (8)	3.00mm × 3.00mm
LM324LV	SOIC (14)	8.65mm × 3.91mm
	TSSOP (14)	4.40mm × 5.00mm
	SOT-23 (14)	4.20mm × 2.00mm

(1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。



$$\frac{V_{OUT}}{V_{IN}} = \left(1 + \frac{R_F}{R_G}\right)\left(\frac{1}{1 + sR_1C_1}\right)$$

単極ローパス・フィルタ

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 改訂履歴 ... 2
5 ピン構成および機能 ... 3
6 仕様 ... 6
6.1 絶対最大定格 ... 6
6.2 ESD 定格 ... 6
6.3 推奨動作条件 ... 6
6.4 熱に関する情報：LM321LV ... 7
6.5 熱に関する情報：LM358LV ... 7
6.6 熱に関する情報：LM324LV ... 7
6.7 電気的特性 ... 8
6.8 代表的特性 ... 9
7 詳細説明 ... 14
7.1 概要 ... 14
7.2 機能ブロック図 ... 14
7.3 機能説明 ... 14
7.4 デバイスの機能モード ... 15
8 アプリケーションと実装 ... 16
8.1 アプリケーション情報 ... 16
8.2 代表的なアプリケーション ... 16
9 電源に関する推奨事項 ... 18
9.1 入力および ESD 保護 ... 18
10 レイアウト ... 19
10.1 レイアウトのガイドライン ... 19
10.2 レイアウト例 ... 19
11 デバイスおよびドキュメントのサポート ... 21
11.1 ドキュメントのサポート ... 21
11.2 Receiving Notification of Documentation Updates ... 21
11.3 サポート・リソース ... 21
11.4 商標 ... 21
11.5 Electrostatic Discharge Caution ... 21
11.6 Glossary ... 21
12 メカニカル、パッケージ、および注文情報 ... 22

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (September 2019) to Revision E (February 2022) — **Page**

- 文書全体の表、図、相互参照の採番方法を更新 ... 1
- 「*製品情報*」表に SOT-23 (DYY) パッケージを追加 ... 1
- 「*ピン構成および機能*」セクションに DYY (SOT-23) の情報を追加 ... 3
- 「熱に関する情報」に DYY (SOT-23) を追加：*LM324LV* 表 ... 7

Changes from Revision C (May 2019) to Revision D (September 2019) — **Page**

- データシートの SOT-23 (DDF) パッケージについてプレビュー注記をすべて削除 ... 1

Changes from Revision B (February 2019) to Revision C (May 2019) — **Page**

- 「*製品情報*」表に SOT-23 (DDF) パッケージを追加 ... 1
- 「*ピン構成および機能*」セクションに DDF (SOT-23) の情報を追加 ... 3
- *「熱に関する情報」に DDF (SOT-23) を追加：LM358LV 表* ... 7

Changes from Revision A (January 2019) to Revision B (February 2019) — **Page**

- LM321LVIDBV (SOT-23) のピン配置図を、LM321LVIDCK (SC70) のピン配置に合わせて変更 ... 3

Changes from Revision * (September 2018) to Revision A (January 2019) — **Page**

- データシートのタイトルを「*LM3xxLV...*」から「*LM321LV*、*LM358LV*、*LM324LV...*」に変更 ... 1

Copyright © 2022 Texas Instruments Incorporated

5 ピン構成および機能

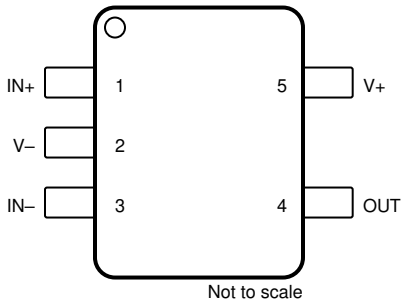


図 5-1. LM321LV DBV および DCK パッケージ
5 ピン SOT-23 および SC70
(上面図)

表 5-1. ピンの機能：LM321LV

ピン		I/O	説明
名称	番号		
IN–	3	I	反転入力
IN+	1	I	非反転入力
OUT	4	O	出力
V–	2	I または —	負 (低) 電源またはグランド (単一電源動作の場合)
V+	5	I	正 (高) 電源

Copyright © 2022 Texas Instruments Incorporated

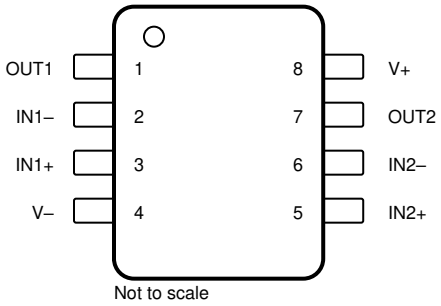


図 5-2. LM358LV D、DGK、PW、DDF パッケージ
8 ピン SOIC、VSSOP、TSSOP、SOT-23
(上面図)

表 5-2. ピンの機能：LM358LV

ピン		I/O	説明
名称	番号		
IN1–	2	I	反転入力、チャネル 1
IN1+	3	I	非反転入力、チャネル 1
IN2–	6	I	反転入力、チャネル 2
IN2+	5	I	非反転入力、チャネル 2
OUT1	1	O	出力、チャネル 1
OUT2	7	O	出力、チャネル 2
V–	4	I または —	負 (低) 電源またはグランド (単一電源動作の場合)
V+	8	I	正 (高) 電源

Copyright © 2022 Texas Instruments Incorporated

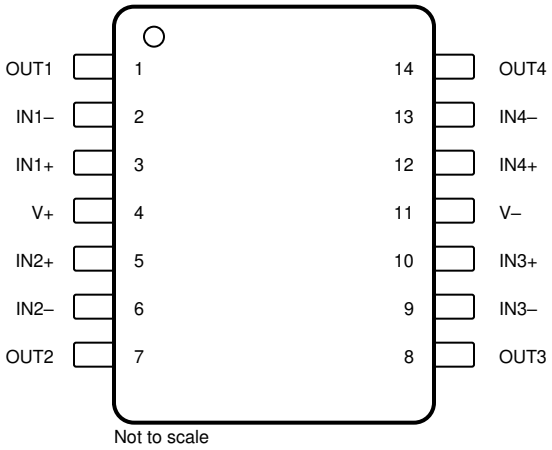


図 5-3. LM324LV D、PW、DYY パッケージ
14 ピン SOIC、TSSOP、SOT-23
(上面図)

表 5-3. ピンの機能：LM324LV

ピン		I/O	説明
名称	番号		
IN1–	2	I	反転入力、チャネル 1
IN1+	3	I	非反転入力、チャネル 1
IN2–	6	I	反転入力、チャネル 2
IN2+	5	I	非反転入力、チャネル 2
IN3–	9	I	反転入力、チャネル 3
IN3+	10	I	非反転入力、チャネル 3
IN4–	13	I	反転入力、チャネル 4
IN4+	12	I	非反転入力、チャネル 4
OUT1	1	O	出力、チャネル 1
OUT2	7	O	出力、チャネル 2
OUT3	8	O	出力、チャネル 3
OUT4	14	O	出力、チャネル 4
V–	11	I または —	負 (低) 電源またはグランド (単一電源動作の場合)
V+	4	I	正 (高) 電源

Copyright © 2022 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

接合部動作温度範囲内 (特に記述のない限り) (1)

			最小値	最大値	単位
電源電圧、([V+] - [V–])			0	6	V
信号入力ピン	電圧 (2)	同相	(V–) - 0.5	(V+) + 0.5	V
		差動		(V+) - (V–) + 0.2	V
	電流 (2)		-10	10	mA
出力短絡 (3)			連続		
動作温度、T_A			-55	150	℃
動作時の接合部温度、T_J				150	℃
保存温度、T_{stg}			-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「推奨動作条件」に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。
(2) 入力ピンは、電源レールに対してダイオード・クランプされています。入力信号のスイングが 0.5V より大きく電源レールを超える可能性がある場合は、電流を 10mA 以下に制限する必要があります。
(3) グランドへの短絡、1 パッケージ当たり 1 アンプ。

6.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 (1)	±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠 (2)	±1000	

(1) JEDEC のドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。
(2) JEDEC のドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスで安全な製造が可能であると記載されています。

6.3 推奨動作条件

接合部動作温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_S	電源電圧 [(V+) - (V–)]	2.7	5.5	V
V_{IN}	入力ピン電圧範囲	(V–) - 0.1	(V+) - 1	V
T_A	仕様温度範囲	-40	125	℃

Copyright © 2022 Texas Instruments Incorporated

6.4 熱に関する情報：LM321LV

熱評価基準 (1)		LM321LV		単位
		DBV (SOT-23)	DCK (SC70)	
		5 ピン	5 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	232.9	239.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	153.8	148.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	100.9	82.3	°C/W
ψ_{JT}	接合部から上面への熱特性パラメータ	77.2	54.5	°C/W
ψ_{JB}	接合部から基板への熱特性パラメータ	100.4	81.8	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』を参照してください。

6.5 熱に関する情報：LM358LV

熱評価基準 (1)		LM358LV				単位
		D (SOIC)	DGK (VSSOP)	PW (TSSOP)	DDF (SOT-23)	
		8 ピン	8 ピン	8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	207.9	201.2	200.7	183.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	92.8	85.7	95.4	112.5	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	129.7	122.9	128.6	98.2	°C/W
ψ_{JT}	接合部から上面への熱特性パラメータ	26	21.2	27.2	18.8	°C/W
ψ_{JB}	接合部から基板への熱特性パラメータ	127.9	121.4	127.2	97.6	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』を参照してください。

6.6 熱に関する情報：LM324LV

熱評価基準 (1)		LM324LV			単位
		D (SOIC)	PW (TSSOP)	DYY (SOT-23)	
		14 ピン	14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	102.1	148.3	154.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	56.8	68.1	86.3	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	58.5	92.7	67.3	°C/W
ψ_{JT}	接合部から上面への熱特性パラメータ	20.5	16.9	9.8	°C/W
ψ_{JB}	接合部から基板への熱特性パラメータ	58.1	91.8	67.1	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』を参照してください。

Copyright © 2022 Texas Instruments Incorporated

6.7 電気的特性

V_S = (V+) - (V–) = 2.7V～5.5V (±1.35V～±2.75V)、T_A = 25℃、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_{OUT} = V_S/2 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
オフセット電圧						
V_{OS}	入力オフセット電圧	V_S = 5V		±1	±3	mV
		V_S = 5V、T_A = -40℃～125℃			±5	
dV_{OS}/dT	V_{OS} と温度との関係	T_A = -40℃～125℃		±4		μV/℃
PSRR	電源電圧変動除去比	V_S = 2.7V～5.5V、V_{CM} = (V–)	80	100		dB
入力電圧範囲						
V_{CM}	同相電圧範囲	位相反転なし	(V–) - 0.1		(V+) - 1	V
CMRR	同相信号除去比	V_S = 2.7V、(V–) - 0.1V < V_{CM} < (V+) - 1V、T_A = -40℃～125℃		84		dB
		V_S = 5.5V、(V–) - 0.1V < V_{CM} < (V+) - 1V、T_A = -40℃～125℃	63	92		
入力バイアス電流						
I_B	入力バイアス電流	V_S = 5V		±15		pA
I_{OS}	入力オフセット電流			±5		pA
ノイズ						
E_n	入力電圧ノイズ (ピーク・ツー・ピーク)	f = 0.1Hz～10Hz、V_S = 5V		5.1		μV_{PP}
e_n	入力電圧ノイズ密度	f = 1kHz、V_S = 5V		40		nV/√Hz
入力容量						
C_{ID}	差動			2		pF
C_{IC}	同相			5.5		pF
開ループ・ゲイン						
A_{OL}	開ループ電圧ゲイン	V_S = 2.7V、(V–) + 0.15V < V_O < (V+) - 0.15V、R_L = 2kΩ		110		dB
		V_S = 5.5V、(V–) + 0.15V < V_O < (V+) - 0.15V、R_L = 2kΩ		125		
周波数特性						
GBW	ゲイン帯域幅積	V_S = 5V		1		MHz
φ_m	位相マージン	V_S = 5.5V、G = 1		75		°
SR	スルーレート	V_S = 5V		1.5		V/μs
t_S	セトリング・タイム	0.1% まで、V_S = 5V、2V ステップ、G = 1、C_L = 100pF		4		μs
		0.01% まで、V_S = 5V、2V ステップ、G = 1、C_L = 100pF		5		
t_{OR}	過負荷復帰時間	V_S = 5V、V_{IN} × ゲイン > V_S		1		μs
THD+N	全高調波歪 + ノイズ	V_S = 5.5V、V_{CM} = 2.5V、V_O = 1V_{RMS}、G = 1、f = 1kHz、80kHz の測定帯域幅		0.005%		
出力						
V_{OH}	正電源からの電圧出力スイング	R_L ≧ 2kΩ、T_A = -40℃～125℃	1			V
V_{OL}	負電源からの電圧出力スイング	R_L ≦ 10kΩ、T_A = -40℃～125℃		40	75	mV
I_{SC}	短絡電流	V_S = 5.5V		±40		mA
Z_O	開ループ出力インピーダンス	V_S = 5V、f = 1MHz		1200		Ω
電源						
V_S	仕様電圧範囲		2.7 (±1.35)		5.5 (±2.75)	V
I_Q	アンプごとの静止電流	I_O = 0mA、V_S = 5.5V		90	150	μA
		I_O = 0mA、V_S = 5.5V、T_A = -40℃～125℃			160	

Copyright © 2022 Texas Instruments Incorporated

6.8 代表的特性

T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)

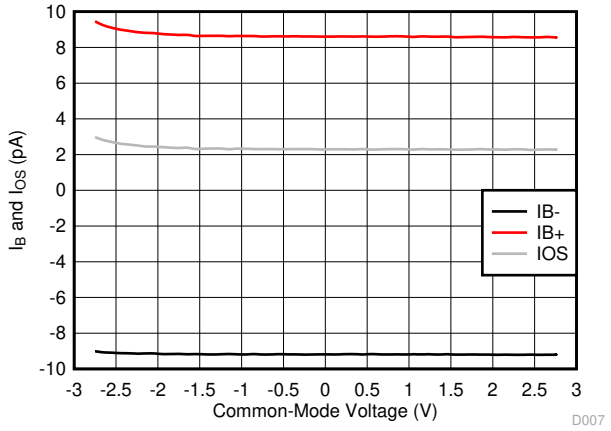


図 6-1. I_B および I_{OS} と同相電圧との関係

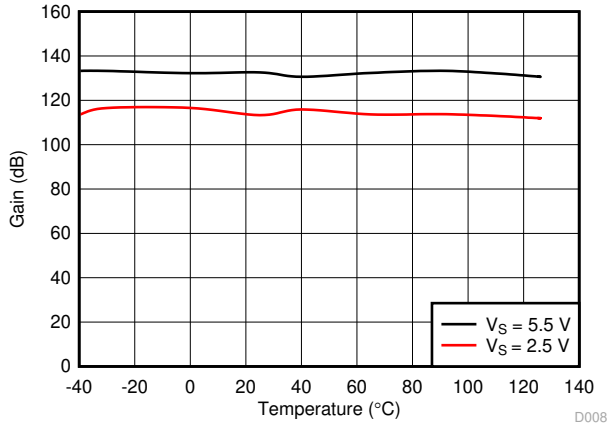
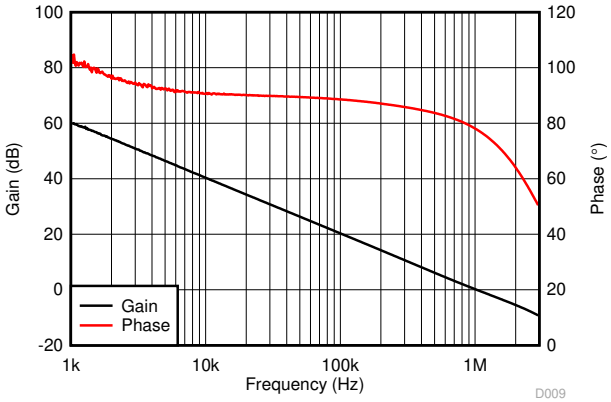


図 6-2. 開ループ・ゲインと温度との関係



C_L = 10pF

図 6-3. 開ループ・ゲインおよび位相と周波数との関係

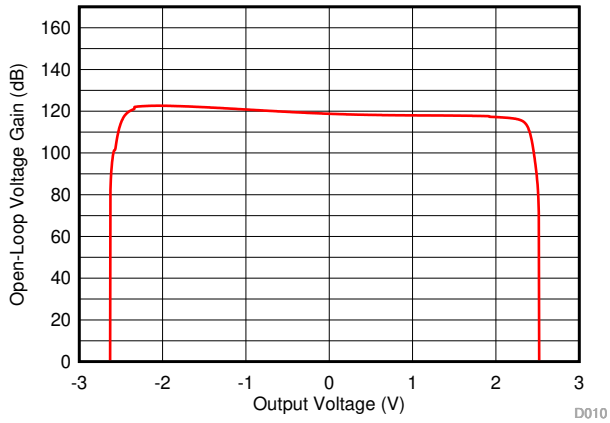
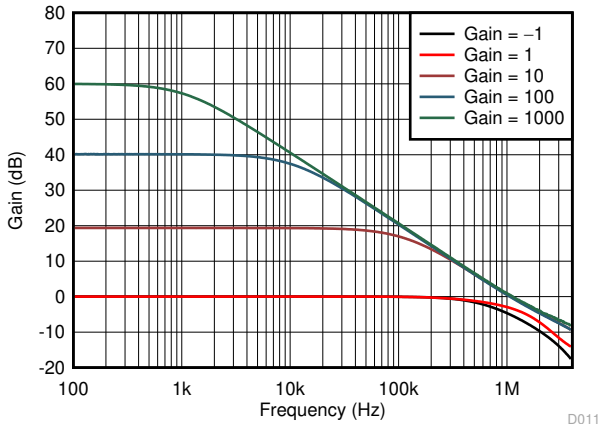


図 6-4. 開ループ電圧ゲインと出力電圧との関係



C_L = 10pF

図 6-5. 閉ループ・ゲインと周波数との関係

6.8 代表的特性

T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)

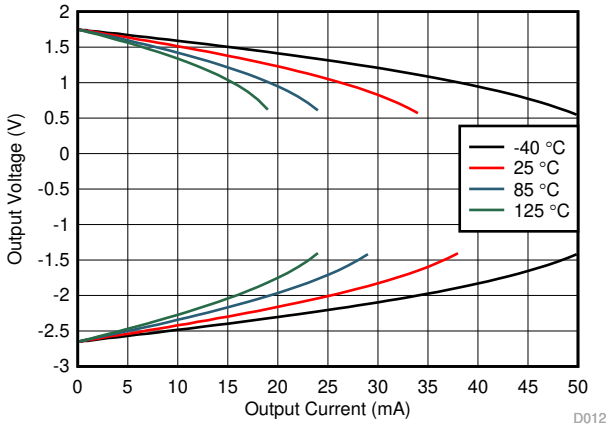


図 6-6. 出力電圧と出力電流との関係 (クロー)

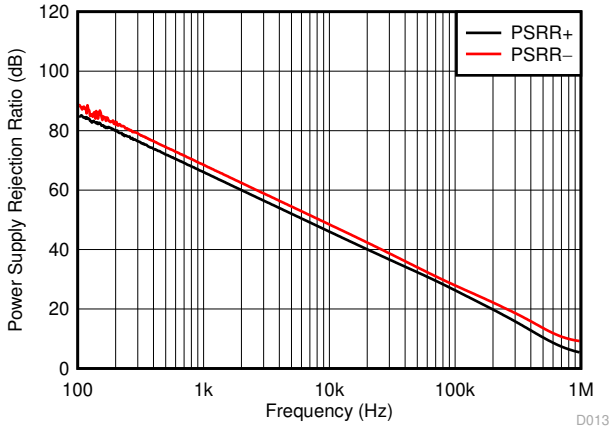
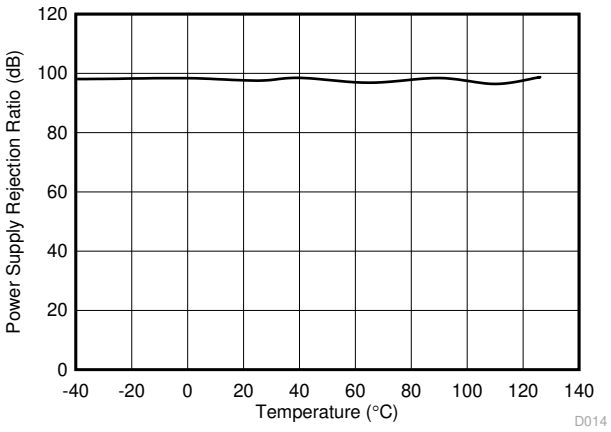


図 6-7. PSRR と周波数との関係



V_S = 2.7V～5.5V

図 6-8. DC PSRR と温度との関係

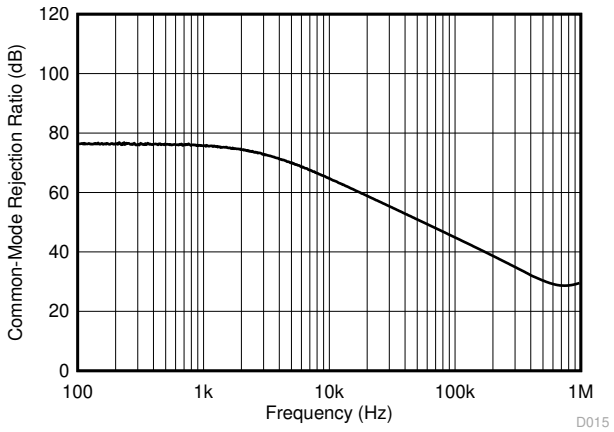
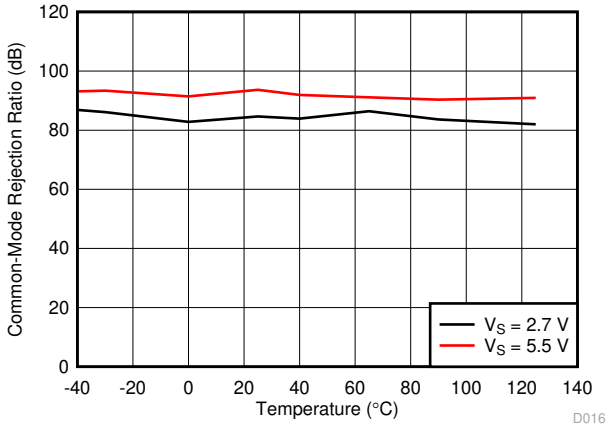


図 6-9. CMRR と周波数との関係



V_{CM} = (V–) - 0.1V～(V+) - 1.5V

図 6-10. DC CMRR と温度との関係

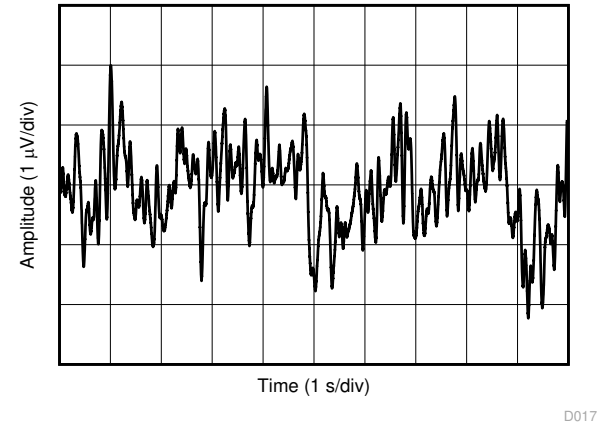


図 6-11. 0.1Hz～10Hz の積分電圧ノイズ

Copyright © 2022 Texas Instruments Incorporated

6.8 代表的特性

T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)

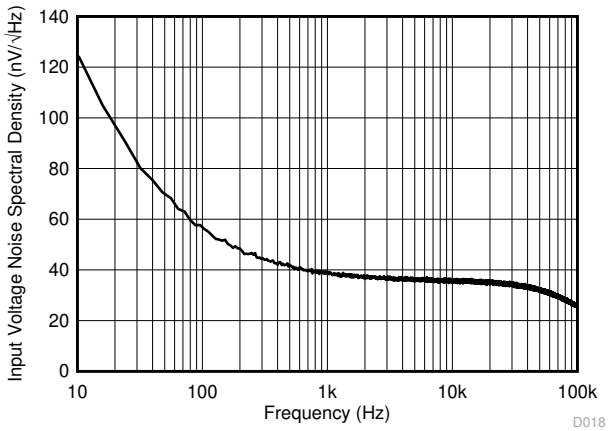
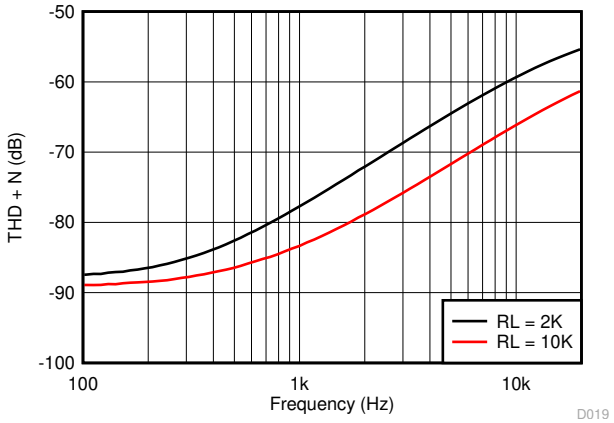
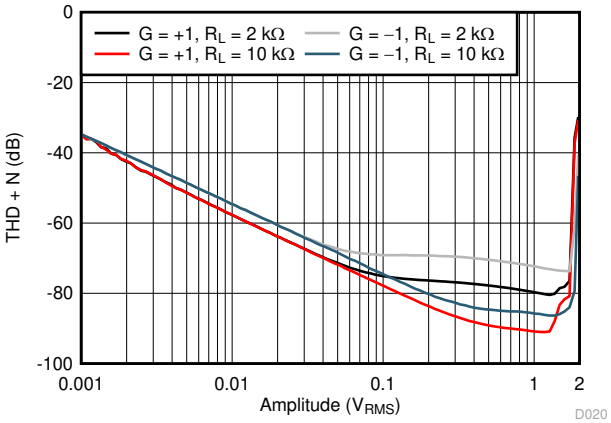


図 6-12. 入力電圧のノイズ・スペクトル密度



V_S = 5.5V　　V_{CM} = 2.5V　　G = 1
BW = 80kHz　　V_{OUT} = 0.5V_{RMS}

図 6-13. THD + N と周波数との関係



V_S = 5.5V　　V_{CM} = 2.5V　　G = 1
BW = 80kHz　　f = 1kHz

図 6-14. THD + N と振幅との関係

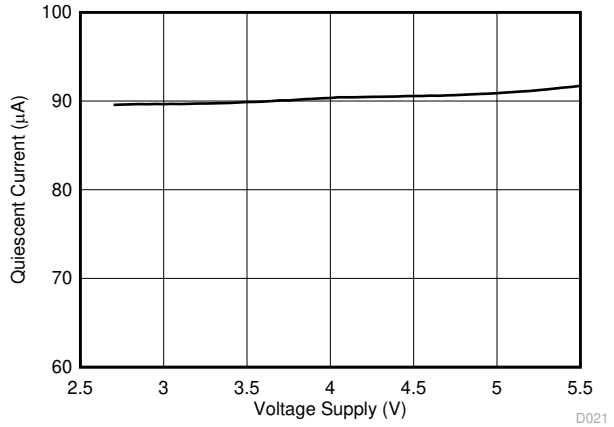


図 6-15. 静止電流と電源電圧との関係

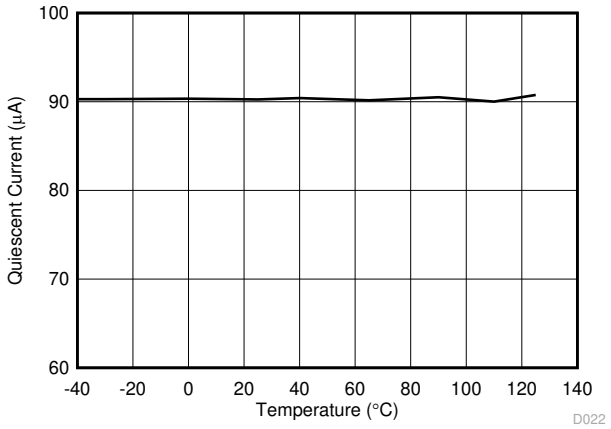


図 6-16. 静止電流と温度との関係

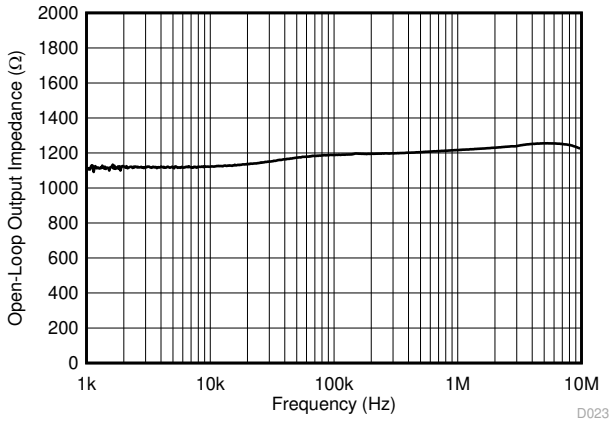
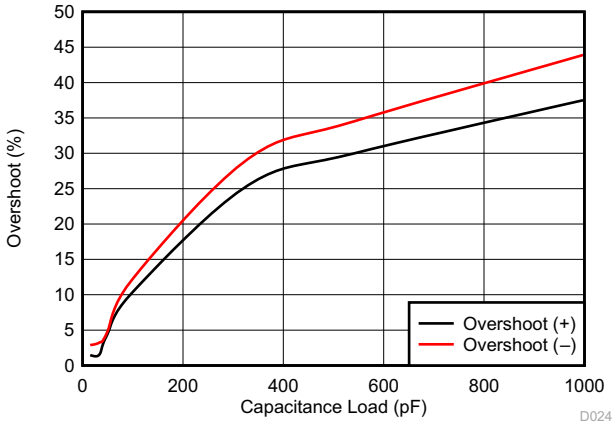


図 6-17. 開ループ出力インピーダンスと周波数との関係

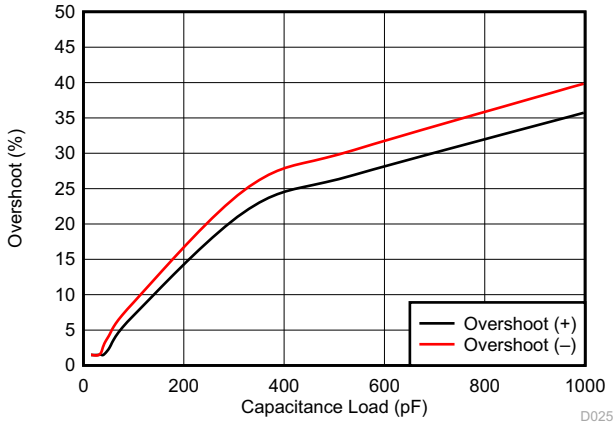
6.8 代表的特性

T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)



G = 1　　V_{IN} = 100mVpp

図 6-18. 小信号オーバーシュートと容量性負荷との関係



G = -1　　V_{IN} = 100mVpp

図 6-19. 小信号オーバーシュートと容量性負荷との関係

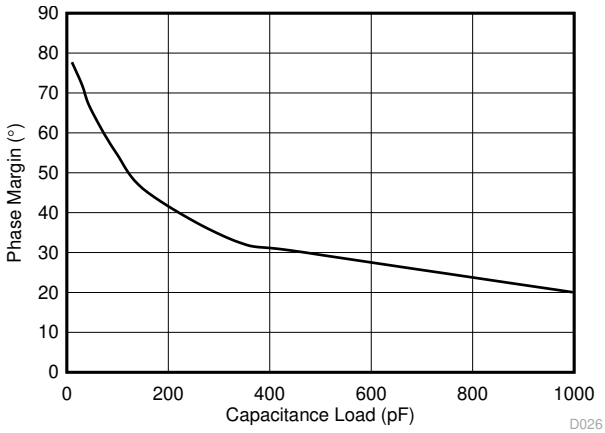
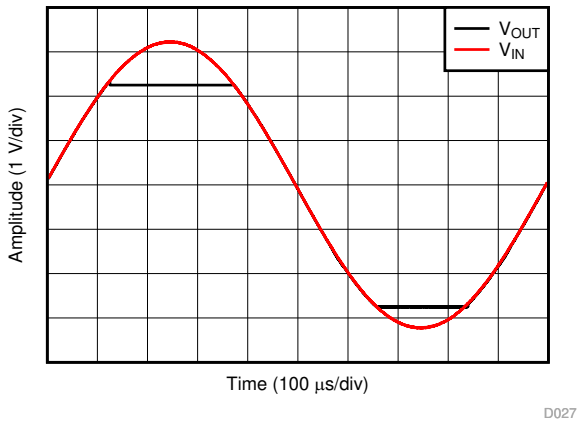
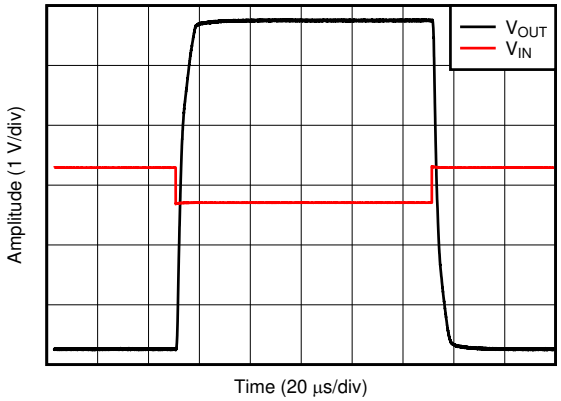


図 6-20. 位相マージンと容量性負荷との関係



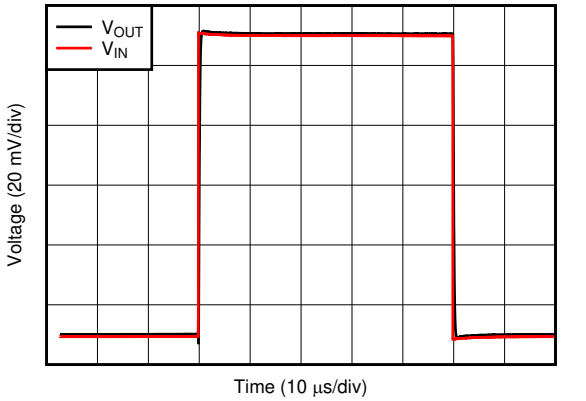
G = 1　　V_{OUT} = 6.5V_{PP}

図 6-21. 位相反転なし



G = -10　　V_{OUT} = 600mV_{PP}

図 6-22. 過負荷からの回復



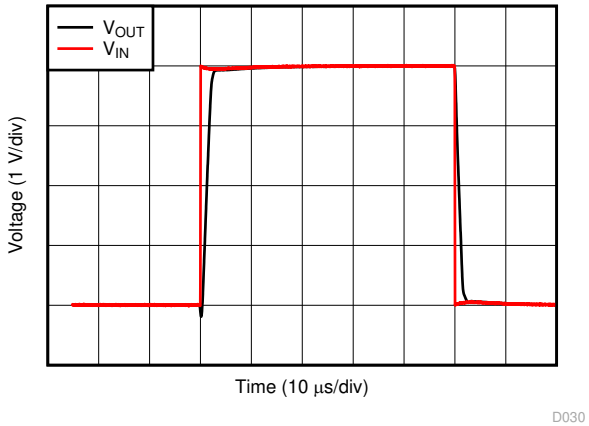
G = 1　　V_{OUT} = 100mV_{PP}　　C_L = 10pF

図 6-23. 小信号ステップ応答

Copyright © 2022 Texas Instruments Incorporated

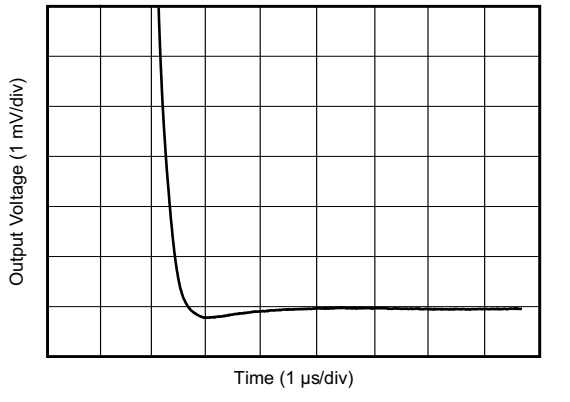
6.8 代表的特性 (continued)

T_A = 25℃、V+ = 2.75V、V– = -2.75V、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 (特に記述のない限り)



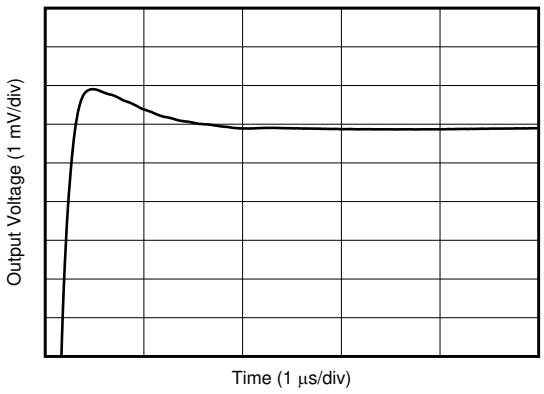
G = 1　　V_{OUT} = 4V_{PP}　　C_L = 10pF

図 6-24. 大信号ステップ応答



G = 1　　C_L = 100pF　　2V ステップ

図 6-25. 大信号セトリング・タイム (負)



G = 1　　C_L = 100pF　　2V ステップ

図 6-26. 大信号セトリング・タイム (正)

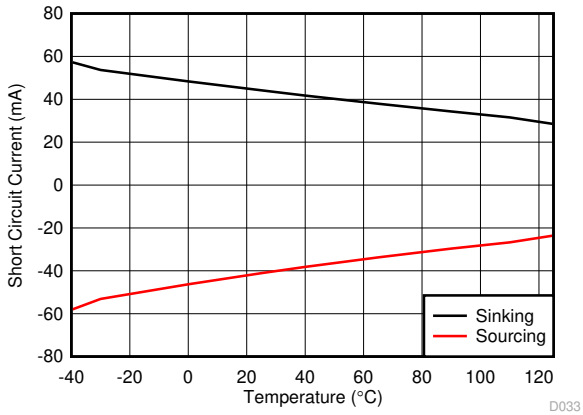


図 6-27. 短絡電流と温度との関係

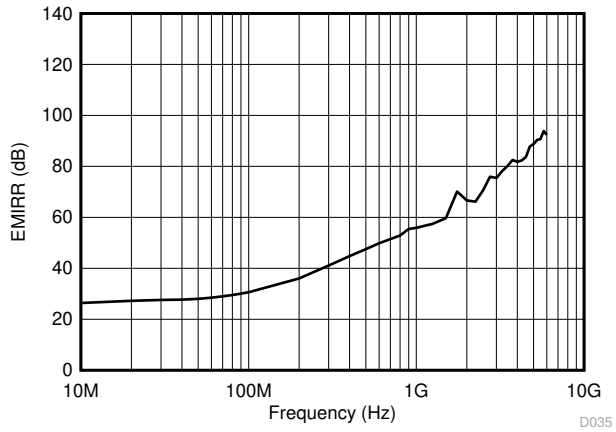


図 6-28. 非反転入力を基準とする電磁干渉除去比 (EMIRR+) と周波数との関係

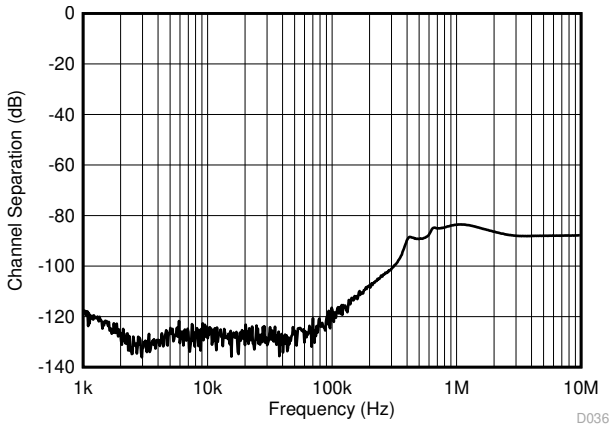


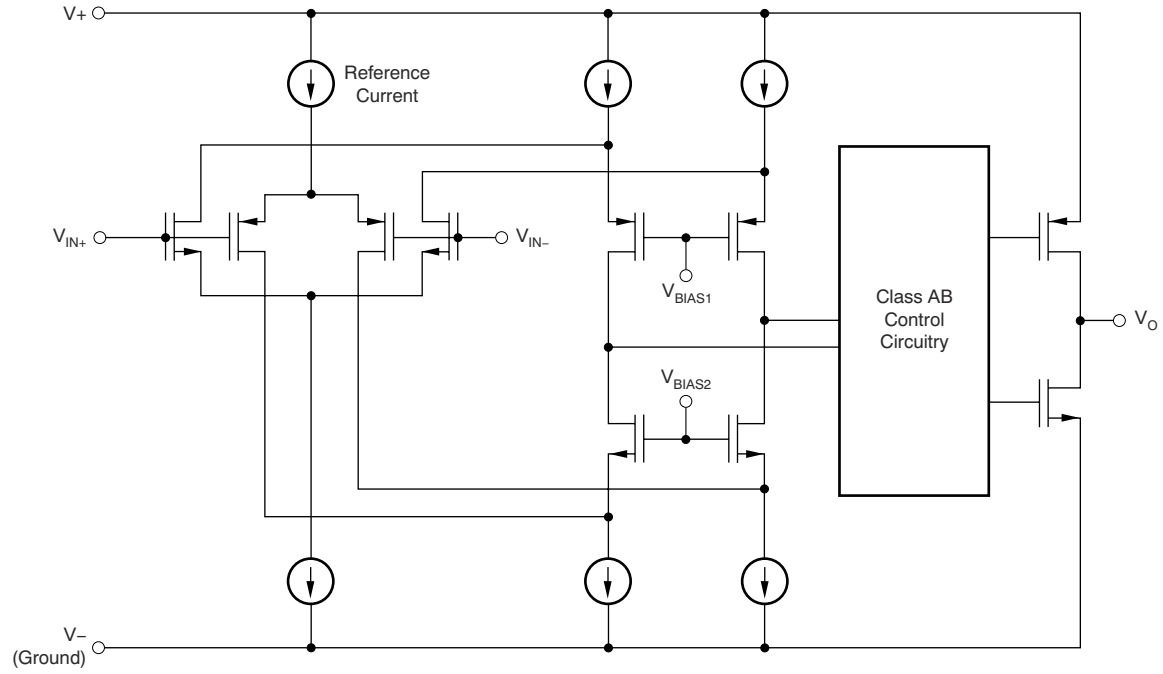
図 6-29. チャネル・セパレーション

7 詳細説明

7.1 概要

LM3xxLV 低消費電力オペアンプ・ファミリは、コストに関して最適化されたシステムに適しています。これらのデバイスは 2.7V～5.5V で動作し、ユニティ・ゲインで安定しており、幅広い汎用アプリケーションのために設計されています。入力同相電圧範囲に負レールが含まれるため、LM3xxLV ファミリは多くの単一電源アプリケーションで使用できます。

7.2 機能ブロック図



7.3 機能説明

7.3.1 動作電圧

LM3xxLV オペアンプ・ファミリは、2.7V～5.5V で動作することが規定されています。また、多くの仕様は -40℃～125℃ で適用されます。動作電圧または温度によって大きく変動するパラメータを*「電気的特性」*セクションに示します。

7.3.2 グランドを含む同相入力範囲

LM3xxLV ファミリの入力同相電圧範囲は、2.7V～5.5V の電源電圧範囲全体に対して、負電源レールまで、そして正電源レールの 1V 下にまで及んでいます。この性能は、*「機能ブロック図」*に示すように、P チャネル差動ペアによって達成されます。また、前世代のオペアンプでよく見られる位相反転の問題を解消するため、補助的な N チャネル差動ペアを並列に内蔵しています。ただし、この N チャネル・ペアは動作用には最適化されていないため、このペアが動作している間、性能は大幅に低下します。「電気的特性」セクションに記載された仕様を本オペアンプが確実に満たすように、入力に印加されるすべての電圧が正の電源レール (V+) よりも 1V 以上低くなるように制限することを推奨します。

7.3.3 過負荷からの回復

過負荷からの回復は、オペアンプの出力が飽和状態から線形状態に回復するために必要な時間として定義されます。高い入力電圧または高いゲインのいずれかが原因で、出力電圧が仕様の出力電圧スイングを超えると、オペアンプの出力デバイスは飽和領域に入ります。デバイスが飽和領域に入った後、出力デバイスのチャージ・キャリアは線形状態に回復するための時間を必要とします。チャージ・キャリアが線形状態に戻ると、デバイスは指定されたスルーレートでスルーを開始します。したがって、過負荷状態の場合の伝搬遅延は、過負荷復帰時間とスルー時間の合計になります。LM3xxLV ファミリの過負荷復帰時間は 1ns (標準値) です。

Copyright © 2022 Texas Instruments Incorporated

7.3.4 電気的オーバーストレス

設計者は多くの場合、オペアンプが電気的オーバーストレスにどの程度耐えられるのかという質問をします。これらの質問は、デバイスの入力に注目しがちですが、電源電圧ピンも関係している場合があります。これらの各ピンの機能には、特定の半導体製造プロセスの電圧ブレークダウン特性と、ピンに接続された特定の回路とで決まる電気的ストレスの制限値があります。また、これらの回路には内部静電気放電 (ESD) 保護機能が組み込まれており、製品の組み立て前と組み立て中の両方で、偶発的な ESD イベントから保護します。

この基本的な ESD 回路と、電気的オーバーストレス・イベントとの関連性を十分に理解しておくと役に立ちます。図 7-1 に、LM3xxLV が内蔵する ESD 回路を示します。ESD 保護回路には、いくつかの電流ステアリング・ダイオードが含まれており、これらは入力ピンや出力ピンから接続され、内部の電源ラインに戻るようルーティングされます。これらのダイオードは、オペアンプ内部の吸収デバイスで接続されます。この保護回路は、通常の回路動作中は非アクティブに保たれるよう設計されます。

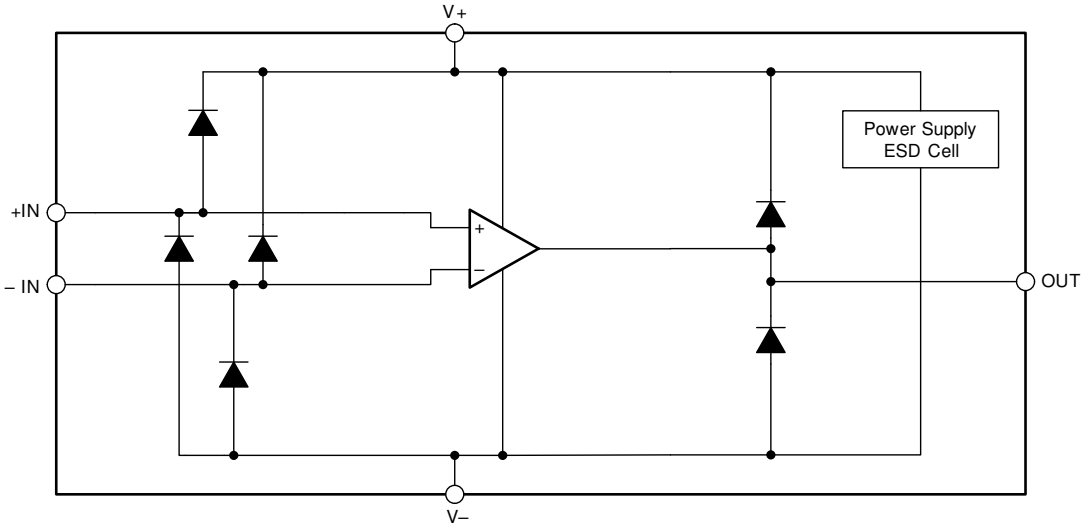


図 7-1. 内部 ESD 等価回路

7.3.5 EMI 感受性と入力フィルタリング

テキサス・インスツルメンツは、10MHz から 6GHz までの幅広い周波数スペクトルにわたって、オペアンプの耐性を正確に測定および数量化する機能を開発しました。図 6-28 のプロットは、幅広い周波数での LM3xxLV ファミリの EMI フィルタの性能を示しています。詳細については、www.ti.com からダウンロードできる『オペアンプの EMI 除去率』を参照してください。

7.4 デバイスの機能モード

LM3xxLV ファミリは 1 つの機能モードを持っています。電源電圧が 2.7V (±1.35V) と 5.5V (±2.75V) の間にある限り、本デバイスは機能します。

Copyright © 2022 Texas Instruments Incorporated

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

LM3xxLV デバイスは、コスト最適化された低消費電力オペアンプ・ファミリです。本デバイスは 2.7V～5.5V で動作し、ユニティ・ゲインで安定しているため、幅広い汎用アプリケーションに適しています。入力同相電圧範囲に負レールが含まれるため、LM3xxLV はすべての単一電源アプリケーションで使用できます。

8.2 代表的なアプリケーション

ローサイド電流センシング・アプリケーションに構成された LM3xxLV デバイスを、図 8-1 に示します。

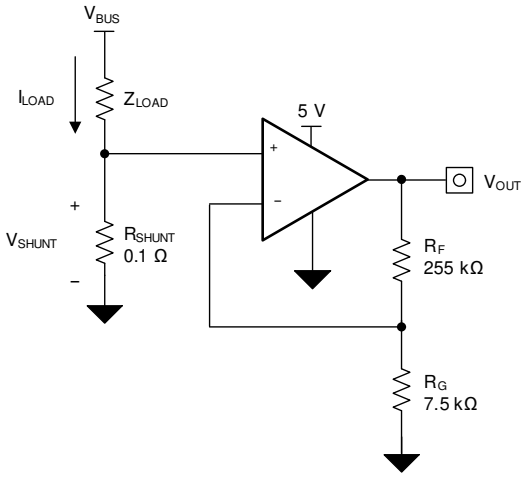


図 8-1. ローサイド電流センシング・アプリケーションの LM3xxLV デバイス

8.2.1 設計要件

この設計の設計要件は次のとおりです。

- 負荷電流：0A～1A
- 出力電圧：3.5V
- 最大シャント電圧：100mV

8.2.2 詳細な設計手順

図 8-1 の回路の伝達関数は、式 1 に示すとおりです。

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times Gain \quad (1)$$

負荷電流 (I_{LOAD}) により、シャント抵抗 (R_{SHUNT}) の両端で電圧降下が発生します。負荷電流は 0A～1A に設定されます。最大負荷電流時にシャント電圧を 100mV 未満に維持するため、許容される最大シャント抵抗は式 2 を使って示されます。

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100mV}{1A} = 100m\Omega \quad (2)$$

Copyright © 2022 Texas Instruments Incorporated

式 2 から、R_{SHUNT} は 100mΩ と計算されます。I_{LOAD} と R_{SHUNT} によって生成される電圧降下は、LM3xxLV デバイスによって増幅され、約 0V～3.5V の出力電圧を生成します。LM3xxLV が必要な出力電圧を生成するために要求するゲインは、式 3 で計算されます。

$$Gain = \frac{\left(V_{OUT_MAX} - V_{OUT_MIN}\right)}{\left(V_{IN_MAX} - V_{IN_MIN}\right)} \quad (3)$$

式 3 から、必要なゲインは 35V/V と計算されます。これは抵抗 R_F と R_G で設定します。LM3xxLV デバイスのゲインを 35V/V に設定するための抵抗 R_F および R_G のサイズは式 4 で計算します。

$$Gain = 1 + \frac{\left(R_F\right)}{\left(R_G\right)} \quad (4)$$

8.2.3 アプリケーション曲線

R_F に 255kΩ、R_G に 7.5kΩ を選択すると、35V/V に相当する組み合わせが得られます。図 8-1 に示す回路で測定された伝達関数を、図 8-2 に示します。ゲインは、帰還抵抗とゲイン抵抗のみの関数であることに注意します。このゲインは、抵抗の比を変えることで調整され、実際の抵抗値は、設計に必要とされるインピーダンス値によって決定されます。そのインピーダンス値によって、電流ドレイン、浮遊容量の影響、その他の複数の挙動が決まります。すべてのシステムで機能するような最適インピーダンス選択というものは存在しません。お使いのシステム・パラメータに対して理想的なインピーダンスを選択する必要があります。

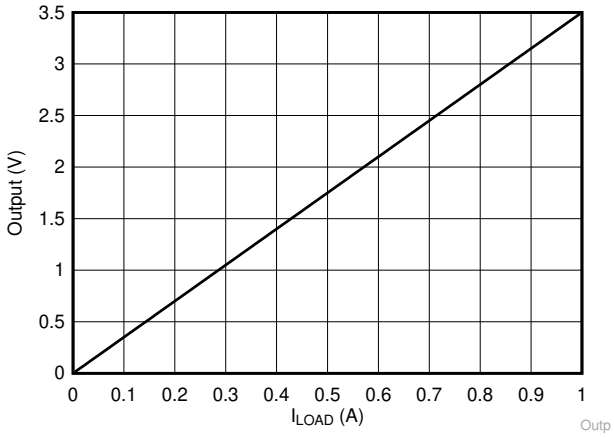


図 8-2. ローサイド、電流センス、伝達関数

9 電源に関する推奨事項

LM3xxLV ファミリは、2.7V～5.5V (±1.35V～±2.75V) で動作することが規定されています。また、多くの仕様は -40℃～125℃で適用されます。動作電圧または温度によって大きく変動するパラメータを「*電気的特性*」セクションに示します。

> **注意**
>
> 6V を超える電源電圧を印加すると、デバイスに永続的な損傷を与える可能性があります。「絶対最大定格」の表を参照してください。

電源ピンの近くに 0.1µF のバイパス・コンデンサを配置すると、ノイズの多い電源や高インピーダンスの電源からの結合による誤差を低減できます。バイパス・コンデンサの配置の詳細については、「レイアウトのガイドライン」セクションを参照してください。

9.1 入力および ESD 保護

LM3xxLV ファミリには、すべてのピンに内部 ESD 保護回路が組み込まれています。入力および出力ピンの場合、主にこの保護回路は、入力ピンと電源ピンの間に接続された電流ステアリング・ダイオードで構成されます。*セクション 6.1* の表に規定されているように、電流が 10mA に制限されている限り、ESD 保護ダイオードは回路内の入力オーバードライブ保護を提供します。図 9-1 に、駆動入力に直列入力抵抗を追加することで入力電流を制限する方法を示します。追加された抵抗はアンプ入力の熱ノイズに寄与するため、ノイズに敏感なアプリケーションでは、この値を最小限に抑える必要があります。

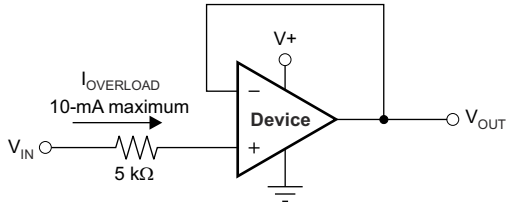


図 9-1. 入力電流保護

Copyright © 2022 Texas Instruments Incorporated

10 レイアウト

10.1 レイアウトのガイドライン

デバイスで最高の動作性能を実現するため、以下のような優れた PCB レイアウト手法を使用してください。

- ノイズは、回路全体の電源ピンとオペアンプ自体の電源ピンを経由して、アナログ回路に伝播することがあります。バイパス・コンデンサは、アナログ回路に対してローカルに低インピーダンスの電源を供給し、結合ノイズを低減するために使用されます。
  - 各電源ピンとグランドとの間に、低 ESR の 0.1µF セラミック・バイパス・コンデンサを接続し、可能な限りデバイスの近くに配置します。単一電源アプリケーションの場合は、V+ からグランドに対して単一のバイパス・コンデンサを接続します。
- 回路のアナログ部分とデジタル部分のグランドを分離することは、ノイズを抑制する最も簡単かつ効果的な方法の 1 つです。通常、多層 PCB のうち 1 つ以上の層はグランド・プレーン専用です。グランド・プレーンは、熱の分散や、電磁干渉 (EMI) ノイズのピックアップの低減に役立ちます。デジタル・グランドとアナログ・グランドを物理的に分離するように注意します。熱痕跡または EMI 測定手法を使用して、多くのグランド電流が流れる場所を特定し、この経路を敏感なアナログ回路から必ず離して配線します。詳細については、『回路基板のレイアウト技法』アプリケーション・ノートを参照してください。
- 寄生カップリングを低減するには、入力配線を電源配線または出力配線からできるだけ離して配置します。これらの配線を離しておけない場合、敏感な配線をノイズの多い配線と平行に配線するのではなく、90 度で交差させる方がはるかに良い結果が得られます。
- 外付け部品は、可能な限りデバイスに近く配置します (図 10-2 を参照)。R_F と R_G を反転入力に近付けて配置すると、寄生容量を最小化できます。
- 入力配線はできる限り短くします。入力配線は回路の最も敏感な部分であることに注意します。
- 重要な配線の周囲に、駆動される低インピーダンスのガード・リングを配置することを検討します。ガード・リングを使用すると、付近に存在する、さまざまな電位の配線からのリーク電流を大幅に低減できます。
- 最高の性能を実現するため、基板組み立ての後で PCB を清掃することを推奨します。
- 高精度の集積回路では、プラスチック・パッケージへの水分の侵入により性能が変化する場合があります。PCB を水で洗浄してから、PCB アセンブリをベーキングして、清掃プロセス中にデバイスのパッケージに取り込まれた水分を除去することを推奨します。ほとんどの状況では、クリーニング後に 85℃で 30 分間の低温ベーキングを行えば十分です。

10.2 レイアウト例

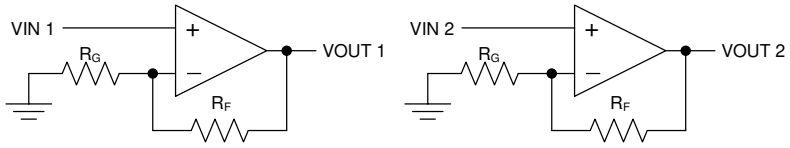


図 10-1. の回路図

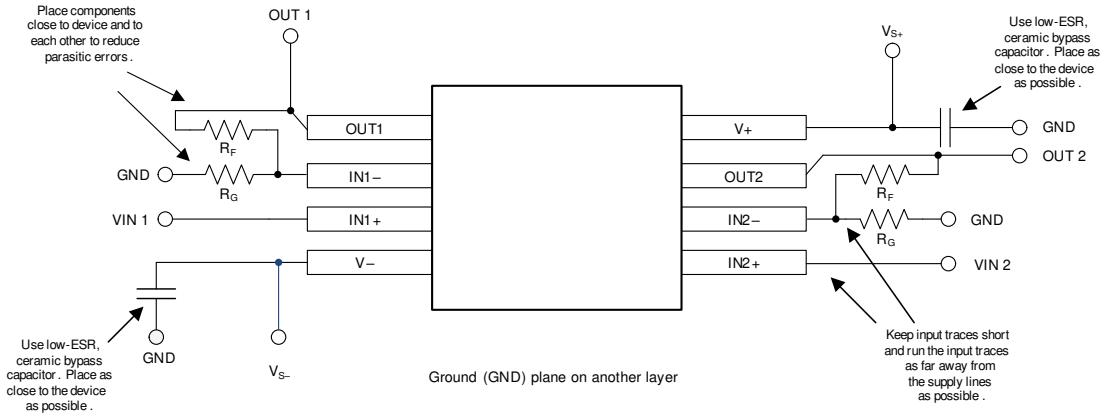


図 10-2. レイアウト例

Copyright © 2022 Texas Instruments Incorporated

11 デバイスおよびドキュメントのサポート

11.1 ドキュメントのサポート

11.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、*『オペアンプの EMI 除去率』アプリケーション・レポート*
- テキサス・インスツルメンツ、*『回路基板のレイアウト技法』アプリケーション・ノート*

11.2 Receiving Notification of Documentation Updates

To receive notification of documentation updates, navigate to the device product folder on ti.com. Click on *Subscribe to updates* to register and receive a weekly digest of any product information that has changed. For change details, review the revision history included in any revised document.

11.3 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

11.4 商標

TI E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

11.5 Electrostatic Discharge Caution

This integrated circuit can be damaged by ESD. Texas Instruments recommends that all integrated circuits be handled with appropriate precautions. Failure to observe proper handling and installation procedures can cause damage.

ESD damage can range from subtle performance degradation to complete device failure. Precision integrated circuits may be more susceptible to damage because very small parametric changes could cause the device not to meet its published specifications.

11.6 Glossary

TI Glossary	This glossary lists and explains terms, acronyms, and definitions.

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。これらの情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントの改訂を伴わない場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2022 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM321LVIDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	1SPF
LM321LVIDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1SPF
LM321LVIDCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	POST-PLAT AG SPOT | SN	Level-2-260C-1 YEAR	-40 to 125	1DH
LM321LVIDCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	1DH
LM324LVIDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LM324LV
LM324LVIDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LM324LV
LM324LVIDYYR	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LM324L
LM324LVIDYYR.A	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LM324L
LM324LVIPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	LM324LV
LM324LVIPWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	LM324LV
LM358LVIDDFR	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L58L
LM358LVIDDFR.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L58L
LM358LVIDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	1PKX
LM358LVIDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	1PKX
LM358LVIDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	L358LV
LM358LVIDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	L358LV
LM358LVIDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L358LV
LM358LVIDRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L358LV
LM358LVIPWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	358LV
LM358LVIPWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 125	358LV

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

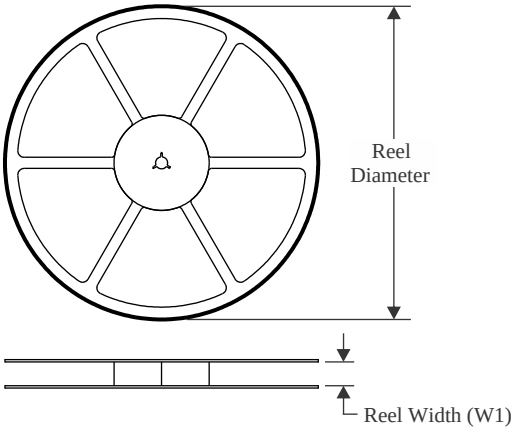
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

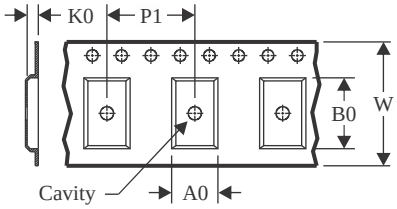
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

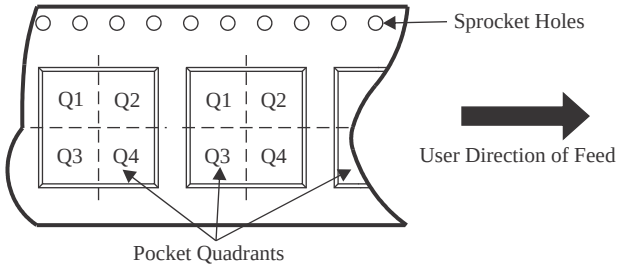


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

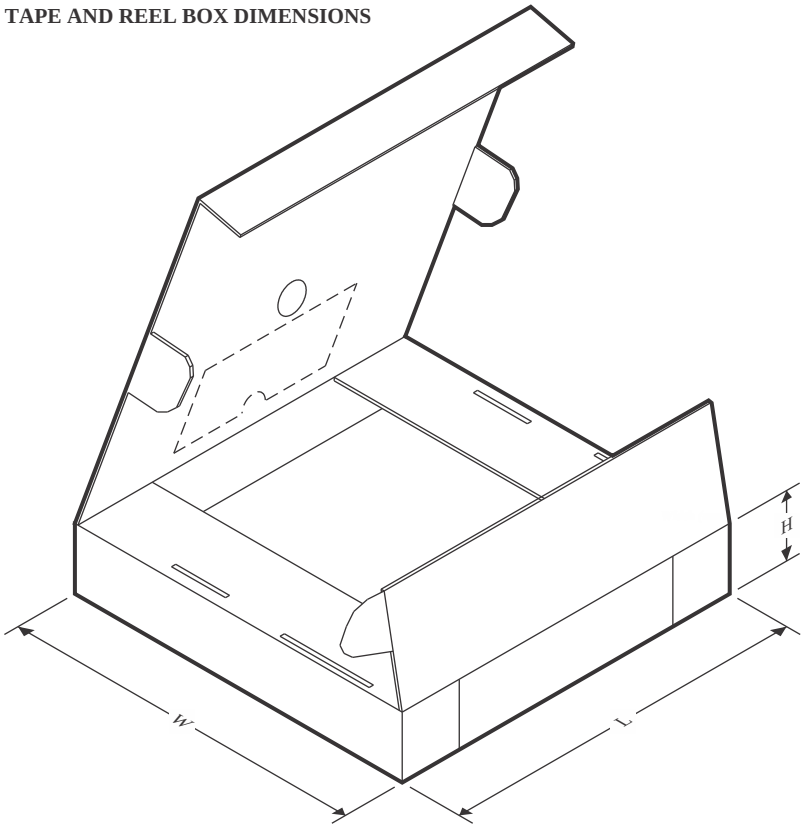
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM321LVIDBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LM321LVIDCKR	SC70	DCK	5	3000	178.0	8.4	2.25	2.45	1.2	4.0	8.0	Q3
LM324LVIDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
LM324LVIDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
LM324LVIDYYR	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
LM324LVIPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
LM358LVIDDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LM358LVIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LM358LVIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM358LVIDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM358LVIPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

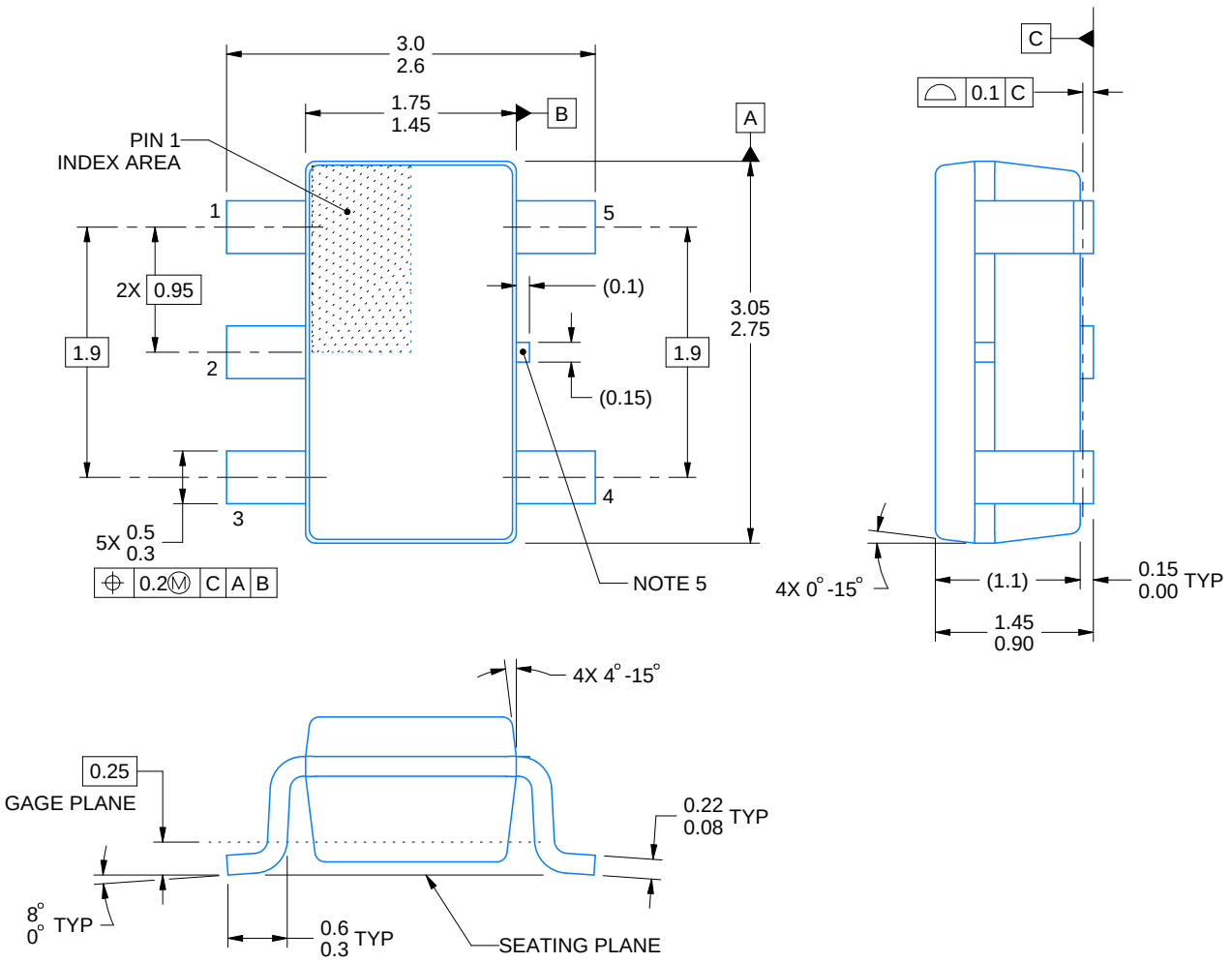
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM321LVIDBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
LM321LVIDCKR	SC70	DCK	5	3000	208.0	191.0	35.0
LM324LVIDR	SOIC	D	14	2500	353.0	353.0	32.0
LM324LVIDR	SOIC	D	14	2500	353.0	353.0	32.0
LM324LVIDYYR	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
LM324LVIPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
LM358LVIDDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
LM358LVIDGKR	VSSOP	DGK	8	2500	356.0	356.0	36.0
LM358LVIDR	SOIC	D	8	2500	353.0	353.0	32.0
LM358LVIDRG4	SOIC	D	8	2500	353.0	353.0	32.0
LM358LVIPWR	TSSOP	PW	8	2000	353.0	353.0	32.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

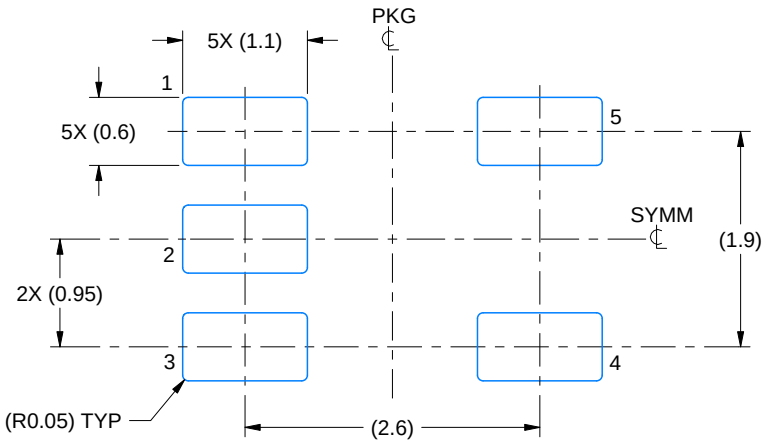
SMALL OUTLINE TRANSISTOR



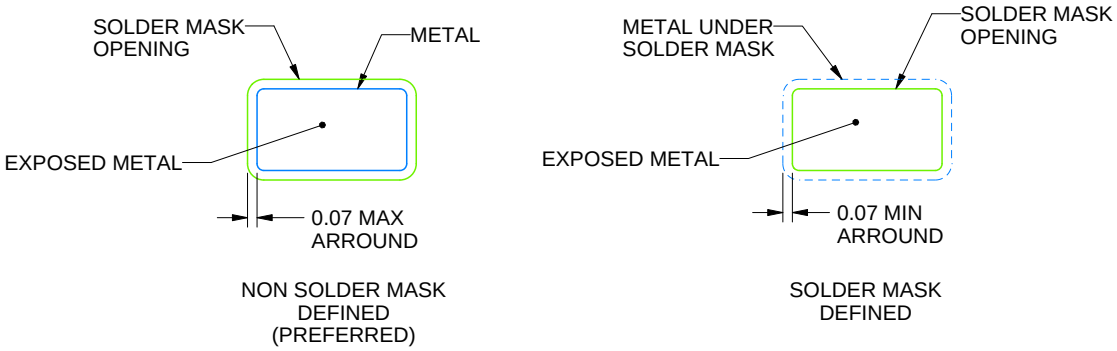
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

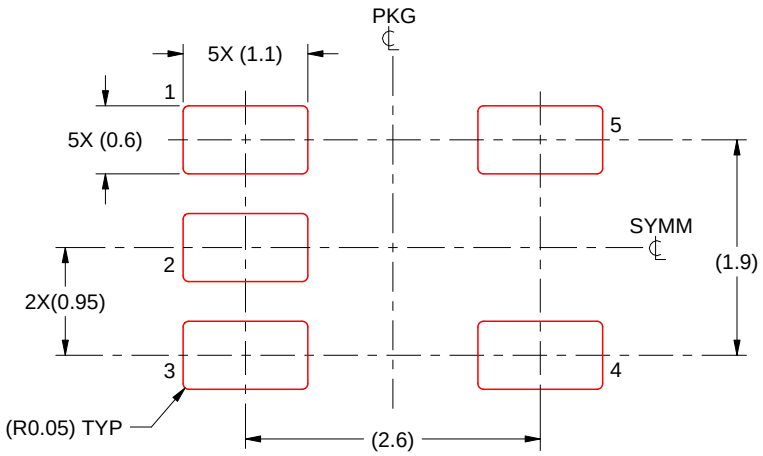


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

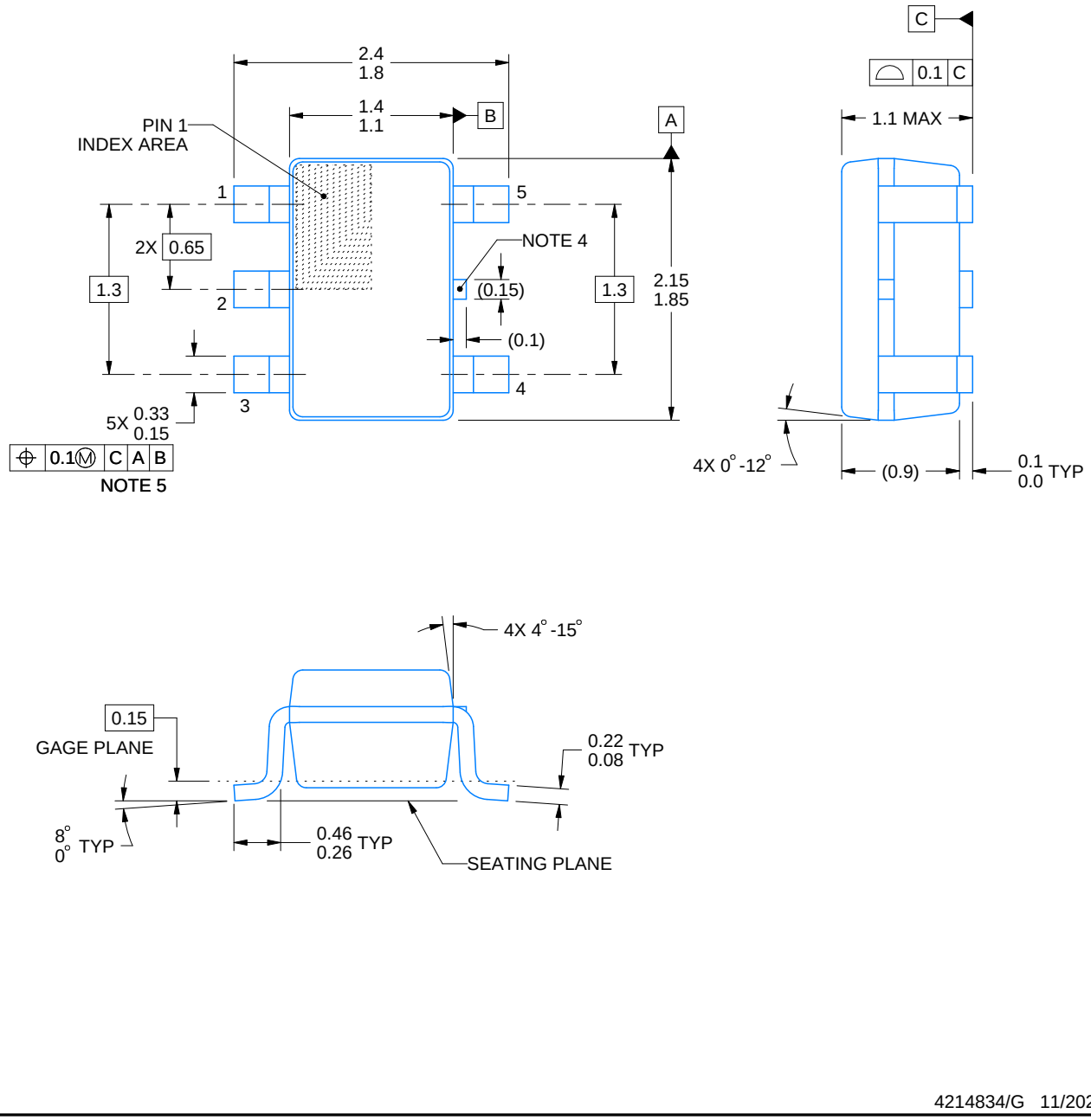
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

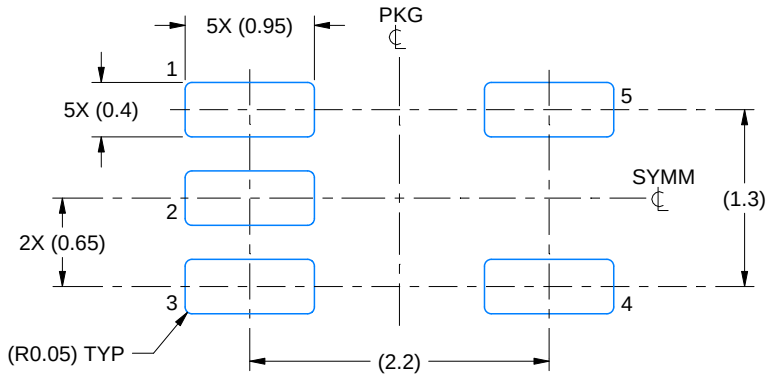
SMALL OUTLINE TRANSISTOR



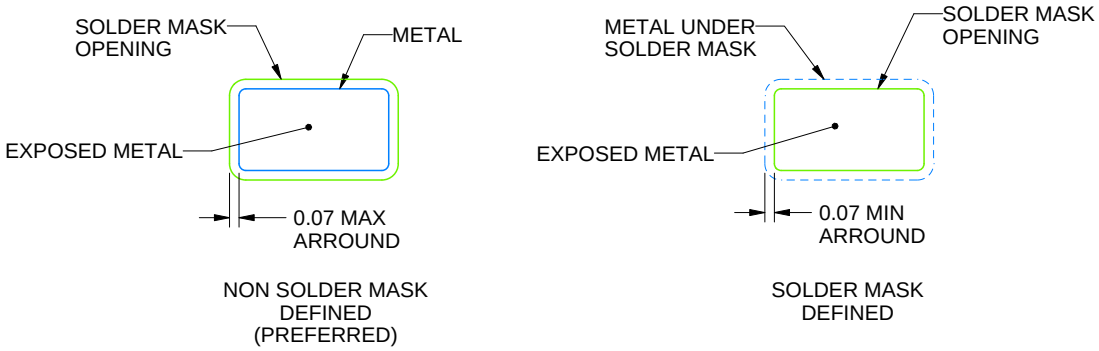
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

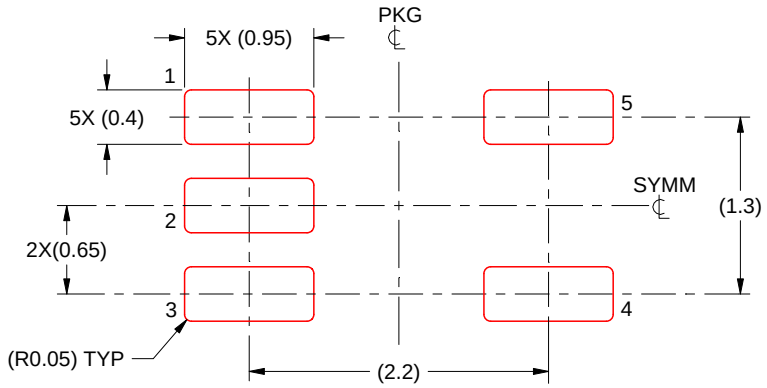


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

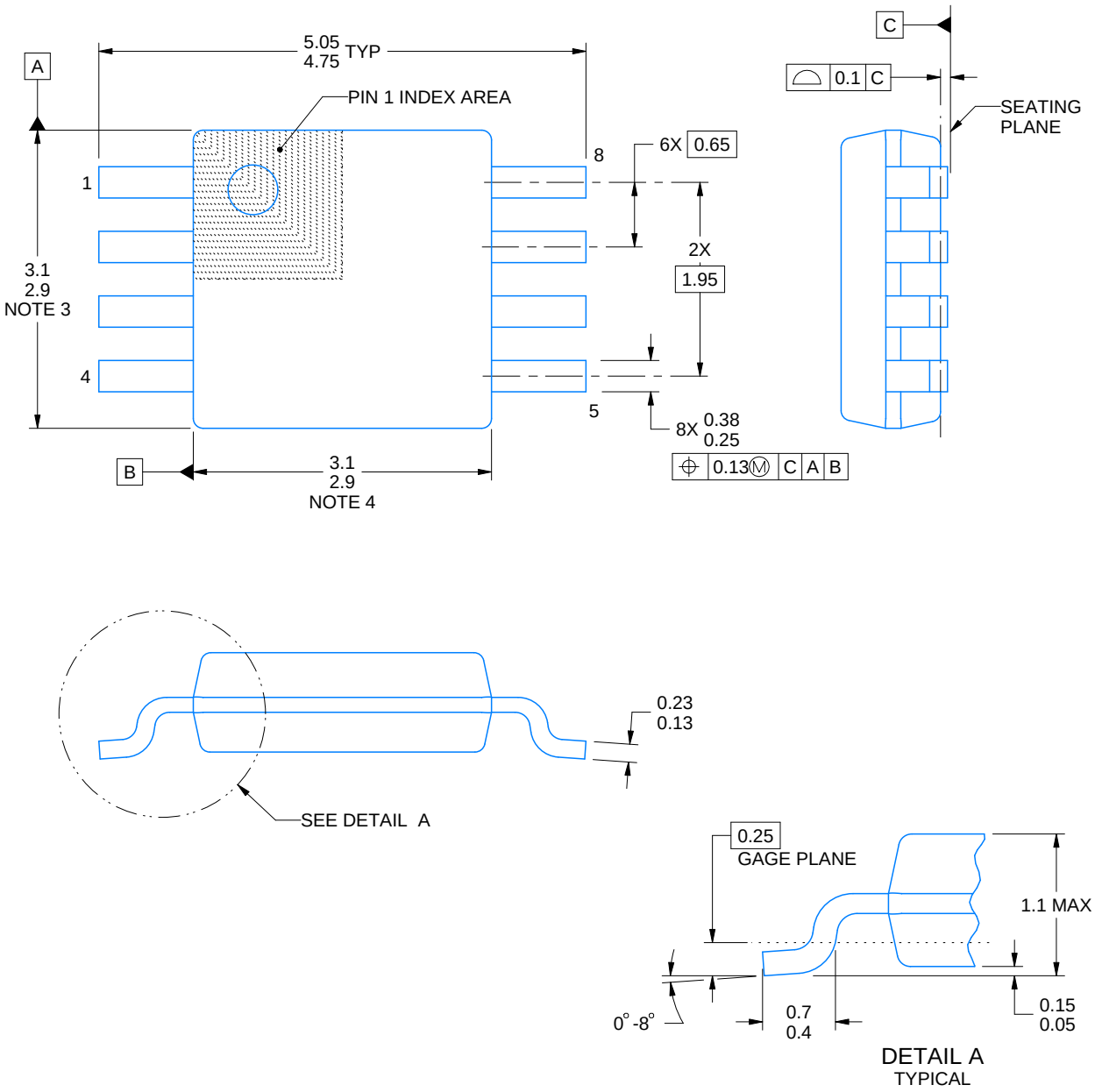
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

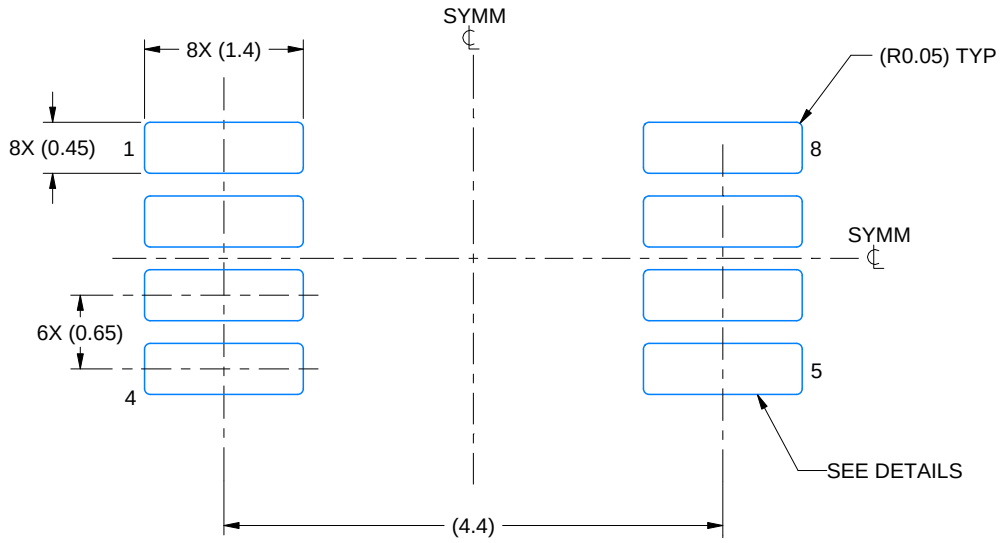
SMALL OUTLINE PACKAGE



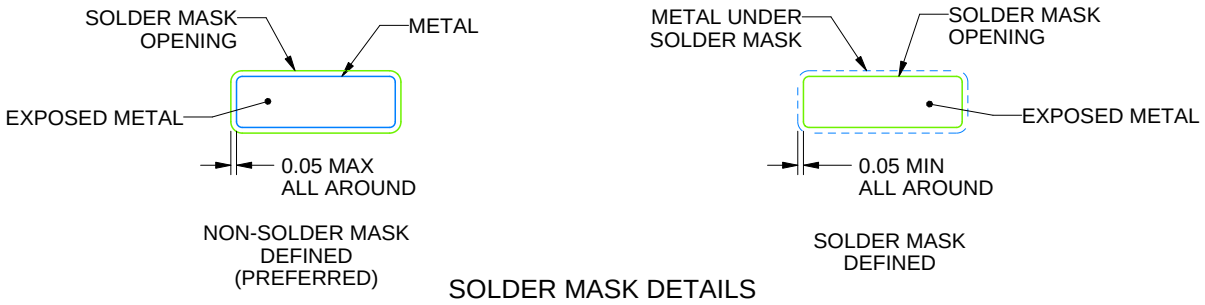
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

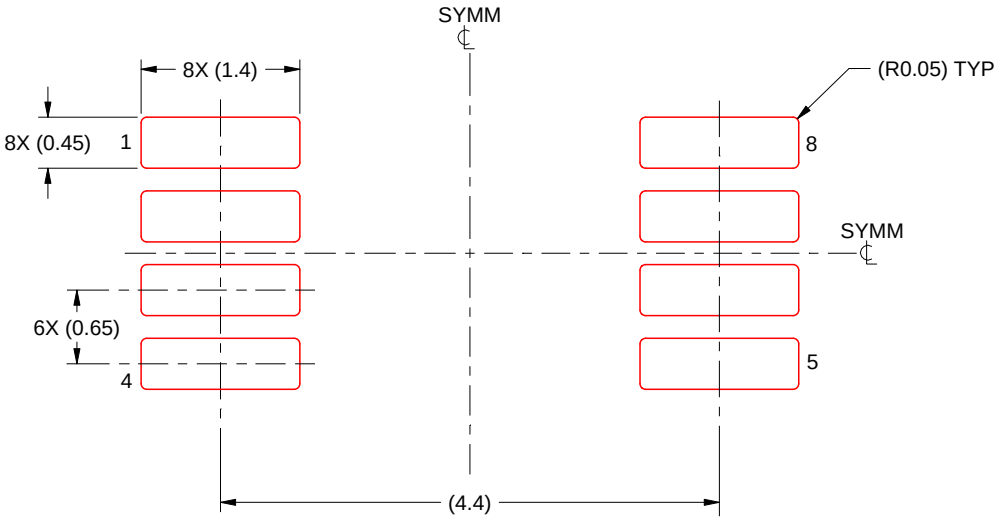


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

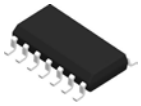


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

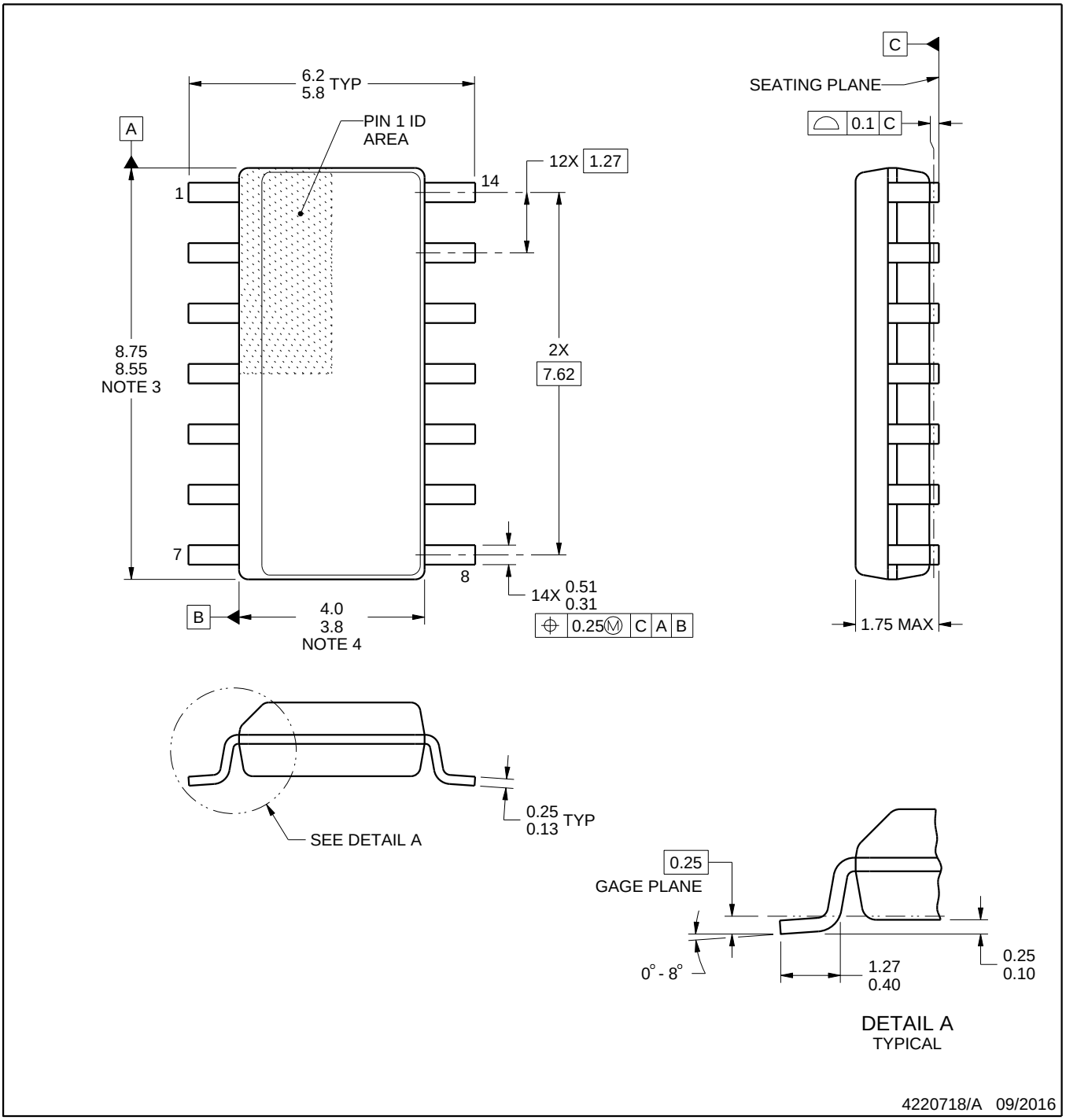


PACKAGE OUTLINE

D0014A

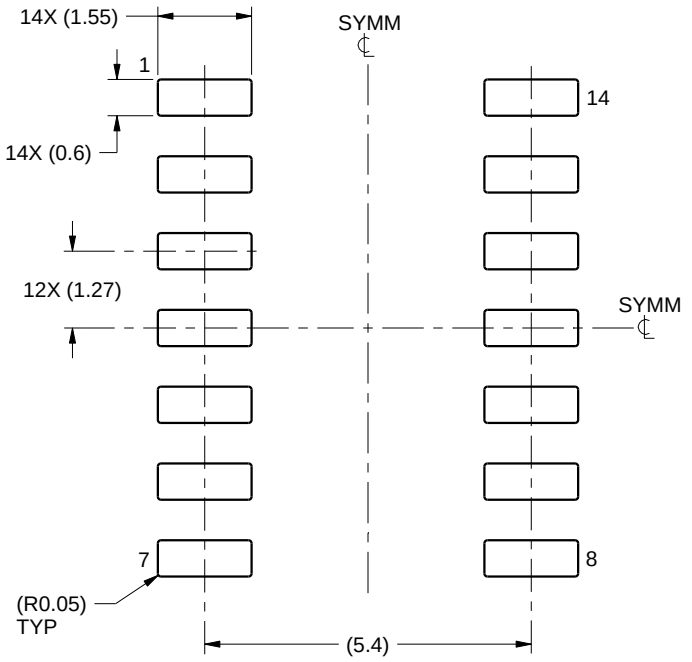
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

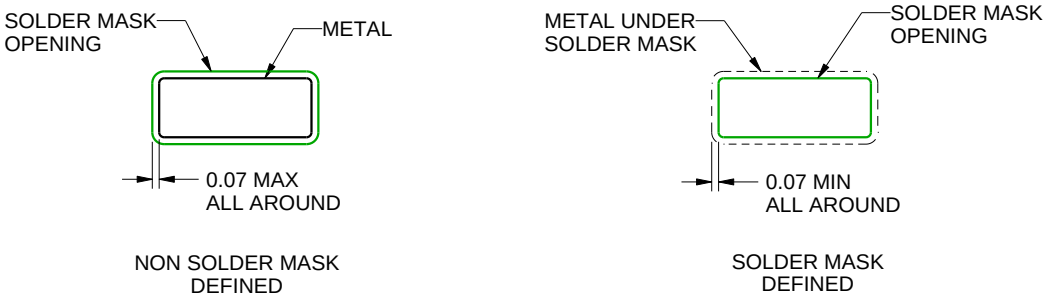


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

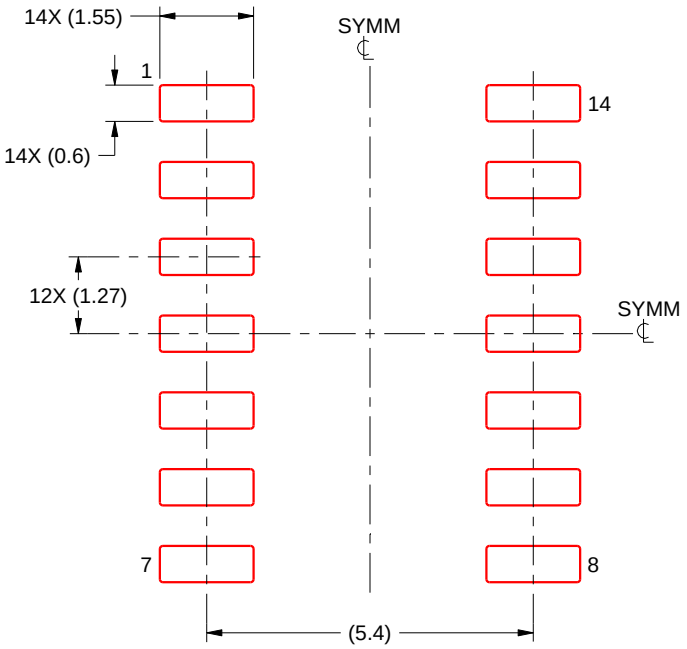
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

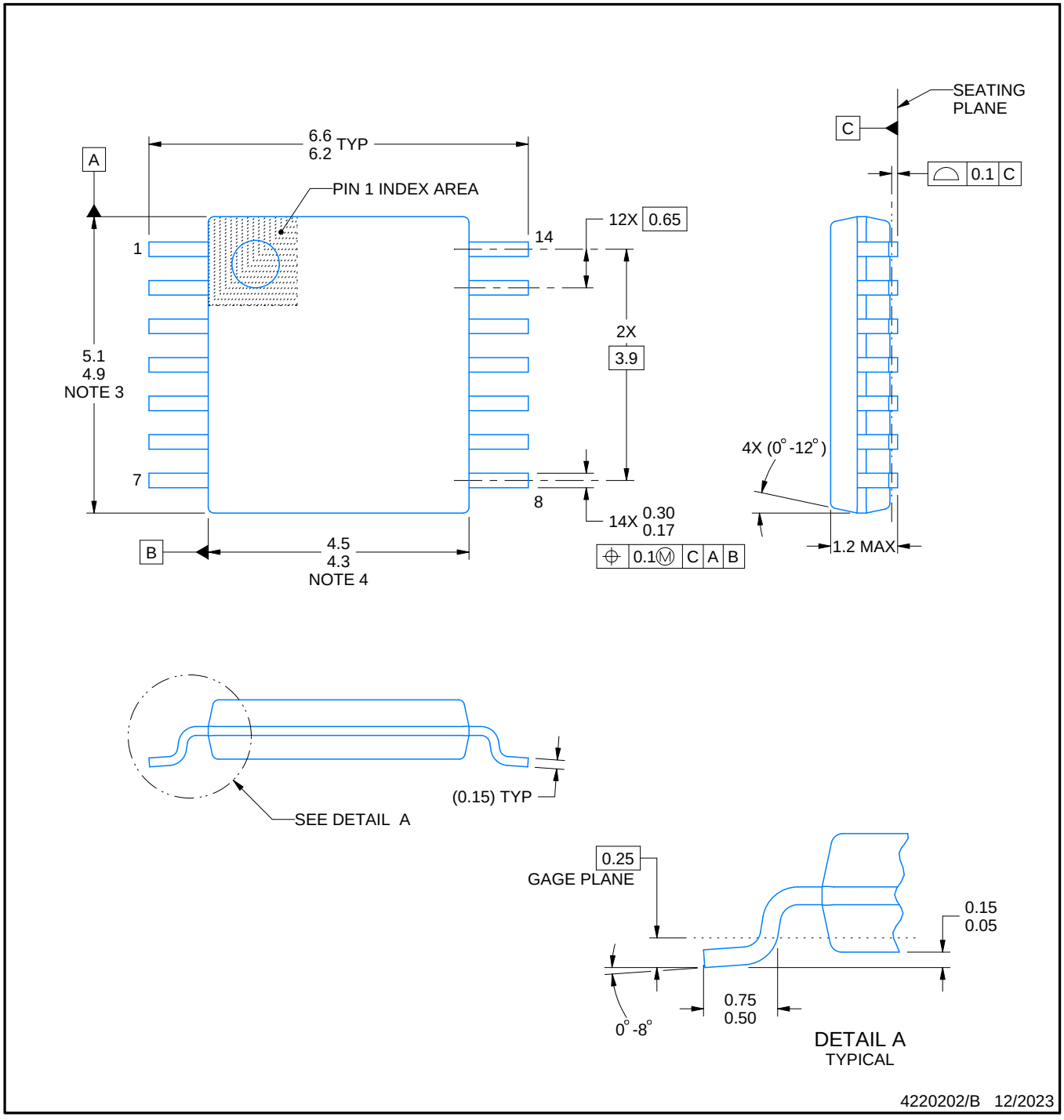
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

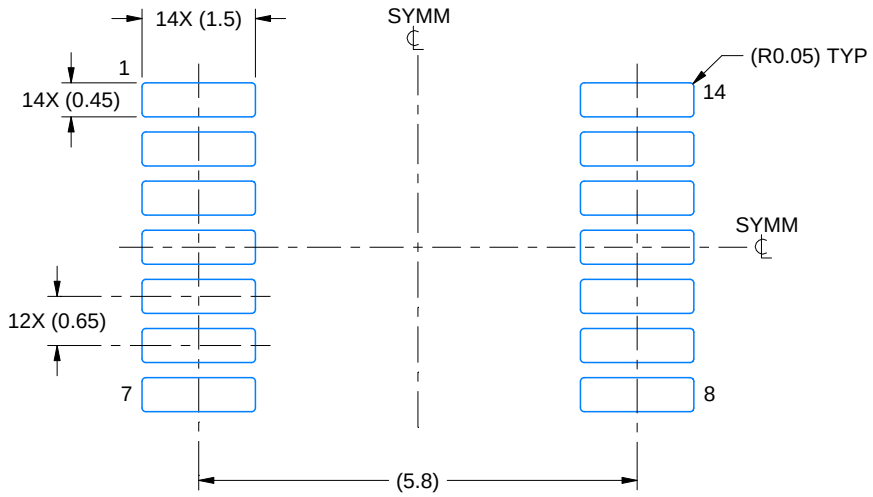
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

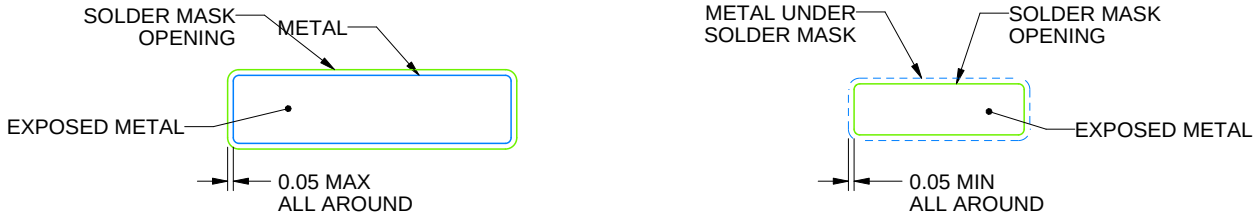


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

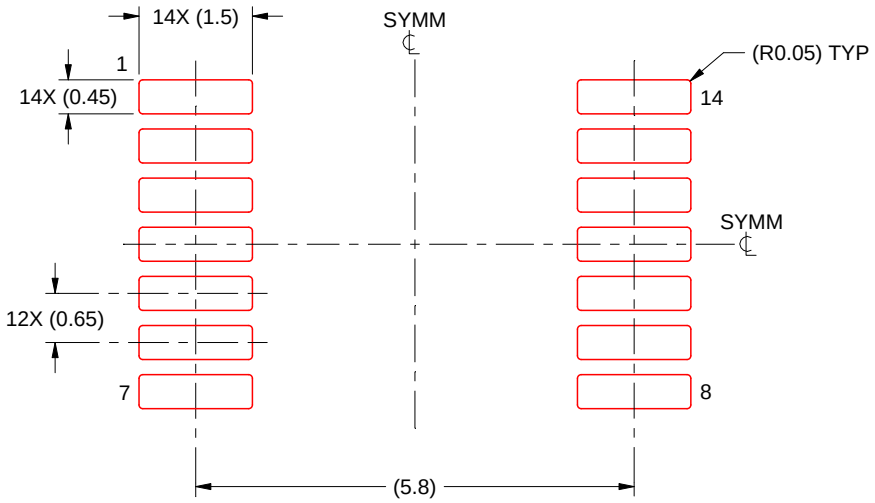


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

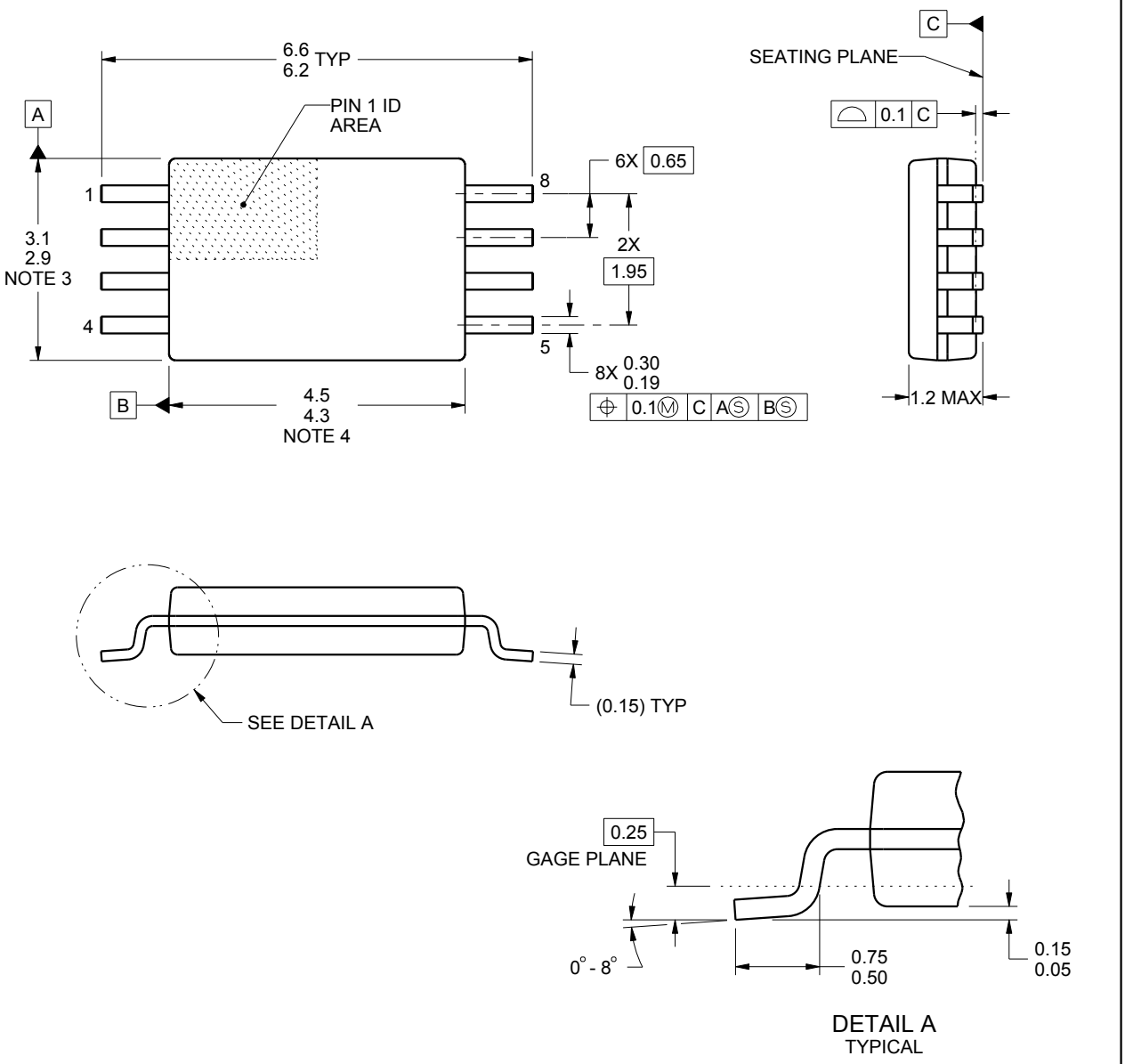
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0008A

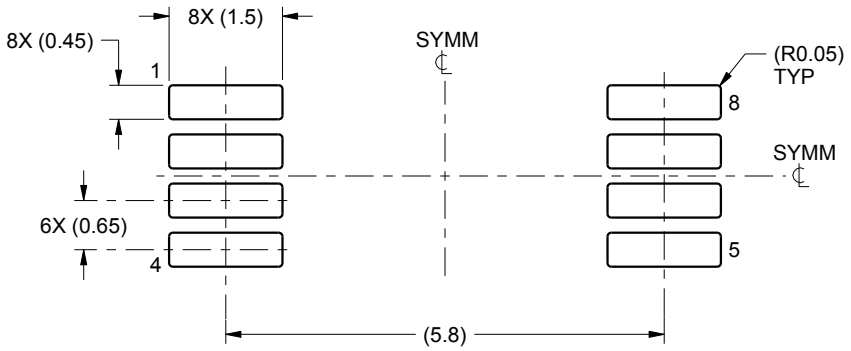
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

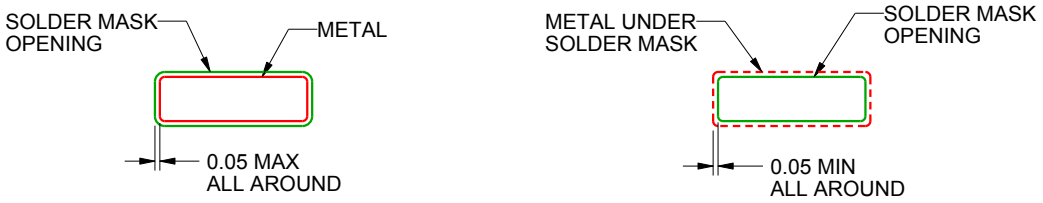


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

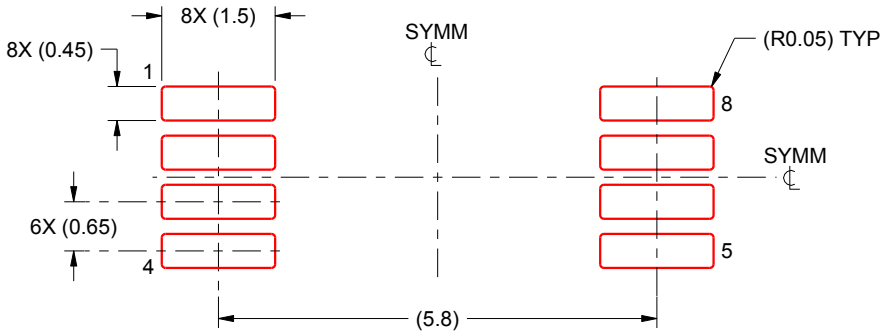


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

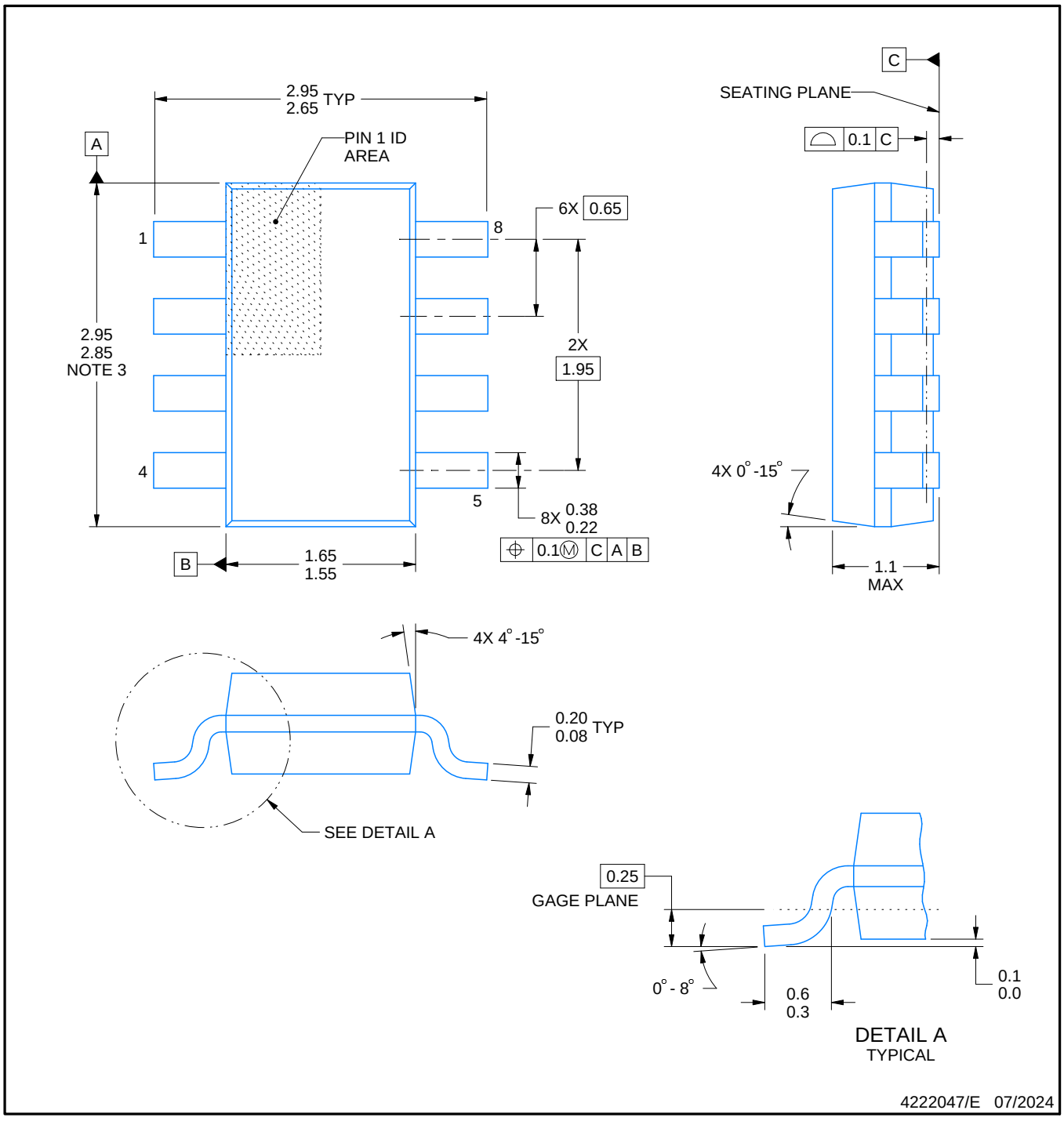
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DDF0008A

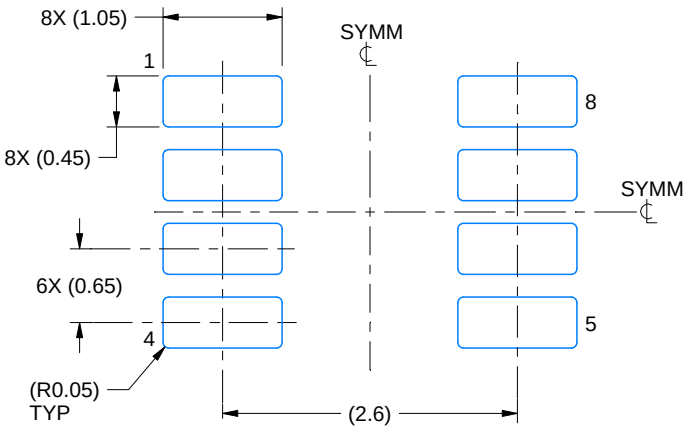
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

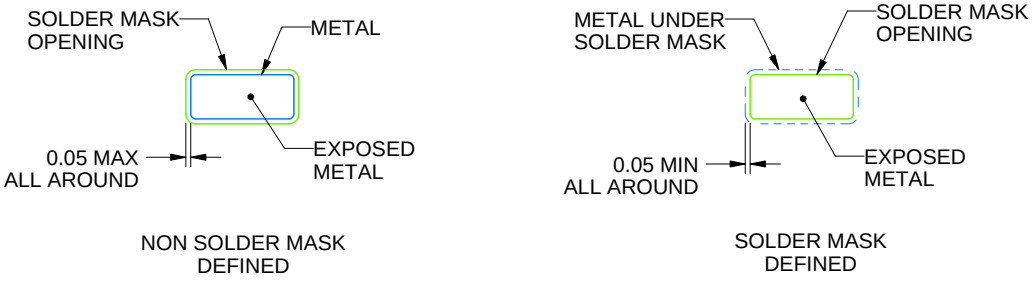


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

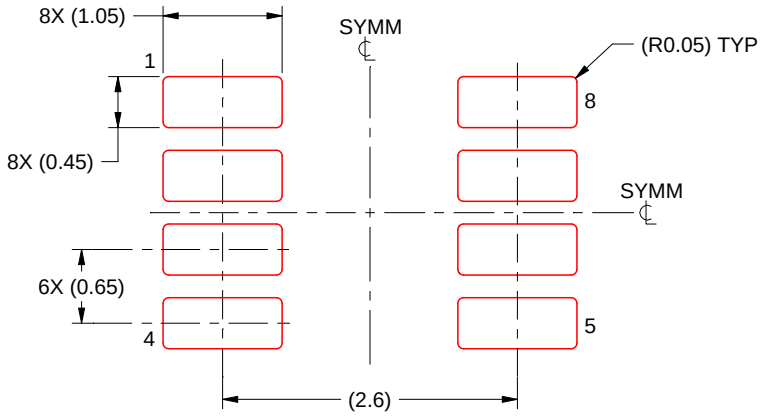


SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

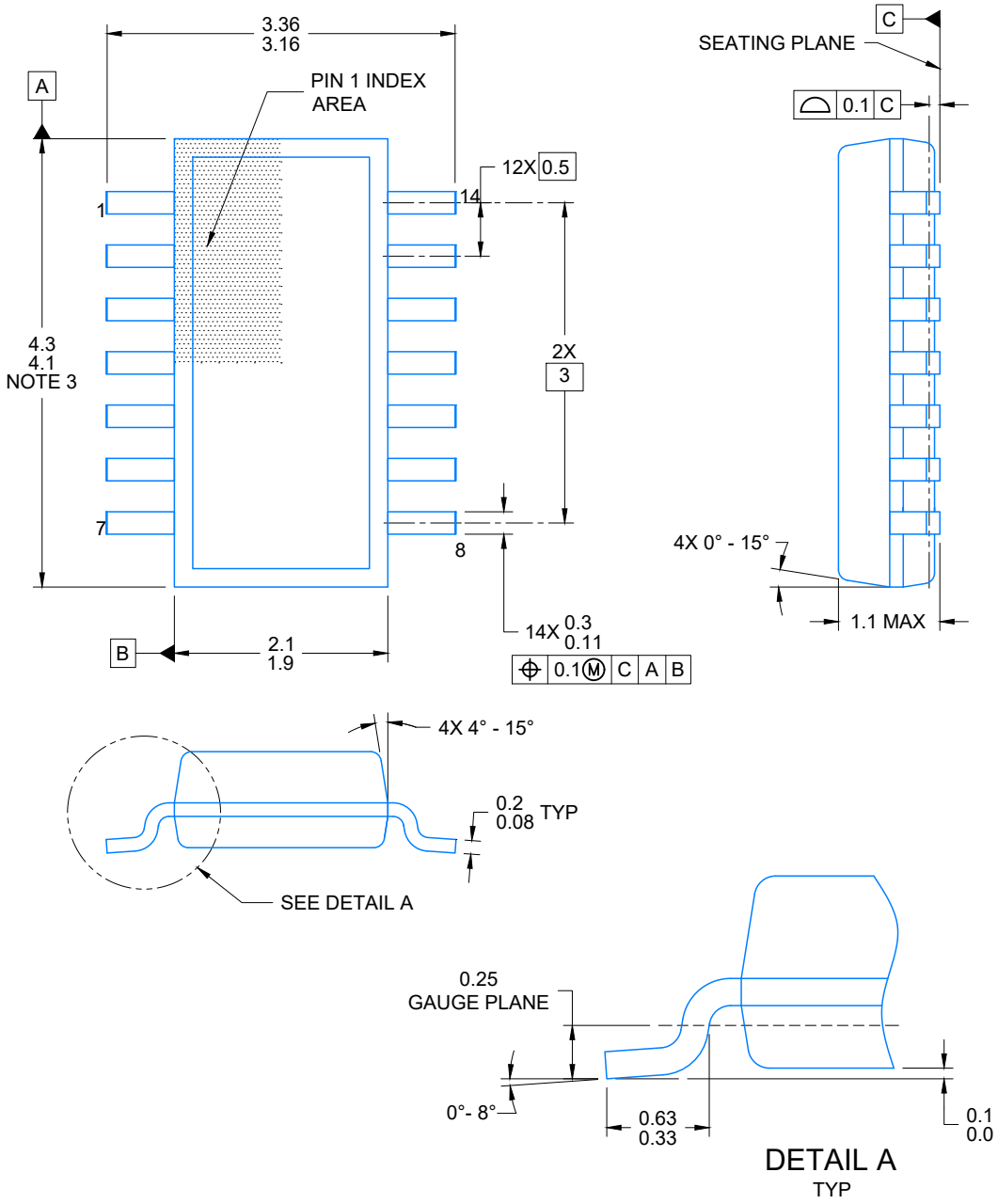
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DYY0014A

SOT-23-THIN - 1.1 mm max height

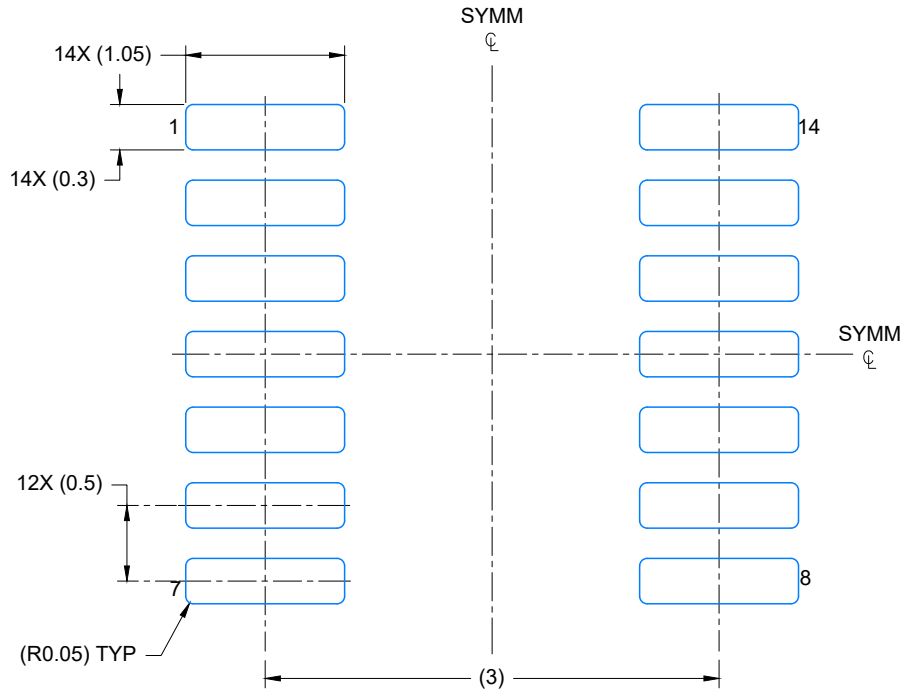
PLASTIC SMALL OUTLINE



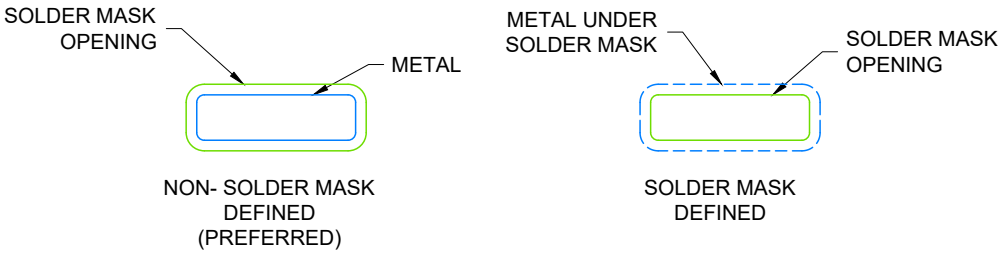
4224643/D 07/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4224643/D 07/2024

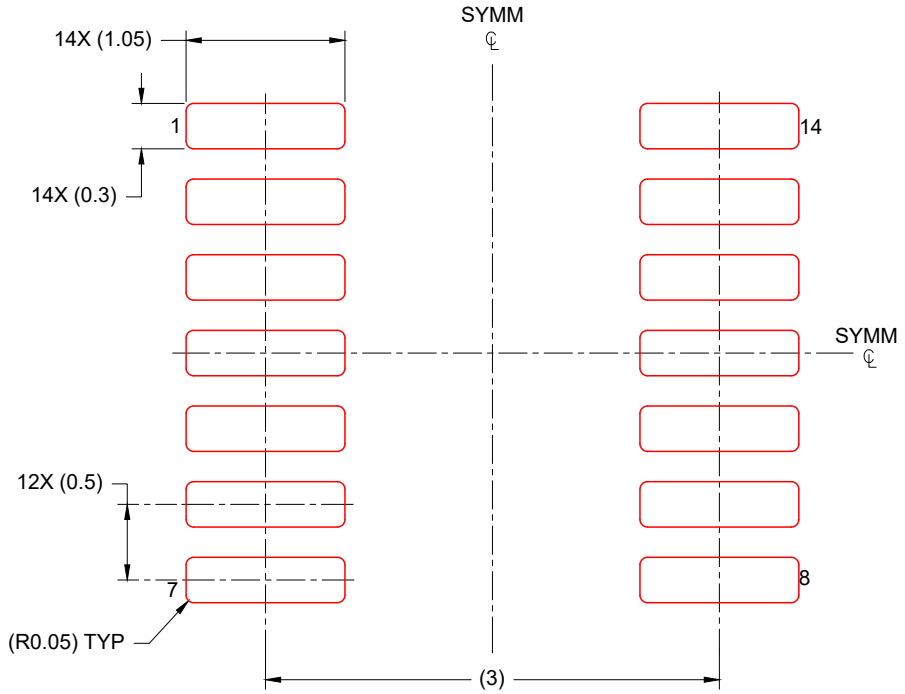
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

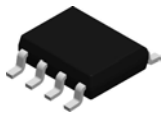


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

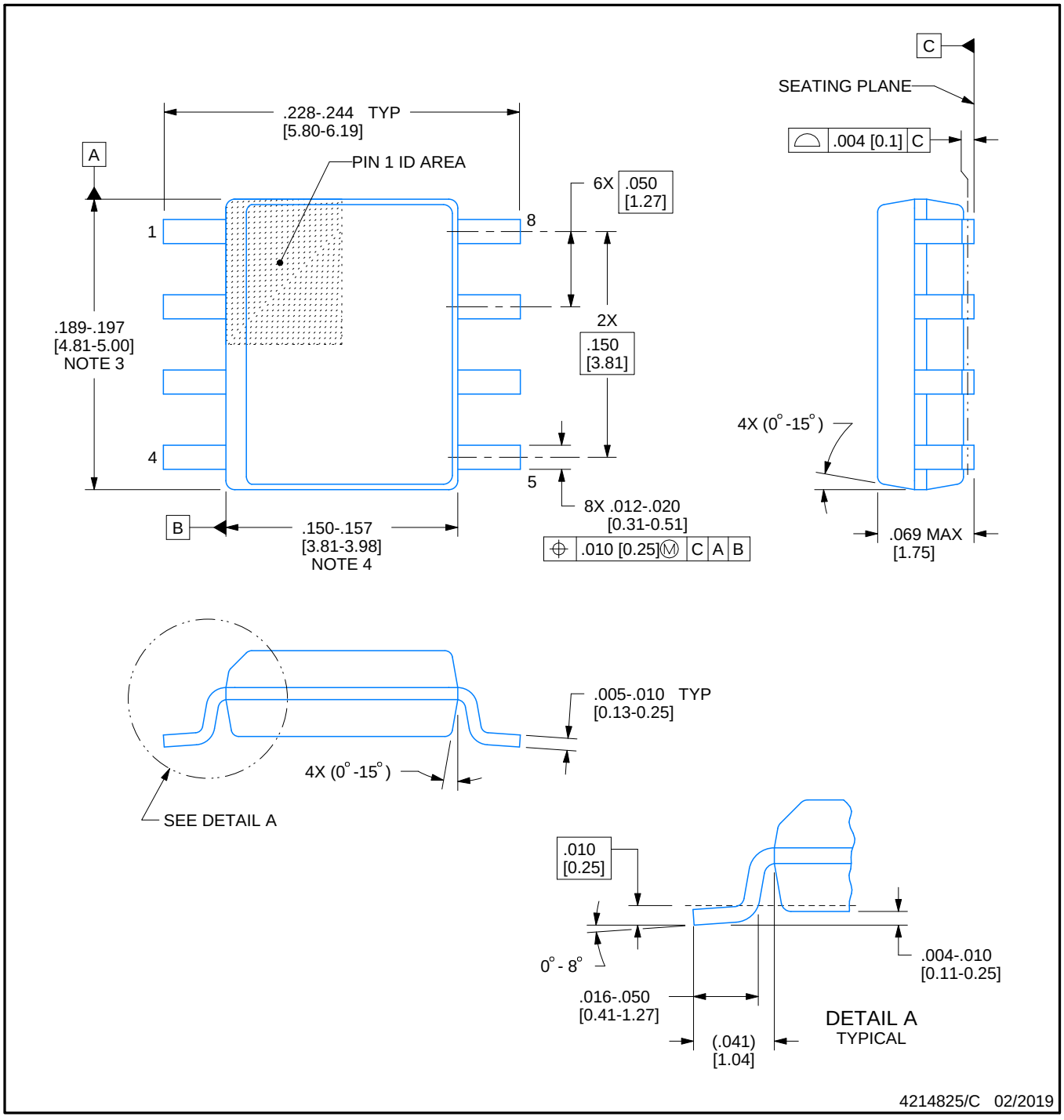


PACKAGE OUTLINE

D0008A

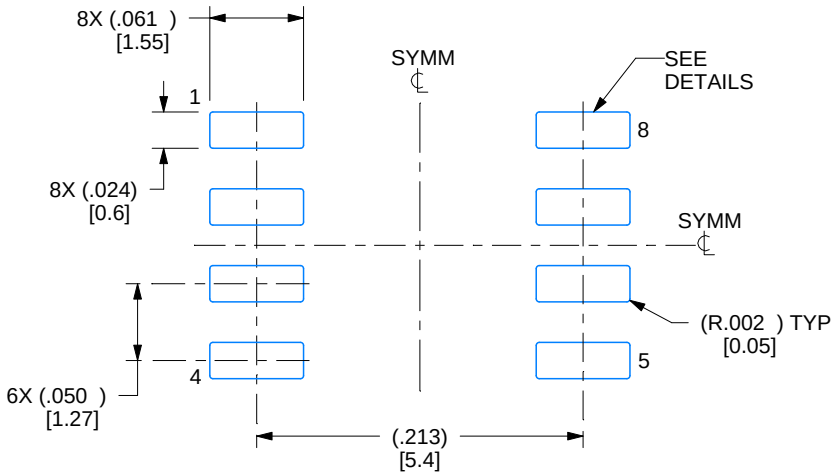
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

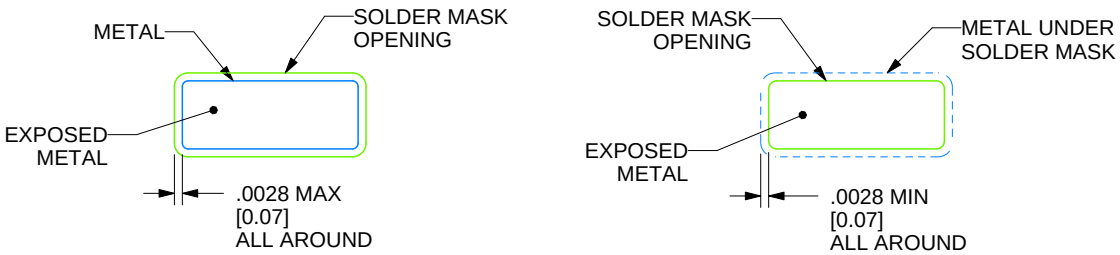


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

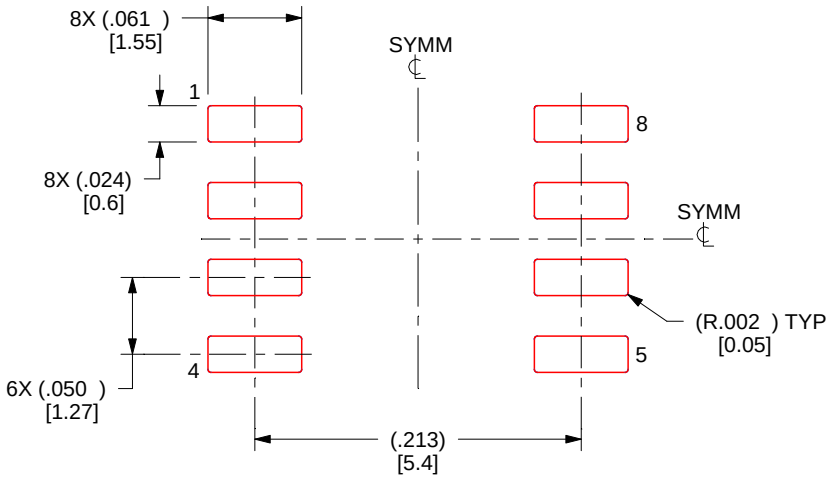
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月