TL331LV, TL391LV, LM393LV, LM339LV
JAJSJB7D – JUNE 2020 – REVISED NOVEMBER 2023

TL331LV、TL391LV、LM393LV および LM339LV 低電圧、、レール・ツー・レール入力コンパレータ

1 特長

- 電源電圧範囲:1.65V～5.5V
- フェイルセーフ付きレール・ツー・レール入力
- 低い入力オフセット電圧:400µV (代表値)
- 伝搬遅延時間:600ns (代表値)
- 低い静止電流:25µA/Ch (代表値)
- 低い入力バイアス電流:5pA (代表値)
- オープン・ドレイン出力
- 全温度範囲 (-40～+125℃)
- 既知のスタートアップに対するパワーオン・リセット (POR)
- 2kV ESD 保護
- TL331、LM393 および LM339 ファミリ (V_{CC} ≤ 5V 用) の改良された代替製品。
- 代替のシングル用ピン配置 (TL391)

2 アプリケーション

- ロボット掃除機
- 単相 UPS
- サーバー PSU
- コードレス電動工具
- ワイヤレス・インフラ
- 家電製品
- ビル・オートメーション
- ファクトリ・オートメーション / 制御
- モーター・ドライブ
- インフォテインメント / クラスタ

3 概要

LV デバイス・ファミリには、広い電源電圧範囲で動作するシングル、デュアル、クワッドの独立した電圧コンパレータが搭載されています。LV デバイスは、低電圧 (5V 以下) のアプリケーションにおいて、性能を向上し機能を追加するために、標準の TL331、LM2xx、LM3xx および LM290x のコンパレータ・ファミリに対するドロップインでの代替品として使用できます。

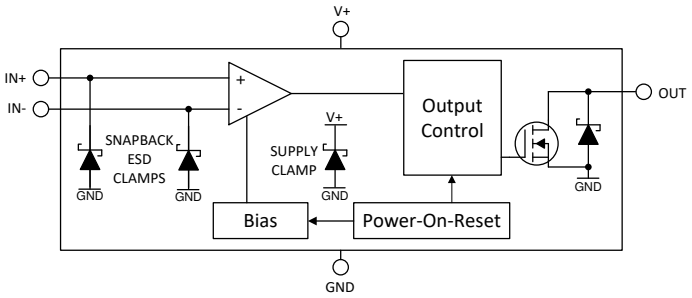
LV デバイスにはパワーオン リセット (POR) 機能があり、最小電源電圧に達するまで出力がハイ インピーダンス状態になり、電源投入時および電源切断時の出力過渡応答を回避します。また、このファミリはレール ツー レール入力も採用しており、損傷や位相反転なしで最大 6V まで入力できます。

LV デバイスは、-40℃～+125℃の温度範囲向けに仕様が規定されており、TL331、LM2xx、LM3xx および LM290x コンパレータ・ファミリまでを含みます。

製品情報

部品番号	パッケージ (1)	本体サイズ (公称)
TL331LV、TL391LV (シングル)	SOT-23 (5)	1.60mm × 2.90mm
LM393LV (デュアル)	SOIC (8)	3.91mm × 4.90mm
	TSSOP (8)	3.00mm × 4.40mm
	VSSOP (8)	3.00mm × 3.00mm
	WSON (8)	2.00mm × 2.00mm
	SOT-23 (8)	1.60mm × 2.90mm
LM339LV (クワッド)	SOIC (14)	3.91mm × 8.65mm
	TSSOP (14)	4.40mm × 5.00mm
	SOT-23-THIN (14)	4.20mm × 2.00mm
	WQFN (16)	3.00mm × 3.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



ブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

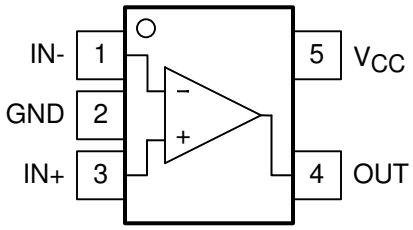
目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 ピン構成および機能 ... 3
4.1 TL331LV および TL391LV のピン機能 ... 3
4.2 ピンの機能：LM393LV ... 4
4.3 ピンの機能：LM339LV ... 5
5 仕様 ... 6
5.1 絶対最大定格 ... 6
5.2 ESD 定格 ... 6
5.3 推奨動作条件 ... 6
5.4 TL3x1LV の熱に関する情報 ... 6
5.5 熱に関する情報、LM393LV ... 7
5.6 熱に関する情報、LM339LV ... 7
5.7 電気的特性、TL3x1LV ... 8
5.8 スイッチング特性、TL3x1LV ... 9
5.9 電気的特性、LM393LV ... 10
5.10 スイッチング特性、LM393LV ... 11
5.11 電気的特性、LM339LV ... 12
5.12 スイッチング特性、LM339LV ... 13
5.13 代表的特性 ... 14
6 詳細説明 ... 19
6.1 概要 ... 19
6.2 機能ブロック図 ... 19
6.3 機能説明 ... 19
6.4 デバイスの機能モード ... 19
7 アプリケーションと実装 ... 22
7.1 アプリケーション情報 ... 22
7.2 代表的なアプリケーション ... 25
7.3 電源に関する推奨事項 ... 33
7.4 レイアウト ... 34
8 デバイスおよびドキュメントのサポート ... 35
8.1 関連資料 ... 35
8.2 ドキュメントの更新通知を受け取る方法 ... 35
8.3 サポート・リソース ... 35
8.4 商標 ... 35
8.5 静電気放電に関する注意事項 ... 35
8.6 用語集 ... 35
9 改訂履歴 ... 35
10 メカニカル、パッケージ、および注文情報 ... 36

Copyright © 2023 Texas Instruments Incorporated

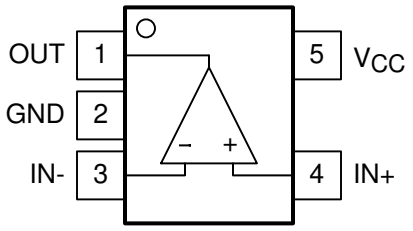
4 ピン構成および機能

4.1 TL331LV および TL391LV のピン機能



同様の一般的なピン配置と比較して、入力が逆になっている

図 4-1. TL331LV
「TL331 タイプ」ピン配置
5 ピン SOT-23
上面図



同様の一般的なピン配置と比較して、入力が逆になっている

図 4-2. TL391LV
「TS391 タイプ」反転入力 NW ピン配置
5 ピン SOT-23
上面図

ピン			タイプ	説明
	TL331LV	TL391LV		
名称	番号	番号		
IN+	3	4	I	正入力
IN-	1	3	I	負入力
OUT	4	1	O	オープン・コレクタ出力
V_{CC}	5	5	—	正電源
GND	2	2	—	グランド (負電源)

4.2 ピンの機能：LM393LV

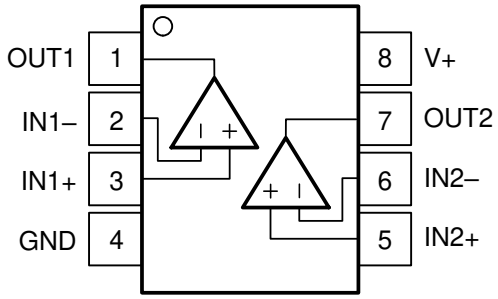
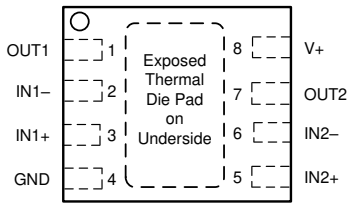


図 4-3. D、DGK、PW、DDF パッケージ
8 ピン SOIC、VSSOP、TSSOP、SOT-23-8
上面図



注：露出サーマル・パッドは GND ピンに直接接続します。

図 4-4. DSG パッケージ
8 パッド WSON (露出サーマル・パッド付き)
上面図

ピン		I/O	説明
名称	番号		
OUT1	1	出力	コンパレータ 1 の出力ピン
IN1-	2	入力	コンパレータ 1 の反転入力ピン
IN1+	3	入力	コンパレータ 1 の非反転入力ピン
GND	4	—	負電源
IN2+	5	入力	コンパレータ 2 の非反転入力ピン
IN2-	6	入力	コンパレータ 2 の反転入力ピン
OUT2	7	出力	コンパレータ 2 の出力ピン
V+	8	—	正電源
サーマル・パッド	—	—	GND ピンに直接接続

Copyright © 2023 Texas Instruments Incorporated

4.3 ピンの機能：LM339LV

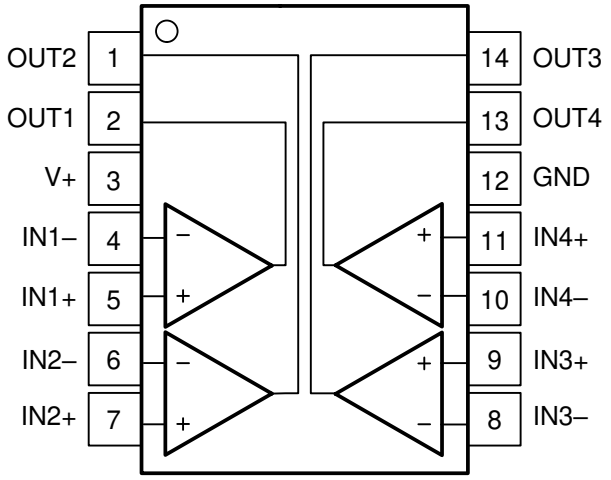
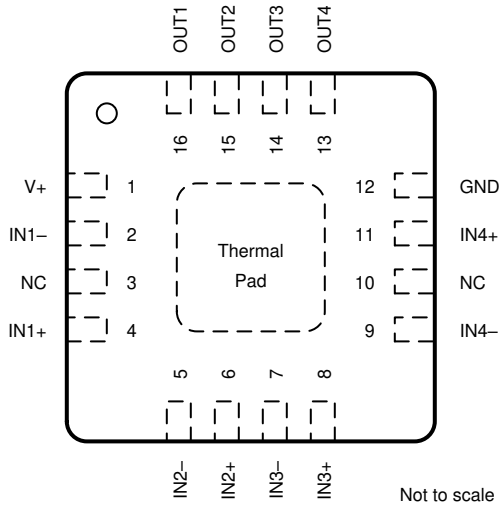


図 4-5. D、PW、DYY パッケージ
14 ピン SOIC、TSSOP、SOT-23
上面図



注：露出サーマル・パッドは GND ピンに直接接続します。

図 4-6. RTE パッケージ
16 パッド WQFN (露出サーマル・パッド付き)
上面図

表 4-1. ピンの機能：LM339LV

ピン			I/O	説明
名称(1)	SOIC	WQFN		
OUT2	1	15	出力	コンパレータ 2 の出力ピン
OUT1	2	16	出力	コンパレータ 1 の出力ピン
V+	3	1	—	正電源
IN1-	4	2	入力	コンパレータ 1 の負入力ピン
IN1+	5	4	入力	コンパレータ 1 の正入力ピン
IN2-	6	5	入力	コンパレータ 2 の負入力ピン
IN2+	7	6	入力	コンパレータ 2 の正入力ピン
IN3-	8	7	入力	コンパレータ 3 の負入力ピン
IN3+	9	8	入力	コンパレータ 3 の正入力ピン
IN4-	10	9	入力	コンパレータ 4 の負入力ピン
IN4+	11	11	入力	コンパレータ 4 の正入力ピン
GND	12	12	—	負電源
OUT4	13	13	出力	コンパレータ 4 の出力ピン
OUT3	14	14	出力	コンパレータ 3 の出力ピン
NC	—	3	—	内部接続なし - フローティングまたは GND のままにする
NC	—	10	—	内部接続なし - フローティングまたは GND のままにする
サーマル・パッド	—	PAD	—	GND ピンに直接接続

(1) 一部のメーカーでは、チャネル 1 と 2 の名前が入れ替わります。ピン配置は電気的に同一ですが、チャネル命名規則が異なります。

Copyright © 2023 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由空気での動作温度範囲内 (特に記述のない限り)(1)

	最小値	最大値	単位
電源電圧:V_S = (V+) - (GND)	-0.3	6	V
GND から入力ピン (IN+、IN-)	-0.3	6	V
入力ピンへの電流 (IN+、IN-)	-10	10	mA
GND から出力 (OUT)	-0.3	6	V
出力短絡時間		10	s
接合部温度、T_J		150	℃
保管温度範囲、Tstg	-65	150	℃

(1) 絶対最大定格を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このような条件や、「推奨動作条件」に記載されている条件を超える条件でデバイスが機能するということを意味するわけではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 準拠(2)	±1000	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由空気での動作温度範囲内 (特に記述のない限り)

	最小値	最大値	単位
電源電圧:V_S = (V+) - (GND)	1.65	5.5	V
入力電圧範囲:(GND) から (IN+、IN-)	-0.1	5.6	V
周囲温度、T_A	-40	125	℃

5.4 TL3x1LV の熱に関する情報

熱評価基準(1)		TL3x1LV DBV (SOT-23) 5 ピン	単位
R_{qJA}	接合部から周囲への熱抵抗	223.7	℃/W
$R_{qJC(top)}$	接合部からケース (上面) への熱抵抗	123.2	℃/W
R_{qJB}	接合部から基板への熱抵抗	91.4	℃/W
y_{JT}	接合部から上面への熱特性パラメータ	58.7	℃/W
y_{JB}	接合部から基板への熱特性パラメータ	91.0	℃/W
$R_{qJC(bot)}$	接合部からケース (底面) への熱抵抗	-	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

Copyright © 2023 Texas Instruments Incorporated

5.5 熱に関する情報、LM393LV

熱評価基準(1)		LM393LV					単位
		D (SOIC)	PW (TSSOP)	DGK (VSSOP)	DSG (WSON)	DDF (SOT-23)	
		8 ピン	8 ピン	8 ピン	8 ピン	8 ピン	
R_{qJA}	接合部から周囲への熱抵抗	167.7	221.7	215.8	175.2	240.0	℃/W
$R_{qJC(top)}$	接合部からケース (上面) への熱抵抗	107.0	109.1	105.2	178.1	151.0	℃/W
R_{qJB}	接合部から基板への熱抵抗	111.2	152.5	137.5	139.5	157.0	℃/W
y_{JT}	接合部から上面への熱特性パラメータ	53.1	36.4	39.6	47.2	32.8	℃/W
y_{JB}	接合部から基板への熱特性パラメータ	110.4	150.7	135.9	138.9	155.4	℃/W
$R_{qJC(bot)}$	接合部からケース (底面) への熱抵抗	–	–	–	127.3	–	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

5.6 熱に関する情報、LM339LV

熱評価基準(1)		LM339LV				単位
		D (SOIC)	PW (TSSOP)	RTE (WQFN)	DYY (SOT-23)	
		14 ピン	14 ピン	16 ピン	14 ピン	
R_{qJA}	接合部から周囲への熱抵抗	136.0	155.0	134.1	211.1	℃/W
$R_{qJC(top)}$	接合部からケース (上面) への熱抵抗	91.2	82.0	122.6	121.1	℃/W
R_{qJB}	接合部から基板への熱抵抗	92.0	98.5	109.3	120.4	℃/W
y_{JT}	接合部から上面への熱特性パラメータ	46.9	25.7	30.9	22.3	℃/W
y_{JB}	接合部から基板への熱特性パラメータ	91.6	97.6	108.3	120.1	℃/W
$R_{qJC(bot)}$	接合部からケース (底面) への熱抵抗	–	–	98.7	–	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

Copyright © 2023 Texas Instruments Incorporated

5.7 電気的特性、TL3x1LV

V_S (合計電源電圧)= (V+) - (GND) = 5V、V_{CM} = (GND) (T_A = 25℃時) (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
オフセット電圧						
V_{OS}	入力オフセット電圧	V_S = 1.8V および 5V	-2	±0.4	2	mV
V_{OS}	入力オフセット電圧	V_S = 1.8V および 5V、T_A = -40℃～+125℃	-3		3	mV
dV_{IO}/dT	入力オフセット電圧ドリフト	V_S = 1.8V および 5V、T_A = -40℃～+125℃		±1.5		µV/℃
電源						
I_Q	静止電流	V_S = 1.8V および 5V、無負荷、出力 Low		26	35	µA
I_Q	静止電流	V_S = 1.8V および 5V、無負荷、出力 Low、T_A = -40℃～+125℃			50	
PSRR	電源 除去比	V_S = 1.8V～5V、T_A = -40℃～+125℃	70	80		dB
入力バイアス電流						
I_B	入力バイアス電流	V_{CM} = V_S/2		5		pA
I_{OS}	入力オフセット電流	V_{CM} = V_S/2		1		pA
入力容量						
C_{ID}	入力容量、差動	V_{CM} = V_S/2		2		pF
C_{IC}	入力容量、同相	V_{CM} = V_S/2		3		pF
入力電圧範囲						
$V_{CM-Range}$	同相電圧範囲	V_S = 1.8V および 5V、T_A = -40℃～+125℃	(GND)		(V+)	V
CMRR	同相除去比	V_S = 5V、(GND) < V_{CM} < (V+)、T_A = -40℃～+125℃	60	65		dB
CMRR	同相除去比	V_S = 1.8V、(GND) < V_{CM} < (V+)、T_A = -40℃～+125℃	50	60		dB
開ループ・ゲイン						
A_{VD}	大信号差動電圧増幅		50	200		V/mV
出力						
V_{OL}	GND からの電圧スイング	I_{SINK} = 4mA、T_A = 25℃		150	200	mV
V_{OL}	GND からの電圧スイング	I_{SINK} = 4mA、T_A = -40℃～+125℃			300	mV
I_{LKG}	オープン・ドレイン出力リーク電流	V_{PULLUP} = (V+)、T_A = 25℃		100		pA
I_{SC}	短絡電流	V_S = 5V、シンク	60	100		mA

Copyright © 2023 Texas Instruments Incorporated

5.8 スイッチング特性、TL3x1LV

V_S (合計電源電圧)= (V+) - (GND) = 5V、V_{CM} = V_S/2、C_L= 15pF (T_A = 25℃時) (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
出力						
T_{PD-HL}	伝搬遅延時間、High から Low	V_{ID} = -10mV、入力の中間点から出力の中間点までの遅延 (R_P = 2.5kΩ)		600		ns
T_{PD-LH}	伝搬遅延時間、Low から High	V_{ID} = 10mV、入力の中間点から出力の中間点までの遅延 (R_P = 2.5kΩ)		600		ns
T_{FALL}	5V の出力立ち下がり時間、80% から 20%	V_{ID} = -100mV		20		ns
F_{TOGGLE}	5V、トグル周波数	V_{ID} = 100mV (R_P = 2.5kΩ)		1		MHz
パワーオン時間						
P_{ON}	パワーオン時間	V_S = 1.8V および 5V、V_{CM} = (GND)、V_{ID} = -0.1V、$V_{PULL-UP}$ = V_S/2、V_S/2 から V_{OUT} = 0.1 × V_S/2 までの遅延 (R_P = 2.5kΩ)		50		µs

Copyright © 2023 Texas Instruments Incorporated

5.9 電気的特性、LM393LV

V_S (合計電源電圧)= (V+) - (GND) = 5V、V_{CM} = (GND) (T_A = 25℃時) (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
オフセット電圧						
V_{OS}	入力オフセット電圧	V_S = 1.8V および 5V	-2	±0.4	2	mV
V_{OS}	入力オフセット電圧	V_S = 1.8V および 5V、T_A = -40℃～+125℃	-3		3	mV
dV_{IO}/dT	入力オフセット電圧ドリフト	V_S = 1.8V および 5V、T_A = -40℃～+125℃		±1.5		µV/℃
電源						
I_Q	静止電流 (コンパレータ 1 個あたり)	V_S = 1.8V および 5V、無負荷、出力 Low		25	35	µA
I_Q	静止電流 (コンパレータ 1 個あたり)	V_S = 1.8V および 5V、無負荷、出力 Low、T_A = -40℃～+125℃			50	
PSRR	電源除去比	V_S = 1.8V～5V、T_A = -40℃～+125℃	70	80		dB
入力バイアス電流						
I_B	入力バイアス電流	V_{CM} = V_S/2		5		pA
I_{OS}	入力オフセット電流	V_{CM} = V_S/2		1		pA
入力容量						
C_{ID}	入力容量、差動	V_{CM} = V_S/2		2		pF
C_{IC}	入力容量、同相	V_{CM} = V_S/2		3		pF
入力電圧範囲						
$V_{CM-Range}$	同相電圧範囲	V_S = 1.8V および 5V、T_A = -40℃～+125℃	(GND)		(V+)	V
CMRR	同相信号除去比	V_S = 5V、(GND) < V_{CM} < (V+)、T_A = -40℃～+125℃	60	65		dB
CMRR	同相信号除去比	V_S = 1.8V、(GND) < V_{CM} < (V+)、T_A = -40℃～+125℃	50	60		dB
開ループ・ゲイン						
A_{VD}	大信号差動電圧増幅		50	200		V/mV
出力						
V_{OL}	GND からの電圧スイング	I_{SINK} = 4mA、T_A = 25℃		150	200	mV
V_{OL}	GND からの電圧スイング	I_{SINK} = 4mA、T_A = -40℃～+125℃			300	mV
I_{LKG}	オープン・ドレイン出力リーク電流	V_{PULLUP} = (V+)、T_A = 25℃		100		pA
I_{SC}	短絡電流	V_S = 5V、シンク	60	100		mA

Copyright © 2023 Texas Instruments Incorporated

5.10 スイッチング特性、LM393LV

V_S (合計電源電圧)= (V+) - (GND) = 5V、V_{CM} = V_S/2、C_L= 15pF (T_A = 25℃時) (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
出力						
T_{PD-HL}	伝搬遅延時間、High から Low	V_{ID} = -10mV、入力の中間点から出力の中間点までの遅延 (R_P = 2.5kΩ)		600		ns
T_{PD-LH}	伝搬遅延時間、Low から High	V_{ID} = 10mV、入力の中間点から出力の中間点までの遅延 (R_P = 2.5kΩ)		600		ns
T_{FALL}	5V の出力立ち下がり時間、80% から 20%	V_{ID} = -100mV		20		ns
F_{TOGGLE}	5V、トグル周波数	V_{ID} = 100mV (R_P = 2.5kΩ)		1		MHz
パワーオン時間						
P_{ON}	パワーオン時間	V_S = 1.8V および 5V、V_{CM} = (GND)、V_{ID} = -0.1V、$V_{PULL-UP}$ = V_S/2、V_S/2 から V_{OUT} = 0.1 × V_S/2 までの遅延 (R_P = 2.5kΩ)		50		µs

Copyright © 2023 Texas Instruments Incorporated

5.11 電気的特性、LM339LV

V_S (合計電源電圧)= (V+) - (GND) = 5V、V_{CM} = (GND) (T_A = 25℃時) (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
オフセット電圧						
V_{OS}	入力オフセット電圧	V_S = 1.8V および 5V	-2	±0.4	2	mV
V_{OS}	入力オフセット電圧	V_S = 1.8V および 5V、T_A = -40℃～+125℃	-3		3	mV
dV_{IO}/dT	入力オフセット電圧ドリフト	V_S = 1.8V および 5V、T_A = -40℃～+125℃		±1.5		µV/℃
電源						
I_Q	静止電流 (コンパレータ 1 個あたり)	V_S = 1.8V および 5V、無負荷、出力 Low		25	35	µA
I_Q	静止電流 (コンパレータ 1 個あたり)	V_S = 1.8V および 5V、無負荷、出力 Low、T_A = -40℃～+125℃			50	
PSRR	電源除去比	V_S = 1.8V～5V、T_A = -40℃～+125℃	70	80		dB
入力バイアス電流						
I_B	入力バイアス電流	V_{CM} = V_S/2		5		pA
I_{OS}	入力オフセット電流	V_{CM} = V_S/2		1		pA
入力容量						
C_{ID}	入力容量、差動	V_{CM} = V_S/2		2		pF
C_{IC}	入力容量、同相	V_{CM} = V_S/2		3		pF
入力電圧範囲						
$V_{CM-Range}$	同相電圧範囲	V_S = 1.8V および 5V、T_A = -40℃～+125℃	(GND)		(V+)	V
CMRR	同相信号除去比	V_S = 5V、(GND) < V_{CM} < (V+)、T_A = -40℃～+125℃	60	65		dB
CMRR	同相信号除去比	V_S = 1.8V、(GND) < V_{CM} < (V+)、T_A = -40℃～+125℃	50	60		dB
開ループ・ゲイン						
A_{VD}	大信号差動電圧増幅		50	200		V/mV
出力						
V_{OL}	GND からの電圧スイング	I_{SINK} = 4mA、T_A = 25℃		150	200	mV
V_{OL}	GND からの電圧スイング	I_{SINK} = 4mA、T_A = -40℃～+125℃			300	mV
I_{LKG}	オープン・ドレイン出力リーク電流	V_{PULLUP} = (V+)、T_A = 25℃		100		pA
I_{SC}	短絡電流	V_S = 5V、シンク	60	100		mA

Copyright © 2023 Texas Instruments Incorporated

5.12 スイッチング特性、LM339LV

V_S (合計電源電圧)= (V+) - (GND) = 5V、V_{CM} = V_S/2、C_L= 15pF (T_A = 25℃時) (特に記述のない限り)

パラメータ		テスト条件	最小値	代表値	最大値	単位
出力						
T_{PD-HL}	伝搬遅延時間、High から Low	V_{ID} = -10mV、入力の中間点から出力の中間点までの遅延 (R_P = 2.5kΩ)		600		ns
T_{PD-LH}	伝搬遅延時間、Low から High	V_{ID} = 10mV、入力の中間点から出力の中間点までの遅延 (R_P = 2.5kΩ)		600		ns
T_{FALL}	5V の出力立ち下がり時間、80% から 20%	V_{ID} = -100mV		20		ns
F_{TOGGLE}	5V、トグル周波数	V_{ID} = 100mV (R_P = 2.5kΩ)		1		MHz
パワーオン時間						
P_{ON}	パワーオン時間	V_S = 1.8V および 5V、V_{CM} = (GND)、V_{ID} = -0.1V、$V_{PULL-UP}$ = V_S/2、V_S/2 から V_{OUT} = 0.1 × V_S/2 までの遅延 (R_P = 2.5kΩ)		50		µs

Copyright © 2023 Texas Instruments Incorporated

5.13 代表的特性

特に記述のない限り、T_A = 25℃、V_S = 5V、R_{PULLUP} = 2.5k、C_L = 15pF、V_{CM} = GND、$V_{UNDERDRIVE}$ = 100mV、$V_{OVERDRIVE}$ = 100mV。

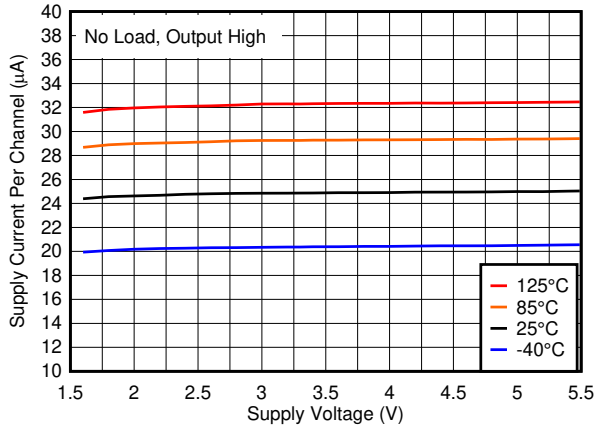


図 5-1. 電源電流と電源電圧の関係

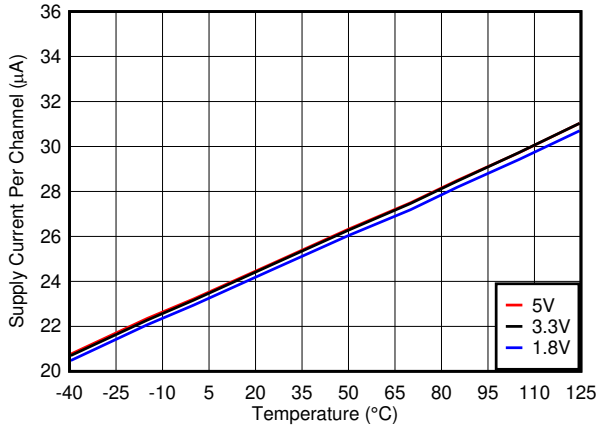


図 5-2. 電源電流と温度の関係

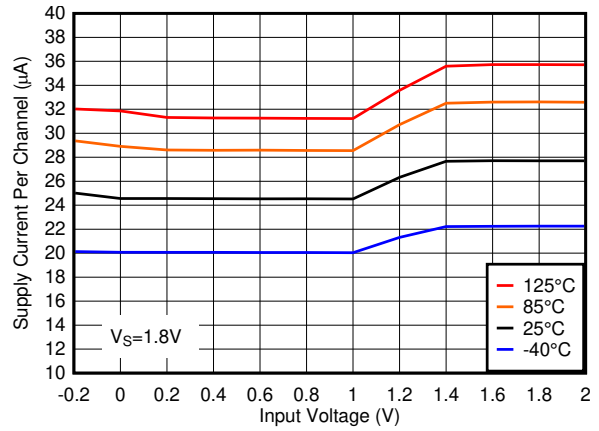


図 5-3. 電源電流と入力電圧、1.8V

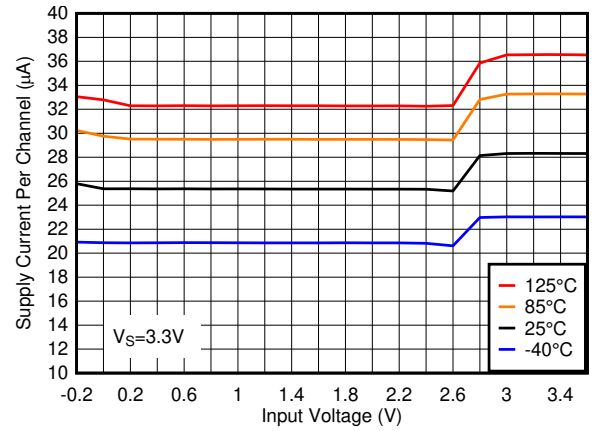


図 5-4. 電源電流と入力電圧、3.3V

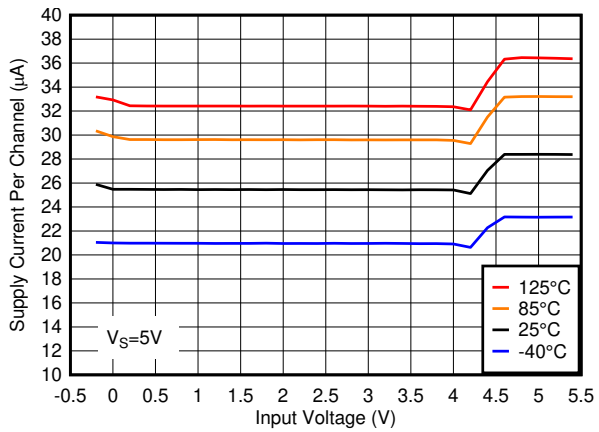


図 5-5. 電源電流と入力電圧、5V

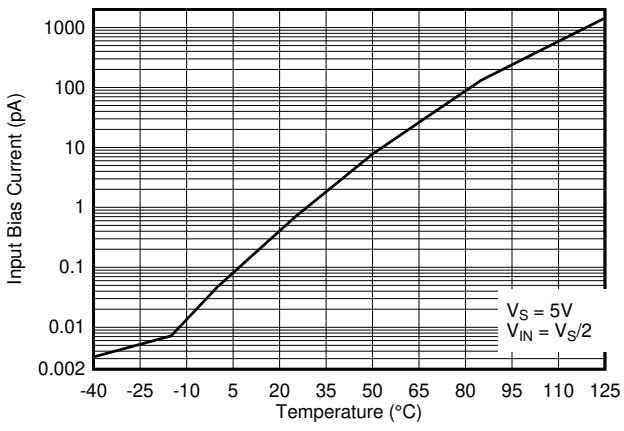


図 5-6. 入力バイアス電流と温度の関係

Copyright © 2023 Texas Instruments Incorporated

5.13 代表的特性 (続き)

特に記述のない限り、T_A = 25℃、V_S = 5V、R_{PULLUP} = 2.5k、C_L = 15pF、V_{CM} = GND、$V_{UNDERDRIVE}$ = 100mV、$V_{OVERDRIVE}$ = 100mV。

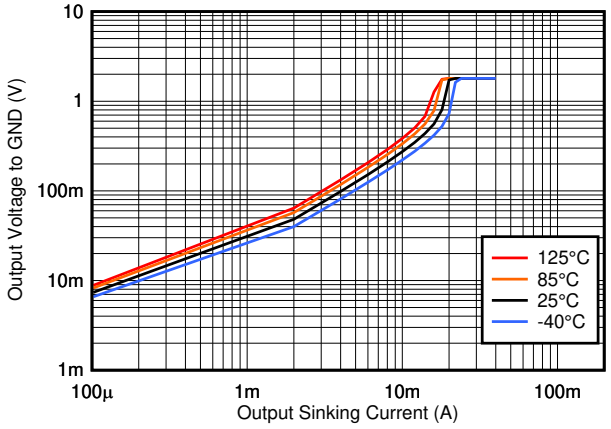


図 5-7. 出力シンク電流と出力電圧の関係、1.8V

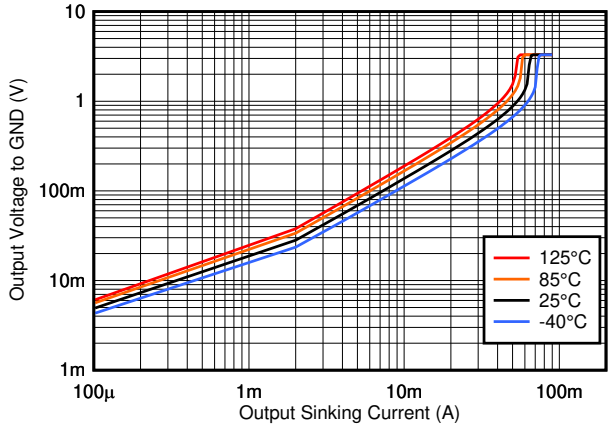


図 5-8. 出力シンク電流と出力電圧の関係、3.3V

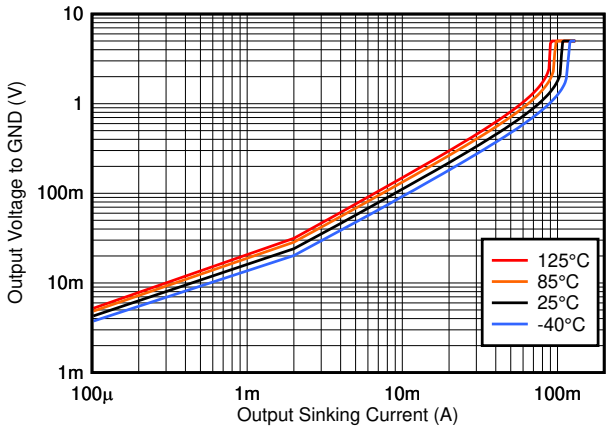


図 5-9. 出力シンク電流と出力電圧の関係、5V

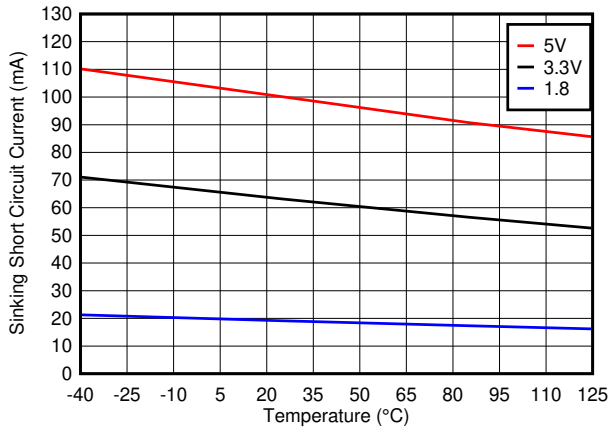


図 5-10. シンク短絡電流と温度の関係

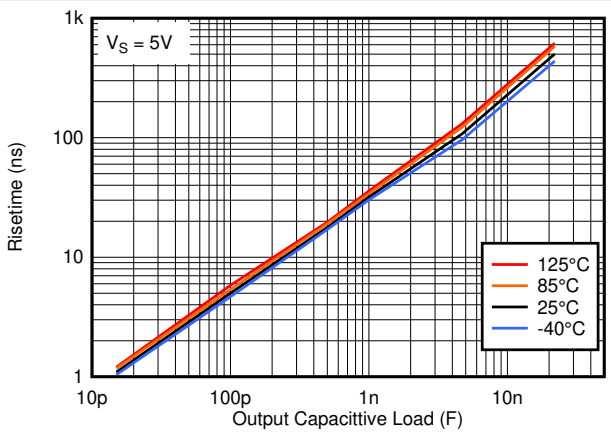


図 5-11. 立ち上がり時間と容量性負荷の関係

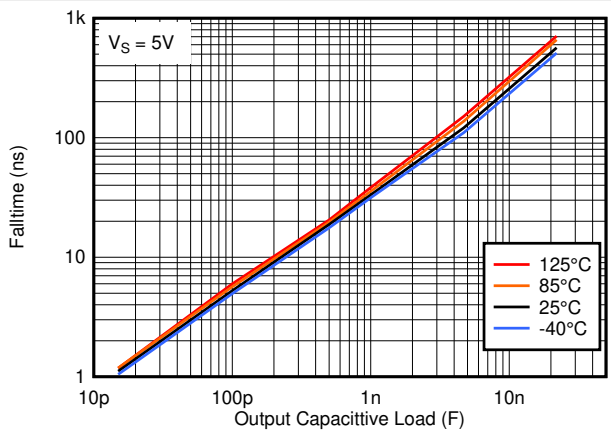


図 5-12. 立ち下がり時間と容量性負荷の関係

Copyright © 2023 Texas Instruments Incorporated

5.13 代表的特性 (続き)

特に記述のない限り、T_A = 25℃、V_S = 5V、R_{PULLUP} = 2.5k、C_L = 15pF、V_{CM} = GND、$V_{UNDERDRIVE}$ = 100mV、$V_{OVERDRIVE}$ = 100mV。

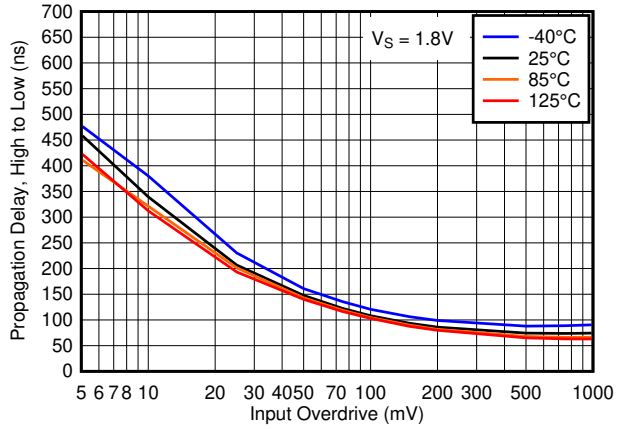


図 5-13. 伝搬遅延、"High" から "Low"、1.8V

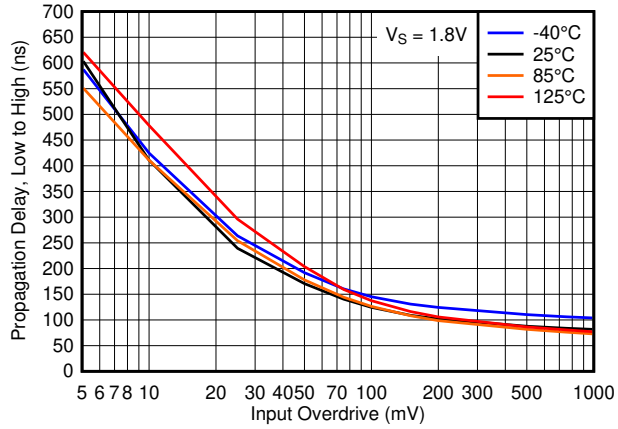


図 5-14. 伝搬遅延、"Low" から "High"、1.8V

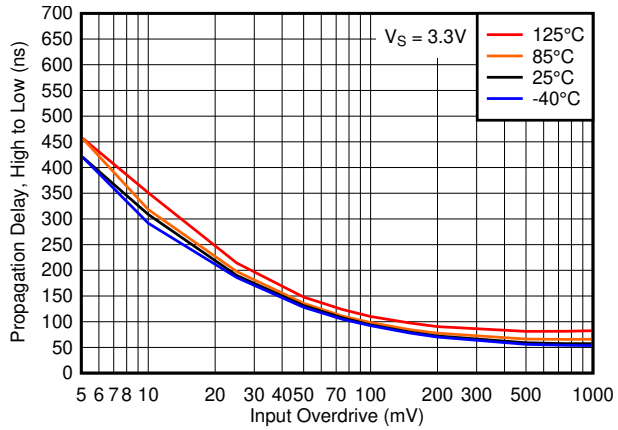


図 5-15. 伝搬遅延、"High" から "Low"、3.3V

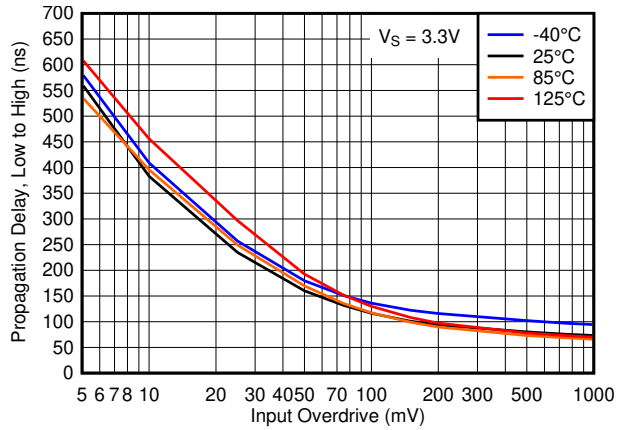


図 5-16. 伝搬遅延、"Low" から "High"、3.3V

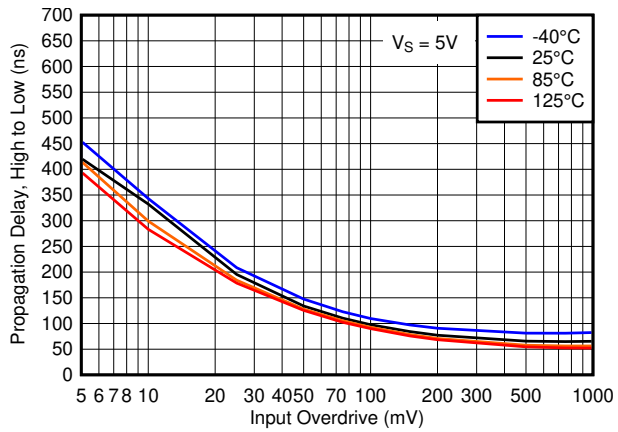


図 5-17. 伝搬遅延、"High" から "Low"、5V

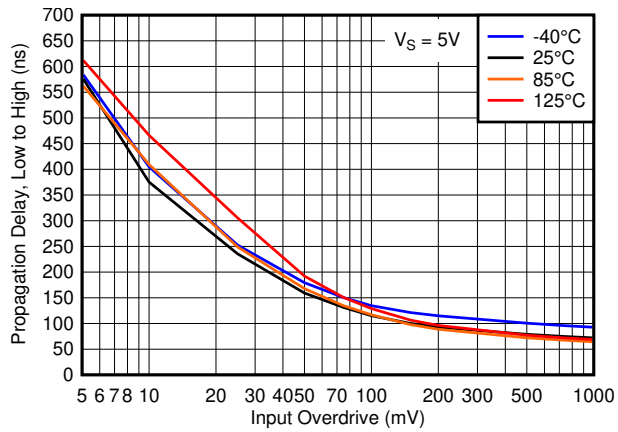


図 5-18. 伝搬遅延、"Low" から "High"、5V

Copyright © 2023 Texas Instruments Incorporated

5.13 代表的特性 (続き)

特に記述のない限り、T_A = 25℃、V_S = 5V、R_{PULLUP} = 2.5k、C_L = 15pF、V_{CM} = GND、$V_{UNDERDRIVE}$ = 100mV、$V_{OVERDRIVE}$ = 100mV。

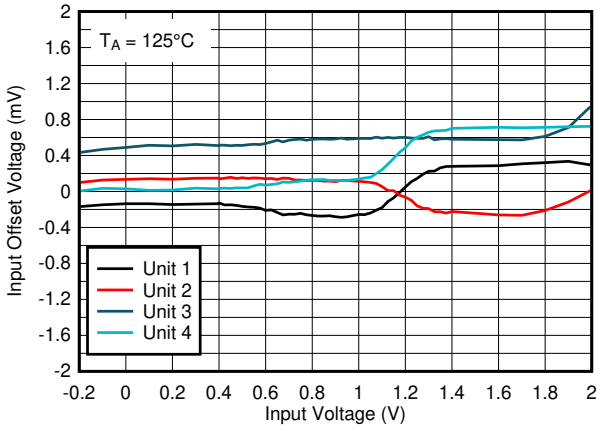


図 5-19. オフセット電圧と入力電圧の関係 (125℃、1.8V)

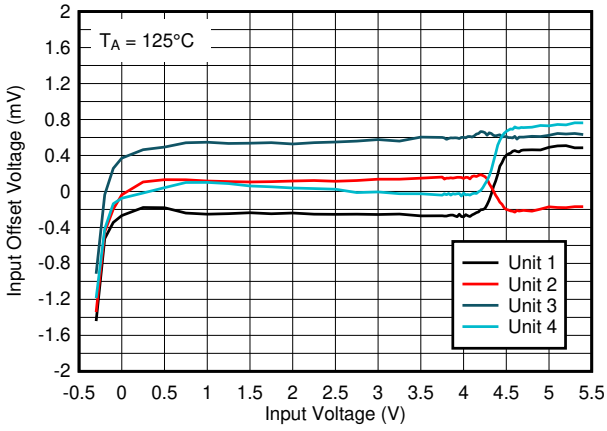


図 5-20. オフセット電圧と入力電圧の関係 (125℃、5V)

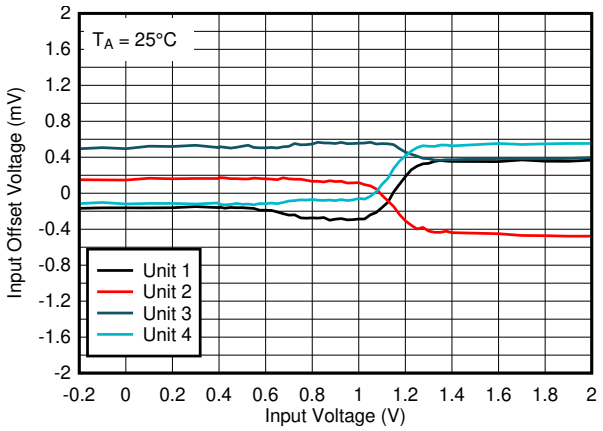


図 5-21. オフセット電圧と入力電圧の関係 (25℃、1.8V)

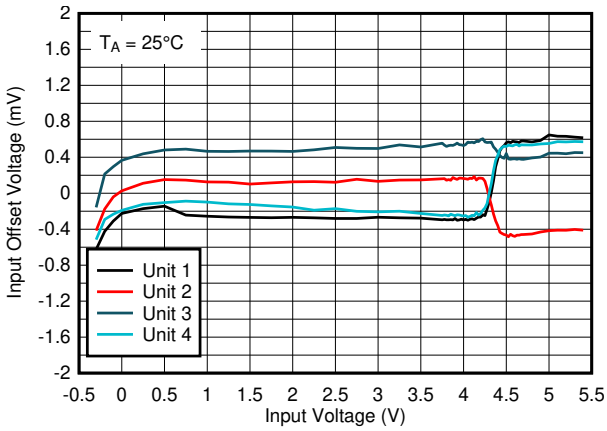


図 5-22. オフセット電圧と入力電圧の関係 (25℃、5V)

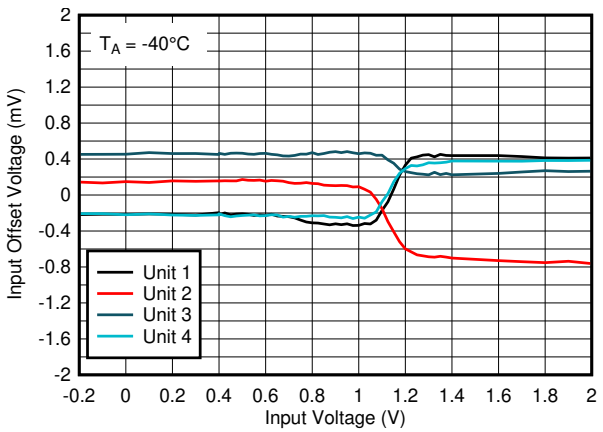


図 5-23. オフセット電圧と入力電圧の関係 (-40℃、1.8V)

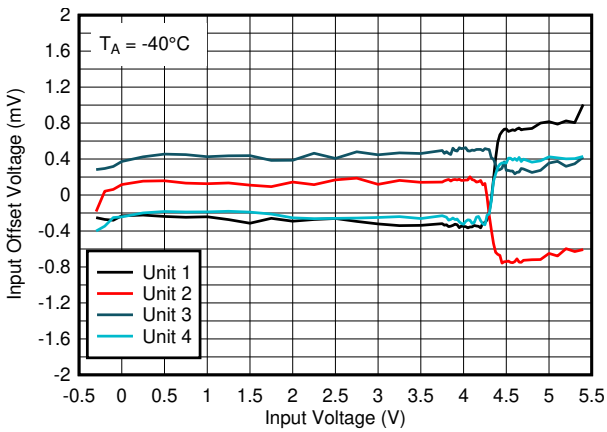


図 5-24. オフセット電圧と入力電圧の関係 (-40℃、5V)

Copyright © 2023 Texas Instruments Incorporated

5.13 代表的特性 (続き)

特に記述のない限り、T_A = 25℃、V_S = 5V、R_{PULLUP} = 2.5k、C_L = 15pF、V_{CM} = GND、$V_{UNDERDRIVE}$ = 100mV、$V_{OVERDRIVE}$ = 100mV。

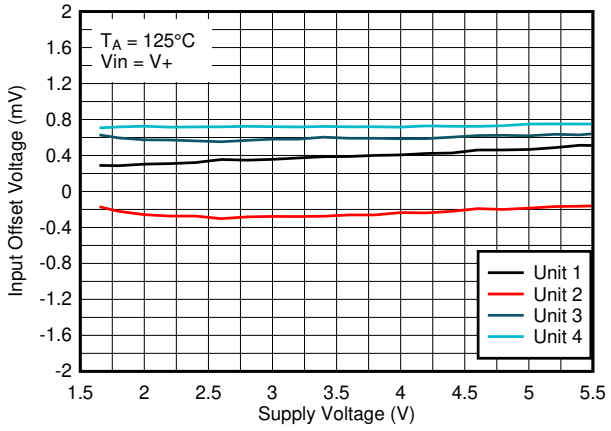


図 5-25. オフセット電圧と電源電圧の関係 (125℃、VIN=V+)

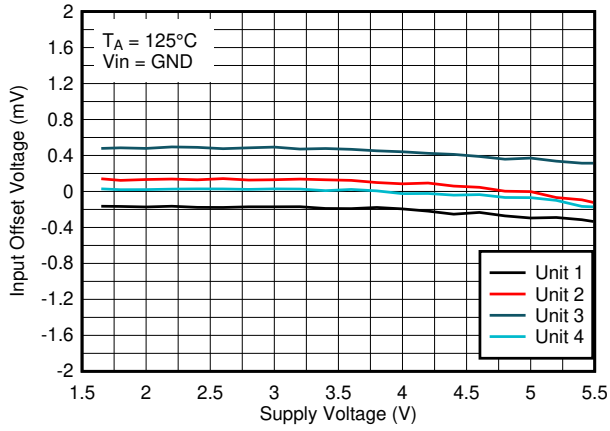


図 5-26. オフセット電圧と電源電圧の関係 (125℃、VIN=0V)

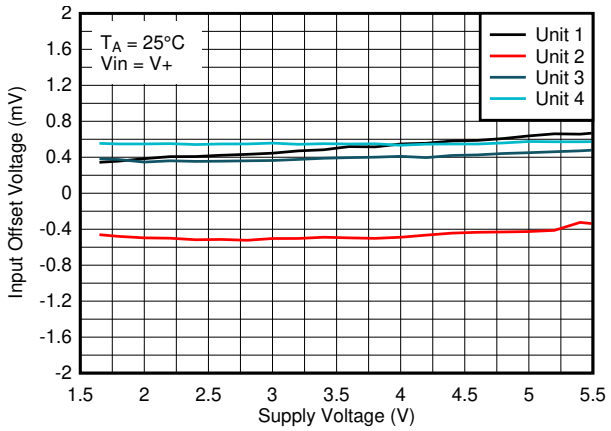


図 5-27. オフセット電圧と電源電圧の関係 (25℃、VIN=V+)

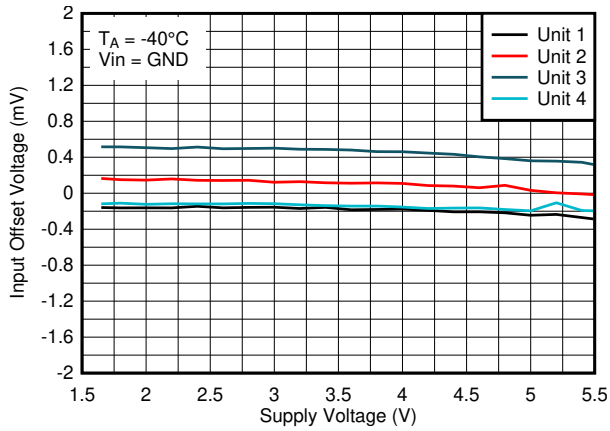


図 5-28. オフセット電圧と電源電圧の関係 (25℃、VIN=0V)

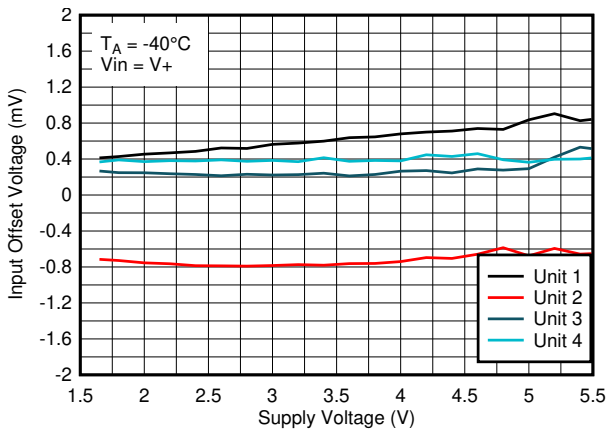


図 5-29. オフセット電圧と電源電圧の関係 (-40℃、VIN=V+)

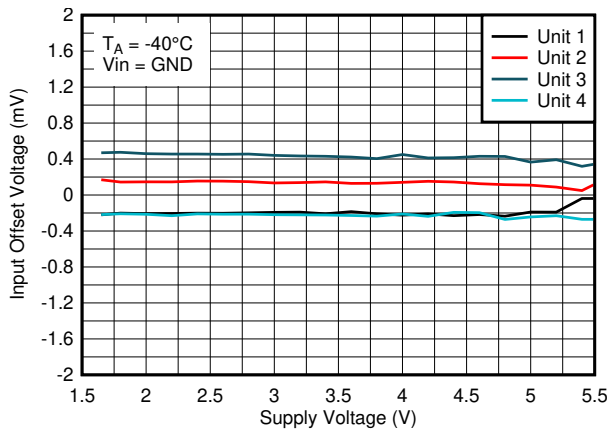


図 5-30. オフセット電圧と電源電圧の関係 (-40℃、VIN=0V)

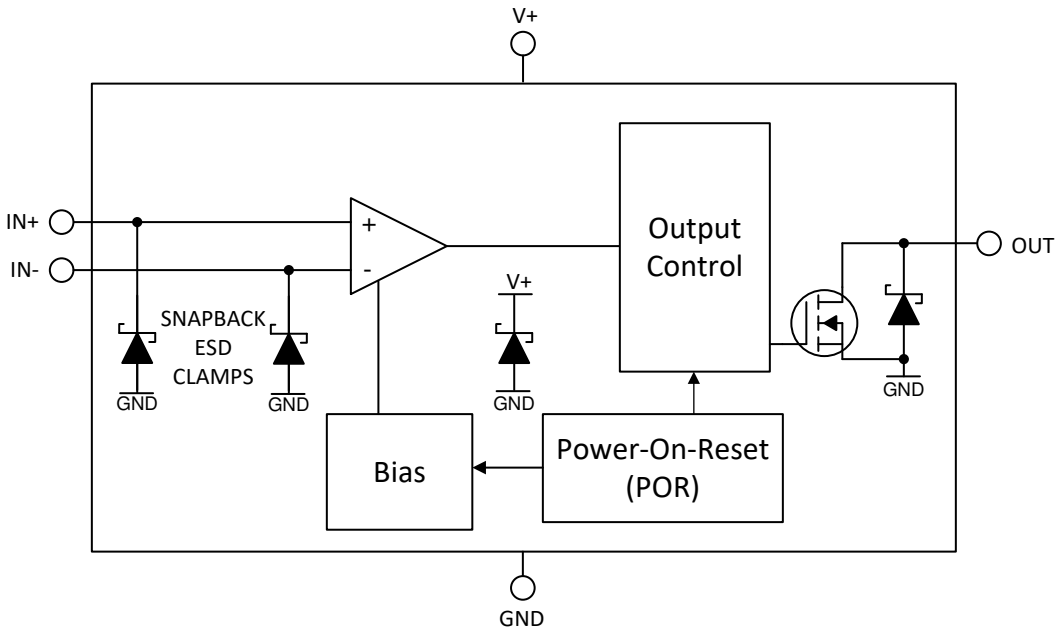
Copyright © 2023 Texas Instruments Incorporated

6 詳細説明

6.1 概要

LV ファミリのデバイスは、マイクロパワー・コンパレータであり、オープン・ドレイン出力と入力オフセット電圧の向上により、最小 1.65V で動作し、チャネルあたり 25µA しか消費しません。LV ファミリは、ポータブル、車載、産業用の各アプリケーション向けに設計されています。内部パワーオン リセット回路により、電源オンおよび電源オフ時に出力を既知の状態に維持します。また、フェイルセーフ入力により、損傷や誤出力を起こさずに入力過渡電圧に耐えることができます。

6.2 機能ブロック図



6.3 機能説明

LV ファミリのデバイスは、入力オフセット電圧が低く、低電圧で動作できるマイクロパワー・コンパレータです。LV ファミリは、電源レールを超えて最大 100mV で動作可能なレール・ツー・レール入力段を備えています。コンパレータにはオープン・ドレインの出力段オプションがあり、既知のスタートアップ条件でのパワーオン・リセット機能も備えています。

6.4 デバイスの機能モード

6.4.1 オープン・ドレイン出力

LV ファミリはオープン・ドレイン (オープン・コレクタとも呼ばれる) シンクのみの出力段を備えているため、コンパレータの電源電圧 (V+) にかかわらず、出力ロジック・レベルを 0V～5.5V の範囲の外部電圧にプルアップできます。オープン・ドレイン出力により、複数のオープン・ドレイン出力の論理 OR 接続とロジック・レベルの変換も可能になります。プルアップ抵抗電流は 100uA～1mA の範囲で設定することを推奨します。プルアップ抵抗の値を小さくすると、立ち上がりエッジの立ち上がり時間を延ばしやすくなりますが、V_{OL} が高くなり、消費電力が大きくなります。立ち上がり時間は、総プルアップ抵抗と総負荷容量の時定数によって決定されます。プルアップ抵抗の値が大きいと (>1MΩ)、RC 時定数が原因で指数関数的な立ち上がりエッジが発生し、立ち上がり時間が長くなります。

使用しないオープン・ドレイン出力はフローティングのままにします。フローティング・ピンが許されない場合は、GND ピンに接続できます。個々の出力は通常最大 100mA の電流をシンクできますが、すべてのチャネルの電流の合計は 200mA 未満でなければなりません。

Copyright © 2023 Texas Instruments Incorporated

6.4.2 パワーオン・リセット (POR)

LV ファミリには内部パワーオン・リセット (POR) 回路があり、既知のスタートアップまたはパワーダウン状態を維持します。電源電圧 (V+) の上昇または下降中に、電源電圧の最小スレッショルドの 1.5V を超えた後、または電源電圧が 1.5V 未満に降下した直後に、POR 回路が最大 30µs 間アクティブになります。電源電圧が最小電源電圧以上であれば、遅延時間が経過した時点で、コンパレータの出力は差動入力 (V_{ID}) の状態を反映します。

POR 回路は、POR 期間 (t_{on}) 中は出力ハイ・インピーダンス (HI-Z) を維持します。

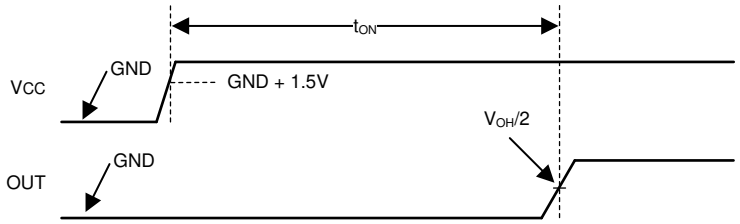


図 6-1. パワーオン・リセットのタイミング図

オープン・コレクタ出力の性質上、POR 期間中は出力電圧がプルアップ電圧とともに上昇することに注意してください。

小さい値のプルアップ抵抗 (V+ まで) またはプルダウン抵抗 (GND まで) を使用して、出力状態をプリバイアスし、出力がフローティングになることを防止できます。

6.4.3 入力

6.4.3.1 レール・ツー・レール入力

LV ファミリの入力電圧範囲は、GND より 100mV 低い電圧から V+ より 100mV 高い電圧までです。差動入力電圧 (V_{ID}) は、これらの制限値の範囲内で自由に設定できます。入力ピンの電圧が V+ または GND を超えても、コンパレータ出力の位相反転は発生しません。

6.4.3.2 フォルト・トレラント入力

LV ファミリの入力は、V+ の値にかかわらず、最高 5.5V までフォルト・トレラントです。フォルト・トレラントとは、V+ が電源供給されていないとき、または推奨動作範囲内にあるときに、同じ高い入力インピーダンスを維持することと定義されます。

フォルト・トレラント入力には、V+ が 0 またはランプアップ / ダウン中を含めて、0V～5.5V の範囲で任意の値を使用できます。この機能により、入力電圧範囲と電源電圧が規定の範囲内にある限り、電源シーケンスの問題が回避されます。これが可能なのは、入力が V+ にクランプされていないため、入力に高電圧が印加されても入力電流の値が維持されるためです。

いずれかの入力ピンが有効な入力範囲内にあり、電源電圧が有効で POR ではない限り、出力状態は正常です。

入力電圧異常とその結果の概要を以下に示します。

1. IN+ と IN- の両方が規定の入力電圧範囲内の場合:
   a. IN- が IN+ およびオフセット電圧より高い場合、出力は Low になります。
   b. IN- が IN+ およびオフセット電圧より低い場合、出力は High になります。
2. IN- が規定の入力電圧範囲より高く、IN+ が規定の電圧範囲内にある場合、出力は Low になります。
3. IN+ が規定の入力電圧範囲より高く、IN- が規定の入力電圧範囲内にある場合、出力は High になります。
4. IN- と IN+ の両方が規定の入力電圧範囲から外れている場合、出力は**不定** (ランダム) になります。この範囲の値では使用しないでください。

フォルト・トレラント機能の提供にかかわらず、テキサス・インスツルメンツでは、データシートの仕様を維持するため、通常のシステム動作時に入力を規定の入力電圧範囲内に維持することを強く推奨します。指定された入力範囲外で動作する場合、伝搬遅延時間などの仕様に変化が生じる可能性があり、これによって予測不能な動作が発生することがあります。

Copyright © 2023 Texas Instruments Incorporated

6.4.3.3 入力保護

入力バイアス電流は、通常は V+ と GND の間の入力電圧に対して 5pA です。コンパレータの入力は、GND に接続された内部 ESD ダイオードにより、逆電圧から保護されます。入力電圧が GND より低くなるか、入力絶対最大定格を上回ると、保護ダイオードが順バイアス状態になり、入力バイアス電流が指数関数的に増加し始めます。入力バイアス電流は、通常は温度が 10℃ 上昇するごとに 2 倍になります。

電源やバッファ付き基準電圧など、低インピーダンスのソースに入力を接続する場合は、クランプの導通が発生したときに過渡電流を制限するため、テキサス・インスツルメンツでは、入力と直列に電流制限抵抗を追加することを推奨します。電流は 10mA 以下に制限する必要があります。この直列抵抗は、任意の抵抗入力分圧器またはネットワークの一部として使用できます。

6.4.4 ESD 保護

LV ファミリには、すべてのピンに内部 ESD 保護回路が組み込まれています。入力とオープン・ドレイン出力では、各ピンから GND への独自の「スナップバック」型 ESD クランプを使用して、ピンが電源電圧 (V+) を超えられるようにしています。ツェナー・ダイオードで示されていますが、ツェナーのような定義済みの電圧へのクランプとは対照的に、スレッショルドを上回るとスナップバックは一瞬「短絡」し、低インピーダンス (SCR など) になります。入力から V+ への ESD クランプはありません。

オープン・ドレイン出力保護は、出力と GND との間に ESD クランプがあるため、出力を V+ よりも最大 5.5V 上にプルアップできます。出力から V+ への ESD クランプはありません。

電源やバッファ付きリファレンス・ラインなど、低インピーダンスのソースに入力を接続する場合は、クランプの導通が発生したときに過渡電流を制限するため、入力と直列に電流制限抵抗を追加することを推奨します。電流は 10mA 以下に制限する必要があります。この直列抵抗は、任意の抵抗入力分圧器またはネットワークの一部として使用できます。

テキサス・インスツルメンツは ESD クランプの性能を規定していないため、通常動作時に入力または出力が最大定格を超える可能性がある場合は、外部クランプ・ダイオードを追加する必要があります。

6.4.5 未使用入力

チャネルを使用しない場合、入力を互いに接続しないでください。等価帯域幅が広く、オフセット電圧が低いため、入力を互いに直接接続すると、デバイスが内部広帯域ノイズでトリガされ、高周波の発振が発生することがあります。使用しない入力は、規定の入力電圧範囲内に常駐し、50mV 以上の差動電圧を提供する使用可能な任意の電圧に接続する必要があります。たとえば、一方の入力をグランドに接続し、もう一方の入力を基準電圧に、または (過渡電圧を防ぐため入力が直接 V+ ピンに接続されている限り) V+ に接続します。

6.4.6 ヒステリシス

LV ファミリには内部ヒステリシスがありません。実効帯域幅が広く、入力オフセット電圧が低いため、絶対差動電圧がゼロに近いときにコンパレータが内部広帯域ノイズでトリガされ、出力が「チャタリング」(発振) する場合があります。動きが低速な信号が予想される場合は、外部ヒステリシスを追加することを推奨します。次のセクションのセクション 7.1.2 を参照してください。

Copyright © 2023 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

7.1.1 基本的なコンパレータの定義

7.1.1.1 動作

基本コンパレータは、一方の入力の入力電圧 (V_{IN}) を、もう一方の入力の基準電圧 (V_{REF}) と比較します。以下の図 7-1 の例で、V_{IN} が V_{REF} より低くなると、出力電圧 (V_O) は論理 "Low" (V_{OL}) になります。V_{IN} が V_{REF} より高くなると、出力電圧 (V_O) は論理 "High" (V_{OH}) になります。表 7-1 に、出力の条件のまとめを示します。入力ピンを入れ替えることにより、出力ロジックを反転できます。

表 7-1. 出力の条件

入力の条件	出力
IN+ > IN-	"High" (V_{OH})
IN+ = IN-	不定 (チャタリング - 「ヒステリシス」を参照)
IN+ < IN-	"Low" (V_{OL})

7.1.1.2 伝搬遅延

入力が基準電圧を超えてから出力が応答するまでの間には、遅延があります。これを伝搬遅延と呼びます。伝搬遅延は、"High" から "Low" への入力遷移と "Low" から "High" への入力遷移で異なることがあります。図 7-1 では、伝搬遅延を t_{pLH} と t_{pHL} として示し、入力の中間点から出力の中間点までで測定しています。

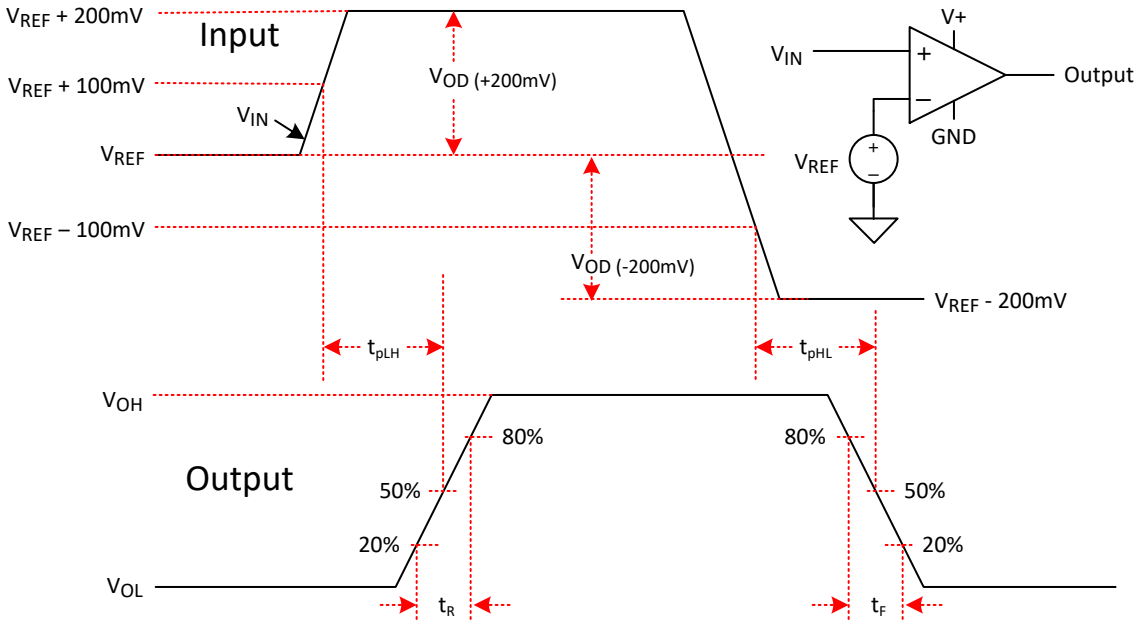


図 7-1. コンパレータのタイミング図

Copyright © 2023 Texas Instruments Incorporated

7.1.1.3 オーバードライブ電圧

オーバードライブ電圧 (V_{OD}) は、基準電圧を超える入力電圧の大きさです。入力ピーク・ツー・ピーク電圧の合計ではありません。図 7-1 の例に示したオーバードライブ電圧は 100mV です。オーバードライブ電圧は、伝搬遅延 (t_p) に影響を与える可能性があります。オーバードライブ電圧が小さいほど、特に 100mV 未満の場合、伝搬遅延時間が長くなります。高速で応答させたい場合は、できる限り大きなオーバードライブ電圧を印加することを推奨します。

立ち上がり時間 (t_r) は出力波形の 20% から 80% のポイントまでの時間、立ち下がり時間 (t_f) は 80% から 20% のポイントまでの時間です。

7.1.2 ヒステリシス

基本的なコンパレータ構成では、印加された差動入力電圧がコンパレータのオフセット電圧に近いときに、発振 (ノイズの多い「チャタリング」出力) が発生する場合があります。通常これは、入力信号の動きが非常に低速で、コンパレータのスイッチング・スレッショルドを超えたときに発生します。

ヒステリシスまたは正のフィードバックを追加することで、この問題を防止できます。

図 7-2 に、ヒステリシスの伝達曲線を示します。この曲線は、V_{TH}、V_{OS}、V_{HYST} の 3 つの構成要素の関数です。

- V_{TH} は、実際に設定された電圧またはスレッショルドのトリップ電圧です。
- V_{OS} は、V_{IN+} と $V_{IN–}$ の間の内部オフセット電圧です。この電圧を V_{TH} に追加することで、コンパレータが出力状態の変化に応答する必要のある実際のトリップ・ポイントを形成します。
- V_{HYST} はヒステリシス (トリップ・ウィンドウ) で、コンパレータのノイズ感度を低減するように設計されています。

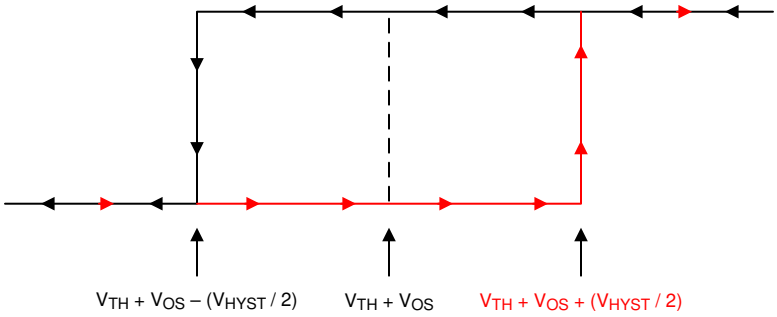


図 7-2. ヒステリシスの伝達曲線

詳細については、アプリケーション・ノート SBOA219『Comparator with and without Hysteresis circuit』(英語) を参照してください。

7.1.2.1 ヒステリシス付きの反転コンパレータ

図 7-3 に示すように、ヒステリシス付きの反転コンパレータには、コンパレータの電源電圧 (V_{CC}) を基準とする 3 つの抵抗ネットワークが必要です。

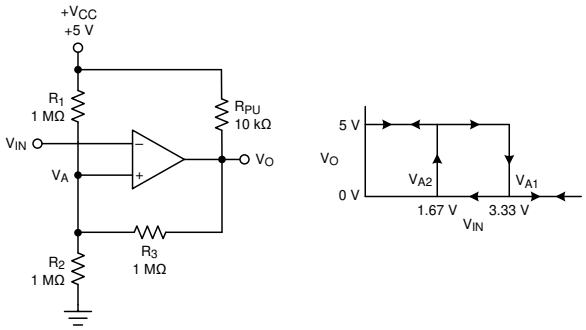


図 7-3. ヒステリシス付きの反転構成

出力が "High" と "Low" のときの等価抵抗ネットワークを図 7-3 に示します。出力が "High" のとき、R_{PU} は R3 と直列であると見なす必要があることに注意してください。R_{PU} は R3 より 10 倍以上小さくする必要があります。

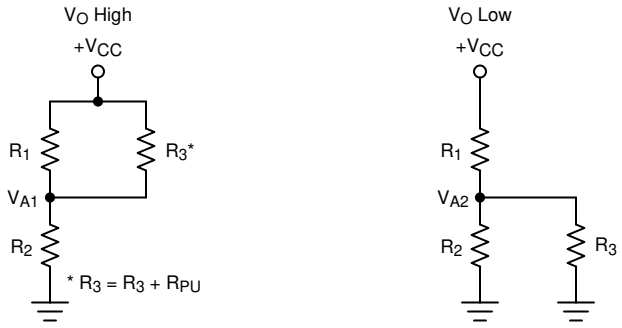


図 7-4. 反転構成の抵抗等価ネットワーク

V_{IN} が V_A より低い場合、出力電圧は "High" です (わかりやすいように、V_O は V_{CC} と同じ高さでスイッチすると仮定)。図 7-4 に示すように、3 つのネットワーク抵抗は R2 と直列の R1 || R3 として表現されます。

以下の式 1 は、"High" から "Low" へのトリップ電圧 (V_{A1}) を定義します。

$$V_{A1} = V_{CC} \times \frac{R2}{(R1 \parallel R3) + R2} \tag{1}$$

V_{IN} が V_A より高くなると、出力電圧は "Low" になります。この場合、式 2 に示すように、3 つのネットワーク抵抗は R1 と直列の R2 || R3 として表現されます。

式 2 を使用して、"Low" から "High" へのトリップ電圧 (V_{A2}) を定義します。

$$V_{A2} = V_{CC} \times \frac{R2 \parallel R3}{R1 + (R2 \parallel R3)} \tag{2}$$

式 3 は、このネットワークによって提供される総ヒステリシスを定義します。

$$\Delta V_A = V_{A1} - V_{A2} \tag{3}$$

7.1.2.2 ヒステリシス付きの非反転コンパレータ

図 7-5 に示すように、ヒステリシス付きの非反転コンパ レータには、反転入力側に 2 つの抵抗ネットワークと 1 つのリファレンス電圧 (V_{REF}) が必要です。

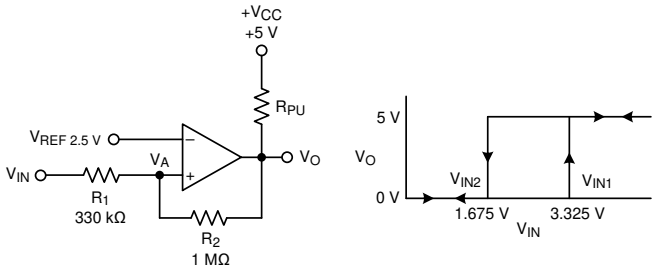


図 7-5. ヒステリシス付きの非反転構成

出力が "High" と "Low" のときの等価抵抗ネットワークを図 7-6 に示します。出力が "High" のとき、R_{PU} は R2 と直列であると見なす必要があることに注意してください。R_{PU} は R2 の 10 倍以上にする必要があります。

Copyright © 2023 Texas Instruments Incorporated

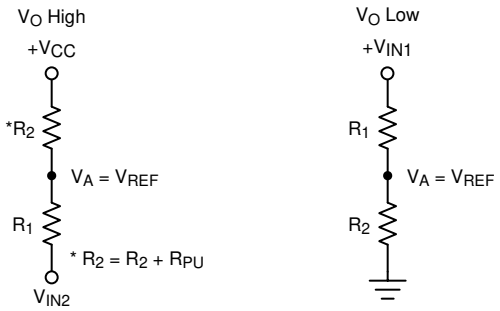


図 7-6. 非反転構成の抵抗ネットワーク

V_{IN} が V_{REF} を下回ると、出力は "Low" になります。出力が "Low" から "High" に切り替わるには、V_{IN} が V_{IN1} のスレッショルドよりも高くなる必要があります。式 4 を使用して V_{IN1} を計算します。

$$V_{IN1} = R1 \times \frac{V_{REF}}{R2} + V_{REF} \tag{4}$$

V_{IN} が V_{REF} を上回ると、出力は "High" になります。コンパレータが "Low" 状態に戻るには、V_{IN} が V_{IN2} よりも降下する必要があります。式 5 を使用して、V_{IN2} を計算します。

$$V_{IN2} = \frac{V_{REF}\,(R1 + R2) - V_{CC} \times R1}{R2} \tag{5}$$

式 6 に示すように、この回路のヒステリシスは V_{IN1} と V_{IN2} の差です。

$$\Delta V_{IN} = V_{CC} \times \frac{R1}{R2} \tag{6}$$

詳細については、アプリケーション・ノート SNOA997 「ヒステリシス回路付き反転コンパレータ」および SBOA313 「ヒステリシス回路付き非反転コンパレータ」を参照してください。

7.2 代表的なアプリケーション

7.2.1 ウィンドウ・コンパレータ

ウィンドウ・コンパレータは、一般的に低電圧および過電圧状態を検出するために使用されます。図 7-7 に、簡単なウィンドウ・コンパレータ回路を示します。出力を互いに直接接続する場合、ウィンドウ・コンパレータにはオープン・ドレイン出力を使用する必要があります。

Copyright © 2023 Texas Instruments Incorporated

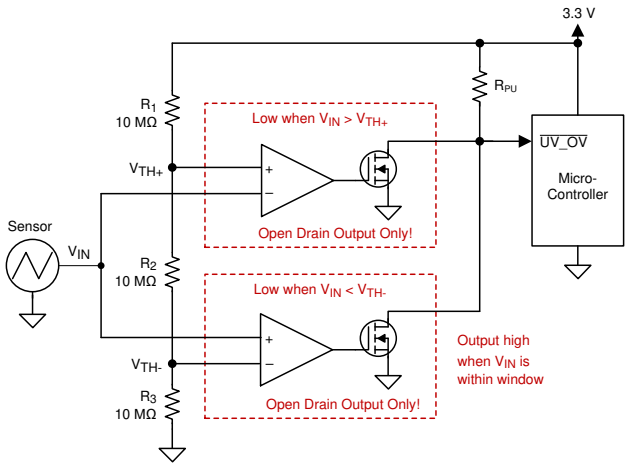


図 7-7. ウィンドウ・コンパレータ

7.2.1.1 設計要件

この設計については、以下の設計要件に従ってください。

- 入力信号が 1.1V を下回る場合のアラート (論理 "Low" 出力)
- 入力信号が 2.2V を超える場合のアラート (論理 "Low" 出力)
- アラート信号はアクティブ "Low"
- 3.3V 電源での動作

7.2.1.2 詳細な設計手順

図 7-7 に示すように回路を構成します。V_{CC} を 3.3V 電源に接続し、V_{EE} をグランドに接続します。R1、R2、R3 をそれぞれ 10MΩ 抵抗にします。これらの 3 つの抵抗を使用して、ウィンドウ・コンパレータの正と負のスレッショルド (V_{TH+} と $V_{TH–}$) を作成します。

各抵抗が等しい場合、V_{TH+} は 2.2V、V_{TH-} は 1.1V です。10MΩ などの大きな抵抗値を使用して、消費電力を最小限に抑えます。抵抗値を再計算して、目的のトリップ・ポイント値を得ることができます。

センサの出力電圧は、2 つのコンパレータの反転入力と非反転入力に印加されます。2 つのオープン・ドレイン出力コンパレータを使用すると、2 つのコンパレータ出力を OR 接続できます。

センサが 1.1V を下回るか、または 2.2V を超えると、それぞれのコンパレータ出力は "Low" になります。図 7-8 に示すように、センサが 1.1V～2.2V の範囲内 (「ウィンドウ」内) のときは、それぞれのコンパレータ出力は "High" になります。

7.2.1.3 アプリケーション曲線

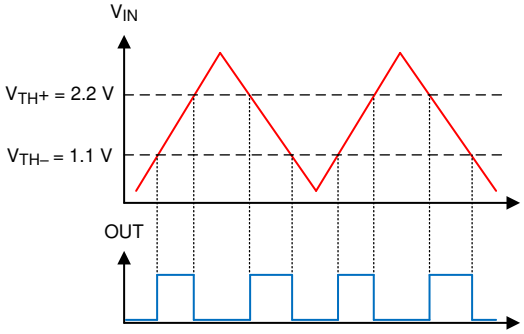


図 7-8. ウィンドウ・コンパレータの結果

詳細については、アプリケーション・ノート SBOA221「ウィンドウ・コンパレータ回路」を参照してください。

Copyright © 2023 Texas Instruments Incorporated

7.2.2 方形波発振器

方形波発振器は、低コストのタイミング・リファレンスまたはシステム監視クロック・ソースとして使用できます。

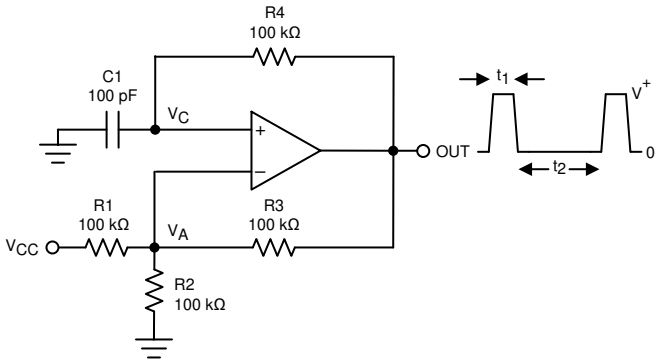


図 7-9. 方形波発振器

7.2.2.1 設計要件

方形波の周期は、コンデンサ C_1 および抵抗 R_4 の RC 時定数によって決定されます。最大周波数は、デバイスの伝搬遅延と出力の容量性負荷によって制限されます。入力バイアス電流が小さいため、特定の発振器周波数を得るために小さい値のコンデンサと大きい値の抵抗を組み合わせることができ、BOM (部品表) コストと基板面積を削減できます。出力の負荷を最小限に抑えるために、R4 は数 kΩ 以上にする必要があります。

7.2.2.2 詳細な設計手順

発振周波数は、抵抗とコンデンサの値によって決定されます。次の計算は、手順の詳細を示しています。

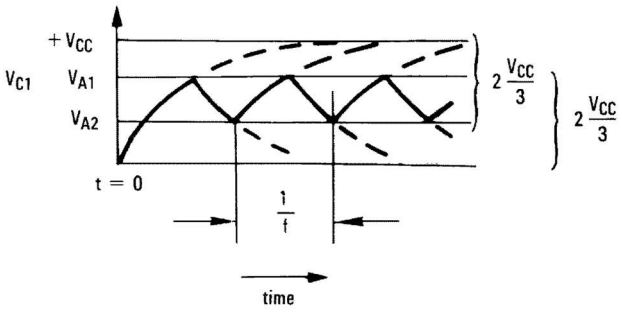


図 7-10. 方形波発振器のタイミング・スレッショルド

まず、図 図 7-9 の出力は "High" と見なされます。これは、反転された入力 V_C が非反転入力 (V_A) よりも低いことを示しています。これにより、C_1 は R_4 を介して充電され、電圧 V_C は非反転入力と等しくなるまで増加します。このポイントでの V_A の値は、式 7 で計算されます。

$$V_{A1} = \frac{V_{CC} \times R_2}{R_2 + R_1 \| R_3} \tag{7}$$

$R_1 = R_2 = R_3$ の場合、$V_{A1} = 2\ V_{CC}/3$

この時点でコンパレータの出力はトリップし、出力が負のレールまでプルダウンされます。このポイントでの V_A の値は、式 8 で計算されます。

$$V_{A2} = \frac{V_{CC}(R_2 \| R_3)}{R_1 + R_2 \| R_3} \tag{8}$$

Copyright © 2023 Texas Instruments Incorporated

$R_1 = R_2 = R_3$ の場合、$V_{A2} = V_{CC}/3$

ここで、C_1 は R_4 を介して放電され、電圧 V_{CC} は V_{A2} に達するまで低下します。この時点で、出力は開始状態に戻ります。発振周期は、C_1 の電圧が $2V_{CC}/3$ から $V_{CC}/3$ まで低下した後、$2V_{CC}/3$ に戻るまでの時間に等しくなります。この値は各トリップについて $R_4C_1 \times \ln 2$ で与えられます。したがって、合計時間は $2\ R_4C_1 \times \ln 2$ として計算されます。

発振周波数は、式 9 で計算されます。

$$f = 1/(2\ R4 \times C1 \times In2) \tag{9}$$

7.2.2.3 アプリケーション曲線

図 7-11 に、次の部品値を使用した、発振器のシミュレーション結果を示します。

- $R_1 = R_2 = R_3 = R_4 = 100k\Omega$
- $C_1 = 100pF$、$C_L = 20pF$
- V+ = 5V、V– = GND
- V_A から GND への C_{stray} (図では省略) = 10pF

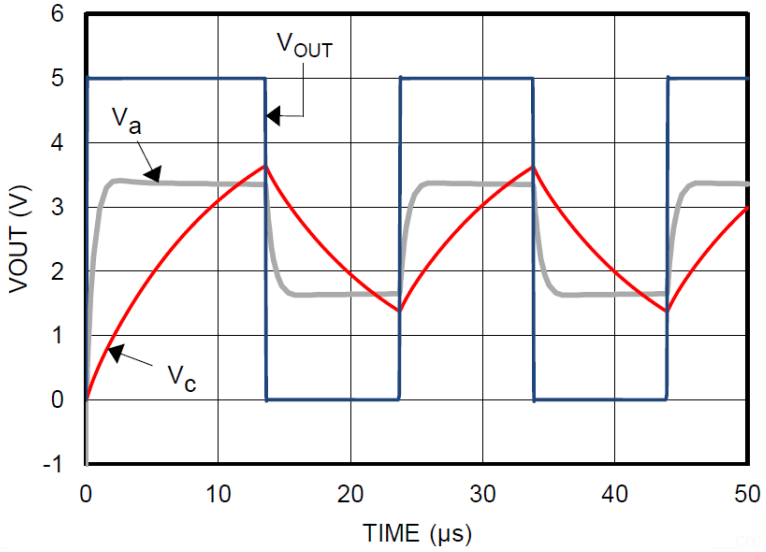


図 7-11. 方形波発振器の出力波形

7.2.3 可変パルス幅ジェネレータ

図 7-12 は、パルス幅を調整できる方形波発振器のバリエーションです。

R_4 と R_5 は、出力の状態に応じて、コンデンサ C の充電パスと放電パスを提供します。

Copyright © 2023 Texas Instruments Incorporated

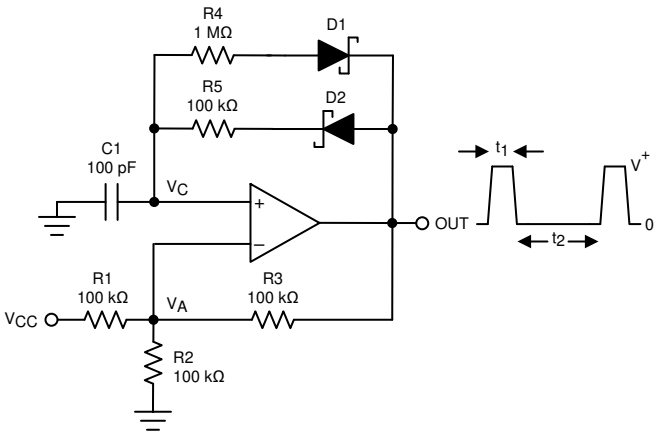


図 7-12. 可変パルス幅ジェネレータ

出力が High のとき、充電パスは R_5 および D_2 によって設定されます。同様に、出力が Low のとき、コンデンサの放電パスは R_4 および D_1 によって設定されます。

パルス幅 t_1 は、R_5 と C の RC 時定数によって決定されます。したがって、パルス間の時間 t_2 は R_4 を変化させることで変更でき、パルス幅は R_5 によって変更できます。出力の周波数は、R_4 と R_5 の両方を変化させることで変更できます。低電圧時には、計算の中で出力 High および Low 電圧を変更することにより、ダイオードの順方向電圧降下 (0.8V、ショットキーの場合は 0.15V) の影響を考慮に入れる必要があります。R_{PU} は、R4 または R5 の最小値より少なくとも 10 倍小さい必要があります。

7.2.4 時間遅延ジェネレータ

図 7-13 に示す回路は、基準時間からの所定の時間間隔で出力信号を提供し、入力が 0V に戻った時点で自動的に出力を "Low" にリセットします。これは、電源の制御されたスタートアップをトリガする「パワーオン」信号をシーケンシングするのに便利です。

Copyright © 2023 Texas Instruments Incorporated

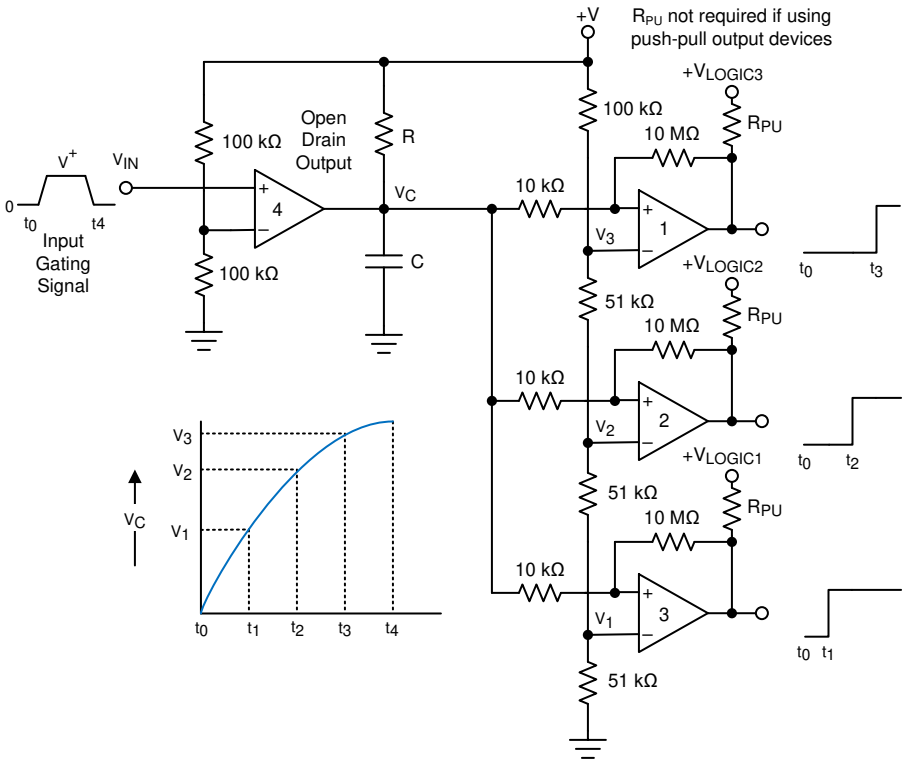


図 7-13. 時間遅延ジェネレータ

V_{IN} = 0 の場合を考えます。コンパレータ 4 の出力はグランドにも接続されており、コンデンサを「短絡」させて 0V に保持します。これは、コンパレータ 1、2、3 の出力も 0V であることを意味します。入力信号が印加されると、オープン・ドレイン・コンパレータ 4 の出力が ハイ・インピーダンスになり、C は R を介して指数関数的に充電されます。これをグラフに示します。コンパレータ 1、2、3 の出力電圧は、V_C が基準電圧 V_1、V_2、V_3 を超えて上昇すると、順番に "High" 状態に切り替わります。10kΩ および 10MΩ の抵抗によって小さなヒステリシスが設定され、遅延時間が長くなる RC 時定数を選択した場合でも高速スイッチングが保証されます。R = 100kΩ、C = 0.01µF～1µF を出発点として調整することを推奨します。

V_{IN} が 0V に低下すると、コンパレータの出力が "Low" になり、コンデンサが直ちに放電されるため、すべての出力が直ちに "Low" になります。

コンパレータ 4 はオープン・ドレイン型出力 (TLV902x) でなければなりませんが、コンパレータ 1～3 はシステム要件に応じてオープン・ドレイン出力またはプッシュプル出力にできます。プッシュプル出力デバイスには、R_{PU} は必要ありません。

7.2.5 ロジック・レベル・シフタ

出力は、出力トランジスタの非コミット・ドレインです。多数のオープン・ドレイン出力を互いに接続し、必要に応じて出力の OR 接続機能を実現できます。

Copyright © 2023 Texas Instruments Incorporated

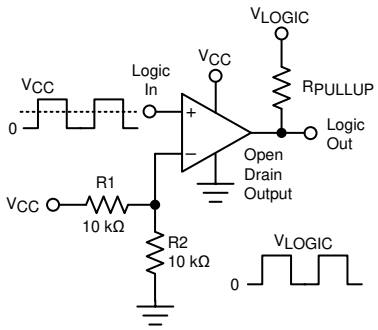


図 7-14. ユニバーサル・ロジック・レベル・シフタ

2 つの 10kΩ 抵抗は、入力ロジック供給レベルの半分に入力をバイアスして、入力ロジックレベルの中間点にスレッショルドを設定します。必要なのは 1 つの共有出力プルアップ抵抗のみであり、0V～5.5V の範囲内の任意のプルアップ電圧に接続できます。プルアップ電圧は、駆動されるロジック入力の "High" レベルと一致する必要があります。

7.2.6 ワンショット・マルチバイブレータ

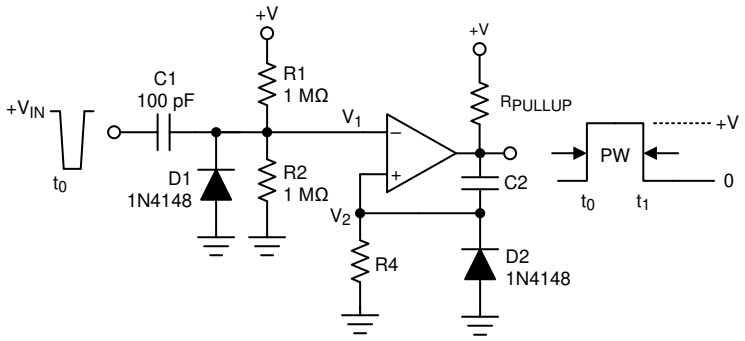


図 7-15. ワンショット・マルチバイブレータ

モノステーブル・マルチバイブレータには、いつまでも存続できる 1 つの安定した状態があります。この回路を外部からトリガして、別の疑似安定状態に移行させることができます。したがって、モノステーブル・マルチバイブレータを使用して、必要な幅のパルスを生成することができます。

必要なパルス幅は、C_2 と R_4 の値を調整して設定します。R_1 と R_2 の分圧抵抗回路を使用して、入力トリガ・パルスの大きさを決定できます。$V_1 < V_2$ になったとき、出力の状態が変化します。ダイオード D_2 は、パルスの終了時にリセットされるコンデンサ C_2 の急速放電パスを提供します。また、このダイオードは、非反転入力がグランドより低い電圧に駆動されることを防止します。

7.2.7 双安定マルチバイブレータ

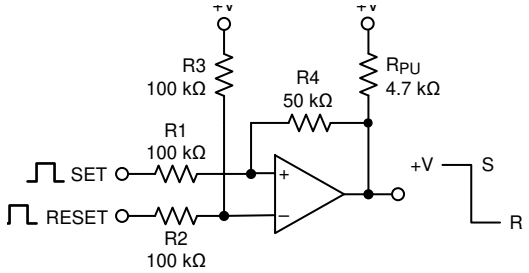


図 7-16. 双安定マルチバイブレータ

双安定マルチバイブレータには、2 つの安定状態があります。基準電圧は、R_2 と R_3 の分圧器によって設定されます。SET 端子に印加されるパルスによって、コンパレータの出力が "High" に切り替わります。R_1、R_4、R_5 の分圧抵抗回路

は、非反転入力を基準電圧より高い電圧にクランプします。RESET に印加されたパルスにより、出力が "Low" に切り替わります。

7.2.8 ゼロ交差検出器

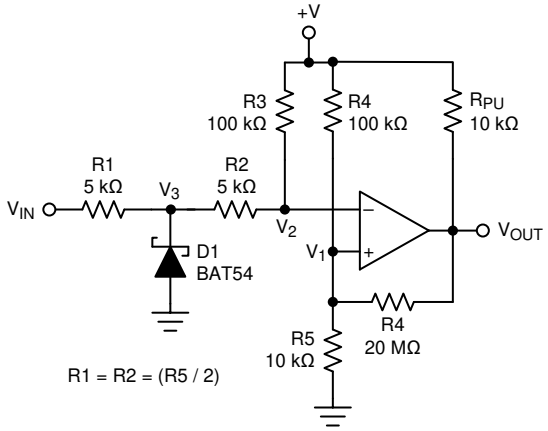


図 7-17. ゼロ交差検出器

R_4 および R_5 の分圧器により、非反転入力に基準電圧 V_1 が設定されます。R_1 と R_2 の直列抵抗を R_5 と等しくすると、コンパレータは V_{IN} = 0 のときにスイッチングします。ダイオード D_1 により、V_3 はグランドに近い電圧にクランプされます。R_2 および R_3 の分圧器により、V_2 がグランドより低くなるのを防止します。出力電圧の迅速な遷移を保証するために、小さなヒステリシスが設定されます。

Copyright © 2023 Texas Instruments Incorporated

7.2.9 パルス・スライサ

パルス・スライサはゼロ交差検出器のバリエーションで、ベースライン・レベルが変動する入力信号上でのゼロ交差の検出に使用されます。この回路は、対称型の波形で最良の性能を発揮します。R_1 と C_1 の RC ネットワークにより、平均基準電圧 V_{REF} が設定されます。この電圧は V_{IN} 信号の平均振幅に追従します。非反転入力は、R2 を介して V_{REF} に直接接続されます。R2 と R3 を使用してヒステリシスを設定すると、遷移をスプリアス・トグルが発生しない状態に維持できます。時定数は、長期間の対称性と振幅の変化に対する応答時間の間のトレードオフとなります。

波形がデータである場合、適切な平均ベースラインを維持するために、データを NRZ (Non-Return to Zero) 形式でエンコードすることをお勧めします。非対称入力では、V_{REF} 平均電圧の変化を原因とするタイミング歪みが発生する場合があります。

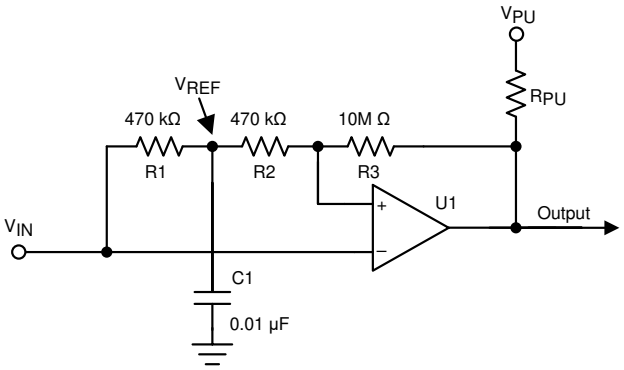


図 7-18. パルス・スライサ

この設計については、以下の設計要件に従ってください。

- 有効なトリップ・スレッショルドを維持するには、RC 定数の値 (R_2 および C_1) が目標データ・レートをサポートする必要があります。
- R_2 と R_{43} を使用して設定されたヒステリシスにより、スプリアス出力信号のトグルを防止できます。

図 7-19 は、ベースラインが変動する、ボー・レート 9600 のデータ信号の結果を示しています。

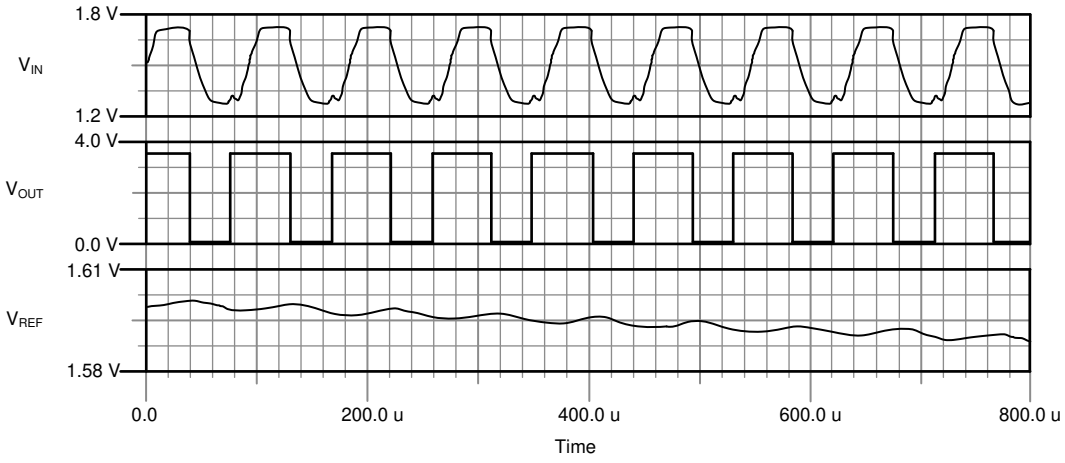


図 7-19. パルス・スライサの波形

7.3 電源に関する推奨事項

出力エッジが高速であるため、電源リンギングおよび誤トリガや発振を防止するために、電源ピンにバイパス・コンデンサを接続することが重要です。V_{CC} ピンとグランド・ピンの間に低 ESR の 0.1µF セラミック・バイパス・コンデンサを直接接続し、それぞれのデバイスで電源を直接バイパスします。出力遷移時間中に、特にプッシュプル出力デバイスの場合、狭い

Copyright © 2023 Texas Instruments Incorporated

ピーク電流が流れます。これらの狭いパルスにより、バイパスされない電源ラインや品質の低いグランドにリンギングが発生する可能性があり、これが入力電圧範囲に影響を与えて、不正確な比較や発振を引き起こす場合があります。

このデバイスは、GND ピンに V を印加した状態で、「分割」電源 (V+、V-、GND) から電力を供給することもできます。

両方の電源タイプについて、入力信号を規定の入力範囲内 (V+ と V- の間) に維持する必要があります。

分割電源では、出力はシステムの GND ではなく、V- の電位まで "Low" (VOL) へスイングすることに注意してください。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

高精度のコンパレータ・アプリケーションでは、ノイズやグリッチを最小限に抑えながら安定した電源を維持することが重要です。出力の立ち上がり時間と立ち下がり時間は数十ナノ秒であり、高速ロジック・デバイスとして扱う必要があります。バイパス・コンデンサは電源ピンにできる限り近づけて配置し、必要に応じてベタのグランド・プレーンに接続します。また、できれば V_{CC} ピンと GND ピンの間に直接接続します。

出力の発振を防ぐため、出力と入力間のカップリングを最小限に抑えてください。カップリングを低減するために、出力間に V_{CC} または GND のパターンが存在する場合を除いて、出力パターンと入力パターンを並列に配置しないでください。入力に直列抵抗を追加する場合、デバイスの近くに抵抗を配置します。出力と直列に小さい値 (<100Ω) の抵抗を追加して、制御された長い非インピーダンス・トレース上のリンギングや反射を減衰させることもできます。エッジの形状を最適化するには、長距離の配線にはバック終端を持つ制御されたインピーダンス・トレースを使用する必要があります。

7.4.2 レイアウト例

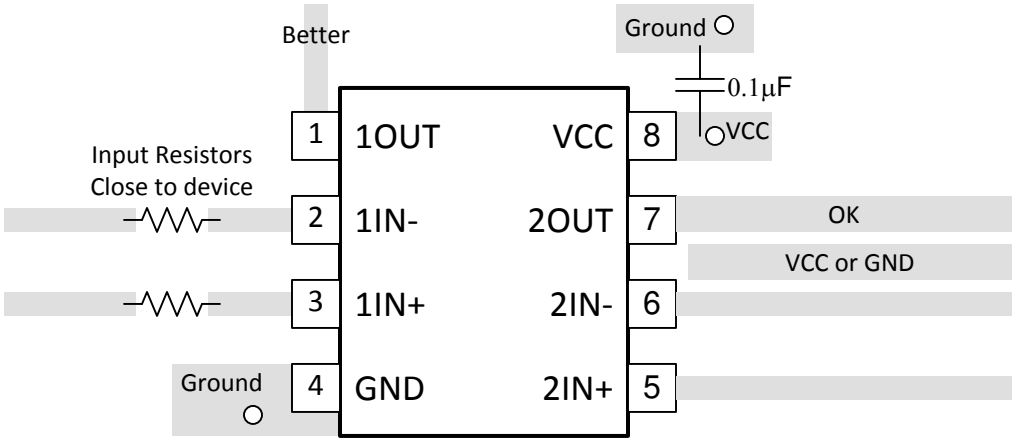


図 7-20. デュアル・レイアウトの例

Copyright © 2023 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 関連資料

『アナログ・エンジニア向け回路設計ヒント集：アンプ』(コンパレータのセクションを参照) - SLYY137

『Precision Design、ヒステリシス付きコンパレータのリファレンス・デザイン』、TIDU020

『ウィンドウ・コンパレータ回路』、SBOA221

『リファレンス・デザイン、ウィンドウ・コンパレータのリファレンス・デザイン』、TIPD178

『ヒステリシス回路付き / なしのコンパレータ』、SBOA219

『コンパレータによるゼロ交差検出回路』、SNOA999

『独立して動作する 4 つのコンパレータ』、SNOA654

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision C (March 2023) to Revision D (November 2023)	Page
• 最初のページのステータスを更新	1

Changes from Revision B (December 2020) to Revision C (March 2023)	Page
• 先頭ページのテキスト、デバイス情報、ピン配置、熱特性と電気的特性の表に「シングル・デバイス」を追加	1

Copyright © 2023 Texas Instruments Incorporated

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM339LVDR	Active	Production	SOIC (D) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LM339LVD
LM339LVDR.A	Active	Production	SOIC (D) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LM339LVD
LM339LVDYYR	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LM339LV
LM339LVDYYR.A	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LM339LV
LM339LVPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	LM339LV
LM339LVPWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LM339LV
LM339LVRTER	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L339LV
LM339LVRTER.A	Active	Production	WQFN (RTE) | 16	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L339LV
LM393LVDDFR	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2H4F
LM393LVDDFR.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2H4F
LM393LVDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2IHT
LM393LVDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2IHT
LM393LVDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L393LV
LM393LVDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L393LV
LM393LVDSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	L393
LM393LVDSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	L393
LM393LVDSGRG4	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L393
LM393LVDSGRG4.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L393
LM393LVPWR	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L393LV
LM393LVPWR.A	Active	Production	TSSOP (PW) | 8	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L393LV
TL331LVDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	331L
TL331LVDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	331L
TL391LVDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	391L
TL391LVDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	391L

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LM339LV, LM393LV, TL331LV, TL391LV :

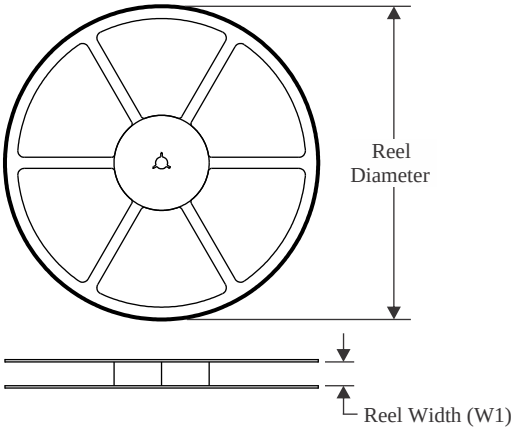
- Automotive : LM339LV-Q1, LM393LV-Q1, TL331LV-Q1, TL391LV-Q1

NOTE: Qualified Version Definitions:

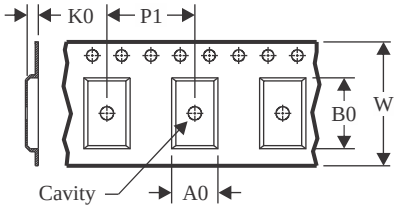
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

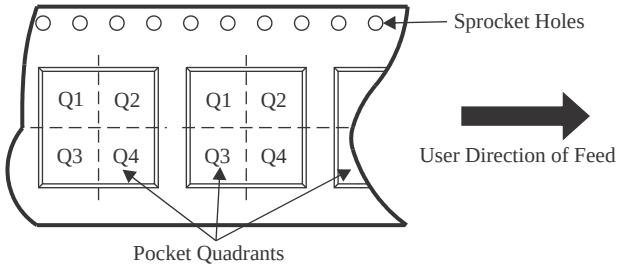


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

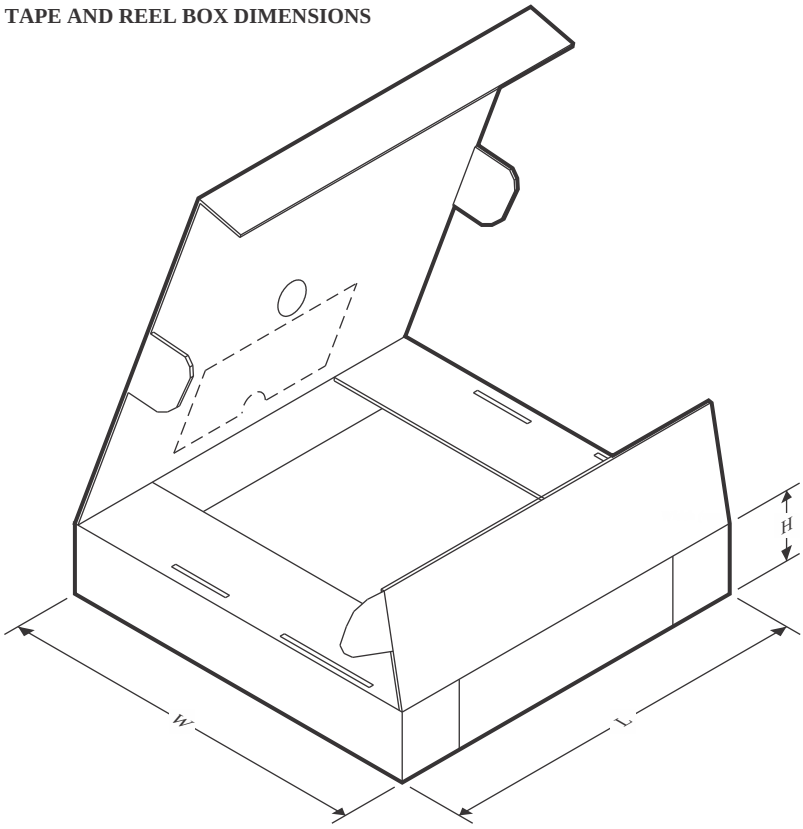
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

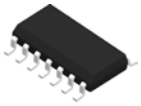
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM339LVDR	SOIC	D	14	3000	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
LM339LVDYYR	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
LM339LVPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
LM339LVRTER	WQFN	RTE	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LM393LVDDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LM393LVDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
LM393LVDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM393LVDSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
LM393LVDSGRG4	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
LM393LVPWR	TSSOP	PW	8	2000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TL331LVDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TL391LVDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM339LVDR	SOIC	D	14	3000	353.0	353.0	32.0
LM339LVDYYR	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
LM339LVPWR	TSSOP	PW	14	2000	356.0	356.0	35.0
LM339LVRTER	WQFN	RTE	16	3000	360.0	360.0	36.0
LM393LVDDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
LM393LVDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
LM393LVDR	SOIC	D	8	2500	353.0	353.0	32.0
LM393LVDSGR	WSON	DSG	8	3000	210.0	185.0	35.0
LM393LVDSGRG4	WSON	DSG	8	3000	210.0	185.0	35.0
LM393LVPWR	TSSOP	PW	8	2000	353.0	353.0	32.0
TL331LVDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TL391LVDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0

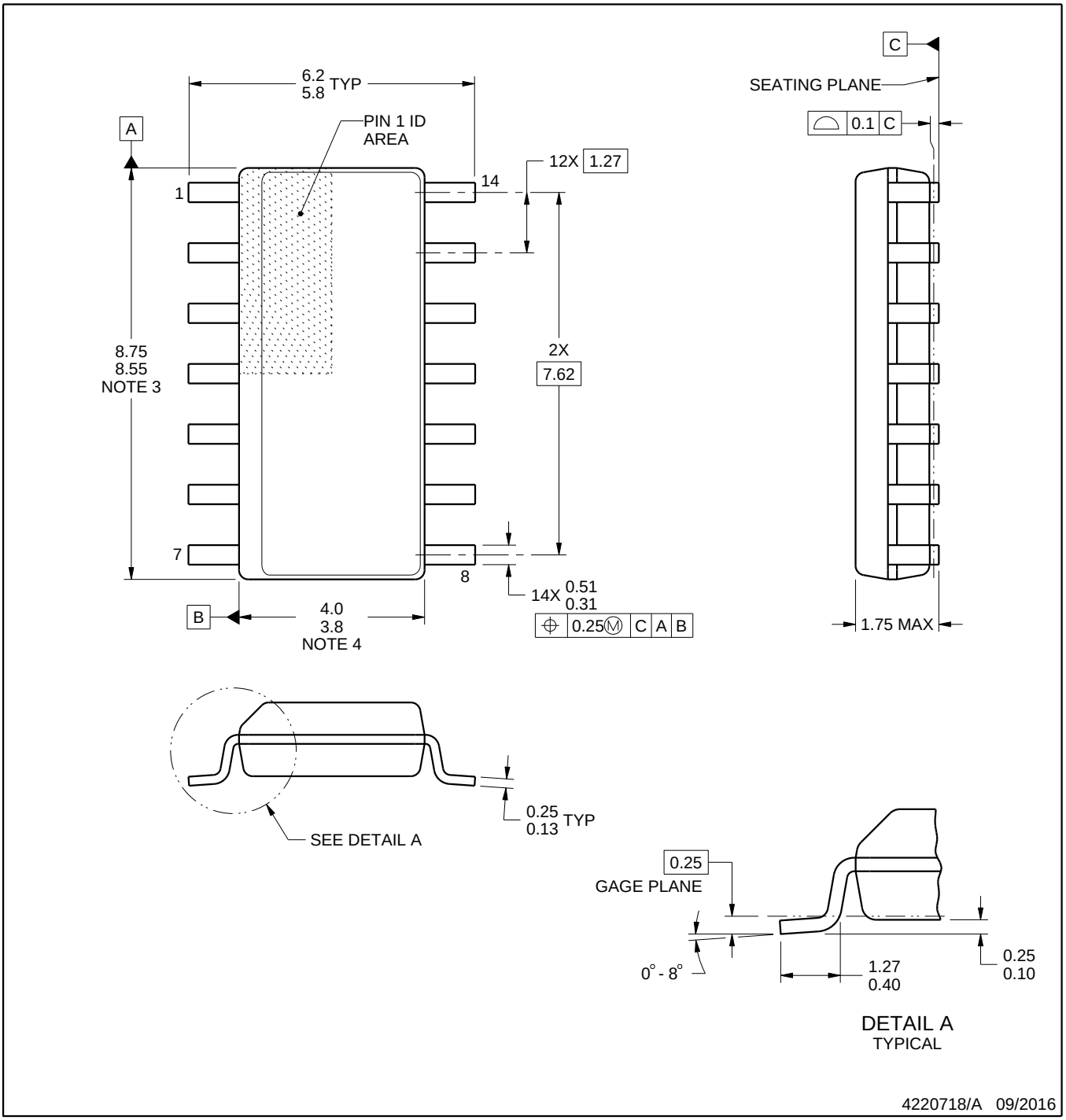


PACKAGE OUTLINE

D0014A

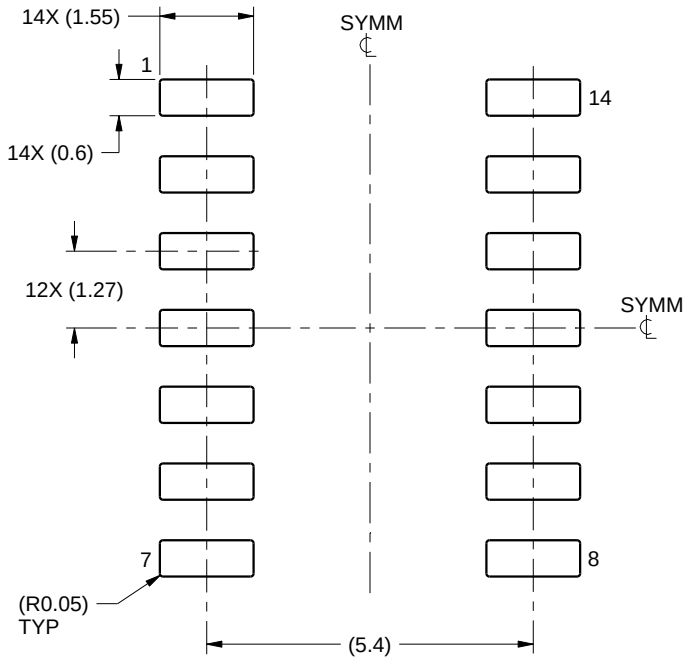
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

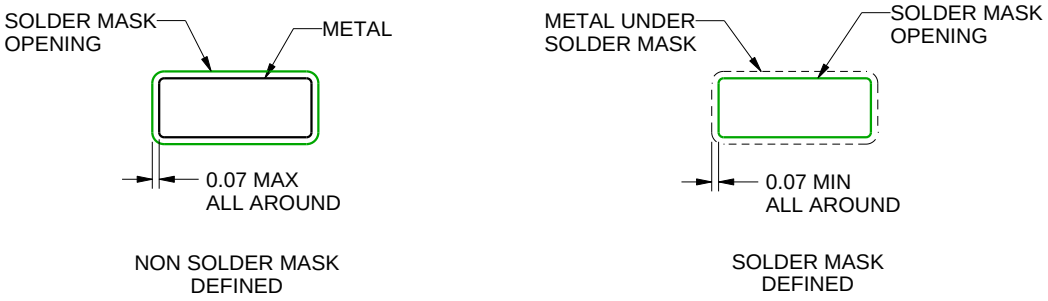


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

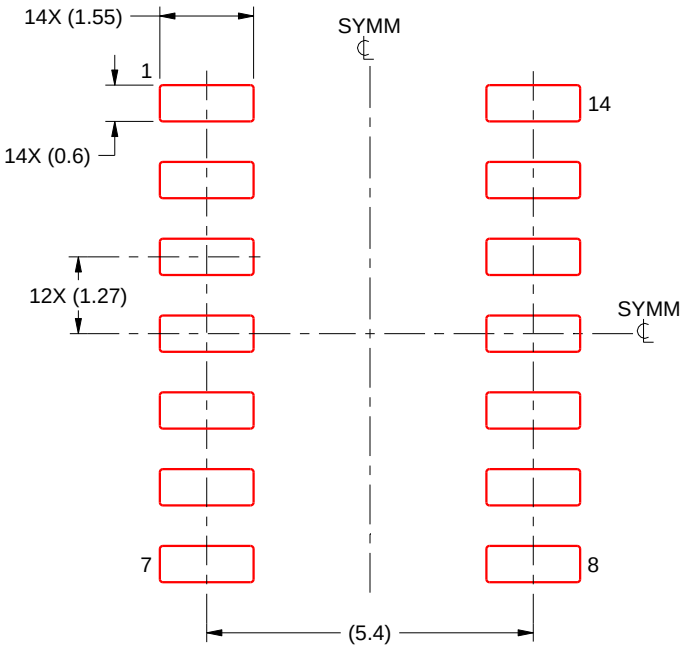
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

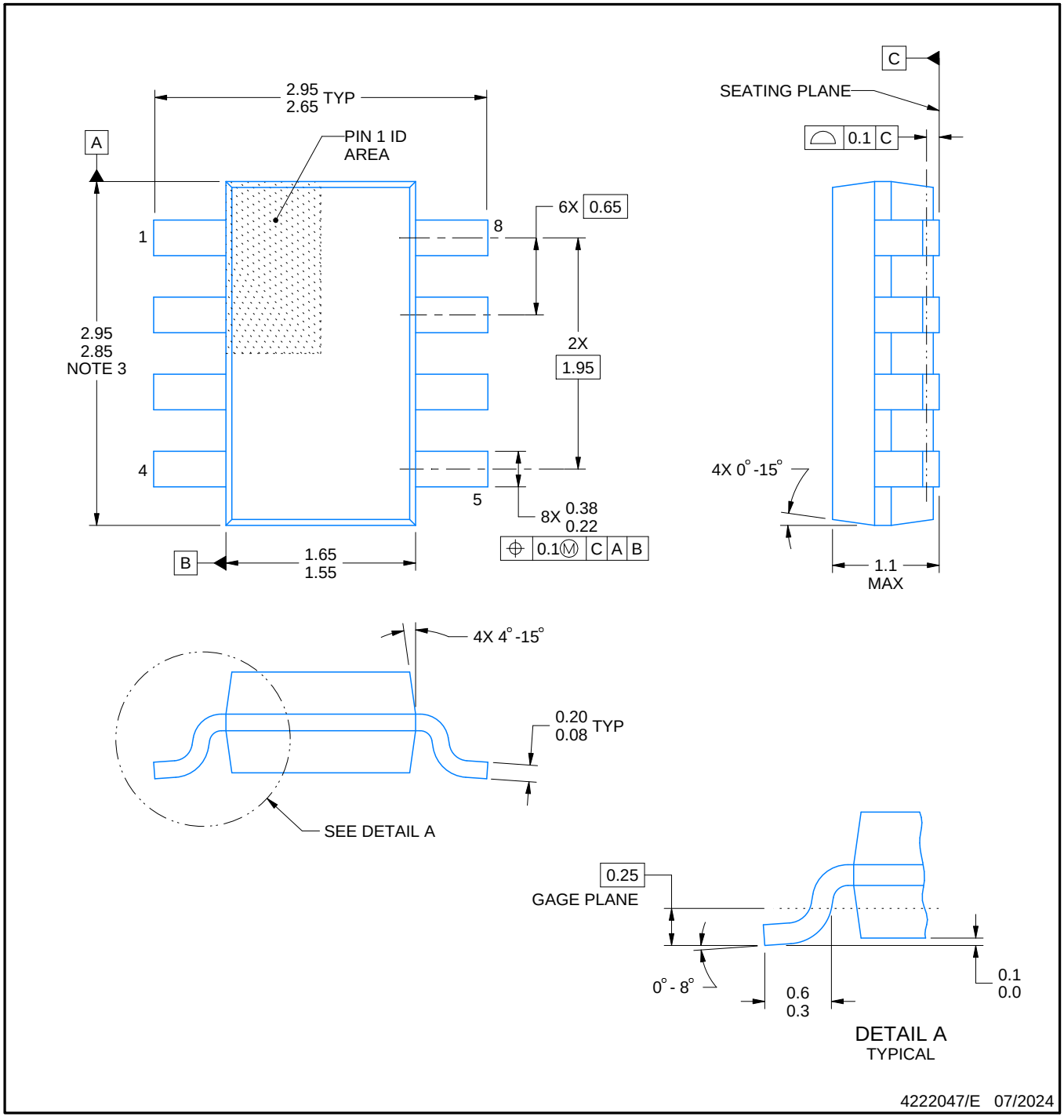
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DDF0008A

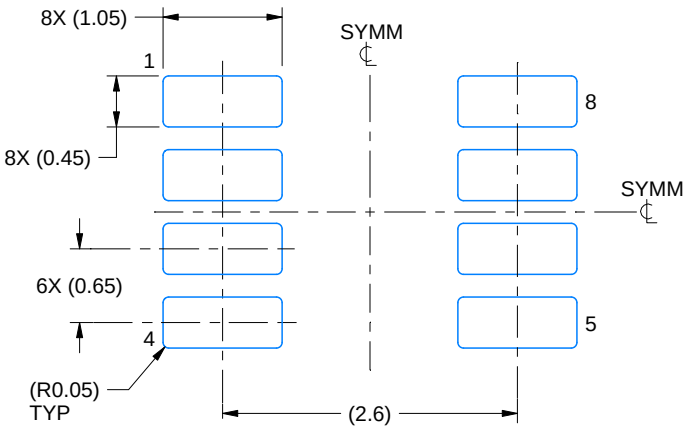
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

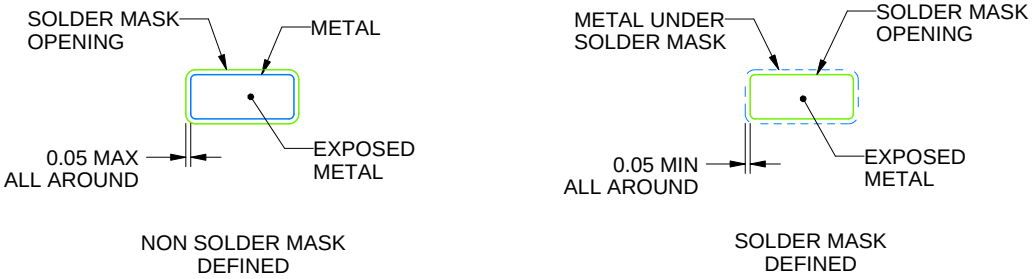


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

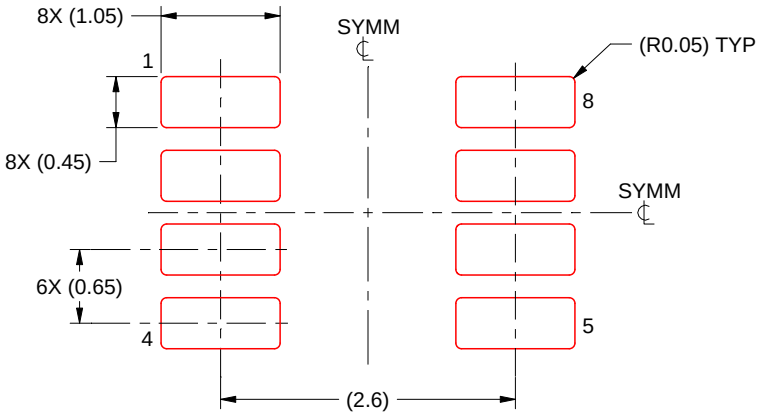
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

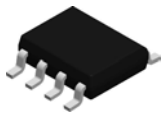


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

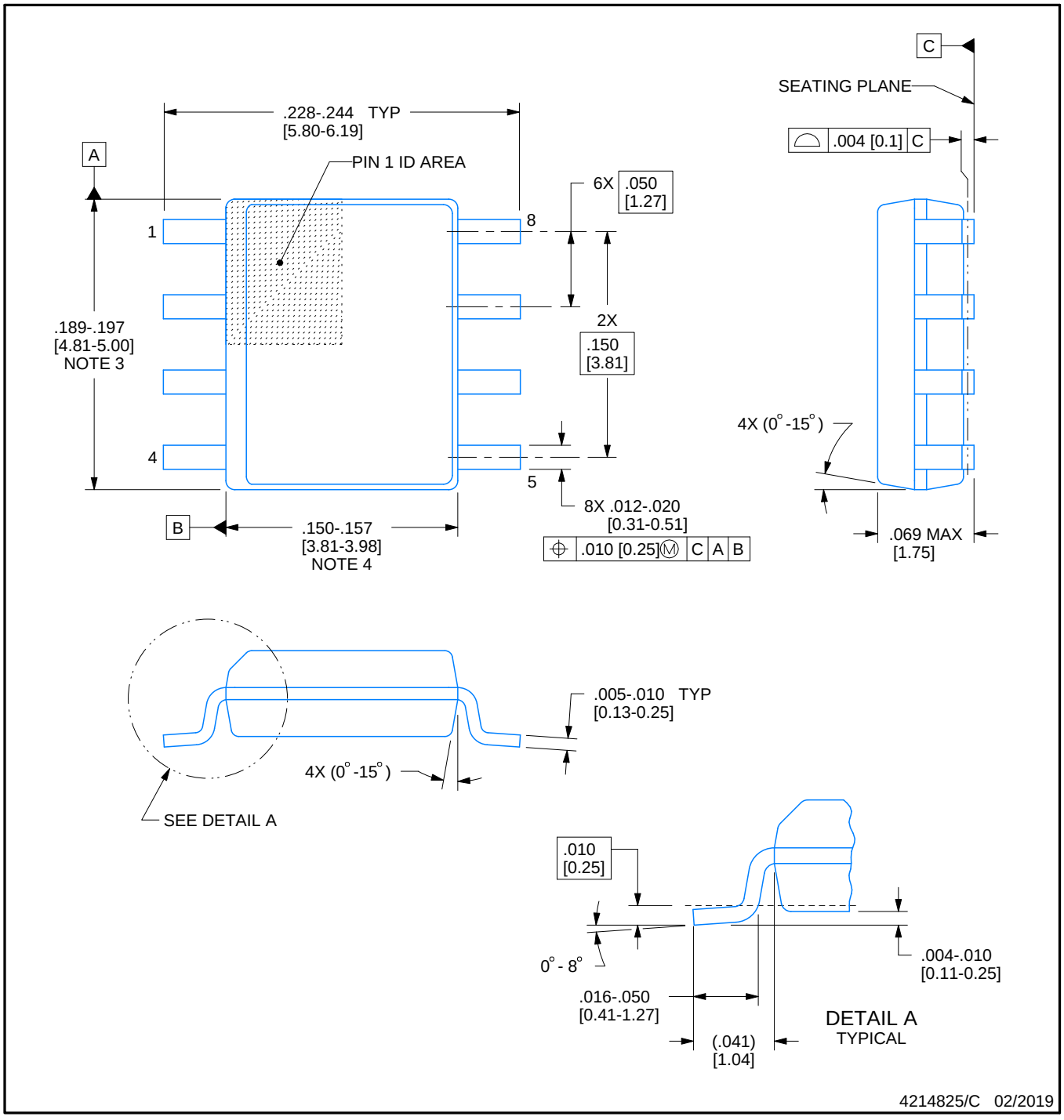


PACKAGE OUTLINE

D0008A

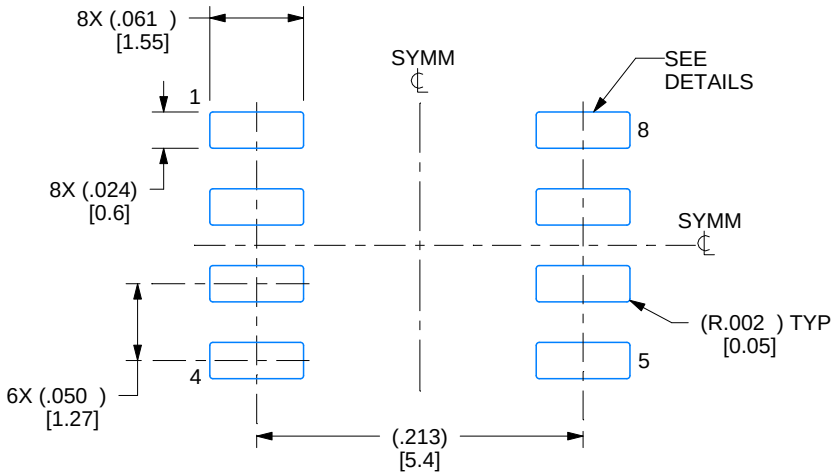
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

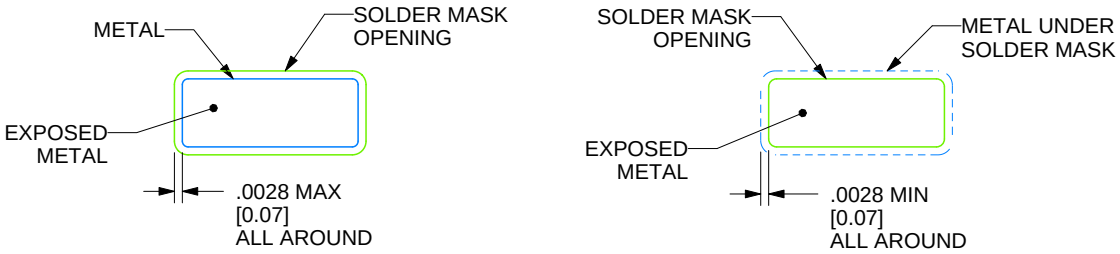


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

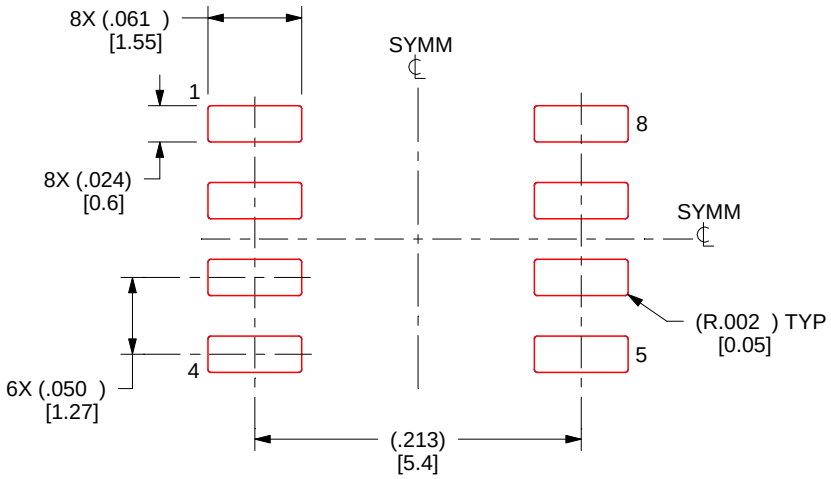
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

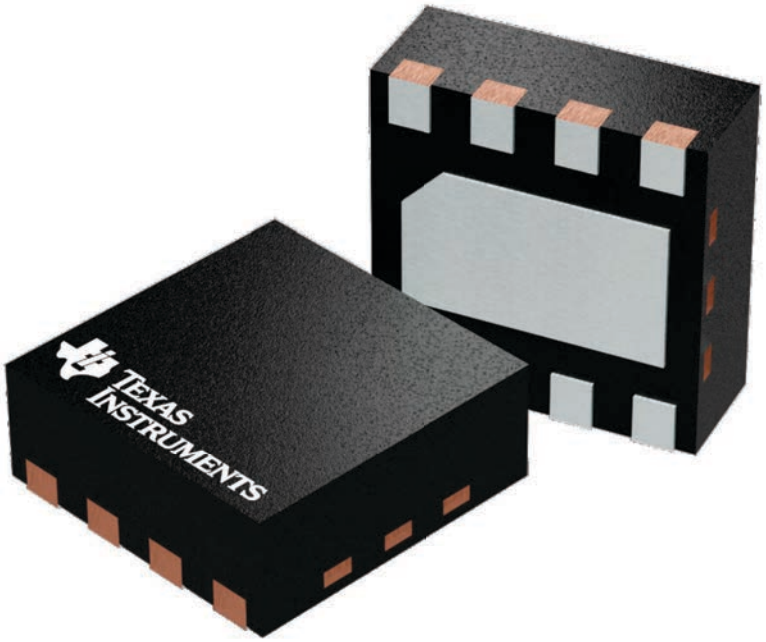
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



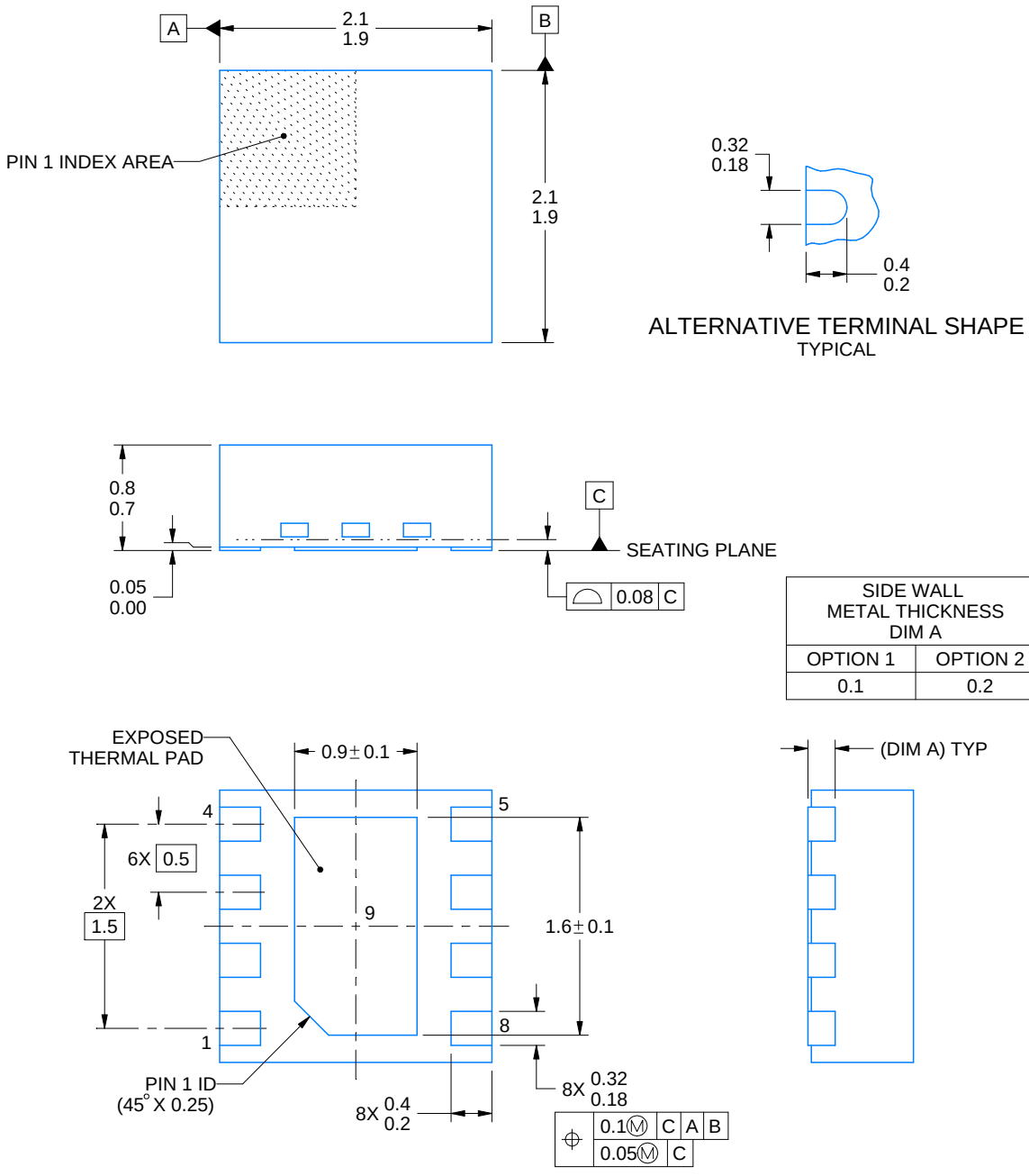
4224783/A

PACKAGE OUTLINE

DSG0008A

WSON - 0.8 mm max height

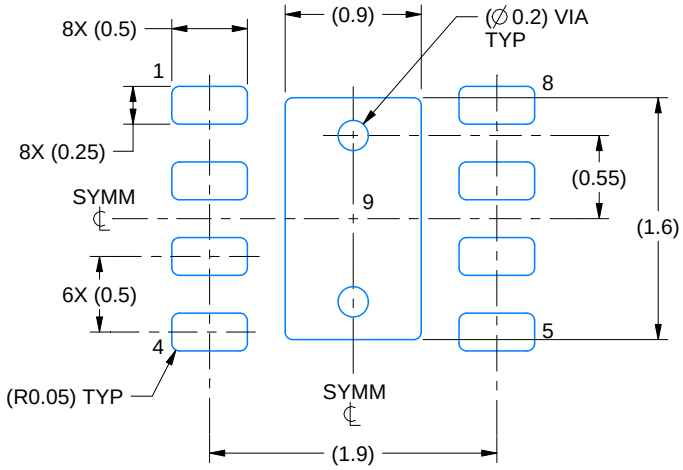
PLASTIC SMALL OUTLINE - NO LEAD



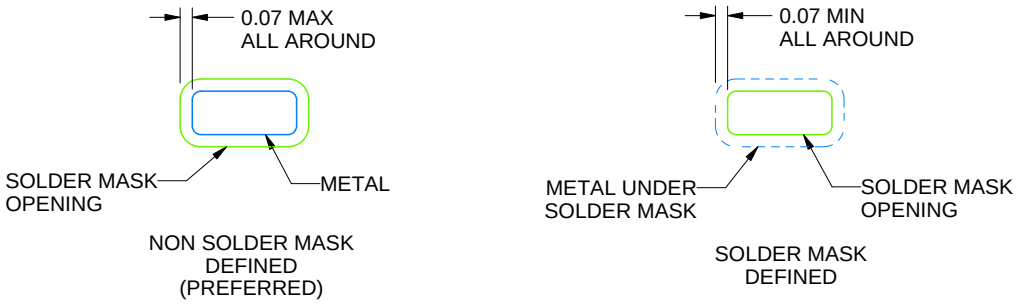
4218900/E 08/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

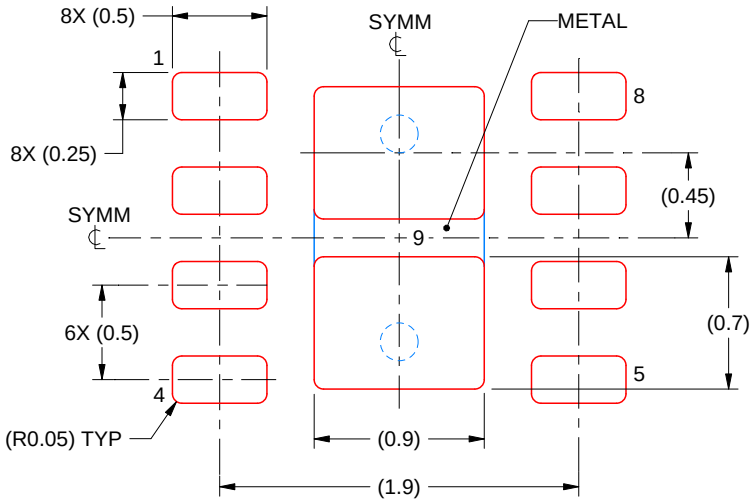


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

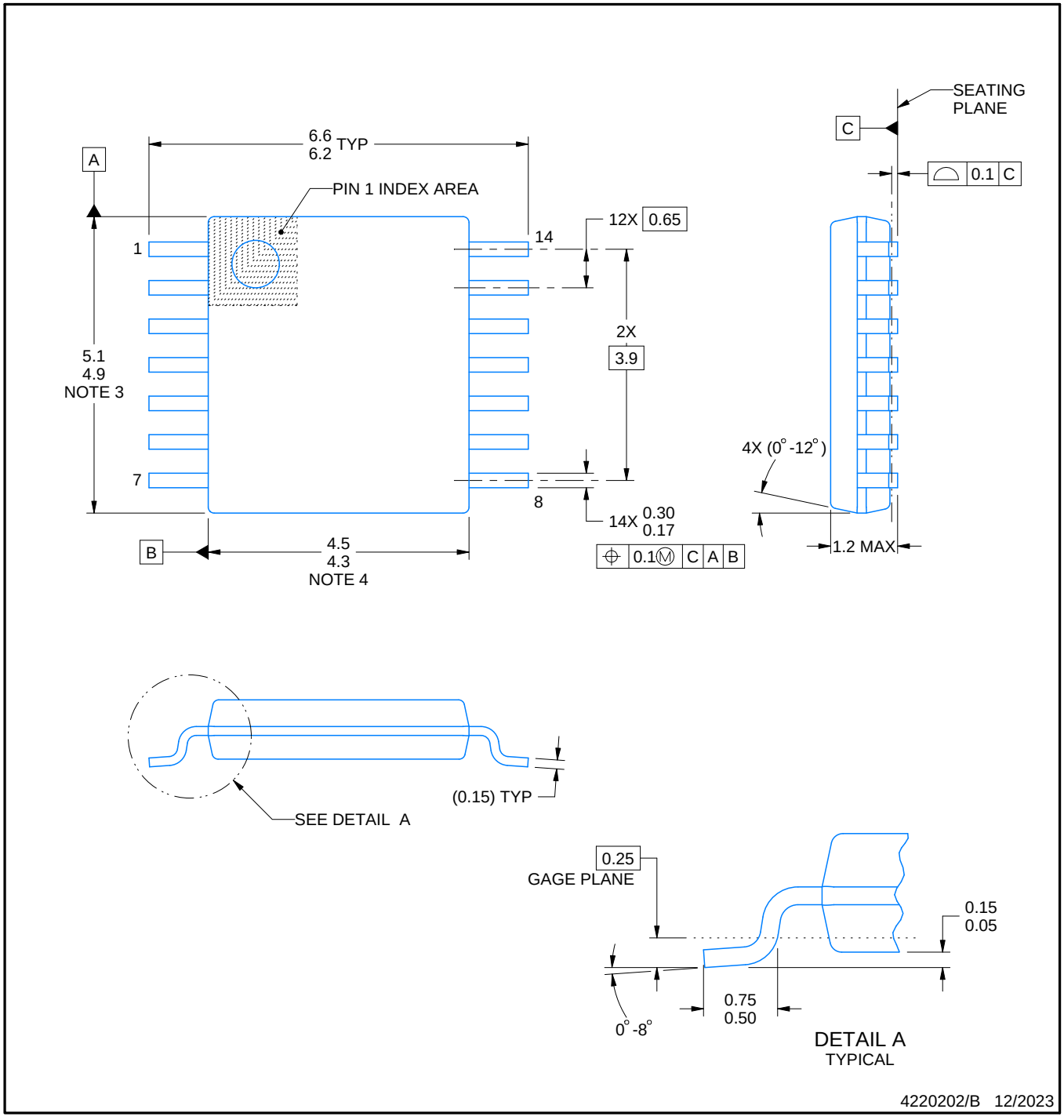
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PW0014A

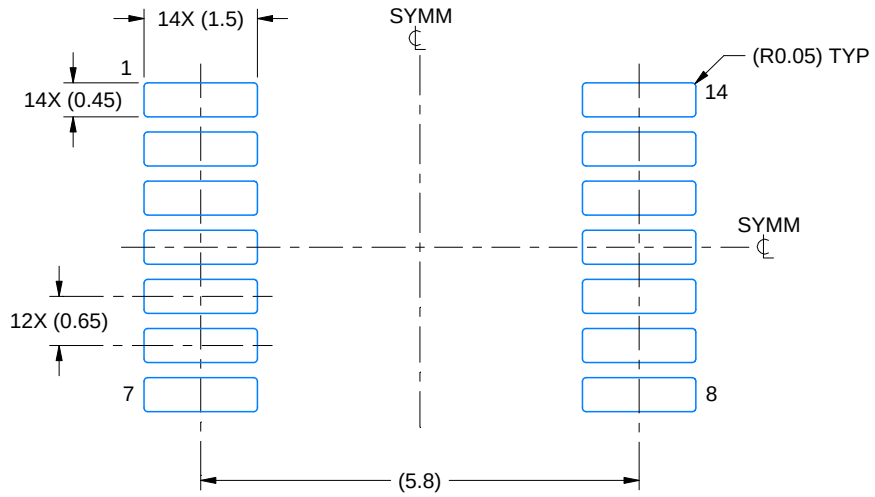
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

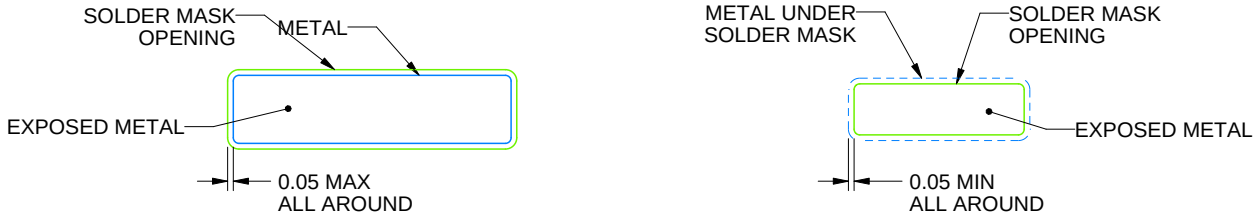


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

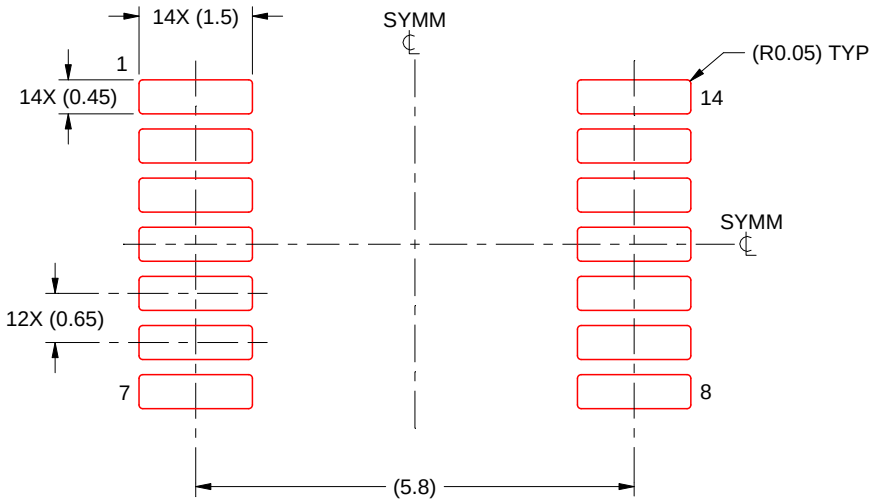


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

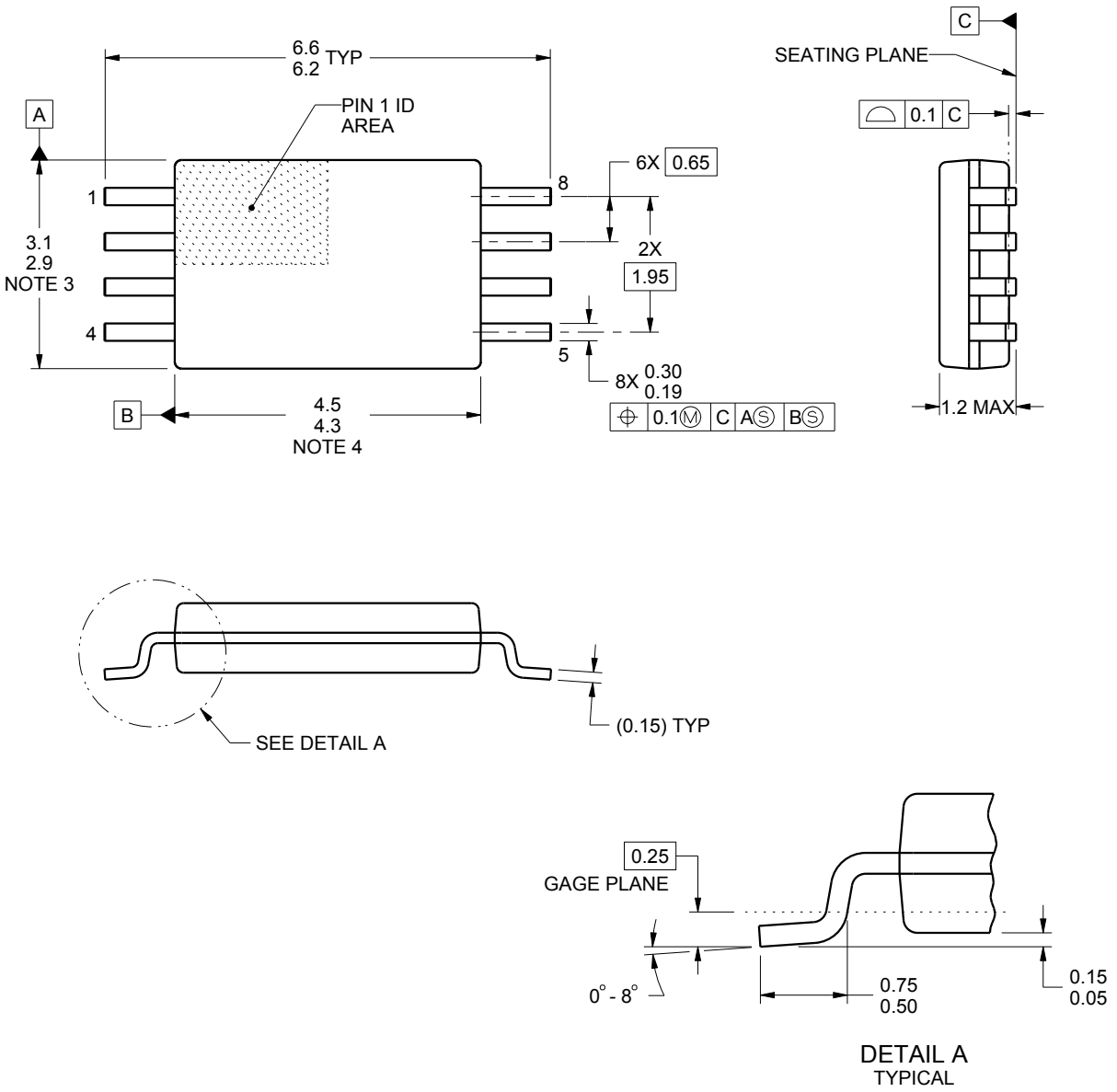
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0008A

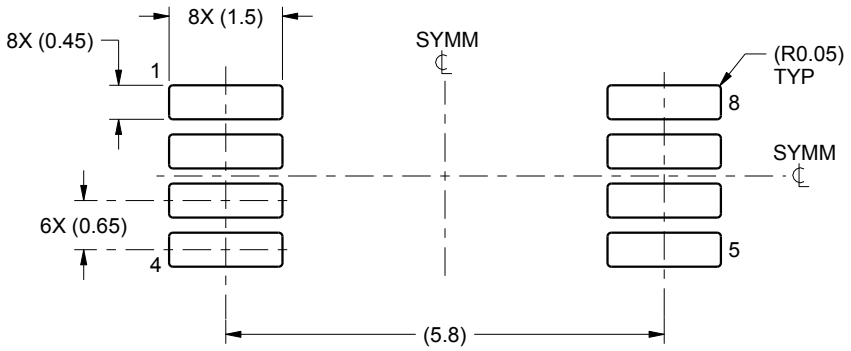
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

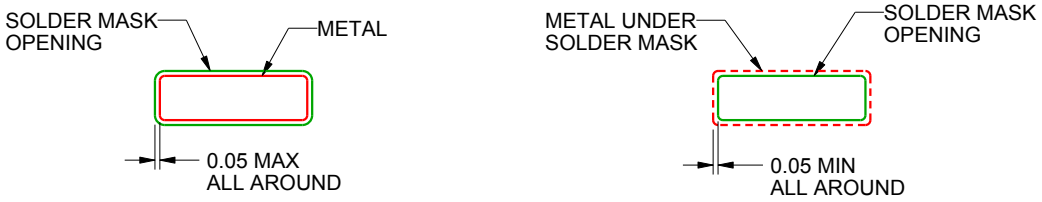


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

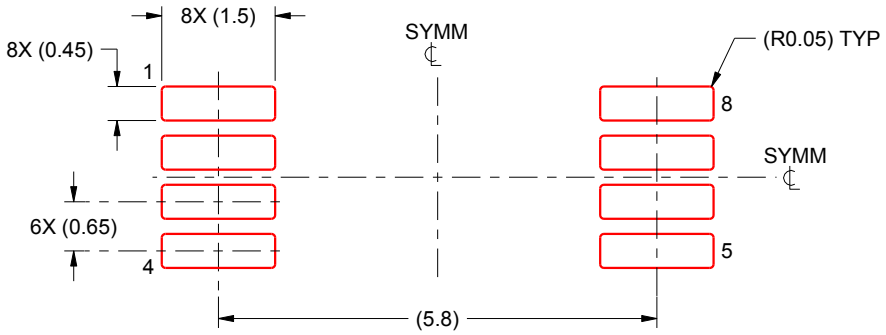


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

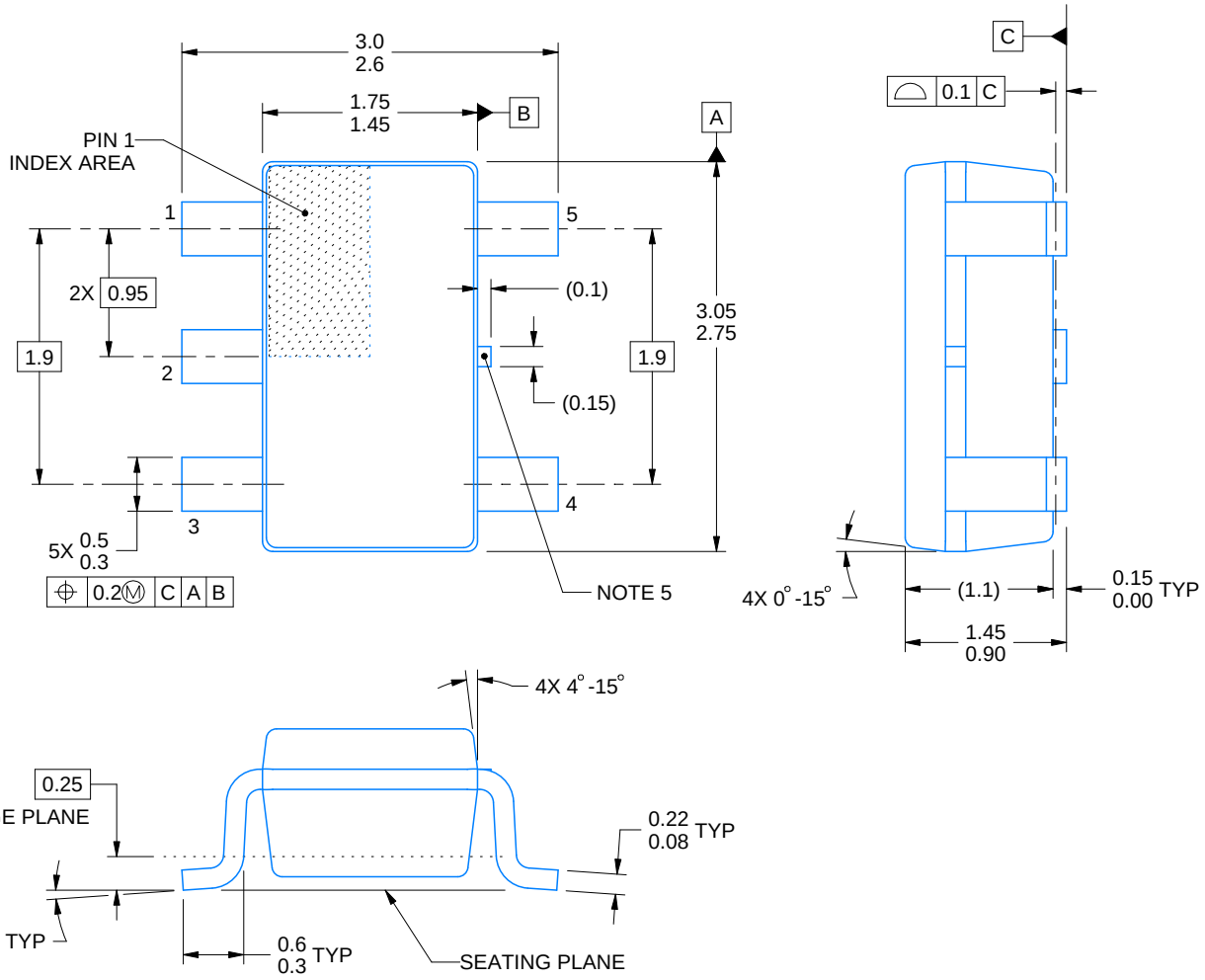
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

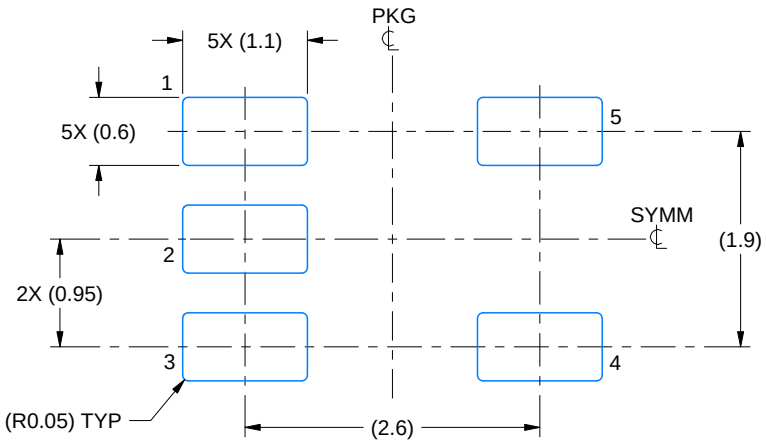
SMALL OUTLINE TRANSISTOR



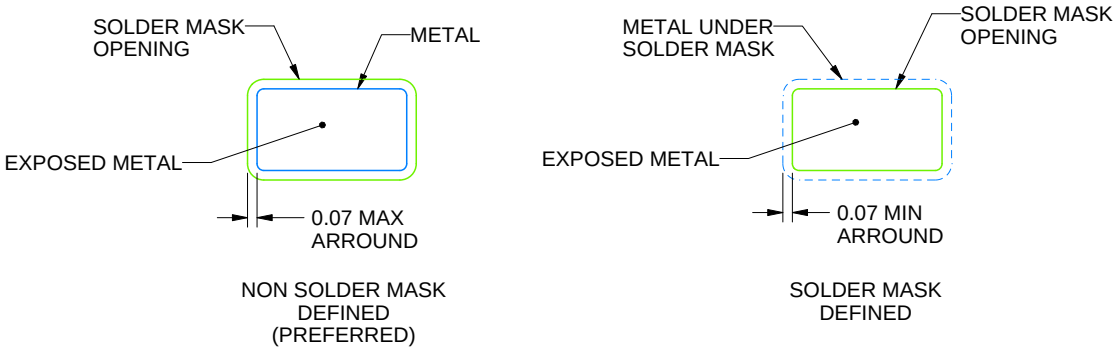
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

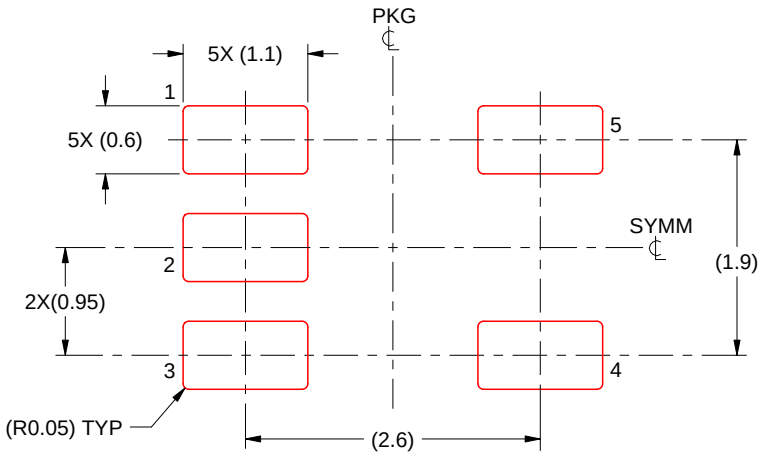


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

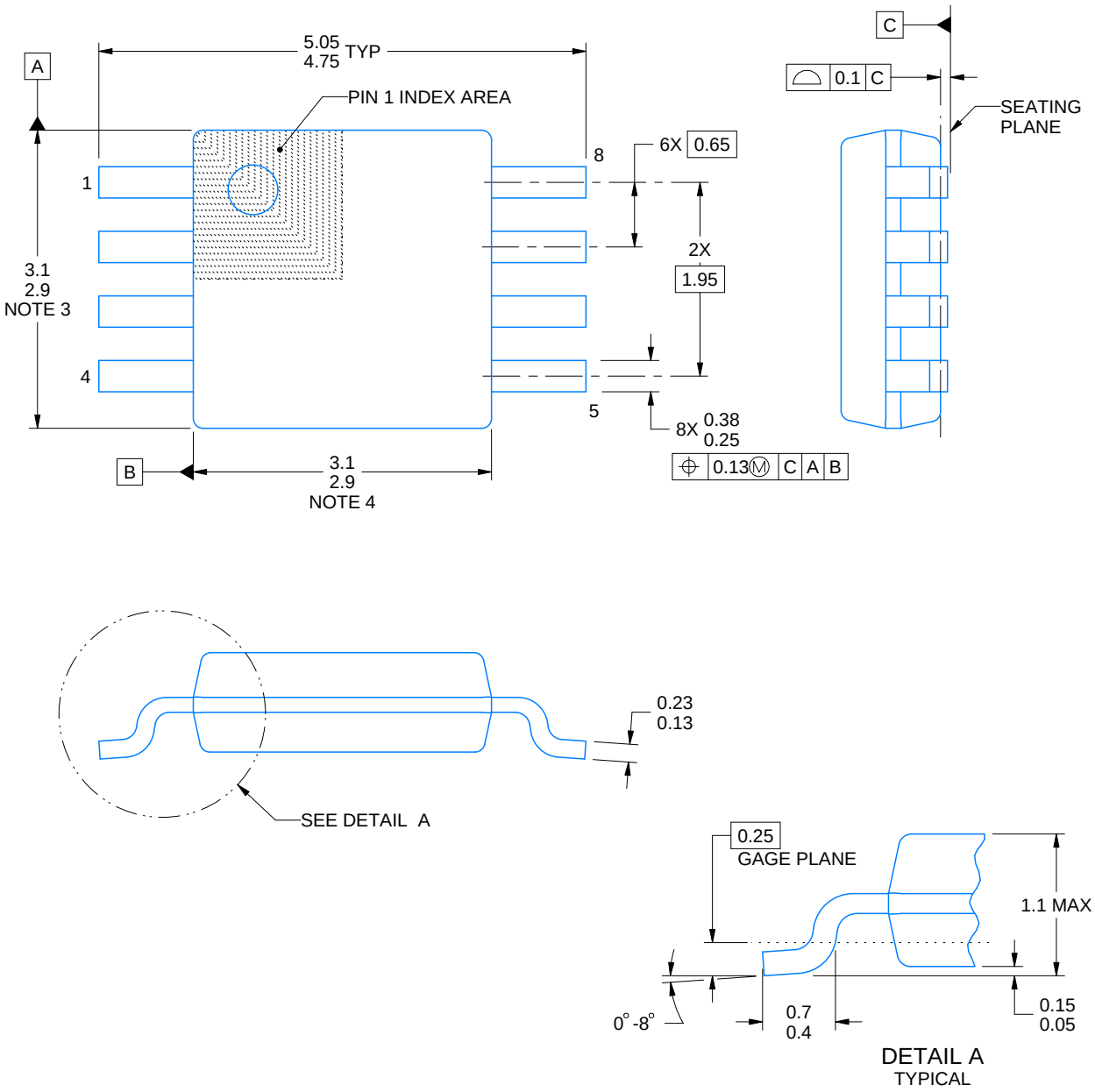
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

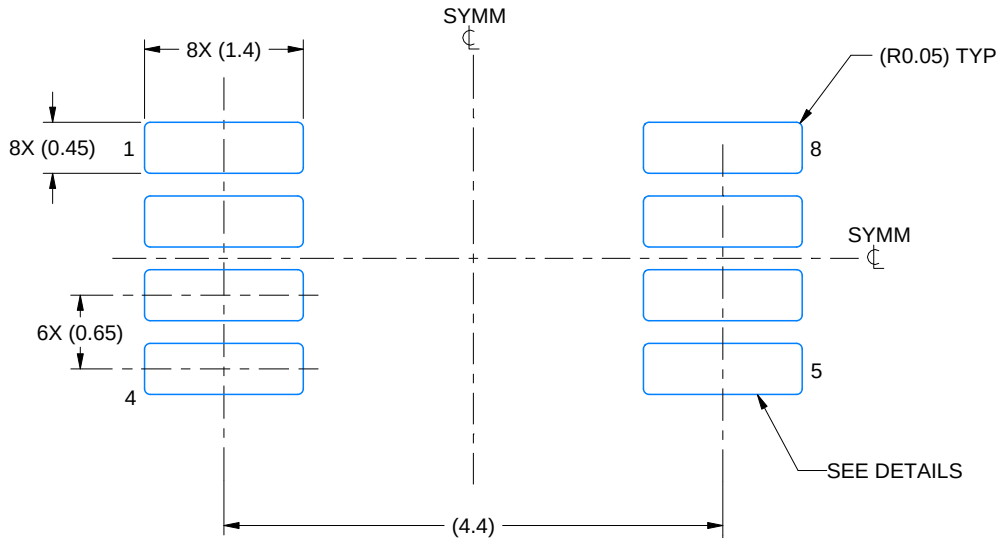
SMALL OUTLINE PACKAGE



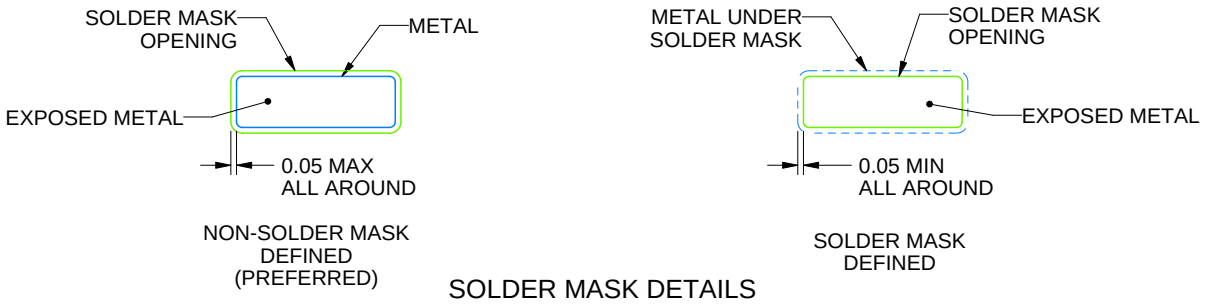
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

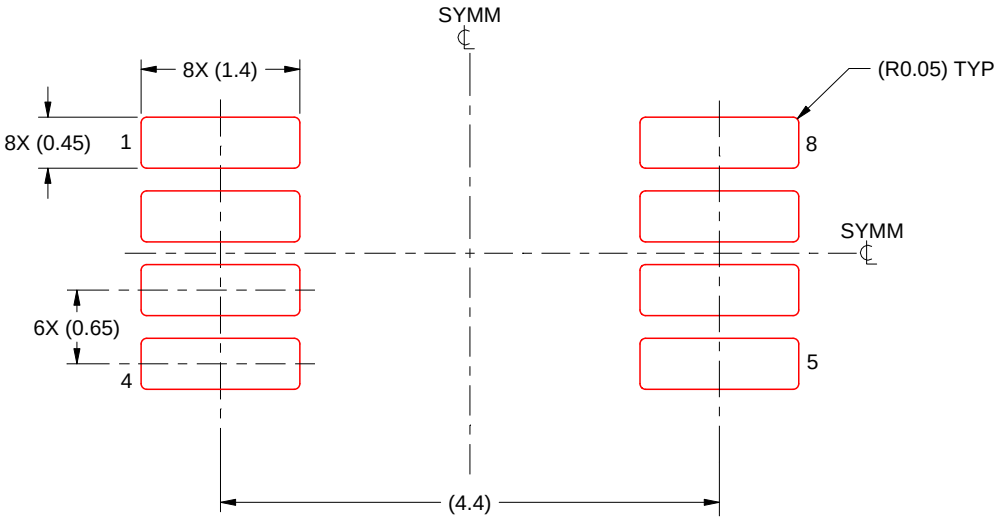


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

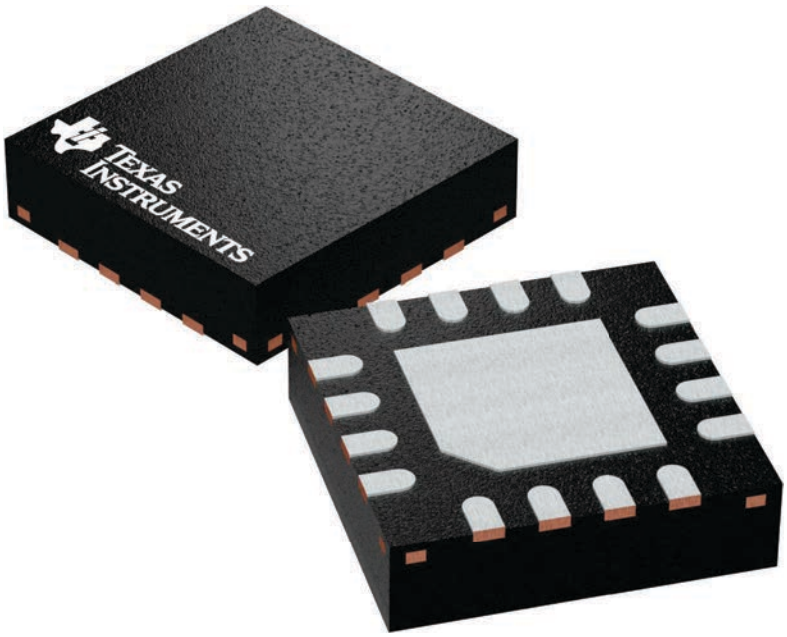
RTE 16

WQFN - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

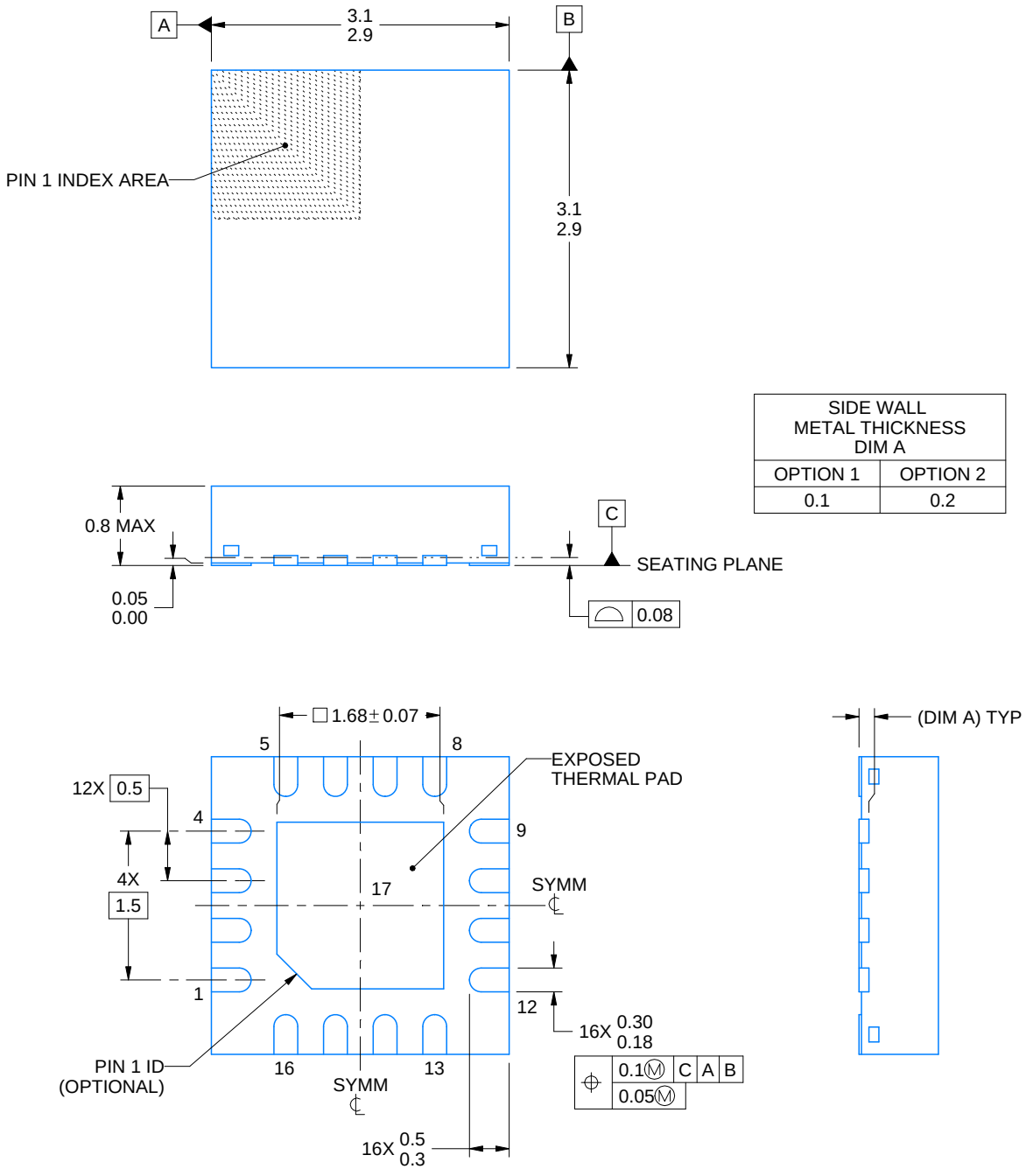


RTE0016C

PACKAGE OUTLINE

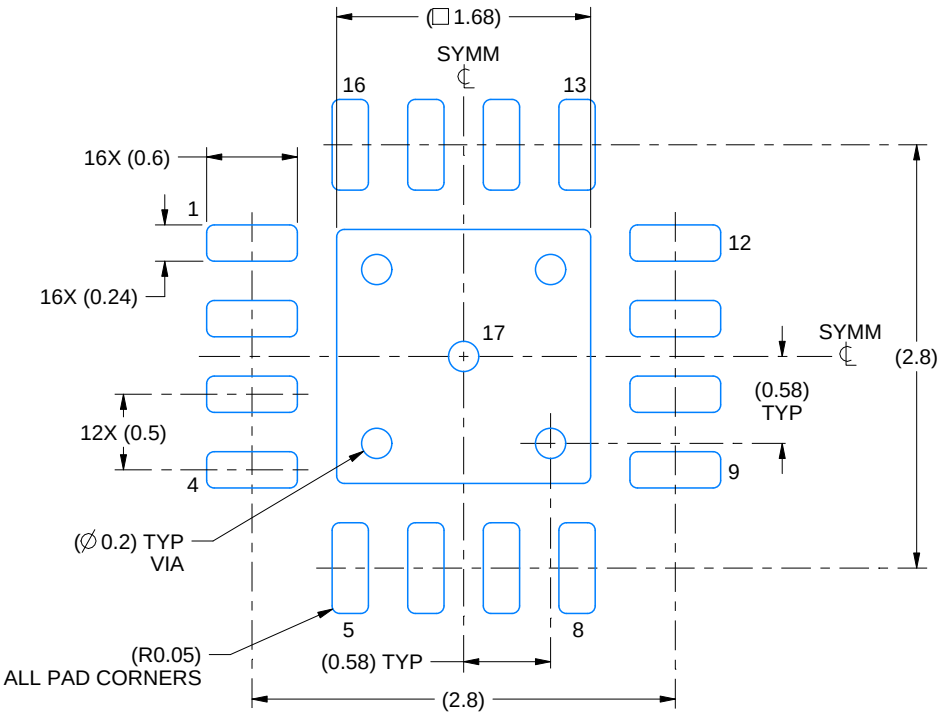
WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

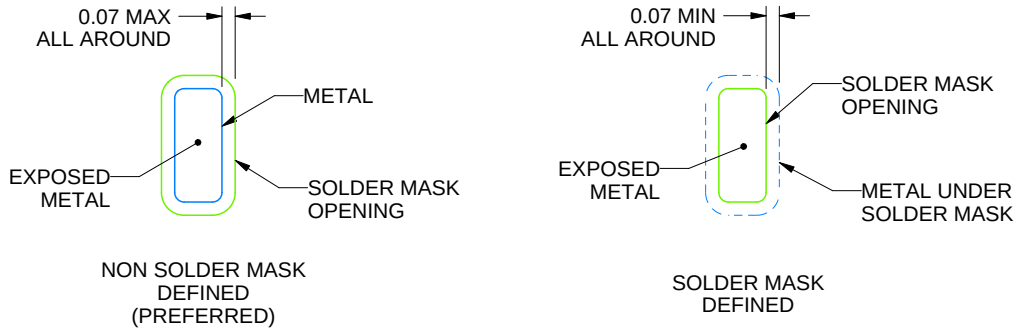


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

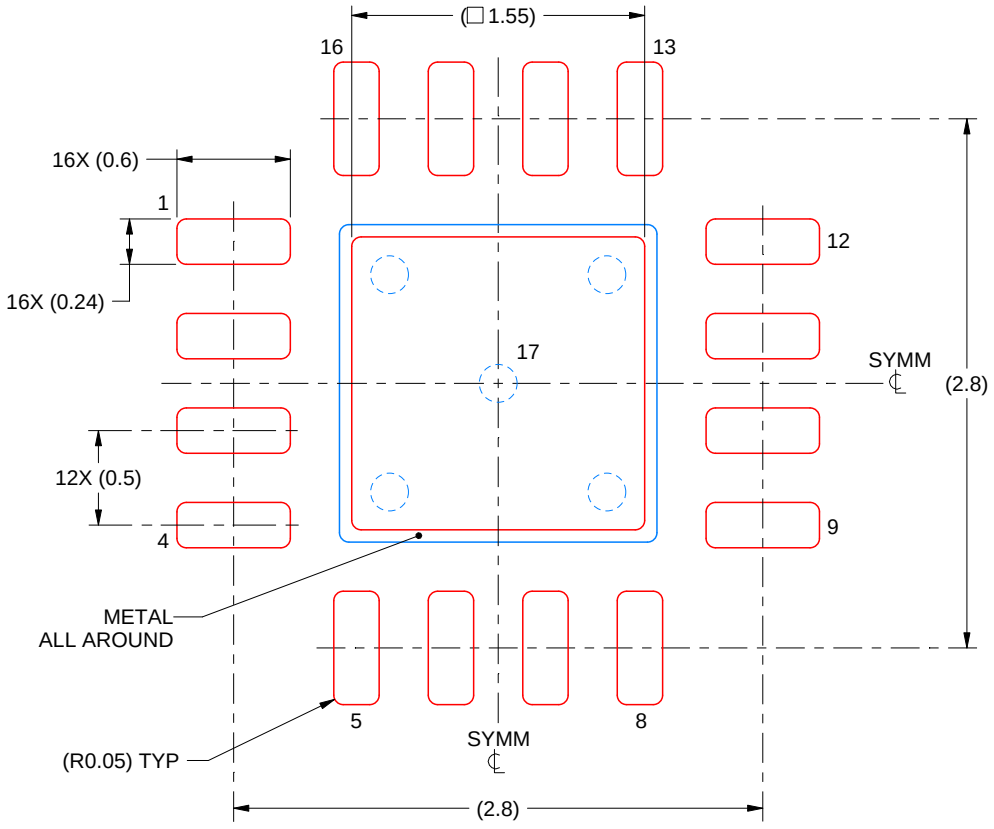


SOLDER MASK DETAILS

4219117/B 04/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

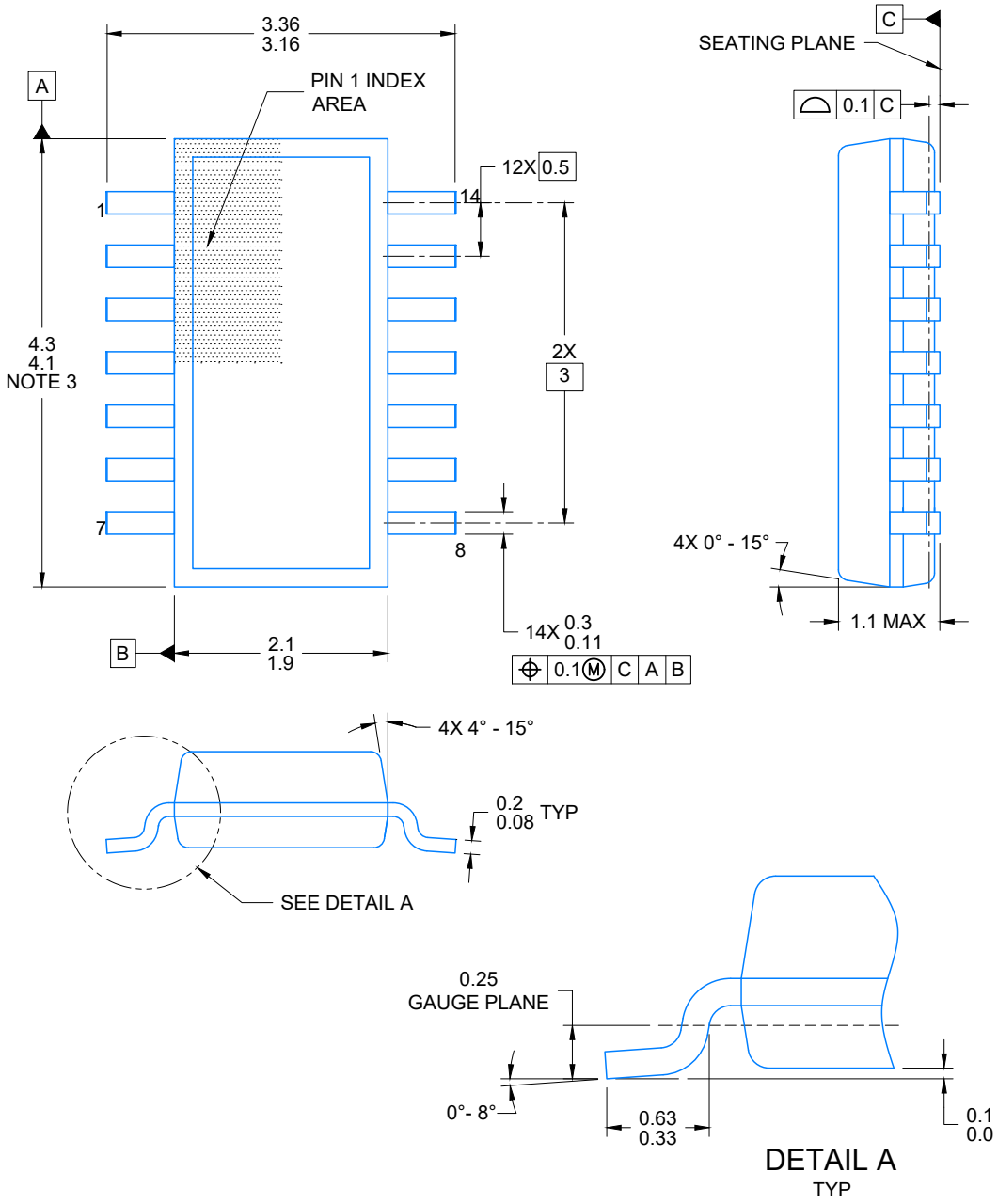
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DYY0014A

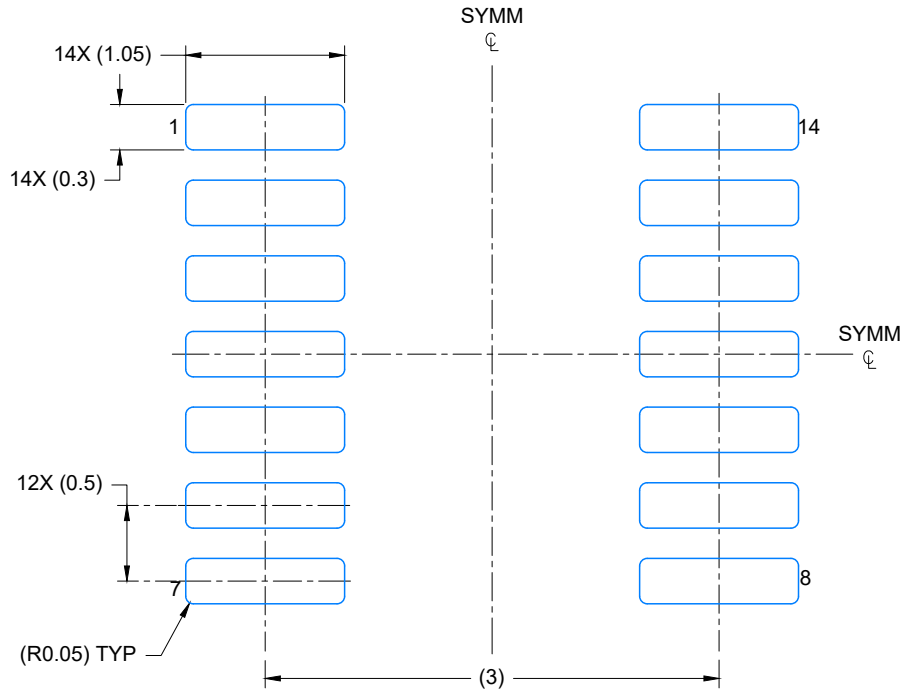
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

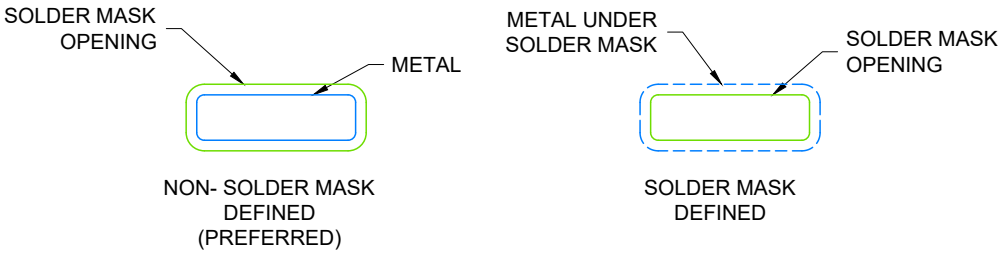


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

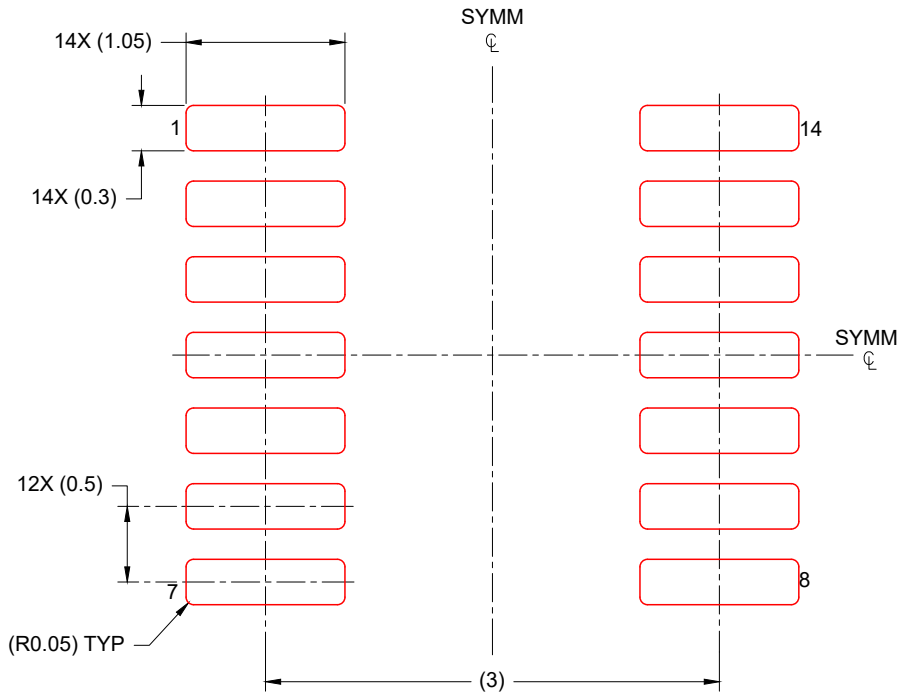


SOLDER MASK DETAILS

4224643/D 07/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月