LM5023 AC/DC 疑似共振流モード PWM コントローラ

1 特長

- 臨界導通モード
- ピーク電流モード制御
- スタンバイ時の消費電力を低減するためのスキップ サイクル モード
- 連続的な過負荷保護用のヒカップ モード
- サイクル単位の過電流保護機能により、ユニバーサル AC ライン全体で精度を維持可能
- ライン電圧フィードフォワード
- 補助巻線の検出による OVP 保護
- 0.7A ピーク ゲートドライバ内蔵
- ダイレクト フォトカプラ インターフェイス
- 電流センスの信号のリーディング エッジ ブランキング
- 最大周波数クランプ 130kHz
- プログラマブル ソフト スタート
- サーマル シャットダウン
- 8 ピン、VSSOP パッケージ
- WEBENCH® Power Designer により、LM5023 を使用するカスタム設計を作成

2 アプリケーション

- 10W ～ 65W のユニバーサル入力 AC/DC ノートブック アダプタ
- 高効率のハウスキーピングおよび補助電源
- バッテリ チャージャ
- コンシューマ エレクトロニクス (DVD プレーヤ、セットトップ ボックス、DTV、ゲーム、プリンタ)

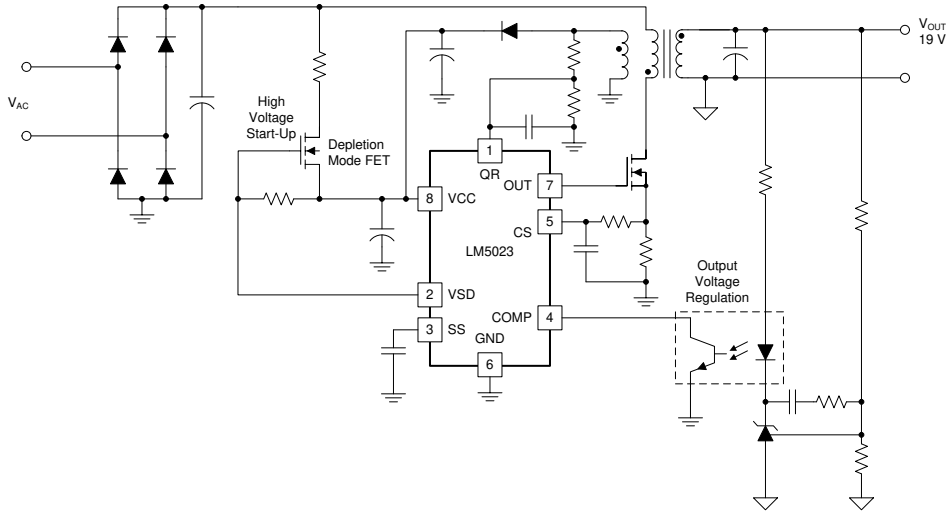
3 説明

LM5023 は、疑似共振パルス幅変調 (PWM) コントローラで、高効率のオフライン電源を実装するために必要なすべての機能を備えています。LM5023 は、消磁検出のためにトランスの補助巻線を使用して臨界導通モード (CrCM) 動作を確立します。LM5023 には過電流保護用のヒカップ モードがあり、自動再起動機能によって過負荷時の電力部品のストレスを低減できます。スキップ サイクル モードにより、軽負荷時の消費電力を低減し、省エネルギー アプリケーション (ENERGY STAR®、CEPCP など) で使用できます。LM5023 は、出力過電圧保護 (OVP) の目的でトランスの補助巻線も使用しています。OVP フォルトが検出された場合、LM5023 はコントローラをラッチオフします。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
LM5023	DGK (VSSOP、8)	3.00mm × 3.00mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....4
5.5 電気的特性.....5
5.6 代表的特性.....7
6 詳細説明.....9
6.1 概要.....9
6.2 機能ブロック図.....10
6.3 機能説明.....11
6.4 デバイスの機能モード.....17
7 アプリケーションと実装.....19
7.1 使用上の注意.....19
7.2 代表的なアプリケーション.....19
7.3 電源に関する推奨事項.....28
7.4 レイアウト.....28
8 デバイスおよびドキュメントのサポート.....30
8.1 デバイス サポート.....30
8.2 ドキュメントのサポート.....30
8.3 ドキュメントの更新通知を受け取る方法.....30
8.4 コミュニティリソース.....30
8.5 商標.....30
9 改訂履歴.....30
10 メカニカル、パッケージ、および注文情報.....31

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

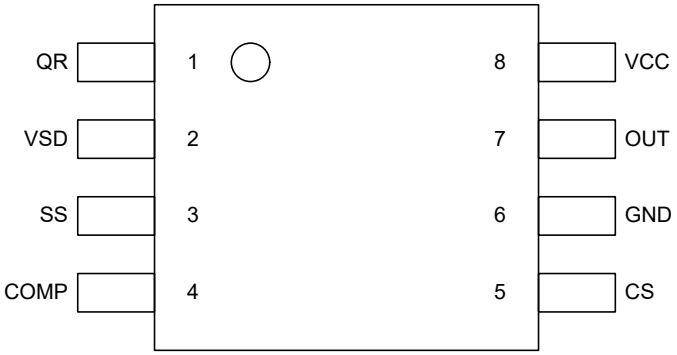


図 4-1. DGK パッケージ 8 ピン VSSOP 上面図

ピンの機能

ピン		タイプ(1)	説明
名称	番号		
COMP	4	I	パルス幅変調器およびスキップ サイクル コンパレータの制御入力。COMP プルアップは、フォトカプラトランジスタにバイアスを印加するために使用できる内部 42kΩ 抵抗によって供給されます。
CS	5	I	電流モード制御および過電流保護用の電流センス入力。専用の電流センス コンパレータを使用して、電流制限を実現しています。CS コンパレータ入力が 0.5V を超えると、サイクル単位の電流制限のために OUT ピンが Low に切り替わります。OUT が High に切り替わってから、リーディング エッジの電流スパイクがブランキングされるまで、CS は 130ns 間 Low に保持されます。
GND	6	G	内部回路のグランド復帰接続。
OUT	7	O	外部 MOSFET ゲート入力への大電流出力、それぞれ 0.3A と 0.7A のソース / シンク電流能力。
QR	1	I	疑似共振動作を検出するために、電源トランスの補助フライバック巻線を監視します。ピーク補助電圧を検出して、出力過電圧 (OVP) フォルトを検出し、コントローラをシャットダウンします。
SS	3	O	外部コンデンサと内部 22µA 電流源によって、ソフト スタート ランプが設定されます。
VSD	2	O	このピンを外部起動回路 FET のゲートに接続します。VCC が有効になった後、起動 FET が無効化されます。
VCC	8	P	VCC は、LM5023 のコントローラとゲートドライブの各セクションにバイアスを供給します。このピンとグランドの間には、外部コンデンサを接続する必要があります。

(1) I = 入力、O = 出力、P = 電源、G = グランド

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)[1][2]

			最小値	最大値	単位
I_{QR}	QR ピンがグランドより低い電圧に駆動されたときの負の注入電流			4	mA
VSD	最大電圧		-0.3	45	V
I_{VSD}	VSD クランプ連続電流			500	µA
V_{IN}	電圧範囲	SS、COMP、QR	-0.3	7	V
		CS	-0.3	1.25	V
OUT	DRV でのゲートドライブ電圧		-0.3	自己制限	V
I_{OUT}	ピーク OUT 電流、ソース			0.3	A
I_{OUT}	ピーク OUT 電流シンク			0.7	A
VCC	バイアス電源電圧		-0.3	16	V
T_J	動作時接合部温度		-40	125	°C
T_{stg}	保存温度		-55	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 入力および出力の電流定格が遵守されているなら、入力の負電圧や出力電圧定格を超えてもかまいません。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[1]	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠[2]	±1000	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

		最小値	最大値	単位
VCC	バイアス電源電圧	8	14	V
I_{VSD}	VSD 電流	2	100	µA
I_{QR}	QR ピン電流	1	4	mA
T_J	接合部温度	-40	125	°C

5.4 熱に関する情報

熱評価基準[1]		LM5023 DGK (VSSOP) 8 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	168.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	59.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	88.8	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	7.1	°C/W

Copyright © 2026 Texas Instruments Incorporated

熱評価基準(1)		LM5023 DGK (VSSOP) 8 ピン	単位
ψ_{JB}	接合部から基板への特性パラメータ	87.5	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

最小値と最大値は、–40 ～ +125°C の接合部温度範囲にわたって適用されます。最小値および最大値の制限値は、テスト、設計、および統計的相関に基づいて規定されています。標準値は +25°C における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。
VCC = 10V、F_{SW} = 100kHz 50% のデューティ サイクル、OUT は無負荷。

パラメータ		テスト条件	最小値	標準値	最大値	単位
バイアス電源入力						
VCC_{ON}	コントローラ イネーブル スレッショルド		12	12.8	13.5	V
VCC_{OFF}	最小動作電圧		7	7.5	8	V
V_{RST}	内部ロジック リセット (フォルト ラッチ)	VCC 立ち下がり < V_{RST}	4.5	5	5.5	V
ICC_{ST}	スタンバイ モード時の ICC 電流	COMP = 0.5V、CS = 0V、スイッチングなし		340	420	µA
ICC_{OP}	動作電源電流	COMP = 2.25V、OUT スイッチング		800		µA
シャットダウン制御 (VSD ピン)						
$I_{VSD\ OFF}$	オフ状態のリーク電流			0.1		µA
$V_{VSD\ ON1}$	10µA でのオン状態プルダウン電圧	VCC_{ON} (I_{VSD} = 10µA) 後		0.65		V
V_{VSD_ON2}	100µA でのオン状態プルダウン電圧	VCC_{ON} (I_{VSD} = 100µA) 後		0.84		V
スキップ サイクル モード コンパレータ						
V_{SKIP}	スキップ サイクル モードのイネーブル スレッショルド	COMP 立ち下がり	70	120	170	mV
V_{SK-HYS}	スキップ サイクル モード ヒステリシス			12		mV
QR 検出						
V_{OVP}	過電圧コンパレータ スレッショルド		2.85	3	3.17	V
T_{OVP}	OVP の遅延例		870	1050	1270	ns
V_{DEM}	VDEM 消磁スレッショルド			0.35		V
F_{MAX}	最大周波数		114	130	148	kHz
T_{RST}	$T_{RESTART}$		9.4	12	15.7	µs
PWM コンパレータ						
T_{PPWM}	COMP から OUT への伝搬遅延	COMP を 2V に設定、CS は 0 から 0.4V にステップ、OUT が Low に遷移する時間、C_{LOAD} = 0		20		ns
D_{MIN}	最小デューティ サイクル	COMP = 0V			0%	
G_{COMP}	COMP から PWM へのコンパレータ ゲイン			0.33		
V_{COMP-O}	COMP 開回路電圧	I_{COMP} = 20µA	4.3	4.9	5.8	V
V_{COMP-H}	最大 VCS での COMP			2.25		V
I COMP	COMP 短絡電流	COMP = 0V		-132		µA
R_{COMP}	R プルアップ		41	45	49	kΩ
電流制限						
V_{CS}	サイクル単位のセンス電圧制限スレッショルド		450	500	550	mV
T_{LEB}	リーディング エッジのブランキング時間			130		ns

Copyright © 2026 Texas Instruments Incorporated

最小値と最大値は、–40 ～ +125°C の接合部温度範囲にわたって適用されます。最小値および最大値の制限値は、テスト、設計、および統計的相関に基づいて規定されています。標準値は +25°C における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。
VCC = 10V、F_{SW} = 100kHz 50% のデューティ サイクル、OUT は無負荷。

パラメータ		テスト条件	最小値	標準値	最大値	単位
T_{PCS}	電流制限から OUT までの遅延	CS ステップ (0 ～ 0.6V) から OUT 遷移が Low になるまでの時間、C_{LOAD} = 0		22		ns
R_{LEB}	CS ブランキング シンク インピーダンス			15	35	Ω
G_{CM}	電流ミラー ゲイン	I_{QR} = 2mA		100		A/A
V_{FF}	ライン電流フィードフォワード	I_{QR} = 2mA		140		mV
ヒカップ モード						
T_{OL_10}	過負荷検出タイマ	I_{VSD}= 10µA		12		ms
T_{OL_100}	過負荷検出タイマ	I_{VSD}= 100µA		1.2		ms
出力ゲートドライバ						
V_{OH}	OUT High 飽和	I_{OUT} = 50mA、VCC-OUT		0.3	1.1	V
V_{OL}	OUT Low 飽和	I_{OUT} = 100mA		0.3	1	V
I_{PH}	ピーク OUT ソース電流	OUT = VCC/2		0.3		A
I_{PL}	ピーク OUT シンク電流	OUT = VCC/2		0.7		A
t_r	立ち上がり時間	C_{LOAD} = 1nF		25		ns
t_f	立ち下がり時間	C_{LOAD} = 1nF		15		ns
ソフト スタート						
I_{SS}	ソフト スタート電流		17	22	30	µA
熱特性						
T_{SD}	サーマル シャットダウン温度			165		°C

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性

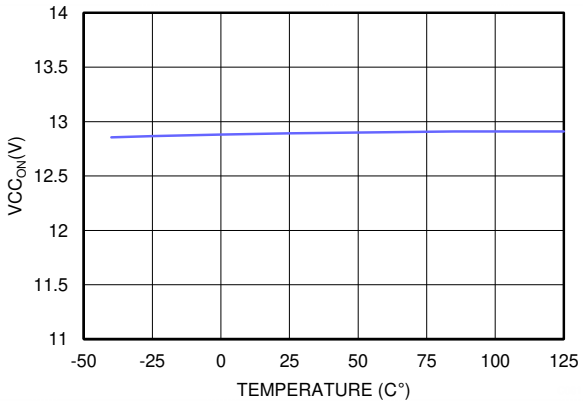


図 5-1. VCC_{ON} と温度との関係

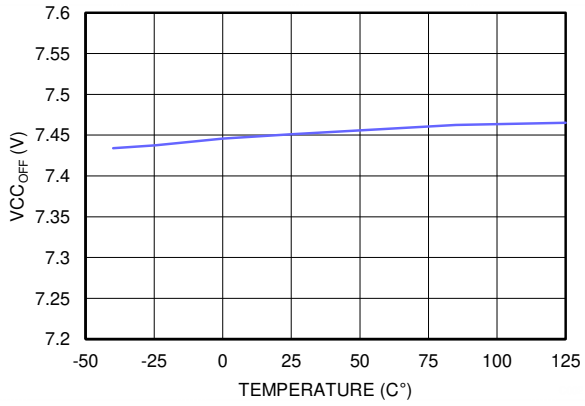


図 5-2. VCC_{OFF} と温度との関係

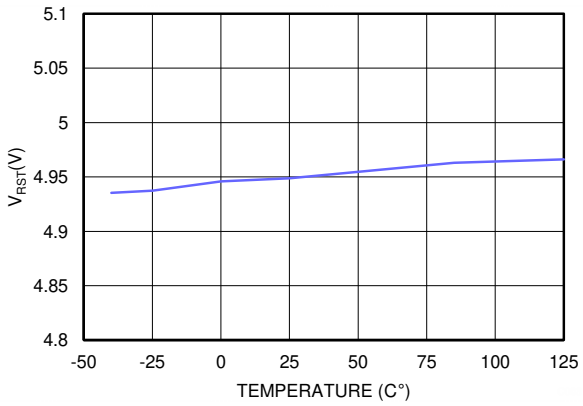


図 5-3. V_{RST} と温度との関係

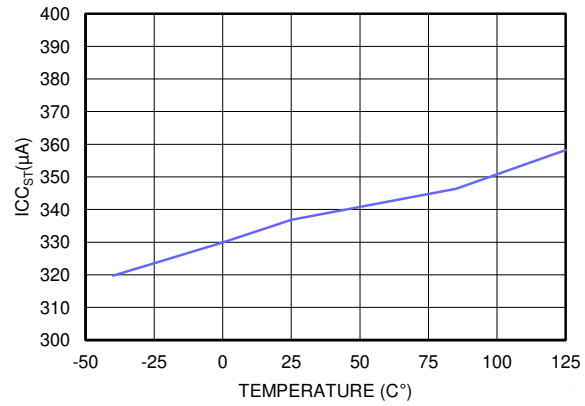


図 5-4. ICC_{ST} と温度との関係

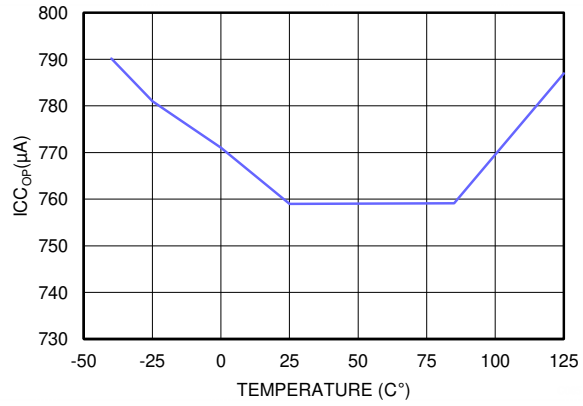


図 5-5. ICC_{OP} と温度との関係

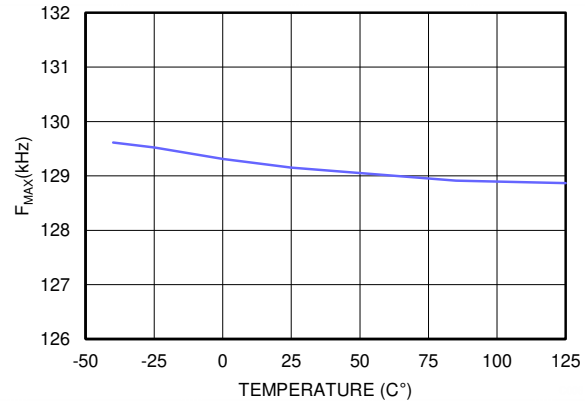


図 5-6. F_{MAX} と温度との関係

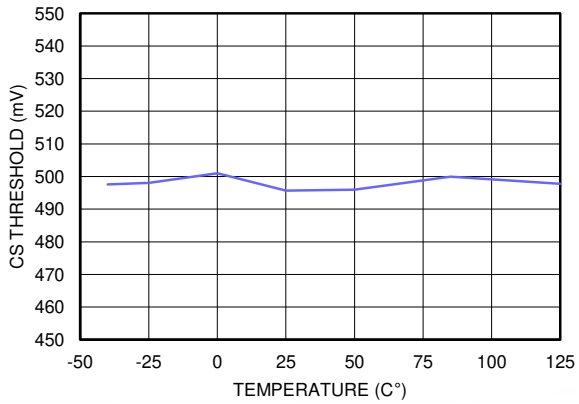


図 5-7. CS スレッショルドと温度との関係

Copyright © 2026 Texas Instruments Incorporated

6 詳細説明

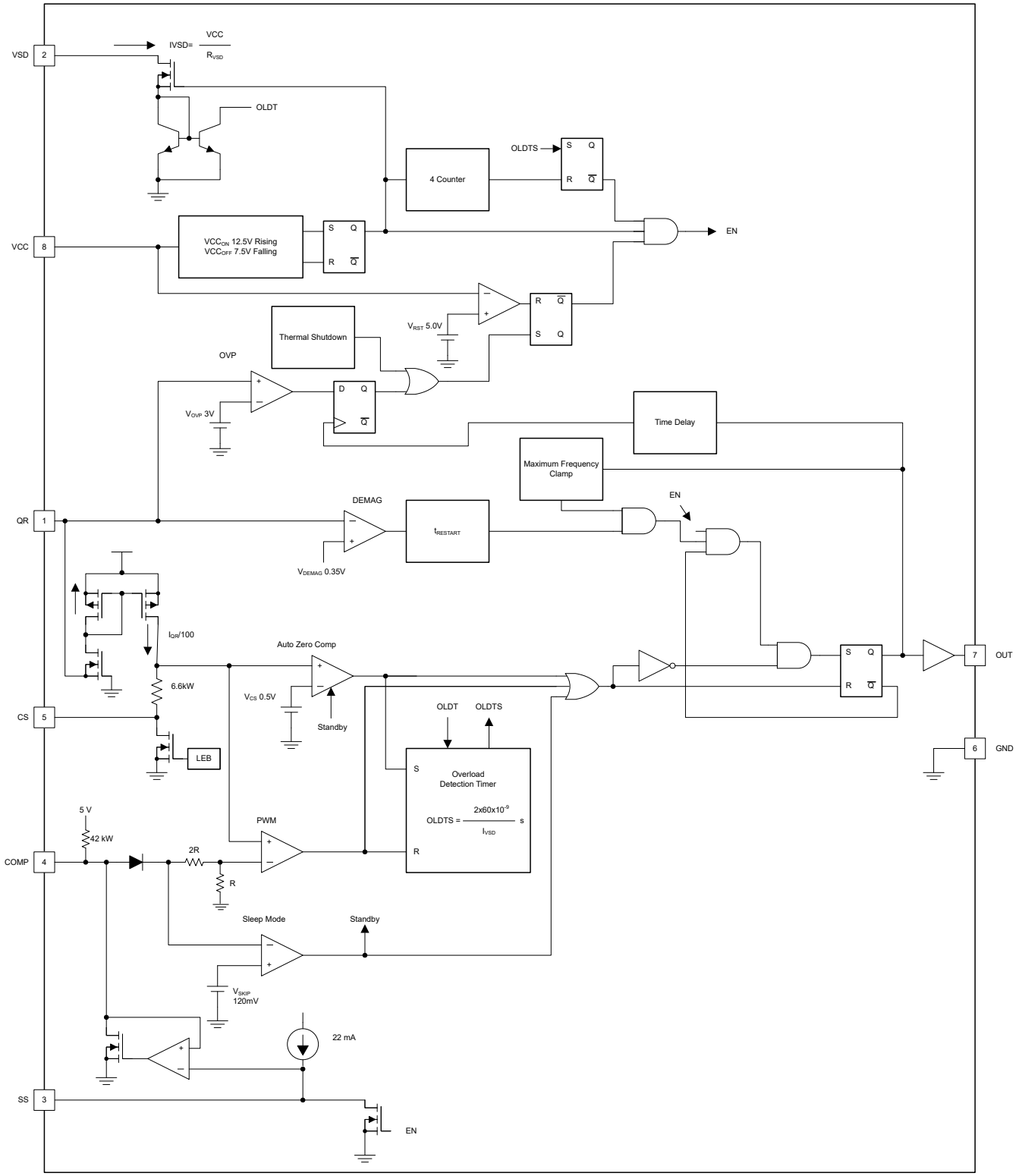
6.1 概要

LM5023 は疑似共振 PWM コントローラで、高効率のオフライン電源を実装するために必要なすべての機能を備えています。LM5023 は、消磁検出のためにトランスの補助巻線を使用して疑似共振動作 (バレー スイッチング) を確認し、スイッチング損失を最小限に抑えます。ENERGY STAR の低スタンバイ電力要件を満たす必要のあるアプリケーション向けに、LM5023 は超低 Iq 電流 (346µA) とスキップ サイクル モードを備えており、軽負荷時の消費電力を削減できます。LM5023 は出力からのフィードバック信号を使用して、1% 未満の非常に精度の高い出力電圧レギュレーションを実現します。持続的な過負荷条件中の過熱やストレスを低減するために、LM5023 には過電流保護用のヒカップ モードがあり、出力を無効にして強制的に遅延再起動するための電流制限再起動タイマがあります (ヒカップ モード)。

オフライン起動には、外部のディプリーション モード N チャネル MOSFET を使用できます。この方法は、非常に低いスタンバイ消費電力 (<50mW) が要求されるアプリケーションに推奨されます。低スタンバイ電力がそれほど重要ではないアプリケーションでは、拡張モード N チャネル MOSFET を使用できます。補助巻線 (QR ピン) で OV が検出された場合、デバイスは永続的にオフにラッチされるため、電源を再利用して再起動する必要があります。ラッチをリセットするには、VCC 電圧を V_{RST} よりも低くする必要があります。その他の機能として、ライン電流フィードフォワード、パルス単位の電流制限、130kHz の最大周波数クランプがあります。

Copyright © 2026 Texas Instruments Incorporated

6.2 機能ブロック図



Copyright © 2026 Texas Instruments Incorporated

6.3 機能説明

6.3.1 ピンの詳細説明

6.3.1.1 QR ピン

QR ピンは、補助巻線分圧器とバレー スイッチング遅延コンデンサに接続され、後者は GND にも接続されます。疑似共振動作を検出するために、補助巻線を監視します。このピンは出力 OV フォルトの検出にも使用され、コンバータはシャットダウンされます。コンデンサおよび分圧器のローサイド抵抗を短いパターンで QR および GND ピンに接続します。QR ピンの接続と回路の近くに大きい dV/dt パターンを配置することは避けます。

6.3.1.2 VSD ピン

VSD ピンは、外部高電圧起動 MOSFET のゲートに接続されます。VDS ピンは、外部起動 MOSFET のゲートを制御します。V_{CC} が $V_{CC(on)}$ を上回ると、VSD ピンが Low になり、起動 MOSFET がオフになります。高周波または高い dV/dt のパターンは、この回路の近くに配置しないようにします。

6.3.1.3 SS ピン

SS ピンは、起動時のソフト スタート時間を制御するために選択されたコンデンサに接続されます。SS および GND との間には、短いパターンで高品質のセラミック コンデンサを配置します。

6.3.1.4 COMP ピン

COMP ピンは、パルス幅変調器およびスキップ サイクル コンパレータへの入力です。COMP ピンには、42kΩ の内部プルアップ抵抗があります。フォトカプラから COMP ピンへのパターンは、ループ面積を最小限に抑える必要があります。ノイズのピックアップを最小限に抑えるため、COMP パターンをグランド プレーンでシールドすることを推奨します。コンデンサを COMP および GND に接続する場合は、短いパターンを使用します。

6.3.1.5 CS ピン

CS は、電流モード制御およびピーク電流制限用の電流センス入力です。MOSFET のターンオン時に存在するリンギングをフィルタ処理するため、CS と GND の間に小さなセラミック フィルタ コンデンサを短い配線で配置します。電流センス抵抗電流をバルク キャパシタのグランド端子に戻し、1 次側大電流ループ面積を最小限に抑えます。

6.3.1.6 GND ピン

GND ピンは、コントローラへの信号および電源の基準点です。GND ピンは、短いパターンで VCC コンデンサに接続し、信号ピンに接続されたコンポーネントのグランド リファレンスとしてケルビン接続します。

6.3.1.7 OUT ピン

OUT ピンは、MOSFET のスイッチング速度を制限するため、通常は小さな抵抗を介して 1 次側 MOSFET に接続されます。このピンは高い dV/dt 信号を生成し、信号ピンからできる限り離して配線する必要があります。

6.3.1.8 VCC ピン

VCC ピンと GND とのデカップリングには、低 ESR、低 ESL の高品質セラミック バイパス コンデンサを使用し、VCC および GND ピンへのパターンは短くします。起動時に VCC を維持するために追加のバルク容量が必要になる場合がありますが、常にセラミック バイパス コンデンサを使用します。

6.3.2 起動

図 6-1 を参照すると分かるように、AC 整流ライン間電圧がバルク エネルギー蓄積コンデンサに印加されると、N チャネル ディプリーション モード MOSFET がオンになり、VCC コンデンサに充電電流が供給されます。VCC ピンの電圧が標準値 12.5V に達すると、PWM コントローラ、ソフト スタート回路、ゲート ドライバが有効になります。

LM5023 が有効になり、OUT 駆動信号がフライバック MOSFET のスイッチングを開始すると、エネルギーを蓄積した後、トランスの 1 次側巻線から 2 次側巻線に転送します。図 6-1 に示されているバイアス巻線は、VCC ピンの電圧を維持するため、VCC コンデンサにエネルギーを供給します。補助巻線から供給される電圧は、10V ～ 14V の範囲内にする必要があります (ここで、16V は絶対最大定格)。

Copyright © 2026 Texas Instruments Incorporated

VCC_{ON} スレッショルドに達すると、LM5023 VSD オープン ドレイン出力 (起動時に VCC にプルアップ) が Low になります。これはディプリーション モード MOSFET で負のゲートをソース電圧に印加し、MOSFET をオフにします。これにより、高電圧起動回路が無効になります。高電圧起動回路は、2 つの方法のいずれかで実装できます。最初の方法は、図 6-1 に示されているように、1 つの N チャネル ディプリーション モード FET を使用します。2 つ目の方法は、図 6-2 に示されているように、N チャネル拡張モード FET を使用します。ディプリーション モード FET を使用する回路は、スタンバイ消費電力が最小になります。FET のスタンバイ消費電力は、起動 FET の両端の電圧に、ドレイン — ソース間のカットオフ電流と、ゲートに負バイアスを印加した状態を乗算したものです。標準値は 0.1µA です。

式 1 ～ 式 5 に、起動 FET 計算のスタンバイ電力を示します。

$$V_{IN} = 230V_{AC} \tag{1}$$

$$VCC = 10V \tag{2}$$

$$V_{DC(max)} = 230V_{AC} \times \sqrt{2} = 325V_{DC} \tag{3}$$

$$I_{D(off)} = 0.1\mu A \tag{4}$$

ここで、

- $I_{D(off)}$ は、ディプリーション モード FET のリーク電流です

$$Pd = I_{D(off)} \times V_{DC(max)} = 0.1\mu A \times 325V_{DC} = 32.5\mu W \tag{5}$$

VCC < VCC_{ON} の場合、スタンバイ電流消費量は IC = $I_{CC(st)}$ となります。公称値は 340µA です。

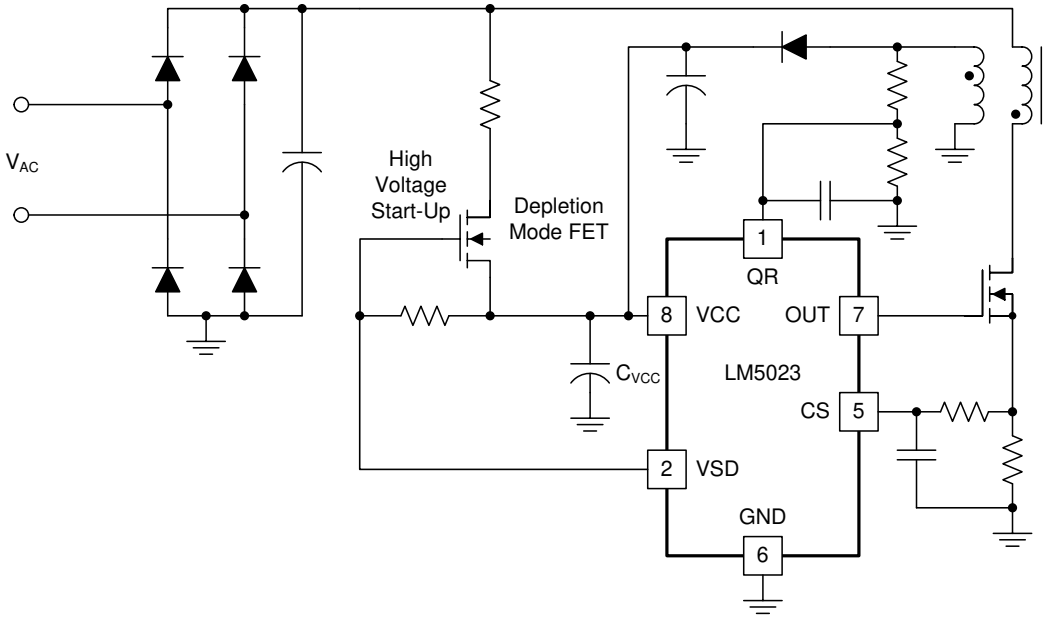


図 6-1. ディプリーション モード FET による起動

Copyright © 2026 Texas Instruments Incorporated

代替の起動回路では、拡張モード FET と、整流された DC バスから FET のゲートに接続されたプルアップ抵抗を使用します (図 6-2)。入力 AC 電源が印加された後で、拡張モード FET は VCC コンデンサ C_{VCC} に充電電流を供給します。VCC_{ON} スレッショルドに達すると、LM5023 VSD オープン ドレイン出力 (起動時に VCC にプルアップ) が Low になります。これは、起動 MOSFET のゲートを接地して、オフになります。起動抵抗は常に回路内にあるため、ディプリーション モード FET を使用する場合よりもスタンバイ消費電力が大きくなります。

$$V_{IN} = 230V_{AC} \quad (6)$$

$$VCC = 10V \quad (7)$$

$$V_{DC(max)} = 230V_{AC} \times \sqrt{2} = 325V_{DC} \quad (8)$$

$$R_{START\text{-}UP} = 10M\Omega \quad (9)$$

$$P_{RESISTORS} = \frac{{V_{DC}}^2}{R_{START-UP}} = \frac{325^2}{10M\ \Omega} = 10.56mW \quad (10)$$

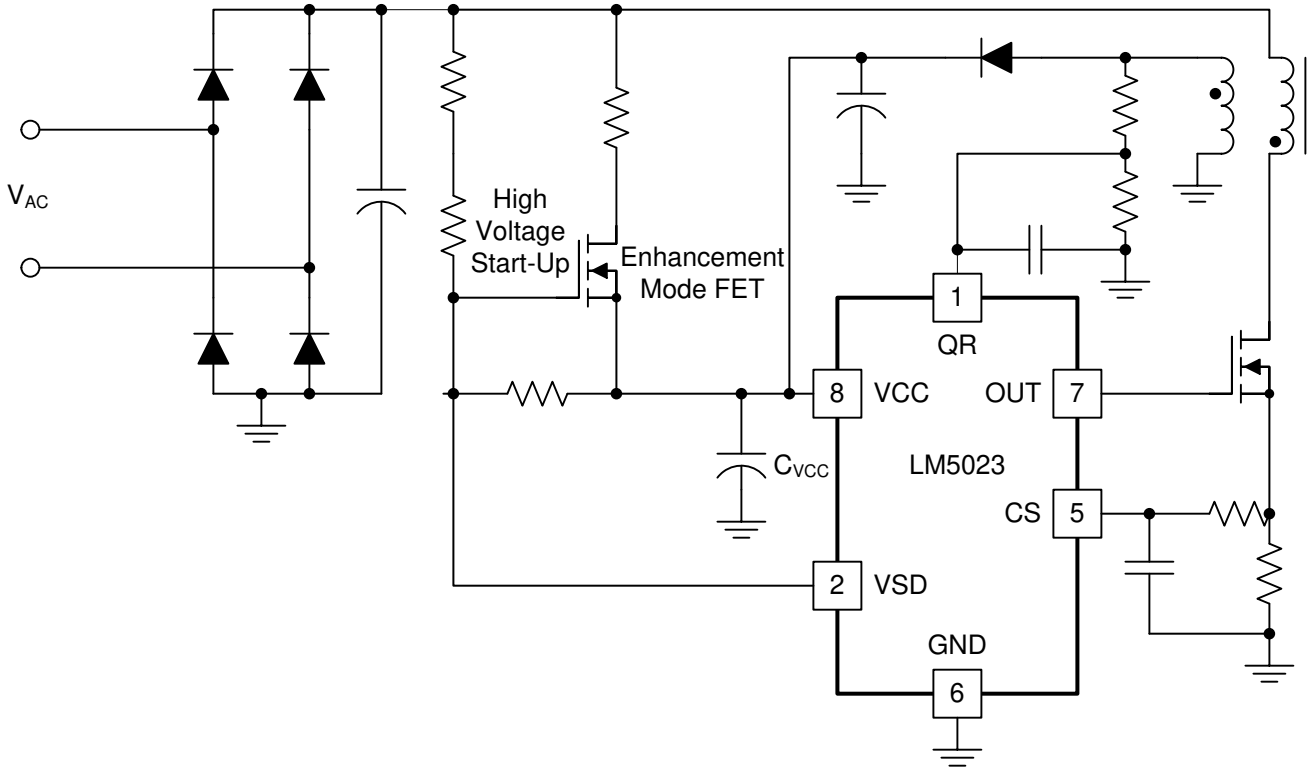


図 6-2. 拡張モード FET による起動

6.3.3 疑似共振動作

疑似共振制御フライバック コンバータは、MOSFET のオン時間中にトランスの 1 次側にエネルギーを蓄積することで動作します。オン時間 (t_{ON}) の間に、トランスの 1 次側に V_{IN} が印加されます。1 次側電流はゼロから始まり、ピーク値 (I_{PEAK}) に向かって上昇します。ピーク 1 次側電流が帰還補償誤差電圧に達すると、PWM コンパレータは出力駆動をリセットして、MOSFET をオフにします。トランスの位相差により、MOSFET のオン時間中に出力ダイオードが逆バイアスされます。

MOSFET のオフ時間中は、出力ダイオードが順方向バイアスされ、トランスの 1 次側インダクタに蓄積されたエネルギーが出力へ転送されます。2 次巻線で観測される電圧は、V_{OUT} に出力ダイオードの順方向電圧降下 V_F を加えた値です。2 次側巻線の電流は、I_{PEAK} × Np/Ns からゼロまで直線的に減少します。図 6-4 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

2 次側の電流がゼロになると、トランスは消磁され、2 次側には開回路が生じ、1 次側の MOSFET もオフになるため、1 次側にも開回路が生じます。トランスの 1 次側インダクタンスと MOSFET の出力容量の間に共振回路が形成されます。共振周波数は 式 11 で計算されます。

$$FRES = \frac{1}{2 \times \pi \sqrt{Lp \times COSS}} \tag{11}$$

共振期間中、MOSFET のドレイン電圧はグランドに向かってリンギングします。図 6-3 を参照してください。ドレイン電圧が最小値になると、フライバック MOSFET は再びオンになります。電圧が最小値になるポイントは 式 12 で計算されます。

$$td = \pi \times \sqrt{Lp \times COSS} \tag{12}$$

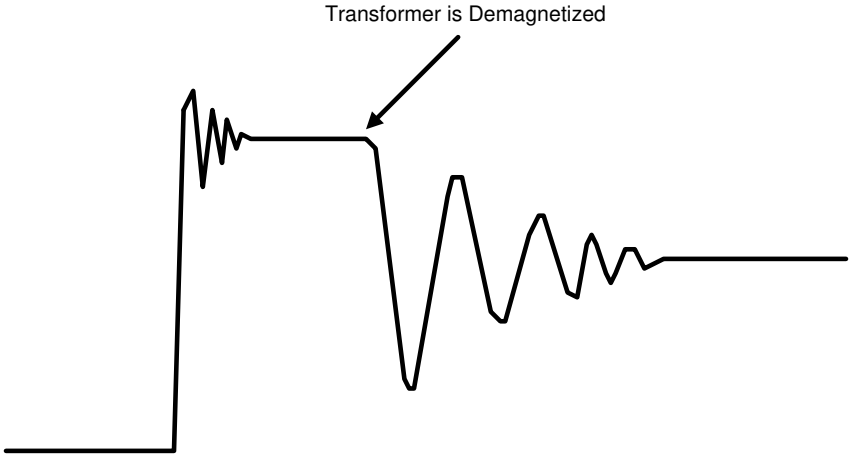


図 6-3. フライバック ドレイン電圧波形

トランスの消磁は、トランスの補助巻線を感知することによって検出されます。トランスが消磁されると、補助巻線電圧は MOSFET のドレインに追従し、$V_{OUT} \times N_{AUX}/N_S$ から に変化します。$- V_{IN} \times N_{AUX} / Np$ で求められます。LM5203 QR ピンには、0.35V のリファレンス電圧を持つコンパレータが内蔵されています。補助巻線電圧が 0.35V を下回ると、電圧が検出され、コンパレータは PWM フリップ フロップを設定してフライバック MOSFET をオンにします。図 6-4 に、QR コンバータの代表的な波形、補助巻線の電圧、1 次側と 2 次側の電流の波形を示します。抵抗と外部コンデンサを使用して補助巻線の遅延を調整し、MOSFET のドレイン電圧が最小値になったときに MOSFET がスイッチングすることを確認できます。詳細については、図 7-3 の回路図および セクション 7.2.2.3 のセクションを参照してください。QR 動作の利点は、EMI の低減と、ターンオン スイッチング損失の低減です。

Copyright © 2026 Texas Instruments Incorporated

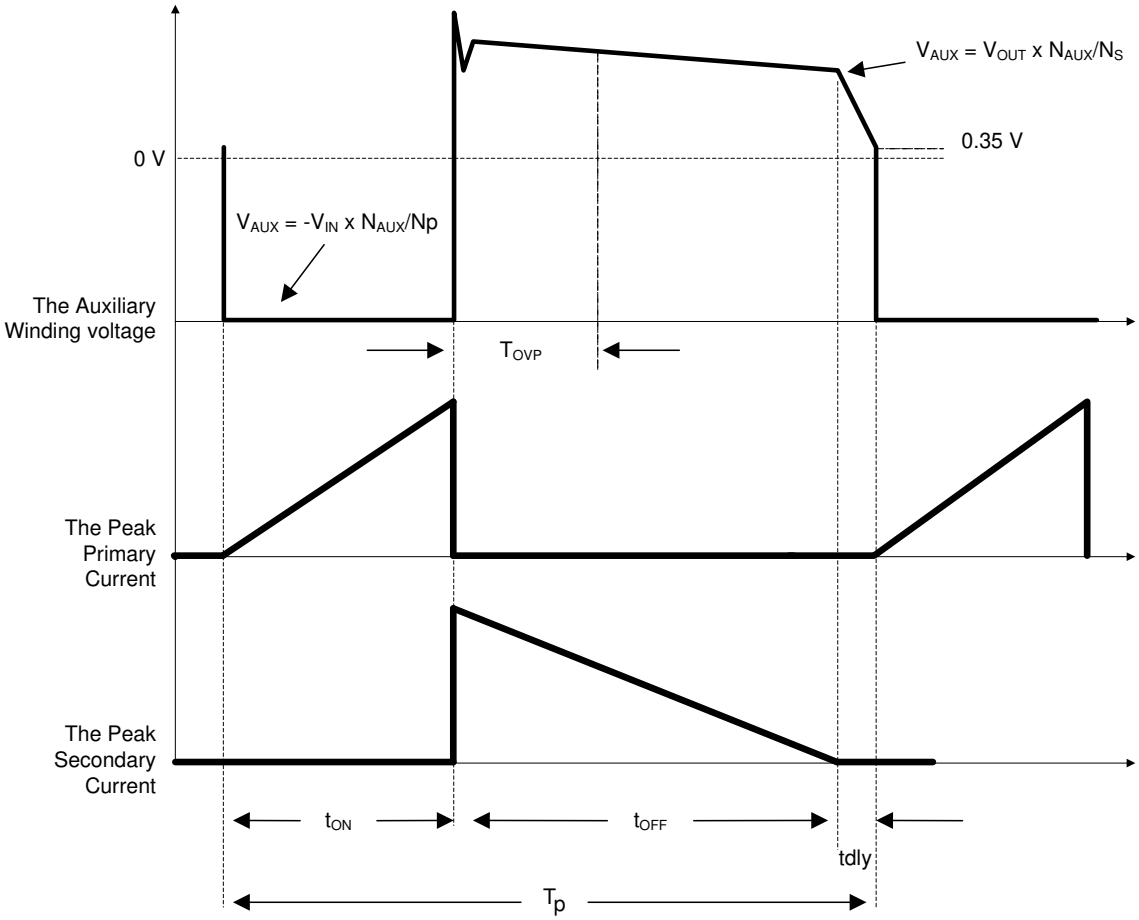


図 6-4. QR コンバータの代表的な波形

6.3.4 疑似共振動作周波数

1 次側フライバック MOSFET がオンになると、ピーク 1 次側電流が帰還補償の誤差電圧を超えるまで、電流は増加します。この状態になると、PWM コンパレータは出力駆動をリセットし、MOSFET をオフにします。電流は 式 13 に示されているような傾斜で増加します。

$$\frac{V_{IN}}{Lp} = \frac{di}{dt} \tag{13}$$

スイッチの t_{ON} 時間は 式 14 で計算されます。

$$t_{ON} = \frac{Lp}{V_{IN}} \times I_{PK} \tag{14}$$

1 次側フライバック MOSFET がオフになると、1 次側インダクタンスに蓄積されたエネルギーが 2 次側インダクタンスに伝達されます。式 15 に、すべてのエネルギーを伝達するためのオフ時間を示します。

$$t_{OFF} = I_{PK} \times \frac{N_{SP} \times Lp}{V_O + V_f} \tag{15}$$

ここで、

$$N_{SP} = N_S / N_P \tag{16}$$

Copyright © 2026 Texas Instruments Incorporated

式 15 に、スイッチング期間合計を示します。

$$tp = t_{ON} + t_{OFF} + t_{DLY} \quad (17)$$

トランスの 1 次側インダクタンスと MOSFET のスイッチ ノード容量によって形成される共振回路は t_{DLY} 時間です。図 6-4 を参照してください。

$$t_{DLY} = \pi \times \sqrt{Lp \times C_{SWN}} \quad (18)$$

$$P_{OUT} = \frac{1}{2} \times Lp \times {I_{PK}}^2 \times FREQ \times \eta \quad (19)$$

式 20 は、スイッチング周波数 L_P と N_{PS} の関係を表しています。

$$FREQ = \frac{1}{\left(\frac{V_{IN} + (V_O + V_f) \times N_{PS}}{(V_O + Vf) \times N_{PS}}\right)^2 \times \frac{2 \times P_{OUT}}{\eta} \times \frac{Lp}{{V_{IN}}^2} + t_{DLY}} \quad (20)$$

QR フライバック コンバータは固定周波数では動作しません。周波数は、出力負荷、入力ライン電圧、またはこれら 2 つの組み合わせによって異なります。CISPR-22 で定められた EMI 開始制限値 150kHz 以下に LM5023 の周波数を維持するため、LM5023 には内部タイマが搭載されています。これにより、前のドライバ出力 (OUT) の Low から High への遷移の 7.69µs 内で出力ドライバが再起動するのが防止されます。このタイマは、130kHz (標準値) で最大スイッチング周波数をクランプします。

6.3.5 PWM コンパレータ

PWM コンパレータは、電流センス信号と COMP ピンからのループ誤差電圧を比較します。COMP ピンの電圧は固定の 0.75V オフセットによって低下し、3:1 抵抗デバイダによって減衰されます。PWM コンパレータの入力オフセット電圧は、COMP ピンにおける電圧が 0.75V 未満の場合、コントローラ出力のデューティ サイクルがゼロになるように設計されています。

6.3.6 ソフト スタート

ソフト スタート機能により、電力コンバータは徐々に初期の定常状態動作ポイントに達するため、起動時のストレスや電流サージを低減できます。パワーオン時に、VCC が VCC_{ON} スレッショルドに達すると、SS ピンに接続されている外部コンデンサが、内部の 22µA 電流源によって充電されます。コンデンサの電圧はゆっくりと上昇し、COMP ピンの電圧と出力パルスのデューティ サイクルを制限します。

6.3.7 ゲート ドライバ

LM5023 ドライバ (OUT) の設計は、N チャネル MOSFET のゲートを駆動するためのもので、0.4A のピーク電流と 0.7A のシンク電流を供給できます。

6.3.7.1 スキップ サイクル動作

軽負荷条件では、コンバータのスイッチングおよび動作バイアス電流に関連する損失が、負荷に供給される電力のうち大幅な割合になるため、スイッチング電源の効率は通常低下します。電力損失の最大の要素は、ゲート ドライバと外部 MOSFET ゲート電荷、およびスイッチ ノード容量エネルギーに関連するスイッチング損失です。各 PWM サイクルは、MOSFET がオンおよびオフになるときに、有限な量のエネルギーを消費します。これらのスイッチング損失は、動作周波数に比例します。

軽負荷時の効率を向上させるため、軽負荷状態では LM5023 はスキップ サイクル モードに移行します。出力負荷が減少すると、電圧帰還ループによって COMP ピンの電圧が低下し、フライバック コンバータのピーク 1 次側電流が減少します。図 *セクション 6.2* を参照すると分かるように、PWM コンパレータ入力は、0.75V のレベル シフト回路と 3:1 抵抗デバイダを介して COMP ピン電圧を追跡します。COMP ピンの電圧が低下すると、PWM コンパレータへの入力は比例して低下します。PWM コンパレータ入力が 120mV まで低下すると、スキップ サイクル コンパレータによって軽負荷状態が

Copyright © 2026 Texas Instruments Incorporated

検出され、コントローラからの出力パルスが無効になります。LM5023 は、スキップ モードではすべての内部バイアス電流を低減して、静止電力をさらに低減します。コントローラは、電源出力が低下し、COMP ピンの電圧が上昇してさらに出力電流を要求するまで、スイッチング サイクルのスキップを続けます。スキップされるサイクル数は、負荷と、周波数電圧ループ補償回路の応答時間によって異なります。電圧ループで、レギュレートされた出力電圧を維持するためにさらに多くの電流が必要になると、最終的に COMP 電圧が上昇します。PWM コンパレータ入力が 155mV (30mV ヒステリシス) を超えると、通常の固定周波数スイッチングが再開します。標準的な軽負荷動作電源設計では、出力パルスの短いバーストが生成され、その後に長いスキップ サイクル間隔 (駆動パルスなし) が続きます。その結果、平均入力電力が大幅に低減されます。

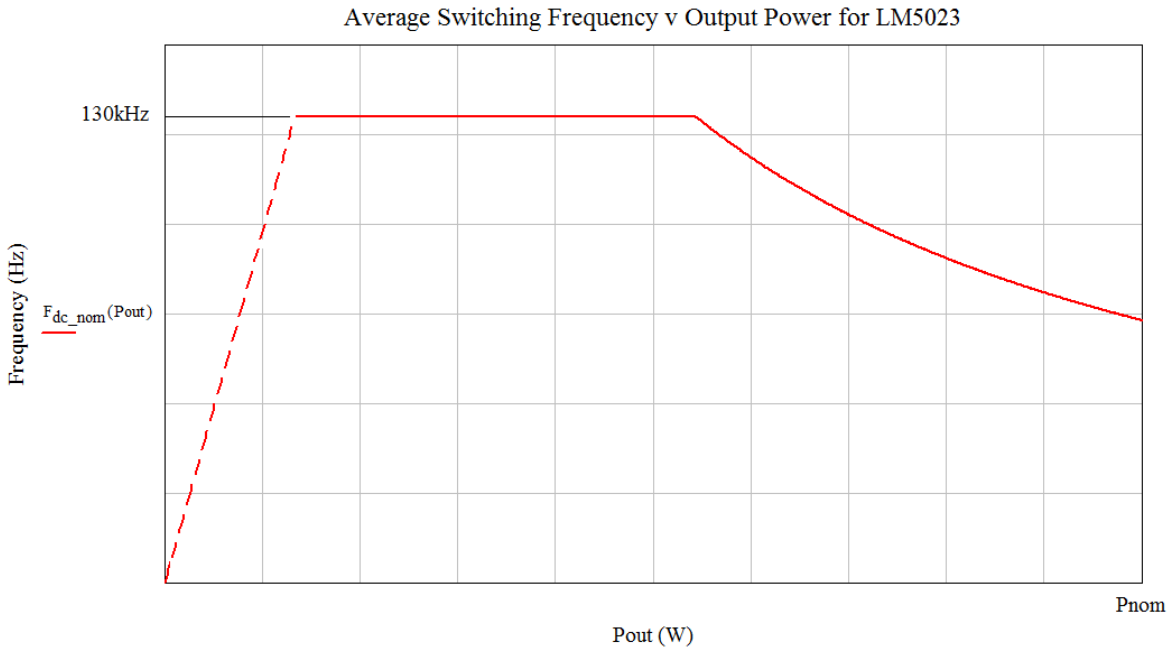


図 6-5. LM5023 の変調曲線

6.3.8 電流制限および電流センス

LM5023 には、サイクル単位の過電流保護機能があります。電流制限は、500mV のスレッショルドを持つ内蔵電流センス コンパレータによってトリガされます。CS ピンの電圧と電流制限フィードフォワード信号の電圧の和が 500mV を超えると、MOSFET 駆動信号 (OUT) は終了します。パワー FET のゲートからソース スイッチングに結合するノイズを減衰させるため、LM5023 CS ピンの近くに配置する RC フィルタを推奨します。CS ピンの容量は、各 PWM サイクルの終わりに内部スイッチによって放電されます。放電スイッチは、リーディング エッジ ブランキング (LEB) のためm追加で 130ns の間オンのままになります。LEB により、スイッチ電流の初期スパイクによって生成されるノイズが原因で、LM5023 電流センス コンパレータが誤ってトリガされることを防止できます。LM5023 電流センス コンパレータは非常に高速で、短時間のノイズ パルスにも応答できます。電流センス フィルタとセンス抵抗のレイアウトは非常に重要です。CS フィルタに関連するコンデンサは、デバイスのすぐ近くに配置し、デバイスのピン (CS と GND) に直接接続する必要があります。電流センス トランスを使用する場合は、トランス 2 次側の両リードをセンス抵抗に接続する必要があり、センス抵抗もデバイスの近くに配置する必要があります。電流センス用にパワー FET のソースに配置された電流センス抵抗を使用する場合は、低インダクタンスの抵抗が必要です。この場合、ノイズに敏感な低電流グランドはすべてデバイスの近くで共通に接続してから、1 つの接続を行う必要があります。

6.4 デバイスの機能モード

入力電圧、VCC 電圧、および出力負荷条件に応じて、デバイスは異なるモードで動作することができます。

Copyright © 2026 Texas Instruments Incorporated

- 起動時に、VCC が VCC_{ON} スレッショルド未満のとき、VSD のオープン ドレイン出力が VCC にプルアップされ、ディプリーション モード MOSFET がオンになります。ディプリーション モード MOSFET によって VCC コンデンサが充電されます。
- VCC が VCC_{ON} スレッショルドを上回ると、VSC のオープン ドレイン出力はグランドにプルダウンされ、ディプリーション モード MOSFET がオフになり、VCC > $V_{CC(off)}$ である限り、高電圧起動回路が無効になります。
- パワーオン時に、VCC が VCC_{ON} スレッショルドに達すると、デバイスはコンバータ出力に電力を供給するためにスイッチングを開始します。最初のパワーアップ時にソフト スタートは、SS ピンのコンデンサを充電する 22µA 電流源によって開始されます。SS ピンは、COMP ピンの電圧と OUT パルスのデューティ サイクルを制限します。
- ソフト スタートは、電圧レギュレーションに必要な電力を供給するために COMP ピンに必要な電圧に基づいて終了します。負荷条件に応じて、コンバータは通常モードまたはスキップ サイクル モードで動作します。
  - 通常モードとは、負荷が全負荷から軽負荷に切り替わる状態であり、コントローラの出力はサイクルごとに有効になります。
  - スキップ サイクル モードは、軽負荷から無負荷への移行時に発生し、COMP ピンの電圧に基づいてコントローラの出力が無効化されます。スキップ サイクル モードで出力が無効になると、ICC 電流は ICC_{ST} に減少します。
- デバイスの動作は、以下に示すイベントによって停止できます。
  - VCC が VCC_{OFF} スレッショルドを下回ると、デバイスはスイッチングを停止し、起動シーケンスを繰り返します。
  - フォルトが検出されると、ドライバはオフにラッチされ、VCC が VCC_{OFF} に低下して起動シーケンスが開始されます。
  - 過負荷状態が過負荷タイマの持続時間を超えた場合、VCC が VCC_{OFF} まで低下するまで出力はオフになり、起動シーケンスが開始されます。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

LM5023 は、2 次側レギュレーション機能を備えた絶縁型フライバック コンバータ用に最適化された疑似共振 PWM コントローラです。このコントローラは、単一または複数の出力コンバータと組み合わせて使用できます。アプリケーションとしては、ノートブック アダプタや、さまざまなコンシューマおよび産業用アプリケーションなどがあります。スキップ サイクル動作、デバイス バイアス電流の低減、および高電圧起動回路の制御により、スタンバイ時の低入力電力を実現できます。

7.2 代表的なアプリケーション

この AC/DC アダプタ、19.2V、65W の例では、ユニバーサル AC 入力から動作し、3.43A の最大負荷で 19.2V を供給する 65W オフライン フライバック コンバータの設計について説明します。この設計では、DCM タイプのフライバック コンバータで LM5023 AC/DC 擬似共振 1 次側コントローラを使用し、88% の全負荷効率を達成します。

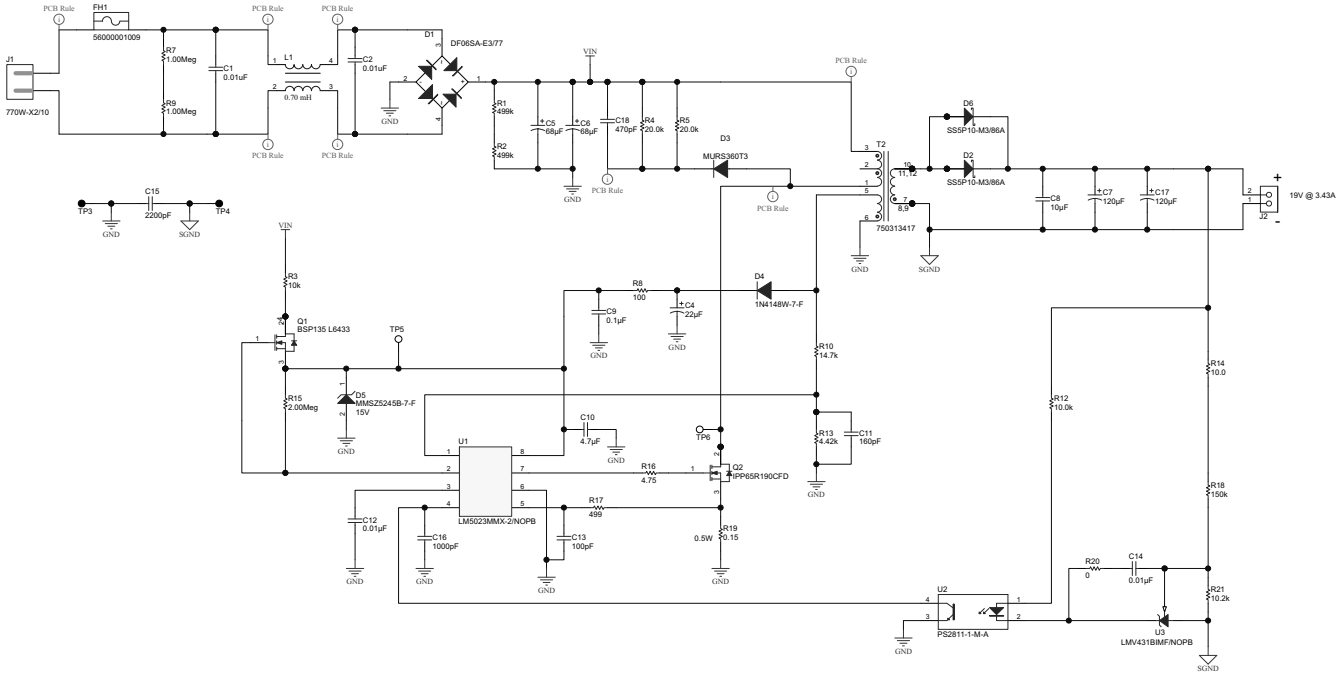


図 7-1. LM5023 の代表的なアプリケーション

7.2.1 設計要件

表 7-1 に、LM5023 の設計要件を示します。

表 7-1. LM5023 の性能仕様

パラメータ	テスト条件	最小値	標準値	最大値	単位
入力特性					
V_{IN} 入力電圧		90	115/230	264	V_{AC}
V_{IN} 無負荷時入力電力	V_{IN} = 230V	30			mW
出力特性					

表 7-1. LM5023 の性能仕様 (続き)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OUT}	出力電圧	V_{IN} = 115V、I_{OUT} = 3.43A	19.0	19.2	19.4	V
V_{OUT}	ライン レギュレーション	V_{IN} = 最小値 ～ 最大値、I_{OUT} = 最大値			1.0%	
V_{OUT}	ロード レギュレーション	V_{IN} = 公称値、I_{OUT} = 無負荷 ～ 最大負荷			1.0%	
V_{OUT}	出力電圧リップル	V_{IN} = 公称値、I_{OUT} = 最大値	100			mV_{PP}
I_{OUT}	出力電流				3.43	A
V_{OVP}	出力 OVP		24			V
M	負荷ステップ応答	I_{OUT} = 0.343A ～ 3.09A、3.09A ～ 0.343A	18.7		19.6	V
システム特性						
	スイッチング周波数		130			kHz
η	全負荷	V_{IN} = 115/230V、I_{OUT} = 3.43A	88%			

7.2.2 詳細な設計手順

7.2.2.1 WEBENCH® ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designer により、LM5023 デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

7.2.2.2 ライン電流制限フィードフォワード

電源が過負荷状態にあるときに制御されるピーク電流モードでは、ピーク電流 (電流センス抵抗 VCS で測定) が電圧リファレンスと比較され、過負荷保護が行われます。ピーク電流がリファレンスを上回ると、LM5023 コントローラはサイクル単位で 1 次側フライバック MOSFET をオフにします。しかし、避けられない遅延が複数存在するため、1 次側スイッチを即座にオフにすることはできません。1 つ目の遅延は、LEB 回路によってリーディング エッジ ブランキングが発生します。2 つ目の遅延は、VCS の検出ポイントとパワー MOSFET の実際のオフ状態との間の伝搬遅延によって生じます。合計遅延時間 (t_{PROP}) には (図 7-2 を参照)、電流制限コンパレータ、ロジック、ゲート ドライバ、およびパワー MOSFET のオフ時間が含まれます。

伝搬遅延により、ピーク 1 次側電流にオーバーシュートが発生し、そのオーバーシュートによって最大ピーク電流が計算値を超えて増加します。式 21 に示されているように、1 次側電流のスロープの増加により、AC ライン電圧が増加すると、ピーク電流オーバーシュートが増加します。

$$\frac{V_{IN}}{Lp} = \frac{di}{t_{PROP}} \tag{21}$$

Copyright © 2026 Texas Instruments Incorporated

このピーク入力電流オーバーシュートの増加が原因で、フライバック コンバータの過電力制限に大きな変動が生じます。式 22 では、過電力制限値は入力ライン間電圧の増加に伴って増加します。これは 式 22 ～ 式 24 に示されているように、$I_{PK(max)}$ が増加するためです。

$$I_{PK(max)} = \sqrt{\frac{P_{OUT} \times 2}{Lp \times FREQ \times \eta}} + \frac{V_{IN}}{Lp} \times t_{PROP} \quad (22)$$

$$P_{IN} = \frac{1}{2} \times I_{PK(max)}^{2} \times L_P \times FREQ \quad (23)$$

$$P_{OUT} = P_{IN} \times \eta \quad (24)$$

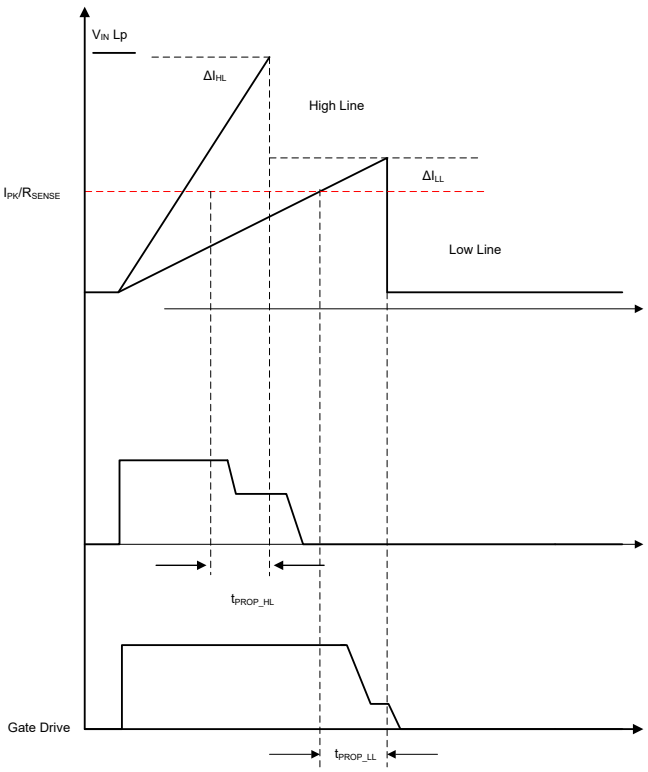


図 7-2. ライン電流フィードフォワード

ユニバーサル入力ライン全体にわたって過電力制限の精度を向上させるため、LM5023 にはライン電流制限フィードフォワードが内蔵されています。ライン電流制限フィードフォワードは、入力整流されたラインに比例した電流を電流センス抵抗 (R_{SENSE}) に加算することで、過電力制限を改善します。図 7-3 を参照してください。入力ラインに比例する電流によって CS ピンがバイアスされ、高い入力ラインのフライバック MOSFET がより早くオフになります。この機能により、伝搬遅延が補償され、ユニバーサル入力ライン全体でほぼ一定の過電力保護が行われます。

ライン電流制限フィードフォワードを実装する最初の手順は、低ラインでの QR スイッチング周波数を計算してから、電源が電流制限で動作する高ラインでの値を計算することです。

この例では以下の式で計算されます。

- Lp = 400µH
- R_{SENSE} = 0.15Ω
- $V_{DC(min)}$ = 127V
- $V_{DC(max)}$ = 325V
- T_{PROP} = 160ns
- V_{CS} = 0.5V
- N_{AUX} = 10.9

Copyright © 2026 Texas Instruments Incorporated

- $N_{PS} = N_P/N_S = 6$
- $t_{DLY} = 580ns$

$$FREQ_LL = \frac{1}{\left(\frac{V_{CS}}{R_{SENSE}}\right) \times Lp \times \left[\left(\frac{1}{V_{DC(min)}}\right) + \frac{1}{(V_{OUT} + Vf) \times N_{PS}}\right] + t_{DLY}} \quad (25)$$

$$FREQ_LL = \frac{1}{\left(\frac{0.5\ V}{0.15\ \Omega}\right) \times 400\ \mu H \times \left[\left(\frac{1}{127\ V}\right) + \frac{1}{(19\ V + 0.7\ V) \times 6}\right] + 580\ ns} = 44.7 kHz \quad (26)$$

$$FREQ_HL = \frac{1}{\left(\frac{V_{CS}}{R_{SENSE}}\right) \times Lp \times \left[\left(\frac{1}{V_{DC(max)}}\right) + \frac{1}{(V_{OUT} + Vf) \times N_{PS}}\right] + t_{DLY}} \quad (27)$$

$$FREQ_HL = \frac{1}{\left(\frac{0.5\ V}{0.15\ \Omega}\right) \times 400\ \mu H \times \left[\left(\frac{1}{325\ V}\right) + \frac{1}{(19\ V + 0.7\ V) \times 6}\right] + 580\ ns} = 62.6 kHz \quad (28)$$

次のステップは、電流制限中に最小および最大入力ライン電圧で補償されない出力電力を計算することです。

$$P_{OUT}_LL = \frac{1}{2} \times Lp \times \left(\frac{VCS}{R_{SENSE}}\right)^2 \times FREQ_LL \times \eta \quad (29)$$

$$P_{OUT_}\ LL = \frac{1}{2} \times 400\ \mu H \times \left(\frac{0.5}{0.15}\right)^2 \times 44.7\ kHz \times 0.86 = 85.4\ W \quad (30)$$

$$P_{OUT}_HL = \frac{1}{2} \times Lp \times \left(\frac{VCS}{R_{SENSE}}\right)^2 \times FREQ_HL \times \eta \quad (31)$$

$$P_{OUT_}\ HL = \frac{1}{2} \times 400\ \mu H \times \left(\frac{0.5}{0.15}\right)^2 \times 62.6\ kHz \times 0.86 = 120\ W \quad (32)$$

ステップ 3 は、高ラインでのピーク電流を計算し、低ライン (85.4W) で動作しているときよりも多くの電力を供給しないようにします。ライン電流制限フィードフォワードの計算を複雑にする要因の 1 つとして、疑似共振動作の場合にスイッチング周波数がラインと負荷によって変化することが挙げられます。2 つの式と、ピーク 1 次側電流と QR 周波数という 2 つの未知数があります。

$$N_{SP} = \frac{N_S}{N_P} \quad (33)$$

$$FREQ_COMP = \frac{4}{\left[\left(\sqrt{4 \times t_{DLY} + \frac{2 \times Lp \times P_{OUT_LL} \times \left(V_{OUT} + Vf + N_{SP} \times V_{DC(max)}\right)^2}{\eta \times V_{DC(max)}^2 \times (V_{OUT} + Vf)^2}}\right) + \frac{\sqrt{2} \times Lp \times \left(V_{OUT} + Vf + N_{SP} \times V_{DC(max)}\right) \times \sqrt{\frac{P_{OUT_LL}}{\eta \times Lp}}}{V_{DC(max)} \times (V_{OUT} + Vf)}\right]^2} \quad (34)$$

$$FREQ_COMP = \frac{4}{\left[\left(\sqrt{4 \times 580ns + \frac{2 \times 400\mu H \times 85.4W \times (19V + 0.7V + 0.167 \times 325V)^2}{0.86 \times (325V)^2 \times (19V + 0.7V)}}\right) + \frac{\sqrt{2} \times 400\mu H \times (19V + 0.7V + 0.167 \times 325) \times \sqrt{\frac{85.4W}{0.86 \times 400\mu H}}}{325V \times (19V + 0.7V)}\right]^2} \quad (35)$$

$$= 85.2kHz$$

ステップ 4 は、ピーク電流を計算することです。

$$I_{L(max)_LL} = \sqrt{\frac{2 \times P_{OUT_LL}}{\eta \times Lp \times FREQ_COMP}} \quad (36)$$

Copyright © 2026 Texas Instruments Incorporated

$$I_{L(max)_LL} = \sqrt{\frac{2 \times 85.4\ W}{0.86 \times 400\ \mu H \times 85.2\ kHz}} = 2.41\ A \quad (37)$$

$$VCS_CL = R_{SENSE} \times \left[I_{L(max)_CL} - \left(\frac{V_{DC(max)}}{Lp} \right) \times t_{PROP} \right] \quad (38)$$

$$VCS_CL = 0.5\ \Omega \times \left[2.41\ A - \left(\frac{325\ V}{400\ \mu H} \right) \times 160\ ns \right] = 0.342\ V \quad (39)$$

電源をパルス単位の電流制限にするには、電流センス抵抗の両端の電圧を 0.5V にする必要があります。

$$VCS_OFFSET: = V_{CS} - VCS_CL \quad (40)$$

VCS_OFFSET は、電流センス抵抗 R_{SENSE} に注入する必要のある電圧オフセットです。

$$VCS_OFFSET = V_{CS} - VCS_CL = 0.5\ V - 0.342\ V = 0.158\ V \quad (41)$$

必要なオフセット電圧を計算した後、式 42 および 式 43 を使用して、必要な電流フィードフォワードを計算します。

メイン フライバック スイッチがオンである間、Q1、補助巻線の電圧は負で、整流されたラインに比例します。

$$-V_{AUX} = \frac{V_{DC}}{N_{AUX}} \quad (42)$$

$$IQR = \frac{-V_{AUX}}{R1} \quad (43)$$

1mA ～ 4mA の範囲で IQR を選択します。消磁回路のインピーダンスを計算し、QR ピンを流れる最大電流を 4mA 未満に制限します。

$$R_{OFFSET} = 6.6k\Omega + R_{EXTERNAL} \quad (44)$$

ここで、

- N_{AUX} は、フライバック 1 次側 (Np) の巻線数をトランス補助巻線 (N_{AUX}) の巻数で除算した値です

6.6kΩ 抵抗は LM5023 の内部抵抗です。

QR ピン入力の電流ミラーのゲインは 100 です。このオフセットによって、電流センス ピンの電圧がオフセットされます。式 45 を参照してください。

$$V_{CS(offset)} = \frac{IQR}{100} \times \left(6.6\ k\Omega + R_{EXTERNAL} \right) \quad (45)$$

IQR = 1.75mA に設定します

$$R_1 = \frac{\frac{V_{DC(max)}}{N_{AUX}}}{IQR} = \frac{\frac{325\ V}{10.9}}{1.75\ mA} = 17.0\ k\Omega \quad (46)$$

$$R_{OFFSET} = \frac{V_{OFFSET}}{IQR} \times 100 = \frac{0.158\ V}{1.75\ mA} \times 100 = 9030\ \Omega \quad (47)$$

$$R_{OFFSET} = R_{INTERNAL} + R_{EXTERNAL} \quad (48)$$

$$R_{EXTERNAL} = R_{OFFSET} - 6.6\ k\Omega = 9030\ \Omega - 6.6\ K\Omega = 2.43\ K\Omega \quad (49)$$

ここで説明したアプリケーションでは、外部抵抗は不要なため、CS ピン入力にはノイズ フィルタとして 499Ω の抵抗と 100pF コンデンサを取り付けています。

Copyright © 2026 Texas Instruments Incorporated

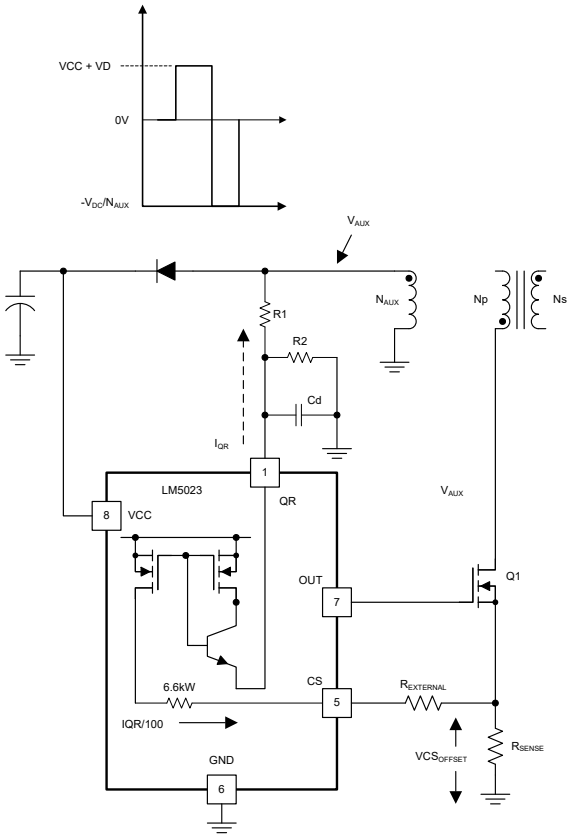


図 7-3. 電流フィードフォワード

7.2.2.2.1 過電圧保護

LM5023 には出力過電圧保護機能が実装されており、メイン フライバック MOSFET がオフで、トランスの 1 次側に蓄積されたエネルギーが 2 次側に転送されるときに QR ピンを監視します。MOSFET のオフ時間 T_{OVP} 注、QR ピンをサンプリングするまでに遅延が発生します。遅延には 2 つの理由があります。1 つ目はトランスの漏れインダクタンスに起因する電圧スパイクをブランクにすることです。2 つ目は、図 6-4 に示されているトランスの補助巻線電圧を基準にして、出力電圧検出の精度を向上させることです。出力整流器の V_F の低下と、2 次側電流がゼロに減少するにつれて抵抗電圧降下 (IS × RS) を表す電圧に下降傾向があることは明らかであり、QR 電圧のサンプリングを遅らせることで、出力電圧をより正確に表現することができます。

QR ピンに接続されているのは、3.0V のリファレンス電圧を持つコンパレータです。トランスの補助電圧は、トランスの巻線比に基づき、V_{OUT} に比例します。

$$V_{AUX} = (V_O + V_F) \times \frac{N_{AUX}}{N_S} \tag{50}$$

OVP を設定するには、分圧器をトランスの補助巻線に接続します。図 7-2 を参照してください。セクション 7.2.2.2 の式は、電力制限を改善するために開発されたものです。抵抗 R1 は、ライン電流制限フィードフォワードについて計算されます。OVP を実装するには、R2 を計算します。

$$V_{OVP} = V_{AUX_OVP} \times \frac{R2}{R1 + R2} \tag{51}$$

$$R2 = 3.0V \times \frac{R1}{V_{AUX_OVP} - 3V} \tag{52}$$

Copyright © 2026 Texas Instruments Incorporated

OVP フォルトが検出されると、LM5023 OUT ドライバはラッチオフされます。VCC は VCC_{MIN} まで放電され、VSD ピンが High にアサートされることで、ディプリーション モード FET がオンになり、VCC コンデンサが VCC_{ON} に充電されます。VSD ピンは、コントローラへの VCC を維持するためにオン / オフでトグルされます。フォルトをクリアする唯一の方法は、入力電力を取り除いて、コントローラの VCC 電圧を V_{RST}、5.0V より低くすることです。

7.2.2.3 バレー スイッチング

QR 動作の場合、最小ドレイン電圧でフライバック MOSFET がオンになります。補助巻線の遅延時間は、外部抵抗とコンデンサで調整することで、バレー スイッチングを改善できます。遅延時間 t_{DLY} は、式 53 に示されている固有振動数の半分に等しくなっている必要があります

$$t_{DLYQR} = \frac{\pi}{2} \times \sqrt{Lp \times COSS} \tag{53}$$

式 54 を代入します。

$$t_{DLYQR} = RFF \times Cd \tag{54}$$

LM5023 がフライバック MOSFET をオンにしたときの最小ドレイン電圧を実現するための RC 時定数を計算します。

$$Cd := \frac{\left[\left(\frac{\pi}{2}\right) \times \sqrt{Lp_{USED} \times COSS}\right]}{RFF} \tag{55}$$

LM5023 QR ピンの容量は約 20pF であるため、Cd_{USED} = Cd –20pF となります。

$$RFF := \frac{(R1 \times R2)}{(R1 + R2)} \tag{56}$$

R1 と R2 は、ライン電流制限フィードフォワードおよび過電圧保護を設定するために前述のように計算されます。

7.2.2.4 ヒカップ モード

ヒカップ モードは、長時間の過負荷状態中に電源が過熱するのを防ぐための方法です。過負荷フォルトの場合、電流制限コンパレータはパルス単位でドライバ出力をオフにします。これにより、過負荷検出タイマ (OLDT) がタイムアウトした後、電流制限コンパレータが再チェックされます。電源がまだ過負荷状態のままであれば、OUT 駆動がラッチオフされ、VCC は VCC_{OFF} (7.5V) まで低下します。

VCC が VCC_{OFF} に達すると、VSD オープン ドレイン出力が無効になり、ディプリーション モードの起動 FET がオンになり、VCC コンデンサが VCC_{ON} (12.5V) まで充電されます。VCC が VCC_{ON} に達すると、VSD 出力が Low になり、ディプリーション モード FET がオフになります。VCC コンデンサは、VCC コンデンサおよび ICC_{ST} 電流 (標準値 340µA) に比例する速度で、VCC_{ON} から VCC_{OFF} まで放電されます。VCC コンデンサの充電と放電を 4 回繰り返し (図 7-4 を参照)、式 57 を使用して合計ヒカップ時間を計算します。

$$t_{HICCUP} = t_{CHARGE} \times 4 + t_{DISCHARGE} \times 4 \tag{57}$$

VCC による 4 回の充電と放電を許容した後、LM5023 は自動再起動シーケンスを実行し、LM5023 のソフト スタートとドライバ出力を有効にします。低入力ラインおよび全負荷状態で、電源が起動するのに十分な時間を確保できるように、過負荷検出タイマを十分に長く設定することが重要です。

過負荷検出タイマは、VSD pin_{VSD} と直列に接続された抵抗で設定できます。図 6-1 を参照してください。

$$IVSD = \frac{VCC}{RVSD} = \frac{10V}{1M\Omega} = 10\ \mu A \tag{58}$$

$$OVER_LOAD_DETECTION_TIMER = \frac{2 \times 60nA}{I_{VSD}} = \frac{2 \times 60nA}{10\ \mu\ A} = 12ms \tag{59}$$

通常、R_{VSD} > 1MΩ を推奨します。より小さい値を使用すると、スタンバイ電力が大きくなります。

ディプリーション モード FET が 2mA で VCC コンデンサを充電すると仮定すると、VCC コンデンサは 10µF となります。

$$t_{CHARGE} = \frac{(VCC_{ON} - VCC_{OFF})}{ICHARGE} \times C_{VCC} = \frac{12.5V - 7.5V}{2mA} \times 10\mu F = 25ms \quad (60)$$

$$t_{DISCHARGE} = \frac{(VCC_{ON} - VCC_{OFF})}{ICC_{ST}} \times C_{VCC} = \frac{12.5V - 7.5V}{340\ \mu A} \times 10\mu F = 145ms \quad (61)$$

$$t_{HICCUP} = 25ms \times 4 + 145ms \times 4 = 680ms \quad (62)$$

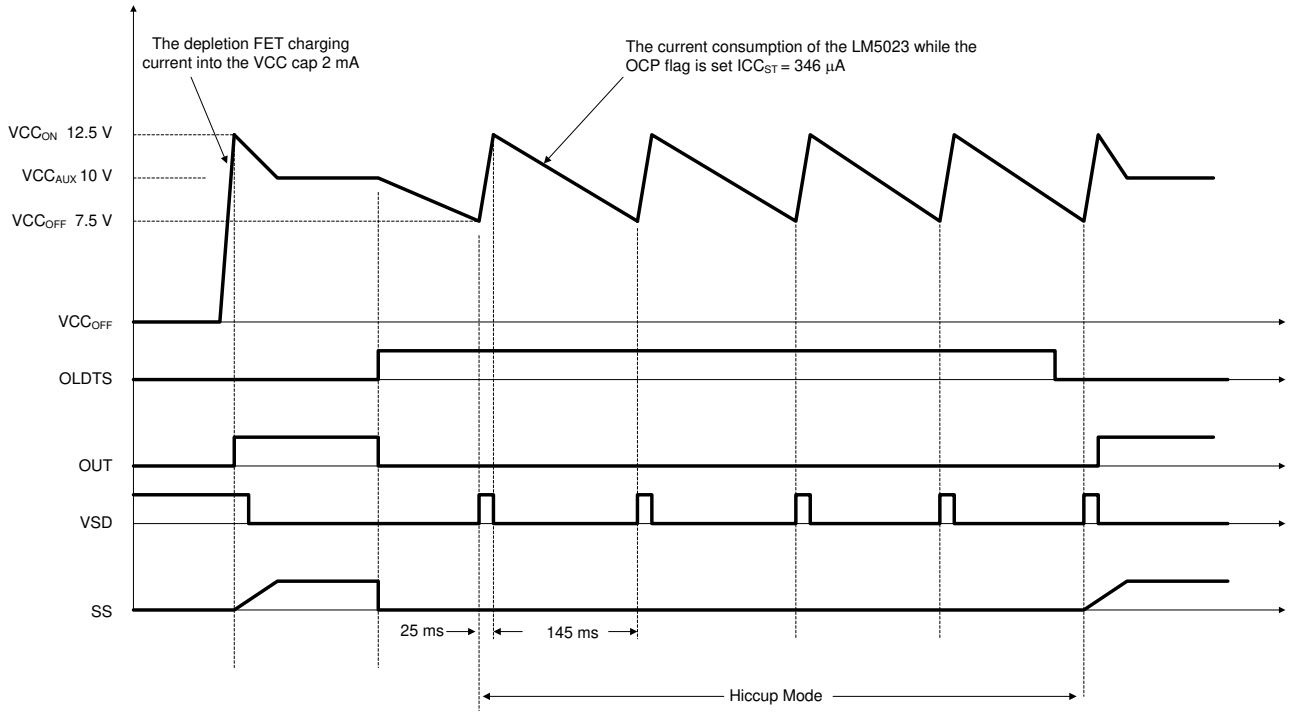


図 7-4. ヒカップ モード タイミング

Copyright © 2026 Texas Instruments Incorporated

7.2.3 アプリケーション曲線

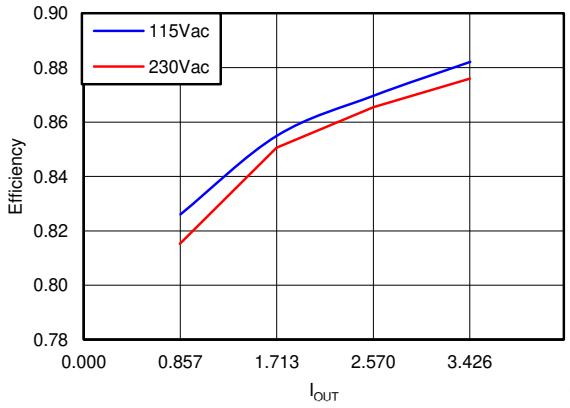
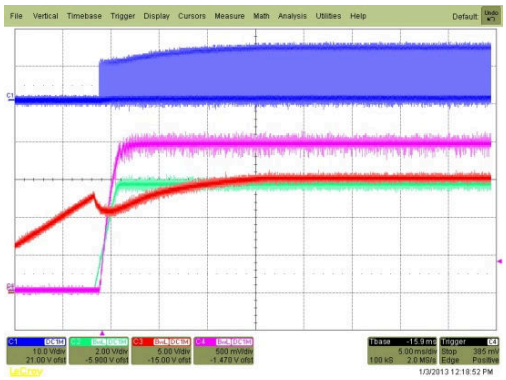
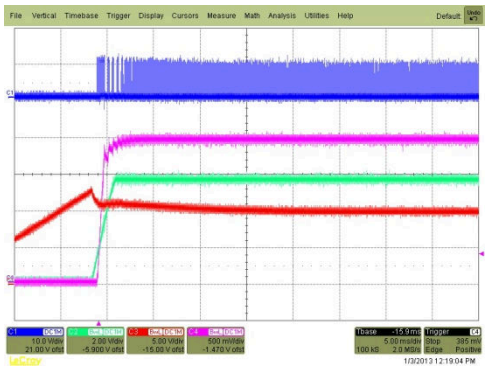


図 7-5. LM5023 評価基板の効率



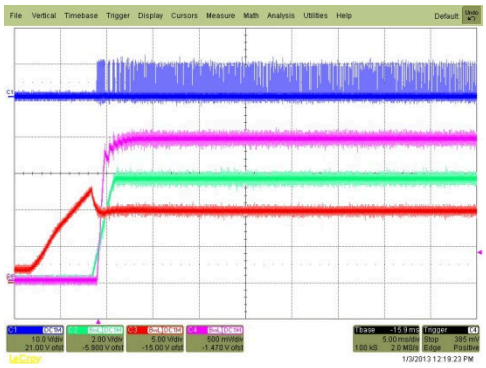
CH1：OUT、10V/div
CH2：SS、2V/div
CH3：VCC、5V/div
CH4：VOUT、5V/div

図 7-6. 115V 起動、3.43A 負荷



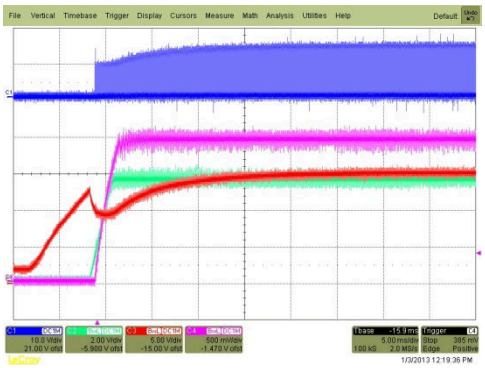
CH1：OUT、10V/div
CH2：SS、2V/div
CH3：VCC、5V/div
CH4：VOUT、5V/div

図 7-7. 115V 起動、0.1A 負荷



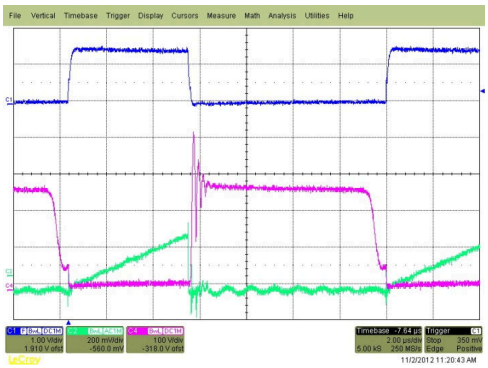
CH1：OUT、10V/div
CH2：SS、2V/div
CH3：VCC、5V/div
CH4：VOUT、5V/div

図 7-8. 230V 起動、0.1A 負荷



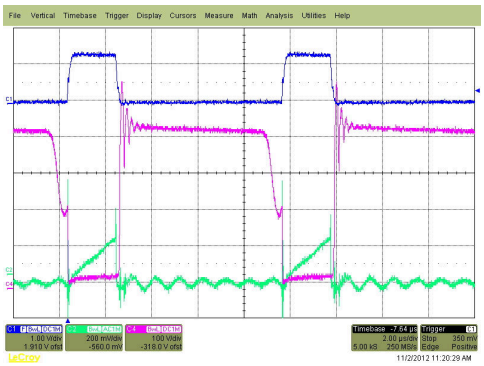
CH1：OUT、10V/div
CH2：SS、2V/div
CH3：VCC、5V/div
CH4：VOUT、5V/div

図 7-9. 230V 起動、3.43A 負荷



CH1：OUT、10V/div
CH2：CS、200mV/div
CH4：VDS、100V/div

図 7-10. QR 波形 VIN 115V_{AC}、I_{OUT} 3.43A



CH1：OUT、10V/div　CH2：CS、200mV/div
CH4：VDS、100V/div

図 7-11. QR 波形 V_{IN} 230V_{AC}、I_{OUT} 3.43A

7.3 電源に関する推奨事項

LM5023 デバイスは、フライバック トポロジを使用し、入力電圧範囲が 85$V_{AC(rms)}$ ～ 265$V_{AC(rms)}$ の AC/DC アダプタおよび電源向けに設計されています。また、異なる入力電圧を持つ他のアプリケーションやコンバータ トポロジにも使用できます。ただし、すべての電圧と電流がデバイスの推奨動作条件と絶対定格の最大範囲内にあることを確認してください。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

TI は、すべての大電流ループをできるだけ短くすることを推奨します。大電流および高周波の配線は、他の信号線から可能な限り離して配置します。必要に応じて、高周波および大電流配線は、他の信号線と平行ではなく、垂直になるように配置します。信号パターンをグランド トレースでシールドすることは、ノイズの混入を低減する上で有効な方法です。信号ピンに接続される部品のグランド リファレンスとして、VCC バイパス コンデンサおよび GND ピンへのケルビン接続を使用する必要があります。高電圧網と低電圧網の間には、常に適切な間隔を確保するようにしてください。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 レイアウト例

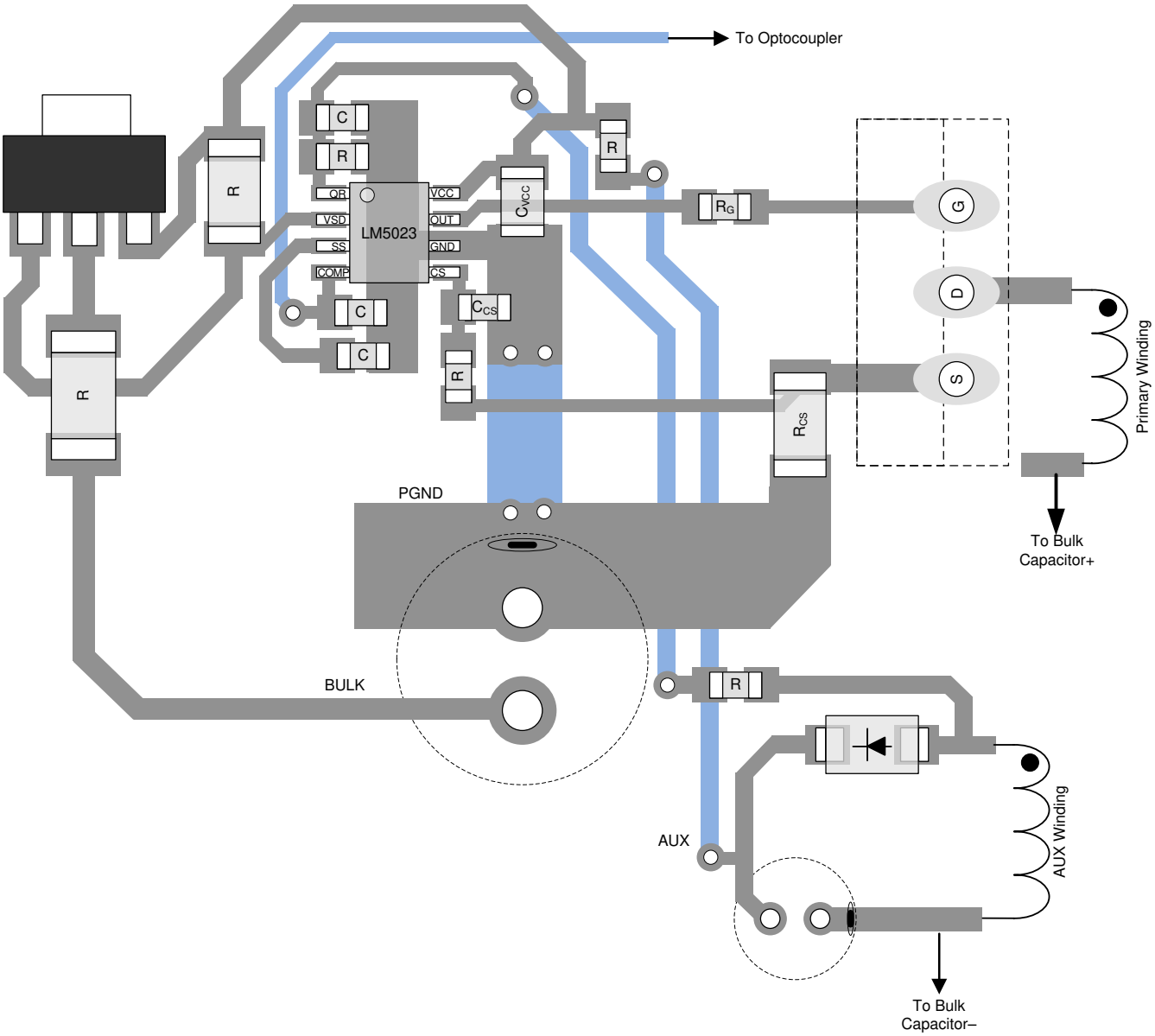


図 7-12. LM5023 のレイアウト例

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

設計ツールについては、LM5023 PSpice 過渡モデル および LM5023 TINA-TI 過渡 Spice モデルを参照してください。

8.1.1.1 WEBENCH® ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designer により、LM5023 デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

8.2 ドキュメントのサポート

8.2.1 関連資料

関連資料については、以下を参照してください。

-
- LM5023-2EVM ノートブック アダプタ
- UCC24630EVM-636 65W AC/DC アダプタの使用

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。右上の「*Alert me*」(アラートを受け取る) をクリックして登録すると、製品情報の更新に関する週次ダイジェストを受け取ることができます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 コミュニティ リソース

8.5 商標

WEBENCH® is a registered trademark of Texas Instruments.
ENERGY STAR® is a registered trademark of EPA.
すべての商標は、それぞれの所有者に帰属します。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (July 2014) to Revision F (October 2026)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision D (January 2014) to Revision E (July 2014) **Page**

- 「ピン構成および機能」セクション、「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加..... 1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM5023MM-2/NOPB	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	SK9B
LM5023MM-2/NOPB.A	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	SK9B
LM5023MMX-2/NOPB	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	SK9B
LM5023MMX-2/NOPB.A	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	SK9B

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

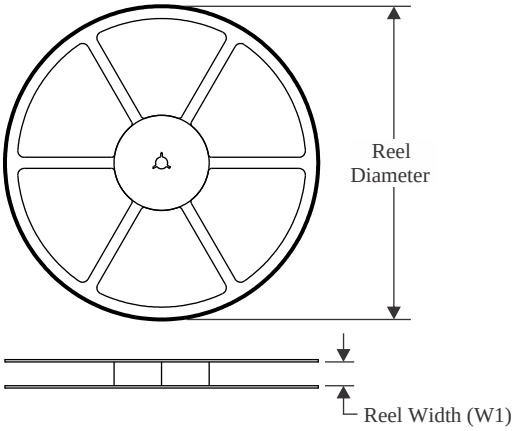
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

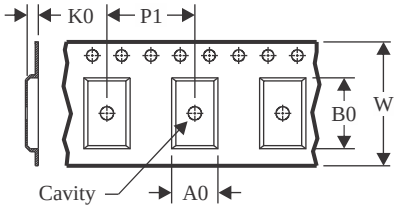
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

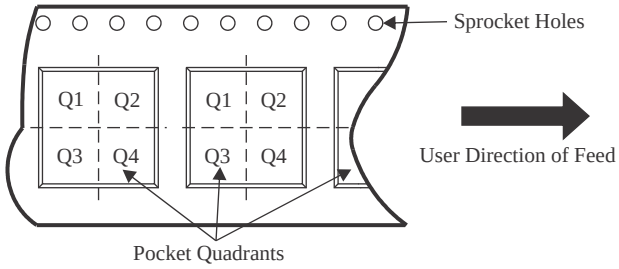


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

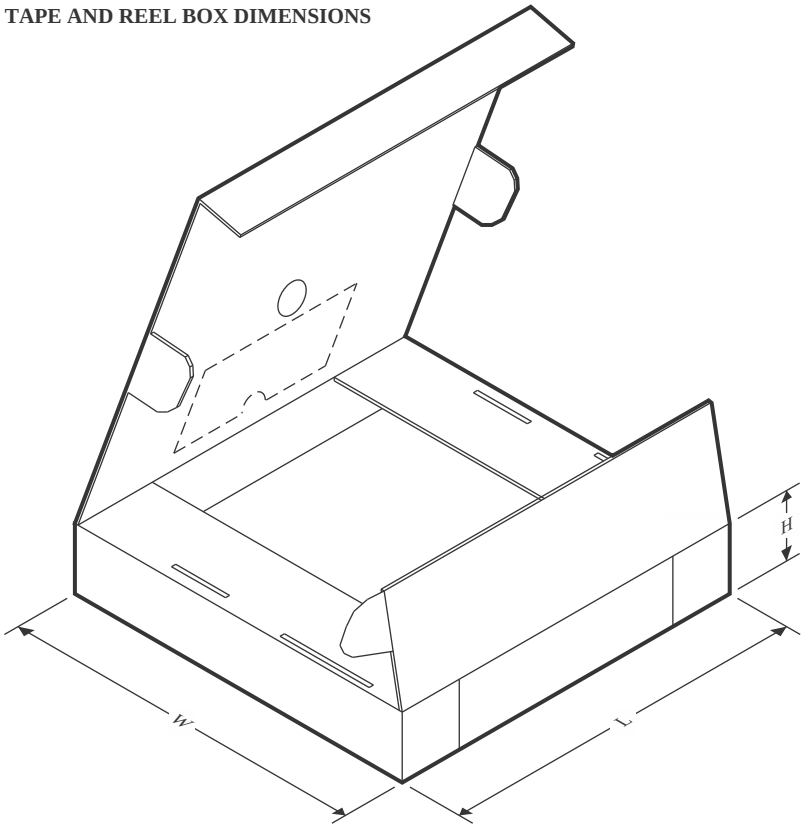
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM5023MM-2/NOPB	VSSOP	DGK	8	1000	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LM5023MMX-2/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

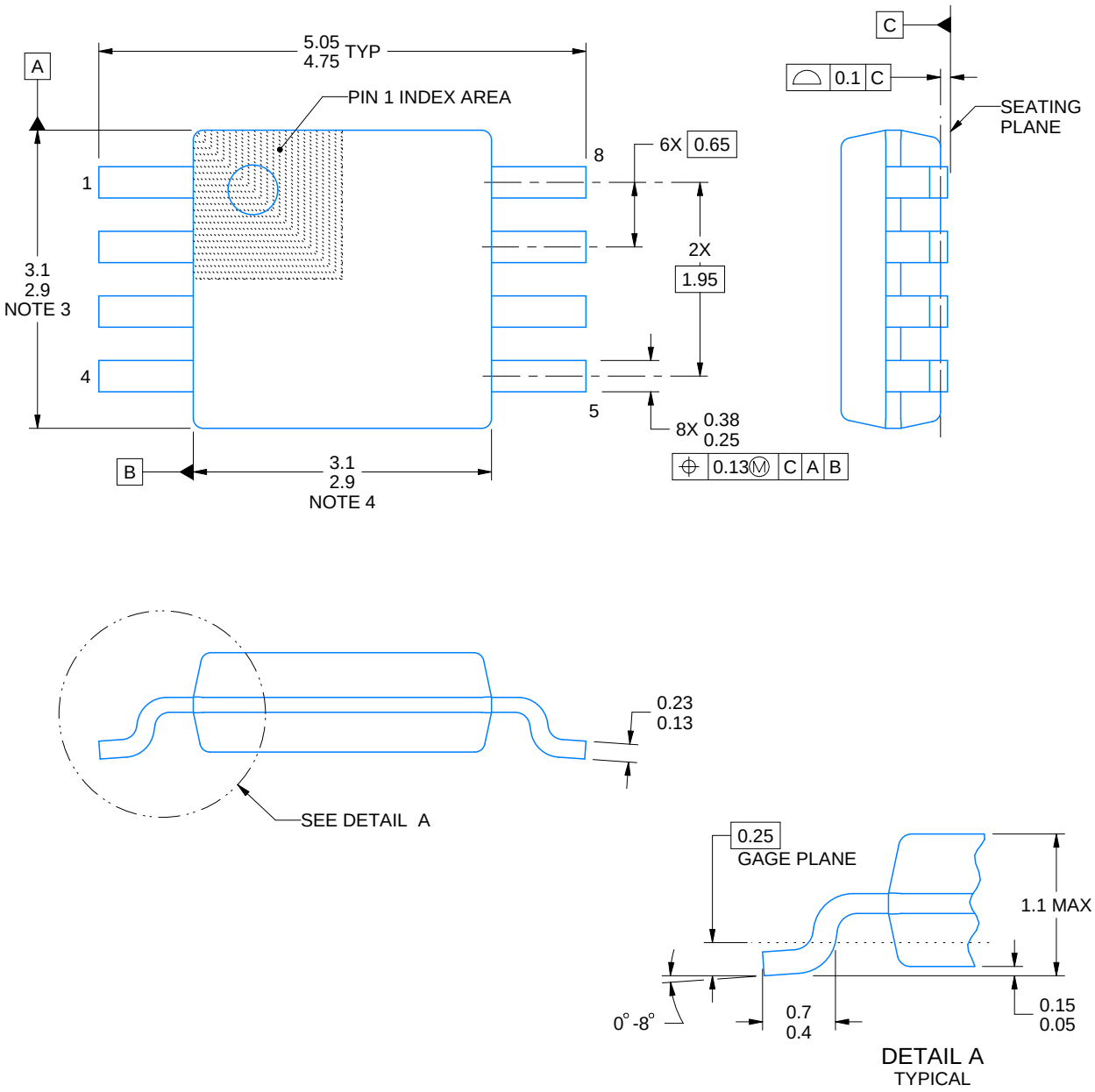
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM5023MM-2/NOPB	VSSOP	DGK	8	1000	208.0	191.0	35.0
LM5023MMX-2/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

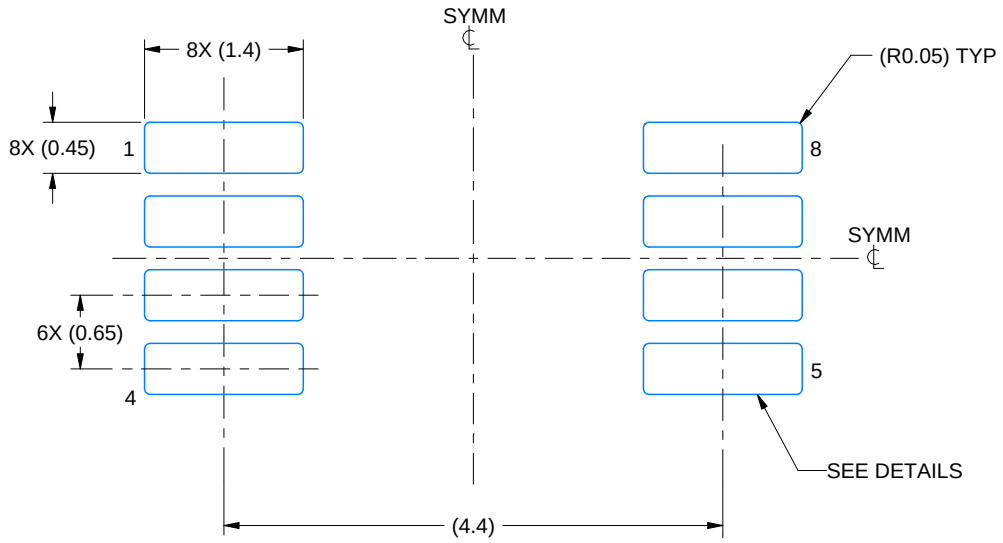
SMALL OUTLINE PACKAGE



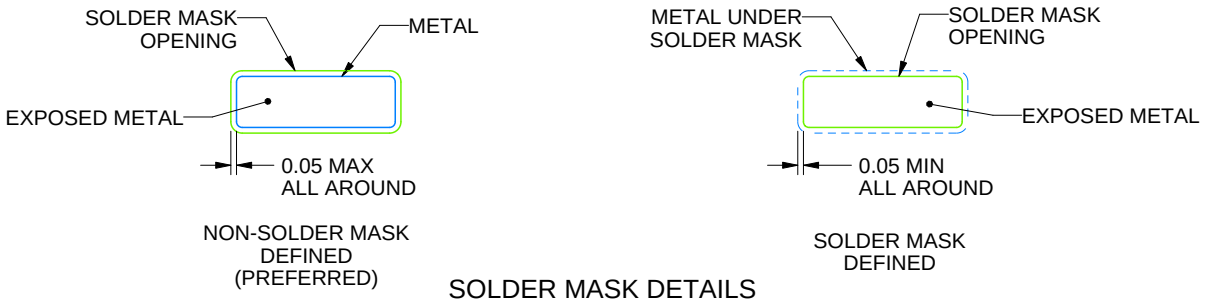
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

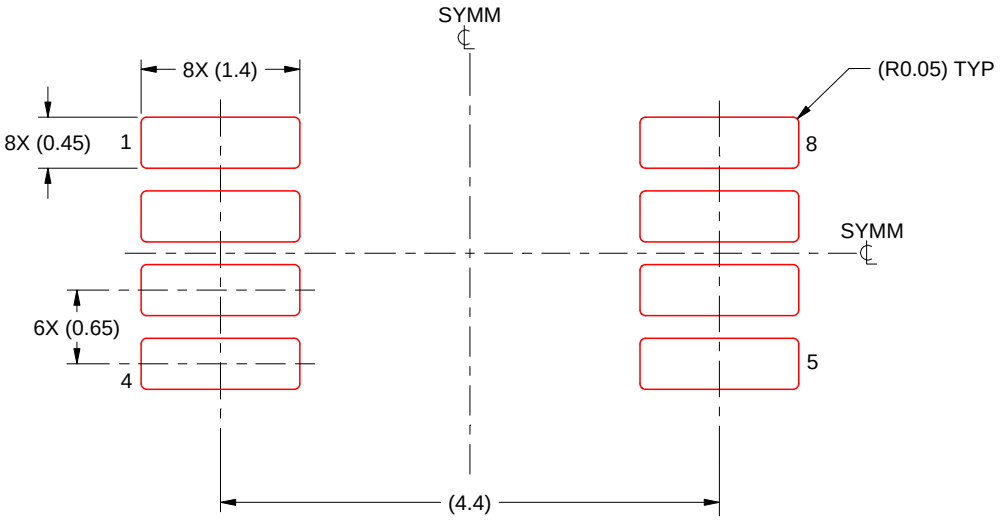


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月