TEXAS INSTRUMENTS

LM5122

JAJSDA4H – FEBRUARY 2013 – REVISED JUNE 2017

LM5122 広入力電圧範囲、同期整流昇圧コントローラ、マルチフェーズ機能搭載

1 特長

- 最大入力電圧: 65V
- 最小入力電圧: 3V (スタートアップには4.5V)
- 出力電圧: 最大100V
- バイパス(V_{OUT} = V_{IN})動作
- 1.2V、±1%精度の基準電圧
- フリーランと、1MHzまでの同期スイッチング
- ピーク電流モード制御
- 堅牢な3Aの内蔵ゲート・ドライバ
- アダプティブ・デッドタイム制御
- オプションのダイオード・エミュレーション・モード
- サイクル単位の電流制限をプログラム可能
- ヒカップ・モードの過負荷保護
- ラインUVLOをプログラム可能
- ソフトスタートをプログラム可能
- サーマル・シャットダウン保護機能
- シャットダウン時の低い静止電流: 9µA
- スロープ補償をプログラム可能
- スキップ・サイクル・モードをプログラム可能で、スタンバイ電力を削減
- 外部VCC電源に対応
- インダクタDCR電流センシング機能
- マルチフェーズ機能
- 熱的に強化された20または24ピンのHTSSOP
- WEBENCH® Power Designerにより、LM5122を使用するカスタム設計を作成

2 アプリケーション

- 12V、24V、48Vの電源システム
- オートモーティブ・スタート/ストップ
- オーディオ電源
- 大電流の昇圧電源

3 概要

LM5122はマルチフェーズが可能な同期整流昇圧コントローラで、高効率の同期整流昇圧レギュレータ用途を意図しています。制御方式は、ピーク電流モード制御を基礎としています。電流モード制御は性質上、ラインのフィードフォワードと、サイクル単位の電流制限が可能で、ループ補償が簡単です。

スイッチング周波数は最高1MHzにプログラム可能です。2つの堅牢なNチャネルMOSFETゲート・ドライバと、アダプティブ・デッドタイム制御により、より高い効率を実現できます。また、ダイオード・エミュレーション・モードをユーザーが選択可能で、不連続モードの動作が可能になり、軽負荷状況で効率が向上します。

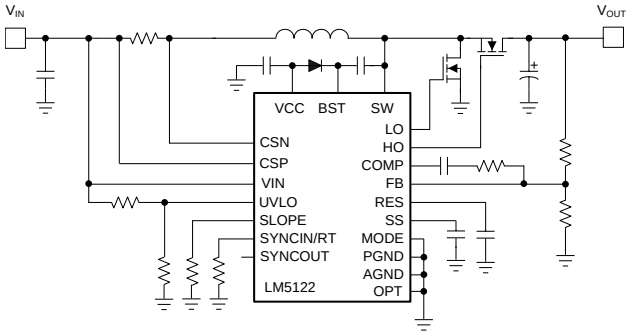
内部チャージ・ポンプにより、ハイサイド同期スイッチの100%デューティ・サイクルが可能です(バイパス動作)。180°フェーズ・シフトされたクロック出力により、マルチフェーズのインターリーブ構成を簡単に実現できます。その他、サーマル・シャットダウン、周波数同期、ヒカップ・モード電流制限、可変のライン低電圧誤動作防止などの機能があります。

製品情報(1)

型番	パッケージ	本体サイズ(公称)
LM5122	HTSSOP (20)	6.50mm×4.40mm
LM5122Z	HTSSOP (24)	7.80mm×4.40mm

(1) 利用可能なすべてのパッケージについては、このデータシートの末尾にある注文情報を参照してください。

アプリケーション概略図



Copyright © 2017, Texas Instruments Incorporated

英語版のTI製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.comで閲覧でき、その内容が常に優先されます。TIでは翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 概要 ... 1
4 改訂履歴 ... 2
5 ピン構成および機能 ... 4
6 仕様 ... 6
6.1 絶対最大定格 ... 6
6.2 ESD定格: LM5122、LM5122Z ... 6
6.3 推奨動作条件 ... 7
6.4 熱に関する情報 ... 7
6.5 電気的特性 ... 7
6.6 代表的特性 ... 13
7 詳細説明 ... 16
7.1 概要 ... 16
7.2 機能ブロック図 ... 16
7.3 機能説明 ... 17
7.4 デバイスの機能モード ... 24
8 アプリケーションと実装 ... 27
8.1 アプリケーション情報 ... 27
8.2 代表的なアプリケーション ... 37
9 電源に関する推奨事項 ... 46
10 レイアウト ... 46
10.1 レイアウトの注意点 ... 46
10.2 レイアウト例 ... 46
11 デバイスおよびドキュメントのサポート ... 47
11.1 デバイス・サポート ... 47
11.2 ドキュメントの更新通知を受け取る方法 ... 47
11.3 コミュニティ・リソース ... 47
11.4 商標 ... 47
11.5 静電気放電に関する注意事項 ... 47
11.6 Glossary ... 47
12 メカニカル、パッケージ、および注文情報 ... 48

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

2017年5月1日発行分から2017年6月9日発行分への変更 **Page**

- 車載用データシートをこの商業用データシートから分離して 変更 ... 1
- 24ピンのHTTSOPパッケージ・オプション 追加 ... 1
- WEBENCHへのリンク 追加 ... 1
- Added 24-HTSSOPのピン構成 ... 4
- Added 24-HTSSOPの機能 ... 5
- Changed UVLO値 ... 6
- Changed VCCの値 ... 6
- Changed 1つのNC値を ... 6
- Changed アウトレットから接点に ... 6
- Added LM5122Zの型番 ... 6
- Changed 20-HTSSOPの熱に関する情報を変更、24-HTSSOPの熱の値を追加 ... 7
- Added I_{CSP} –I_{CSN} (LM5122Zのみ)仕様 ... 10
- Added 無負荷、50%から50%へ（LM5122Zのみ）の仕様 ... 12
- Added 24ピンHTSSOP ... 16
- Added 負から正への変換の例 ... 36

Revision F (May 2015) から Revision G に変更 **Page**

- 車載用ESDの特長 追加 ... 1
- Added 段落および2番目の式 ... 24
- Changed 式 ... 24

Revision E (September 2014) から Revision F に変更 **Page**

- Changed「取り扱い定格」を「*ESD定格*」に変更、保管温度を「*絶対最大定格*」に移動 ... 6
- Added「*電流センス抵抗R_S*」の数式*28*の*Ω*記号を ... 39
- Changed「*電流センス抵抗R_S*」の数式*29*の*Ω*記号に合わせて誤字を ... 39

Copyright © 2013–2017, Texas Instruments Incorporated

Revision D (August 2013) から **Revision E** に変更 **Page**

- 「*ピン構成および機能*」セクション、「*取り扱い定格*」表、「*機能説明*」セクション、「*デバイスの機能モード*」セクション、「*アプリケーションと実装*」セクション、「*電源に関する推奨事項*」セクション、「*レイアウト*」セクション、「*デバイスおよびドキュメントのサポート*」セクション、「*メカニカル、パッケージ、および注文情報*」セクション 追加 1

Revision C (May 2013) から **Revision D** に変更 **Page**

- Changed 5kΩから20kΩに 9
- Changed C_{COMP}からC_{HF}に 44

Revision B (May 2013) から **Revision C** に変更 **Page**

- Deleted パッケージについての付録 46

Revision A (March 2013) から **Revision B** に変更 **Page**

- Deleted 「製品情報」表 5

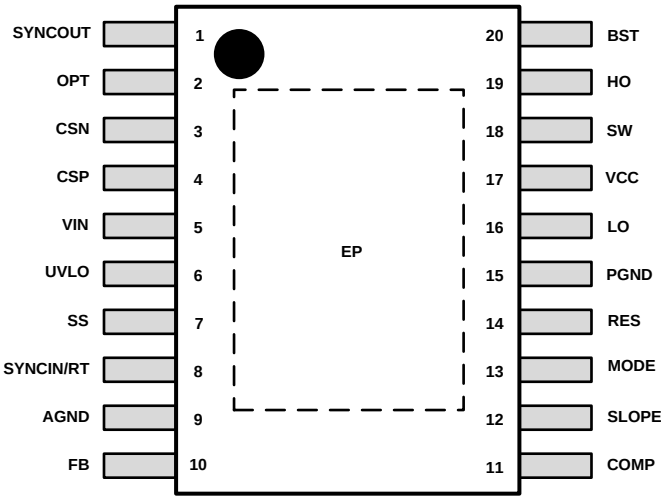
2013年2月発行のものから更新 **Page**

- 完全なデータシートのリリース 5

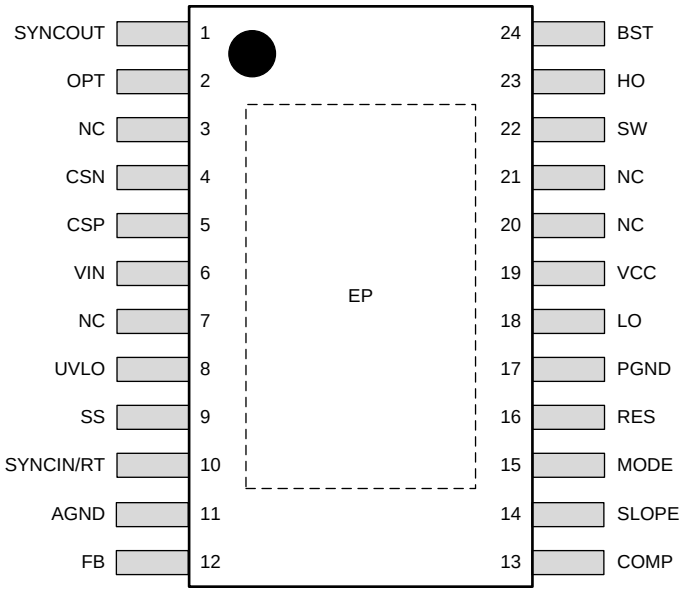
Copyright © 2013–2017, Texas Instruments Incorporated

5 ピン構成および機能

PWPパッケージ
20ピンHTSSOP、露出パッド付き
上面図



PWPパッケージ
24ピンHTSSOP、露出パッド付き
上面図



Copyright © 2013–2017, Texas Instruments Incorporated

ピン機能

ピン			種類(1)	説明
名前	24ピン	20ピン		
AGND	11	9	G	アナログ・グランド接続。内部基準電圧およびアナログ回路のリターンです。
BST	24	20	P	ブートストラップ・ゲート駆動のハイサイド・ドライバ電源。外付けブートストラップ・ダイオードのカソードと、ブートストラップ・コンデンサに接続します。ブートストラップ・コンデンサは、ハイサイドNチャネルMOSFETのゲートを充電する電流を供給するもので、可能な限りコントローラの近くに配置します。内部BSTチャージ・ポンプは、ブートストラップ・コンデンサにバイパス動作用の電流200µAを供給します。
COMP	13	11	O	内部のエラー・アンプの出力。このピンとFBピンとの間に、ループ補償回路を接続します。
CSN	4	3	I	電流センス・アンプの反転入力。電流センス抵抗の負の側に接続します。
CSP	5	4	I	電流センス・アンプの非反転入力。電流センス抵抗の正の側に接続します。
FB	12	10	I	帰還。内部エラー・アンプの反転入力。出力からこのピンへの分圧抵抗により、出力電圧レベルが設定されます。FBピンのレギュレーション・スレッショルドは1.2Vです。最初の電源オン時にFBピンの電圧が2.7Vよりも高い場合、コントローラはスレーブ・モードとして構成されます。
HO	23	19	O	ハイサイドNチャネルMOSFETのゲート駆動出力。短い低インダクタンスのパスを通して、ハイサイドの同期整流NチャネルMOSFETスイッチのゲートに接続します。
LO	18	16	O	ローサイドNチャネルMOSFETのゲート駆動出力。短い低インダクタンスのパスを通して、ローサイドのNチャネルMOSFETスイッチのゲートに接続します。
MODE	15	13	I	スイッチング・モードの選択ピン。700kΩのプルアップおよび100kΩのプルダウン抵抗により、MODEピンは内部的にデフォルトで0.15Vに保持されます。外付けのプルアップまたはプルダウン抵抗を追加して、MODEピンの電圧をプログラムできます。MODEピンの電圧が、ダイオード・エミュレーション・モードのスレッショルドである1.2Vよりも高い場合、強制PWMモードが有効になり、電流はハイサイドNチャネルMOSFETスイッチを経由して、どちらの方向にも流れるようになります。MODEピンの電圧が1.2Vよりも低い場合、コントローラはダイオード・エミュレーション・モードで動作します。スキップ・サイクル・コンパレータはデフォルトでアクティブになります。MODEピンがグランドに接続されている場合、コントローラは依然としてダイオード・エミュレーション・モードで動作しますが、通常動作ではスキップ・サイクル・コンパレータはトリガされず、軽負荷時のパルス・スキップ動作が可能になります。
OPT	2	2	I	クロック同期選択ピン。このピンにより、マスタ/スレーブ構成に関連するSYNCOUTも有効/無効になります。OPTピンはフローティング状態のままにしないでください。
PGND	17	15	G	ローサイドNチャネルMOSFETゲート・ドライバのパワー・グランド接続ピン。ローサイドNチャネルMOSFETスイッチのソース端子に直接接続します。
RES	16	14	O	外部コンデンサの再起動タイマ・ピンで、過負荷状況でのヒカップ・モードのオフ時間と再起動遅延時間を設定します。ヒカップ・モードの動作が必要でない場合は、AGNDに直接接続します。
SLOPE	14	12	I	勾配補償は、SLOPEとAGNDとの間の単一の抵抗によりプログラムされます。
SS	9	7	I	ソフトスタート・プログラミング・ピン。外付けコンデンサと内部の10µA電流ソースにより、ソフトスタート時の内部エラー・アンプ・リファレンスのランプ・レートが設定されます。
SW	22	18	I/O	昇圧レギュレータのスイッチング・ノード。短い低インダクタンスのパスにより、ブートストラップ・コンデンサ、ハイサイドNチャネルMOSFETスイッチのソース端子、ローサイドNチャネルMOSFETスイッチのドレイン端子に接続します。
SYNCIN/RT	10	8	I	内部発振器の周波数は、RTとAGNDとの間の単一の抵抗によりプログラムされます。内部発振器は、このSYNCINピンに正のパルス信号を印加することで、外部クロックと同期できます。マスタ構成で推奨される最大の内部発振器の周波数は2MHzで、最大スイッチング周波数は1MHzになります。
SYNCOUT	1	1	O	クロック出力ピン。SYNCOUTは、180°シフトしたクロック出力を、インターリーブ動作用に供給します。SYNCOUTを使用しないときは、フローティング状態のままでかまいません。「*スレーブ・モードとSYNCOUT*」セクションを参照してください。

(1) G = グランド、I = 入力、O = 出力、P = 電源

Copyright © 2013–2017, Texas Instruments Incorporated

ピン機能 (continued)

ピン			種類(1)	説明
名前	24ピン	20ピン		
UVLO	8	6	I	低電圧誤動作防止のプログラム用ピン。UVLOピンが0.4Vよりも低い場合、レギュレータはシャットダウン・モードになり、すべての機能が無効です。UVLOピンの電圧が0.4Vよりも高く、1.2Vよりも低い場合、レギュレータはスタンバイ・モードになり、VCCレギュレータは動作しますが、HOおよびLO出力でスイッチングは行われません。UVLOピンの電圧が1.2Vよりも高い場合、スタートアップ・シーケンスが開始されます。UVLOが1.2Vよりも高いとき、UVLOピンで10μAの電流ソースが有効になり、外付けのUVLO抵抗を流れて、ヒステリシスを提供します。UVLOピンはフローティング状態のままにしないでください。
VCC	19	17	P/O/I	VCCバイアス電源ピン。低ESR/ESLのコンデンサを、可能な限りコントローラの近くに配置することで、PGNDへローカルにデカップリングします。
VIN	6	5	P/I	VCCレギュレータの電源電圧入力ソース。短い低インピーダンスのパスを使用して、入力コンデンサおよびソース電源接続と接続します。
EP		EP	N/A	パッケージの露出パッド。内部で電気的に接続されていません。熱抵抗を減らすため、大きなグランド・プレーンに半田付けする必要があります。
NC	3、7、20、21	—		電気的接続なし

6 仕様

6.1 絶対最大定格

動作温度範囲内（特に記述のない限り）(1)

		MIN	MAX	UNIT
入力	VIN、CSP、CSN	-0.3	75	V
	BSTからSWへ、FB、MODE、UVLO、OPT、VCC(2)	-0.3	15	V
	SW	-5	105	V
	BST	-0.3	115	V
	SS、SLOPE、SYNCIN/RT	–0.3	7	V
	CSPからCSNへ、PGND	–0.3	0.3	V
出力(3)	HOからSWへ	-0.3	BST ~ SW + 0.3	V
	LO	-0.3	VCC + 0.3	V
	COMP、RES、SYNCOUT	–0.3	7	V
熱特性	接合部温度	–40	150	°C
保管温度、T_{stg}		–55	150	°C

(1) *絶対最大定格*を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これらはストレスのみの定格で、これらの条件、または「*推奨動作条件*」に記載されている範囲を超えるいかなる条件においても、デバイスの正常な動作を示すものではありません。絶対最大定格の状態に長時間置くと、本製品の信頼性に影響を与えることがあります。特に記述のない限り、すべての電圧はAGNDピンを規準とします。
(2) 入力電源電圧がVCC電圧よりも低い場合には、「*アプリケーションと実装*」を参照してください。
(3) すべての出力ピンに対して外部電圧の印加の仕様は規定されていません。

6.2 ESD定格: LM5122、LM5122Z

		VALUE	UNIT
$V_{(ESD)}$ 静電放電	人体モデル(HBM)、JESD22-A114準拠 (1)	±2000	V
	デバイス帯電モデル(CDM)、JESD22-C101準拠 (2)	±1000	

(1) JEDECのドキュメントJEP155に、500V HBMでは標準のESD管理プロセスで安全な製造が可能であると規定されています。
(2) JEDECのドキュメントJEP157に、250V CDMでは標準のESD管理プロセスで安全な製造が可能であると規定されています。

Copyright © 2013–2017, Texas Instruments Incorporated

6.3 推奨動作条件

自由通気で動作温度範囲内(特に記述のない限り)(1)

		MIN	MAX	UNIT
入力電源電圧(2)	VIN	4.5	65	V
ローサイド・ドライバのバイアス電圧	VCC		14	V
ハイサイド・ドライバのバイアス電圧	BSTからSWへ	3.8	14	V
電流センスの同相範囲(2)	CSP、CSN	3	65	V
スイッチ・モード電圧	SW		100	V
接合部温度、T_J		–40	125	°C

(1) 推奨動作条件は、デバイスが正常に動作すると想定される条件ですが、特定の性能制限を保証するものではありません。
(2) VINの最低動作電圧は常に4.5Vです。入力電源の最低電圧は、利用可能な外部ソースからVIN電圧が供給されていると想定して、スタートアップ後には3Vにできます。

6.4 熱に関する情報

熱指標		LM5122、LM5122Z		UNIT
		PWP		
		20ピン	24ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	36	32.4	°C/W
$R_{\theta JC(top)}$	接合部からケース(上面)への熱抵抗	20.1	15.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	16.8	7.5	°C/W
ψ_{JT}	接合部から上面への熱特性	0.4	0.2	°C/W
ψ_{JB}	接合部から基板への熱特性	16.7	7.7	°C/W
$R_{\theta JC(bot)}$	接合部からケース(底面)への熱抵抗	1.7	1.1	°C/W

6.5 電気的特性

特に記述のない限り、これらの仕様は-40°C ≤ T_J ≤ +125°C、V_{VIN} = 12V、V_{VCC} = 8.3V、R_T = 20kΩで、LOおよびHOが無負荷のときに適用されます。標準値は、T_J = 25°Cでの最も一般的なパラメータ基準値を表し、参考目的にのみ提供されています。

パラメータ		テスト条件	MIN	TYP	MAX	UNIT
VIN電源						
$I_{SHUTDOWN}$	VINのシャットダウン電流	V_{UVLO} = 0V		9	17	µA
I_{BIAS}	VINの動作電流（RT抵抗への電流を除く）	V_{UVLO} = 2V、非スイッチング		4	5	mA
VCCレギュレータ						
$V_{CC(REG)}$	VCCレギュレーション	無負荷	6.9	7.6	8.3	V
	VCCドロップアウト（VINからVCCへ）	V_{VIN} = 4.5V、外部負荷なし			0.25	V
		V_{VIN} = 4.5V、I_{VCC} = 25mA		0.28	0.5	V
	VCCのソース電流制限	V_{VCC} = 0V	50	62		mA
I_{VCC}	VCCの動作電流（RT抵抗への電流を除く）	V_{VCC} = 8.3V		3.5	5	mA
		V_{VCC} = 12V		4.5	8	mA
	VCC低電圧スレッショルド	VCC立ち上がり、V_{VIN} = 4.5V	3.9	4	4.1	V
		VCC立ち下がり、V_{VIN} = 4.5V			3.7	V
	VCC低電圧ヒステリシス			0.385		V
低電圧誤動作防止						
	UVLOスレッショルド	UVLO立ち上がり	1.17	1.2	1.23	V
	UVLOヒステリシス電流	V_{UVLO} = 1.4V	7	10	13	µA
	UVLOスタンバイ・イネーブル・スレッショルド	UVLO立ち上がり	0.3	0.4	0.5	V
	UVLOスタンバイ・イネーブル・ヒステリシス			0.1	0.125	V

Copyright © 2013–2017, Texas Instruments Incorporated

電気的特性 (continued)

特に記述のない限り、これらの仕様は-40°C ≤ T_J ≤ +125°C、V_{VIN} = 12V、V_{VCC} = 8.3V、R_T = 20kΩで、LOおよびHOが無負荷のときに適用されます。標準値は、T_J = 25°Cでの最も一般的なパラメータ基準値を表し、参考目的にのみ提供されています。

パラメータ		テスト条件	MIN	TYP	MAX	UNIT
モード						
	ダイオード・エミュレーション・モードのスレッショルド	MODE立ち上がり	1.2	1.24	1.28	V
	ダイオード・エミュレーション・モードのヒステリシス			0.1		V
	デフォルトのMODE電圧		145	155	170	mV
	デフォルトのスキップ・サイクルのスレッショルド	COMP立ち上がり、COMPで測定		1.290		V
		COMP立ち下がり、COMPで測定		1.245		V
	スキップ・サイクルのヒステリシス	COMPで測定		40		mV
エラー・アンプ						
V_{REF}	FB基準電圧	FBで測定、V_{FB} = V_{COMP}	1.188	1.2	1.212	V
	FB入力バイアス電流	V_{FB} = V_{REF}		5		nA
V_{OH}	COMP出力のHIGH電圧	I_{SOURCE} = 2mA、V_{VCC} = 4.5V	2.75			V
		I_{SOURCE} = 2mA、V_{VCC} = 12V	3.4			V
V_{OL}	COMP出力のLOW電圧	I_{SINK} = 2mA			0.25	V
A_{OL}	DCゲイン			80		dB
f_{BW}	ユニティ・ゲイン帯域幅			3		MHz
	スレーブ・モード・スレッショルド	FB立ち上がり		2.7	3.4	V
発振器						
f_{SW1}	スイッチング周波数1	R_T = 20kΩ	400	450	500	kHz
f_{SW2}	スイッチング周波数2	R_T = 10kΩ	775	875	975	kHz
	RT出力電圧			1.2		V
	RT同期の立ち上がりスレッショルド	RT立ち上がり		2.5	2.9	V
	RT同期の立ち下がりスレッショルド	RT立ち下がり	1.6	2		V
	最小同期パルス幅		100			ns
SYNCOUT						
	SYNCOUTのHIGH状態電圧	$I_{SYNCOUT}$ = -1mA	3.3	4.3		V
	SYNCOUTのLOW状態電圧	$I_{SYNCOUT}$ = 1mA		0.15	0.25	V
OPT						
	同期選択のスレッショルド	OPT立ち上がり	2	3	4	V
勾配補償						
	SLOPE出力電圧		1.17	1.2	1.23	V
V_{SLOPE}	勾配補償の振幅	R_{SLOPE} = 20kΩ、f_{SW} = 100kHz、50%のデューティ・サイクル、T_J = -40°C ~ 125°C	1.375	1.65	1.925	V
		R_{SLOPE} = 20kΩ、f_{SW} = 100kHz、50%のデューティ・サイクル、T_J = 25°C	1.4	1.65	1.9	V
ソフトスタート						
$I_{SS-SOURCE}$	SS電流ソース	V_{SS} = 0V	7.5	10	12	µA
	SS放電スイッチR_{DS-ON}			13		Ω
PWMコンパレータ						
t_{LO-OFF}	強制LOオフ時間	V_{VCC} = 5.5V		330	400	ns
		V_{VCC} = 4.5V		560	750	ns

Copyright © 2013–2017, Texas Instruments Incorporated

電気的特性 (continued)

特に記述のない限り、これらの仕様は-40°C ≤ T_J ≤ +125°C、V_{VIN} = 12V、V_{VCC} = 8.3V、R_T = 20kΩで、LOおよびHOが無負荷のときに適用されます。標準値は、T_J = 25°Cでの最も一般的なパラメータ基準値を表し、参考目的にのみ提供されています。

パラメータ		テスト条件	MIN	TYP	MAX	UNIT
t_{ON-MIN}	最小LOオン時間	R_{SLOPE} = 20kΩ		150		ns
		R_{SLOPE} = 200kΩ		300		ns
	COMPからPWMへの電圧降下	T_J = -40°C ~ 125°C	0.95	1.1	1.25	V
		T_J = 25°C	1	1.1	1.2	V

Copyright © 2013–2017, Texas Instruments Incorporated

電気的特性 (continued)

特に記述のない限り、これらの仕様は-40°C ≤ T_J ≤ +125°C、V_{VIN} = 12V、V_{VCC} = 8.3V、R_T = 20kΩで、LOおよびHOが無負荷のときに適用されます。標準値は、T_J = 25°Cでの最も一般的なパラメータ基準値を表し、参考目的にのみ提供されています。

パラメータ		テスト条件	MIN	TYP	MAX	UNIT
電流センス/サイクル単位の電流制限						
V_{CS-TH1}	サイクル単位の電流制限のスレッショルド	CSPからCSNへ、T_J = -40°C ~ 125°C	65.5	75	87.5	mV
		CSPからCSNへ、T_J = 25°C	67	75	86	mV
V_{CS-ZCD}	ゼロ・クロス検出のスレッショルド	CSPからCSNへ、立ち上がり		7		mV
		CSPからCSNへ、立ち下がり	0.5	6	12	mV
	電流センス・アンプのゲイン			10		V/V
I_{CSP}	CSP入力バイアス電流			12		µA
I_{CSN}	CSN入力バイアス電流			11		µA
	バイアス電流マッチング	$I_{CSP} – I_{CSN}$	-1.75	1	3.75	µA
		$I_{CSP} – I_{CSN}$ (LM5122Zのみ)	-2.5	1	8.75	
	CSからLOへの遅延	電流センス/電流制限遅延		150		ns
ヒカップ・モードでの再起動						
V_{RES}	再起動スレッショルド	RESの立ち上がり	1.15	1.2	1.25	V
$V_{HCP-UPPER}$	ヒカップ・カウンタの上限スレッショルド	RESの立ち上がり		4.2		V
		RESの立ち上がり、V_{VIN} = V_{VCC} = 4.5V		3.6		V
$V_{HCP-LOWER}$	ヒカップ・カウンタの下限スレッショルド	RESの立ち下がり		2.15		V
		RESの立ち下がり、V_{VIN} = V_{VCC} = 4.5V		1.85		V
$I_{RES-SOURCE1}$	RES電流ソース1	フォルト状態の充電電流	20	30	40	µA
$I_{RES-SINK1}$	RES電流シンク1	通常状態の放電電流		5		µA
$I_{RES-SOURCE2}$	RES電流ソース2	ヒカップ・モードのオフ時間充電電流		10		µA
$I_{RES-SINK2}$	RES電流シンク2	ヒカップ・モードのオフ時間放電電流		5		µA
	ヒカップ・サイクル			8		Cycles
	RES放電スイッチR_{DS-ON}			40		Ω
	ヒカップ・モードのオフ時間と再起動遅延時間の比			122		
HOゲート・ドライバ						
V_{OHH}	HOのHIGH状態での電圧降下	I_{HO} = -100mA、V_{OHH} = V_{BST} - V_{HO}		0.15	0.24	V
V_{OLH}	HOのLOW状態での電圧降下	I_{HO} = 100mA、V_{OLH} = V_{HO} - V_{SW}		0.1	0.18	V
	HO立ち上がり時間 (10%から90%へ)	C_{LOAD} = 4700pF、V_{BST} = 12V		25		ns
	HO立ち下がり時間 (90%から10%へ)	C_{LOAD} = 4700pF、V_{BST} = 12V		20		ns
I_{OHH}	ピークHOソース電流	V_{HO} = 0V、V_{SW} = 0V、V_{BST} = 4.5V		0.8		A
		V_{HO} = 0V、V_{SW} = 0V、V_{BST} = 7.6V		1.9		A
I_{OLH}	ピークHOシンク電流	V_{HO} = V_{BST} = 4.5V		1.9		A
		V_{HO} = V_{BST}= 7.6V		3.2		A
I_{BST}	BSTチャージ・ポンプのソース電流	V_{VIN} = V_{SW} = 9V、V_{BST} - V_{SW} = 5V	100	200		µA
	BSTチャージ・ポンプのレギュレーション	B_{ST}からSWへ、I_{BST}= -70µA、V_{VIN} = V_{SW} = 9V	5.3	6.2	6.75	V
		B_{ST}からSWへ、I_{BST}= -70µA、V_{VIN} = V_{SW} = 12V	7	8.5	9	V
	BSTからSWへの低電圧		2	3	3.5	V

Copyright © 2013–2017, Texas Instruments Incorporated

電気的特性 (continued)

特に記述のない限り、これらの仕様は-40°C ≤ T_J ≤ +125°C、V_{VIN} = 12V、V_{VCC} = 8.3V、R_T = 20kΩで、LOおよびHOが無負荷のときに適用されます。標準値は、T_J = 25°Cでの最も一般的なパラメータ基準値を表し、参考目的にのみ提供されています。

パラメータ	テスト条件	MIN	TYP	MAX	UNIT
BST DCバイアス電流	V_{BST} - V_{SW} = 12V、V_{SW} = 0V		30	45	µA

Copyright © 2013–2017, Texas Instruments Incorporated

電気的特性 (continued)

特に記述のない限り、これらの仕様は-40°C ≤ T_J ≤ +125°C、V_{VIN} = 12V、V_{VCC} = 8.3V、R_T = 20kΩで、LOおよびHOが無負荷のときに適用されます。標準値は、T_J = 25°Cでの最も一般的なパラメータ基準値を表し、参考目的にのみ提供されています。

パラメータ		テスト条件	MIN	TYP	MAX	UNIT
LOゲート・ドライバ						
V_{OHL}	LOのHIGH状態での電圧降下	I_{LO} = -100mA、V_{OHL} = V_{VCC} - V_{LO}		0.15	0.25	V
V_{OLL}	LOのLOW状態での電圧降下	I_{LO} = 100mA、V_{OLL} = V_{LO}		0.1	0.17	V
	LO立ち上がり時間（10%から90%へ）	C_{LOAD} = 4700pF		25		ns
	LO立ち下がり時間（90%から10%へ）	C_{LOAD} = 4700pF		20		ns
I_{OHL}	ピークLOソース電流	V_{LO} = 0V、V_{VCC} = 4.5V		0.8		A
		V_{LO} = 0V		2		A
I_{OLL}	ピークLOシンク電流	V_{LO} = V_{VCC} = 4.5V		1.8		A
		V_{LO} = V_{VCC}		3.2		A
スイッチング特性						
t_{DLH}	LOの立ち下がりからHOの立ち上がりまでの遅延	無負荷、50%から50%へ	50	80	115	ns
		無負荷、50%から50%へ（LM5122Zのみ）	50	80	145	
t_{DHL}	HOの立ち下がりからLOの立ち上がりまでの遅延	無負荷、50%から50%へ	60	80	105	ns
熱特性						
T_{SD}	サーマル・シャットダウン	温度上昇		165		°C
	サーマル・シャットダウンのヒステリシス			25		°C

Copyright © 2013–2017, Texas Instruments Incorporated

6.6 代表的特性

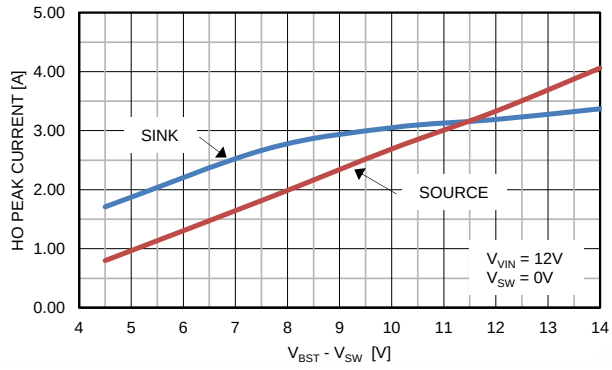


Figure 1. HOピーク電流とV_{BST} - V_{SW}との関係

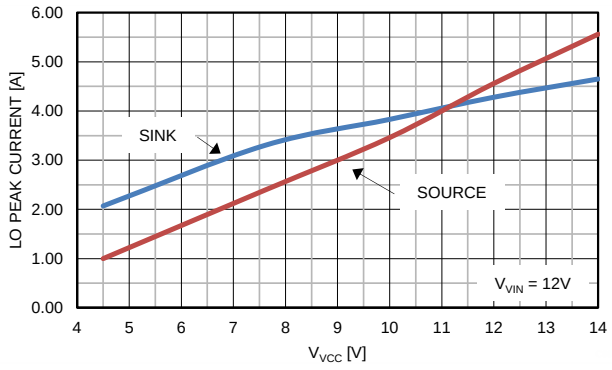


Figure 2. LOピーク電流とV_{VCC}との関係

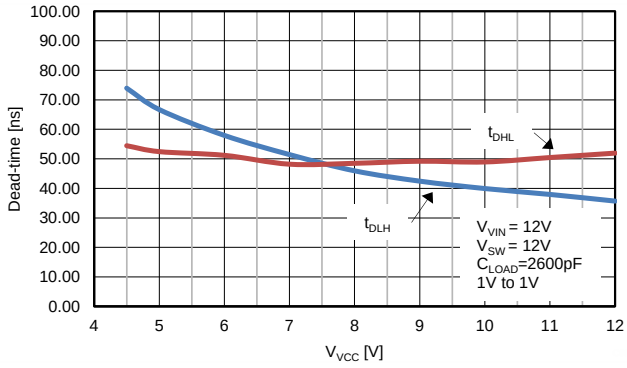


Figure 3. デッド・タイムとV_{VCC}との関係

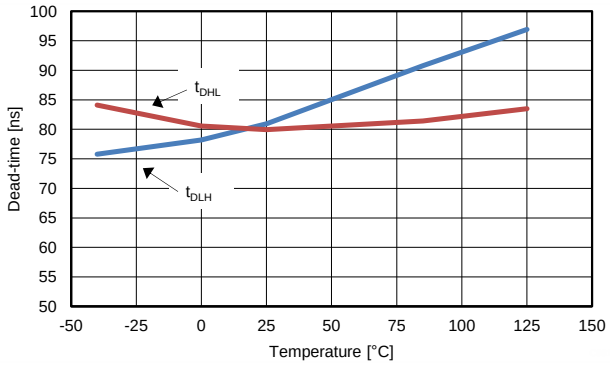


Figure 4. デッドタイムと温度との関係

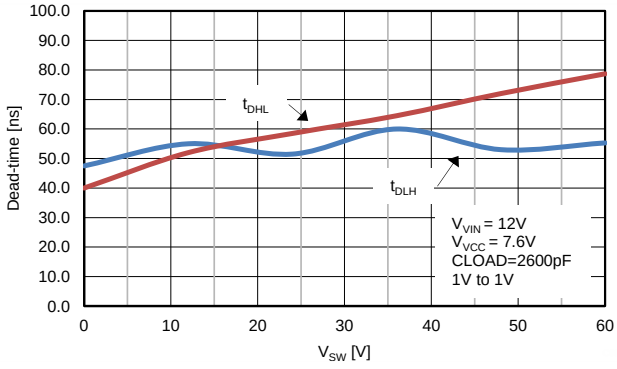


Figure 5. デッド・タイムとV_{SW}との関係

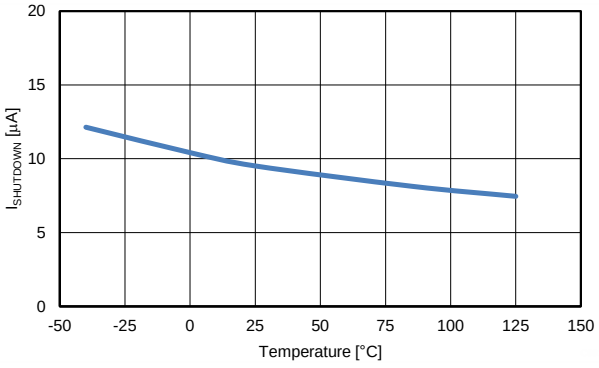


Figure 6. $I_{SHUTDOWN}$と温度との関係

Copyright © 2013–2017, Texas Instruments Incorporated

代表的特性 (continued)

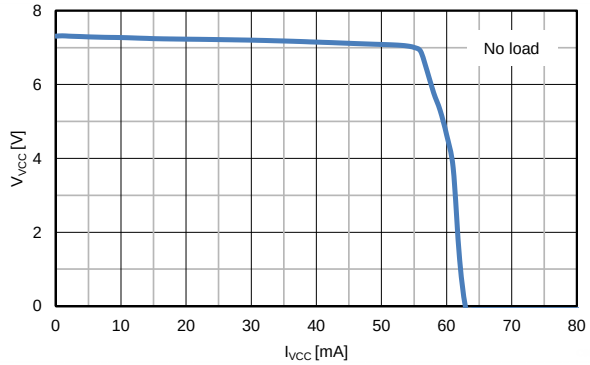


Figure 7. V_{CC}とI_{CC}との関係

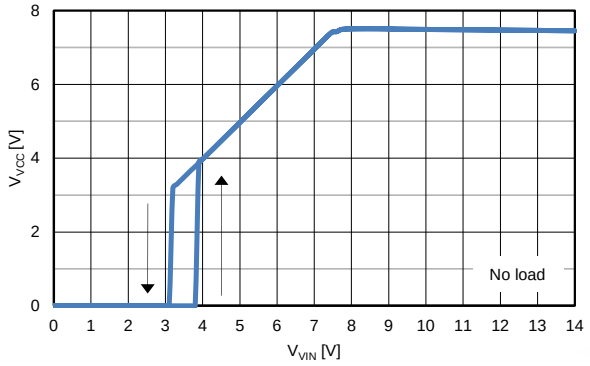


Figure 8. V_{CC}とV_{VIN}との関係

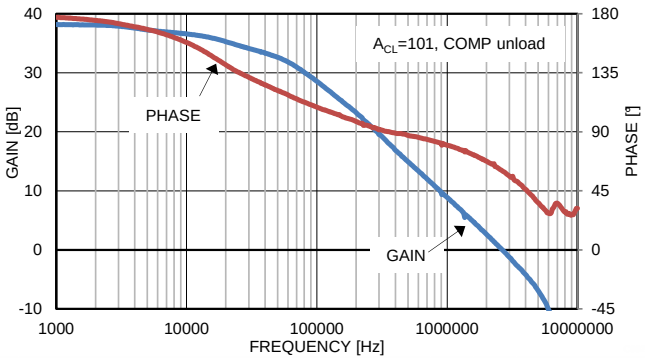


Figure 9. エラー・アンプのゲインおよび位相と周波数との関係

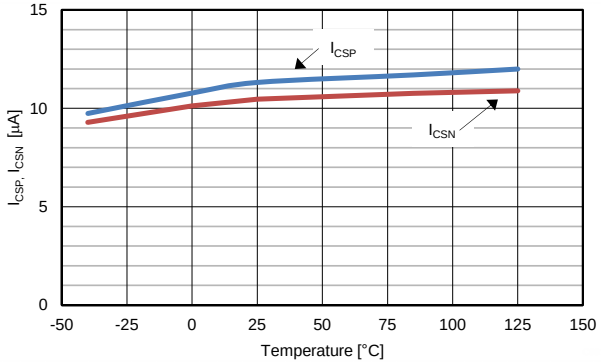


Figure 10. I_{CSP}、I_{CSN}と温度との関係

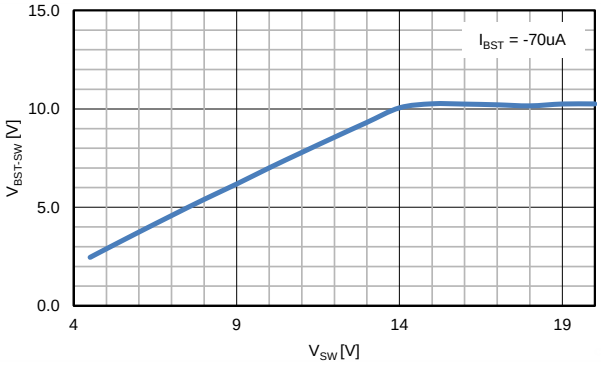


Figure 11. V_{BST-SW}とV_{SW}との関係

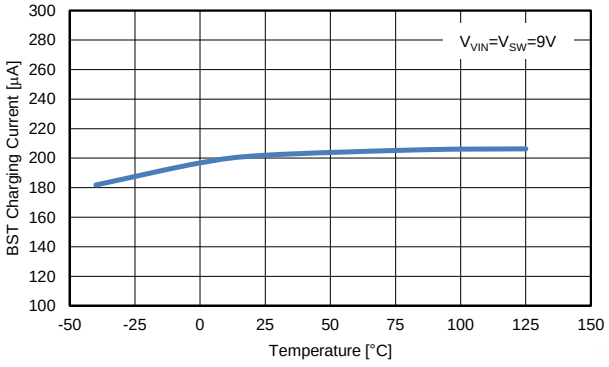


Figure 12. I_{BST}と温度との関係

Copyright © 2013–2017, Texas Instruments Incorporated

代表的特性 (continued)

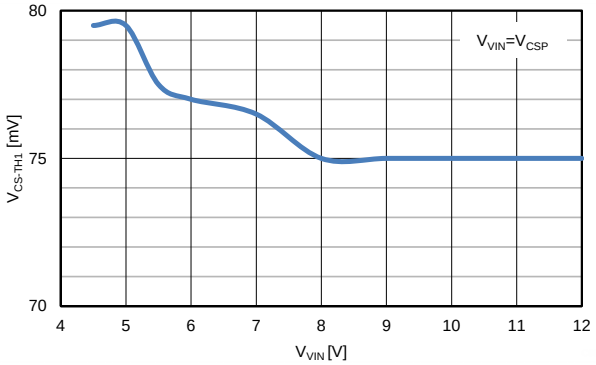


Figure 13. V_{CS-TH1}とV_{VIN}との関係

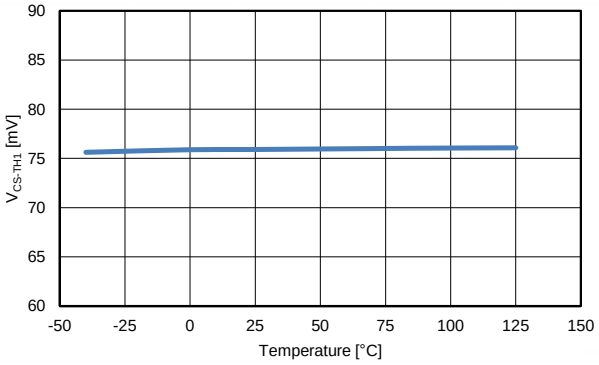


Figure 14. V_{CS-TH1}と温度との関係

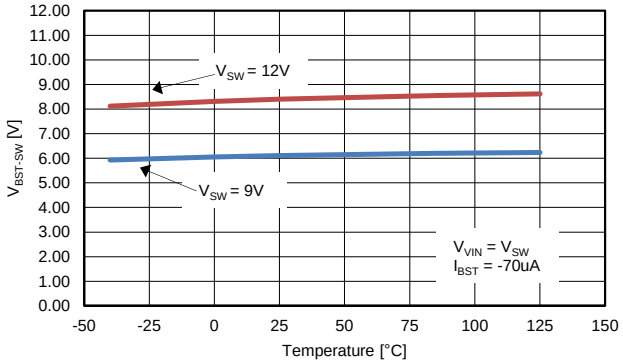


Figure 15. V_{BST-SW}と温度との関係

Copyright © 2013–2017, Texas Instruments Incorporated

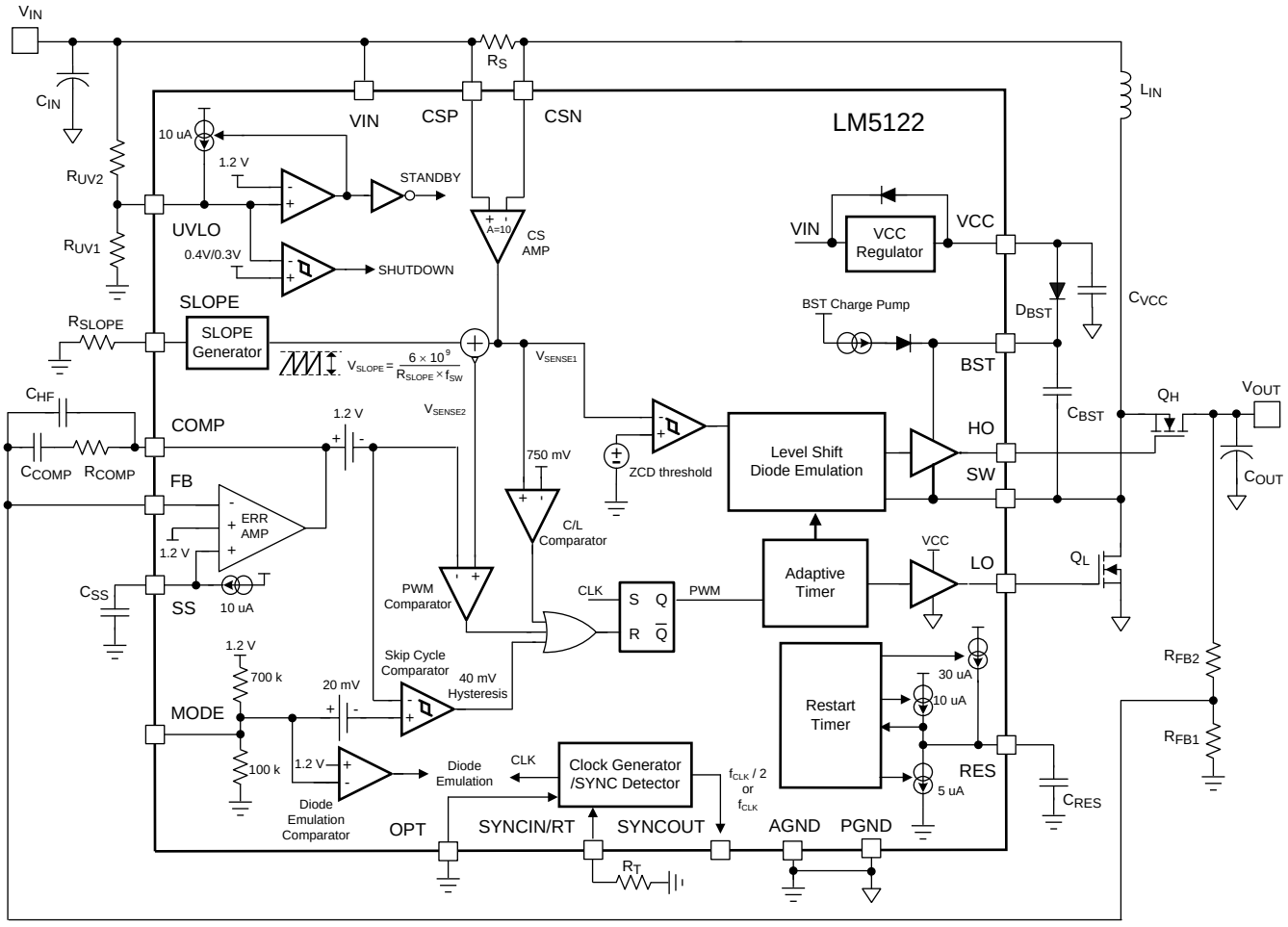
7 詳細説明

7.1 概要

LM5122は入力範囲の広い同期整流式昇圧コントローラで、効率の高い同期整流式昇圧レギュレータを実装するのに必要な、すべての機能が搭載されています。レギュレータの制御方法は、ピーク電流モード制御を基礎としています。ピーク電流モード制御は本質的にライン・フィードフォワードを備えるため、ループ補償が簡単になります。この高度に統合されたコントローラには、強力なハイサイドとローサイドのNチャネルMOSFETドライバが内蔵され、アダプティブ・デッドタイム制御が行われます。スイッチング周波数は、1つの抵抗によって最高1MHzまでの範囲でユーザーがプログラムでき、外部クロックにも同期できます。LM5122には180°シフトされてたクロック出力が用意され、マルチ位相構成を簡単に実現できます。

ハイサイド同期整流スイッチの制御モードは、強制PWM　(FPWM)またはダイオード・エミュレーション・モードに構成できます。フォルト保護機能として、サイクル単位の電流制限、ヒカップ・モードの過負荷保護、サーマル・シャットダウン、およびUVLOピンをプルダウンしてリモート・シャットダウンを行う機能が搭載されています。UVLO入力により、コントローラは入力電圧がユーザーにより選択されたスレッショルドに到達したとき動作可能になり、LOWのときはわずか9µAのシャットダウン時静止電流が流れます。このデバイスは、20および24ピンのHTSSOPパッケージで供給され、放熱を助けるため露出パッドが付属しています。

7.2 機能ブロック図



Copyright © 2017, Texas Instruments Incorporated

Copyright © 2013–2017, Texas Instruments Incorporated

7.3 機能説明

7.3.1 低電圧誤動作防止(UVLO)

LM5122には、デュアル・レベルのUVLO回路があります。UVLOピンがUVLOスタンバイ・イネーブル・スレッショルドの0.4Vよりも低い場合、LM5122はシャットダウン・モードになり、すべての機能が無効になります。移行中のチャタリングを避けるために、シャットダウン・コンパレータには0.1Vのヒステリシスがあります。電源オン時にUVLOピンの電圧が0.4Vよりも高く、1.2Vよりも低い場合、コントローラはスタンバイ・モードになり、VCCレギュレータは動作しますが、HOおよびLO出力でスイッチングは行われません。この機能により、外部のオープン・コレクタまたはオープン・ドレインのデバイスでUVLOピンをUVLOスタンバイ・イネーブル・スレッショルドより低くすることによって、UVLOピンをリモート・シャットダウン機能として使用できます。

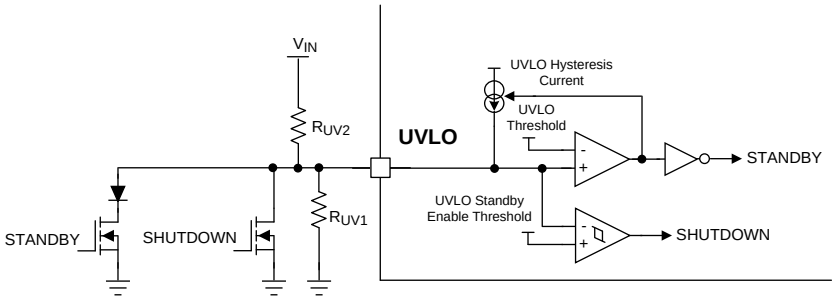


Figure 16. UVLOのリモート・スタンバイおよびシャットダウンの制御

UVLOピンの電圧がUVLOスレッショルドの1.2Vよりも高く、VCC電圧がVCC　UVスレッショルドを超えている場合、スタートアップ・シーケンスが開始されます。UVLOヒステリシスは内部の10µA電流ソースにより実現され、これはUVLO設定点分圧器のインピーダンスによってオンまたはオフされます。UVLOピンの電圧が1.2Vより高い場合、電流ソースがイネーブルになり、UVLOピンの電圧が急速に上昇します。UVLOピンの電圧がUVLOスレッショルドの1.2Vより低くなった場合、電流ソースがディセーブルになり、UVLOピンの電圧が急速に低下します。UVLOのヒステリシス電流ソースに加えて、UVLOトグルの立ち上がりと立ち下がりの両方のエッジには5µsのグリッチ除去フィルタがあり、電源オンまたはオフ時のチャタリングを防止します。

レギュレータの最低入力動作電圧を設定するため、電源とAGNDとの間に外付けUVLO設定点分圧器が使用されます。この分圧器は、入力電圧が望ましい動作範囲内にあるとき、UVLOピンの電圧が1.2Vを超えるよう設計する必要があります。UVLOピンの最大電圧定格は15Vです。必要なら、外付けのツェナー・ダイオードでUVLOピンをクランプできます。UVLOピンはフローティング状態のままにしないでください。R_{UV1}とR_{UV2}の値は、Equation 1とEquation 2から決定できます。

$$R_{UV2} = \frac{V_{HYS}}{10\mu A}[\Omega] \quad (1)$$

$$R_{UV1} = \frac{1.2V \times R_{UV2}}{V_{IN(STARTUP)} - 1.2V}[\Omega] \quad (2)$$

ここで

- V_{HYS}は、目的のUVLOヒステリシスです。
- $V_{IN\ (STARTUP)}$は、電源オン時のレギュレータの目的のスタートアップ電圧です。

電源オフ時の標準的なシャットダウン電圧は、次のように計算できます。

$$V_{IN(SHUTDOWN)} = V_{IN(STARTUP)} - V_{HYS}[V] \quad (3)$$

7.3.2 高電圧VCCレギュレータ

LM5122には、内部に高電圧レギュレータが搭載されており、コントローラおよびNチャネルMOSFETドライバ用に、標準7.6VのVCCバイアス電源を供給します。VCCレギュレータの入力VINは、最高65Vの入力電圧ソースに接続できます。VCCレギュレータは、UVLOピンの電圧が0.4Vを超えたときにオンになります。入力電圧がVCCの設定点レベルより低くなると、VCC出力は小さなドロップアウト電圧によりVINをトラッキングします。VCCレギュレータの出力には、最小50mAの電流制限があります。

Copyright © 2013–2017, Texas Instruments Incorporated

機能説明 (continued)

電源オン時に、VCCレギュレータは、VCCピンに接続されているコンデンサに電流を供給します。TIでは、VCCコンデンサの容量範囲を1µF～47µFとし、C_{BST}の値の10倍以上にすることをお勧めします。6Vよりも低いVIN電圧で動作するとき、VCCコンデンサの値は4.7µF以上にする必要があります。

LM5122デバイス内部の電力消費は、外部電源からVCCを供給することで減らすことができます。外部のVCCバイアス電源が存在し、その電圧が9Vより高く、14.5Vより低い場合は、Figure 17に示すように、ダイオードを経由してVCCピンに直接、外部のVCCバイアス電源を印加できます。

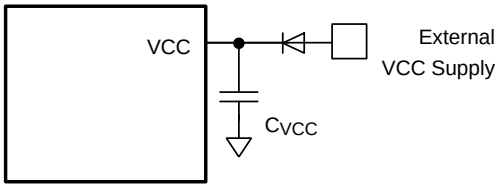


Figure 17. 9V < V_{EXT} < 14.5Vの外部バイアス電源

昇圧インダクタの追加巻線によりVCCバイアス電圧を引き出す方法を、Figure 18に示します。この回路は、VCC電圧をVCCレギュレーション電圧よりも高い値に昇圧し、内部VCCレギュレータをシャットオフするよう設計する必要があります。

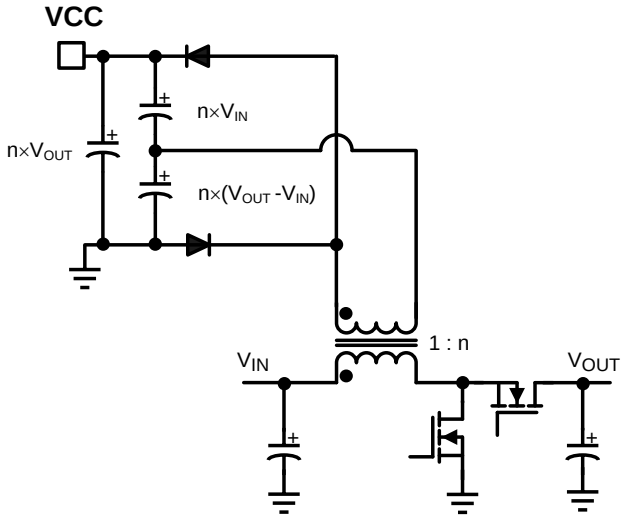


Figure 18. 変圧器を使用する外部バイアス電源

VCCレギュレータ・シリーズのパス・トランジスタには、VCCとVINとの間のダイオードが含まれます。このダイオードはFigure 19に示すように、通常動作において完全な順方向バイアスとなってはなりません。外部VCCバイアス電源の電圧が、VINピンの電圧よりも高い場合、外部バイアス電源からVCC経由で入力電源に電流が流れることを防止するため、入力電源からVINピンへの間に外付けのブロッキング・ダイオードが必要です。外部バイアス電源によってVCCが供給される場合、すべてのアプリケーションについて、ブロッキング・ダイオードが必要かどうかを評価します。特に、入力電源電圧が4.5Vよりも低い場合、外部VCC電源を供給し、外付けのブロッキング・ダイオードを接続する必要があります。

Copyright © 2013–2017, Texas Instruments Incorporated

機能説明 (continued)

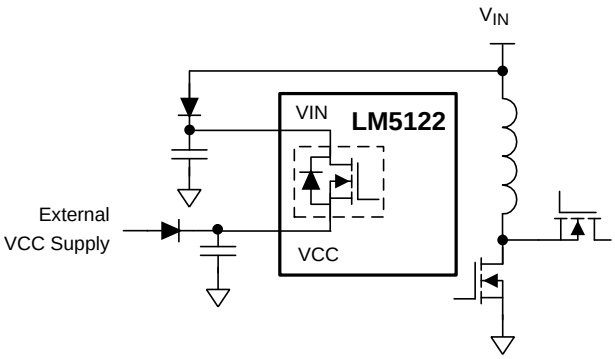


Figure 19. V_{VIN} < V_{VCC}のときのVIN構成

7.3.3 発振器

LM5122のスイッチング周波数は、RTピンとAGNDピンとの間に接続される、1つの外付け抵抗によってプログラムできます。この抵抗は、デバイスのごく近くに配置し、RTピンおよびAGNDピンに直接接続します。目的のスイッチング周波数(f_{SW})を設定するための抵抗値は、Equation 4で計算できます。

$$R_T = \frac{9 \times 10^9}{f_{SW}} [\Omega] \quad (4)$$

7.3.4 勾配補償

デューティ・サイクルが50%よりも大きい場合、ピーク電流モード・レギュレータは分数調波発振の影響を受けます。分数調波の発振には通常、広いデューティ・サイクルと狭いデューティ・サイクルが繰り返し観測されるという特徴があります。この分数調波の発振は、勾配補償と呼ばれる人工的なランプを、検出対象のインダクタ電流に追加する手法で除去できます。

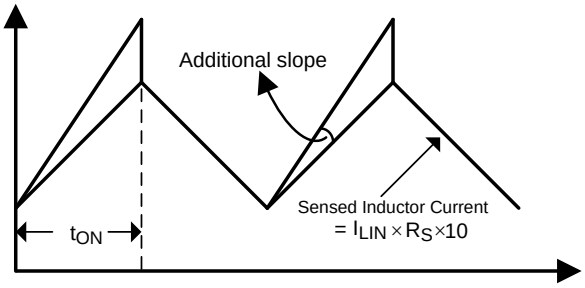


Figure 20. 勾配補償

勾配補償の量は、SLOPEピンとAGNDピンとの間に1つの抵抗を接続することでプログラムできます。勾配補償の量は次のように計算できます。

$$V_{SLOPE} = \frac{6 \times 10^9}{f_{SW} \times R_{SLOPE}} \times D' [V]$$

ここで

- $D' = 1 - \frac{V_{IN}}{V_{OUT}}$ (5)

機能説明 (continued)

R_{SLOPE}の値は、最小入力電圧時にEquation 6から決定できます。

$$R_{SLOPE} = \frac{L_{IN} \times 6 \times 10^9}{\left[K \times V_{OUT} - V_{IN(MIN)}\right] \times R_S \times 10} \left[\Omega\right] \quad (6)$$

ここで

- K=0.82～1がデフォルトです。

Equation 6から、入力範囲全体にわたるKは、次のように計算できます。

$$K = \left(1 + \frac{L_{IN} \times 6 \times 10^9}{V_{IN} \times R_S \times 10 \times R_{SLOPE}}\right) \times D' \quad (7)$$

ここで

- $D' = \frac{V_{IN}}{V_{OUT}}$

いずれの場合も、Kは最低でも0.5より大きくします。スイッチング周波数が500kHzを超える場合、内部遅延の関係で最小オン時間が勾配補償の量に影響を及ぼすため、K係数を1以上にすることをお勧めします。

負荷があるときに正しくスタートアップし、電流制限が正しく動作するよう、検出されるインダクタ電流と勾配補償の和は、COMPの出力HIGH電圧(V_{OH})より低くします。これにより、R_{SLOPE}の最小値は次のように制限されます。

$$R_{SLOPE} > \frac{5.7 \times 10^9}{f_{SW}} \times \left(1.2 - \frac{V_{IN(MIN)}}{V_{OUT}}\right) \left[\Omega\right]$$

- この式はほとんどの場合に使用できます。

$$R_{SLOPE} > \frac{8 \times 10^9}{f_{SW}} \left[\Omega\right]$$

- $V_{IN(MIN)}$ < 5.5Vの場合は、この控えめな式を使用します。

SLOPEピンはフローティング状態のままにしてはなりません。

7.3.5 エラー・アンプ

内部の高ゲインのエラー・アンプは、FBピンの電圧と、内部の高精度1.2V基準電圧との差に比例する誤差信号を生成します。エラー・アンプの出力はCOMPピンに接続されるため、ユーザーはType 2ループ補償回路を提供できます。

R_{COMP}、C_{COMP}、C_{HF}によってエラー・アンプのゲインと位相特性を設定し、安定した電圧ループを生み出します。この回路により、DCの極、位相ブースト用の中間バンドのゼロ(f_{Z_EA})、および高周波数の極(f_{P_EA})が生成されます。R_{COMP}の最小推奨値は2kΩです。「*帰還補償*」セクションを参照してください。

$$f_{Z_EA} = \frac{1}{2\pi \times R_{COMP} \times C_{COMP}} \left[Hz\right] \quad (9)$$

$$f_{P_EA} = \frac{1}{2\pi \times R_{COMP} \times \left(\frac{C_{COMP} \times C_{HF}}{C_{COMP} + C_{HF}}\right)} \left[Hz\right] \quad (10)$$

Copyright © 2013–2017, Texas Instruments Incorporated

機能説明 (continued)

7.3.6 PWMコンパレータ

PWMコンパレータは、検出されたインダクタ電流と勾配補償ランプとの和を、COMPからPWMへの1.2Vの内部電圧降下を経由したCOMPピンの電圧と比較し、検出されたインダクタ電流と勾配補償ランプとの和がV_{COMP} - 1.2Vより大きい場合、現在のサイクルを終了します。

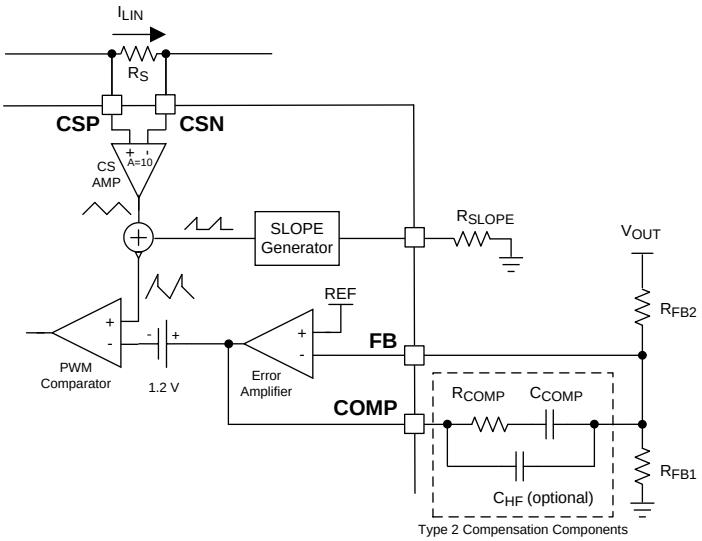


Figure 21. 帰還構成とPWMコンパレータ

7.3.7 ソフトスタート

ソフトスタート機能は、レギュレータを定常状態動作点へと徐々に到達させることで、スタートアップ時のストレスやサージを低減します。LM5122は、SSピンの電圧、または内部の1.2V基準電圧の、どちらか低い方に、FBピンを調整します。10µAの内部ソフトスタート電流ソースによって、SSピンに接続された外付けソフトスタート・コンデンサの電圧が徐々に上昇します。その結果、出力電圧は入力電圧レベルから目標出力電圧へと少しづつ上昇します。ソフトスタート時間(t_{SS})は入力電源電圧によって変化し、Equation 11で計算されます。

$$t_{SS} = \frac{C_{SS} \times 1.2V}{10\mu A} \times \left(1 - \frac{V_{IN}}{V_{OUT}}\right) [sec] \quad (11)$$

UVLOピンの電圧がUVLOスレッショルドの1.2Vよりも高く、VCC電圧がVCC UVスレッショルドを超えている場合、内部の10µAソフトスタート電流ソースがオンになります。このソフトスタート・シーケンスの開始時に、内部のSSプルダウン・スイッチにより、V_{SS}は25mVより低くなります。SSピンを外部スイッチによりプルダウンして、スイッチングを停止できますが、プルアップしてスイッチングを有効にすることは許可されません。スタートアップ遅延(Figure 22を参照)は、ハイサイドのブート・コンデンサが内部のBSTチャージ・ポンプによって完全に充電されるよう、十分な時間が必要です。

C_{SS}の値は、ソフトスタートの間に出力コンデンサを充電できるよう、十分に大きい必要があります。

$$C_{SS} > \frac{10\mu A \times V_{OUT}}{1.2V} \times \frac{C_{OUT}}{I_{OUT}} [F] \quad (12)$$

Copyright © 2013–2017, Texas Instruments Incorporated

機能説明 (continued)

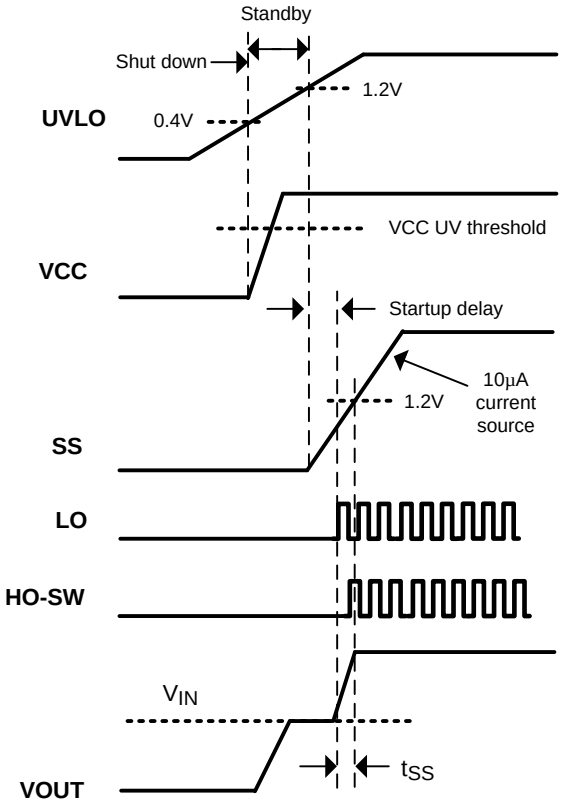


Figure 22. スタートアップ・シーケンス

7.3.8 HOおよびLOドライバ

LM5122には強力なNチャネルMOSFETゲート・ドライバと、関連付けされたハイサイドのレベル・シフタが内蔵されており、外部のNチャネルMOSFETスイッチを駆動します。ハイサイド・ゲート・ドライバは、外付けのブート・ダイオードD_{BST}およびブートストラップ・コンデンサC_{BST}との組み合わせで動作します。ローサイドNチャネルMOSFETドライバのオン時間の間、SWピンの電圧は約0Vで、C_{BST}はD_{BST}経由でVCCから充電されます。TIでは、0.1µF以上の容量のセラミック・コンデンサを、短い配線でBSTピンとSWピンとの間に接続することをお勧めします。

LOおよびHO出力はアダプティブ・デッド・タイム手法により制御されるため、両方の出力が同時に有効になることは絶対にないことが保証されます。コントローラからLOを有効するよう指示されると、アダプティブ・デッド・タイムのロジックにより、先にHOが無効になり、HO-SW電圧の低下を待ちます。その後、短い遅延（HO立ち下がりからLO立ち上がりまでの遅延）の後でLOが有効になります。同様に、HOのターンオンはLO電圧が放電されるまで遅延されます。続いて、短い遅延（LO立ち下がりからHO立ち上がりまでの遅延）の後でHOが有効になります。この方式により、どのようなサイズのNチャネルMOSFETデバイスでも、特にVCCがより高い電圧の外部ソースから給電される場合に、十分なデッド・タイムが保証されます。直列ゲート抵抗は実効デッド・タイムを減らす可能性があるため、追加するときには注意してください。

NチャネルMOSFETデバイスのスレッショルド電圧の選択には注意が必要です。特に、VIN電圧定格がVCCのレギュレーション・レベルより低い場合、またはバイパス動作が必要な場合は、注意してください。バイパス動作が必要な場合、特に出力電圧が12Vより低いときは、ハイサイドNチャネルMOSFETにロジック・レベル・デバイスを選択します。低い入力電圧でのスタートアップ時に、ローサイドNチャネルMOSFETスイッチのゲート・プラトー電圧は、NチャネルMOSFETデバイスを完全にエンハンスするのに十分である必要があります。ローサイドNチャネルMOSFETの駆動電圧が、スタートアップ時にローサイドNチャネルMOSFETデバイスのゲート・プラトー電圧よりも低い場合、レギュレータが正しくスタートアップせず、最大デューティ・サイクルで高い消費電力の状態のままになる可能性があります。この状況を回避するには、スレッショルドの低いNチャネルMOSFETスイッチを選択するか、UVLOピンの電圧プログラムにより$V_{IN\ (STARTUP)}$を増やします。

Copyright © 2013–2017, Texas Instruments Incorporated

機能説明 (continued)

7.3.9 バイパス動作(V_{OUT} = V_{IN})

LM5122では、入力電源電圧が目標出力電圧と等しい、またはより高い場合に、ハイサイド同期整流スイッチで100%デューティ・サイクルの動作が可能です。内部の200µA BSTチャージ・ポンプは、電力段スイッチングなしにハイサイドNチャネルMOSFETスイッチをオンに維持するため十分な、ハイサイド・ドライバ電源電圧を保持します。内部のBSTチャージ・ポンプは、UVLOピンの電圧が1.2Vより高く、VCC電圧がVCC UVスレッショルドを超えているときに有効になります。BSTチャージ・ポンプは、SW電圧が9Vより高いとき、BSTからSWへ最低5.3Vの電圧を生成します。これには、正しいバイパス動作のため最低9Vの昇圧出力電圧が必要です。ブート・ダイオードのリーク電流は、低温と高温の両方で十分なドライバの電源電圧を維持するため、常にBSTチャージ・ポンプのソース電流より小さいことが必要です。バイパス動作が必要なとき、PWM構成は強制PWMモードにすることをお勧めします。

7.3.10 サイクル単位の電流制限

LM5122にはサイクル単位のピーク電流制限機能があります。CSPからCSNへの電圧がサイクル単位の電流制限スレッショルドである75mVを超える場合、電流制限コンパレータにより、LO出力がただちに停止されます。

インダクタ電流のオーバーシュートの可能性がある、たとえばインダクタ飽和の場合、電流制限コンパレータは、電流制限スレッショルド未満に電流が減衰するまで、パルスをスキップします。電流制限内のピーク・インダクタ電流は、次のように計算できます。

$$I_{PEAK(CL)} = \frac{75mV}{R_S}[A] \quad (13)$$

7.3.11 クロック同期

SYNCIN/RTピンを使用して、内部発振器と外部クロックとを同期できます。内部の同期パルス検出器で認識されるためには、RTピンに入力される立ち上がり同期クロックが、RT同期の立ち上がりスレッショルドを超え、立ち下がり同期クロックがRT同期の立ち下がりスレッショルドを超える必要があります。

マスタ1モードでは、クロック同期に2種類の構成が許されます。Figure 23の構成では、外部同期パルス周波数として、RT抵抗によりプログラムされる内部発振器周波数の+40%から-20%までの範囲が推奨されます。たとえば、マスタ1モードで450kHzのスイッチングを行う場合、900kHzの外部同期クロックと、20kΩのRT抵抗が必要です。内部発振器は、立ち上がりエッジをRTピンにACカップリングすることで同期できます。5V振幅のパルス信号と100pFコンデンサのカップリングが、開始点として適切です。Figure 23の構成では、発振器がフリーランニングか、外部から同期されているかにかかわらず、ACカップリング・コンデンサに必ずRT抵抗が必要です。

RTピンの電圧が、外部パルスの立ち下がりエッジにおいて-0.3Vよりも低くならないよう注意します。これによって、外部同期パルスのデューティ・サイクルが制限されることがあります。外部パルスの立ち上がりエッジから、LOの立ち上がりエッジまでには、約400nsの遅延があります。

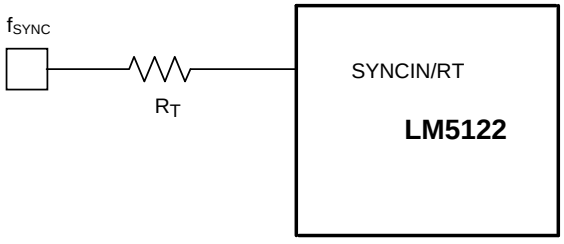


Figure 23. マスタ1モードでのACカップリングによる発振器の同期

Figure 24の構成で、内部発振器は、外部同期クロックをRT抵抗経由でRTピンに接続することにより、デューティ・サイクルの制限なしに同期可能です。外部クロック・ソースの出力段は、低インピーダンスのトーテム・ポール構造にします。f_{SYNC}のデフォルト・ロジック状態はLOWにする必要があります。

機能説明 (continued)

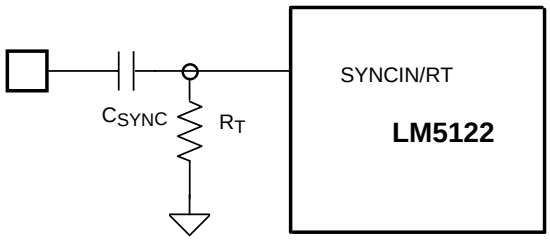


Figure 24. マスタ1モードでの抵抗による発振器の同期

マスタ2およびスレーブ・モードでは、この外部同期クロックをRTピンに直接接続し、常時継続的に供給する必要があります。内部発振器の周波数は、FBおよびOPTピンの組み合わせにより、スイッチング周波数の2倍、またはスイッチング周波数と同じに構成できます（Table 1を参照）。

7.3.12 最大デューティ・サイクル

高いPWMデューティ・サイクルで動作するとき、ローサイドのNチャネルMOSFETはサイクルごとに強制的にオフになります。この強制LOオフ時間により、コントローラの最大デューティ・サイクルが制限されます。高いスイッチング周波数と高いデューティ・サイクルが必要な昇圧レギュレータを設計するときは、必要な最大デューティ・サイクルをチェックしてください。目標の出力電圧を実現できる最低入力電源電圧は、Equation 14またはEquation 15から推定されます。

V_{VCC}が5.5Vよりも高い、またはV_{VIN}が6Vよりも高い場合は、Equation 14を使用します。低電圧のアプリケーションで、これらの条件のいずれかを満たせない場合は、Equation 15を使用します。

$$V_{IN(MIN)} = f_{SW} \times V_{OUT} \times (400\,ns + margin)\ [V] \quad (14)$$

$$V_{IN(MIN)} = f_{SW} \times V_{OUT} \times (750\,ns + margin)\ [V] \quad (15)$$

通常動作では、約100nsのマージンをお勧めします。

7.3.13 過熱保護

最大接合部温度を超えた場合にコントローラを保護する目的で、内部にサーマル・シャットダウン回路が実装されています。この回路は通常165°Cでアクティブになり、コントローラは強制的に低消費電力のシャットダウン・モードに移行し、出力ドライバ、切断スイッチ、VCCレギュレータは無効になります。この機能は、デバイスの過熱や破損を防ぐことを意図して設計されています。

7.4 デバイスの機能モード

7.4.1 MODE制御（強制PWMモードおよびダイオード・エミュレーション・モード）

完全同期整流式昇圧レギュレータを、ダイオードではなくハイサイド・スイッチとともに実装すると、軽負荷、過電圧、負荷過渡など特定の状況で、出力からの電流をシンクできます。LM5122は、強制PWMモード(FPWM)またはダイオード・エミュレーション・モードで動作するよう構成できます。

FPWMでは、ハイサイドNチャネルMOSFETスイッチで逆電流が許可され、軽負荷または無負荷の状況でもインダクタ電流が連続的に伝導されます。強制PWMモードの利点は、軽負荷から重負荷までの範囲で過渡応答が高速で、軽負荷または無負荷の状況で動作周波数が一定なことです。FPWMを有効にするには、MODEピンをVCCに接続するか、1.2Vより高い電圧に接続します。FPWMでは逆電流が制限されません。

ダイオード・エミュレーション・モードでは、ハイサイド・スイッチの電流が一方向（ソースからドレイン）にしか許可されません。ローサイド・スイッチのオン時間の間に、CSPからCSNへの電圧が、ゼロ電流検出の立ち上がりスレッショルドである7mVよりも高い場合、ハイサイド・スイッチのターンオンが許可されます。CSPからCSNへの電圧が、ハイサイド・スイッチのオン時間の間に、ゼロ電流検出の立ち下がりスレッショルドである6mVよりも低い場合、ハイサイドNチャネルMOSFETスイッチを流れる出力から入力への逆電流が防止され、PWMサイクルの残り期間についてハイサイドNチャネルMOSFETスイッチをラッチ・オフすることにより、不連続伝導モードで動作します。ダイオード・エミュレーションの利点は、軽負荷の状況で電力損失が小さいことです。

Copyright © 2013–2017, Texas Instruments Incorporated

デバイスの機能モード (continued)

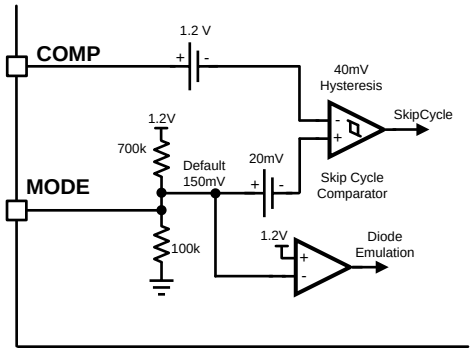


Figure 25. モード選択

LM5122のスタートアップ時、プリバイアス負荷へのスタートアップについて、SSピンの電圧が1.2Vよりも低い間は強制的にダイオード・エミュレーションになります。強制ダイオード・エミュレーションは、SSが1.2Vよりも高いとき、PWMコンパレータからのパルスによって終了します。ソフトスタート期間内にLOパルスが発生しない場合は、ブートストラップ・コンデンサを充電するため、ソフトスタートの終了時に350nsのLOパルスが一回だけ発生します。インダクタ電流のリップル比が高い場合や、非常に高いスイッチング周波数で動作しているときには、内部の電流検出遅延の関係で、LM5122のダイオード・エミュレーション・モードの構成について注意深く評価する必要があります。FPWMモードでの全負荷から無負荷への過渡性能も検証します。

7.4.2 モード制御 (スキップ・サイクル・モードおよびパルス・スキッピング・モード)

レギュレータでは一般に、軽負荷時に負荷へ供給される合計電力の大きな割合を、コンバータのスイッチングおよびバイアス電流に関連する損失が占めるようになるため、効率が低下します。軽負荷時の効率向上のため、LM5122ではダイオード・エミュレーション・モードにおいて、軽負荷時の動作が2種類用意されています。

LM5122コントローラに内蔵されているスキップ・サイクル・モードでは、軽負荷の状況で平均スイッチング周波数を下げることにより、スイッチング損失を減らし、効率を向上できます。スキップ・サイクル動作は、スキップ・サイクル・コンパレータによって行われます。軽負荷の状況が発生したとき、COMPピンの電圧は自然に低下し、レギュレータから供給されるピーク電流が減少します。スキップ・サイクルのスレッショルドは、COMP電圧の立ち下がり時にはV_{MODE} - 20mV、COMP電圧の立ち上がり時にはV_{MODE} + 20mVと定義されています。スキップ・サイクル・コンパレータの内部には、40mVのヒステリシスが存在します。

PWMコンパレータの入力電圧がV_{MODE} - 20mVより低くなった場合、HOとLOの両方の出力が無効になります。コントローラは、PWMコンパレータの入力電圧がV_{MODE} + 20mVに上昇し、より多くのインダクタ電流が要求されるまで、スイッチング・サイクルのスキップを続けます。スキップされるサイクルの数は、周波数補償回路の負荷と応答時間に依存します。スキップ・サイクル・コンパレータの内部ヒステリシスは、長いスキップ・サイクルのインターバルの後で、パルスの短いバーストを生成するのに役立ちます。内部の700kΩのプルアップおよび100kΩのプルダウン抵抗により、MODEピンはデフォルトで0.15Vに設定されます。ピーク電流制限スレッショルドは750mVに設定されているため、デフォルトのスキップ・スレッショルドはピーク・レベルの約17%に対応します。実際には、勾配補償の追加により、スキップ・レベルはこれより低くなります。SLOPEまたはVCCピンに外付けのプルアップ抵抗を追加するか、グランドに外付けのプルダウン抵抗を追加することにより、スキップ・サイクルのスレッショルドをプログラムできます。スキップ・サイクル・コンパレータはPWMコンパレータの入力を監視し、この入力はCOMP電圧に比例するため、バイパス動作が必要な場合はスキップ・サイクル動作が推奨されません。

従来のパルス・スキップ動作は、MODEピンをグランドに接続することで実現できます。スキップ・サイクル・コンパレータの正の入力には、負の20mVオフセットがあるため、通常の動作ではスキップ・サイクル・コンパレータがトリガされないことが保証されます。軽負荷または無負荷の状況で、レギュレータに必要なパルス幅が、デバイスの最小LOオン時間よりも短い場合、LM5122はLOパルスをスキップします。エラー・アンプは、軽負荷または無負荷の状況でレギュレーションを維持するための平均LOパルス幅を見つけようと試みるので、パルス・スキップはランダムな動作のように見えます。

Copyright © 2013–2017, Texas Instruments Incorporated

デバイスの機能モード (continued)

7.4.3 ヒカップ・モードの過負荷保護

いずれかのサイクル中に、サイクル単位の電流制限に達した場合、クロック・サイクルの残りの期間について、RESコンデンサに30µAの電流がソースされます。RESコンデンサの電圧が再起動スレッショルドの1.2Vを超えた場合、ヒカップ・モード過負荷保護シーケンスが開始されます。SSコンデンサはGNDへ放電され、LOおよびHO出力は両方とも無効になり、RESコンデンサの電圧が10µAの充電および5µAの放電電流により、2Vのヒカップ・カウンタ下限スレッショルドと、4Vのヒカップ・カウンタ上限スレッショルドとの間で、8回ランプ・アップおよびランプ・ダウンされます。8回目のサイクルの後で、SSコンデンサは解放され、10µAのソフトスタート電流によって再度充電されます。3Vのツェナー・ダイオードがRESコンデンサと並列に接続されている場合、レギュレータはヒカップ・モードのオフ・モードに移行し、UVLOシャットダウンがサイクルされるまでは再起動しません。ヒカップ・モード動作を使用しない場合は、RESピンを直接AGNDに接続します。

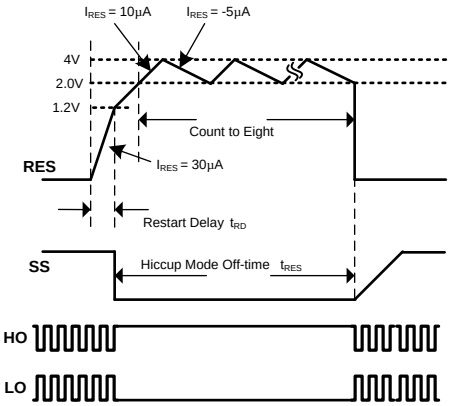


Figure 26. ヒカップ・モード過負荷保護

7.4.4 スレーブ・モードとSYNCOUT

LM5122は、1つのコントローラをマスタ、他のすべてをスレーブとして構成し、デュアル（またはそれより多い）位相の昇圧コンバータを簡単に実装できるよう設計されています。スレーブ・モードは、FBピンをVCCピンに接続することでアクティブになります。FBピンは最初の電源オン時にサンプリングされ、スレーブ構成が検出された場合、その状態がラッチされます。スレーブ・モードでは、エラー・アンプが無効で高インピーダンス出力となり、10µAのヒカップ・モードのオフ時間充電電流と、5µAのヒカップ・モードのオフ時間放電電流が無効になり、5µAの通常状態RES放電電流と、10µAのソフトスタート充電電流が無効になり、30µAのフォルト状態RES充電電流が35µAに変更されます。10µAのUVLOヒステリシス電流ソースは、マスタ・モードと同じ動作をします。また、スレーブ・モードでは内部発振器が無効になり、外部の同期クロックが必要になります。

SYNCOUT機能により、180°位相シフトされたクロック出力が供給され、デュアル位相のインターリーブ構成を簡単に実現できます。マスタ1のSYNCOUTをスレーブ1のSYNCINに直接接続することで、スレーブ・コントローラのスイッチング周波数は、180°の位相シフト付きでマスタ・コントローラと同期します。マスタ・モードでは、OPTピンがGNDに結合されると、内部発振器のクロックが2で除算されて、50%のデューティ・サイクルとなり、2位相のインターリーブ構成で180°位相シフトされた動作を実現できます。この構成では、マスタ・コントローラのスイッチング周波数は、外部クロック周波数の1/2です。OPTピンの電圧がOPTスレッショルドの2.7Vよりも高い、またはピンがVCCに結合されている場合、SYNCOUTは無効になり、マスタ・コントローラのスイッチング周波数は外部クロックの周波数と同じになります。マスタ2、スレーブ1、およびスレーブ2の構成では、外部同期クロックは常時供給され、SYNCINに直接接続される必要があります。詳細については、「*インターリーブ昇圧構成*」を参照してください。

Table 1. LM5122のマルチ位相構成

マルチ位相構成	FB	OPT	エラー・アンプ	スイッチング周波数	SYNCOUT
マスタ1	帰還	GND	有効	f_{SYNC}/2、RT抵抗付きでフリーランニング	f_{SYNC}/2、f_{SW} - 180°
スレーブ1	VCC	GND	無効	f_{SYNC}、フリーランニングなし	無効
マスタ2	帰還	VCC	有効	f_{SYNC}、フリーランニングなし	無効
スレーブ2	VCC	VCC	無効	f_{SYNC}/2、フリーランニングなし	f_{SYNC}/2、f_{SW} - 180°

Copyright © 2013–2017, Texas Instruments Incorporated

8 アプリケーションと実装

NOTE

以降のアプリケーション情報は、TIの製品仕様に含まれるものではなく、TIではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

LM5122デバイスは、昇圧DC-DCコンバータです。このデバイスは一般に、低いDC電圧を高いDC電圧に変換するために使用されます。LM5122デバイスの部品の値を選択するには、以下の設計手順を使用します。または、WEBENCH®ソフトウェアを使用して完全な設計を作成することもできます。WEBENCHソフトウェアは、反復的な設計手順を使用し、包括的な部品データベースにアクセスして設計を生成します。ここでは、設計手順について簡単に説明します。

8.1.1 帰還補償

昇圧レギュレータの開ループ応答は、変調器の伝達関数と帰還伝達関数との積で定義されます。dBスケールでプロットした場合、開ループ・ゲインは、変調器のゲインと帰還ゲインとの和として示されます。電流モード昇圧レギュレータの変調器の伝達関数は、組み込み電流ループ付きの電力段の伝達関数も含めて、1つの極、1つの零点、1つの右半平面(RHP)ゼロのシステムに単純化できます。

変調器の伝達関数は、次のように定義されます。

$$\frac{\hat{V}_{OUT}(s)}{\hat{V}_{COMP}(s)} = A_M \times \frac{\left(1+\frac{s}{\omega_{Z_ESR}}\right)\times\left(1-\frac{s}{\omega_{Z_RHP}}\right)}{\left(1+\frac{s}{\omega_{P_LF}}\right)}$$

ここで

- $A_M(\text{Modulator DC gain}) = \frac{R_{LOAD}}{R_{S_EQ}\times A_S}\times\frac{D'}{2}$
- $\omega_{P_LF}(\text{Load pole}) = \frac{2}{R_{LOAD}\times C_{OUT}}$
- $\omega_{Z_ESR}(\text{ESR zero}) = \frac{1}{R_{ESR}\times C_{OUT}}$
- $\omega_{Z_RHP}(\text{RHP zero}) = \frac{R_{LOAD}\times (D')^2}{L_{IN_EQ}}$
- $L_{IN_EQ} = \frac{L_{IN}}{n}, R_{S_EQ} = \frac{R_S}{n}$
- nは位相の数です。 (16)

C_{OUT}の等価直列抵抗(ESR) (R_{ESR})が十分に小さく、RHPゼロの周波数が目標のクロスオーバー周波数と大きく離れていれば、変調器の伝達関数は1つの極のシステムへさらに単純化でき、電圧ループはR_{COMP}とC_{COMP}の2つのループ補償部品だけでクローズでき、クロスオーバー周波数に単一の極の応答が残されます。クロスオーバー周波数における単一の極の応答により、90°の位相マージンを持つ、非常に安定したループが得られます。

帰還伝達関数には、帰還分圧抵抗と、エラー・アンプのループ補償が含まれます。R_{COMP}、C_{COMP}、およびオプションのC_{HF}により、エラー・アンプのゲインと位相の特性が設定され、原点の極、低周波数のゼロ、および高周波数の極が形成されます。

帰還伝達関数は、次のように定義されます。

アプリケーション情報 (continued)

$$-\frac{\hat{V}_{COMP}}{\hat{V}_{OUT}} = A_{FB} \times \frac{1+\frac{s}{\omega_{Z_EA}}}{s \times \left(1+\frac{s}{\omega_{P_EA}}\right)}$$

ここで

- $A_{FB}(\text{Feedback DC gain}) = \frac{1}{R_{FB2} \times (C_{COMP} + C_{HF})}$
- $\omega_{Z_EA}(\text{Low frequency zero}) = \frac{1}{R_{COMP} \times C_{COMP}}$
- $\omega_{P_EA}(\text{High frequency pole}) = \frac{1}{R_{COMP} \times C_{HF}}$ (17)

原点の極は、出力の定常状態誤差を最小化します。低周波数のゼロは、変調器の負荷極を打ち消すように配置します。高周波数の極は、出力コンデンサのESRにより生じるゼロを打ち消すため、またはエラー・アンプのノイズ感受性を減らすために使用できます。クロスオーバー周波数より1桁低い、低周波数のゼロを配置することで、クロスオーバー周波数において位相ブーストの最大値を実現できます。C_{HF}の追加により、帰還伝達関数に極が追加されるため、高周波数の極は、クロスオーバー周波数を超えた値に配置します。

クロスオーバー周波数（開ループ帯域幅）は通常、f_{SW}の1/20～1/5の範囲で選択します。推定されるクロスオーバー周波数は、単純化した式で次のように定義できます。

$$f_{CROSS} = \frac{R_{COMP}}{\pi \times R_{S_EQ} \times R_{FB2} \times A_S \times C_{OUT}} \times D' \text{ [Hz]}$$

ここで

- $D' = \frac{V_{IN}}{V_{OUT}}$ (18)

クロスオーバー周波数を高くするには、R_{COMP}を増やし、それに比例してC_{COMP}を減らします。その逆に、R_{COMP}を減らし、それに比例してC_{COMP}を増やすと帯域幅は狭くなり、帰還伝達関数のゼロ周波数は変わらずに維持されます。

変調器の伝達関数は、ネットワーク・アナライザによって測定でき、帰還伝達関数は目的の開ループの伝達関数に合わせて構成できます。ネットワーク・アナライザを使用できない場合は、ステップ負荷過渡テストを実行し、許容される性能を検証できます。ステップ負荷の目標は、オーバーシュート/アンダーシュートが最小となる減衰応答です。

8.1.2 分数調波の発振

ピーク電流モード・レギュレータは、50%を超えるデューティ・サイクルで動作するときに不安定な動作を示すことがあります。この動作は分数調波の発振として知られ、SWピンに広いパルスと狭いパルスが繰り返し発生することが特徴です。分数調波の発振は、検出されるインダクタ電流の上に、勾配電圧ランプ（勾配補償）を追加することで、防止できます。K ≥ 0.82～1を選択すると、入力電圧が広い範囲で変動しても、分数調波の発振は除去されます。

時間ドメイン分析では、初期位置から開始した定常状態のインダクタ電流が同じ位置に戻ります。初期摂動(dI_0)により引き起こされるエンド・サイクル電流誤差(dI_1)の振幅がdI_0の振幅より小さい、または$dI_1/dI_0 > -1$のとき、その摂動は数サイクル後には自然消滅します。$dI_1/dI_0 < -1$のとき、最初の摂動は消滅せず、定常状態で分数調波の発振が引き起こされます。

Copyright © 2013–2017, Texas Instruments Incorporated

アプリケーション情報 (continued)

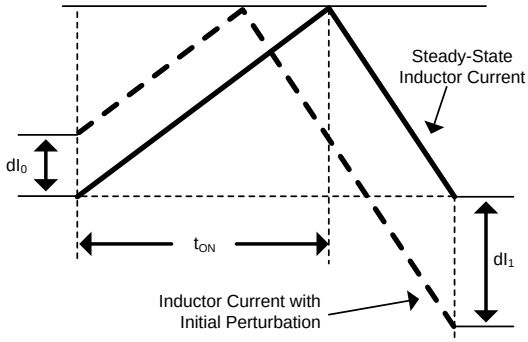


Figure 27. dI_1/dI_0 < -1のときの初期摂動の影響

dI_1/dI_0は次のように計算できます。

$$\frac{dI_1}{dI_0} = 1 - \frac{1}{K} \tag{19}$$

dI_1/dI_0とK係数との関係を、Figure 28に図示します。

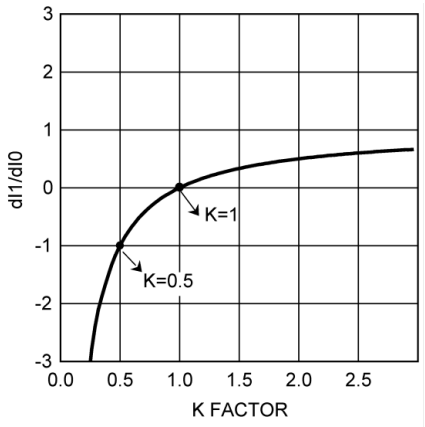


Figure 28. dI_1/dI_0とK係数との関係

Kの絶対最小値は0.5です。K < 0.5のとき、dI_1の振幅はdI_0の振幅よりも大きくなり、どんな初期摂動も分数調波の発振を引き起こすことになります。K = 1のときは、どんな初期摂動も1スイッチング・サイクルで除去されます。これは、1サイクル・ダンピングと呼ばれます。-1 < dI_1/dI_0 < 0のときは、どんな初期摂動もアンダーダンプされます。0 < dI_1/dI_0 < 1のときは、どんな摂動もオーバーダンプされます。

周波数ドメインでは、変調器の伝達関数のサンプリング・ゲイン項の品質係数であるQを使用して、分数調波の発振の傾向が予測でき、次のように定義されます。

$$Q = \frac{1}{\pi(K - 0.5)} \tag{20}$$

QとK係数との関係を、Figure 29に示します。

Copyright © 2013–2017, Texas Instruments Incorporated

アプリケーション情報 (continued)

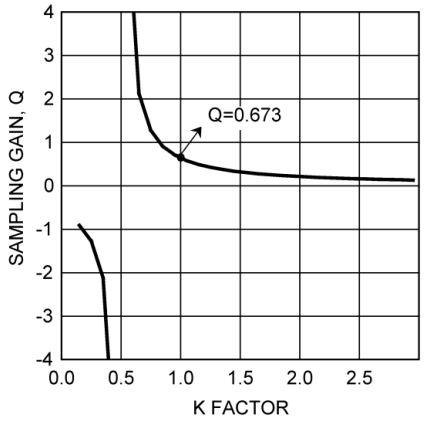


Figure 29. サンプリング・ゲインのQとK係数との関係

Kに推奨される絶対最小値は0.5です。Kが0.5よりも小さい場合は、高いゲイン・ピーキングにより、f_{SW}/2で分数調波発振が生じます。K係数の値がこれより高い場合、クロスオーバー周波数の近くに新たな位相シフトが発生する可能性がありますが、電流ループのノイズ感受性を減らす効果があります。K係数に許容される最大値は、Table 2の周波数分析数式に含まれる最大クロスオーバー周波数の式で計算できます。

Table 2. 昇圧レギュレータの周波数分析

	簡略数式	包括的な数式(1)
変調器の伝達関数	$\frac{\hat{V}_{OUT}(s)}{\hat{V}_{COMP}(s)} = A_M \times \frac{\left(1+\frac{s}{\omega_{Z_ESR}}\right)\times\left(1-\frac{s}{\omega_{Z_RHP}}\right)}{\left(1+\frac{s}{\omega_{P_LF}}\right)}$	$\frac{\hat{V}_{OUT}(s)}{\hat{V}_{COMP}(s)} = A_M \times \frac{\left(1+\frac{s}{\omega_{Z_{ESR}}}\right)\times\left(1-\frac{s}{\omega_{Z_{RHP}}}\right)}{\left(1+\frac{s}{\omega_{P_LF}}\right)\times\left(1+\frac{s}{\omega_{p_ESR}}\right)\times\left(1+\frac{s}{\omega_{P_HF}}+\frac{s^2}{\omega_n{}^2}\right)}$
変調器のDCゲイン (2)	$A_M = \frac{R_{LOAD}}{R_{S_EQ}\times A_S}\times\frac{D'}{2}$	
RHPゼロ (2)	$\omega_{Z_RHP} = \frac{R_{LOAD}\times(D')^2}{L_{IN_EQ}}$	
ESRゼロ	$\omega_{Z_ESR} = \frac{1}{R_{ESR}\times C_{OUT}}$	$\omega_{Z_ESR} = \frac{1}{R_{ESR1}\times C_{OUT1}}$
ESR極	考慮対象外	$\omega_{P_ESR} = \frac{1}{R_{ESR1}\times(C_{OUT1}\,//\,C_{OUT2})}$
支配的な負荷極	$\omega_{P_LF} = \frac{2}{R_{LOAD}\times C_{OUT}}$	
サンプリングされたゲイン・インダクタ極	考慮対象外	$\omega_{P_HF} = \frac{f_{SW}}{K-0.5}$ または $\omega_{P_HF} = Q\times\omega_n$
品質係数	考慮対象外	$Q = \frac{1}{\pi(K-0.5)}$

(1) 包括的な数式には、インダクタの極と、電流モード制御のサンプリングの影響で引き起こされるf_{SW}/2でのゲイン・ピーキングが含まれています。また、セラミック・コンデンサC_{OUT2}（ESRなし）がC_{OUT1}と並列に接続されていることが想定されています。R_{ESR1}は、C_{OUT1}のESRを表します。

(2) マルチ位相構成では、各位相x nについて$L_{IN_EQ} = \frac{L_{IN}}{n}$、$R_{S_EQ} = \frac{R_S}{n}$、$R_{LOAD} = \frac{V_{OUT}}{I_{OUT\ of\ each\ phase}\times n}$、$C_{OUT} = C_{OUT}$となり、nは位相の数です。電流センス・アンプのゲインも同様です。

Copyright © 2013–2017, Texas Instruments Incorporated

アプリケーション情報 (continued)

Table 2. 昇圧レギュレータの周波数分析 (continued)

	簡略数式	包括的な数式(1)
分数調波の2重極	考慮対象外	$\omega_n = \frac{\omega_{SW}}{2} = \pi \times f_{SW}$ または $f_n = \frac{f_{SW}}{2}$
K係数	K = 1	$K = \left(1 + \frac{L_{IN} \times 6 \times 10^9}{V_{IN} \times R_S \times 10 \times R_{SLOPE}}\right) \times D'$
帰還伝達関数	$-\frac{\hat{V}_{COMP}(s)}{\hat{V}_{OUT}(s)} = A_{FB} \times \frac{1 + \frac{s}{\omega_{Z_EA}}}{s \times \left(1 + \frac{s}{\omega_{P_EA}}\right)}$	
帰還DCゲイン	$A_{FB} = \frac{1}{R_{FB2} \times (C_{COMP} + C_{HF})}$	
中間バンドのゲイン	$A_{FB_MID} = \frac{R_{COMP}}{R_{FB2}}$	
低周波数のゼロ	$\omega_{Z_EA} = \frac{1}{R_{COMP} \times C_{COMP}}$	
高周波数の極	$\omega_{P_EA} = \frac{1}{R_{COMP} \times C_{HF}}$	$\omega_{P_EA} = \frac{1}{R_{COMP} \times (C_{CHF} // C_{COMP})}$
開ループ応答	$T(s) = A_M \times A_{FB} \times \frac{\left(1 + \frac{s}{\omega_{Z_ESR}}\right) \times \left(1 - \frac{s}{\omega_{Z_RHP}}\right)}{\left(1 + \frac{s}{\omega_{P_LF}}\right)} \times \frac{1 + \frac{s}{\omega_{Z_EA}}}{s \times \left(1 + \frac{s}{\omega_{P_EA}}\right)}$	$T(s) = A_M \times A_{FB} \times \frac{\left(1 + \frac{s}{\omega_{Z_ESR}}\right) \times \left(1 - \frac{s}{\omega_{Z_RHP}}\right)}{\left(1 + \frac{s}{\omega_{P_LF}}\right) \times \left(1 + \frac{s}{\omega_{p_ESR}}\right) \times \left(1 + \frac{s}{\omega_{P_{HF}}} + \frac{s^2}{\omega_n^2}\right)} \times \frac{1 + \frac{s}{\omega_{Z_EA}}}{s \times \left(1 + \frac{s}{\omega_{P_EA}}\right)}$
クロスオーバー周波数(3) （開ループ帯域幅）	$f_{CROSS} = \frac{R_{COMP}}{\pi \times R_{S_EQ} \times R_{FB2} \times A_S \times C_{OUT}} \times D'$	グラフィック・ツールを使用
最大クロスオーバー周波数(4)	$f_{CROSS_MAX} = \frac{f_{SW}}{5}$ or $\frac{\omega_{Z_RHP}}{2 \times \pi \times 4}$ whichever is smaller	$f_{CROSS_MAX} = \frac{f_{SW}}{4 \times Q} \times \left(\sqrt{1 + 4 \times Q^2} - 1\right)$ または $\frac{\omega_{Z_RHP}}{2 \times \pi \times 4}$ のどちらか小さい方

(3) $\omega_{Z_EA} = \omega_{P_LF}$、$\omega_{P_EA} = \omega_{Z_ESR}$、$f_{CROSS} < \frac{\omega_{Z_RHP}}{2 \times \pi \times 10}$、$C_{COMP} = \frac{R_{LOAD} \times C_{OUT}}{4 \times R_{COMP}}$ 、 $D' = \frac{V_{IN}}{V_{OUT}}$が想定されています。
(4) 変調器の位相特性で45°の位相シフトが発生する周波数。

Copyright © 2013–2017, Texas Instruments Incorporated

8.1.3 インターリーブ昇圧構成

インターリーブ動作には、単一出力、大電流のアプリケーションにおいて、高い効率、部品への低いストレス、入力および出力リップルの減少など、多くの利点があります。デュアル位相のインターリーブ動作では、出力電力パスが分割され、各位相の入力電流を半分に減らします。各チャネルが互いに180°の位相差で動作するため、入力および出力コンデンサのリップル電流が大幅に減少します。Figure 30に示すのは、正規化された(I_{RMS}/I_{OUT})出力コンデンサのリップル電流と、単一位相およびデュアル位相の昇圧コンバータのデューティ・サイクルとの関係で、I_{RMS}は出力電流リップルのRMSを表します。

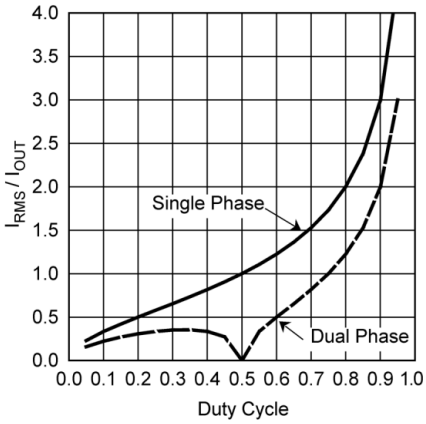


Figure 30. 正規化された出力コンデンサのRMSリップル電流

デュアル位相のインターリーブ動作を構成するには、1つのデバイスをマスタに、他のデバイスはFBをVCCに接続してスレーブ・モードに構成します。また、マスタ側のCOMP、UVLO、RES、SS、SYNCOUTを、スレーブ側のCOMP、UVLO、RES、SS、SYNCINにそれぞれ接続します。補償回路は、マスタFBと共通COMP接続との間に接続します。2つの電力段の出力コンデンサは、一緒に共通の出力に接続します。

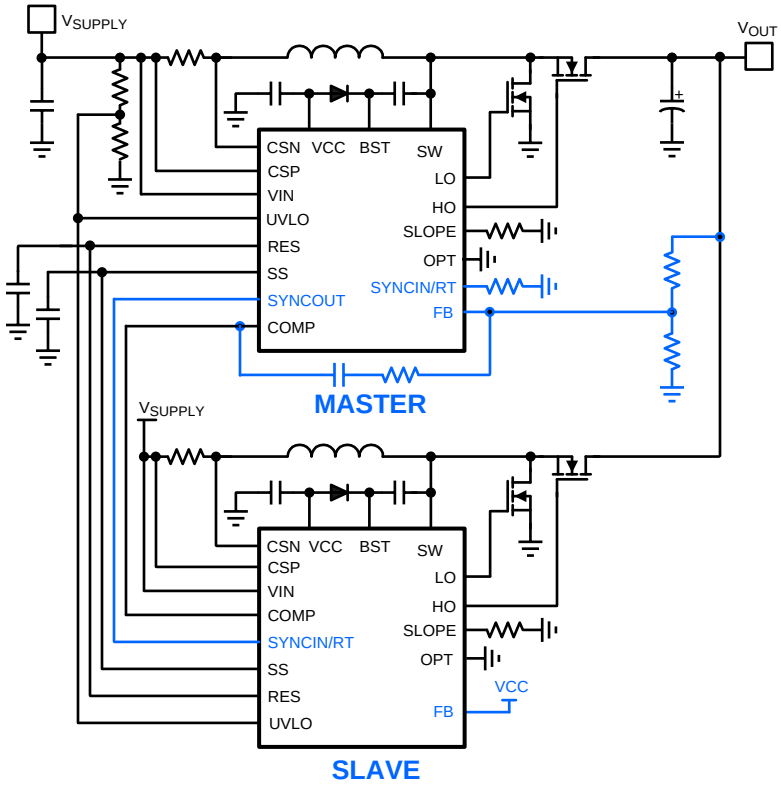


Figure 31. デュアル位相のインターリーブ昇圧構成

Copyright © 2013–2017, Texas Instruments Incorporated

デュアル位相のタイミング図を、Figure 32に示します。180°の位相シフトは、マスタ側のSYNCOUTをスレーブ側のSYNCINに接続することで実現されます。

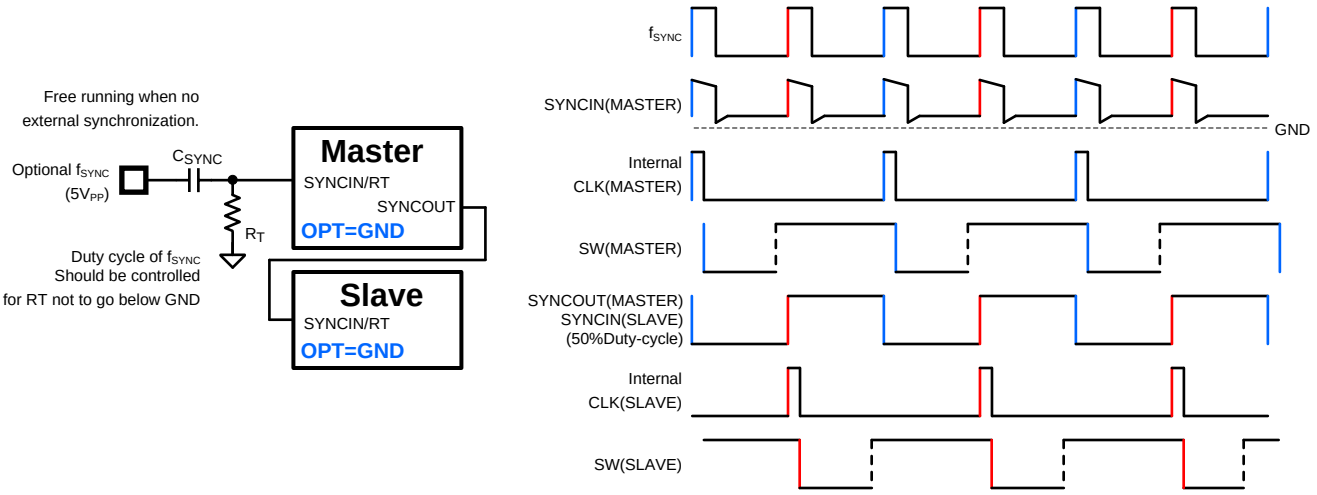


Figure 32. デュアル位相構成とタイミング図

Figure 33で、各チャネルは個別の外部クロックにより同期されています。Figure 34で使用されているSYNCOUTピンは、1つの外部クロック・ソースしか必要としません。デューティ・サイクル50%の外部同期パルスは、常にこのデイジー・チェーン構成で供給する必要があります。

位相間の電流共有は、マスタ・コントローラの1つのエラー・アンプ出力を、3つのスレーブ・コントローラと共有することで行われます。位相電流を正確に調整するため、電流の検出には抵抗センシング方式が推奨されます。

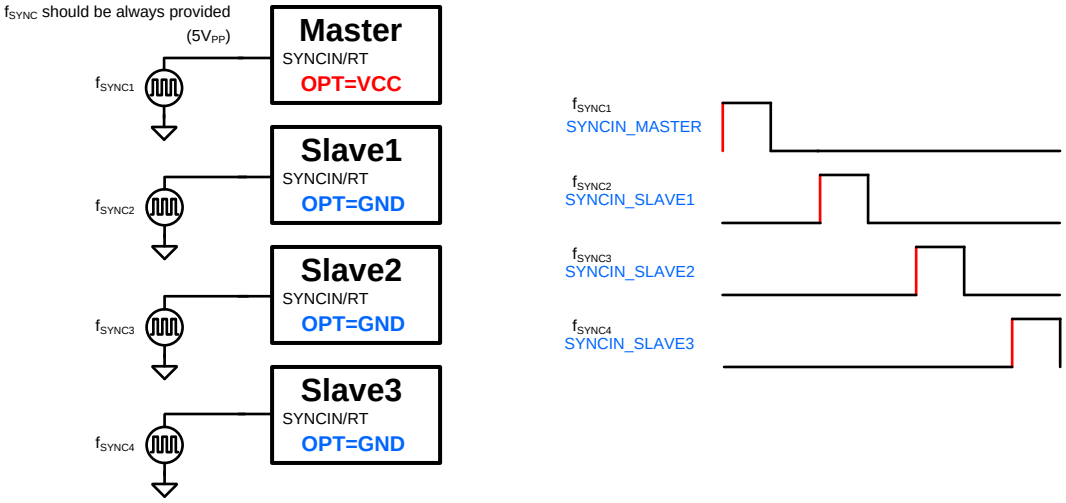


Figure 33. 個別のクロックを持つ4位相のタイミング図

Copyright © 2013–2017, Texas Instruments Incorporated

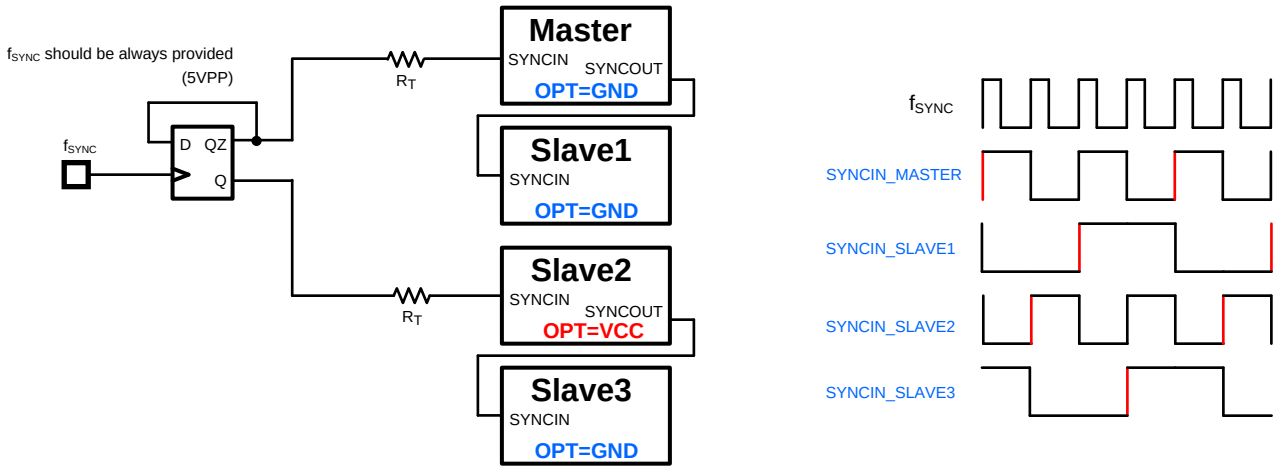


Figure 34. デイジー・チェーンの4位相のタイミング図

8.1.4 DCRの検出

最低限のコストと、最小限の伝導損失が要求されるアプリケーションでは、センス抵抗の代わりにインダクタのDC抵抗(DCR)を使用して、インダクタ電流の検出が行われます。Figure 35に示すのは、2つのDCRセンシング抵抗と1つのコンデンサを使用するDCR検出構成です。

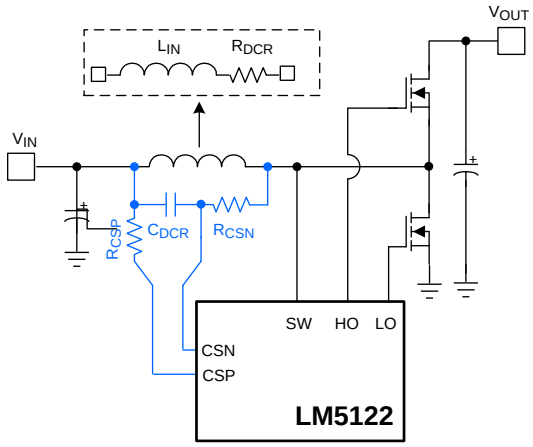


Figure 35. DCRの検出

この間接的な電流検出方式には時定数の一致が必要なため、R_{CSN}とC_{DCR}は、Equation 21を満たすように選択する必要があります。C_{DCR}は通常、0.1µF～2.2µFの範囲で選択されます。

$$\frac{L_{IN}}{R_{DCR}} = C_{DCR} \times R_{CSN} \tag{21}$$

R_{CSN}の値が小さいと、CSNバイアス電流による電圧降下が最小化されますが、R_{CSN}の動的な消費電力が増大します。R_{CSN}のDC電圧降下は、同じ値のR_{CSP}を選択することで補償できますが、R_{CSP}の追加により、電流アンプのゲイン（通常は10）が影響を受けます。DCR検出回路での電流アンプのゲインは、次の式で決定できます。

$$A_{CS_DCR} = 12.5\,k\Omega / (1.25\,k\Omega + R_{CSP}) \tag{22}$$

DCR検出の精度が低下するため、DCR検出を使用するときはFPWM動作をお勧めします。

8.1.5 出力過電圧保護

出力過電圧保護は、簡単な外付け回路の追加により実現できます。Figure 36に示す出力過電圧保護回路は、出力電圧が、ツェナー・ダイオードにより設定されている過電圧スレッショルドを超えた場合、LM5122をシャットダウンします。

Copyright © 2013–2017, Texas Instruments Incorporated

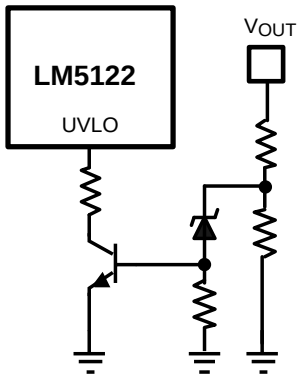


Figure 36. 出力過電圧保護

8.1.6 SEPICコンバータの概略回路図

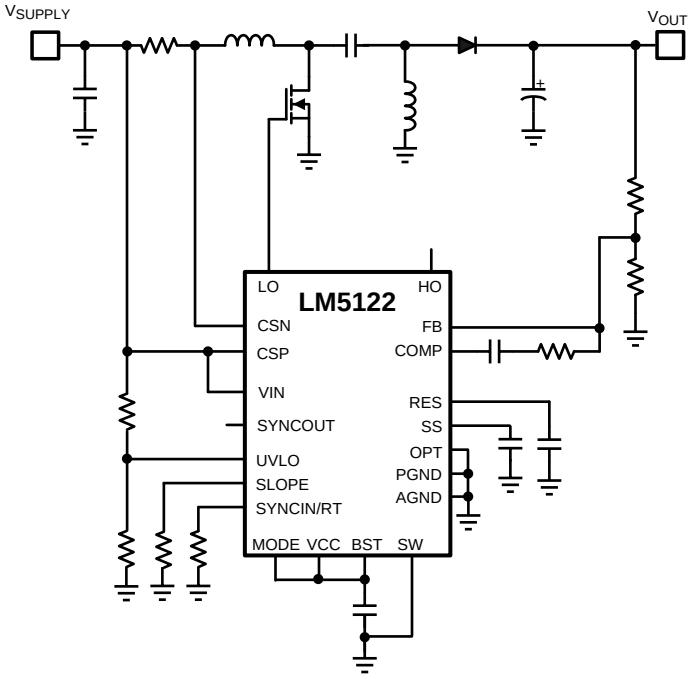


Figure 37. SEPICコンバータの概略回路図

8.1.7 非絶縁同期整流フライバック・コンバータの概略回路図

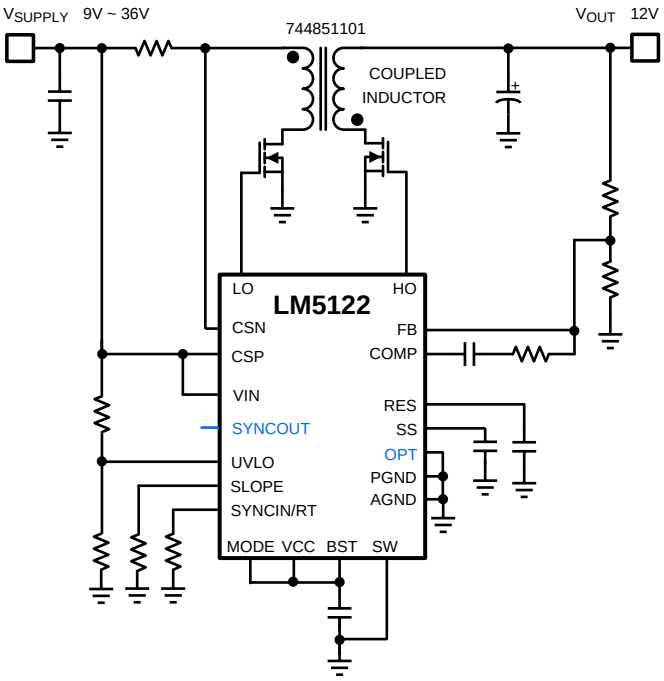
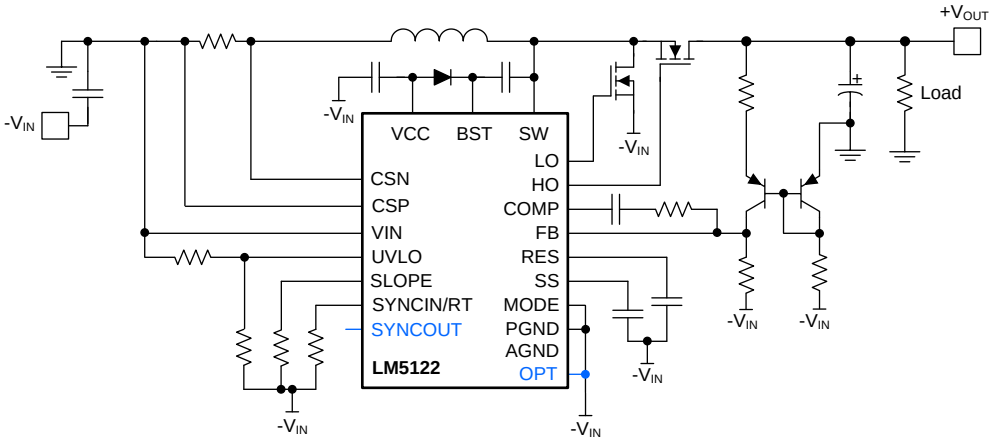


Figure 38. 非絶縁同期整流フライバック・コンバータの概略回路図

8.1.8 負から正への変換



Copyright © 2016, Texas Instruments Incorporated

Figure 39. 負から正へのコンバータの概略回路図

Copyright © 2013–2017, Texas Instruments Incorporated

8.2 代表的なアプリケーション

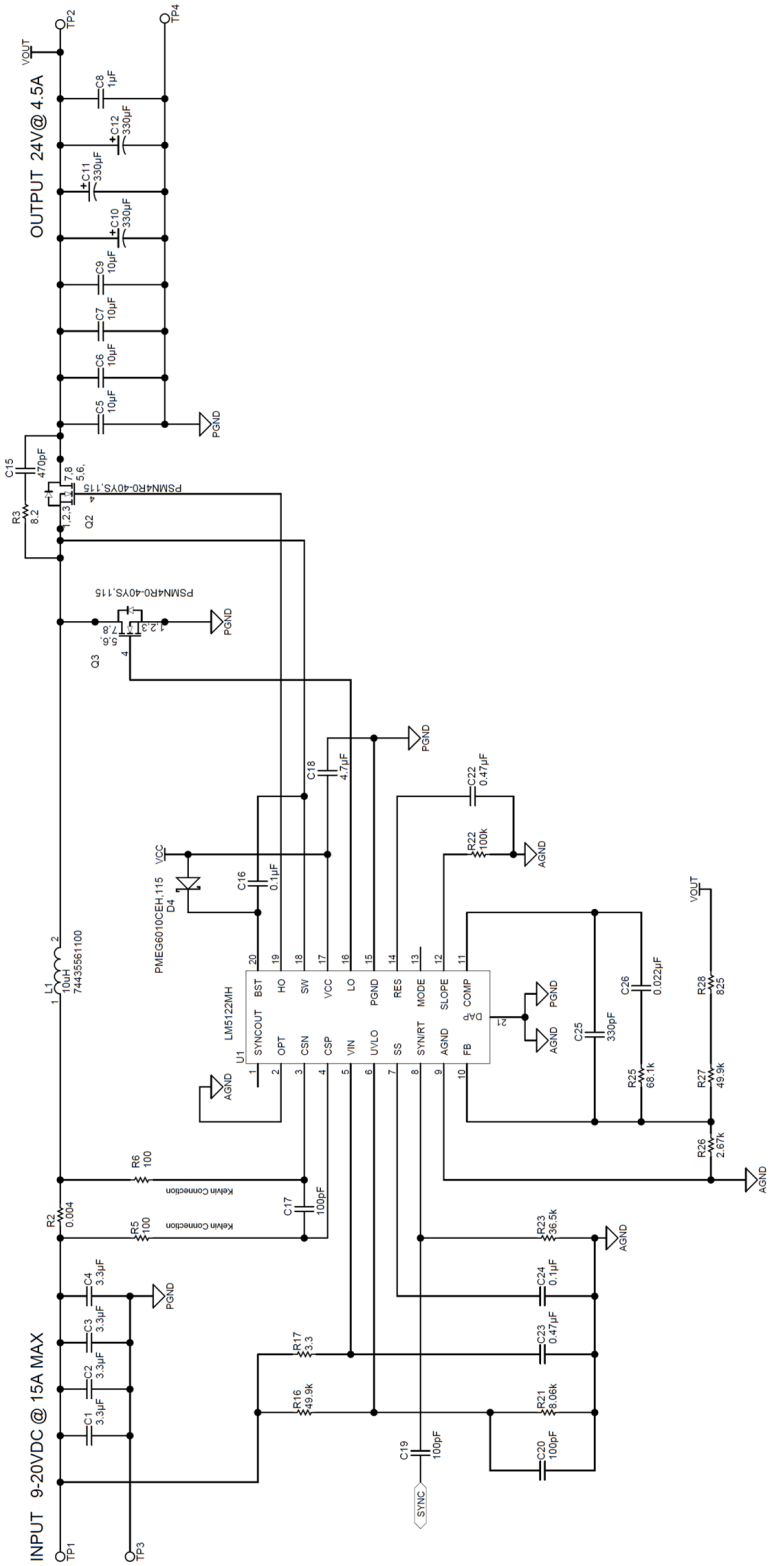


Figure 40. 単相の回路図例

代表的なアプリケーション (continued)

8.2.1 設計要件

設計パラメータ	値
出力電圧(V_{OUT})	24V
全負荷電流(I_{OUT})	4.5A
出力電力	108W
最小入力電圧($V_{IN\ (MIN)}$)	9V
標準入力電圧($V_{IN\ (TYP)}$)	12V
最大入力電圧($V_{IN\ (MAX)}$)	20V
スイッチング周波数(f_{SW})	250kHz

8.2.2 詳細な設計手順

8.2.2.1 WEBENCH®ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designerにより、LM5122デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧(V_{IN})、出力電圧(V_{OUT})、出力電流(I_{OUT})の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designerでは、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する。
- 熱シミュレーションを実行し、基板の熱特性を把握する。
- カスタマイズされた回路図やレイアウトを、一般的なCADフォーマットで出力する。
- 設計のレポートをPDFで印刷し、設計を共有する。

WEBENCHツールの詳細は、www.ti.com/WEBENCHでご覧になれます。

8.2.2.2 タイミング抵抗R_T

一般に、周波数の高いアプリケーションは小型ですが、損失が大きくなります。この例では、小型化と高効率との適切な妥協点として、250kHzでの動作が選択されています。250kHzのスイッチング周波数について、R_Tの値は次のように計算されます。

$$R_T = \frac{9 \times 10^9}{f_{SW}} = \frac{9 \times 10^9}{250\ kHz} = 36.0\ k\Omega \tag{23}$$

R_Tには標準値36.5kΩが選択されます。

8.2.2.3 UVLO分圧抵抗R_{UV2}、R_{UV1}

目的のスタートアップ電圧とヒステリシスは、分圧抵抗R_{UV2}およびR_{UV1}により設定されます。UVLOシャットダウン電圧は、ローサイドNチャネルMOSFETスイッチを完全にエンハンスできるよう、十分に高くします。この設計の場合、スタートアップ電圧は、$V_{IN\ (MIN)}$よりも0.3V低い8.7Vに設定されています。V_{HYS}は0.5Vに設定されています。これにより、$V_{IN\ (SHUTDOWN)}$は8.2Vになります。R_{UV2}とR_{UV1}の値は次のように計算されます。

$$R_{UV2} = \frac{V_{HYS}}{I_{HYS}} = \frac{0.5\ V}{10\ \mu A} = 50\ k\Omega \tag{24}$$

$$R_{UV1} = \frac{1.2V \times R_{UV2}}{V_{IN(STARTUP)} - 1.2V} = \frac{1.2V \times 50\ k\Omega}{8.7V - 1.2V} = 8\ k\Omega \tag{25}$$

R_{UV2}には標準値49.9kΩが選択されます。R_{UV1}には標準値8.06kΩが選択されます。

Copyright © 2013–2017, Texas Instruments Incorporated

8.2.2.4 入力インダクタL_{IN}

インダクタのリップル電流は、インダクタのコア損失と銅損との適切な妥協点として、一般に全負荷電流の20%～40%に設定されます。インダクタのリップル電流が大きいほど、インダクタのサイズを小さくできますが、出力のリップル電圧を平滑化するための出力コンデンサの負担が大きくなります。この例では、リップル比(RR)として0.25、すなわち入力電流の25%が選択されています。スイッチング周波数と標準出力電圧が既知なら、インダクタの値は次のように計算できます。

$$L_{IN} = \frac{V_{IN}}{I_{IN} \times RR} \times \frac{1}{f_{SW}} \times \left(1 - \frac{V_{IN}}{V_{OUT}}\right) = \frac{12V}{\frac{108W}{12V} \times 0.25} \times \frac{1}{250\ kHz} \times \left(1 - \frac{12V}{24V}\right) = 10.7\ \mu H \tag{26}$$

L_{IN}には、最も近い標準値として10µHが選択されます。

インダクタの飽和電流定格は、最小入力電圧と全負荷について計算される、ピーク・インダクタ電流より大きくします。控えめなスタートアップ電圧として、8.7Vが使用されています。

$$I_{PEAK} = I_{IN} + \frac{1}{2} \times \frac{V_{IN}}{L_{IN} \times f_{SW}} \times \left(1 - \frac{V_{IN}}{V_{OUT}}\right) = \frac{24V \times 4.5A}{8.7V} + \frac{1}{2} \times \frac{8.7V}{10\ \mu H \times 250\ kHz} \times \left(1 - \frac{8.7V}{24V}\right) = 13.5\ A \tag{27}$$

8.2.2.5 電流センス抵抗R_S

最大ピーク入力電流能力は、許容範囲を考慮して、低い入力電圧と全負荷において必要となるピーク電流よりも20～50%大きくします。この例では、40%のマージンが選択されています。

$$R_S = \frac{V_{CS-TH1}}{I_{PEAK(CL)}} = \frac{75\ mV}{13.5\ A \times 1.4} = 3.97\ m\Omega \tag{28}$$

R_Sには、最も近い標準値として4mΩが選択されます。R_Sの最大電力損失は次のように計算されます。

$$P_{LOSS(RS)} = I^2R = (13.5\ A \times 1.4)^2 \times 4\ m\Omega = 1.43\ W \tag{29}$$

8.2.2.6 電流センス・フィルタR_{CSFP}、R_{CSFN}、C_{CS}

電流センス・フィルタはオプションです。通常は、100pFのC_{CS}と100ΩのR_{CSFP}およびR_{CSFN}が推奨されます。CSPおよびCSNピンは高インピーダンスなので、C_{CS}は物理的にデバイスの近くに配置します。

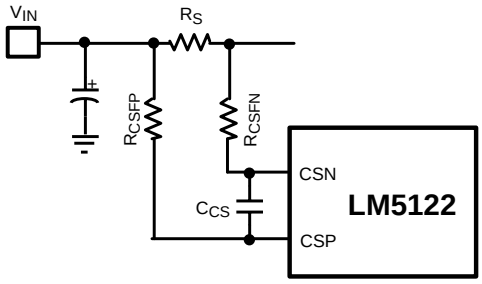


Figure 41. 電流センス・フィルタ

8.2.2.7 勾配補償抵抗R_{SLOPE}

Kの値は、最小入力電圧において1になるよう選択します。R_{SLOPE}は、検出されるインダクタ電流と勾配補償の和が、COMPの出力HIGH電圧よりも小さくなるよう、注意して選択します。

$$R_{SLOPE} > \frac{8 \times 10^9}{f_{SW}} = \frac{8 \times 10^9}{250\ kHz} = 32\ k\Omega \tag{30}$$

$$R_{SLOPE} = \frac{L_{IN} \times 6 \times 10^9}{\left[K \times V_{OUT} - V_{IN(MIN)}\right] \times R_S \times 10} = \frac{10\ \mu H \times 6 \times 10^9}{(1 \times 24V - 9V) \times 4m\Omega \times 10} = 100\ k\Omega \tag{31}$$

R_{SLOPE}には、最も近い標準値として100kΩが選択されます。

8.2.2.8 出力コンデンサC_{OUT}

出力コンデンサは、出力電圧のリップルを平滑化し、過渡負荷状況において充電源となります。さらに、負荷が突然切断されたときは、出力コンデンサによって出力電圧のオーバーシュートが低減されます。

出力コンデンサのリップル電流定格は、注意深く選択します。昇圧レギュレータでは、出力に不連続な電流が供給されるため、一般にリップル電流の要件は大きくなります。実際には、大きなアルミ電解コンデンサよりも先に、電力スイッチの近くに高品質のセラミック・コンデンサを配置することで、リップル電流の要件を大幅に低減できます。

出力電圧リップルは、出力コンデンサのESRの影響を大きく受けます。出力コンデンサの並列化は、実効ESRを最小化し、コンデンサへの出力リップル電流を分割するための適切な選択肢です。

この例では、3つの330µFのアルミ電解コンデンサを使用して、出力リップル電流を分担し、必要な電荷を供給しています。最大出力リップル電流は、最小入力電圧を使用して、次のように単純に計算できます。

$$I_{RIPPLE_MAX(COUT)} = \frac{I_{OUT}}{2 \times \frac{V_{IN(MIN)}}{V_{OUT}}} = \frac{4.5A}{2 \times \frac{9V}{24V}} = 6A \tag{32}$$

出力コンデンサごとのESRが60mΩと想定し、最小入力電圧における出力電圧リップルは次のように計算されます。

$$V_{RIPPLE_MAX(COUT)} = \frac{I_{OUT}}{\frac{V_{IN(MIN)}}{V_{OUT}}} \times \left(R_{ESR} + \frac{1}{4 \times C_{OUT} \times f_{SW}} \right) = \frac{4.5A}{\frac{9V}{24V}} \times \left(\frac{60m\Omega}{3} + \frac{1}{4 \times 3 \times 330\ \mu F \times 250\ kHz} \right) = 0.252V \tag{33}$$

実際には、大きなアルミ電解コンデンサよりも先に、4つの10µFのセラミック・コンデンサを追加して、出力電圧リップルを低減し、出力リップル電流を分割します。

入力から出力への本質的なパスの関係で、入力電圧が急速に上昇して出力コンデンサを充電するときに、無制限の突入電流が発生する可能性があります。入力電圧の立ち上がりスルー・レートは、ホットスワップまたは入力電源をソフトに起動することで制御し、突入電流がインダクタ、センス抵抗、またはハイサイドNチャネルMOSFETスイッチに損傷を引き起こすことを回避します。

8.2.2.9 入力コンデンサC_{IN}

入力コンデンサは、入力電圧リップルを平滑化します。入力コンデンサに高品質のセラミック・コンデンサが使用されていると想定して、入力電圧が出力電圧の半分であるときに発生する最大入力電圧リップルは、次のように計算できます。

$$V_{RIPPLE_MAX(CIN)} = \frac{V_{OUT}}{32 \times L_{IN} \times C_{IN} \times f_{SW^2}} = \frac{24V}{32 \times 10\ \mu H \times 4 \times 3.3\ \mu F \times 250\ kHz^2} = 0.09V \tag{34}$$

入力コンデンサの値は、ソース・インピーダンス、すなわちソース電源のインピーダンスの関数でもあります。ソース電源のインピーダンスが十分に低くない場合、電源オン時のチャタリングを防止するため、さらに多くの入力コンデンサが必要です。

8.2.2.10 VINフィルタR_{VIN}、C_{VIN}

VINピンのR-Cフィルタ(R_{VIN}、C_{VIN})はオプションです。C_{IN}コンデンサが高品質のセラミック・コンデンサで、物理的にデバイスの近くに配置されている場合には必要ありません。このフィルタは、VINピンに注入される高周波のスイッチング・ノイズにより引き起こされるフォルトを防止するため役立ちます。この例では、0.47µFのセラミック・コンデンサが使用されています。3ΩのR_{VIN}と、0.47µFのC_{VIN}が一般に推奨されます。入力電圧が8Vより低い、または必要なデューティ・サイクルが最大デューティ・サイクル制限に近い場合は、2.2µ～4.7µFのC_{VIN}による、より大きなフィルタをお勧めします。

Copyright © 2013–2017, Texas Instruments Incorporated

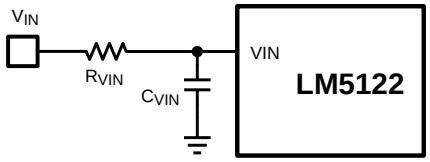


Figure 42. VINフィルタ

8.2.2.11 ブートストラップ・コンデンサC_{BST}と、昇圧ダイオードD_{BST}

BSTピンとSWピンとの間のブートストラップ・コンデンサは、各サイクルのターンオン時にハイサイドNチャネルMOSFETデバイスを充電するためのゲート電流を供給するとともに、ブートストラップ・ダイオードの回復電荷を供給します。これらの電流のピークは、数アンペアになることがあります。ブートストラップ・コンデンサの推奨値は0.1µFです。配線のインダクタンスにより引き起こされる電圧過渡による損傷の可能性を最小限に抑えるため、C_{BST}には、良好な品質の、ESRの低いセラミック・コンデンサを使用し、デバイスのピンに配置する必要があります。ブートストラップ・コンデンサの最小値は次のように計算されます。

$$C_{BST} = \frac{Q_G}{\Delta V_{BST}}[F]$$

ここで

- Q_Gは、ハイサイドNチャネルMOSFETのゲート電荷です。
- ΔV_{BST}は、C_{BST}で許容される電圧ドループで、控えめにみて、一般にVCCの5%または0.15V未満です。 (35)

この例では、BSTコンデンサの値(C_{BST})は0.1µFです。

D_{BST}の電圧定格は、ピークSWノード電圧 + 16Vより高い必要があります。バイパス動作には、低リークのダイオードが必須となります。D_{BST}のリーク電流は、BSTチャージ・ポンプが高温でも十分なハイサイド・ドライバ電源電圧を維持できるよう、十分に低い必要があります。出力電圧の高いアプリケーションでは、低リークのダイオードにより、シャットダウン時に過剰なVCC電圧が生じる可能性も避けられます。リークが大きすぎる場合、ツェナーVCCクランプまたはブリード抵抗が必要になることがあります。ハイサイド・ドライバ電源電圧は、最小入力電圧時に、ハイサイドNチャネルMOSFETスイッチのゲート・プラトーよりも高い必要があります。

8.2.2.12 VCCコンデンサC_{VCC}

VCCコンデンサの主な目的は、LOドライバおよびブートストラップ・ダイオードのピーク過渡電流を供給し、VCCレギュレータを安定させることです。これらのピーク電流は、数アンペアになることがあります。C_{VCC}の値は、C_{BST}の値の最低10倍にする必要があり、良好な品質でESRが低いセラミック・コンデンサを使用します。配線のインダクタンスから引き起こされる過渡電圧による損傷の可能性を最小限に抑えるため、C_{VCC}はデバイスのピンの近くに配置します。この設計例では、4.7µFの値が選択されています。

8.2.2.13 出力電圧分圧抵抗R_{FB1}、R_{FB2}

R_{FB1}およびR_{FB2}は、出力電圧レベルを設定します。これらの抵抗の比率は、次のように計算されます。

$$\frac{R_{FB2}}{R_{FB1}} = \frac{V_{OUT}}{1.2V} - 1 \quad (36)$$

R_{COMP}とR_{FB2}の比率が、中間バンドのゲインA_{FB_MID}を決定します。R_{FB2}に大きな値を使用すると、それに対応してR_{COMP}にも大きな値が必要になる可能性があります。R_{FB2}は、分圧抵抗の合計消費電力を小さく保つため、十分に大きくする必要があります。この例では、ハイサイド帰還抵抗として、49.9kΩと825Ωの直列が選択されており、24V出力についてR_{FB1}の値は2.67kΩになります。

8.2.2.14 ソフトスタート・コンデンサC_{SS}

ソフトスタート時間(t_{SS})は、出力電圧が、入力電圧から目標電圧に到達するまでの時間です。ソフトスタート時間はソフトスタート・コンデンサに比例するだけでなく、入力電圧にも依存します。C_{SS}が0.1µFのとき、ソフトスタート時間は次のように計算されます。

$$t_{SS(MIN)} = \frac{C_{SS} \times 1.2V}{I_{SS}} \times \left(1 - \frac{V_{IN(MAX)}}{V_{OUT}}\right) = \frac{0.1\,\mu F \times 1.2V}{10\,\mu A} \times \left(1 - \frac{20V}{24V}\right) = 2\ msec \quad (37)$$

Copyright © 2013–2017, Texas Instruments Incorporated

$$t_{SS(MAX)} = \frac{C_{SS} \times 1.2V}{I_{SS}} \times \left(1 - \frac{V_{IN(MIN)}}{V_{OUT}}\right) = \frac{0.1\,\mu F \times 1.2V}{10\,\mu A} \times \left(1 - \frac{9V}{24V}\right) = 7.5\ msec \quad (38)$$

8.2.2.15 再起動コンデンサC_{RES}

再起動コンデンサは、再起動遅延時間t_{RD}と、ヒカップ・モードのオフ時間t_{RES}を決定します（Figure 26を参照）。t_{RD}は、$t_{SS(MAX)}$よりも大きい必要があります。C_{RES}の必要な最小値は、低い入力電圧では次のように計算できます。

$$C_{RES(MIN)} = \frac{I_{RES} \times t_{SS(MAX)}}{V_{RES}} = \frac{30\,\mu A \times 7.5\ msec}{1.2V} = 0.19\ \mu F \quad (39)$$

C_{RES}には、標準値の0.47µFが選択されます。

8.2.2.16 ローサイド電力スイッチQ_L

異なるデバイスの相対効率を比較する方法の1つは、損失の詳細を検討して電力NチャネルMOSFETデバイスを選択することです。ローサイドNチャネルMOSFETデバイスでの損失は、伝導損失とスイッチング損失に分けられます。

ローサイドの伝導損失は、次のように概算されます。

$$P_{COND(LS)} = D \times I_{IN^2} \times R_{DS_ON(LS)} \times 1.3 = \left(1 - \frac{V_{IN}}{V_{OUT}}\right) \times \left(\frac{I_{OUT} \times V_{OUT}}{V_{IN}}\right)^2 \times R_{DS_ON(LS)} \times 1.3[W] \quad (40)$$

ここで、Dはデューティ・サイクルで、係数1.3はNチャネルMOSFETデバイスの発熱によるオン抵抗の増大を表します。または、NチャネルMOSFETのデータシートにある$R_{DS(ON)}$と温度の関係を示す曲線から、NチャネルMOSFETデバイスの高温でのオン抵抗を推定できれば、係数1.3を除去できます。

スイッチング損失は、ローサイドNチャネルMOSFETデバイスがオン/オフする短い遷移期間に発生します。この遷移期間において、NチャネルMOSFETデバイスのチャネルには、電流と電圧の両方が存在します。ローサイドのスイッチング損失は、次のように概算されます。

$$P_{SW(LS)} = 0.5 \times V_{OUT} \times I_{IN} \times (t_R + t_F) \times f_{SW}[W] \quad (41)$$

t_Rおよびt_Fは、ローサイドNチャネルMOSFETデバイスの立ち上がりおよび立ち下がり時間です。立ち上がりおよび立ち下がり時間は通常、NチャネルMOSFETのデータシートに記載されているか、オシロスコープにより実験的に観測できます。

SWノードでの負の電圧スパイクを最小化するため、ローサイドNチャネルMOSFETスイッチと並列にショットキー・ダイオードを追加し、ソースとドレインに短い配線で接続します。

Copyright © 2013–2017, Texas Instruments Incorporated

8.2.2.17 ハイサイド電力スイッチQ_Hと追加の並列ショットキー・ダイオード

ハイサイドNチャネルMOSFETデバイスでの損失は、伝導損失、デッド・タイム損失、逆方向回復損失に分けられます。スイッチング損失は、ローサイドNチャネルMOSFETデバイスについてのみ計算されます。ハイサイドNチャネルMOSFETデバイスのスイッチング損失は無視できる程度です。これは、ハイサイドNチャネルMOSFETデバイスのボディ・ダイオードが、ハイサイドNチャネルMOSFETデバイスが切り替わる前と後にオンになるためです。

ハイサイドの伝導損失は、次のように概算されます。

$$P_{COND(HS)} = (1-D) \times I_{IN^2} \times R_{DS_ON(HS)} \times 1.3 = \left(\frac{V_{IN}}{V_{OUT}}\right) \times \left(\frac{I_{OUT} \times V_{OUT}}{V_{IN}}\right)^2 \times R_{DS_ON(HS)} \times 1.3 [W] \quad (42)$$

デッド・タイム損失は、次のように概算されます。

$$P_{DT(HS)} = V_D \times I_{IN} \times (t_{DLH} + t_{DHL}) \times f_{SW} [W]$$

ここで

- V_Dは、ハイサイドNMOSボディ・ダイオードの順方向電圧降下です。 (43)

ハイサイドNチャネルMOSFETスイッチの逆方向回復特性は、特に出力電圧が高いとき、効率に大きな影響を及ぼします。逆方向回復電荷が小さいと、効率が向上し、スイッチング・ノイズも最小化されます。

逆方向回復損失は、次のように概算されます。

$$P_{RR(HS)} = V_{OUT} \times Q_{RR} \times f_{SW} [W] \quad (44)$$

ここで

- Q_{RR}はハイサイドNチャネルMOSFETのボディ・ダイオードの逆方向回復電荷です。 (45)

ハイサイド・スイッチと並列にショットキー・ダイオードを追加すると、効率を向上できます。通常、このダイオードはデッド・タイム中にしか導通しないため、この並列ショットキー・ダイオードの電力定格は、ハイサイド・スイッチよりも小さくてかまいません。バイパス動作が必要な場合、ヒカップ・モード動作が必要な場合、またはスイッチング前に負荷が存在する場合は、並列ダイオードの電力定格をハイサイド・スイッチと同じか、それより大きくします。

8.2.2.18 スナバ部品

ハイサイドNチャネルMOSFETデバイスの両端に抵抗-コンデンサのスナバ回路を配置すると、スイッチング・ノードのリンギングおよびスパイクが減少します。過剰なリンギングおよびスパイクは、誤動作を引き起こす可能性があり、出力電圧にノイズを結合させることもあります。スナバの値の選択には、実験的な手法が最適です。最初に、スナバ接続のリードが非常に短いことを確認します。抵抗値は、5～50Ωから開始します。スナバ・コンデンサの値を増やすとダンピングが増えますが、スナバでの損失も大きくなります。スナバ・コンデンサは、重負荷時にスイッチ波形のスパイクを十分にダンピングできる、最小の値から開始します。最適化されたレイアウトでは、スナバが必要ないこともあります。

Copyright © 2013–2017, Texas Instruments Incorporated

8.2.2.19 ループ補償部品C_{COMP}、R_{COMP}、C_{HF}

R_{COMP}、C_{COMP}、C_{HF}は、エラー・アンプのゲインと位相特性を設定し、安定した電圧ループを生み出します。手早く開始するには、次の4つの手順に従います。

1. f_{CROSS}を選択します。

   クロスオーバー周波数(f_{CROSS})として、RHPゼロの1/4、またはスイッチング周波数の1/10のうち、どちらか低い方を選択します。

   $$\frac{f_{SW}}{10} = 25 \text{ kHz} \tag{46}$$

   $$\frac{f_{Z_RHP}}{4} = \frac{R_{LOAD} \times (D')^2}{4 \times 2\pi \times L_{IN_EQ}} = \frac{\frac{V_{OUT}}{I_{OUT}} \times (\frac{V_{IN}}{V_{OUT}})^2}{4 \times 2\pi \times L_{IN_EQ}} = 5.3 \text{ kHz} \tag{47}$$

   2つの間で、5.3kHzのクロスオーバー周波数が選択されます。入力電圧範囲が広い場合、最小入力電圧でのRHPゼロを考慮します。

2. 必要なR_{COMP}を決定します。

   f_{CROSS}が判明していれば、R_{COMP}は次のように計算されます。

   $$R_{COMP} = f_{CROSS} \times \pi \times R_S \times R_{FB2} \times 10 \times C_{OUT} \times \frac{V_{OUT}}{V_{IN}} = 68.5 \text{ k}\Omega \tag{48}$$

   R_{COMP}には標準値68.1kΩが選択されます。

3. 負荷極を打ち消すためのC_{COMP}を決定します。エラー・アンプのゼロを、負荷極の周波数の2倍に配置します。R_{COMP}が判明していれば、C_{COMP}は次のように計算されます。

   $$C_{COMP} = \frac{R_{LOAD} \times C_{OUT}}{4 \times R_{COMP}} = 20.2\text{nF} \tag{49}$$

   C_{COMP}には標準値22nFが選択されます。

4. ESRのゼロを打ち消すためのC_{HF}を決定します。

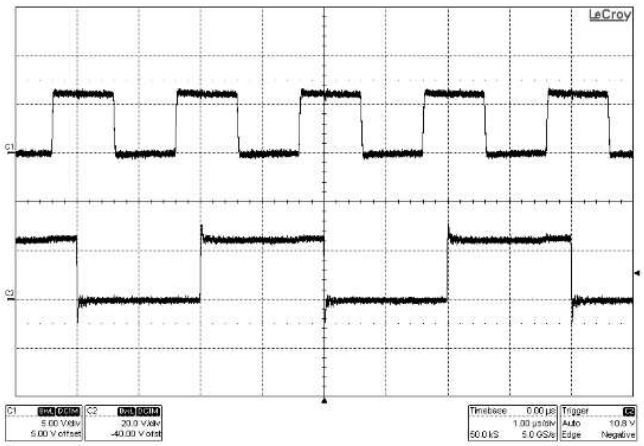
   R_{COMP}、R_{ESR}、C_{COMP}が判明していれば、C_{HF}は次のように計算されます。

   $$C_{HF} = \frac{R_{ESR} \times C_{OUT} \times C_{COMP}}{R_{COMP} \times C_{COMP} - R_{ESR} \times C_{OUT}} = 307 \text{ pF} \tag{50}$$

   C_{HF}には、標準値330pFが選択されます。

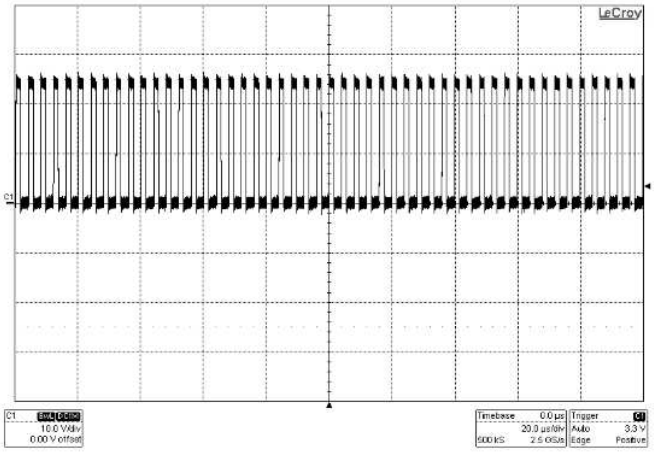
Copyright © 2013–2017, Texas Instruments Incorporated

8.2.3 アプリケーション曲線



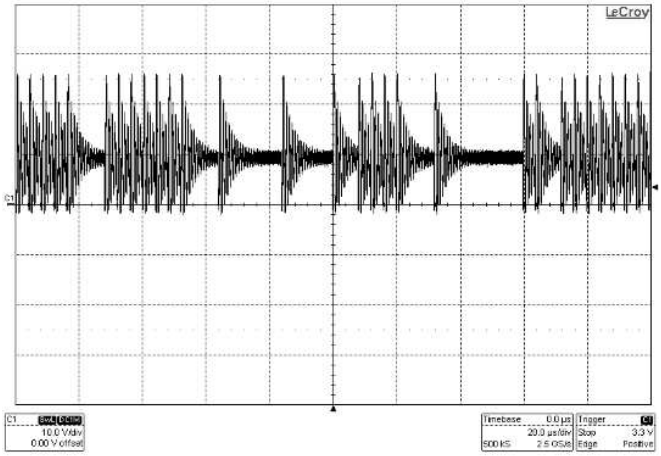
C1: F_{SYNC}　C2: SW　V_{SUPPLY} = 12V、F_{SYNC} = 500kHz

Figure 43. クロック同期



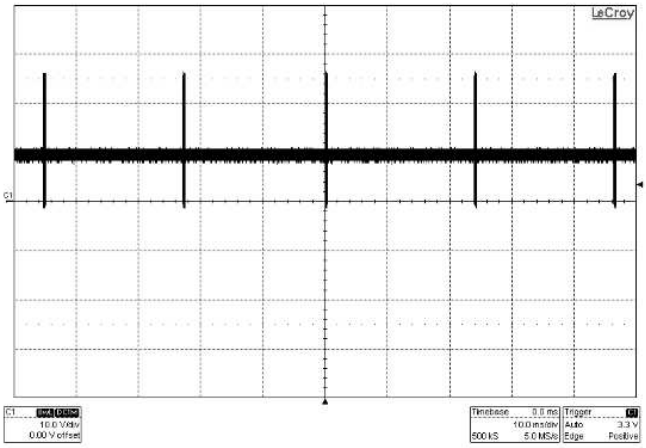
C1: SW　V_{SUPPLY} = 12V　I_{LOAD} = 0A

Figure 44. 強制PWM



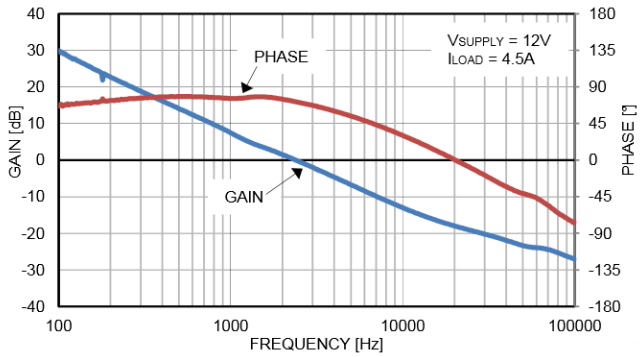
C1: SW　V_{SUPPLY} = 12V　I_{LOAD} = 0A

Figure 45. パルス・スキップ



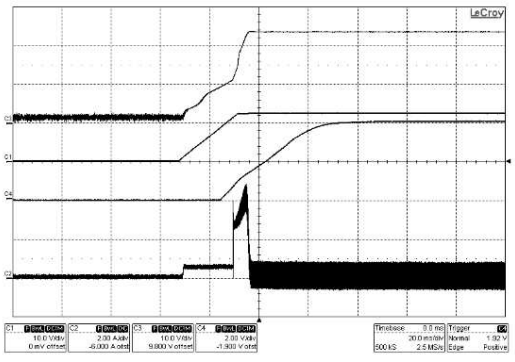
C1: SW　V_{SUPPLY} = 12V　I_{LOAD} = 0A

Figure 46. スキップ・サイクル



C1: SW　V_{SUPPLY} = 12V　I_{LOAD} = 0A

Figure 47. ループ応答



C1: V_{SUPPLY}、C2：インダクタ電流
C3: V_{OUT}、C4: SS
V_{SUPPLY} = 12V
I_{LOAD} = 0A

Figure 48. スタートアップ

9 電源に関する推奨事項

LM5122は、電源管理デバイスです。デバイスの電源には、指定された入力範囲内の任意のDC電圧源を使用できます。

10 レイアウト

10.1 レイアウトの注意点

昇圧レギュレータでは、主なスイッチング・ループは出力コンデンサとNチャネルMOSFETパワー・スイッチで構成されます。このループの面積を最小化することで、浮遊インダクタンスが減少し、ノイズが最小化されます。特に、大きなアルミ電解出力コンデンサよりも先に、高品質のセラミック出力コンデンサをこのループのできるだけ近くに配置すると、アルミ電解コンデンサの出力電圧リップルとリップル電流が最小化されます。

dv/dtによりハイサイド・スイッチのターンオンが誘導されることを防止するため、HOとSWを、短い低インダクタンスのパスで、ハイサイド同期整流NチャネルMOSFETスイッチのゲートとソースに接続します。FPWMモードでは、dv/dtにより ローサイド・スイッチのターンオンが誘導される可能性があります。LOとPGNDを、短い低インダクタンスのパスで、ローサイドNチャネルMOSFETのゲートとソースに接続します。電源グランド接続はすべて、単一のポイントに接続する必要があります。また、ノイズに敏感な低消費電力のグランド接続はすべて、AGNDピンの近くにまとめて接続し、PGNDの単一ポイントに単一接続を行う必要があります。CSPとCSNは高インピーダンスのピンで、ノイズに敏感です。CSPとCSNのパターンは、ひとまとめにして、ケルビン接続を使用して電流センス抵抗に可能な限り短く配線します。必要なら、デバイスの近くに100pFのセラミック・フィルタ・コンデンサを配置します。MODEピンも高インピーダンスで、ノイズに敏感です。MODEピンに外付けのプルアップまたはプルダウン抵抗を使用する場合、デバイスの近くに抵抗を配置します。VCC、VIN、BSTコンデンサは、物理的にデバイスのできるだけ近くに配置します。

LM5122には、電力消費を補助するため、露出サーマル・パッドが搭載されています。露出したパッドの下にいくつかのビアを追加すると、デバイスからの放熱性能が向上します。接合部から周囲への熱抵抗は、アプリケーションによって異なります。最も重要な変数は、プリント基板の銅の面積、露出パッドの下のビア数、強制空冷の量です。デバイスの露出したパッドをプリント基板に接続する際の、半田付けの完全性は非常に重要です。大きな空隙が存在すると、放熱能力が低下します。もっとも電力消費の大きな部品は、2つのパワー・スイッチです。露出パッド付きのNチャネルMOSFETスイッチを選択すると、これらのデバイスの電力消費への対応に役立ちます。

10.2 レイアウト例

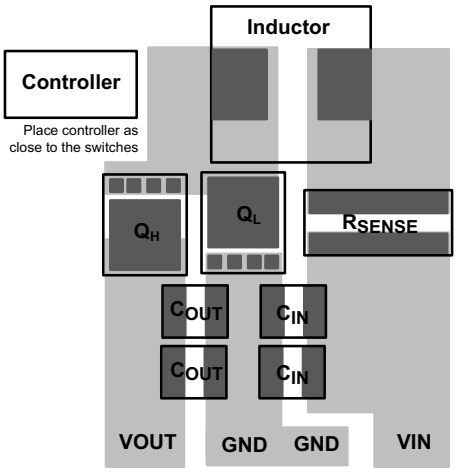


Figure 49. 電力パスのレイアウト

Copyright © 2013–2017, Texas Instruments Incorporated

11 デバイスおよびドキュメントのサポート

11.1 デバイス・サポート

11.1.1 開発サポート

11.1.1.1 WEBENCH®ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designerにより、LM5122デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧(V_{IN})、出力電圧(V_{OUT})、出力電流(I_{OUT})の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designerでは、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する。
- 熱シミュレーションを実行し、基板の熱特性を把握する。
- カスタマイズされた回路図やレイアウトを、一般的なCADフォーマットで出力する。
- 設計のレポートをPDFで印刷し、設計を共有する。

WEBENCHツールの詳細は、www.ti.com/WEBENCHでご覧になれます。

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.comのデバイス製品フォルダを開いてください。右上の隅にある「*通知を受け取る*」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 コミュニティ・リソース

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's Terms of Use.

TI E2E™オンライン・コミュニティ ***TIのE2E（Engineer-to-Engineer）コミュニティ。エンジニア間の共同作業を促進するために開設されたものです。e2e.ti.comでは、他のエンジニアに質問し、知識を共有し、アイディアを検討して、問題解決に役立てることができます。***

設計サポート ***TIの設計サポート*** **役に立つE2Eフォーラムや、設計サポート・ツールをすばやく見つけることができます。技術サポート用の連絡先情報も参照できます。**

11.4 商標

E2E is a trademark of Texas Instruments.
WEBENCH is a registered trademark of Texas Instruments.
All other trademarks are the property of their respective owners.

11.5 静電気放電に関する注意事項



これらのデバイスは、限定的なESD（静電破壊）保護機能を内 蔵しています。保存時または取り扱い時は、MOSゲートに対す る静電破壊を防止するために、リード線同士をショートさせて おくか、デバイスを導電フォームに入れる必要があります。

11.6 Glossary

SLYZ022 — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

Copyright © 2013–2017, Texas Instruments Incorporated

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、そのデバイスについて利用可能な最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2013–2017, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM5122MH/NOPB	Active	Production	HTSSOP (PWP) | 20	73 | TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LM5122 MH
LM5122MH/NOPB.A	Active	Production	HTSSOP (PWP) | 20	73 | TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LM5122 MH
LM5122MH/NOPB.B	Active	Production	HTSSOP (PWP) | 20	73 | TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LM5122 MH
LM5122MHE/NOPB	Active	Production	HTSSOP (PWP) | 20	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LM5122 MH
LM5122MHE/NOPB.A	Active	Production	HTSSOP (PWP) | 20	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LM5122 MH
LM5122MHE/NOPB.B	Active	Production	HTSSOP (PWP) | 20	250 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LM5122 MH
LM5122MHX/NOPB	Active	Production	HTSSOP (PWP) | 20	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LM5122 MH
LM5122MHX/NOPB.A	Active	Production	HTSSOP (PWP) | 20	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LM5122 MH
LM5122MHX/NOPB.B	Active	Production	HTSSOP (PWP) | 20	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LM5122 MH
LM5122ZPWPR	Active	Production	HTSSOP (PWP) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	LM5122Z MH
LM5122ZPWPR.A	Active	Production	HTSSOP (PWP) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	LM5122Z MH
LM5122ZPWPT	Active	Production	HTSSOP (PWP) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	LM5122Z MH
LM5122ZPWPT.A	Active	Production	HTSSOP (PWP) | 24	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	LM5122Z MH

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LM5122 :

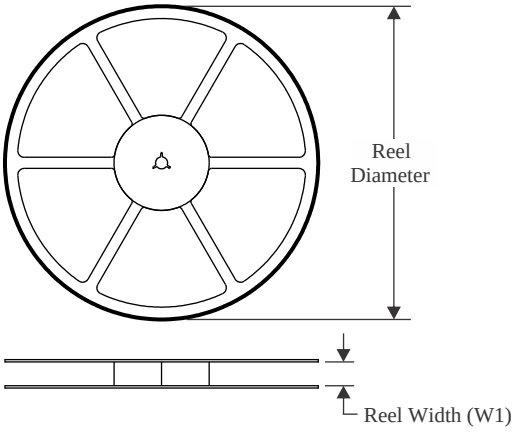
- Automotive : LM5122-Q1

NOTE: Qualified Version Definitions:

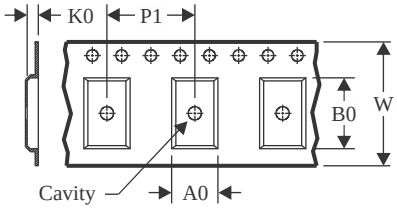
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

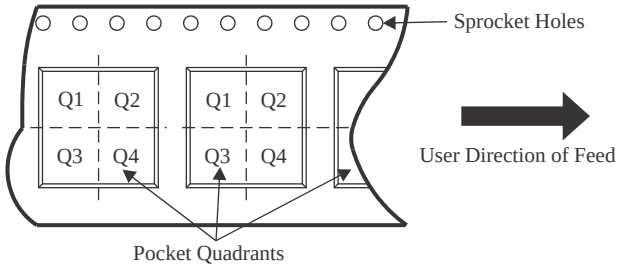


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

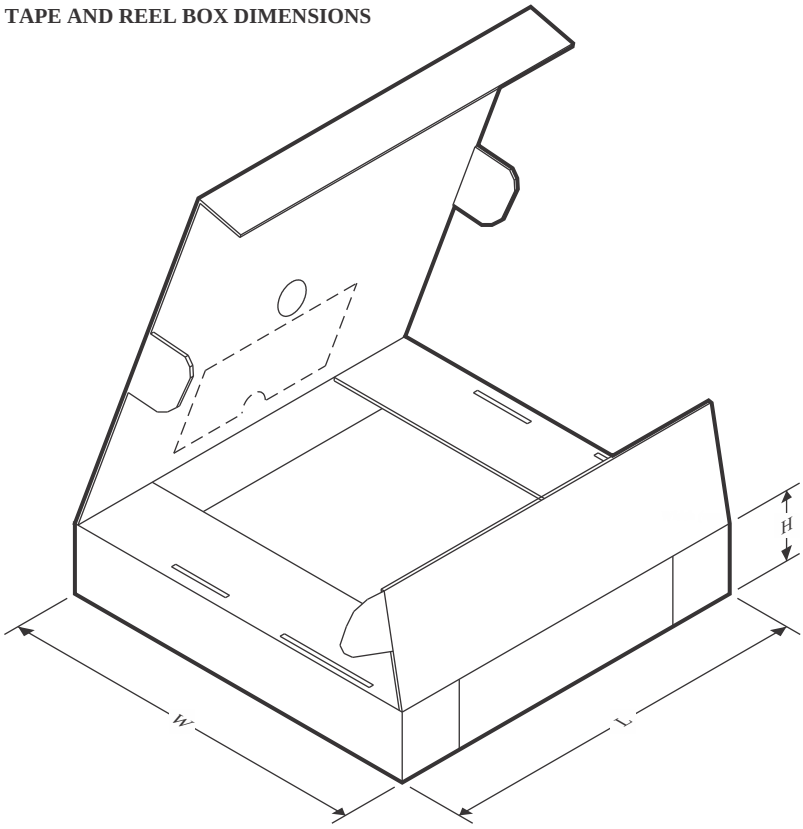
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM5122MHE/NOPB	HTSSOP	PWP	20	250	178.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
LM5122MHX/NOPB	HTSSOP	PWP	20	2500	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
LM5122ZPWPR	HTSSOP	PWP	24	2000	330.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1

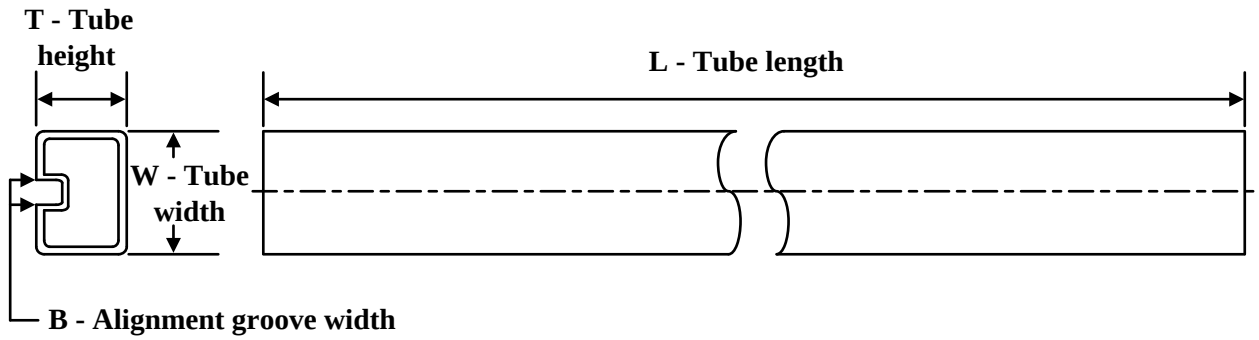
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM5122MHE/NOPB	HTSSOP	PWP	20	250	208.0	191.0	35.0
LM5122MHX/NOPB	HTSSOP	PWP	20	2500	367.0	367.0	35.0
LM5122ZPWPR	HTSSOP	PWP	24	2000	350.0	350.0	43.0

TUBE

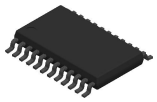


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
LM5122MH/NOPB	PWP	HTSSOP	20	73	495	8	2514.6	4.06
LM5122MH/NOPB.A	PWP	HTSSOP	20	73	495	8	2514.6	4.06
LM5122MH/NOPB.B	PWP	HTSSOP	20	73	495	8	2514.6	4.06

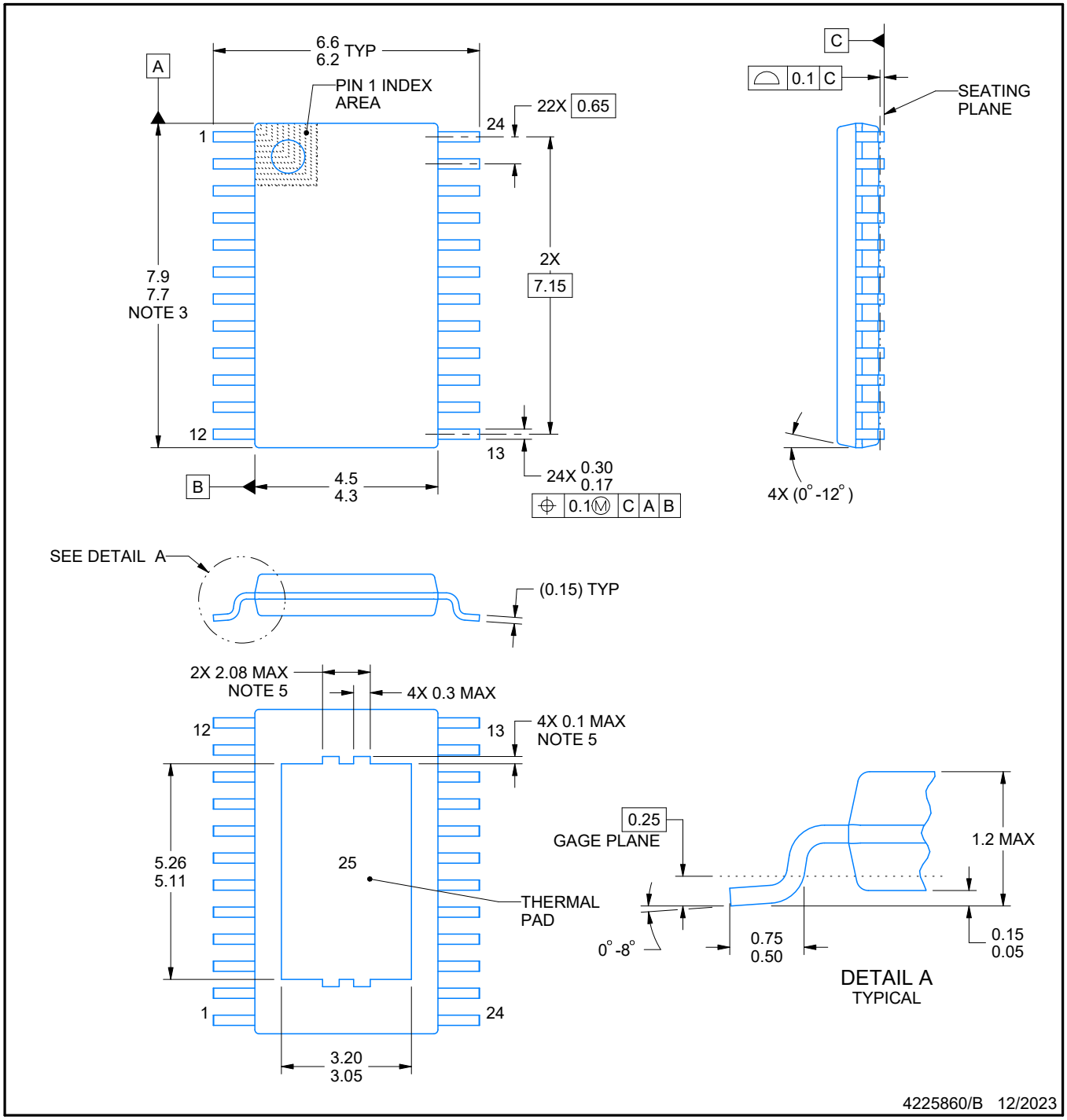
PACKAGE OUTLINE

PWP0024J



PowerPAD™ TSSOP - 1.2 mm max height

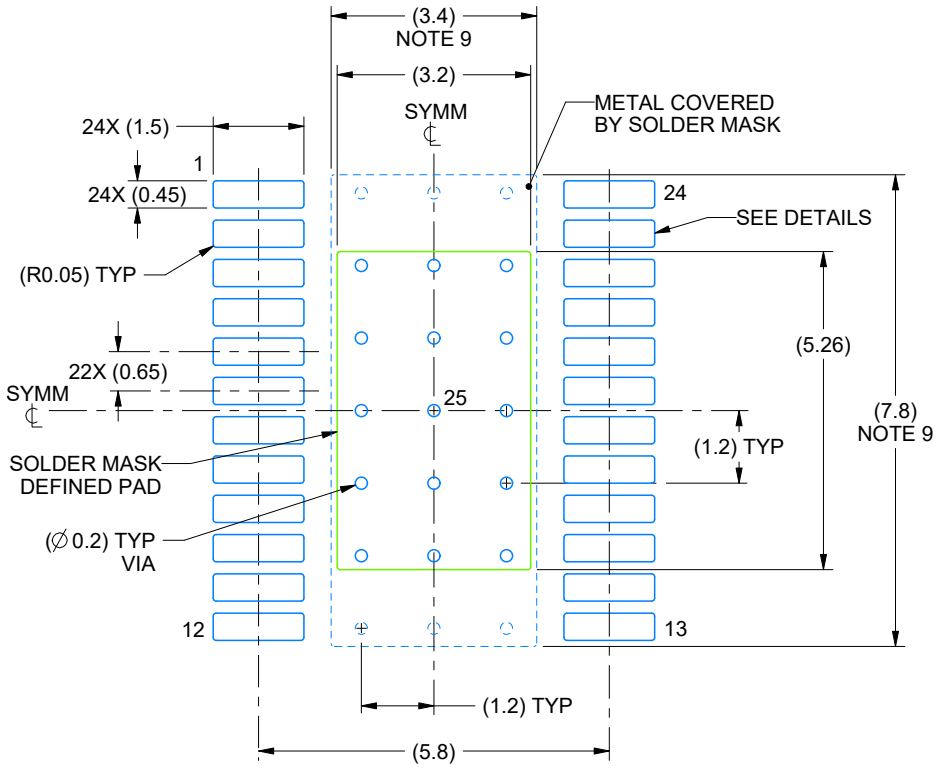
SMALL OUTLINE PACKAGE



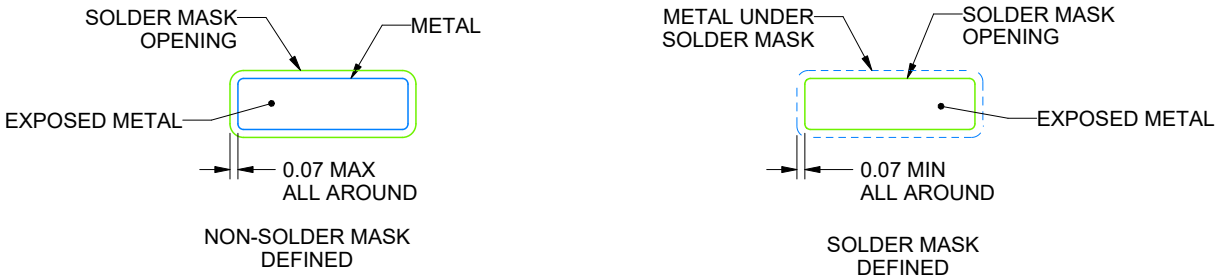
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X

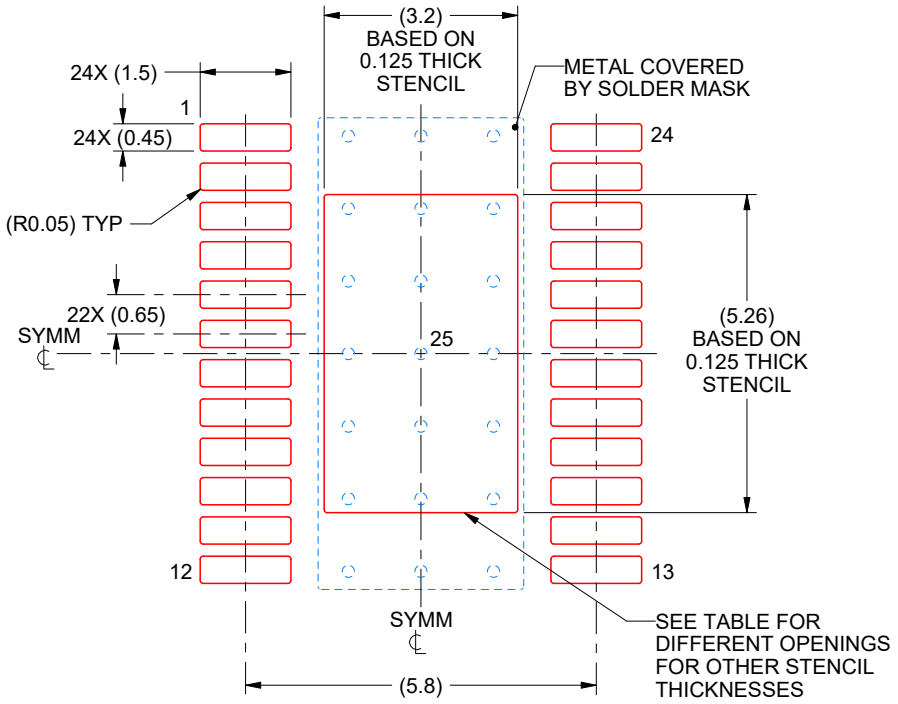


SOLDER MASK DETAILS

4225860/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



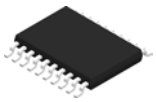
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.58 X 5.88
0.125	3.20 X 5.26 (SHOWN)
0.15	2.92 X 4.80
0.175	2.70 X 4.45

4225860/B 12/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

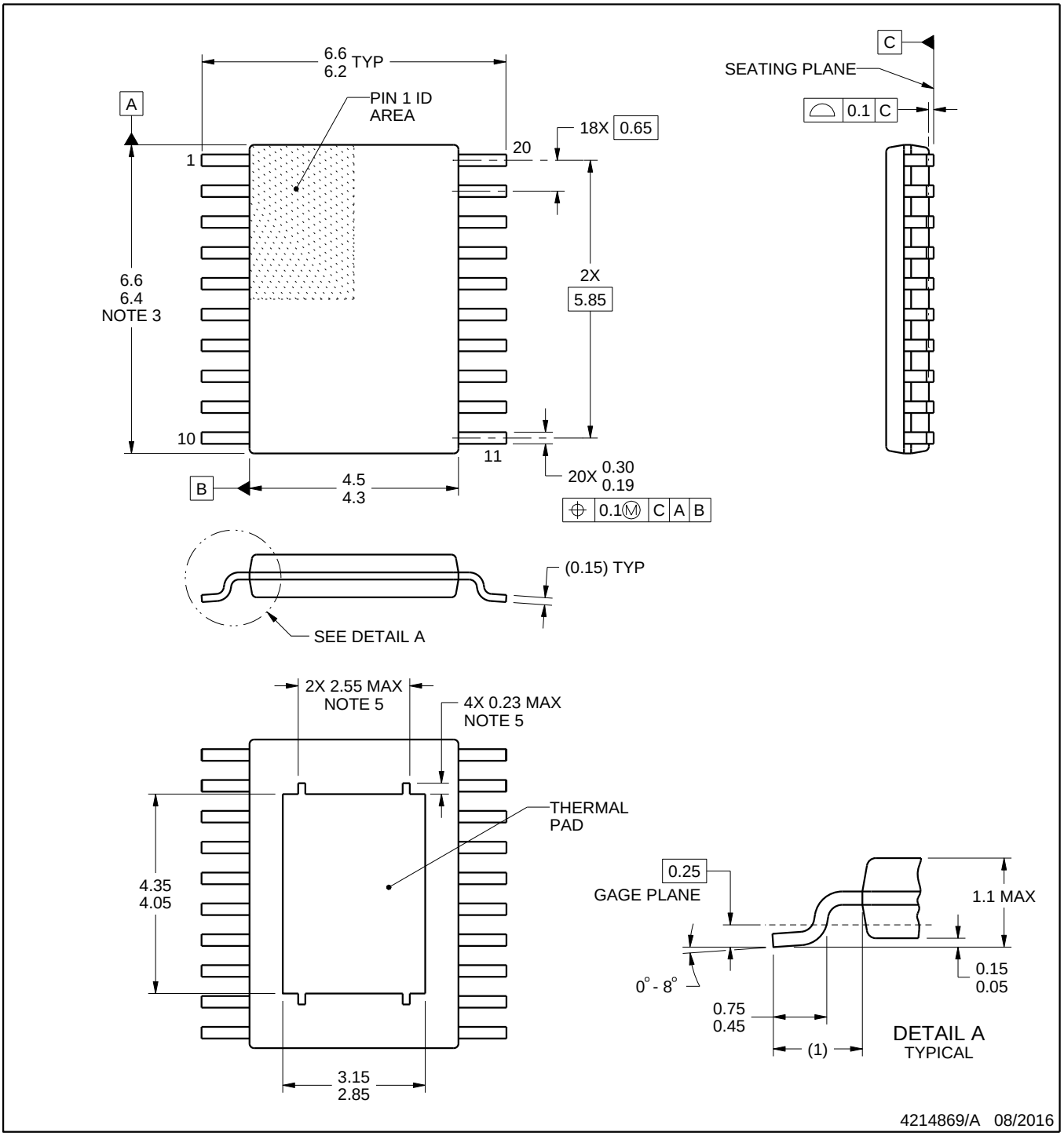


PACKAGE OUTLINE

PWP0020A

PowerPAD™ TSSOP - 1.1 mm max height

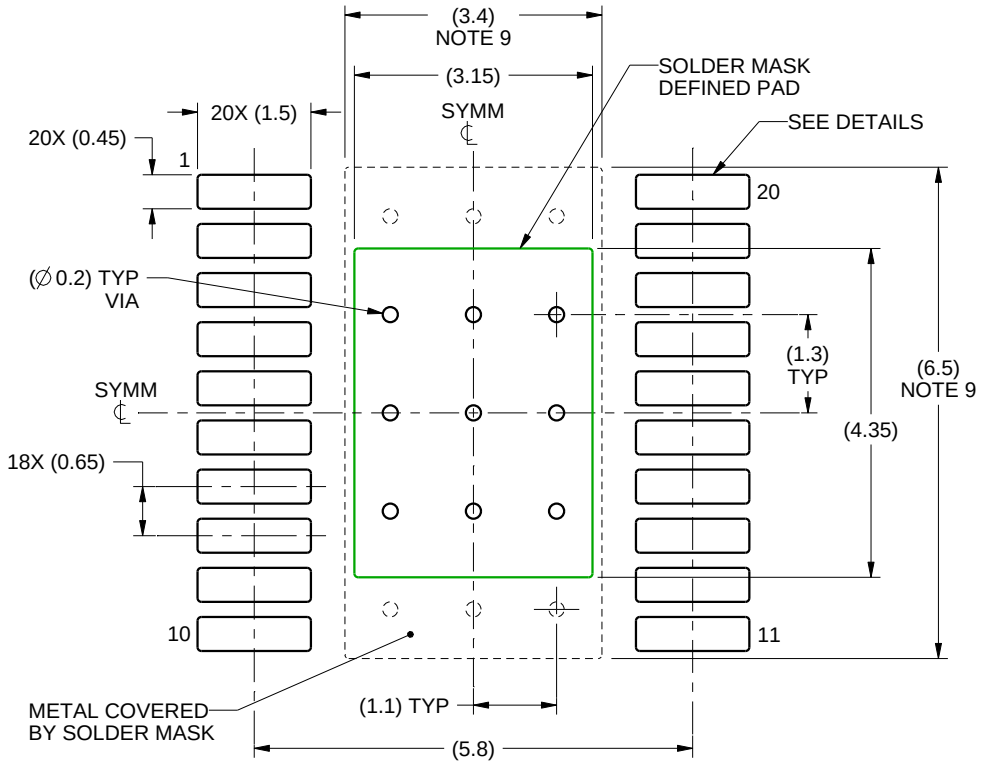
PLASTIC SMALL OUTLINE



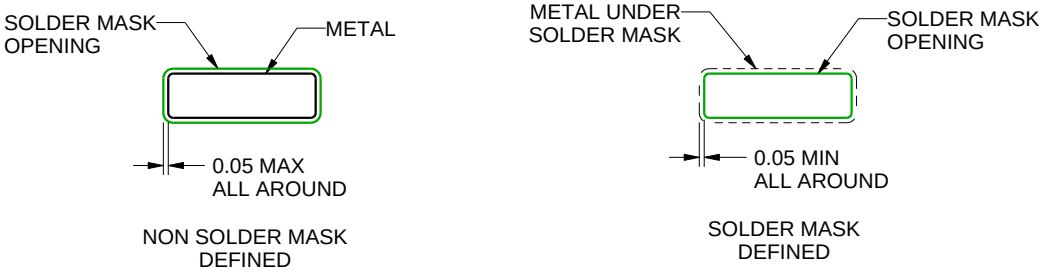
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE:10X

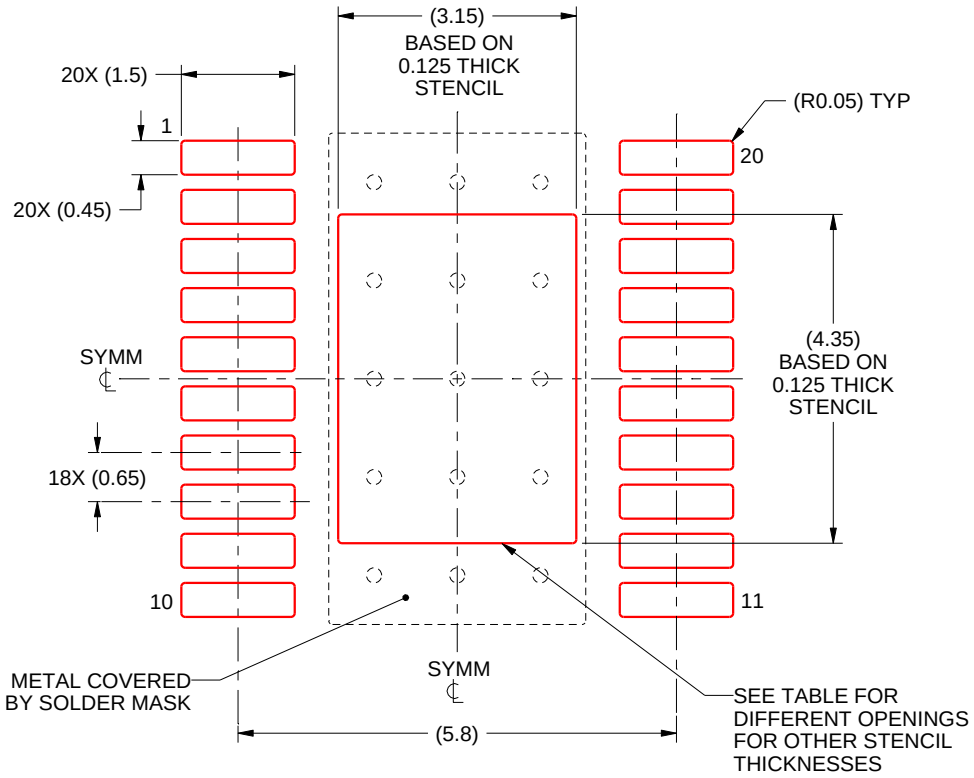


SOLDER MASK DETAILS
PADS 1-20

4214869/A 08/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.52 X 4.86
0.125	3.15 X 4.35 (SHOWN)
0.15	2.88 X 3.97
0.175	2.66 X 3.68

4214869/A 08/2016

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月