LM5143A-Q1 車載用 3.5V～65V デュアル同期整流降圧コントローラ、低 I_Q

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - デバイス温度グレード 1:-40℃～+125℃の動作時周囲温度範囲
- 機能安全対応
  - 機能安全システムの設計に役立つ資料を利用可能
- 多用途な同期整流降圧 DC/DC コントローラ
  - 3.5V～65V の広い入力電圧範囲
  - 精度 1% の固定 3.3V、5V 出力または可変出力 (0.6V～55V)
  - 最大接合部温度:150℃
  - 3.3μA のシャットダウン電流 (標準値)
  - 15μA の無負荷スタンバイ電流 (標準値)
- 2 つのインターリーブ同期整流降圧チャネル
  - 2 チャネルまたは単一出力多相
  - 65ns の $t_{ON(min)}$ により、高い V_{IN}/V_{OUT} 比
  - 60ns の $t_{OFF(min)}$ により、低いドロップアウト
- 堅牢な設計のための本質的な保護機能
  - ヒカップ・モード過電流保護
  - 独立した ENABLE および PGOOD 機能
  - 可変出力電圧ソフト・スタート
  - VCC、VDDA、ゲート・ドライブの UVLO 保護
  - ヒステリシス付きのサーマル・シャットダウン保護
- CISPR 25 Class 5 EMI 要件に最適化
  - スルーレート制御された適応型ゲート・ドライバ
  - スペクトラム拡散によりピーク・エミッションを削減
- 100kHz～2.2MHz のスイッチング周波数
  - SYNC In および SYNC Out 機能
  - ダイオード・エミュレーションまたは FPWM モードを選択可能
- ウェッタブル・フランク・ピン付き VQFN-40 パッケージ
- WEBENCH® Power Designer により、LM5143A-Q1 を使用するカスタム設計を作成

2 アプリケーション

- 車載用電子システム
- インフォテインメント・システム、インストルメント・クラスタ
- 先進運転支援システム (ADAS)
- ボディ・エレクトロニクスおよび照明

3 概要

LM5143A-Q1 は、大電流の単一出力またはデュアル出力に対応する 65V 同期整流降圧 DC/DC コントローラです。広い V_{IN} 範囲のファミリから派生して、インターリーブ方式のスタック可能な電流モード制御アーキテクチャにより、容易なループ補償、高速な過渡応答、優れた負荷およびライン制御、並列化した相での正確なカレント・シェア (電流共有) を実現し、より大きな出力電流に対応します。最小オン時間 65ns のハイサイド・スイッチは大きい降圧率に対応できるため、12V、24V、48V の入力から低電圧レールへの直接変換が可能になり、システムの複雑性とコストを下げることができます。LM5143A-Q1 は、最低 3.5V の入力電圧ディップ時にも動作を継続でき、必要に応じてほぼ 100% のデューティ・サイクルでも動作できます。

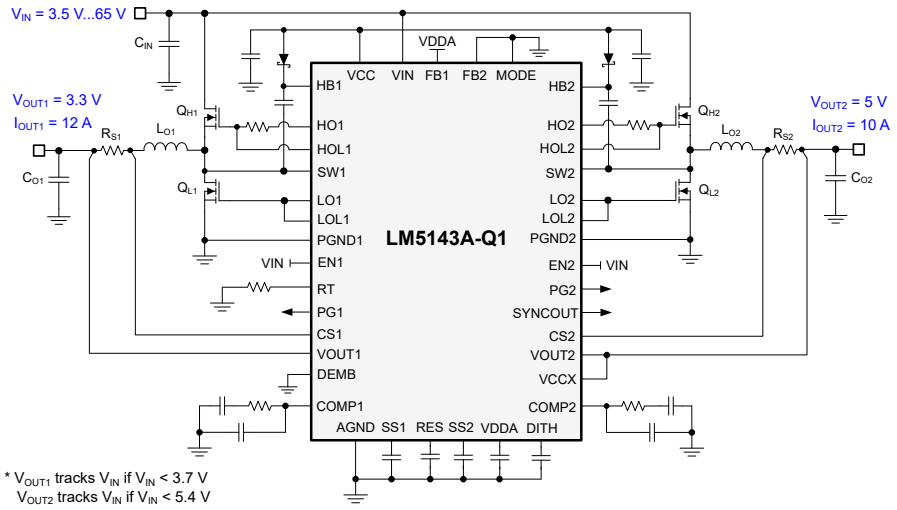
無負荷時静止電流 (出力電圧をレギュレートした状態) は 15μA であるため、バッテリ駆動の車載用システムの動作時間を延長できます。LM5143A-Q1 に対して、スイッチング・レギュレータの出力や他の利用可能な電源から電力を供給することで、入力静止電流と電力損失をさらに低減できます。

製品情報

型番	パッケージ (1)	本体サイズ (公称)
LM5143A-Q1	VQFN (40)	6.00mm × 6.00mm

(1) 利用可能なパッケージについては、このデータシートの末尾にある注文情報を参照してください。

英語版の TI 製品についての情報を翻訳したこの資料は、製品の概要を確認する目的で便宜的に提供しているものです。該当する正式な英語版の最新情報は、www.ti.com で閲覧でき、その内容が常に優先されます。TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、必ず最新版の英語版をご参照くださいますようお願いいたします。



高効率デュアル降圧レギュレータ

Copyright © 2023 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 改訂履歴.....3
5 概要 (続き).....4
6 デバイス比較表.....4
7 ピン構成と機能.....5
7.1 ウェッタブル・フランク.....7
8 仕様.....8
8.1 絶対最大定格.....8
8.2 ESD 定格.....8
8.3 推奨動作条件.....9
8.4 熱に関する情報.....9
8.5 電気的特性.....10
8.6 スイッチング特性.....13
8.7 代表的特性.....15
9 詳細説明.....20
9.1 概要.....20
9.2 機能ブロック図.....21
9.3 機能説明.....22
9.4 デバイスの機能モード.....35
10 アプリケーションと実装.....36
10.1 アプリケーション情報.....36
10.2 代表的なアプリケーション.....43
11 電源に関する推奨事項.....56
12 レイアウト.....57
12.1 レイアウトのガイドライン.....57
12.2 レイアウト例.....60
13 デバイスおよびドキュメントのサポート.....62
13.1 デバイスのサポート.....62
13.2 ドキュメントのサポート.....63
13.3 ドキュメントの更新通知を受け取る方法.....64
13.4 サポート・リソース.....64
13.5 商標.....64
13.6 静電気放電に関する注意事項.....64
13.7 用語集.....64
14 メカニカル、パッケージ、および注文情報.....64

4 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	リビジョン	注
2022 年 5 月	*	初版

5 概要 (続き)

EMI 要件への準拠を容易にする複数の機能が搭載されています。大電流 MOSFET ゲート・ドライバは、可変スルーレート制御により適応的にタイミングを制御し、スイッチング遷移時のボディ・ダイオードの導通を最小限にとどめて、スイッチング損失を低減するとともに、高入力電圧および高スイッチング周波数時の熱および EMI 性能を高めます。入力コンデンサのリップル電流を小さくし、EMI フィルタを小型化するために、2 つの出力の 180° インターリーブ動作もサポートしています。90° 位相差のあるクロック出力は、カスケード、マルチチャネル、多相電力段に最適です。スイッチング周波数は、抵抗により最大 2.2MHz まで設定可能で、最大 2.5MHz の外部クロック・ソースと同期できるため、ノイズに敏感な用途でビート周波数を除去できます。オプションの三角波スペクトラム拡散変調により、EMI 性能をさらに向上させることができます。

LM5143A-Q1 のその他の機能として、最大 150℃の接合部温度での動作、ユーザー選択可能なダイオード・エミュレーションによる軽負荷時消費電流の低減、設定可能なソフトスタート機能、オープンドレインのパワー・グッド・フラグによるフォルト報告と出力監視、独立したイネーブル入力、プリバイアスされた負荷への単調なスタートアップ、内蔵 VCC バイアス電源レギュレータ (VCCX に接続された外部バイアスとの自動切換え機能付き)、プログラム可能なヒカップ・モード過負荷保護、自動回復機能付きサーマル・シャットダウン保護があります。電流検出では、インダクタの DCR を使用して最高水準の効率を実現できます。また、オプションのシャント抵抗を使用すれば、高精度を実現できます。

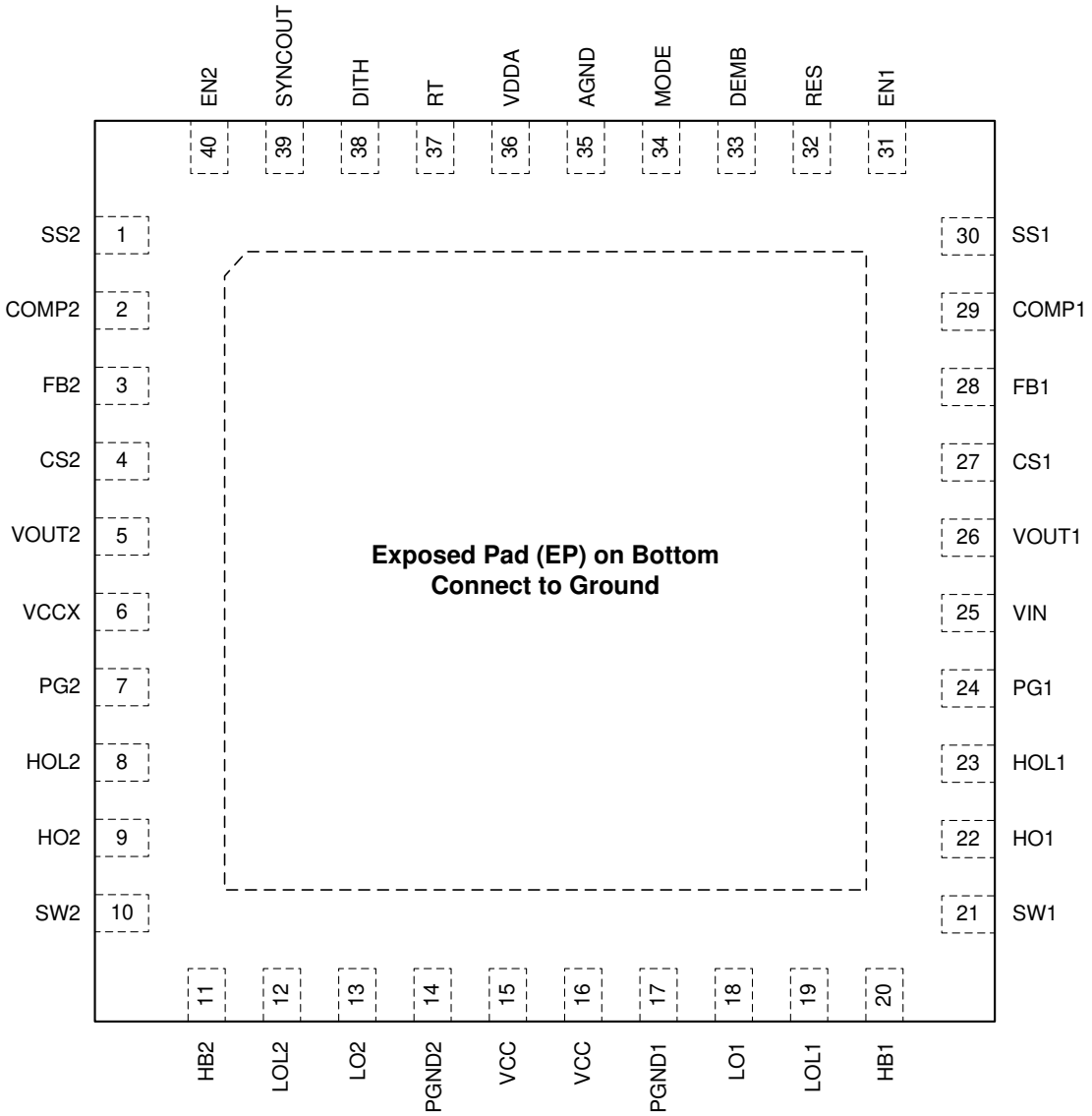
LM5143A-Q1 コントローラは、6mm × 6mm の熱特性強化された 40 ピンの VQFN パッケージに搭載されています。。広い入力電圧範囲、低い静止電流消費、高温での動作、サイクルごとの電流制限、低い EMI シグネチャ、小型ソリューション・サイズにより、信頼性と耐久性の向上が求められるアプリケーションに最適なポイント・オブ・ロード・レギュレータ・ソリューションを実現できます。

6 デバイス比較表

デバイス	発注用製品型番	パッケージ図	パッケージの種類	ウェッタブル・フランク	V_{IN} の最大値
LM5143A-Q1	LM5143QRHARQ1	RHA	VQFNP	あり	65V
LM25143-Q1	LM25143QRHARQ1	RHA	VQFNP	あり	42V

Copyright © 2023 Texas Instruments Incorporated

7 ピン構成と機能



A. 底面の露出したパッドを PCB 上の AGND と PGND に接続します。

図 7-1. パッケージ (上面図)

表 7-1. ピンの機能

ピン		種類[(1)]	説明
名称	番号		
SS2	1	I	チャネル 2 ソフトスタート・プログラミング・ピン。外付けセラミック・コンデンサと内部の 20μA の電流ソースにより、ソフトスタート中の内部エラー・アンプのリファレンス電圧のランプ・レートが設定されます。SS2 が 150mV 未満になると、チャネル 2 のゲート・ドライバ出力はオフになりますが、他の機能はすべてアクティブ状態を維持します。
COMP2	2	O	チャネル 2 相互コンダクタンス・エラー・アンプの出力。COMP2 は、単一出力インターリーブ、または単一出力マルチフェーズ動作時に高インピーダンスになります。
FB2	3	I	チャネル 2 のフィードバック入力。3.3V 出力の場合は FB2 を VDDA に、5V 出力固定の場合は FB2 を AGND に接続します。VOUT2 から FB2 の間に抵抗分割器を配置すると、出力電圧レベルは 0.6V～55V の範囲になります。FB2 のレギュレーション・スレッショルドは 0.6V です。
CS2	4	I	チャネル 2 電流センス・アンプ入力。低電流ケルビン接続を使用して、外部電流センス抵抗のインダクタ側 (または、インダクタ DCR 電流センシングが使用されている場合は、関連するセンス・コンデンサ端子) に CS2 を接続します。
VOUT2	5	I	チャネル 2 の出力電圧センスと電流センス・アンプ入力。チャネル 2 の電流センス抵抗の出力側 (または、インダクタ DCR 電流センシングが使用されている場合は、関連するセンス・コンデンサ端子) に VOUT2 を接続します。
VCCX	6	P	外部バイアス電源用のオプション入力。V_{VCCX} > 4.3V の場合、VCCX は VCC に内部で接続され、内部の VCC レギュレータはディセーブルになります。VCCX と PGND の間にセラミック・コンデンサを接続します。
PG2	7	O	VOUT2 が指定されたレギュレーション・ウィンドウの範囲外である場合に Low になるオープン・コレクタ出力
HOL2	8	O	チャネル 2 ハイサイド・ゲート・ドライバのターンオフ出力
HO2	9	O	チャネル 2 ハイサイド・ゲート・ドライバのターンオン出力
SW2	10	P	チャネル 2 降圧レギュレータのスイッチング・ノード。ブートストラップ・コンデンサ、ハイサイド MOSFET のソース端子、ローサイド MOSFET のドレイン端子に接続します。
HB2	11	P	ブートストラップ・ゲート駆動用のチャネル 2 ハイサイド・ドライバ電源
LOL2	12	O	チャネル 2 ローサイド・ゲート・ドライバのターンオフ出力
LO2	13	O	チャネル 2 ローサイド・ゲート・ドライバのターンオン出力
PGND2	14	G	ローサイド NMOS ゲート・ドライバの電源グランド接続ピン
VCC	15、16	P	VCC バイアス電源ピン。ピン 15 と 16 は、PCB 上で互いに接続する必要があります。VCC と PGND1 の間、および VCC と PGND2 の間にセラミック・コンデンサを接続します。
PGND1	17	G	ローサイド NMOS ゲート・ドライバの電源グランド接続ピン
LO1	18	O	チャネル 1 ローサイド・ゲート・ドライバのターンオン出力
LOL1	19	O	チャネル 1 ローサイド・ゲート・ドライバのターンオフ出力
HB1	20	P	ブートストラップ・ゲート駆動用のチャネル 1 ハイサイド・ドライバ電源
SW1	21	P	チャネル 1 降圧レギュレータのスイッチング・ノード。チャネル 1 のブートストラップ・コンデンサ、ハイサイド MOSFET のソース端子、ローサイド MOSFET のドレイン端子に接続します。
HO1	22	O	チャネル 1 ハイサイド・ゲート・ドライバのターンオン出力
HOL1	23	O	チャネル 1 ハイサイド・ゲート・ドライバのターンオフ出力
PG1	24	O	VOUT1 が指定されたレギュレーション・ウィンドウの範囲外である場合に Low になるオープン・コレクタ出力
VIN	25	P	VCC レギュレータの電源電圧入力ソース
VOUT1	26	I	チャネル 1 の出力電圧センスと電流センス・アンプ入力。チャネル 1 の電流センス抵抗の出力側 (または、インダクタ DCR 電流センシングが使用されている場合は、関連するセンス・コンデンサ端子) に VOUT1 を接続します。
CS1	27	I	チャネル 1 電流センス・アンプ入力。低電流ケルビン接続を使用して、外部電流センス抵抗のインダクタ側 (または、インダクタ DCR 電流センシングが使用されている場合は、関連するセンス・コンデンサ端子) に CS1 を接続します。
FB1	28	I	チャネル 1 のフィードバック入力。3.3V 出力の場合は FB1 ピンを VDDA に、5V 出力の場合は FB1 を AGND に接続します。VOUT1 から FB1 の間に抵抗分割器を配置すると、出力電圧レベルは 0.6V～55V の範囲になります。FB1 のレギュレーション・スレッショルドは 0.6V です。
COMP1	29	O	チャネル 1 相互コンダクタンス・エラー・アンプ (EA) の出力
SS1	30	I	チャネル 1 ソフトスタート・プログラミング・ピン。外付けコンデンサと内部の 20μA の電流ソースにより、ソフトスタート中の内部エラー・アンプのリファレンス電圧のランプ・レートが設定されます。SS1 電圧が 150mV 未満になると、チャネル 1 のゲート・ドライバ出力はオフになりますが、他の機能はすべてアクティブ状態を維持します。

Copyright © 2023 Texas Instruments Incorporated

表 7-1. ピンの機能 (continued)

ピン		種類[(1)]	説明
名称	番号		
EN1	31	I	アクティブ High 入力 (V_{EN1} > 2V) により、出力 1 はイネーブルになります。出力 1 と 2 がディセーブルの場合、LM5143A-Q1 は SYNC 信号が DEMB に現れるまでシャットダウン・モードになります。EN1 はオープン状態にしないでください。
RES	32	O	再起動タイマ・ピン。外部コンデンサにより、ヒカップ・モードの電流制限が構成されます。RES ピンのコンデンサにより、コントローラがヒカップ・モードで自動的に再起動する前にオフ状態を維持する時間が決定されます。2 つのレギュレータ・チャネルは別々に動作します。1 つのチャネルは通常モードで動作し、もう片方はヒカップ・モードの過負荷保護で動作します。どちらかのチャネルがサイクル単位の電流制限で連続 512 PWM サイクルになると、ヒカップ・モードが発動します。起動中に RES を VDDA に接続すると、ヒカップ・モード保護はディセーブルになります。
DEMB	33	I	ダイオード・エミュレーション・ピン。DEMB を AGND に接続すると、ダイオード・エミュレーション・モードはイネーブルになります。DEMB を VDDA に接続すると、LM5143A-Q1 は軽負荷時に連続導通して強制 PWM (FPWM) モードで動作します。DEMB を同期入力として使用して、内部発振器を外部クロックに同期することもできます。
MODE	34	I	デュアル出力動作またはインターリーブ単一出力動作の場合は、MODE をそれぞれ AGND または VDDA に接続します。同時に、これによって LM5143A-Q1 の EA 相互コンダクタンスが 1200µS に設定されます。MODE と AGND の間に 10kΩ の抵抗を接続することにより、LM5143A-Q1 は超低 I_Q モードで EA 相互コンダクタンス 60µS のデュアル出力動作に設定されます。
AGND	35	G	アナログ・グランド接続。内部電圧リファレンスとアナログ回路のグランドの帰線
VDDA	36	O	内部アナログ・バイアス・レギュレータ出力。VDDA と AGND の間にセラミック・デカップリング・コンデンサを接続します。
RT	37	I	周波数プログラミング・ピン。RT と AGND の間に抵抗を配置することにより、発振器の周波数は 100kHz～2.2MHz の範囲に設定されます。
DITH	38	I	DITH ピンと AGND の間に接続したコンデンサは、20µA の電流ソースで充電や放電されます。ディザリングがイネーブルの場合、DITH ピンの電圧が上昇および下降して、発振器の周波数を内部発振器の -5%～+5% の間で変調します。起動中に DITH を VDDA に接続すると、ディザー機能はディセーブルになります。外部同期クロックが使用される場合、DITH は無視されます。
SYNCOUT	39	O	SYNCOUT は、HO2 に約 90°遅延する (または HO1 に 90°先行する) 立ち上がりエッジを持つロジック・レベル信号です。2 つ目の LM5143A-Q1 コントローラを同期するために SYNCOUT 信号を使用すると、すべての位相は 90°の位相差になります。
EN2	40	I	アクティブ High 入力 (V_{EN2} > 2V) により、出力 2 はイネーブルになります。出力 1 と 2 がディセーブルの場合、LM5143A-Q1 は SYNC 信号が DEMB に現れるまでシャットダウン・モードになります。EN2 はオープン状態にしないでください。

(1) P=電源、G=グランド、I=入力、O=出力

7.1 ウェッタブル・フランク

高い信頼性と堅牢性の要件を満たすには、通常は組み立て後に 100% の自動外観検査 (AVI) を行う必要があります。標準的なクワッド・フラットのリードなし (QFN) パッケージでは、はんだ付け可能な部分や露出したピンと端子は外側から容易に視認できません。そのため、パッケージとプリント回路基板 (PCB) が確実にはんだ付けされているかどうかを視覚的に確認することは困難です。ウェッタブル・フランク・プロセスは、鉛フリーなパッケージにおける片面ウェットの問題を解決するために開発されました。これは、ウェッタブル・フランク付きの 40 ピン VQFNP パッケージを使用して組み立てられており、はんだ付け可能かどうかを視覚的に示すことができます。これにより、検査時間と製造工ストを削減することが可能です。

8 仕様

8.1 絶対最大定格

接合部の動作時推奨温度である -40℃～150℃において (特に記述のない限り)[(1)]

		最小値	最大値	単位
入力電圧	VIN から PGND へ	-0.3	70	V
	SW1、SW2 から PGND へ	-0.3	70	
	SW1、SW2 から PGND へ (過渡 20ns)	-5		
	HB1 から SW1 へ、HB2 から SW2 へ	-0.3	6.5	
	HB1 から SW1 へ、HB2 から SW2 へ (過渡 20ns)	-5		
	HO1 から SW1 へ、HOL1 から SW1 へ、HO2 から SW2 へ、HOL2 から SW2 へ	-0.3	V_{HB} + 0.3	
	HO1 から SW1 へ、HOL1 から SW1 へ、HO2 から SW2 へ、HOL2 から SW2 へ (過渡 20ns)	-5		
	LO1、LOL1、LO2、LOL2 から PGND へ	-0.3	V_{VCC} + 0.3	
	LO1、LOL1、LO2、LOL2 から PGND へ (過渡 20ns)	-1.5	V_{VCC} + 0.3	
	SS1、SS2、COMP1、COMP2、RES、RT、MODE、DITH から AGND へ	-0.3	V_{VDDA} + 0.3	
	EN1、EN2 から PGND へ	-0.3	70	
	VCC、VCCX、VDDA、PG1、PG2、DEMB、FB1、FB2 から AGND へ	-0.3	6.5	
	VOUT1、VOUT2、CS1、CS2 から AGND へ	-0.3	60	
	VOUT1 から CS1 へ、VOUT2 から CS2 へ	-0.3	0.3	
PGND から AGND へ		-0.3	0.3	V
動作時の接合部温度、T_J		-40	150	℃
保存温度、T_{stg}		-40	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。絶対最大定格は、この条件、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗黙的に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

8.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、AEC-Q100-002[(1)] HBM ESD 分類レベル 2 準拠		±2000	V
		デバイス帯電モデル (CDM)、AEC-Q100-011、 CDM ESD 分類レベル C4B 準拠	角のピン	±750	V
			その他のピン	±500	V

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています

Copyright © 2023 Texas Instruments Incorporated

8.3 推奨動作条件

接合部の動作時推奨温度である -40℃～150℃において (特に記述のない限り)。

			最小値	公称値	最大値	単位
V_{IN}	入力電圧範囲	VIN から PGND へ	-0.3		65	V
		SW1、SW2 から PGND へ	-0.3		65	
		HB1 から SW1 へ、HB2 から SW2 へ	-0.3	5	5.25	
		HO1 から SW1 へ、HOL1 から SW1 へ、HO2 から SW2 へ、HOL2 から SW2 へ	-0.3		V_{HB} + 0.3	
		LO1、LOL1、LO2、LOL2 から PGND へ	-0.3	5	5.25	
		FB1、FB2、SS1、SS2、COMP1、COMP2、RES、DEMB、RT、MODE、DITH から AGND へ	-0.3		5.25	
		EN1、EN2 から PGND へ	-0.3		65	
		VCC、VCCX、VDDA から PGND へ	-0.3	5	5.25	
		VOUT1、VOUT2、CS1、CS2 から PGND へ	-0.3		55	
	PGND から AGND へ		-0.3		0.3	
T_J	動作時接合部温度		-40		150	℃

8.4 熱に関する情報

熱評価基準(1)		RHA (VQFNP) 40 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	31.7	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	22.0	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	12.6	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	0.3	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	12.6	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	2.6	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション・レポートを参照してください。

8.5 電気的特性

接合部の動作時推奨温度である -40℃～150℃において (特に記述のない限り)。標準値は、T_J = 25℃、V_{VIN} = 12V、V_{VCCX} = 5V、V_{VOUT1} = 3.3V、V_{VOUT2} = 5V、V_{EN1} = V_{EN2} = 5V、R_{RT} = 10kΩ、f_{SW} = 2.2MHz、無負荷の駆動出力 (HO1、HOL1、LO1、LOL1、HO2、HOL2、LO2、LOL2)

パラメータ		テスト条件	最小値	標準値	最大値	単位
入力電圧 (VIN)						
$I_{SHUTDOWN}$	シャットダウン・モード電流	V_{EN1} = V_{EN2} = 0V		3.3	7	μA
$I_{STANDBY1}$	スタンバイ電流、チャネル 1	V_{EN1} = 5V、V_{EN2} = 0V、V_{VOUT1} = 3.3V、レギュレーション中、無負荷、スイッチングなし、DEMB = MODE = GND		24		μA
$I_{STANDBY2}$	スタンバイ電流、チャネル 2	V_{EN1} = 0V、V_{EN2} = 5V、V_{VOUT2} = 5V、レギュレーション中、無負荷、スイッチングなし、DEMB = MODE = GND		25		μA
$I_{STANDBY3}$	スタンバイ電流、チャネル 1、超低 I_Q モード	V_{EN1} = 5V、V_{EN2} = 0V、V_{VOUT1} = 3.3V、レギュレーション中、無負荷、スイッチングなし、DEMB = GND、R_{MODE} = 10kΩ を GND との間に接続		15		μA
$I_{STANDBY4}$	スタンバイ電流、チャネル 2、超低 I_Q モード	V_{EN1} = 0V、V_{EN2} = 5V、V_{VOUT2} = 5V、レギュレーション中、無負荷、スイッチングなし、DEMB = GND、R_{MODE} = 10kΩ を GND との間に接続		21		μA
バイアス・レギュレータ (VCC)						
$V_{VCC-REG}$	VCC レギュレーション電圧	I_{VCC} = 100mA、V_{VCCX} = 0V	4.7	5	5.3	V
$V_{CC-UVLO}$	VCC UVLO 立ち上がりスレッショルド	V_{VCC} 立ち上がり	3.2	3.3	3.4	V
$V_{VCC-HYST}$	VCC UVLO ヒステリシス			175		mV
$I_{VCC-LIM}$	VCC のソース電流制限			-250		mA
アナログ・バイアス (VDDA)						
$V_{VDDA-REG}$	VDDA レギュレーション電圧		4.75	5	5.25	V
$V_{VDDA-UVLO}$	VDDA UVLO 立ち上がりスレッショルド	V_{VCC} 立ち上がり、V_{VCCX} = 0V	3.1	3.2	3.3	V
$V_{VDDA-HYST}$	VDDA UVLO ヒステリシス	V_{VCCX} = 0V		90		mV
R_{VDDA}	VDDA 抵抗	V_{VCCX} = 0V		20		Ω
外部バイアス (VCCX)						
$V_{VCCX-ON}$	$VCCX_{(ON)}$ 立ち上がりスレッショルド		4.1	4.3	4.4	V
R_{VCCX}	VCCX 抵抗	V_{VCCX} = 5V		1.3		Ω
$V_{VCCX-HYST}$	VCCX ヒステリシス電圧			130		mV
電流制限 (CS1、CS2)						
V_{CS1}	電流制限スレッショルド 1	CS1 と VOUT1 間を測定	66	73	82	mV
V_{CS2}	電流制限スレッショルド 2	CS2 と VOUT2 間を測定	66	73	82	mV
$t_{CS-DELAY}$	出力までの CS 遅延			40		ns
G_{CS}	CS アンプのゲイン		11.25	12	12.6	V/V
$I_{CS-BIAS}$	CS アンプ入力バイアス電流				15	nA
パワー・グッド (PG1、PG2)						
$PG1_{UV}$	PG1 UV トリップ・レベル	レギュレーション電圧に応じて減少	89.5%	92%	94%	
$PG2_{UV}$	PG2 UV トリップ・レベル	レギュレーション電圧に応じて減少	89.5%	92%	94%	
$PG1_{OV}$	PG1 OV トリップ・レベル	レギュレーション電圧に応じて増加	107.5%	110%	112.5%	
$PG2_{OV}$	PG2 OV トリップ・レベル	レギュレーション電圧に応じて増加	107.5%	110%	112.5%	
$PG1_{UV-HYST}$	PG1 UV ヒステリシス			3.4%		
$PG1_{OV-HYST}$	PG1 OV ヒステリシス			3.4%		
$PG2_{UV-HYST}$	PG2 UV ヒステリシス			3.4%		
$PG2_{OV-HYST}$	PG2 OV ヒステリシス			3.4%		

Copyright © 2023 Texas Instruments Incorporated

接合部の動作時推奨温度である -40℃～150℃において (特に記述のない限り)。標準値は、T_J = 25℃、V_{VIN} = 12V、V_{VCCX} = 5V、V_{VOUT1} = 3.3V、V_{VOUT2} = 5V、V_{EN1} = V_{EN2} = 5V、R_{RT} = 10kΩ、f_{SW} = 2.2MHz、無負荷の駆動出力 (HO1、HOL1、LO1、LOL1、HO2、HOL2、LO2、LOL2)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OL-PG1}	PG1 電圧	オープン・コレクタ、I_{PG1} = 2mA			0.4	V
V_{OL-PG2}	PG2 電圧	オープン・コレクタ、I_{PG2} = 2mA			0.4	V
$t_{PG-RISE-DLY}$	OV フィルタ時間	V_{OUT} 立ち上がり		25		μs
$t_{PG-FALL-DLY}$	UV フィルタ時間	V_{OUT} 立ち下がり		22		μs
ハイサイド・ゲート・ドライバ (HO1、HO2、HOL1、HOL2)						
V_{HO-LOW}	HO Low 状態出力電圧	I_{HO} = 100mA		0.04		V
$V_{HO-HIGH}$	HO High 状態出力電圧	I_{HO} = -100mA, $V_{HO-HIGH}$ = V_{HB} - V_{HO}		0.09		V
$t_{HO-RISE}$	HO 立ち上がり時間 (10% から 90% へ)	C_{LOAD} = 2.7nF		4		ns
$t_{HO-FALL}$	HO 立ち下がり時間 (90% から 10% へ)	C_{LOAD} = 2.7nF		3		ns
I_{HO-SRC}	HO ピーク・ソース電流	V_{HO} = V_{SW} = 0V、V_{HB} = 5V、V_{VCCX} = 5V		3.25		A
$I_{HO-SINK}$	HO ピーク・シンク電流	V_{VCCX} = 5V		4.25		A
V_{BT-UV}	BOOT UVLO	V_{VCC} 立ち下がり		2.4		V
$V_{BT-UV-HYS}$	BOOT UVLO ヒステリシス			113		mV
I_{BOOT}	BOOT 静止時電流			1.2		μA
ローサイド・ゲート・ドライバ (LO1、LO2、LOL1、LOL2)						
V_{LO-LOW}	LO Low 状態出力電圧	I_{LO} = 100mA		0.04		V
$V_{LO-HIGH}$	LO High 状態出力電圧	I_{LO} = -100mA		0.07		V
$t_{LO-RISE}$	LO 立ち上がり時間 (10% から 90% へ)	C_{LOAD} = 2.7nF		4		ns
$t_{LO-FALL}$	LO 立ち下がり時間 (90% から 10% へ)	C_{LOAD} = 2.7nF		3		ns
$I_{LO-SOURCE}$	LO ピーク・ソース電流	V_{HO} = V_{SW} = 0V、V_{HB} = 5V、V_{VCCX} = 5V		3.25		A
$I_{LO-SINK}$	LO ピーク・シンク電流	V_{VCCX} = 5V		4.25		A
再起動 (RES)						
$I_{RES-SRC}$	RES 電流ソース			20		μA
V_{RES-TH}	RES スレッショルド			1.2		V
HIC_{CYCLES}	ヒカップ・モード障害			512		サイクル
R_{RES-PD}	RES プルダウン抵抗			5.5		Ω
出力電圧設定ポイント (VOUT1、VOUT2)						
$VOUT_{33}$	3.3V の出力電圧設定ポイント	FB = VDDA、V_{IN} = 3.5V～65V	3.267	3.3	3.335	V
$VOUT_{50}$	5V の出力電圧設定ポイント	FB = AGND、V_{IN} = 5.5V～65V	4.95	5	5.05	V
フィードバック (FB1、FB2)						
$V_{FB-3V3-SEL}$	VOUT 選択スレッショルド 3.3V 出力		4.6			V
R_{FB-5V}	5V 出力の場合の AGND への抵抗 FB	V_{MODE} = 0V または R_{MODE} = 10kΩ			500	Ω
$R_{FB-EXTRES}$	テブナンの等価抵抗	V_{MODE} = 0V または R_{MODE} = 10kΩ、V_{FB} < 2V	5			kΩ
$V_{FB2-LOW}$	1 次モード選択ロジック・レベル Low	MODE = VDDA			0.8	V
$V_{FB2-HIGH}$	1 次モード選択ロジック・レベル High	MODE = VDDA	2			V
$V_{FB1-LOW}$	2 次モードでのダイオード・エミュレーション・ロジック・レベル Low	MODE = FB2 = VDDA			0.8	V
$V_{FB1-HIGH}$	2 次モードでの FPWM ロジック・レベル High	MODE = FB2 = VDDA	2			V
V_{FB-REG}	レギュレートされたフィードバック電圧		0.594	0.6	0.606	V
エラー・アンプ (COMP1、COMP2)						

接合部の動作時推奨温度である -40℃～150℃において (特に記述のない限り)。標準値は、T_J = 25℃、V_{VIN} = 12V、V_{VCCX} = 5V、V_{VOUT1} = 3.3V、V_{VOUT2} = 5V、V_{EN1} = V_{EN2} = 5V、R_{RT} = 10kΩ、f_{SW} = 2.2MHz、無負荷の駆動出力 (HO1、HOL1、LO1、LOL1、HO2、HOL2、LO2、LOL2)

パラメータ		テスト条件	最小値	標準値	最大値	単位
g_{m1}	EA 相互コンダクタンス	FB から COMP、AGND までの間に R_{MODE} < 5kΩ	1020	1200		μs
g_{m2}	EA 相互コンダクタンス、超低 I_Q モード	MODE = GND、R_{MODE} = 10kΩ		65		μs
I_{FB}	誤差アンプ入力バイアス電流				30	nA
$V_{COMP-CLMP}$	COMP クランプ電圧	V_{FB} = 0V		3.3		V
$I_{COMP-SECOND}$	COMP リーケージ、2 次モード	V_{COMP} = 1V、MODE = FB2 = VDDA			10	nA
$I_{COMP-INTLV}$	COMP2 リーケージ、インターリーブ・モード	V_{COMP} = 1V、MODE = VDDA、V_{FB2} = 0V			10	nA
$I_{COMP-SRC1}$	EA ソース電流	V_{COMP} = 1V、V_{FB} = 0.4V、V_{MODE} = 0V		190		μA
$I_{COMP-SINK1}$	EA シンク電流	V_{COMP} = 1V、V_{FB} = 0.8V、V_{MODE} = 0V		165		μA
$I_{COMP-SRC2}$	EA ソース電流、超低 I_Q モード	V_{COMP} = 1V、V_{FB} = 0.4V、AGND までの間に R_{MODE} = 10kΩ		10		μA
$I_{COMP-SINK2}$	EA シンク電流、超低 I_Q モード	V_{COMP} = 1V、V_{FB} = 0.8V、AGND までの間に R_{MODE} = 10kΩ		12		μA
$V_{SS-OFFSET}$	V_{FB} = 0V の場合の EA SS オフセット	V_{COMP} > 300mV になるまで V_{SS} は上昇		36		mV
アダプティブ・デッドタイム制御						
V_{GS-DET}	VGS 検出スレッショルド	VGS 立ち下がり、無負荷		2.5		V
t_{DEAD1}	HO オフから LO オンのデッドタイム			22		ns
t_{DEAD2}	LO オフから HO オンのデッドタイム			22		ns
ダイオード・エミュレーション (DEMB)						
$V_{DEMB-LOW}$	DEMB 入力の Low スレッショルド				0.8	V
V_{DEMB_Rising}	DEMB 入力の High スレッショルド		2			V
V_{ZC-SW}	ゼロクロスのスレッショルド	V_{DEMB} = 0V		-6		mV
V_{ZC-SS}	ゼロクロスのスレッショルドをソフトスタート	DEMB = VDDA、 最初の HO パルス後に 50 SW サイクル		-5.4		mV
V_{ZC-DIS}	ゼロクロスのスレッショルドをディセーブル	DEMB = VDDA、 最初の HO パルス後に 1000 SW サイクル		200		mV
イネーブル (EN1、EN2)						
V_{EN-LOW}	EN1、EN2 Low スレッショルド	V_{VCCX} = 0V			0.8	V
$V_{EN-HIGH-TH}$	EN1、EN2 High スレッショルド	V_{VCCX} = 0V	2			V
$I_{EN-LEAK}$	EN1、EN2 リーク電流	EN1、EN2 ロジック入力のみ		0.05		μA
スイッチング周波数 (RT)						
V_{RT}	RT のレギュレーション電圧	10kΩ < R_{RT} < 220kΩ		0.8		V
モード						
$R_{MODE-HIGH}$	超低 I_Q の場合、AGND との間に入れる抵抗		5			kΩ
$R_{MODE-LOW}$	通常の I_Q の場合、AGND との間に入れる抵抗				0.5	kΩ
$V_{MODE-LOW}$	非インターリーブ・モード入力の Low スレッショルド				0.8	V
$V_{MODE-HIGH}$	インターリーブ・モード入力の High スレッショルド		2			V
同期入力 (SYNCIN)						
$V_{DEMB-LOW}$	DEMB 入力の Low スレッショルド				0.8	V

Copyright © 2023 Texas Instruments Incorporated

接合部の動作時推奨温度である -40℃～150℃において (特に記述のない限り)。標準値は、T_J = 25℃、V_{VIN} = 12V、V_{VCCX} = 5V、V_{VOUT1} = 3.3V、V_{VOUT2} = 5V、V_{EN1} = V_{EN2} = 5V、R_{RT} = 10kΩ、f_{SW} = 2.2MHz、無負荷の駆動出力 (HO1、HOL1、LO1、LOL1、HO2、HOL2、LO2、LOL2)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$V_{DEMB-HIGH}$	DEMB 入力の High スレッショルド		2			V
$t_{SYNC-MIN}$	DEMB 最小パルス幅	V_{MODE} = 0V または R_{MODE} = 10kΩ	20		250	ns
f_{SYNCIN}	外部 SYNC 周波数範囲	V_{IN} = 8V～18V、R_{RT} で設定される公称周波数の割合 (%)	-20%		20%	
$t_{SYNCIN-HO1}$	DEMB の立ち上がりから HO1 立ち上がりエッジまでの遅延			100		ns
$t_{SYNCIN-SECOND}$	DEMB の立ち下がりエッジから HO2 の立ち上がりエッジまでの遅延	2 次モード、MODE = FB2 = VDDA		100		ns
$t_{DEMB-FILTER}$	DEMB Low からダイオード・エミュレーション・イネーブルまでの遅延	V_{MODE} = 0V または R_{MODE} = 10kΩ	15		50	µs
$t_{AWAKE-FILTER}$	スタンバイ状態を維持するための最大 SYNC 期間	V_{EN1} = V_{EN2} = 0V		27		µs
同期出力 (SYNCOUT)						
$V_{SYNCOUT-LO}$	SYNCOUT の Low 状態電圧	$I_{SYNCOUT}$ = 16mA			0.8	V
$f_{SYNCOUT}$	SYNCOUT 周波数	MODE = FB2 = VDDA			0	Hz
$t_{SYNCOUT1}$	HO2 の立ち上がりエッジから SYNCOUT の立ち上がりエッジまでの遅延	V_{DEMB} = 0V、T_S = 1/f_{SW}、f_{SW} は R_{RT} = 220kΩ で設定		2.5		µs
$t_{SYNCOUT2}$	HO2 の立ち上がりエッジから SYNCOUT の立ち下がりエッジまでの遅延	V_{DEMB} = 0V、T_S = 1/f_{SW}、f_{SW} は R_{RT} = 220kΩ で設定		7.5		µs
ディザー (DITH)						
I_{DITH}	ディザー・ソースとシンク電流			21		µA
$V_{DITH-HIGH}$	ディザー High レベル・スレッショルド			1.25		V
$V_{DITH-LOW}$	ディザー Low レベル・スレッショルド			1.15		V
ソフトスタート (SS1、SS2)						
I_{SS}	ソフトスタート電流	V_{MODE} = 0V	16	21	28	µA
R_{SS-PD}	ソフトスタート・プルダウン抵抗	V_{MODE} = 0V		3		Ω
V_{SS-FB}	SS から FB へのクランプ電圧	V_{CS} - V_{VOUT} > 73mV		130		mV
$I_{SS-SECOND}$	SS リーケージ、2 次モード	V_{SS} = 0.8V、MODE = FB2 = VDDA		36		nA
$I_{SS-INTLV}$	SS2 リーケージ、インターリーブ・モード	V_{SS} = 0.8V、MODE = VDDA、V_{FB2} = 0V		35		nA
サーマル・シャットダウン						
T_{SHD}	サーマル・シャットダウン			175		℃
$T_{SHD-HYS}$	サーマル・シャットダウン・ヒステリシス			15		℃

8.6 スイッチング特性

接合部の動作時推奨温度である -40℃～150℃において (特に記述のない限り)。標準値は、T_J = 25℃、V_{VIN} = 12V、V_{VCCX} = 5V、V_{VOUT1} = 3.3V、V_{VOUT2} = 5V、V_{EN1} = V_{EN2} = 5V、R_{RT} = 10kΩ、f_{SW} = 2.2MHz、無負荷のゲート・ドライバ出力 (HO1、HOL1、LO1、LOL1、HO2、HOL2、LO2、LOL2)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
f_{SW1}	スイッチング周波数 1	R_{RT} = 100kΩ	195	220	245	kHz
f_{SW2}	スイッチング周波数 2	R_{RT} = 10kΩ		2.2		MHz
f_{SW3}	スイッチング周波数 3	R_{RT} = 220kΩ		100		kHz
SLOPE1	内部スロープ補償 1	R_{RT} = 10kΩ		557		mV/µs
SLOPE2	内部スロープ補償 2	R_{RT} = 100kΩ		64		mV/µs

Copyright © 2023 Texas Instruments Incorporated

接合部の動作時推奨温度である -40℃～150℃において (特に記述のない限り)。標準値は、T_J = 25℃、V_{VIN} = 12V、V_{VCCX} = 5V、V_{VOUT1} = 3.3V、V_{VOUT2} = 5V、V_{EN1} = V_{EN2} = 5V、R_{RT} = 10kΩ、f_{SW} = 2.2MHz、無負荷のゲート・ドライバ出力 (HO1、HOL1、LO1、LOL1、HO2、HOL2、LO2、LOL2)。

パラメータ		テスト条件	最小値	標準値	最大値	単位
$t_{ON(min)}$	最小オン時間			35	80	ns
$t_{OFF(min)}$	最小オフ時間			80	105	ns
$PH_{HO1-HO2}$	HO1 と HO2 の間の位相	DEMB = MODE = AGND		180		°

Copyright © 2023 Texas Instruments Incorporated

8.7 代表的特性

$V_{IN} = V_{EN1} = V_{EN2} = 12V$、$T_J = 25℃$ (特に記述のない限り)

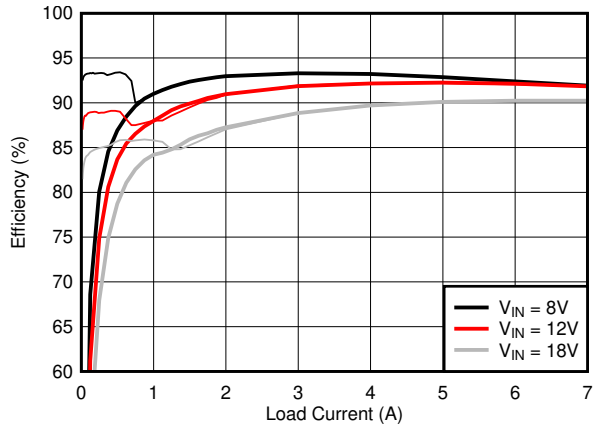


図 10-4 を参照してください。 $V_{OUT} = 5V$ $f_{SW} = 2.1MHz$

図 8-1. 効率と負荷との関係

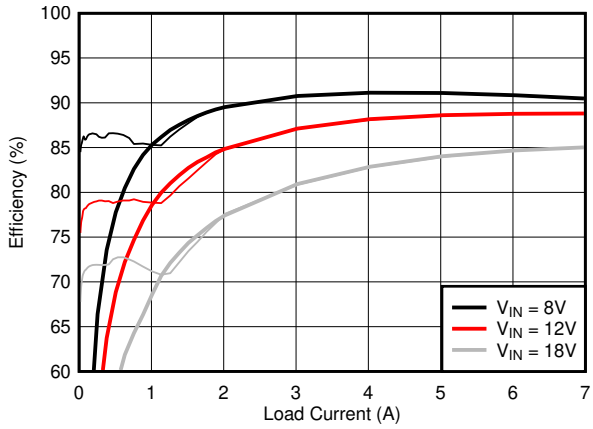


図 10-4 を参照してください。 $V_{OUT} = 3.3V$ $f_{SW} = 2.1MHz$

図 8-2. 効率と負荷との関係

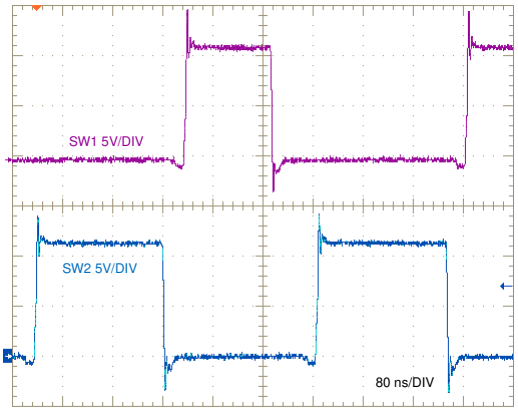


図 10-4 を参照してください。

図 8-3. スイッチ・ノード電圧

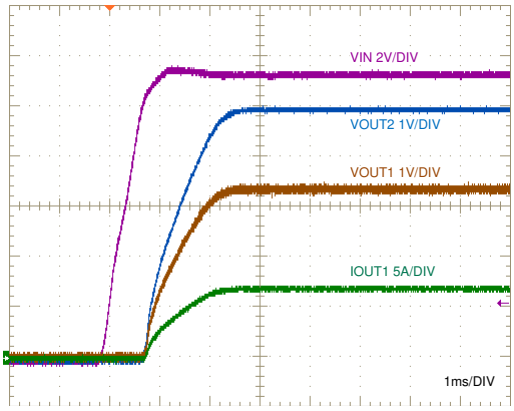


図 10-4 を参照してください。

図 8-4. スタートアップ特性

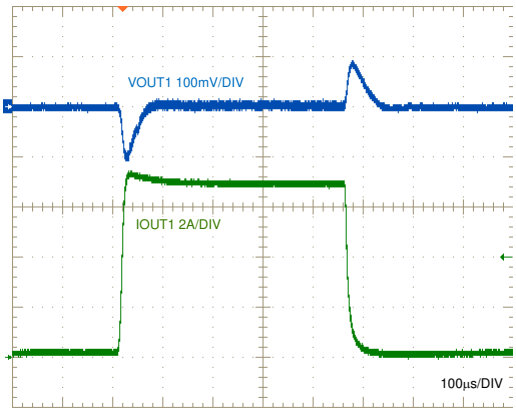
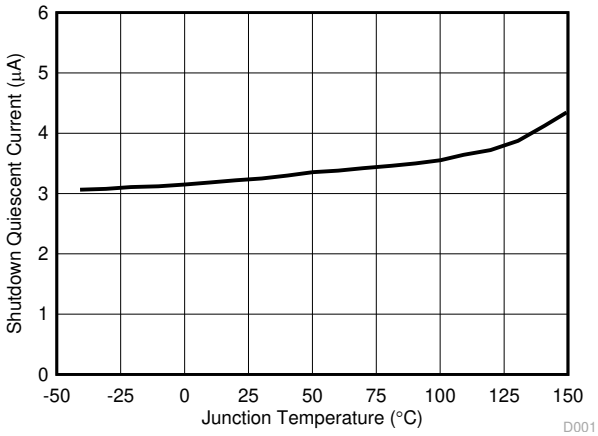


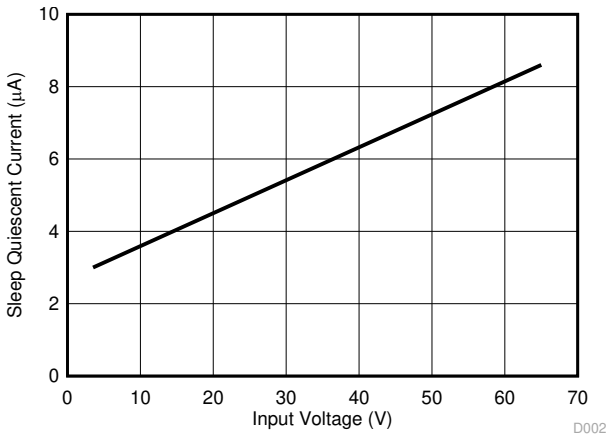
図 10-4 を参照してください。

図 8-5. 負荷過渡応答



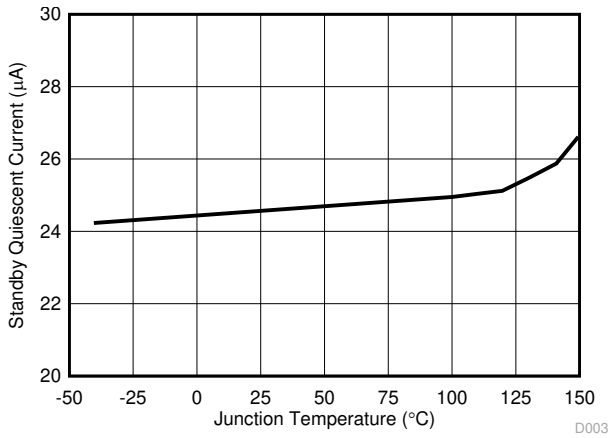
$V_{EN1} = V_{EN2} = 0V$

図 8-6. シャットダウン電流と温度との関係



$V_{EN1} = V_{EN2} = 0V$

図 8-7. シャットダウン電流と入力電圧との関係



$V_{EN2} = 0V$

図 8-8. チャネル 1 のスタンバイ電流と温度との関係

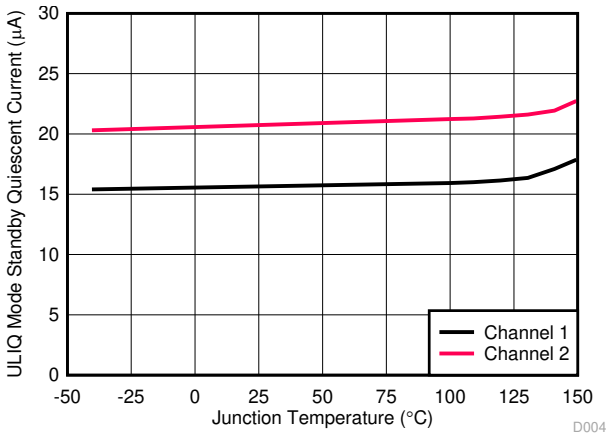


図 8-9. ULIQ モードのスタンバイ電流と温度との関係

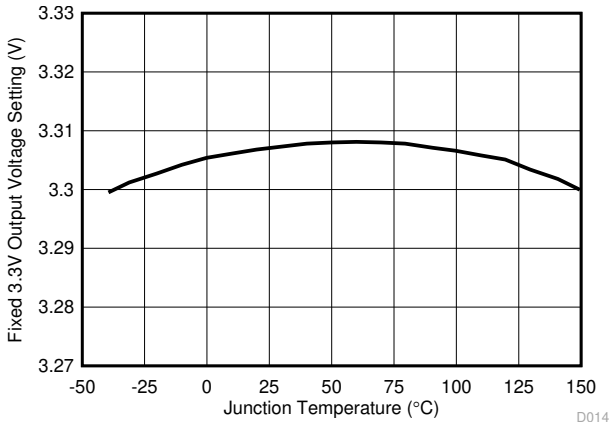


図 8-10. 固定 3.3V 出力電圧 (VOUT1) と温度との関係

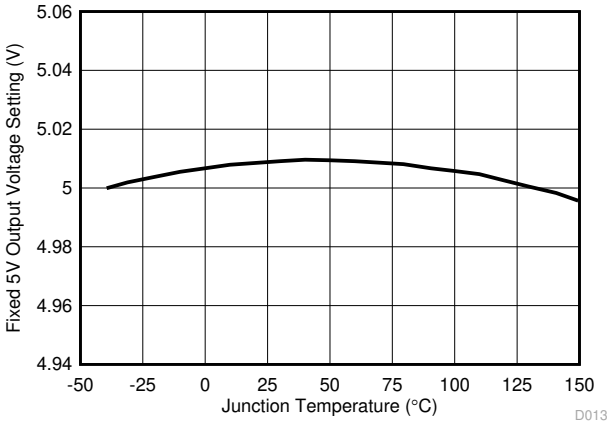


図 8-11. 固定 5V 出力電圧 (VOUT1) と温度との関係

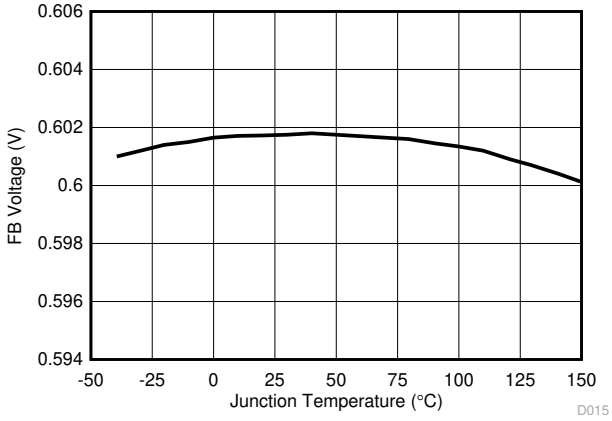


図 8-12. 帰還電圧と温度との関係

Copyright © 2023 Texas Instruments Incorporated

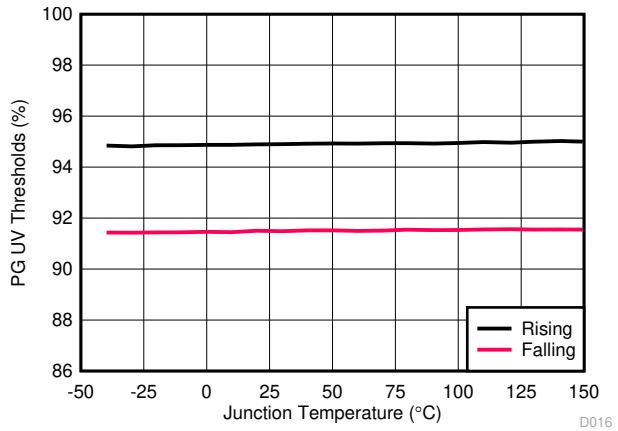


図 8-13. PG UV スレッショルドと温度との関係

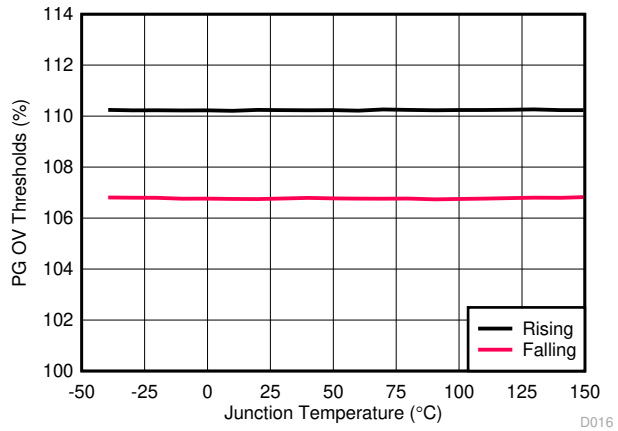


図 8-14. PG OV スレッショルドと温度との関係

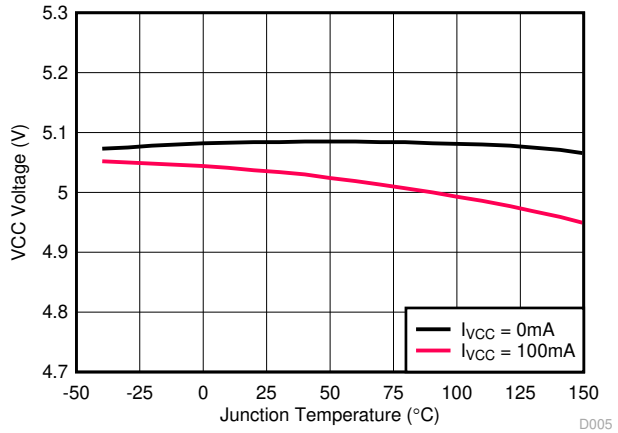


図 8-15. VCC レギュレーション電圧と温度との関係

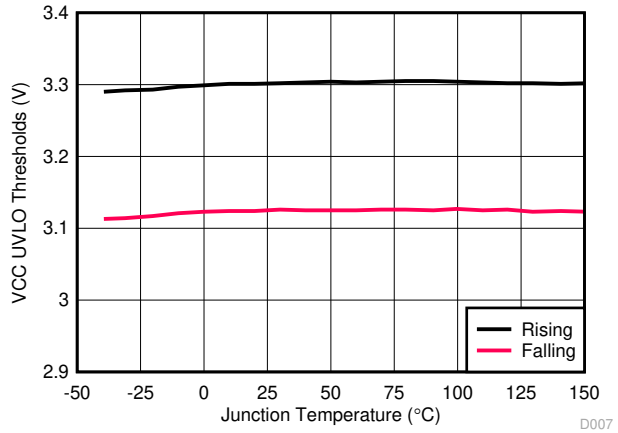


図 8-16. VCC UVLO スレッショルドと温度との関係

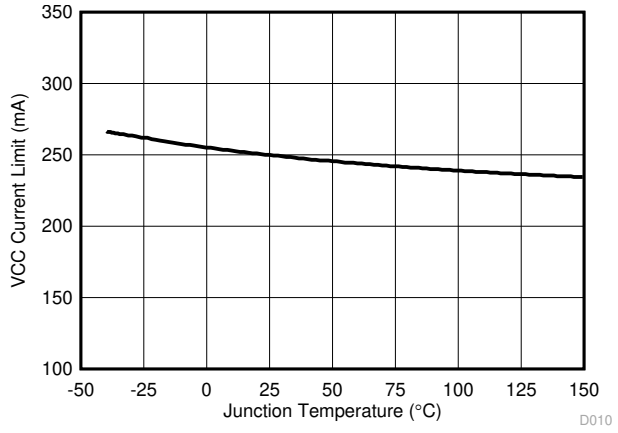


図 8-17. VCC 電流制限と温度との関係

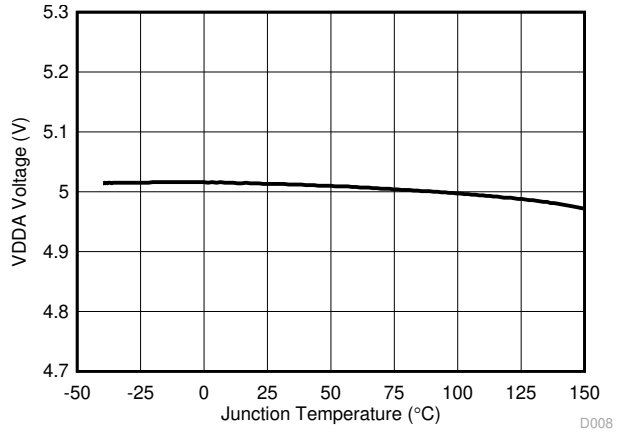


図 8-18. VDDA レギュレーション電圧と温度との関係

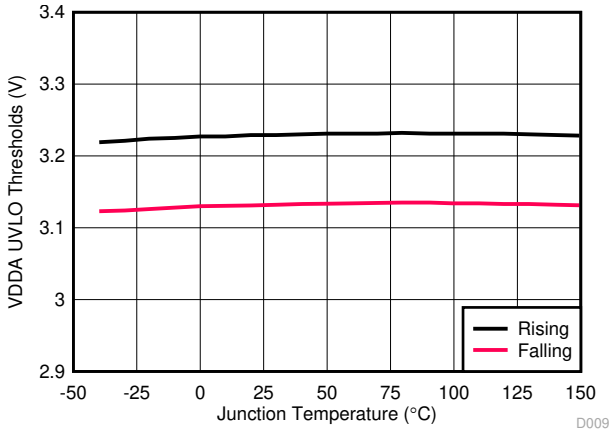


図 8-19. VDDA UVLO スレッショルドと温度との関係

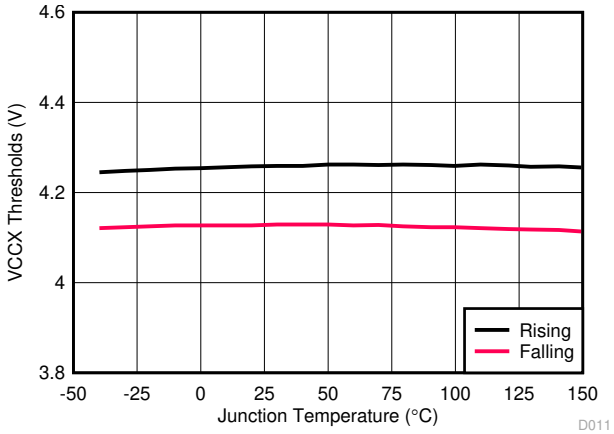


図 8-20. VCCX のオンおよびオフ・スレッショルドと温度との関係

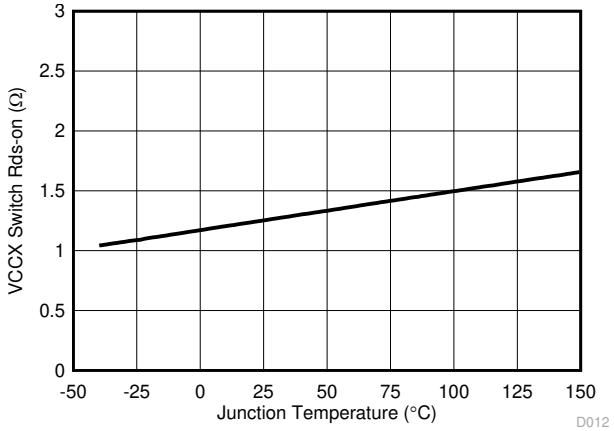


図 8-21. VCCX スイッチ抵抗と温度との関係

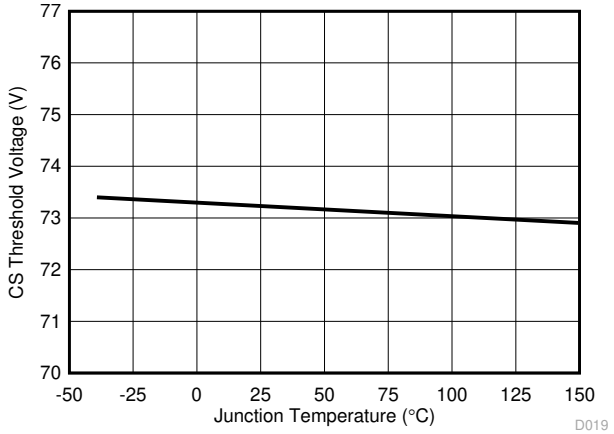


図 8-22. 電流センス (CS1) スレッショルドと温度との関係

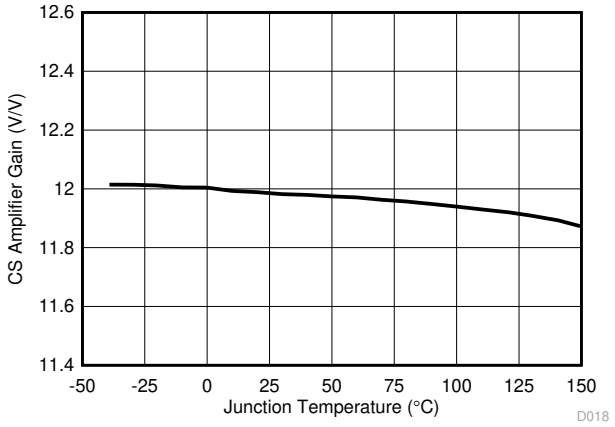


図 8-23. 電流センス (CS1) アンプのゲインと温度との関係

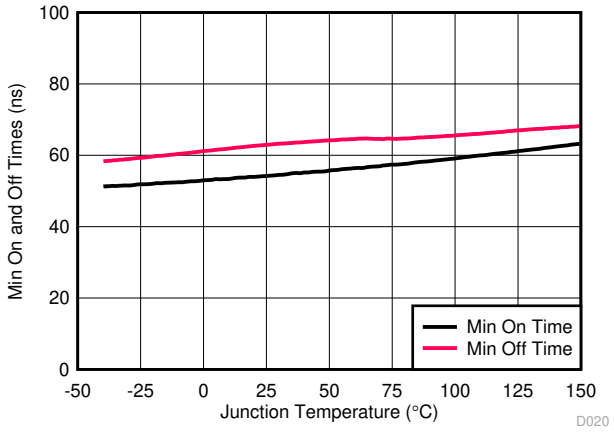


図 8-24. 最小オン時間およびオフ時間 (HO1) と温度との関係

Copyright © 2023 Texas Instruments Incorporated

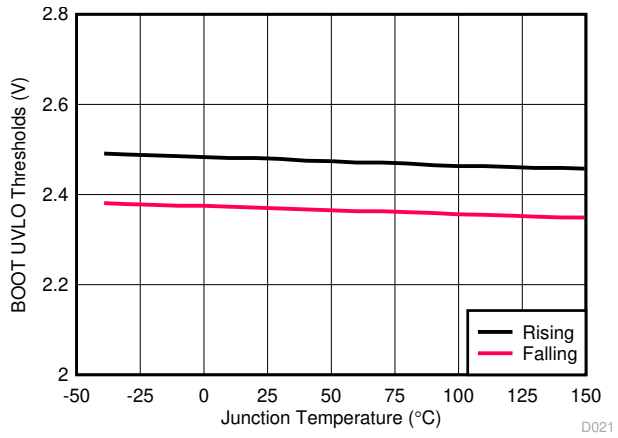


図 8-25. BOOT (HB1) UVLO スレッショルドと温度との関係

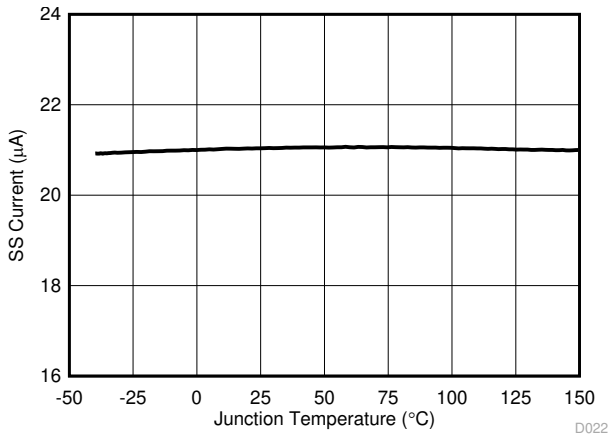


図 8-26. ソフトスタート (SS1) 電流と温度との関係

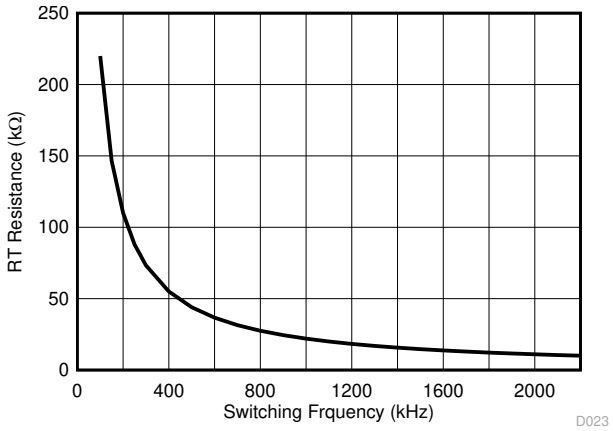


図 8-27. RT 抵抗とスイッチング周波数との関係

9 詳細説明

9.1 概要

LM5143A-Q1 は、3.5V～65V の幅広い入力電圧範囲で動作する高効率の同期整流降圧電源を実装するために必要な機能をすべて備えた、2 相またはデュアル・チャネルのスイッチング・コントローラです。LM5143A-Q1 は、3.3V または 5V の固定出力、または 0.6V～55V の調整可能な出力用に構成されています。この使いやすいコントローラには、3.25A のピーク電流をソースし、4.25A のピーク電流をシンクできるハイサイドとローサイド MOSFET ドライバが内蔵されています。アダプティブ・デッドタイム制御は、スイッチング遷移中のボディ・ダイオードの導通を最小限に抑えるように設計されています。

シャント抵抗またはインダクタ DCR 電流センシングを使用する電流モード制御により、固有ラインのフィードフォワード、サイクル単位のピーク電流制限、簡単なループ補償を実現します。また、電流モード制御は、高入力電圧と低ドロップアウト・アプリケーションの場合だけでなく、高電圧変換比 (例 10 対 1) が必要な場合に、幅広いデューティ・サイクル範囲をサポートします。発振器の周波数は 100kHz～2.2MHz の間でユーザーがプログラム可能であり、外部クロックを DEMB に適用することにより、最大 2.5MHz の周波数を同期することが可能です。

高入力電圧のアプリケーションでは、外部バイアス電源を VCCX に接続して効率を最大限にすることができます。ユーザーが選択可能なダイオード・エミュレーション機能により、不連続導通モード (DCM) 動作をイネーブルにして、軽負荷条件時の効率をさらに向上させ、消費電力を低減することができます。障害保護機能には、以下のものがあります。

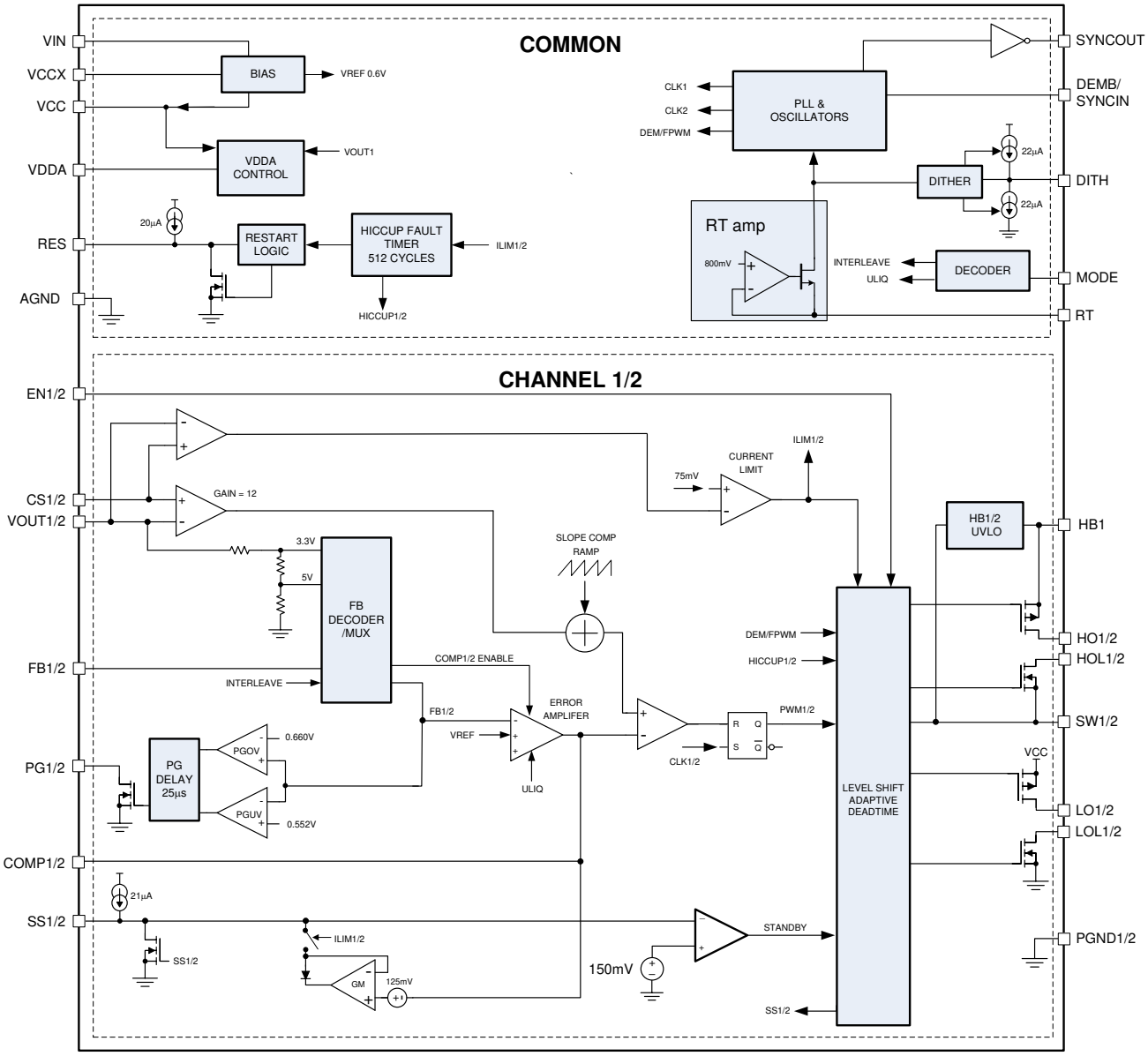
- 電流制限
- サーマル・シャットダウン
- UVLO
- リモート・シャットダウン機能

LM5143A-Q1 には、CISPR 25 車載 EMI 要件への準拠を容易に行える機能が搭載されています。オプションのスペクトラム拡散周波数変調 (SSFM) 技術によりピーク EMI シグネチャを低減しながら、同時にスルーレート制御付きアダプティブ・ゲート・ドライバで高周波放射を最小限に抑えます。最後に、2 つのコントローラ・チャネルのインターリーブ動作の位相が 180°ずれていることにより、入力フィルタリングとコンデンサの要件が低減されます。

LM5143A-Q1 は、放熱に役立つウェッタブル・フランクと露出パッド付きの 40 ピン VQFN パッケージで供給されます。

Copyright © 2023 Texas Instruments Incorporated

9.2 機能ブロック図


COMMON
VIN
VCCX
VCC
VDDA
RES
AGND
BIAS
VREF 0.6V
VDDA CONTROL
VOUT1
20µA
RESTART LOGIC
HICCUP FAULT TIMER 512 CYCLES
ILIM1/2
HICCUP1/2
CLK1
CLK2
DEM/FPWM
PLL & OSCILLATORS
SYNCOUT
DEMB/ SYNCIN
22µA
DITHER
DITH
RT amp
800mV
INTERLEAVE
ULIQ
DECODER
MODE
RT
CHANNEL 1/2
EN1/2
CS1/2
VOUT1/2
GAIN = 12
3.3V
5V
FB DECODER /MUX
COMP1/2 ENABLE
INTERLEAVE
FB1/2
PG1/2
PG DELAY 25µs
PGOV
0.660V
PGUV
0.552V
COMP1/2
SS1/2
21µA
SS1/2
ILIM1/2
GM
125mV
75mV
CURRENT LIMIT
ILIM1/2
SLOPE COMP RAMP
ERROR AMPLIFER
VREF
ULIQ
CLK1/2
R
Q
S
Q
PWM1/2
DEM/FPWM
HICCUP1/2
STANDBY
150mV
SS1/2
LEVEL SHIFT ADAPTIVE DEADTIME
HB1/2 UVLO
HB1
HO1/2
HOL1/2
SW1/2
VCC
LO1/2
LOL1/2
PGND1/2

9.3 機能説明

9.3.1 入力電圧範囲 (V_{IN})

LM5143A-Q1 の動作入力電圧範囲は、3.5V～65V です。このデバイスは、12V、24V、48V 電源レールからのステップダウン変換を用途としています。図 9-1 のアプリケーション回路に、単一電源を使用した LM5143A-Q1 ベースの幅広い V_{IN} のデュアル出力ステップダウン・レギュレータを実装するために必要なすべての部品を示します。LM5143A-Q1 は内蔵の LDO サブレギュレータを使用して、ゲート駆動および制御回路用の 5V VCC バイアス・レールを供給します (入力電圧は 5V と必要とされるサブレギュレータのドロップアウト仕様を加算した値より大きいと仮定)。

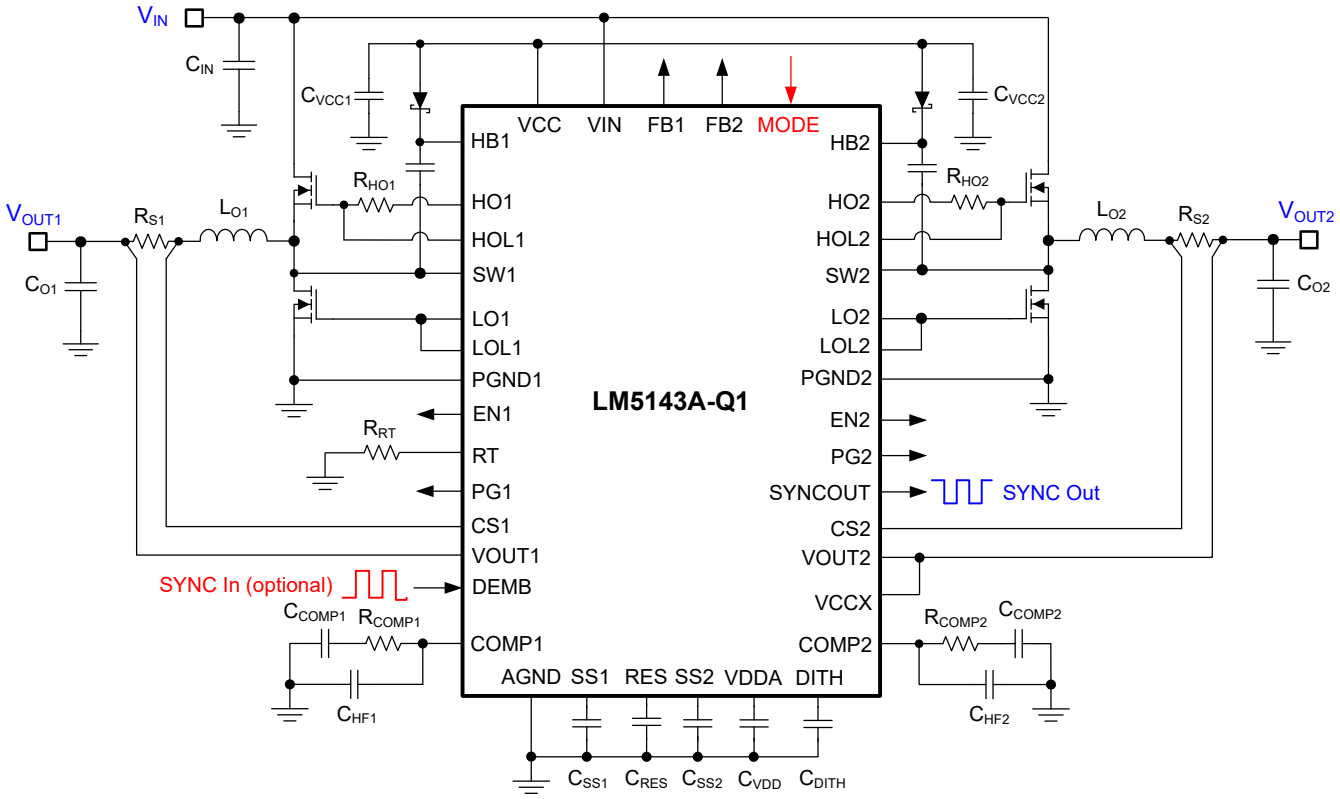


図 9-1. 入力電圧範囲 3.5V～65V のデュアル出力レギュレータの回路図

高入力電圧のアプリケーションでは、ラインまたは負荷遷移イベント中は、VIN ピンと SW ピンが 70V の絶対最大電圧定格を超えないように注意してください。絶対最大定格を超えて電圧が逸脱すると、IC が損傷する可能性があります。電圧のオーバーシュートとリンギングを最小限に抑えるには、PCB レイアウト中は注意深く作業を行い、高品質な入力バイパス・コンデンサを使用してください。

9.3.2 高電圧バイアス電源レギュレータ (VCC、VCCX、VDDA)

LM5143A-Q1 には、高電圧 VCC バイアス・レギュレータが内蔵されており、PWM コントローラ向けバイアス電源と、外部 MOSFET 用ゲート・ドライバを供給します。入力電圧ピン (VIN) は、最大 65V の入力電圧ソースに直接接続することができます。ただし、入力電圧が VCC 設定ポイント・レベルに満たない場合、VCC 電圧は VIN からわずかな電圧降下を引いた値となります。

VCC レギュレータの出力電流制限は 170mA (最小値) です。電源オン時に、レギュレータは VCC ピンに接続されているコンデンサに電流を供給します。VCC 電圧が 3.3V を超えると、出力チャネルは両方ともイネーブルになり (EN1 と EN2 が 2V 以上の電圧に接続されている場合)、ソフトスタート・シーケンスが開始されます。VCC 電圧が VCC 立ち下がり UVLO スレッショルド 3.1V (標準値) を下回るか、または EN1 か EN2 が Low 状態に切り替わるまで、両方のチャネルはアクティブ状態を維持します。LM5143A-Q1 には VCC ピンが 2 つあり、PCB 上で相互に接続する必要があります。テキサス・インスツルメンツは、2 つの VCC コンデンサをそれぞれ、VCC1 から PGND1 の間と VCC2 から PGND2 の間に接続することを推奨しています。各 VCC コンデンサの推奨範囲は 2.2μF～10μF です。

Copyright © 2023 Texas Instruments Incorporated

内蔵の 5V リニア・レギュレータにより、VDDA バイアス電源が生成されます。低ノイズの内部バイアス・レールを実現するには、VDDA を 470nF のセラミック・コンデンサでバイパスします。通常 VDDA は 5V ですが、3.3V にレギュレートされる動作条件が 2 つあります。1 つは、V_{OUT1} が 3.3V に、V_{OUT2} がディセーブルに設定されている場合のスキップ・サイクル・モード中です。2 つ目は、V_{IN} が 3.8V に、V_{OUT1} が 3.3V に設定されている場合のコールド・クランク起動時です。

VCCX を VOUT1 か VOUT2 の 5V 出力、または外部 5V 電源に接続することにより、VCC レギュレータの内部消費電力を最小限に抑えることができます。VCCX 電圧が 4.3V 以上の場合、VCCX は内部で VCC に接続され、内部 VCC レギュレータはディセーブルになります。VCCX が未使用の場合は、AGND に接続してください。VCCX は 6.5V 以上、または -0.3V 未満の電圧に接続しないでください。LM5143A-Q1 に電力を供給するために外部電源を VCCX に接続する場合は、コントローラへの損傷を防ぐため、すべての条件において V_{IN} を外部バイアス電圧以上にする必要があります。

9.3.3 イネーブル (EN1、EN2)

LM5143A-Q1 には 2 つのイネーブル入力があります。EN1 と EN2 は、V_{OUT1} と V_{OUT2} の独立した起動制御とシャットダウン制御を容易にします。イネーブル・ピンは最大 70V の電圧に接続できます。イネーブル入力が 2V 以上の場合、それぞれの出力はイネーブルになります。イネーブル・ピンが 0.4V 未満にプルされると、出力はシャットダウンされます。出力がどちらもディセーブルになると、LM5143A-Q1 は、VIN から引き出される 3.3μA の標準電流で低 I_Q のシャットダウン・モードになります。テキサス・インスツルメンツでは、EN1 または EN2 をフローティングのままにすることは推奨していません。

9.3.4 パワー・グッド・モニタ (PG1、PG2)

LM5143A-Q1 には V_{OUT1} と V_{OUT2} の出力電圧監視信号があり、シーケンシングと監視を簡素化しています。パワー・グッド機能を使用すると、対応する電圧レールから供給される回路をイネーブルにしたり、シーケンシングされた電源をオンにしたりすることができます。各パワー・グッド出力 (PG1 と PG2) は、対応する出力電圧がレギュレーション状態のときに、高インピーダンスのオープン・ドレイン状態に切り替わります。対応する出力電圧がパワー・グッド・スレッショルドの下限値 (標準 92%) を下回るまで低下するか、またはパワー・グッド・スレッショルドの上限値 (標準 110%) を上回ると、各出力は Low に切り替わります。25μs のグリッチ除去フィルタにより、遷移中のパワー・グッド信号の誤トリップが防止されます。テキサス・インスツルメンツは、PG1 と PG2 から関連するロジック・レールまでの間に 100kΩ のプルアップ抵抗を入れることを推奨しています。ソフトスタート中、および対応する降圧レギュレータが EN1 と EN2 によってディセーブルになっているとき、PG1 と PG2 は Low にアサートされます。

LM5143A-Q1 がダイオード・エミュレーション・モード中 (V_{DEMB} = 0V) にスリープ・モードに入ると、パワー・グッド・コンパレータはオフになり、静止時電流消費が低減されます。こうなった場合、PG1 と PG2 はオープンになるか、または High になるため (プルアップ抵抗が接続されている場合)、出力の低電圧や過電圧イベントは検出されなくなります。

9.3.5 スイッチング周波数 (RT)

LM5143A-Q1 の発振器をプログラムするには、RT と AGND の間に抵抗を配置して発振周波数を 100kHz～2.2MHz の範囲に設定します。CLK1 はチャネル 1 用クロック、CLK2 はチャネル 2 用クロックです。CLK1 と CLK2 の位相差は 180°です。式 1 を使用して、指定されたスイッチング周波数の RT 抵抗を計算します。

$$R_{RT}\left[k\Omega\right] = \frac{22}{F_{SW}\left[MHz\right]} \tag{1}$$

ハイサイド MOSFET のどちらかのオン時間がプログラムされた発振器の周期を超えるような低 V_{IN} 状態では、PWM ラッチが電流センス・アンプによってリセットされてコントローラの補償電圧を超えるまで、LM5143A-Q1 のそのチャネルのスイッチング周期は延長されます。このような場合には、両方のチャネルがプログラムされた周波数で出力レギュレーションを維持できるまで、発振器 (CLK1 と CLK2) は別々に非同期に動作します。

こうした現象が発生するおよその入力電圧レベルを 式 2 に示します。

$$V_{IN(min)} = V_{OUT} \cdot \frac{t_{SW}}{t_{SW} - t_{OFF(min)}} \tag{2}$$

ここで

- t_{SW} はスイッチング周期です。
- $t_{OFF(min)}$ は、最小 60ns のオフ時間です。

9.3.6 クロック同期 (DEMB)

LM5143A-Q1 を外部ソースと同期させるには、ロジック・レベルのクロック信号 (2V より大きいもの) を DEMB に適用します。LM5143A-Q1 は、最大 2.5MHz のプログラムされた周波数の ±20% に同期できます。RT 抵抗と同期信号がある場合、LM5143A-Q1 は RT 抵抗を無視し、外部クロックと同期します。低 V_{IN} 状態で最小オフ時間に達した場合、同期信号は無視され、スイッチング周波数を低減して、出力電圧レギュレーションを維持します。

9.3.7 同期出力 (SYNCOUT)

SYNCOUT 電圧は、約 90°遅れの HO2 (または 90°早い HO1) の立ち上がりエッジを持つロジック・レベル信号です。SYNCOUT 信号を使用して 2 つ目の LM5143A-Q1 コントローラを同期すると、4 つの位相の位相差はすべて 90°になります。

9.3.8 スペクトラム拡散周波数変調 (DITH)

LM5143A-Q1 には周波数ディザリング・オプションがあり、DITH から AGND にコンデンサを接続することでイネーブルになります。このオプションは、DITH で 1.2V を中心とする三角波電圧を生成します。図 9-2 を参照してください。この三角波によって、発振周波数は公称周波数の ±5% の範囲で変調されます。公称周波数は RT 抵抗によって設定されます。式 3 を使用して、変調周波数 f_{MOD} を設定するために必要な DITH の容量を計算します。ディザリング回路のピーク EMI を効果的に減衰させるには、クロック回路が適切に動作できるように、変調レートを 20kHz 未満にする必要があります。

$$C_{DITH} = \frac{21\,\mu A}{2 \cdot F_{MOD} \cdot 0.1V} \tag{3}$$

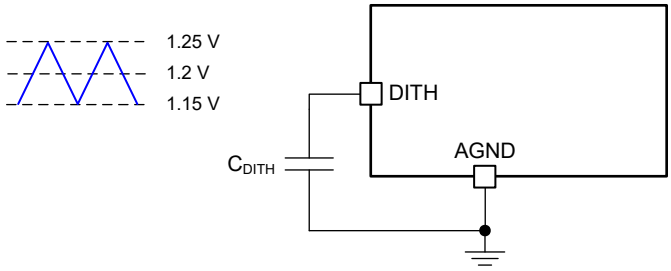


図 9-2. スイッチング周波数ディザリング

電源投入時に DITH が VDDA に接続されている場合、ディザー機能はディセーブルになり、VCC が再循環で VCC UVLO スレッショルドを下回るまではイネーブルにできません。電源投入時に DITH が AGND に接続されている場合、ディザーはディセーブルになり、C_{DITH} の充電は禁止されます。また、LM5143A-Q1 が外部クロックに同期している場合も、ディザーはディセーブルになります。

9.3.9 設定可能なソフトスタート (SS1、SS2)

ソフトスタート機能は、レギュレータを徐々に定常状態動作点へと到達させることで、起動時のストレスやサージを低減します。

LM5143A-Q1 では、1 つ、または複数の出力の充電時間を決定するソフトスタートを調整可能です。ソフトスタートは、高出力容量に起因する突入電流を制限して、過電流状態を防止します。入力電源レールにおけるストレスも低減されます。

Copyright © 2023 Texas Instruments Incorporated

LM5143A-Q1 は、FB 電圧を SS 電圧か内部の 600mV リファレンス電圧のうち、どちらか低いほうに調整します。ソフトスタート・シーケンスの開始時に SS 電圧が 0V の場合、内部の 21µA ソフトスタート電流ソースは、SS ピンに接続されている外部のソフトスタート・コンデンサの電圧を徐々に増加させるため、関連する FB と出力電圧は徐々に上昇します。ソフトスタート容量を計算するには、式 4 を使用します。

$$C_{SS}(nF) = 35 \cdot t_{SS}(ms) \tag{4}$$

ここで

- t_{SS} は、必要なソフトスタート時間です。

SS を外付けの回路で Low にプルするとスイッチングを停止できますが、推奨しません。コントローラが FPWM モード (DEMB と VDDA を接続して設定) の場合、SS を Low にすると、COMP も内部でプルダウンされます。LO はオンのままで、ローサイド MOSFET は出力コンデンサを放電するため、大きな負のインダクタ電流が発生します。一方で、LM5143A-Q1 の内部ロジックがフォルト状態によって SS を Low にプルすると、LO ゲート・ドライバはディセーブルになります。

9.3.10 出力電圧の設定ポイント (FB1、FB2)

LM5143A-Q1 の出力は、外付けの帰還抵抗を使用せずに 2 つの固定出力電圧の 1 つに対して個別に構成することも、または外付けの抵抗分割器を使用して目的の電圧に調整することも可能です。V_{OUT1} または V_{OUT2} は、対応する FB ピンを VDDA に接続すると 3.3V 出力として、FB を AGND に接続すると 5V 出力として構成することができます。電源投入時は、FB1 と FB2 の接続 (VDDA または GND のいずれか) が検出されます。LM5143A-Q1 の VCC 電圧がその立ち下がり UVLO スレッショルド以下になるまで低下して電源がオフになり再びオンになるまで、構成の設定はラッチされ変更できません。

その代わりに、外付けの抵抗分割器を出力から関連する FB ピンに使用して、出力電圧を設定することができます。出力電圧の調整範囲は 0.6V～55V です。FB におけるレギュレーション・スレッショルドは 0.6V (V_{REF}) です。式 5 を使用すると、それぞれ R_{FB1} と R_{FB2} と表される帰還抵抗の上限と下限を計算することができます。図 9-3 を参照してください。

$$R_{FB1} = \left(\frac{V_{OUT}}{V_{REF}} - 1\right) \cdot R_{FB2} \tag{5}$$

R_{FB2} の推奨開始値は 10kΩ～20kΩ です。

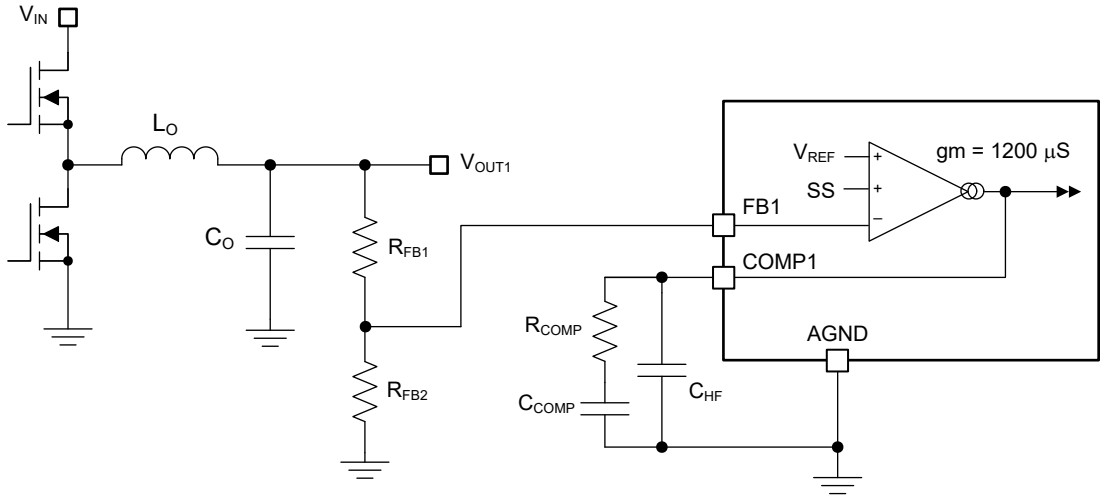


図 9-3. 制御ループ誤差アンプ

FB ピンに接続されている抵抗分割器のテブナン等価インピーダンスは、LM5143A-Q1 で分割器を検出しチャネルを調整可能な出力モードに設定するために、5kΩ より大きくする必要があります。

$$R_{TH} = \frac{R_{FB1} \cdot R_{FB2}}{R_{FB1} + R_{FB2}} > 5\,k\Omega \tag{6}$$

低 I_Q モードが必要な場合は、外付け抵抗の選択に注意してください。外部分割器から流れる過剰な電流が、LM5143A-Q1 の $I_{STANDBY}$ 電流に追加されます (標準で 15μA)。V_{IN} に反映される分割電流は、V_{OUT}/V_{IN} の比で除算して求めます。たとえば、V_{OUT} を 5.55V に設定しており、R_{FB1} が 82.5kΩ、R_{FB2} が 10kΩ の場合、式 7 を使用して、帰還抵抗への電流に必要な 12V 入力からの入力電流を計算することができます。

$$I_{VIN(DIVIDER)} = \frac{V_{OUT}}{R_{FB1} + R_{FB2}} \cdot \frac{V_{OUT}}{\eta \cdot V_{IN}} = \frac{5.55\,V}{82.5\,k\Omega + 10\,k\Omega} \cdot \frac{5.55\,V}{80\% \cdot 12\,V} \approx 35\,\mu A$$

$$I_{VIN} = I_{STANDBY} + I_{VIN(DIVIDER)} = 15\,\mu A + 35\,\mu A = 50\,\mu A \tag{7}$$

1 つの出力がイネーブルで、それ以外はディセーブルの場合、VCC 出力はレギュレーション状態になります。ディセーブルされたチャネルの HB 電圧は、ブートストラップ・ダイオードを経由して VCC に充電されます。その結果、HO ドライバのバイアス電流 (約 1.5μA) はディセーブルされたチャネルの出力電圧を約 2.2V まで上昇させます。これが望ましくない場合は、低電圧オフ状態を維持するために、ディセーブルされている出力に負荷抵抗 (100kΩ) を追加してください。

9.3.11 最小制御可能オン時間

最小出力電圧の調整範囲には、LM5143A-Q1 の 0.6V の電圧リファレンスと、制御可能なスイッチ・ノードの最小パルス幅 $t_{ON(min)}$ という 2 つの制約があります。

$t_{ON(min)}$ は実質的に、指定されたスイッチング周波数における V_{OUT}/V_{IN} の電圧ステップダウン変換比を制限します。固定周波数の PWM 動作の場合、電圧の変換比は次の 式 8 を満たす必要があります。

$$\frac{V_{OUT}}{V_{IN}} > t_{ON(min)} \cdot F_{SW} \tag{8}$$

ここで

- $t_{ON(min)}$ は 65ns (標準値) です。
- f_{SW} はスイッチング周波数です。

目標とする電圧変換比が上記の条件を満たさない場合、LM5143A-Q1 は固定スイッチング周波数動作からパルス・スキッピング・モードに遷移して、出力電圧のレギュレーションを維持します。たとえば、目標の出力電圧が 5V で、入力電圧 24V、スイッチング周波数 2.1MHz の場合、式 9 の電圧変換比の基準を満たしています。

$$\frac{5\,V}{24\,V} > 65\,ns \cdot 2.1\,MHz$$

$$0.208 > 0.137 \tag{9}$$

V_{IN} の範囲が広いアプリケーションで低出力電圧の場合、式 8 の要件を満たすためのもう 1 つの方法は、LM5143A-Q1 のスイッチング周波数を下げることです。

9.3.12 エラー・アンプと PWM コンパレータ (FB1、FB2、COMP1、COMP2)

LM5143A-Q1 の各チャネルには独立した高ゲイン相互コンダクタンス・アンプがあり、フィードバック電圧と内部高精度基準電圧 (0.6V) の間の差に比例した誤差電流を生成します。相互コンダクタンス・アンプの出力は COMP ピンに接続されるため、ユーザーが外部制御ループ補償を行うことができます。一般的に、ピーク電流モード制御には Type-II 補償ネットワークが推奨されています。

Copyright © 2023 Texas Instruments Incorporated

アンプには 2 つのゲイン設定があります。1 つは通常動作時用で g_m が 1200µS、もう 1 つは超低 I_Q 用で g_m が 60µS です。通常動作の場合は、MODE を AGND に接続します。超低 I_Q 動作の場合は、MODE と AGND の間に 10kΩ の抵抗を接続します。

9.3.13 スロープ補償

LM5143A-Q1 には、ピーク電流モード制御と 50% を超えるデューティ・サイクルで安定した動作を実現するスロープ補償が提供されています。式 10 を使用して降圧インダクタンスを計算し、スロープ補償の寄与がインダクタのダウンスロープの 1 倍になるようにします。

$$L_{O\text{-}IDEAL}(\mu H) = \frac{V_{OUT}(V) \cdot R_S(m\Omega)}{24 \cdot F_{SW}(MHz)} \tag{10}$$

- 一般に、インダクタンスの値が低いほど、ピーク・ツー・ピークのインダクタ電流は増加します。これにより、サイズとコストは最小限に抑えられ、コア損失とピーク電流の増加によって軽負荷効率が下がる代わりに、過渡応答が向上します。
- 一般に、インダクタンスの値が大きいほどピーク・ツー・ピークのインダクタ電流は低下します。これにより、負荷過渡仕様を満たすためにより大容量の出力コンデンサが必要となる代わりに、スイッチ・ピークと RMS 電流が低下することによって全負荷効率は向上します。

9.3.14 インダクタ電流センス (CS1、VOUT1、CS2、VOUT2)

降圧出力段のインダクタ電流を検出する方法には 2 種類あります。1 つ目は、インダクタと直列に電流センス抵抗 (シャントとも呼ばれます) を使用する方法、2 つ目はインダクタの DC 抵抗を利用する方法 (DCR 電流センシング) です。

9.3.14.1 シャント電流センシング

図 9-4 に、シャント抵抗を使用したインダクタ電流センシングを示します。この構成では、インダクタ電流を継続的に監視して、動作温度範囲全体での正確な過電流保護を実現します。最適な電流センス精度と過電流保護を実現するためには、インダクタと出力の間に低インダクタンスで ±1% の許容誤差を持つシャント抵抗を使用して、LM5143A-Q1 の電流センス・アンプまでケルビン接続します。

CS から VOUT までの間で検出されたピーク差動電流信号が 73mV の電流制限スレッショルドを超えた場合、電流制限コンパレータはサイクルごとの電流制限に適用可能な HO 出力をただちに停止します。シャント抵抗を計算するには、式 11 を使用します。

$$R_S = \frac{V_{CS}}{I_{OUT(CL)} + \frac{\Delta I_L}{2}} \tag{11}$$

ここで

- V_{CS} は、73mV の電流センス・スレッショルドです。
- $I_{OUT(CL)}$ は過電流設定ポイントで、最大負荷電流より大きな値を設定して、負荷過渡中の過電流コンパレータのトリッピングを防止します。
- ΔI_L は、ピーク・ツー・ピークのインダクタ・リップル電流です。

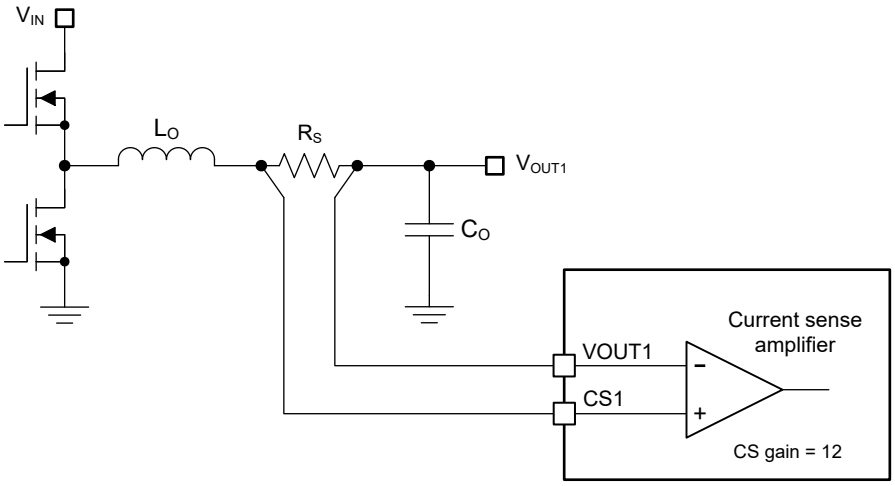


図 9-4. シャント電流センシングの実装

各チャネルの過電流状態では、それぞれの SS 電圧は FB より 150mV 高い値でクランプされます。過電流イベントが 16 回発生すると、SS のクランプがイネーブルになります。この動作により、短い過電流イベント中は SS は Low にプルされるため、復帰中の出力電圧のオーバーシュートが防止されます。

9.3.14.2 インダクタ DCR 電流センシング

精密な電流制限保護を必要としない大電力アプリケーションでは、インダクタ DCR 電流センシングが推奨されます。この手法では、インダクタと並列な RC センス・ネットワークを利用して、ロスレスなインダクタ電流を実現して、これを連続監視することができます。室温で 10%～15% の範囲内での標準的な電流制限精度を得るには、DCR 許容誤差の小さなインダクタを選択します。図 9-5 の部品 R_{CS} と C_{CS} によりインダクタ間にローパス・フィルタが作成され、インダクタ DCR 間の電圧降下の差動センシングが可能となります。

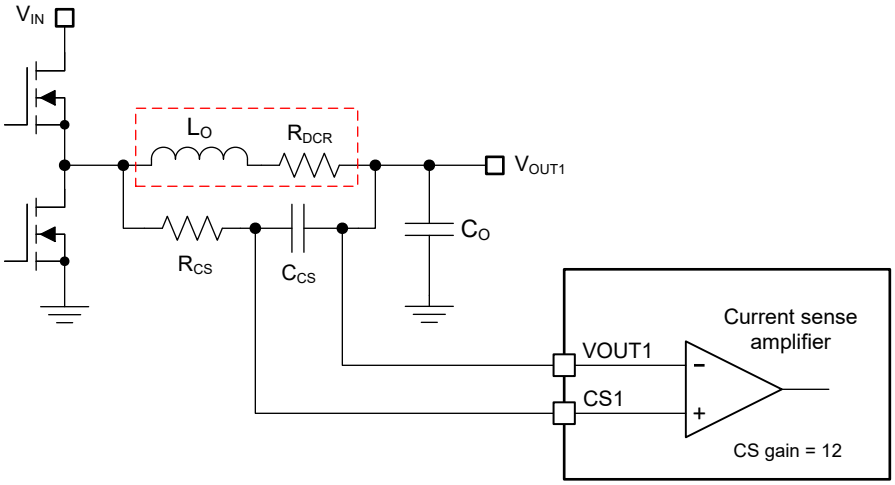


図 9-5. インダクタ DCR 電流センシングの実装

s ドメインのセンス・コンデンサ間の電圧降下を計算するには、式 12 を使用します。$R_{CS}C_{CS}$ 時定数が L_O/R_{DCR} に等しい場合、センス・コンデンサ C_{CS} 間に発生する電圧はインダクタ DCR 電圧の複製であり、精密な電流センシングが可能となります。$R_{CS}C_{CS}$ 時定数が L_O/R_{DCR} 時定数とは異なる場合、次のようなセンシング誤差が発生します。

- $R_{CS}C_{CS} > L_O/R_{DCR}$ の場合 → DC レベルは正しいが、AC 振幅は減衰する。
- $R_{CS}C_{CS} < L_O/R_{DCR}$ の場合 → DC レベルは正しいが、AC 振幅は増幅される。

Copyright © 2023 Texas Instruments Incorporated

$$V_{CS}(s) = \frac{1 + s \cdot \frac{L_O}{R_{DCR}}}{1 + s \cdot R_{CS} \cdot C_{CS}} \cdot R_{DCR} \cdot \left(I_{OUT(CL)} + \frac{\Delta I_L}{2} \right) \tag{12}$$

低インピーダンス・センシング・ネットワークを維持するために、0.1µF 以上の C_{CS} 容量を選択してください。この結果、スイッチ・ノードからのノイズ・ピックアップの影響が低減されます。セクション 12.1 のガイドラインをよく読み、ノイズと DC 誤差によって CS ピンと VOUT ピンの間に印加される差動電流センス信号に誤りが発生しないように注意してください。

9.3.15 ヒカップ・モード電流制限 (RES)

LM5143A-Q1 にはオプションでヒカップ・モード保護機能が搭載されており、コンデンサが RES ピンに接続されている場合にこの機能はイネーブルになります。通常動作時は、RES コンデンサはグランドに放電されます。サイクル単位の電流制限が 512 サイクル発生すると、SS は Low にプルされ、HO と LO 出力はディセーブルになります (図 9-6 を参照)。20µA の電流ソースが、RES コンデンサへの充電を開始します。RES の電圧が 1.2V まで上昇すると、RES は Low にプルされ、SS コンデンサの充電が開始されます。電流制限スレッショルドを超えないまま、スイッチング・サイクルが連続 4 回発生すると、512 サイクルのヒカップ・カウンタはリセットされます。各チャネルごとに個別のヒカップ・カウンタがありますが、RES ピンは両方のチャネルで共有されます。1 チャネルはヒカップ保護に使用できますが、もう 1 つのチャネルは通常動作します。チャネルが両方とも過電流状態になり、ヒカップ保護がトリガされた場合、最後に期限切れになるヒカップ・カウンタは RES を Low にプルして、RES コンデンサは充電サイクルを開始します。その後、V_{RES} = 1.2V になると、両方のチャネルは同時に再起動します。電源オン時に RES が VDDA に接続されている場合、ヒカップ機能は両方のチャネルでディセーブルになります。

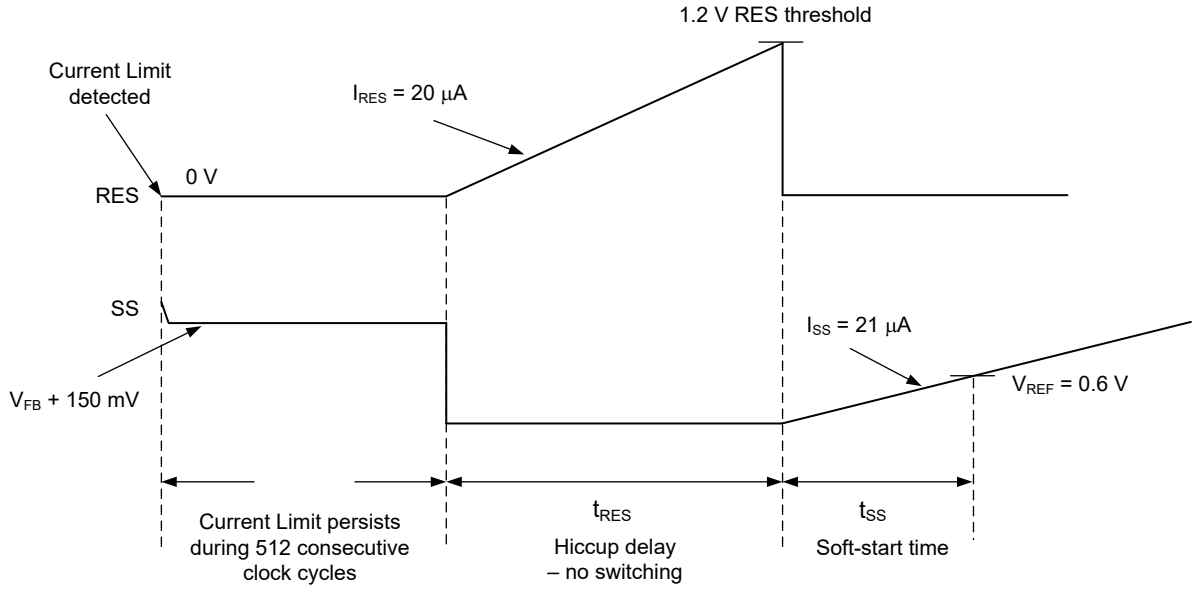


図 9-6. ヒカップ・モードのタイミング図

RES 容量を計算するには、式 13 を使用します。

$$C_{RES}(nF) = 17 \cdot t_{RES}(ms) \tag{13}$$

ここで

- t_{RES} は、図 9-6 に示すように規定されたヒカップ遅延です。

9.3.16 ハイサイドおよびローサイドのゲート・ドライバ (HO1、HO2、LO1、LO2、HOL1、HOL2、LOL1、LOL2)

LM5143A-Q1 には、N チャネル MOSFET ゲート・ドライバと関連するハイサイド・レベル・シフタが搭載されており、外部の N チャネル MOSFET を駆動します。ハイサイド・ゲート・ドライバは外部のブートストラップ・ダイオード D_{BST} およびブートストラップ・コンデンサ C_{BST} と連動して動作します。図 9-7 を参照してください。ローサイド MOSFET の導通時間内は、SW 電圧が約 0V で、C_{BST} は D_{BST} を経由して VCC から充電されます。テキサス・インスツルメンツは、0.1µF のセラミック・コンデンサを HB ピンと SW ピンの間に短いパターンで接続することを推奨しています。

LO と HO 出力はアダプティブ・デッドタイム方式で制御されるため、両方の出力 (LO と HO) が同時にイネーブルになることはなく、クロス導通を防止します。コントローラから LO をイネーブルにするようコマンドが送信されると、アダプティブ・デッドタイム・ロジックは最初に HO をディセーブルにして、HO-SW 電圧が 2.5V (標準値) 以下に低下するまで待機します。次に、短い遅延 (HO の立ち下がりから LO の立ち上がりまでの遅延) の後に LO はイネーブルになります。同様に、HO ターンオンは LO 電圧が 2.5V 以下に低下するまで遅延します。それから、HO は短い遅延 (LO の立ち下がりから HO の立ち上がりまでの遅延) の後にイネーブルになります。この方法により、任意のサイズの N チャネル MOSFET 部品や並列 MOSFET 構成に対して、適切なデッドタイムを確保することができます。

直列ゲート抵抗を追加する場合は、実効デッドタイムが短くなる可能性があるため、注意が必要です。各ハイサイドおよびローサイド・ドライバには独立したドライバ・ソースおよびシンク出力ピンがあり、ユーザーは駆動強度を調整することで、スイッチング損失を最適化して最大の効率を実現し、スルーレートを制御して EMI シグネチャを低減することができます。式 14 に従って、選択した N チャネル・ハイサイド MOSFET により、図 9-7 に示す適切なブートストラップ・コンデンサの容量の値 C_{BST} が決まります。

$$C_{BST} = \frac{Q_G}{\Delta V_{BST}} \tag{14}$$

ここで

- Q_G は、該当のゲート・ドライブ電圧におけるハイサイド MOSFET のゲート電荷の総量です。
- ΔV_{BST} は、ターンオン後のハイサイド MOSFET ドライバの電圧変動です。

C_{BST} を決定するには、利用可能なゲート・ドライブ電圧が大きな影響を受けないように ΔV_{BST} を選択します。ΔV_{BST} の許容範囲は 100mV～300mV です。ブートストラップ・コンデンサは、通常 0.1µF の低 ESR セラミック・コンデンサにする必要があります。ロジック・レベル・ゲート・スレッショルド電圧を持つハイサイドおよびローサイド MOSFET を使用してください。

Copyright © 2023 Texas Instruments Incorporated

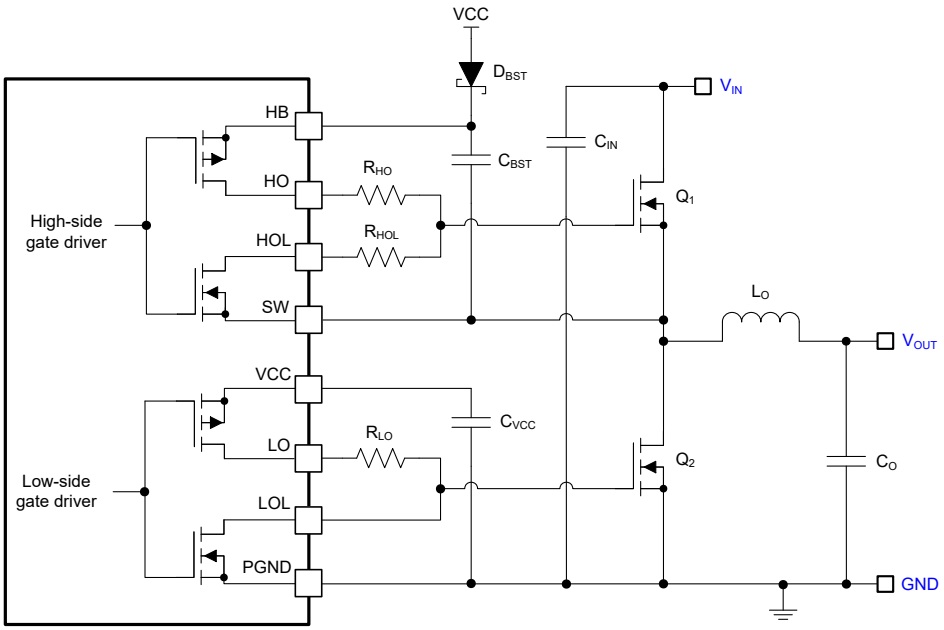


図 9-7. MOSFET ゲート・ドライバを内蔵

9.3.17 出力構成 (MODE、FB2)

9.3.17.1 独立したデュアル出力動作

LM5143A-Q1 には独立して動作できる 2 つの出力があります。V_{OUT1} と V_{OUT2} はどちらも外部フィードバック抵抗を取り付けずに、3.3V か 5V に設定することができます。または、式 5 に基づき外部フィードバック抵抗を使用して、出力電圧を 0.6V～55V の範囲に設定します。表 9-1 と 図 9-8 を参照してください。出力を独立させるには、MODE を直接 AGND に接続します。

表 9-1. 出力電圧設定

モード	FB1	FB2	VOUT1	VOUT2	エラー・アンプ、g_m
AGND	AGND	AGND	5V	5V	1200µS
AGND	VDDA	VDDA	3.3V	3.3V	1200µS
AGND	VDDA	AGND	3.3V	5V	1200µS
AGND	AGND	VDDA	5V	3.3V	1200µS
AGND	$R_{divider}$	$R_{divider}$	0.6V～55V	0.6V～55V	1200µS
10kΩ を AGND との間に接続	AGND	AGND	5V	5V	60µS
10kΩ を AGND との間に接続	VDDA	VDDA	3.3V	3.3V	60µS
10kΩ を AGND との間に接続	VDDA	AGND	3.3V	5V	60µS
10kΩ を AGND との間に接続	AGND	VDDA	5V	3.3V	60µS
10kΩ を AGND との間に接続	$R_{divider}$	$R_{divider}$	0.6V～55V	0.6V～55V	60µS

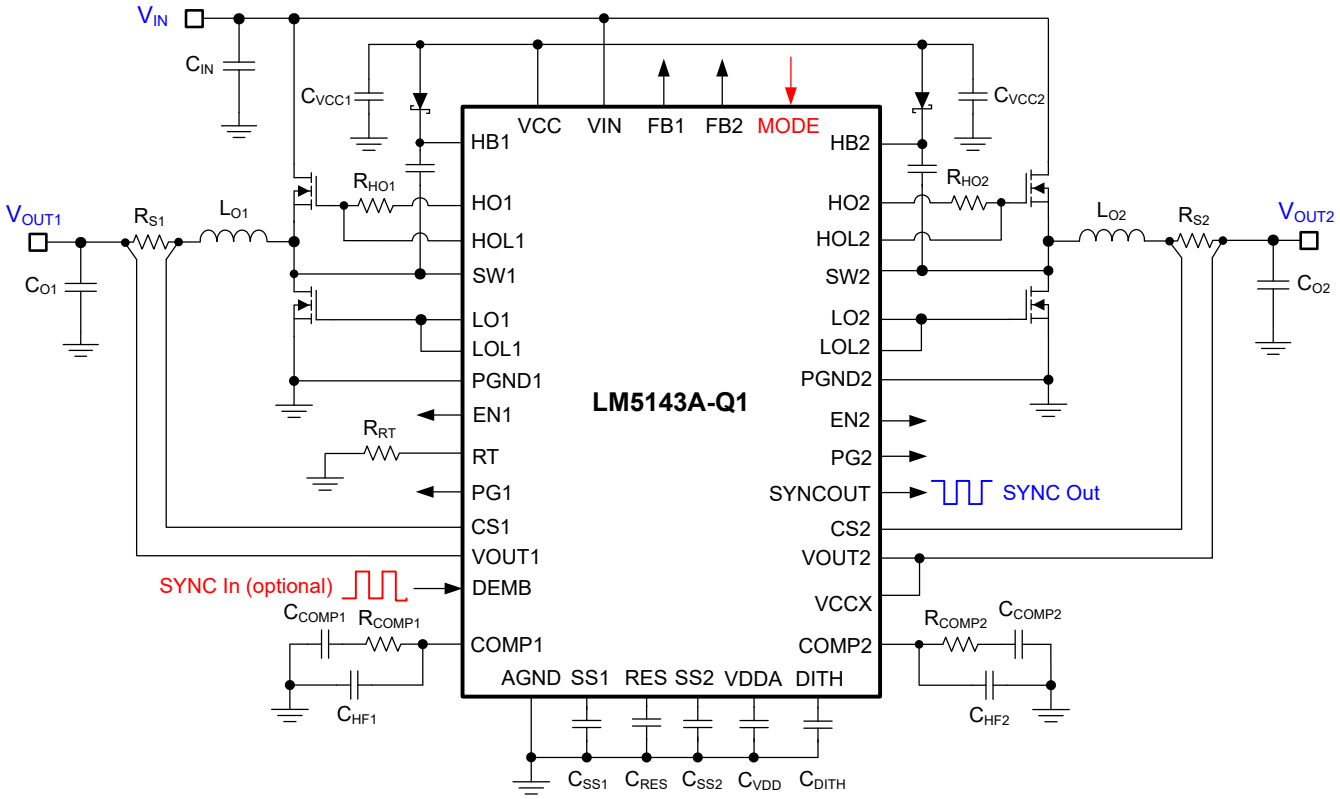


図 9-8. 独立したデュアル出力用に構成されたレギュレータの回路図

Copyright © 2023 Texas Instruments Incorporated

9.3.17.2 単一出力インターリーブ動作

LM5143A-Q1 をインターリーブ動作向けに構成するには、MODE を VDDA に、FB2 を AGND に接続します。これにより、チャネル 2 のエラー・アンプがディセーブルになり、高インピーダンス状態になります。その後、コントローラは 1 次側と 2 次側の構成になります。COMP1 を COMP2 に、SS1 を SS2 に接続します。FB1 を、3.3V 出力の場合は VDDA に、5V 出力の場合は AGND に接続します。出力電圧が 0.6V～55V の場合は、FB1 を外部の帰還分割器に接続します。表 9-2 と 図 9-9 を参照してください。

単一出力インターリーブ動作中の LM5143A-Q1 は、出力電圧が 0.6V～1.5V に設定されていると位相シェディングに対応しません。

表 9-2. 単一出力インターリーブ動作

モード	FB1	FB2	出力設定ポイント
VDDA	AGND	AGND	5V
VDDA	VDDA	AGND	3.3V
VDDA	$R_{divider}$	AGND	0.6V～55V

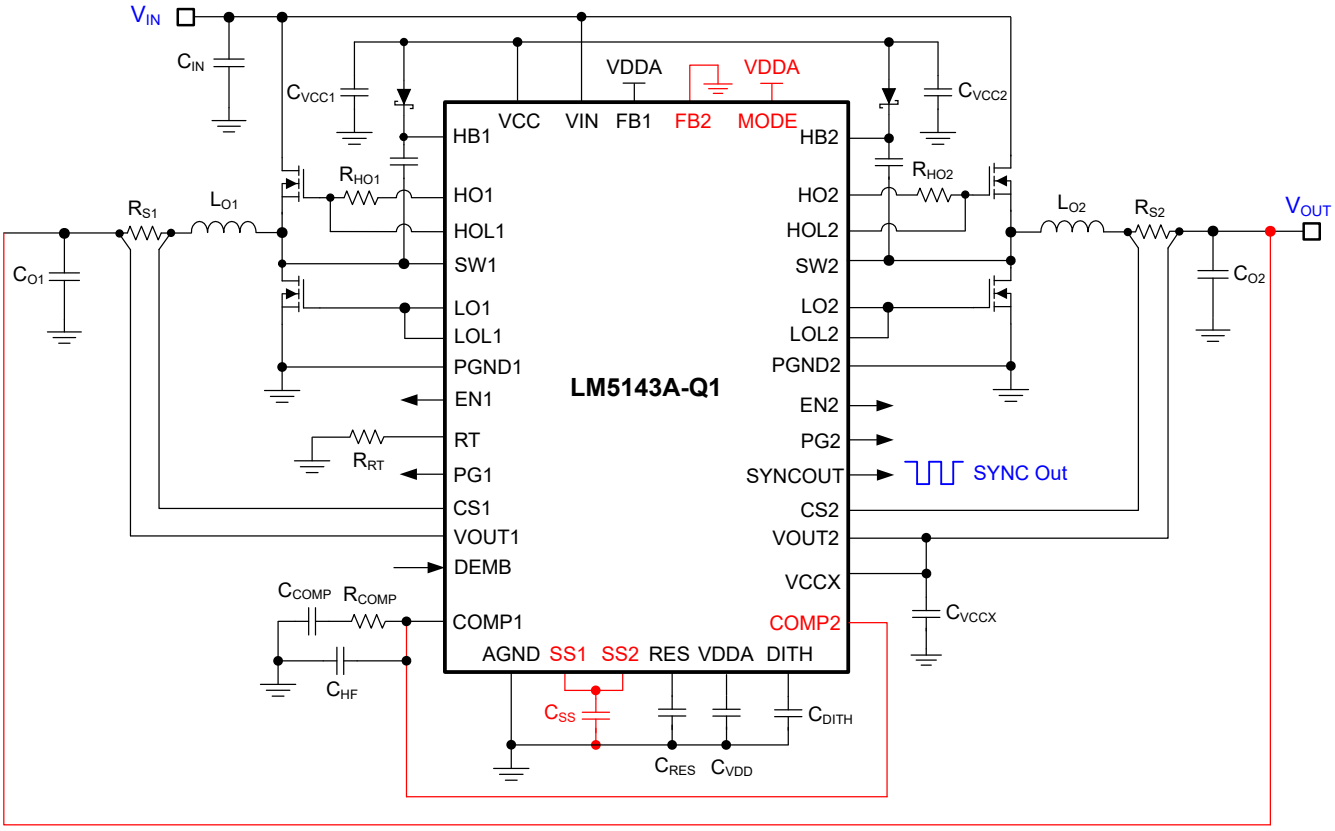


図 9-9. 単一出力インターリーブ動作用に構成された 2 相レギュレータの回路図

9.3.17.3 単一出力多相動作

LM5143A-Q1 を多相動作 (3 相または 4 相) 用に構成するには、2 つの LM5143A-Q1 コントローラが必要です。図 9-10 を参照してください。1 つ目のコントローラ (CNTRL1) を 1 次コントローラ、2 つ目のコントローラを 2 次コントローラ (CNTRL2) として構成します。2 つ目のコントローラを 2 次コントローラとして構成するには、MODE ピンと FB2 ピンを VDDA に接続します。この動作により、2 次コントローラの帰還エラー・アンプは両方ともディセーブルになり、高インピーダンス状態になります。1 次コントローラと 2 次コントローラの COMP1 と COMP2 を互いに接続します。1 次コントローラと 2 次コントローラの SS1 と SS2 を互いに接続します。1 次コントローラの SYNCOUT を 2 次コントローラの DEMB (SYNCIN) に接続します。1 次コントローラの SYNCOUT は位相差 90°で、インターリーブ動作を容易にします。LM5143A-Q1 が 2 次モードの場合、RT は発振器に使用されず、代わりにスロープ補償に使用されます。そのため、1 次コントローラと同じ RT 抵抗を選択します。発振器は 1 次コントローラから生成されます。2 次コントローラを FPWM または DEM モードに設定するには、FB1 をそれぞれ VDDA か AGND に接続します。1 次コントローラの FPWM または DEM モードを設定するには、DEMB ピンを使用します。表 9-3 を参照してください。

LM5143A-Q1 が単一出力多相動作中の場合、出力電圧が 0.6V～1.5V の間に設定されていると、位相シェディングには対応しません。

詳細については、『多相降圧コンバータの利点』ホワイト・ペーパーと、『多相降圧設計のすべて』アプリケーション・レポートを参照してください。

表 9-3. 単一出力多相動作

モード	FB1 (2 次側)	FB2 (2 次側)	DEM または FPWM (2 次側)
VDDA	AGND	VDDA	DEM
VDDA	VDDA	VDDA	FPWM

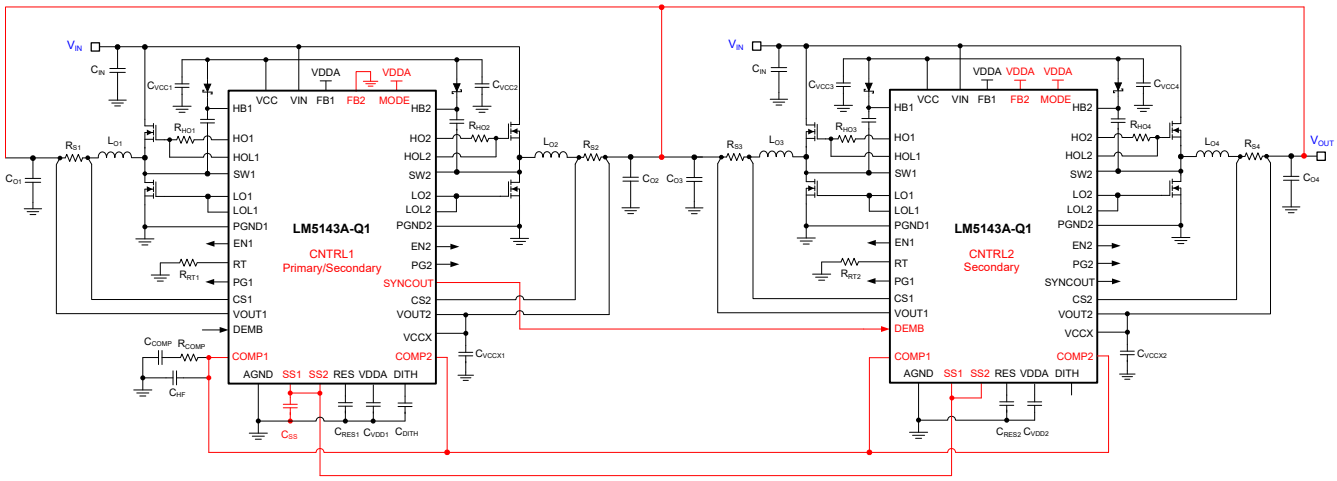


図 9-10. 単一出力インターリーブ動作用に構成された多相レギュレータの回路図

注

適切に位相シフトされたクロック信号が利用できれば、5 相以上 (LM5143A-Q1 コントローラを 3 つ以上使用) の設計が実現可能です。たとえば、6 相設計で 360°を合計位相数で割った理想的な位相分離を実現するには、3 つの LM5143A-Q1 コントローラと、0°、60°、120°の外部 SYNC 信号が必要です。

Copyright © 2023 Texas Instruments Incorporated

9.4 デバイスの機能モード

9.4.1 スタンバイ・モード

LM5143A-Q1 はピーク電流モード制御で動作するため、補償電圧はピーク・インダクタ電流に比例します。無負荷または軽負荷状態では、出力コンデンサは非常にゆっくりと放電されます。その結果、補償電圧はサイクル単位でのドライバ出力パルスを要求しません。LM5143A-Q1 のコントローラがスイッチング・サイクルの検出に 16 回失敗すると、スタンバイ・モードに入り、低 I_Q 状態に切り替わって、入力から流れる電流を低減します。LM5143A-Q1 をスタンバイ・モードにするには、ダイオード・エミュレーション用にコントローラをプログラムする必要があります (V_{DEMB} < 0.4V)。

スタンバイ・モードには、超低 I_Q モードと通常モードの 2 種類があります。超低 I_Q モードに入るには、MODE と AGND を接続して、その間に 10kΩ の抵抗を入れます。超低 I_Q モードでは、相互コンダクタンス・アンプのゲインが 1200µS から 60µS に低下します。標準的な超低 I_Q は、3.3V に設定されたチャネル 1 で 15µA で、チャネル 2 はディセーブルになります。超低 I_Q が必要ない場合は、MODE を AGND に接続します。通常モードでは、I_Q は 3.3V に設定されたチャネル 1 で 25µA であり、2 番目のチャネルはディセーブルになります。

9.4.2 ダイオード・エミュレーション・モード

ダイオードの代わりにローサイドの同期 MOSFET を実装した完全同期整流降圧レギュレータは、軽負荷、過電圧、プリバイアスのスタートアップ条件中は出力から負電流をシンクできます。LM5143A-Q1 にはダイオード・エミュレーション機能があり、ローサイド MOSFET の逆 (ドレインからソース) 電流を防止します。ダイオード・エミュレーション (DEM) 用に構成されている場合、ゼロクロス・コンパレータを使用して印加可能な SW 電圧を検出することによって逆電流が検出されると、ローサイド MOSFET はオフになります。この構成の利点は、軽負荷条件時に電力損失が低減されることです。また、欠点は軽負荷時の過渡応答が遅くなることです。

ダイオード・エミュレーション機能を構成するには、DEMB ピンを使用します。ダイオード・エミュレーションをイネーブルにして、軽負荷時に不連続導通モード (DCM) の動作を実現するには、DEMB を AGND に接続します。FPWM または連続導通モード (CCM) の動作が必要な場合は、DEMB を VDDA に接続します。表 9-4 を参照してください。ダイオード・エミュレーションは、FPWM におけるプリバイアスのスタートアップ条件中に逆電流が流れることを防止するため、自動的に動作します。DCM から CCM 動作へと段階的に変化することで、単調なスタートアップ性能が実現します。

表 9-4. DEMB 設定

DEMB	FPWM/DEM
VDDA	FPWM
AGND	DEM
外部クロック	FPWM

9.4.3 サーマル・シャットダウン

LM5143A-Q1 には、内部接合部温度モニタが搭載されています。温度が 175℃ (標準値) を超えると、サーマル・シャットダウンが発生します。サーマル・シャットダウンに入ると、デバイスは以下のように動作します。

1. ハイサイド MOSFET とローサイド MOSFET を停止します。
2. SS1、SS2、PG1、PG12 を Low にします。
3. VCC レギュレータを停止します。
4. ダイ温度がサーマル・シャットダウン・ヒステリシスの 15℃ (標準値) だけ低下すると、ソフトスタート・シーケンスを開始します。

これは非ラッチ保護のため、障害が継続していると、デバイスはサーマル・シャットダウン状態の開始と終了を繰り返します。

10 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 アプリケーション情報

LM5143A-Q1 は、高い入力電圧を 2 つの低出力電圧に変換するために使用される同期整流降圧コントローラです。以下のセクションでは、特定の回路設計例を使用してデュアル出力実装の設計手順について説明します。LM5143A-Q1 ベースのレギュレータの設計プロセスを迅速化および効率化するために、包括的な をダウンロードして、特定のアプリケーションのコンポーネント選択を支援することができます。

10.1.1 パワートレイン・コンポーネント

同期整流降圧レギュレータの設計を成功に導くには、降圧レギュレータのパワートレイン・コンポーネントを包括的に理解することが不可欠です。以降のサブセクションでは、以下について説明します。

- 出力インダクタ
- 入力と出力の各コンデンサ
- パワー MOSFET
- EMI 入力フィルタ

10.1.1.1 降圧インダクタ

多くのアプリケーションでは、公称入力電圧におけるインダクタのリップル電流 ΔI_L が最大 DC 出力電流の 30%～50% の間になるように降圧インダクタンスを選択します。式 16 に示されるピーク・インダクタ電流に基づき、式 15 を使用してインダクタンスを選択します。

$$L_O = \frac{V_{OUT}}{\Delta I_L \cdot F_{SW}} \cdot \left(1 - \frac{V_{OUT}}{V_{IN}}\right) \tag{15}$$

$$I_{L(peak)} = I_{OUT} + \frac{\Delta I_L}{2} \tag{16}$$

インダクタのデータシートを参照し、インダクタの飽和電流が特定の設計のピーク・インダクタ電流よりも十分に大きいことを確認します。フェライトの設計はコア損失が非常に低く、高スイッチング周波数で好まれます。そのため、設計の目標を銅損と飽和の防止に集中することができます。低インダクタのコア損失は、無負荷の入力電流の低下と軽負荷時の効率の向上により明らかです。ただし、フェライト・コアの材質は飽和特性が強く、飽和電流を超えるとインダクタンスが急激に低下するため、インダクタのリップル電流が急激に増加し、出力電圧リップルが大きくなるのは言うまでもなく、効率と信頼性も低下します。一般的に、インダクタの飽和電流はコア温度が上がるにつれて減少します。もちろん、インダクタの飽和を防止するには正確な過電流保護が重要です。

10.1.1.2 出力コンデンサ

通常、レギュレータの出力コンデンサ・エネルギーの保存と制御ループ応答の組み合わせは、出力電圧の整合性を動的 (過渡) 許容誤差の仕様範囲内に保つために規定されます。電源管理アプリケーションで出力コンデンサを制限する通常の境界は、限られた中で利用可能な PCB 面積、部品の取付面積とプロファイル、コストによって決まります。コンデンサの寄生 (等価直列抵抗 (ESR) と等価直列インダクタンス (ESL)) は、負荷ステップの振幅とスルーレートが増加するにつれて、レギュレータの負荷過渡応答の形成において優先度がより高くなります。

出力コンデンサ C_{OUT} はインダクタのリップル電流をフィルタリングして、ステップ負荷過渡イベントのために電荷を蓄積します。一般的に、セラミック・コンデンサの ESR は非常に低いため、出力電圧リップルとノイズ・スパイクは低減されます

Copyright © 2023 Texas Instruments Incorporated

が、タンタル・コンデンサと電解コンデンサは過渡負荷イベント用の比較的小さなフットプリントのものでも、バルク容量は非常に大きくなります。

ΔV_{OUT} で示されるピーク・ツー・ピーク出力電圧リップルの静的仕様に基づき、式 17 で求められる値よりも大きな出力容量を選択します。

$$C_{OUT} \geq \frac{\Delta I_L}{8 \cdot F_{SW} \sqrt{\Delta V_{OUT}^2 - \left(R_{ESR} \cdot \Delta I_L\right)^2}} \tag{17}$$

図 10-1 は、負荷の上昇遷移時と下降遷移時の関連電流の波形を概念的に表した図です。ここに示すように、インダクタ電流の大信号のスルーレートは、インダクタ電流が負荷過渡に伴い新しい負荷電流レベルに合うように上昇するにつれて制限されます。このスルーレートの制限により、出力コンデンサの電荷の損失はより大きくなります。そのため、負荷の上昇過渡時とその後はできる限り早く電荷を補充する必要があります。同様に、負荷の下降過渡時とその後は、インダクタ電流のスルーレートの制限により出力コンデンサの電荷が増大するため、できる限り早く放電する必要があります。

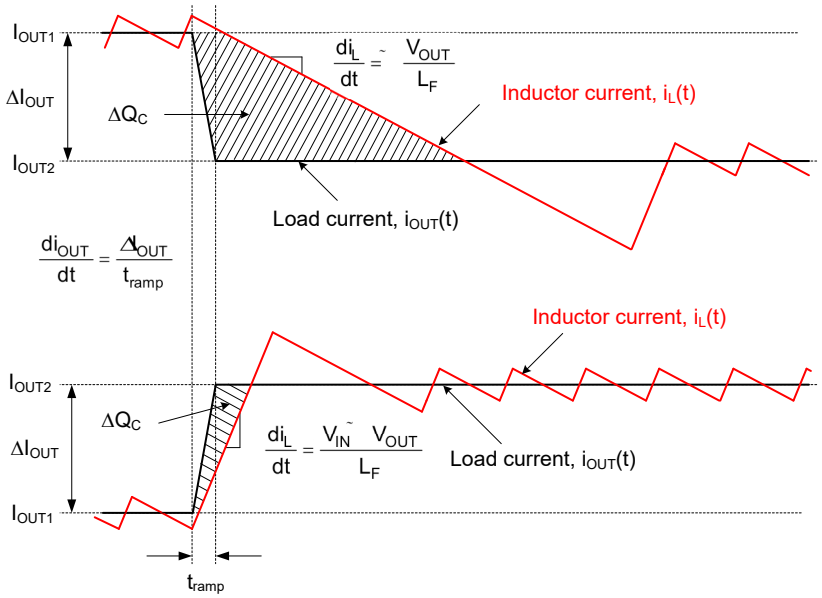


図 10-1. C_{OUT} の電荷の増大と損失を表す負荷過渡応答の図

低出力電圧 (3.3V など) への 12V 入力の標準的なレギュレータ・アプリケーションでは、負荷オフ時の過渡は出力電圧の過渡偏差という点でワーストケースになります。この変換比アプリケーションでは、定常状態のデューティ・サイクルは約 28% で、デューティ・サイクルがゼロに急減したときの大信号のインダクタ電流のスルーレートは約 $-V_{OUT}/L$ です。負荷オン過渡に比べると、インダクタ電流は必要なレベルに遷移するまでにかなり時間がかかります。出力コンデンサの電荷が過剰になると、出力電圧の深刻なオーバーシュートを引き起こします。実際に、出力コンデンサからこの過剰な電荷をできるだけ早く放電するには、負荷ステップに従い、インダクタ電流が公称レベルを下回るようにする必要があります。このシナリオでは、出力容量が大きいほど有利に過剰な電荷を吸収して、電圧のオーバーシュートを最小限に抑えることができます。

このような負荷オフ過渡時に、出力電圧のオーバーシュート ($\Delta V_{OVERSHOOT}$ と表記され、出力電流の段階的な減少は ΔI_{OUT} で与えられます) の動的要件に合わせるためには、出力容量を以下の式よりも大きくする必要があります。

$$C_{OUT} \geq \frac{L_O \cdot \Delta I_{OUT}^2}{\left(V_{OUT} + \Delta V_{OVERSHOOT}\right)^2 - V_{OUT}^2} \tag{18}$$

コンデンサの ESR は、メーカーのデータシートに仕様として明記されているか、またはインピーダンスと周波数曲線の関係によって暗黙的に示されています。種類、サイズ、構造に応じて、電解コンデンサには 5mΩ 以上の非常に大きな ESR

と 5nH～20nH の比較的大きな ESL が内蔵されています。PCB パターンは寄生抵抗とインダクタンスにも寄与します。一方、セラミック出力コンデンサはスイッチング周波数における ESR と ESL への寄与が小さく、容量性インピーダンスの成分が優勢です。ただし、セラミック・コンデンサのパッケージと電圧定格によっては、実効容量は印加された DC 電圧と動作温度で大幅に低下することがあります。

式 17 の ESR の項を無視すると、出力リップルの要件を満たすために必要な最小セラミック容量を簡単に見積もることができます。5V 出力の場合は、1206 または 1210 のフットプリントで 2～4 個の 47µF、10V X7R コンデンサを選ぶのが一般的です。負荷オフ過渡のオーバーシュート要件を満たすために追加容量が必要かどうかを決定するには、式 18 を使用します。

セラミック・コンデンサと電解コンデンサを混在させて実装することは、化学的性質が異なっていても性能補完が可能なコンデンサを並列に接続する理由になります。各コンデンサの周波数応答は累積的で、各コンデンサは周波数範囲の特定の部分で必要な性能を発揮します。セラミックは、低 ESR と ESL で優れた中域周波数と高周波数のデカップリング特性を実現し、スイッチング周波数の出力リップルを最小限に抑えます。一方、大きなバルク容量を持つ電解デバイスは低周波数でエネルギー保存を行うため、負荷過渡要求に対応します。

10.1.1.3 入力コンデンサ

入力コンデンサは、スイッチング周波数の AC 電流により、降圧出力段への入力リップル電圧を制限する必要があります。テキサス・インスツルメンツは、幅広い温度範囲で低インピーダンスと高い RMS 電流定格を実現する X7S または X7R 誘電セラミック・コンデンサの使用を推奨しています。スイッチング・ループの寄生インダクタンスを最小化するためには、入力コンデンサをハイサイド MOSFET のドレイン側とローサイド MOSFET のソース側のできる限り近くに配置します。単一チャネル降圧レギュレータの入力コンデンサの RMS 電流を計算するには、式 19 を使用します。

$$I_{CIN,rms} = \sqrt{D \cdot \left(I_{OUT}{}^{2} \cdot (1-D) + \frac{\Delta I_L^2}{12} \right)} \tag{19}$$

入力コンデンサの RMS 電流の最大値は D = 0.5 のときに発生します。この時点で、入力コンデンサの RMS 電流定格は出力電流の半分を超えています。

入力電流の DC 成分は入力電圧源と入力フィルタ・コンデンサによる AC 成分から供給されることが理想です。インダクタ・リップル電流を無視すると、入力コンデンサは、D 間隔の間に振幅 (I_{OUT} − I_{IN}) の電流をソースし、1−D 間隔の間に I_{IN} をシンクします。そのため、入力コンデンサは、出力電流に等しいピーク・ツー・ピーク振幅の方形波電流を導通します。この電流により、AC リップル電圧の合成容量成分は三角波になります。ESR 関連のリップル成分だけでなく、ピーク・ツー・ピーク・リップル電圧の振幅を計算するには、式 20 を使用します。

$$\Delta V_{IN} = \frac{I_{OUT} \cdot D \cdot (1-D)}{F_{SW} \cdot C_{IN}} + I_{OUT} \cdot R_{ESR} \tag{20}$$

ΔV_{IN} の入力電圧リップル仕様に基づいて、特定の負荷電流に必要な入力容量を計算するには、式 21 を使用します。

$$C_{IN} \geq \frac{D \cdot (1-D) \cdot I_{OUT}}{F_{SW} \cdot (\Delta V_{IN} - R_{ESR} \cdot I_{OUT})} \tag{21}$$

低 ESR のセラミック・コンデンサは、より大きなバルク容量と並列に配置することで、レギュレータとダンピングの入力フィルタリングを最適化し、Q の高いセラミックと共振する入力寄生インダクタンスの影響を低減することができます。12V バッテリの車載用アプリケーションには、十分大きな電流定格のバルク・コンデンサ 1 つと、10µF、50V の X7R セラミック・デカップリング・コンデンサ 4 つで通常は十分です。入力バルク・コンデンサは、そのリップル電流定格と動作温度範囲に基づいて選択してください。

もちろん、180°の位相差のあるインターリーブ・スイッチング付き 2 チャネル降圧レギュレータは、入力リップル電流をキャンセルして、入力コンデンサの電流ストレスを低減することができます。上記の式は、1 つの出力がディセーブルで他の出力が全負荷状態のときに、計算結果が有効になります。

Copyright © 2023 Texas Instruments Incorporated

10.1.1.4 パワー MOSFET

パワー MOSFET の選択は、DC/DC レギュレータの性能に大きな影響を及ぼします。MOSFET は低オン抵抗 $R_{DS(on)}$ を内蔵しているため導通損失を低減し、同時に寄生容量が小さいため遷移時間が短くなり、スイッチング損失が低くなります。通常、MOSFET の $R_{DS(on)}$ が低くなるほど、ゲートの電荷と出力の電荷 (それぞれ Q_G と Q_{OSS}) は高くなり、逆もまた同じです。そのため、一般的に $R_{DS(on)}$ と Q_G の積は MOSFET の性能指数として規定されます。使用されているパッケージの熱抵抗が低いため、MOSFET の消費電力によって MOSFET のダイ温度が過剰な高温になることはありません。

LM5143A-Q1 アプリケーションでパワー MOSFET の選択に影響を与える主なパラメータは次のとおりです。

- $R_{DS(on)}$ (V_{GS} = 5V の場合)
- ドレイン - ソース間電圧定格 BV_{DSS} は、最大入力電圧に応じて、標準で 40V、60V、80V です。
- V_{GS} = 5V におけるゲート電荷パラメータ
- 関連入力電圧における出力電荷 Q_{OSS}
- ボディ・ダイオードの逆回復電荷 Q_{RR}
- ゲート・スレッショルド電圧 $V_{GS(th)}$。MOSFET データシートの Q_G と V_{GS} のプロットにおけるミラー・プラトーから算出されます。ミラー・プラトー電圧は通常 2V～3V の範囲にあるため、LM5143A-Q1 の 5V ゲート・ドライブの振幅によって、オン時には MOSFET は十分強化され、オフ時には Cdv/dt 貫通に対するマージンが確保されます。

1 つのチャネルの MOSFET 関連の電力損失は、表 10-1 に示す式に集約されます。この式の添え字の 1 と 2 は、それぞれハイサイドとローサイド MOSFET のパラメータを表しています。インダクタのリップル電流の影響を考慮する場合でも、寄生インダクタンスや SW ノードのリンギングなどの 2 次損失モードは含まれません。

表 10-1. MOSFET の電力損失

電力損失モード	ハイサイド MOSFET	ローサイド MOSFET
MOSFET の導通(2) (3)	$P_{cond1} = D \cdot \left(I_{OUT}^2 + \frac{\Delta I_L^2}{12} \right) \cdot R_{DS(on)1}$	$P_{cond2} = D' \cdot \left(I_{OUT}^2 + \frac{\Delta I_L^2}{12} \right) \cdot R_{DS(on)2}$
MOSFET のスイッチング	$P_{sw1} = \frac{V_{IN} \cdot F_{SW}}{2} \left[\left(I_{OUT} - \frac{\Delta I_L}{2} \right) \cdot t_R + \left(I_{OUT} + \frac{\Delta I_L}{2} \right) \cdot t_F \right]$	無視できる範囲
MOSFET のゲート・ドライブ (1)	$P_{Gate1} = V_{CC} \cdot F_{SW} \cdot Q_{G1}$	$P_{Gate2} = V_{CC} \cdot F_{SW} \cdot Q_{G2}$
MOSFET の出力電荷(4)	$P_{Coss} = F_{SW} \cdot \left(V_{IN} \cdot Q_{oss2} + E_{oss1} - E_{oss2} \right)$	無視できる範囲
ボディ・ダイオード導通	N/A	$P_{cond_{BD}} = V_F \cdot F_{SW} \left[\left(I_{OUT} + \frac{\Delta I_L}{2} \right) \cdot t_{dt1} + \left(I_{OUT} - \frac{\Delta I_L}{2} \right) \cdot t_{dt2} \right]$
ボディ・ダイオードの逆回復(5)	$P_{RR} = V_{IN} \cdot F_{SW} \cdot Q_{RR2}$	

(1) ゲート・ドライブ損失は、MOSFET の内部ゲート抵抗、外付けの直列ゲート抵抗、LM5143A-Q1 の関連ドライバ抵抗に基づき分配されます。
(2) MOSFET の $R_{DS(on)}$ の正の温度係数は、約 4500ppm/℃です。MOSFET の接合部温度 T_J と、周囲温度と比べて接合部温度がどれだけ上昇するかは、デバイスの総消費電力とその熱インピーダンスに依存します。最小入力電圧や、それに近い電圧で動作する時には、MOSFET の $R_{DS(on)}$ は利用可能なゲート・ドライブ電圧の定格になります。
(3) D' = 1-D は、デューティ・サイクルの補数です。
(4) MOSFET の出力容量 C_{oss1} と C_{oss2} は、電圧に対して高度な非線形となります。これらの容量は、ハイサイド MOSFET ターンオフ時のインダクタ電流によりロスレスで充電されます。ただし、ターンオン時には電流は入力から流れるため、ローサイド MOSFET の出力容量が充電されます。C_{oss1} のエネルギー E_{oss1} はターンオン時に消費されますが、C_{oss2} に保存されているエネルギー E_{oss2} で相殺されます。詳細については、『GaN FET とシリコン MOSFET における DC-DC コンバータ性能のデッドタイム効果の比較』ECCE 2016 を参照してください。
(5) MOSFET ボディ・ダイオードの逆回復電荷 Q_{RR} は、さまざまなパラメータ、特に順方向電流、電流遷移速度、温度に依存します。

ハイサイド (制御) MOSFET は、PWM のオン時間 (または D 間隔) 中にインダクタ電流を流し、通常はスイッチング損失のほとんどはここで発生します。そのため、導通損失とスイッチング損失への関与のバランスを取るハイサイド MOSFET を選択する必要があります。ハイサイド MOSFET の総消費電力は、以下の合計になります。

- 導通による損失
- スイッチング (電圧と電流の重複)

- 出力電荷量
- 通常、ボディ・ダイオードの逆回復に起因する正味の損失の 3 分の 2

ローサイド (同期) MOSFET は、ハイサイド MOSFET がオフ (または 1-D 間隔) のときにインダクタ電流を流します。ローサイド MOSFET はゼロ電圧でスイッチングするため、スイッチング損失は無視できます。電流はチャネルからボディ・ダイオードへ整流されますが、遷移デッドタイム中は逆方向にも整流されます。LM5143A-Q1 は適応型ゲート・ドライブ・タイミングを使用しているため、両方の MOSFET がオフのときに、ボディ・ダイオードの導通損失を最小に抑えます。この損失は、スイッチング周波数に正比例します。

ステップダウン比の高いアプリケーションでは、スイッチング時間の大部分でローサイド MOSFET は電流を流します。そのため、高効率を実現するには、低 $R_{DS(on)}$ のときにローサイド MOSFET を最適化する必要があります。導通損失が大きすぎる場合、または目標とする $R_{DS(on)}$ が単一の MOSFET で実現可能な値より低い場合は、2 つのローサイド MOSFET を並列に接続します。ローサイド MOSFET の総消費電力は、チャネル導通、ボディ・ダイオード導通、ボディ・ダイオードの逆回復に起因する正味の損失の通常 3 分の 1 の合計になります。LM5143A-Q1 は、テキサス・インスツルメンツの NexFET™ パワー MOSFET のポートフォリオを駆動するのに最適です。

10.1.1.5 EMI フィルタ

式 22 に示されているように、スイッチング・レギュレータは最小入力電圧において最小となる負の入力インピーダンスを示します。

$$Z_{IN} = \left| -\frac{V_{IN(min)}^{2}}{P_{IN}} \right| \tag{22}$$

LC フィルタの減衰不足は、フィルタの共振周波数に対して出力インピーダンスが高いことを示しています。安定性のため、フィルタの出力インピーダンスはコンバータの入力インピーダンスの絶対値よりも小さくする必要があります。

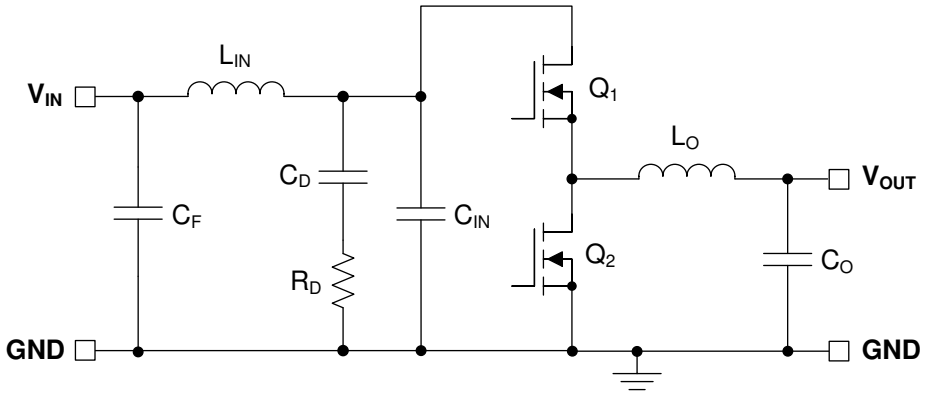


図 10-2. π 段 EMI フィルタ付き降圧レギュレータ

図 10-2 のフィルタ回路図を参照すると、EMI フィルタ設計の手順は以下のとおりです。

- EMI フィルタに対して、スイッチング周波数で要求される減衰を計算します。ここで、C_{IN} はスイッチング・コンバータの入力における既存の容量を表しています。
- 通常、入力フィルタ・インダクタンス L_{IN} は 1μH～10μH の間で選択されますが、大電流設計での損失を低減するために、さらに小さい値にすることも可能です。
- 入力フィルタ容量 C_F を計算します。
- ダンピング容量 C_D とダンピング抵抗 R_D を計算します。

入力電流波形のフーリエ級数から最初に高調波電流を計算し、その値に入力インピーダンス (インピーダンスは既存の入力コンデンサ C_{IN} で定義) を乗算することにより、式 23 に示す必要な減衰を求める式が得られます。

Copyright © 2023 Texas Instruments Incorporated

$$Attn = 20\log\left(\frac{I_{L(PEAK)}}{\pi^2 \cdot F_{SW} \cdot C_{IN}} \cdot \sin(\pi \cdot D_{MAX}) \cdot \frac{1}{1\,\mu V}\right) - V_{MAX} \tag{23}$$

ここで

- V_{MAX} は、適用可能な伝導 EMI 仕様に許容される dBμV ノイズ・レベルです (CISPR 25 クラス 5 など)。
- C_{IN} は、降圧レギュレータの既存の入力容量です。
- D_{MAX} は、最大デューティ・サイクルです。
- I_{PEAK} は、ピーク・インダクタ電流です。

フィルタ設計の目的のため、入力時の電流を方形波でモデリングすることができます。式 24 から EMI フィルタ容量 C_F を決定します。

$$C_F = \frac{1}{L_{IN}}\left(\frac{10^{\frac{|Attn|}{40}}}{2\pi \cdot F_{SW}}\right)^2 \tag{24}$$

スイッチング・レギュレータに入力フィルタを追加すると、制御から出力への伝達関数が変更されます。フィルタの出力インピーダンスは、入力フィルタが降圧コンバータのループ・ゲインに大きな影響を与えないように、十分小さくする必要があります。インピーダンスは、フィルタの共振周波数でピークになります。フィルタの共振周波数を計算するには、式 25 を使用します。

$$f_{res} = \frac{1}{2\pi \cdot \sqrt{L_{IN} \cdot C_F}} \tag{25}$$

R_D の目的は、フィルタの共振周波数におけるピーク出力インピーダンスを低減することです。コンデンサ C_D は、入力電圧の DC 成分をブロックして、R_D での過剰な電力消費を防止します。コンデンサ C_D は、入力コンデンサ C_{IN} より大きな容量で、共振周波数において R_D よりも低インピーダンスの必要があります。この動作により、C_{IN} がメイン・フィルタのカットオフ周波数に干渉することを防ぎます。共振周波数におけるフィルタの出力インピーダンスが高い場合は、ダンピングを追加する必要があります (L_{IN} と C_{IN} で形成されるフィルタの Q 値が大きすぎる場合)。式 26 に示されている値でのダンピングには、電解コンデンサ C_D を使用することができます。

$$C_D \geq 4 \cdot C_{IN} \tag{26}$$

式 27 を使用して、ダンピング抵抗 R_D を選択します。

$$R_D = \sqrt{\frac{L_{IN}}{C_{IN}}} \tag{27}$$

10.1.2 エラー・アンプと補償

図 10-3 に、相互コンダクタンスのエラー・アンプ (EA) を使用した Type-II 補償器を示します。式 28 に示すように、EA の開ループ・ゲインの支配極は、EA 出力抵抗 $R_{O\text{-}EA}$ と、実効帯域幅制限容量 C_{BW} で設定します。

$$G_{EA(openloop)}(s) = -\frac{g_m \cdot R_{O\text{-}EA}}{1 + s \cdot R_{O\text{-}EA} \cdot C_{BW}} \tag{28}$$

式 28 では、EA の高周波極は無視されます。出力電圧から COMP ノードまでの補償器の伝達関数は、(内部または外部の) フィードバック抵抗ネットワークからのゲインの寄与を含めて 式 29 で計算されます。

$$G_c(s) = \frac{\hat{v}_c(s)}{\hat{v}_{out}(s)} = -\frac{V_{REF}}{V_{OUT}} \cdot \frac{g_m \cdot R_{O\text{-}EA} \cdot \left(1 + \frac{s}{\omega_{z1}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right) \cdot \left(1 + \frac{s}{\omega_{p2}}\right)} \tag{29}$$

ここで

- V_{REF} は、0.6V の帰還電圧リファレンスです。
- g_m は、1200µS の EA ゲイン相互コンダクタンスです。
- $R_{O\text{-}EA}$ は、64MΩ のエラー・アンプ出力インピーダンスです。

$$\omega_{Z1} = \frac{1}{R_{COMP} \cdot C_{COMP}} \tag{30}$$

$$\omega_{p1} = \frac{1}{R_{O\text{-}EA} \cdot (C_{COMP} + C_{HF} + C_{BW})} \cong \frac{1}{R_{O\text{-}EA} \cdot C_{COMP}} \tag{31}$$

$$\omega_{p2} = \frac{1}{R_{COMP} \cdot \left(C_{COMP} \| (C_{HF} + C_{BW})\right)} \cong \frac{1}{R_{COMP} \cdot C_{HF}} \tag{32}$$

EA の補償部品は、原点近くの極、ゼロ、高周波極を生成します。通常、$R_{COMP} << R_{O\text{-}EA}$ かつ $C_{COMP} >> C_{BW}$ かつ C_{HF} のため、近似値が有効です。

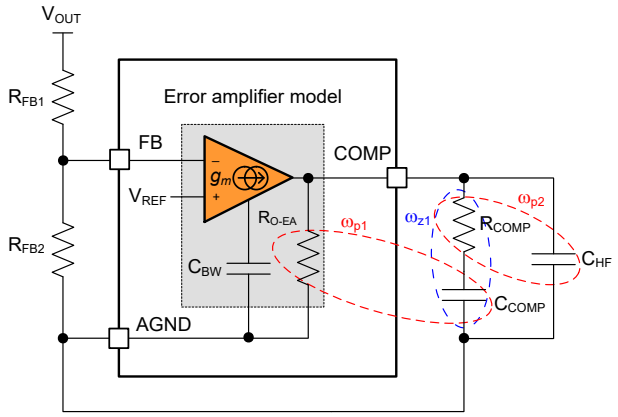


図 10-3. エラー・アンプと補償ネットワーク

Copyright © 2023 Texas Instruments Incorporated

10.2 代表的なアプリケーション

10.2.1 設計 1 車載用アプリケーション向け 5V および 3.3V デュアル出力降圧レギュレータ

図 10-4 に、各出力の出力電圧が 3.3V と 5V に設定され、定格負荷電流が 7A のデュアル出力同期整流降圧レギュレータの回路図を示します。この例では、3.5V から 36V の範囲内の公称入力電圧 12V に基づき、半負荷効率と全負荷効率の目標はそれぞれ、91% と 90% です。スイッチング周波数は、抵抗 R_{RT} により 2.1MHz に設定されます。5V 出力を VCCX に接続することにより、IC バイアス電力の損失を低減し、効率を向上させます。

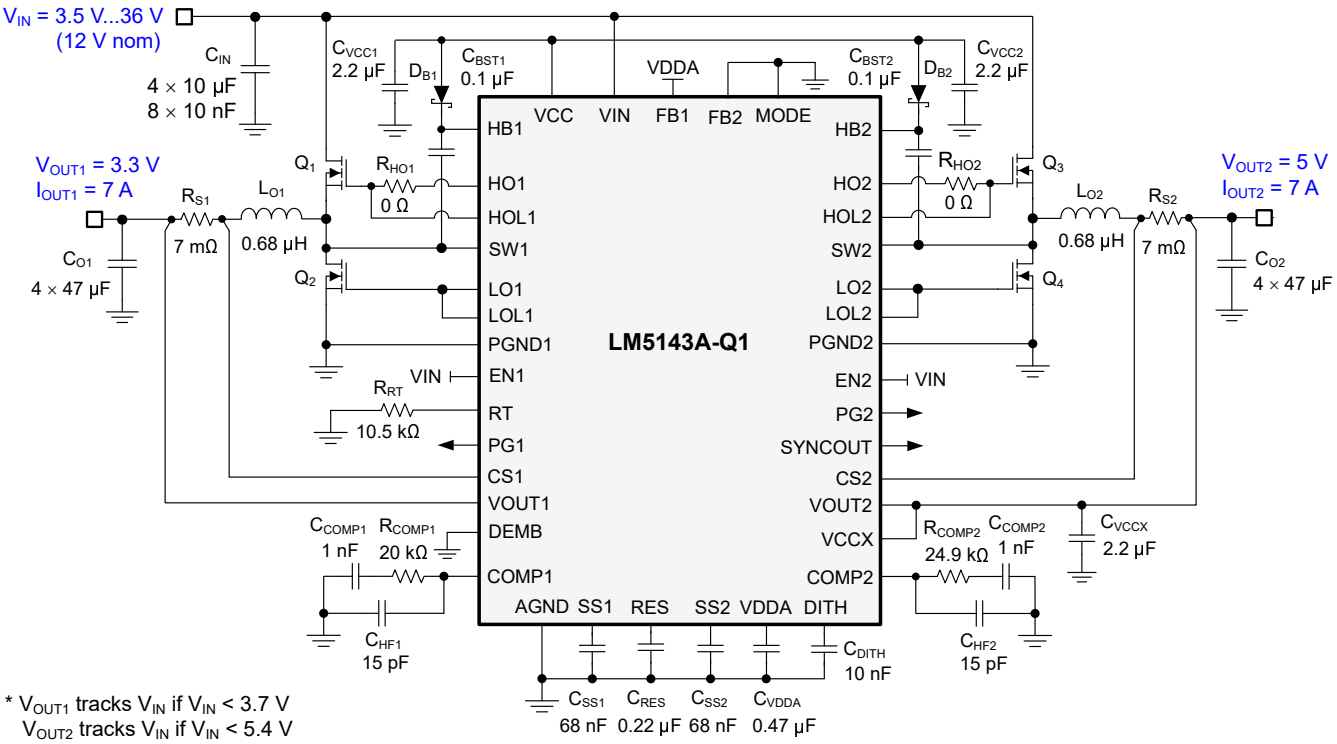


図 10-4. アプリケーション回路 1、LM5143A-Q1 デュアル出力降圧レギュレータを 2.1MHz で使用

注

この設計と後続の設計例では、いくつかのアプリケーションにおける LM5143A-Q1 コントローラを紹介します。入力電源バスのソース・インピーダンスによっては、特に低入力電圧と高出力電流の動作時条件における安定性を確保するために、入力に電解コンデンサが必要になることがあります。詳細については、セクション 10 を参照してください。

10.2.1.1 設計要件

表 10-2 に、この車載用設計例の対象となる入力、出力、性能パラメータを示します。

表 10-2. 設計パラメータ

設計パラメータ	値
入力電圧レンジ (定常状態)	8V～18V
最小過渡入力電圧 (コールド・クランク)	3.5V
最大過渡入力電圧 (負荷ダンプ)	36V
出力電圧	3.3V、5V
出力電流	7A
スイッチング周波数	2.1MHz
出力電圧レギュレーション	±1%
スタンバイ電流、出力 1 イネーブル、無負荷	50μA 未満
シャットダウン電流	4μA

スイッチング周波数は、抵抗 R_{RT} により 2.1MHz に設定されます。制御ループ性能について、対象のループ・クロスオーバー周波数は 50°以上の位相マージンで 60kHz です。出力電圧のソフトスタート時間は、68nF のソフトスタート・コンデンサによって 2ms に設定されます。

選択した降圧レギュレータのパワートレイン部品を 表 10-3 に示します。ほとんどの部品は複数のベンダから入手可能です。特に MOSFET は、詳細を セクション 10.1.1.4 に示すように、導通損失とスイッチング電力の損失がどちらも最低になるように選択されます。この設計には、低 DCR の金属粉末コンポジット・インダクタとセラミック出力コンデンサが実装されています。

表 10-3. アプリケーション回路 1 の部品表

参照の記号	数量	仕様	メーカー(1)	部品番号
C_{IN}	4	10μF、50V、X7R、1210、セラミック、AEC-Q200	Taiyo Yuden	UMJ325KB7106KMHT
		10μF、50V、X7S、1210、セラミック、AEC-Q200	Murata	GCM32EC71H106KA03
			TDK	CGA6P3X7S1H106M
C_O	8	47μF、6.3V、X7R、1210、セラミック、AEC-Q200	Murata	GCM32ER70J476KE19L
			Taiyo Yuden	JMK325B7476KMHTR
		47μF、6.3V、X7S、1210、セラミック、AEC-Q200	TDK	CGA6P1X7S0J476M
L_{O1}、L_{O2}	2	0.68μH、4.8mΩ、25A、7.3 × 6.6 × 2.8mm、AEC-Q200	Würth Elektronik	744373460068
		0.68μH、4.5mΩ、22A、6.95 × 6.6 × 2.8mm、AEC-Q200	Cyntec	VCMV063T-R68MN2T
		0.68μH、3.1mΩ、20A、7 × 6.9 × 3.8mm、AEC-Q200	Würth Elektronik	744311068
		0.68μH、7.4mΩ、12.2A、5.4 × 5.0 × 3mm、AEC-Q200	TDK	SPM5030VT-R68-D
		0.68μH、2.9mΩ、15.3A、6.7 × 6.5 × 3.1mm、AEC-Q200	Coilcraft	XGL6030-681
Q_1、Q_2、Q_3、Q_4	4	40V、5.7mΩ、9nC、SON 5 × 6、AEC-Q101	Infineon	IPC50N04S5L-5R5
R_{S1}、R_{S2}	2	シャント、7mΩ、0508、1W、AEC-Q200	Susumu	KRL2012E-M-R007
U_1	1	LM5143A-Q1 65V デュアル・チャネル / 位相整流降圧コントローラ、AEC-Q100	テキサス・インスツルメンツ	LM5143QRHARQ1

(1) 「サード・パーティー製品に関する免責事項」をご覧ください。

10.2.1.2 詳細な設計手順

10.2.1.2.1 WEBENCH® ツールによるカスタム設計

WEBENCH® Power Designer により、LM5143A-Q1 を使用するカスタム設計を作成

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。

Copyright © 2023 Texas Instruments Incorporated

2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他のソリューションと比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.tij.co.jp/WEBENCH でご覧になれます。

10.2.1.2.2 Excel クイックスタート・ツールによるカスタム設計

LM5143A-Q1 製品フォルダからダウンロード可能な を使用して、レギュレータの仕様をもとに部品を選択します。

10.2.1.2.3 インダクタの計算

1. 公称入力電圧における 30% のインダクタ・リップル電流に基づいて、各チャネルに必要な降圧インダクタンスを計算するには、式 33 を使用します。

$$L_{O1} = \frac{V_{OUT1}}{V_{IN(nom)}} \cdot \left(\frac{V_{IN(nom)} - V_{OUT1}}{\Delta I_L \cdot F_{SW}} \right) = \frac{3.3\,V}{12\,V} \cdot \left(\frac{12\,V - 3.3\,V}{2.1\,A \cdot 2.1\,MHz} \right) = 0.54\,\mu H$$

$$L_{O2} = \frac{V_{OUT2}}{V_{IN(nom)}} \cdot \left(\frac{V_{IN(nom)} - V_{OUT2}}{\Delta I_L \cdot F_{SW}} \right) = \frac{5\,V}{12\,V} \cdot \left(\frac{12\,V - 5\,V}{2.1\,A \cdot 2.1\,MHz} \right) = 0.66\,\mu H \tag{33}$$

2. どちらのチャネルにも、インダクタの標準値 0.68µH を選択します。最大定常状態の入力電圧におけるピーク・インダクタ電流を計算するには、式 34 を使用します。ピーク電流モード制御に対して、デューティ・サイクルが 50% より大きいと分数調波振動が発生します。設計を簡略化するため、LM5143A-Q1 にはスイッチング周波数に比例した内部スロープ補償ランプが内蔵されています。このスイッチング周波数は電流センス信号に追加され、分数調波振動が発生する性質を弱めます。

$$I_{LO1(PK)} = I_{OUT1} + \frac{\Delta I_{LO1}}{2} = I_{OUT1} + \frac{V_{OUT1}}{2 \cdot L_{O1} \cdot F_{SW}} \cdot \left(1 - \frac{V_{OUT1}}{V_{IN(max)}} \right) = 7\,A + \frac{3.3\,V}{2 \cdot 0.68\,\mu H \cdot 2.1\,MHz} \cdot \left(1 - \frac{3.3\,V}{18\,V} \right) = 7.94\,A$$

$$I_{LO2(PK)} = I_{OUT2} + \frac{\Delta I_{LO2}}{2} = I_{OUT2} + \frac{V_{OUT2}}{2 \cdot L_{O2} \cdot F_{SW}} \cdot \left(1 - \frac{V_{OUT2}}{V_{IN(max)}} \right) = 7\,A + \frac{5\,V}{2 \cdot 0.68\,\mu H \cdot 2.1\,MHz} \cdot \left(1 - \frac{5\,V}{18\,V} \right) = 8.27\,A \tag{34}$$

3. 式 10 に基づき、式 35 を使用してインダクタンスのクロスチェックを行い、インダクタ電流の下り勾配の 1 倍の理想値に等しいスロープ補償に設定します。

$$L_{O1(sc)} = \frac{V_{OUT}\,(V) \cdot R_S\,(m\Omega)}{24 \cdot F_{SW}\,(MHz)} = \frac{3.3\,V \cdot 7\,m\Omega}{24 \cdot 2.1\,MHz} = 0.46\,\mu H$$

$$L_{O2(sc)} = \frac{V_{OUT}\,(V) \cdot R_S\,(m\Omega)}{24 \cdot F_{SW}\,(MHz)} = \frac{5\,V \cdot 7\,m\Omega}{24 \cdot 2.1\,MHz} = 0.69\,\mu H \tag{35}$$

10.2.1.2.4 電流検出抵抗

1. 全負荷時のピーク・インダクタ電流より少なくとも 20% 以上高い最大ピーク電流能力に基づいて電流検出抵抗を計算し、スタートアップ中と負荷オンでの過渡時に十分なマージンを提供します。式 36 を使用して、電流検出抵抗を計算します。

$$R_{S1} = \frac{V_{CS(th)}}{1.2 \cdot I_{LO1(PK)}} = \frac{73\,mV}{1.2 \cdot 7.94\,A} = 7.66\,m\Omega$$

$$R_{S2} = \frac{V_{CS(th)}}{1.2 \cdot I_{LO2(PK)}} = \frac{73\,mV}{1.2 \cdot 8.27\,A} = 7.36\,m\Omega \tag{36}$$

ここで

- $V_{CS(th)}$ は、73mV の電流制限スレッショルドです。

2. 両方のシャントについて、標準抵抗値 7mΩ を選択します。広範なアスペクト比の終端設計による 0508 フットプリント部品により、1W の電力定格、低い寄生直列インダクタンス、コンパクトな PCB レイアウトを実現しています。「レイアウトのガイドライン」をよく読み、ノイズと DC 誤差によって [CS1、VOUT1] と [CS2、VOUT2] で測定された差動電流検出電圧が誤出力とならないように注意してください。
3. インダクタの近くにシャント抵抗を配置します。
4. ケルビン検出接続を使用し、シャントから LM5143A-Q1 までの差動を取るように配線します。
5. CS から出力までの伝搬遅延 (電流制限コンパレータ、内部ロジックと電力 MOSFET ゲート・ドライバが要因) により、ピーク電流は計算した電流制限スレッショルドを超えて増加します。合計伝搬遅延 $t_{CS\text{-}DELAY}$ が 40ns の場合は、式 37 を使用して、出力が短絡した状態でのワーストケースのピーク・インダクタ電流を計算してください。

$$I_{LO1(PK\text{-}SC)} = I_{LO2(PK\text{-}SC)} = \frac{V_{CS(th)}}{R_{S1}} + \frac{V_{IN(max)} \cdot t_{CS\text{-}DELAY}}{L_{O1}} = \frac{73\,mV}{7\,m\Omega} + \frac{18\,V \cdot 40\,ns}{0.68\,\mu H} = 11.49\,A \tag{37}$$

6. この結果に基づき、全動作温度範囲で飽和電流が 12A より大きくなるインダクタを各チャネルごとに選択します。

10.2.1.2.5 出力コンデンサ

1. 式 38 を使用して、負荷オフ遷移 (全負荷から無負荷まで遷移) 中の出力電圧のオーバーシュートを管理するために必要な出力容量を見積ります。このときの前提として、負荷遷移偏差仕様は 1.5% (3.3V 出力で 50mV) です。

$$C_{OUT1} \geq \frac{L_{O1} \cdot \Delta I_{OUT1}^2}{\left(V_{OUT1} + \Delta V_{OVERSHOOT1}\right)^2 - V_{OUT1}^2} = \frac{0.68\,\mu H \cdot (7\,A)^2}{(3.3\,V + 50\,mV)^2 - (3.3\,V)^2} = 100.2\,\mu F$$

$$C_{OUT2} \geq \frac{L_{O2} \cdot \Delta I_{OUT2}^2}{\left(V_{OUT2} + \Delta V_{OVERSHOOT2}\right)^2 - V_{OUT2}^2} = \frac{0.68\,\mu H \cdot (7\,A)^2}{(5\,V + 75\,mV)^2 - (5\,V)^2} = 44.1\,\mu F \tag{38}$$

2. 印加された電圧で実効容量が大幅に減少するセラミック・コンデンサの電圧係数については、各チャネルに対して 4 つの 47µF、6.3V、X7R、1210 セラミック出力コンデンサを選択します。通常、負荷オフ過渡応答の要件を満たすために十分な容量を使用する場合、無負荷から全負荷への過渡時の電圧アンダーシュートも十分要件を満たします。
3. 式 39 を使用して、公称入力電圧時におけるチャネル 1 のピーク・ピーク出力電圧リップルを見積ります。

$$\Delta V_{OUT1} = \sqrt{\left(\frac{\Delta I_{LO1}}{8 \cdot F_{SW} \cdot C_{OUT1}}\right)^2 + \left(R_{ESR} \cdot \Delta I_{LO1}\right)^2} = \sqrt{\left(\frac{1.89\,A}{8 \cdot 2.1\,MHz \cdot 130\,\mu F}\right)^2 + \left(1\,m\Omega \cdot 1.89\,A\right)^2} \approx 2\,mV \tag{39}$$

ここで

- R_{ESR} は、出力コンデンサの実効等価直列抵抗 (ESR) です。

Copyright © 2023 Texas Instruments Incorporated

- 130µF は、3.3V 時の合計実効 (ディレーティング) セラミック出力容量です。

4. 式 40 を使用して、出力コンデンサの RMS リップル電流を計算し、リップル電流がコンデンサのリップル電流定格内に収まっていることを確認します。

$$I_{CO1(RMS)} = \frac{\Delta I_{LO1}}{\sqrt{12}} = \frac{1.89\,A}{\sqrt{12}} = 0.55\,A$$

$$I_{CO2(RMS)} = \frac{\Delta I_{LO2}}{\sqrt{12}} = \frac{2.53\,A}{\sqrt{12}} = 0.73\,A \tag{40}$$

10.2.1.2.6 入力コンデンサ

一般的に、スイッチング周波数における電源入力のソース・インピーダンスは比較的高くなります。入力リップル電圧を制限するには、高品質な入力コンデンサが必要です。前述のように、デュアル・チャネル・インターリーブ動作では入力リップルの振幅が大幅に低減します。一般的に、リップル電流は、スイッチング周波数におけるコンデンサの相対インピーダンスに基づいて、入力コンデンサ間で分割されます。

1. 入力コンデンサを選択する場合は、十分な電圧と RMS リップル電流定格を持つものにしてください。
2. 2 チャネル降圧レギュレータの入力リップルのワーストケースは一般に、1 つが全負荷で動作し、もう片方がディセーブルか無負荷で動作する場合に対応しています。ワーストケースのデューティ・サイクル動作ポイントが 50% と想定し、式 41 を使用して、入力コンデンサの RMS リップル電流を計算します。

$$I_{CIN(RMS)} = I_{OUT1} \cdot \sqrt{D \cdot (1-D)} = 7\,A \cdot \sqrt{0.5 \cdot (1-0.5)} = 3.5\,A \tag{41}$$

3. 式 42 を使用して、必要な入力容量を求めます。

$$C_{IN} \geq \frac{D \cdot (1-D) \cdot I_{OUT1}}{F_{SW} \cdot (\Delta V_{IN} - R_{ESR} \cdot I_{OUT1})} = \frac{0.5 \cdot (1-0.5) \cdot 7\,A}{2.1MHz \cdot (120\,mV - 2m\Omega \cdot 7\,A)} = 7.8\,\mu F \tag{42}$$

ここで

- ΔV_{IN} は、入力ピーク・ツー・ピーク・リップル電圧の仕様です。
- R_{ESR} は、入力コンデンサの ESR です。

4. セラミック・コンデンサの電圧係数から、各チャネルに対して、2 つの 10µF、50V、X7R、1210 セラミック入力コンデンサを選択します。これらのコンデンサは、関連するパワー MOSFET の近くに配置してください。
5. 4 つの 10nF、50V、X7R、0603 セラミック・コンデンサを各ハイサイド MOSFET の近くに配置して、MOSFET のスイッチング遷移時に di/dt の大きい電流を供給します。このコンデンサにより、高い自己共振周波数 (SRF) と 100MHz 以上での低実効インピーダンスが実現します。この結果、電源ループの寄生インダクタンスはさらに低下するため、低減された EMI シグネチャのスイッチ・ノード電圧のオーバーシュートとリンギングは最小限に抑えられます。詳細については、セクション 12.1 の 図 12-2 を参照してください。

10.2.1.2.7 補償部品

以下の手順に従って、安定した制御ループの補償部品を選択します。

1. 60kHz に規定された開ループ・ゲイン・クロスオーバー周波数 f_C に基づき、実効出力容量を 130µF と仮定して、式 43 を使用して R_{COMP1} を計算します。20kΩ の R_{COMP1} を選択します。

$$R_{COMP1} = 2 \cdot \pi \cdot f_C \cdot \frac{V_{OUT}}{V_{REF}} \cdot \frac{R_S \cdot G_{CS}}{g_m} \cdot C_{OUT} = 2 \cdot \pi \cdot 60\,kHz \cdot \frac{3.3\,V}{0.6\,V} \cdot \frac{7\,m\Omega \cdot 12}{1200\,\mu S} \cdot 130\,\mu F = 18.9\,k\Omega \tag{43}$$

2. C_{COMP1} を計算して、(1) クロスオーバー周波数の 1/10 または (2) 負荷ポールのうち、大きいほうにゼロを作成します。1nF の C_{COMP1} コンデンサを選択します。

$$C_{COMP1} = \frac{10}{2 \cdot \pi \cdot f_C \cdot R_{COMP1}} = \frac{10}{2 \cdot \pi \cdot 60\,kHz \cdot 20\,k\Omega} = 1.3\,nF \tag{44}$$

3. C_{HF1} を計算して、ESR ゼロの位置にポールを作成し、COMP における高周波ノイズを減衰させます。15pF の C_{HF1} コンデンサを選択します。

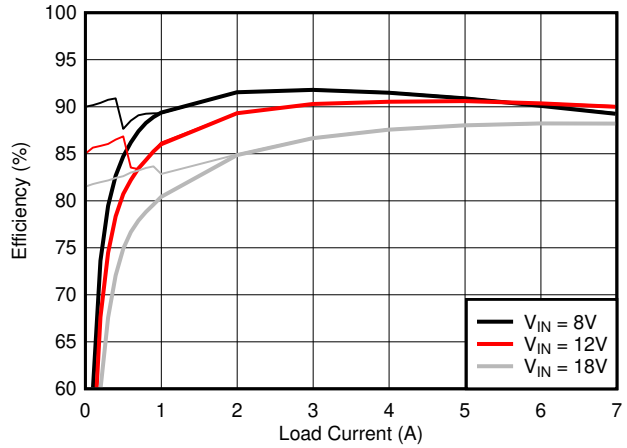
$$C_{HF1} = \frac{1}{2 \cdot \pi \cdot f_{ESR} \cdot R_{COMP1}} = \frac{1}{2 \cdot \pi \cdot 500\,kHz \cdot 20\,k\Omega} = 15.9\,pF \tag{45}$$

注

高い R_{COMP} と低い C_{COMP} 値で高速ループを設定して、ドロップアウト状態の動作から復帰するときの応答を改善します。

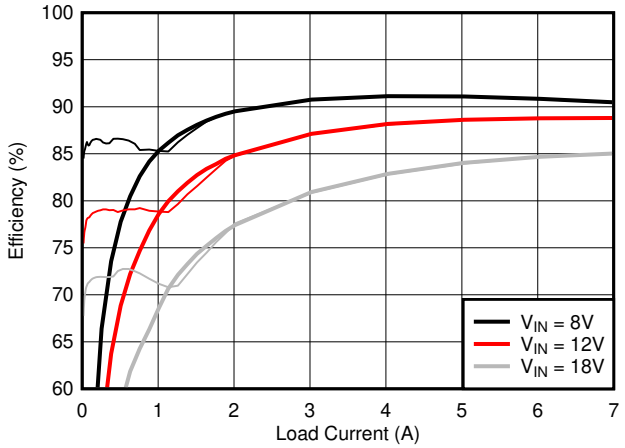
Copyright © 2023 Texas Instruments Incorporated

10.2.1.3 アプリケーション曲線



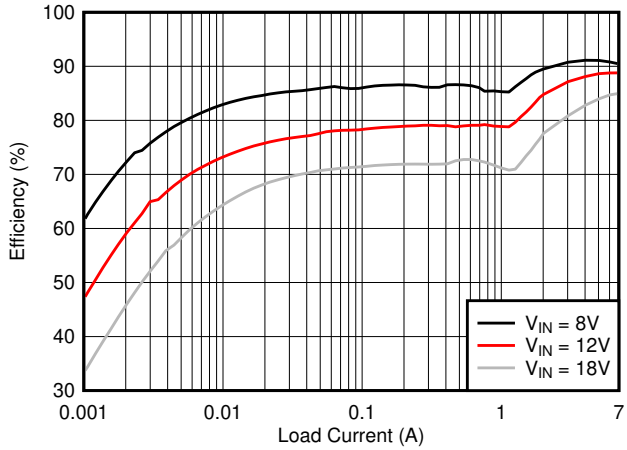
チャネルは均等にロードされます

図 10-5. 効率と I_{OUT} との関係



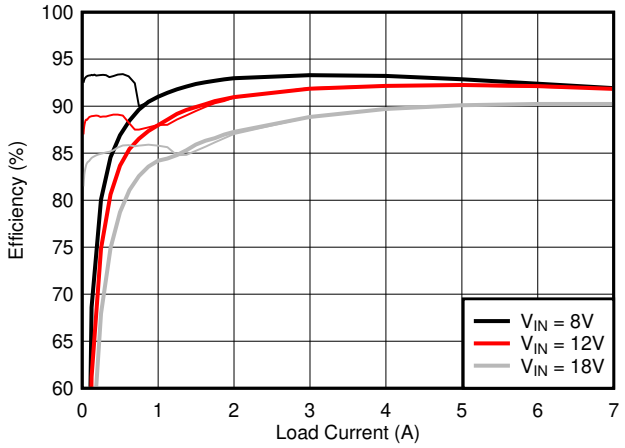
3.3V 出力、チャネル 2 はディセーブル

図 10-6. 効率と I_{OUT} との関係



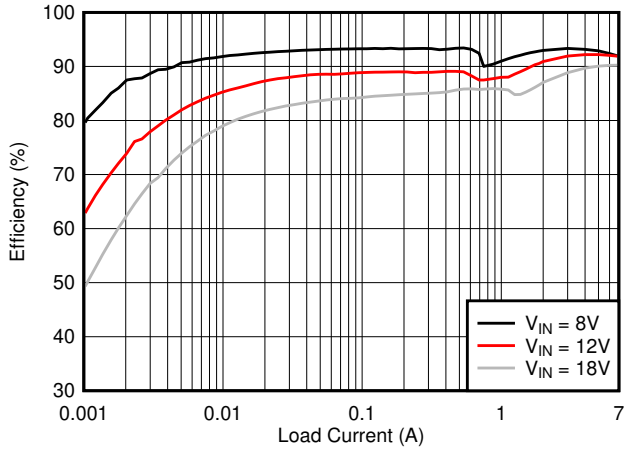
3.3V 出力、チャネル 2 はディセーブル

図 10-7. 効率と I_{OUT} との関係、対数スケール



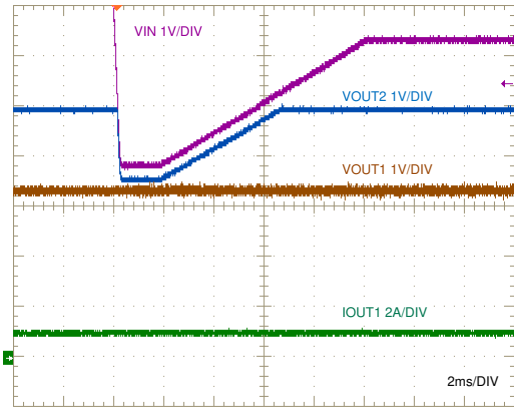
5V 出力、チャネル 1 はディセーブル

図 10-8. 効率と I_{OUT} との関係



5V 出力、チャネル 1 はディセーブル

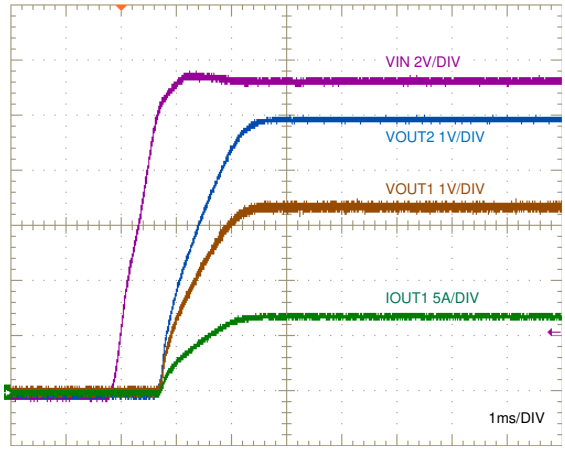
図 10-9. 効率と I_{OUT} との関係、対数スケール



1A の負荷

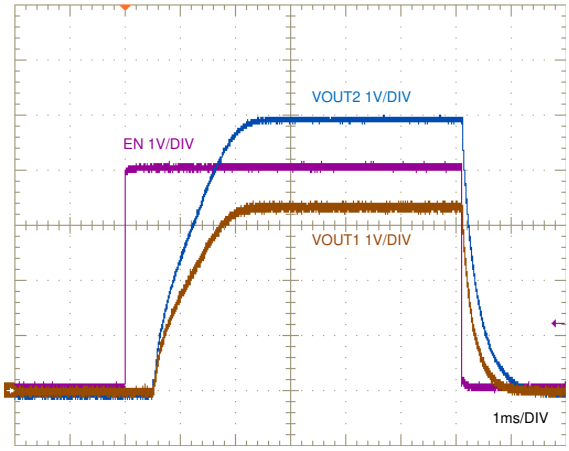
図 10-10. V_{IN} = 3.8V までのコールド・クランク応答

10.2.1.3 アプリケーション曲線 (continued)



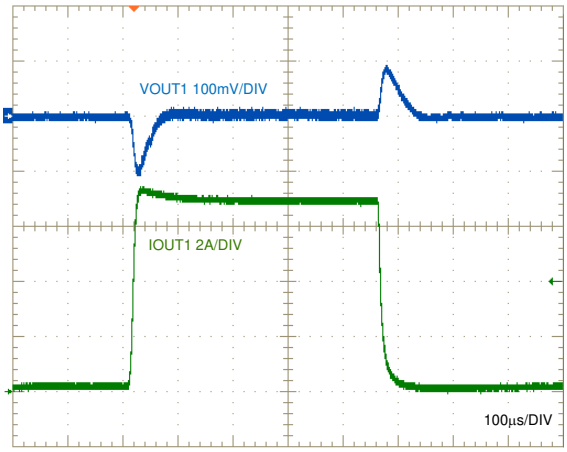
12V まで V_{IN} ステップ　　7A の抵抗性負荷

図 10-11. スタートアップ特性



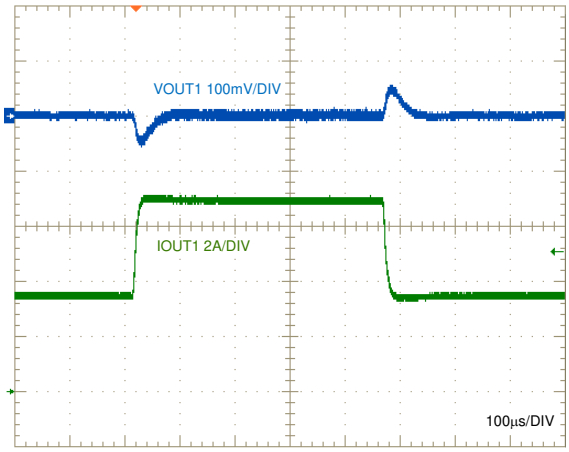
V_{IN} = 12V　　7A の抵抗性負荷

図 10-12. オン / オフ特性のイネーブル



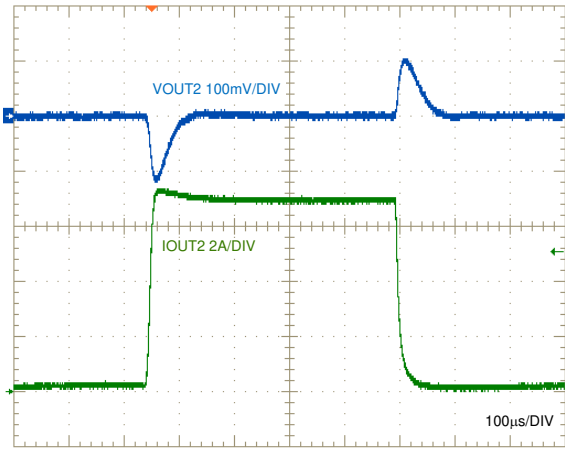
V_{IN} = 12V　　FPWM

図 10-13. 負荷過渡、3.3V 出力、0A～7A



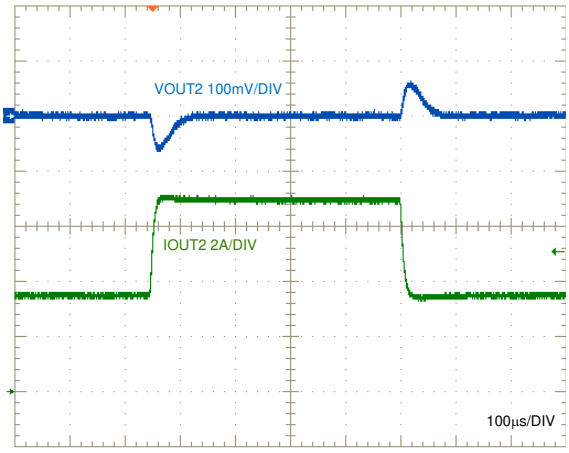
V_{IN} = 12V　　FPWM

図 10-14. 負荷過渡、3.3V 出力、3.5A～7A



V_{IN} = 12V　　FPWM

図 10-15. 負荷過渡、5V 出力、0A～7A

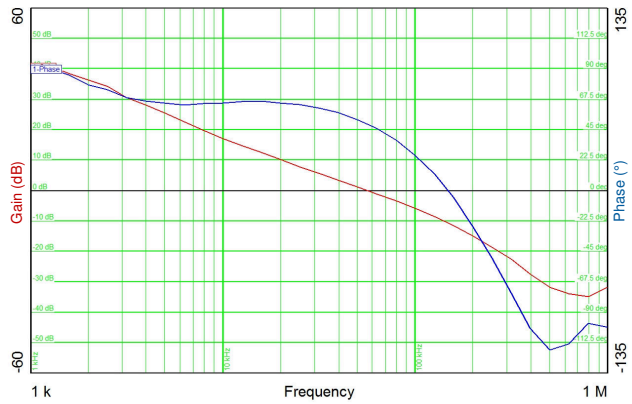


V_{IN} = 12V　　FPWM

図 10-16. 負荷過渡、5V 出力、3.5A～7A

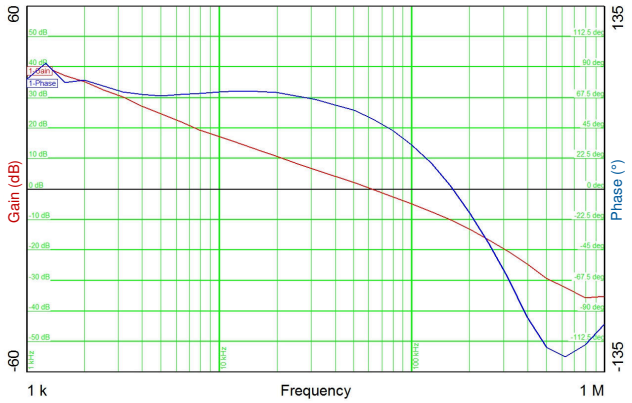
Copyright © 2023 Texas Instruments Incorporated

10.2.1.3 アプリケーション曲線 (continued)



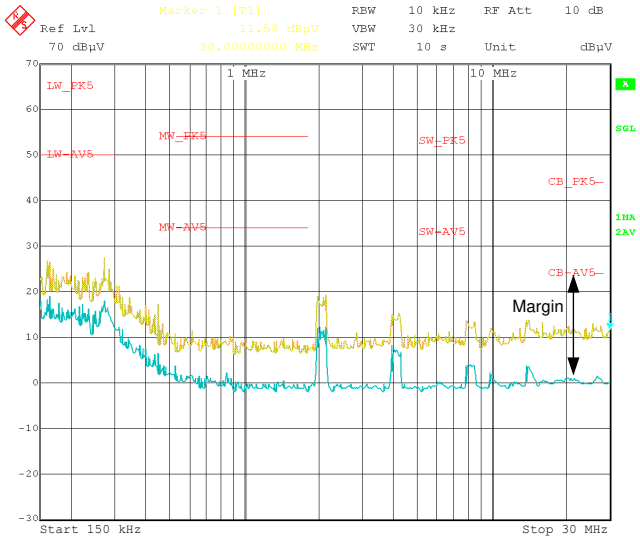
V_{IN} = 12V　　7A の抵抗性負荷

図 10-17. ボード線図、3.3V 出力



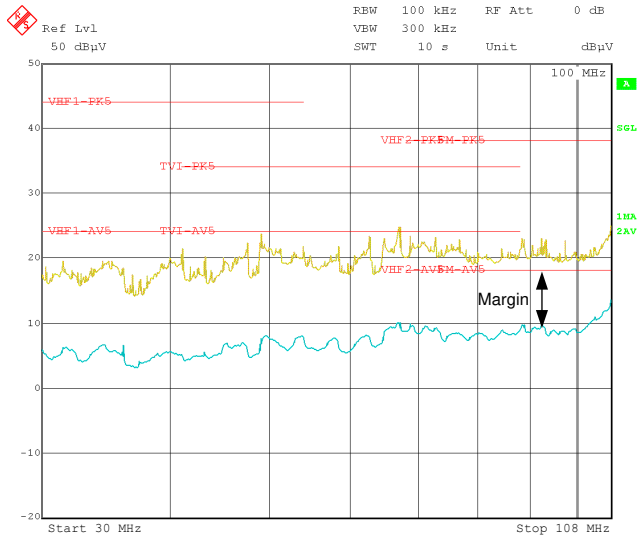
V_{IN} = 12V　　7A の抵抗性負荷

図 10-18. ボード線図、5V 出力



V_{IN} = 13.5V　　V_{OUT} = 5V　　7A の抵抗性負荷

図 10-19. CISPR 25 Class 5 伝導 EMI、150kHz～30MHz



V_{IN} = 13.5V　　V_{OUT} = 5V　　7A の抵抗性負荷

図 10-20. CISPR 25 Class 5 伝導 EMI、30MHz～108MHz

10.2.2 設計 2 - 車載用 ADAS アプリケーション向け 2 相、15A、2.1MHz 単一出力降圧レギュレータ

図 10-21 に、出力電圧 5V、定格負荷電流 15A の単一出力、2 相同期整流降圧レギュレータの回路図を示します。この例では、5V から 36V の範囲内の公称入力電圧 12V に基づき、半負荷効率と全負荷効率の目標はそれぞれ、93% と 91% です。スイッチング周波数は、抵抗 R_{RT} により 2.1MHz に設定されます。5V 出力を VCCX に接続することにより、IC バイアス電力の損失を低減し、軽負荷効率を向上させます。FB1 を VDDA に接続するだけで、3.3V の出力電圧も実現可能です。

注

この設計の 4 相、30A バージョンについては、「LM5143-Q1 車載用 ADAS アプリケーション向け 4 相降圧レギュレータの設計」アプリケーション・レポートを参照してください。

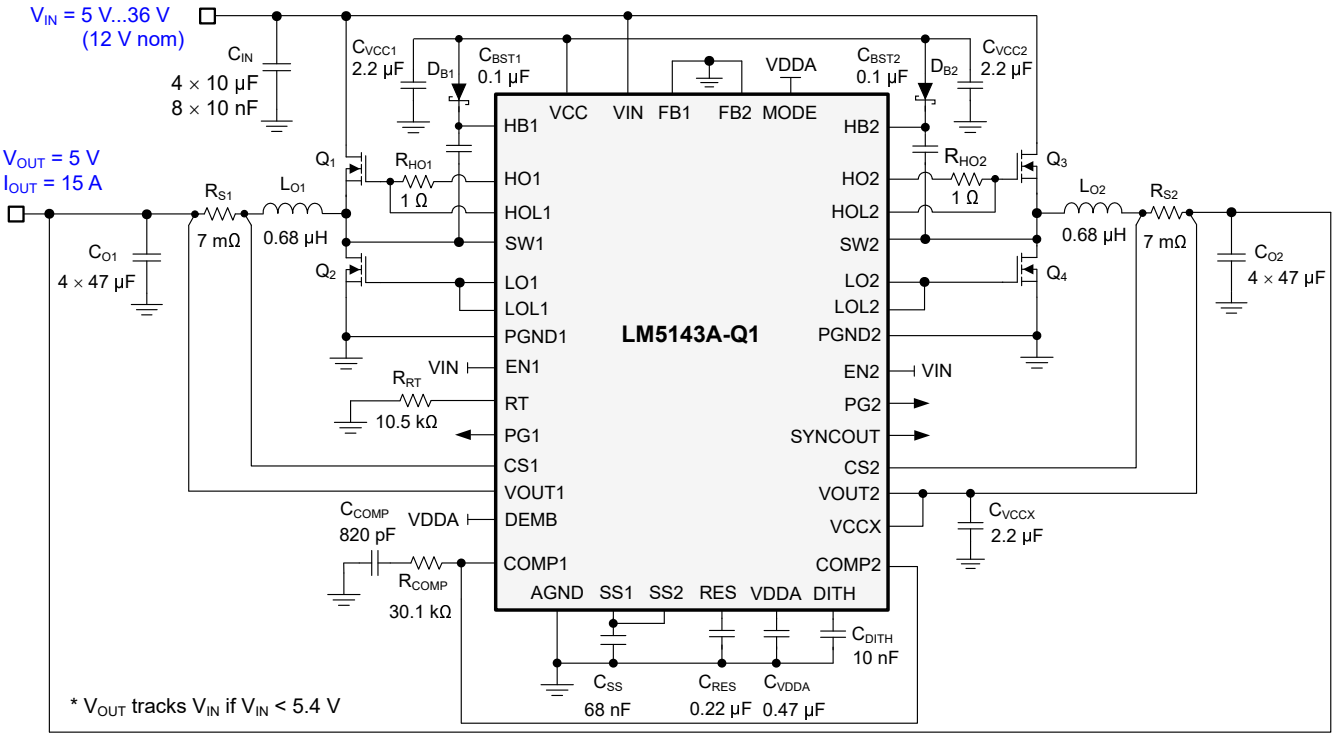


図 10-21. アプリケーション回路 2、LM5143A-Q1 2 相降圧レギュレータを 2.1MHz で使用

10.2.2.1 設計要件

表 10-4 に、この車載用アプリケーション設計例の対象となる入力、出力、性能パラメータを示します。

表 10-4. 設計パラメータ

設計パラメータ	値
入力電圧レンジ (定常状態)	5V～18V
最小過渡入力電圧 (コールド・クランク)	5V
最大過渡入力電圧 (負荷ダンプ)	36V
出力電圧	5V
出力電流	15A
スイッチング周波数	2.1MHz
出力電圧レギュレーション	±1%
シャットダウン電流	4µA

Copyright © 2023 Texas Instruments Incorporated

スイッチング周波数は、抵抗 R_{RT} により 2.1MHz に設定されます。制御ループ性能について、対象のループ・クロスオーバー周波数は 50°以上の位相マージンで 60kHz です。出力電圧のソフトスタート時間は、68nF のソフトスタート・コンデンサによって 2ms に設定されます。

選択した降圧レギュレータのパワートレイン部品を 表 10-5 に示します。ほとんどの部品は複数のベンダから入手可能です。設計 1 と同様に、この設計には低 DCR のコンポジット・インダクタとセラミック出力コンデンサが実装されています。

表 10-5. アプリケーション回路 2 の部品表

参照の記号	数量	仕様	メーカー(1)	部品番号
C_{IN}	4	10µF、50V、X7R、1210、セラミック、AEC-Q200	Taiyo Yuden	UMJ325KB7106KMHT
		10µF、50V、X7S、1210、セラミック、AEC-Q200	Murata	GCM32EC71H106KA03
			TDK	CGA6P3X7S1H106M
C_O	8	47µF、6.3V、X7R、1210、セラミック、AEC-Q200	Murata	GCM32ER70J476KE19L
			Taiyo Yuden	JMK325B7476KMHTR
		47µF、6.3V、X7S、1210、セラミック、AEC-Q200	TDK	CGA6P1X7S0J476M
L_{O1}、L_{O2}	2	0.68µH、4.8mΩ、25A、7.3 × 6.6 × 2.8mm、AEC-Q200	Würth Elekronik	744373460068
		0.68µH、4.5mΩ、22A、6.95 × 6.6 × 2.8mm、AEC-Q200	Cyntec	VCMV063T-R68MN2T
		0.68µH、3.1mΩ、20A、7 × 6.9 × 3.8mm、AEC-Q200	Würth Elekronik	744311068
		0.68µH、7.4mΩ、12.2A、5.4 × 5.0 × 3mm、AEC-Q200	TDK	SPM5030VT-R68-D
		0.68µH、2.9mΩ、15.3A、6.7 × 6.5 × 3.1mm、AEC-Q200	Coilcraft	XGL6030-681
Q_1、Q_2、Q_3、Q_4	4	40V、5.7mΩ、9nC、SON 5 × 6、AEC-Q101	Infineon	IPC50N04S5L-5R5
R_{S1}、R_{S2}	2	シャント、7mΩ、0508、1W、AEC-Q200	Susumu	KRL2012E-M-R007
U_1	1	LM5143A-Q1 65V デュアル・チャネル / 位相整流降圧コントローラ、AEC-Q100	テキサス・インスツルメンツ	LM5143QRHARQ1

(1) 「サード・パーティー製品に関する免責事項」をご覧ください。

10.2.2.2 詳細な設計手順

セクション 10.2.1.2 を参照してください。

10.2.2.3 アプリケーション曲線

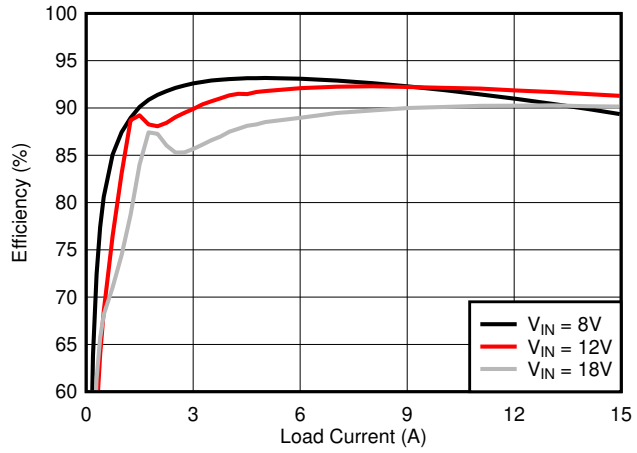
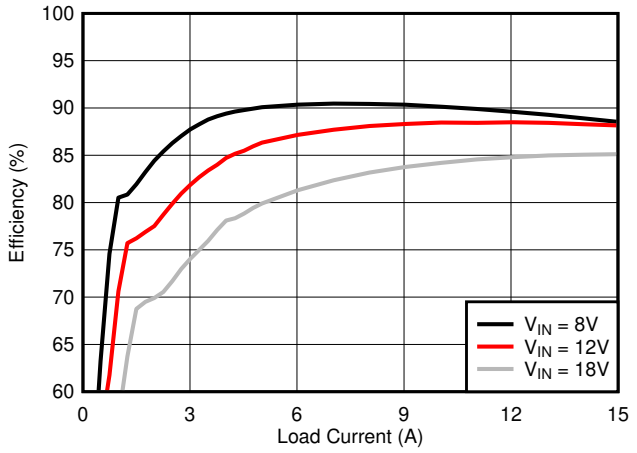


図 10-22. 効率と I_{OUT} との関係、5V 出力



FB1 を VDDA に接続して、レギュレータを 3.3V 出力として構成します。

図 10-23. 効率と I_{OUT} との関係、3.3V 出力

10.2.3 設計 3 - 高電圧車載用バッテリ・アプリケーション向けの 2 相、50A、300kHz、単一出力降圧レギュレータ

図 10-24 に、出力電圧 5V における単一出力、2 相同期整流降圧レギュレータの回路図を示します。想定される DC 負荷電流は 35A で、過渡は最大 50A です。この例では、公称入力電圧 48V 用に最適化された出力段を使用し、35A における目標効率は 94.5% です。スイッチング周波数は抵抗 R_{RT} により 300kHz に設定され、大電流におけるシャント関連の損失を軽減するために、インダクタ DCR 電流の検出を使用します。5V 出力を VCCX に接続することにより、IC バイアス電力の損失を低減し、軽負荷効率を向上させます。FB1 を VDDA に接続するだけで、3.3V の出力電圧も実現可能です。

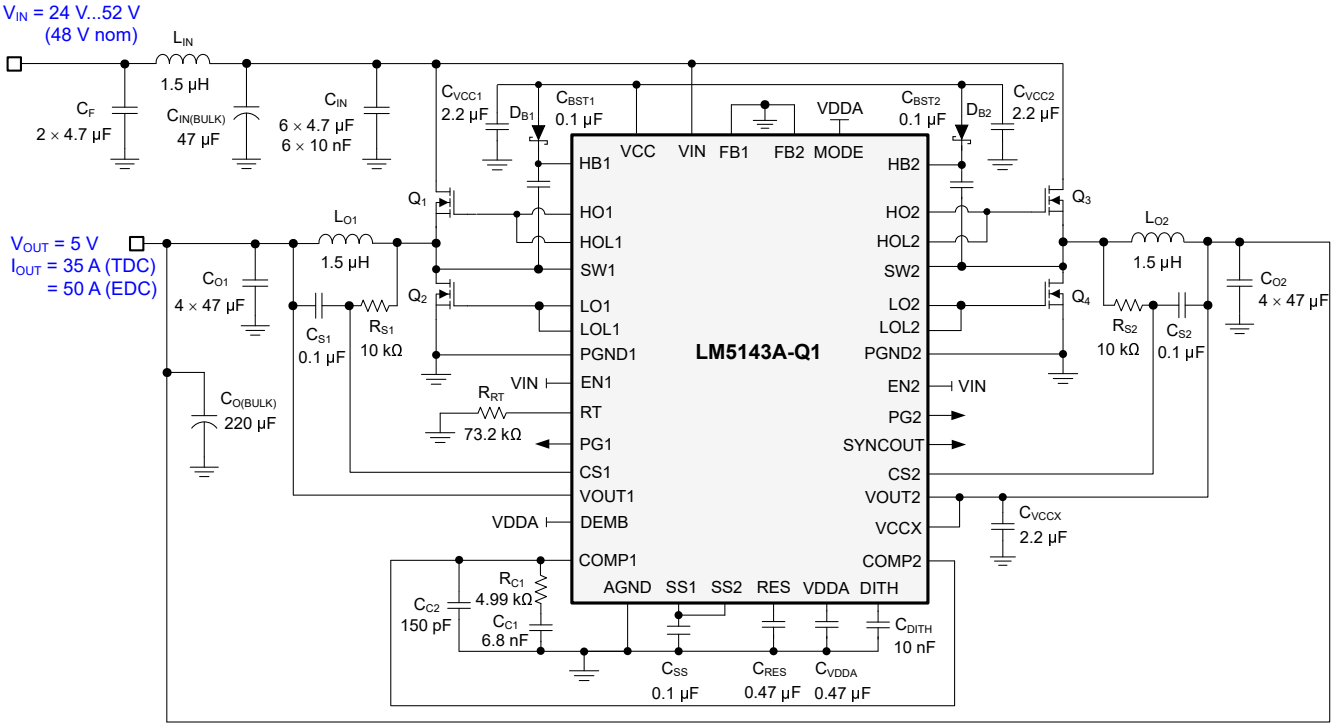


図 10-24. アプリケーション回路 3、LM5143A-Q1 2 相降圧レギュレータを 300kHz で使用

10.2.3.1 設計要件

表 10-6 に、この車載用設計例の対象となる入力、出力、性能パラメータを示します。

表 10-6. 設計パラメータ

設計パラメータ	値
公称入力電圧	48V
入力電圧レンジ (定常状態)	24V～52V
出力電圧	5V
熱設計電流 (TDC)	35A
電気設計電流 (EDC)	50A
スイッチング周波数	300kHz
出力電圧レギュレーション	±1%
シャットダウン電流	4µA

スイッチング周波数は、抵抗 R_{RT} により 300kHz に設定されます。制御ループ性能について、対象のループ・クロスオーバー周波数は 50°以上の位相マージンで 45kHz です。出力電圧のソフトスタート時間は、100nF のソフトスタート・コン

Copyright © 2023 Texas Instruments Incorporated

デンサによって 3ms に設定されます。FPWM 動作は、予測可能な EMI 性能と最適な負荷過渡応答に対して、負荷電流範囲の全体にわたって一定のスイッチング周波数を実現します。

選択した降圧レギュレータのパワートレイン部品を 表 10-7 に示します。ほとんどの部品は複数のベンダから入手可能です。特に MOSFET は、詳細を セクション 10.1.1.4 に示すように、導通損失とスイッチング電力の損失がどちらも最低になるように選択されます。この設計には、低 DCR のコンポジット・インダクタとセラミック出力コンデンサが実装されています。

表 10-7. アプリケーション回路 3 の部品表

参照の記号	数量	仕様	メーカー(1)	部品番号
C_O	8	47µF、6.3V、X7R、1210、セラミック、AEC-Q200	Murata	GCM32ER70J476KE19L
	6	100µF、6.3V、X7S、1210、セラミック、AEC-Q200	Murata	GRT32EC70J107ME13L
$C_{O(BULK)}$	1	220µF、10V、25mΩ、7343、ポリマー・タンタル、AEC-Q200	Kemet	T598D227M010ATE025
			AVX	TCQD227M010R0025E
L_{O1}、L_{O2}	2	1.5µH、1.28mΩ、46.7A、13.3 × 12.8 × 8mm、AEC-Q200	Cyntec	VCUD128T-1R5MS8
		1.5µH、2.3mΩ、35A、13.5 × 12.6 × 6.5mm、AEC-Q200	Cyntec	VCMV136E-1R5MN2
		1.5µH、2.8mΩ、32.8A、13 × 12.5 × 6.5mm、AEC-Q200	TDK	SPM12565VT-1R5M-D
		1.5µH、2.3mΩ、55.3A、13.5 × 12.5 × 6.2mm	Würth Elektronik	744373965015
Q_1、Q_3	2	60V、11mΩ、4.5nC、DFN5	Onsemi	NVMFS5C673NL
Q_2、Q_4	2	60V、2.6mΩ、24nC、DFN5、AEC-Q101	Onsemi	NVMFS5C628NL
U_1	1	LM5143A-Q1 65V デュアル・チャネル / 位相整流降圧コントローラ、AEC-Q100	テキサス・インスツルメンツ	LM5143QRHARQ1

(1) 「サード・パーティー製品に関する免責事項」をご覧ください。

10.2.3.2 詳細な設計手順

セクション 10.2.1.2 を参照してください。

10.2.3.3 アプリケーション曲線

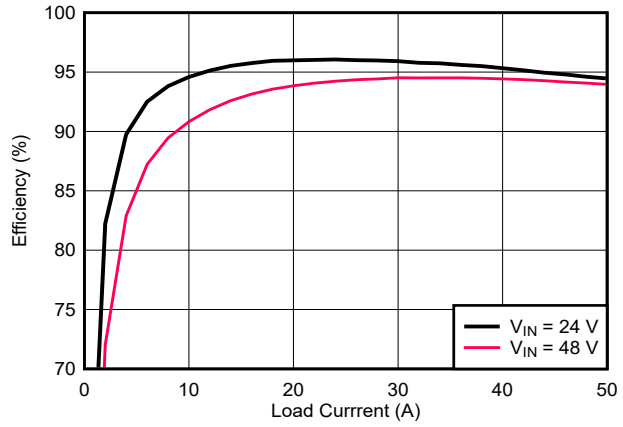


図 10-25. 効率と I_{OUT} との関係

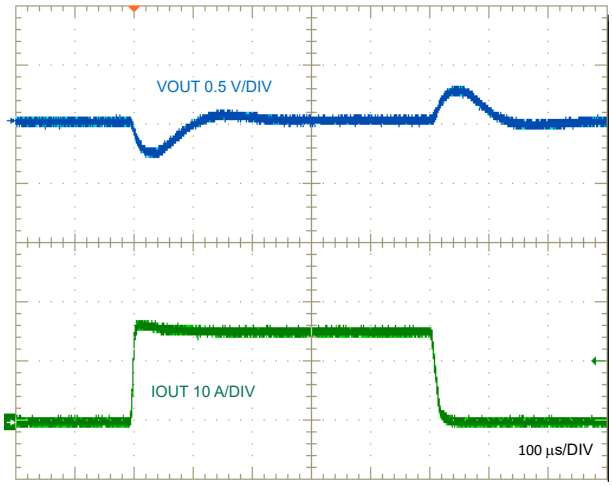


図 10-26. 負荷過渡、0A～15A

11 電源に関する推奨事項

LM5143A-Q1 降圧コントローラは、3.5V～65V の幅広い入力電圧範囲で動作するように設計されています。入力電源の特性は、絶対最大定格および推奨動作条件と互換性がある必要があります。また、入力電源は、全負荷時のレギュレータに必要な入力電流を供給できる必要があります。平均入力電流を見積るには、式 46 を使用します。

$$I_{IN} = \frac{P_{OUT}}{V_{IN} \cdot \eta} \tag{46}$$

ここで

- η は効率です。

レギュレータが高インピーダンスを持つ長い配線や PCB パターンを経由して入力電源に接続されている場合は、安定した性能を実現するために特に注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、レギュレータの動作に悪影響を及ぼすおそれがあります。寄生インダクタンスと低 ESR セラミック入力コンデンサを組み合わせることで、不足減衰共振回路が形成されます。この回路は、入力電源がオンとオフを周期的に切り替わるたびに、VIN で過電圧過渡が発生する可能性があります。寄生抵抗により、負荷過渡中に入力電圧が低下する場合があります。こうした問題を解決する最善策は、入力電源からレギュレータまでの距離を短くして、セラミックと並列にアルミニウム製やタンタル製の入力コンデンサを使用することです。電解コンデンサの ESR は比較的低いため、入力共振回路は減衰し、電圧オーバーシュートを低減することができます。通常、容量の範囲が 10μF～47μF であれば、並列入力を減衰させるには十分であり、大きな負荷過渡中も入力電圧を安定した状態に保持できます。

レギュレータの前に EMI 入力フィルタを使用することがあります。ただし、設計に留意しなければ、これにより不安定な状態が起きる、または前述のような影響を及ぼすおそれがあります。『DC/DC コンバータ向け伝導 EMI の簡単な成功事例アプリケーション・レポート』では、スイッチング・レギュレータの入力フィルタを設計する際に役立つ提案を紹介しています。

Copyright © 2023 Texas Instruments Incorporated

12 レイアウト

12.1 レイアウトのガイドライン

堅牢で信頼性の高い設計を実現するためには、大電流、高速スイッチング回路 (大電流と電圧スルーレート対応) で適切な PCB 設計とレイアウトを行うことが重要です。LM5143A-Q1 を使用して PCB レイアウトを設計するにあたり、あらかじめ特定の問題を考慮する必要があります。降圧レギュレータの出力段の高周波電力ループは、図 12-1 の色付きの範囲のループ 1 で表されています。降圧レギュレータのトポロジカル・アーキテクチャは、特にループ 1 内の部品に流れる di/dt の大電流を意味し、この実効ループ面積を最小化することによって寄生インダクタンスを低減することが必須となります。また、図 12-1 のそれぞれ 2 と 3 に示されるローサイドとハイサイド MOSFET のゲート駆動ループも重要です。

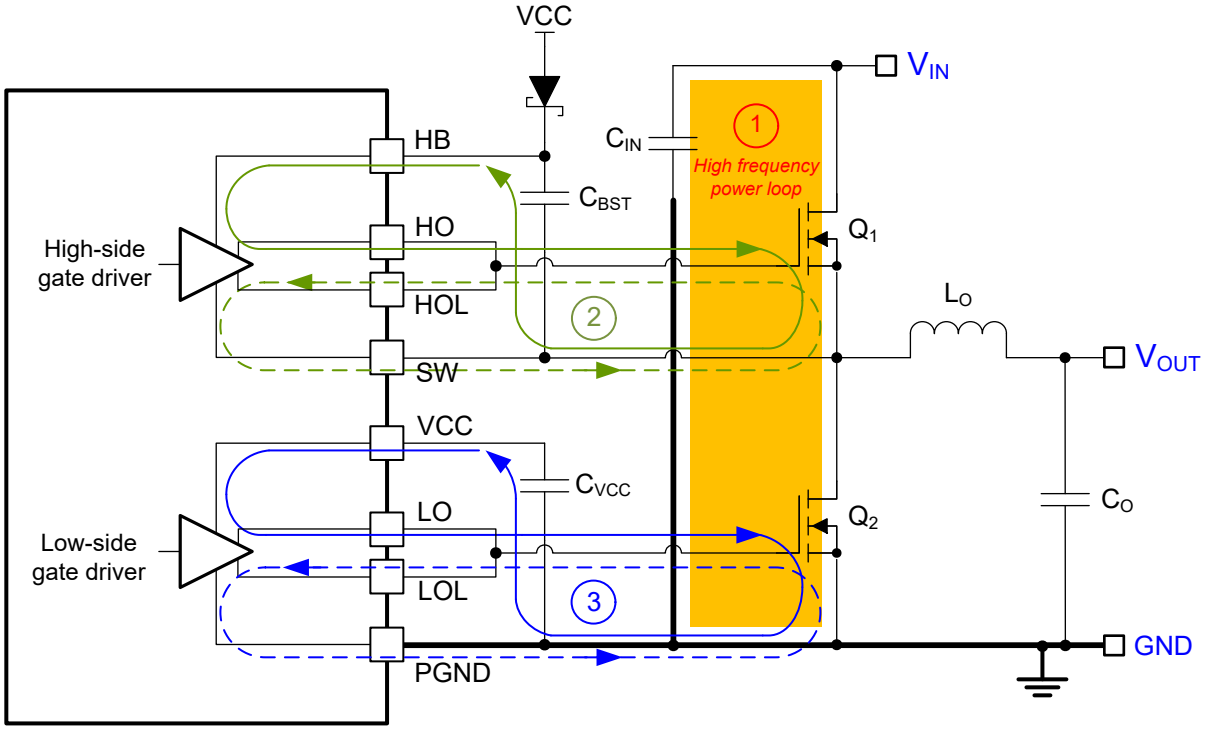


図 12-1. 出力段とゲート駆動回路スイッチング・ループを内蔵した DC/DC レギュレータ・グランド・システム

12.1.1 出力段レイアウト

- 入力コンデンサ、出力コンデンサ、MOSFET は、降圧レギュレータの出力段の構成部品であり、一般に PCB の上面 (はんだ側) に配置されます。システムレベルの気流を活用することにより、対流熱伝達の利点が最大化されます。通常、2 面 PCB レイアウトでは小信号部品は底面 (部品側) に配置されます。少なくとも 1 つの内部プレーンを挿入してグランドに接続することにより、小信号パターンをシールドし、ノイズの多いパターンや線と分離します。
- DC/DC レギュレータには、複数の大電流ループがあります。このループ領域を最小化すると、生成されるスイッチング・ノイズは抑制され、スイッチング性能を最適化することができます。
  - ループ 1:最小化が最も重要なループ領域は、1 つ以上の入力コンデンサからハイサイド MOSFET とローサイド MOSFET を経由し、グランド接続を通過して 1 つ以上のコンデンサに戻る経路です。1 つ以上の入力コンデンサの負端子は、ローサイド MOSFET のソース (グランド側) の近くに接続します。同様に、1 つ以上の入力コンデンサの正端子は、ハイサイド MOSFET のドレイン (VIN 側) の近くに接続します。図 12-1 のループ 1 を参照してください。
  - もう 1 つのループはループ 1 よりは重要ではありませんが、ローサイド MOSFET からインダクタと 1 つ以上の出力コンデンサを経由し、グランドを通過して、ローサイド MOSFET のソースに戻る経路です。ローサイド MOSFET のソースと 1 つ以上の出力コンデンサの負端子をグランドのできるだけ近くで接続します。

- SW ノードとして定義される PCB パターンは、ハイサイド (制御) MOSFET のソース、ローサイド (同期) MOSFET のドレイン、インダクタの高電圧側に接続され、短く幅広い配線で接続する必要があります。ただし、SW 接続は注入 EMI のソースのため、大きすぎてはいけません。
- パッドの形状とはんだペーストのステンシル設計など、MOSFET メーカーが推奨する MOSFET のレイアウトの考慮事項に従ってください。
- SW ピンは電力変換段のスイッチ・ノードに接続され、ハイサイド・ゲート・ドライバのリターン・パスとして動作します。図 12-1 のループ 1 に固有の寄生インダクタンスと両方のパワー MOSFET の出力容量 (C_{OSS}) により共振回路が形成され、SW ノードの高周波 (50MHz 以上) リンギングが誘発されます。このリンギングの電圧ピークは、制御されていないときは入力電圧よりも大幅に高くなることがあります。ピーク・リンギング振幅が SW ピンの絶対最大定格制限を超えないことを確認してください。たいていの場合、SW ノードから GND まで接続された直列抵抗とコンデンサのスナバ・ネットワークにより、リンギングは減衰し、ピーク振幅は減少します。PCB レイアウトのスナバ・ネットワークの部品を利用できるように準備します。SW ピンにおけるリンギング振幅が過剰なことが試験で明らかになった場合は、必要に応じてスナバ部品を入れてください。

12.1.2 ゲート・ドライブ・レイアウト

LM5143A-Q1 のハイサイドおよびローサイド・ゲート・ドライバは、短い伝搬遅延、アダプティブ・デッドタイム制御、低インピーダンス出力段を内蔵しており、非常に高速な立ち上がり、立ち下がり時間で大きなピーク電流を供給できるため、パワー MOSFET の高速なターンオン遷移とターンオフ遷移を実現しています。パターンの長さとインピーダンスを十分制御できていない場合、di/dt が非常に高いと許容不可能なリンギングが発生することがあります。

ゲート・ドライブのスイッチング性能を最適化するには、空電または寄生ゲート・ループ・インダクタンスの最小化が重要です。これは、MOSFET ゲート・キャパシタンスで共振する直列ゲート・インダクタンスでも、ゲート・ドライブ・コマンドに反して負のフィードバック成分を供給するコモン・ソース・インダクタンス (ゲートとパワー・ループに共通) でも同様で、これにより MOSFET のスイッチング時間は長くなります。以下のループが重要です。

- ループ 2:ハイサイド MOSFET、Q_1。ハイサイド MOSFET のターンオン中は、ブートストラップ (ブート) コンデンサからゲート・ドライバとハイサイド MOSFET を経由して大電流が流れ、SW 接続を経由してブート・コンデンサの負側の端子に戻ります。反対に、ハイサイド MOSFET をオフにするには、ハイサイド MOSFET のゲートからゲート・ドライバと SW を経由して大電流が流れ、SW パターンを経由してハイサイド MOSFET のソースに戻ります。図 12-1 のループ 2 を参照してください。
- ループ 3:ローサイド MOSFET、Q_2。ローサイド MOSFET のターンオン中は、VCC デカップリング・コンデンサからゲート・ドライバとローサイド MOSFET を経由して大電流が流れ、グランドを経由してコンデンサの負側の端子に戻ります。反対に、ローサイド MOSFET をオフにするには、ローサイド MOSFET のゲートからゲート・ドライバと GND を経由して大電流が流れ、グランドを経由してローサイド MOSFET のソースに戻ります。図 12-1 のループ 3 を参照してください。

テキサス・インスツルメンツは、高速 MOSFET ゲート・ドライブ回路を使用して設計する際には、回路レイアウトのガイドラインを遵守することを強く推奨しています。

- ゲート・ドライバ出力 HO1、HO2、HOL1、HOL2、LO1、LO2、LOL1、LOL2 からハイサイドまたはローサイド MOSFET の各ゲートへの接続は、直列寄生インダクタンスを低減するために、できるだけ短くしてください。ピーク・ゲート・ドライブ電流は最大 4.25A になることがあります。0.65mm (25mil) 以上のパターンを使用してください。これらのパターンには、必要に応じて、直径 0.5mm (20mil) 以上の 1 つまたは複数のビアを使用します。LM5143A-Q1 からハイサイド MOSFET まで HO と SW ゲート・パターンを差動ペアとして配線し、フラックス・キャンセレーションを利用します。
- 最大 4.25A の大電流が瞬間的に流れることにより MOSFET のゲート・キャパシタンスが充電されるため、VCC と HB ピンから各コンデンサを流れる電流ループ・パスを最小化します。具体的には、ブートストラップ・コンデンサ C_{BST} を LM5143A-Q1 の HB ピンと SW ピンの近くに配置して、ハイサイド・ドライバに関連するループ 2 の面積を最小化します。同様に、VCC コンデンサ C_{VCC} を LM5143A-Q1 の VCC ピンと PGND ピンの近くに配置して、ローサイド・ドライバに関連するループ 3 の面積を最小化します。

12.1.3 PWM コントローラのレイアウト

ゲート・ドライバのパターン走行を最小限にするため、コントローラをパワー MOSFET のできる限り近くに配置する規定により、電流センシングだけでなく、アナログ信号と帰還信号に関連する部品については、以下のように考慮します。

Copyright © 2023 Texas Instruments Incorporated

- 電源と信号のパターンを分けて、ノイズのシールドを実現するためにグランド・プレーンを使用します。
- 相互結合を防止するため、影響を受けやすいアナログ・パターンと COMP1、COMP2、FB1、FB2、CS1、CS2、SS1、SS2、RES、RT に関連する部品はすべて、SW1、SW2、HO1、HO2、LO1、LO2、HB1、HB2 などの高電圧スイッチング・ノードから離して配置します。1 つ以上の内部層をグランド・プレーンとして使用します。特に、電源パターンと部品から帰還 (FB) パターンをシールドすることには注意してください。
- FB のパターンができるだけ短くなるように、(必要に応じて) 上側と下側の帰還抵抗を各 FB ピンの近くに設置します。上側の帰還抵抗から負荷時に必要とされる出力電圧センシング・ポイントまでのパターンを配線します。
- ノイズ・ピックアップを最小限にするために、差動ペアとして CS1、CS2、VOUT1、VOUT2 パターンを配線し、適切なシャント抵抗 (シャント電流センシングの使用時) またはセンス・コンデンサ (インダクタ DCR 電流センシングの使用時) にケルビン接続を使用します。
- VCC1、VCC2、VIN ピンから、それぞれのデカップリング・コンデンサを経由して、関連する PGND ピンまでのループ領域を最小にします。これらのコンデンサは LM5143A-Q1 のできるだけ近くに配置します。

12.1.4 熱設計およびレイアウト

ゲート・ドライバとバイアス電源 LDO レギュレータが内蔵された PWM コントローラの有効な温度範囲は、次の内容に大きく影響されます。

- パワー MOSFET の平均ゲート駆動電流の要件
- スイッチング周波数
- 動作入力電圧 (バイアス・レギュレータの LDO 電圧降下、ひいてはその消費電力に影響する)
- パッケージと動作環境の熱特性

特定の温度範囲で有効になる PWM コントローラの場合、パッケージは接合部温度を定格制限内に維持しながら、発生する熱を効率的に除去する必要があります。LM5143A-Q1 コントローラは、豊富なアプリケーション要件を満たす小型の 6mm × 6mm、40 ピン VQFN (RHA) PowerPAD パッケージで供給されます。このパッケージの熱基準の概要については、を参照してください。

40 ピン VQFNP パッケージでは、パッケージの底面にある露出した熱パッドを介して、半導体のダイから熱が除去されます。パッケージの露出したパッドはこのパッケージの鉛部分に直接接触していませんが、LM5143A-Q1 デバイス (グランド) の基板に熱的に接続されています。これによって熱のシンクが大幅に改善されますが、熱除去サブシステムを完成させるには PCB の設計にサーマル・ランド、サーマル・ビア、グランド・プレーンを入れることが必須となります。LM5143A-Q1 の露出したパッドは、PCB 上でデバイスのパッケージの真下にある、グランドに接続された銅ランドにはんだ付けされているため、熱抵抗を非常に小さい値まで低減します。

サーマル・ランドから内部とはんだ側の 1 つ以上のグランド・プレーンに接続された直径 0.3mm の大量のビアは、放熱に不可欠です。マルチレイヤ PCB 設計では、通常は電源部品の下の PCB 層にソリッドなグランド・プレーンを配置します。このプレーンの配置には、出力段の電流を流すためだけでなく、熱を生成するデバイスから熱伝導経路を離す役割もあります。

MOSFET の熱特性も重要です。ハイサイド MOSFET のドレイン・パッドは、通常ヒートシンクのために VIN プレーンに接続します。ハイサイド MOSFET のドレイン・パッドはそれぞれの SW プレーンに接続しますが、SW プレーンの領域は EMI の懸念を和らげるために意図的にできるだけ小さくします。

12.1.5 グランド・プレーン設計

ここまでで説明したように、ソリッド・グランド・プレーンとして 1 つ以上の内部 PCB 層を使用することを推奨しています。グランド・プレーンは敏感な回路やパターンのシールドとして機能するだけでなく、制御回路の低ノイズ基準電位を提供します。PGND1 ピンと PGND2 ピンをシステムのグランド・プレーンに接続するには、露出したパッドの下にある配列状のビアを使用します。また、PGND1 ピンと PGND2 ピンは入力および出力コンデンサのリターン端子に直接接続します。PGND の配線にはスイッチング周波数におけるノイズが含まれており、負荷電流変動によりバウンドすることがあります。PGND1、PGND2、VIN、SW1、SW2 の電力パターンは、グランド・プレーンの片側に制限することができます。グランド・プレーンの反対側はノイズが非常に小さくなるため、敏感なアナログのパターン配線に向いています。

12.2 レイアウト例

LM5143-Q1EVM-2100 の設計に基づき、図 12-2 にデュアル出力同期整流降圧レギュレータの片面のレイアウトを示します。各出力段は GND パッドの配置に囲まれており、必要に応じて EMI シールドに接続することができます。この設計では、電力ループのリターン・パスとして PCB のレイヤ 2 を最上層の真下に使用することで、約 2mm² の小さな面積のスイッチング電力ループを作成しています。このループ面積、つまり寄生インダクタンスは、EMI だけでなくスイッチノード電圧のオーバーシュートとリンギングを最小化するために、できるだけ小さくする必要があります。詳細については、『LM5143-Q1EVM-2100 評価基板ユーザー・ガイド』を参照してください。

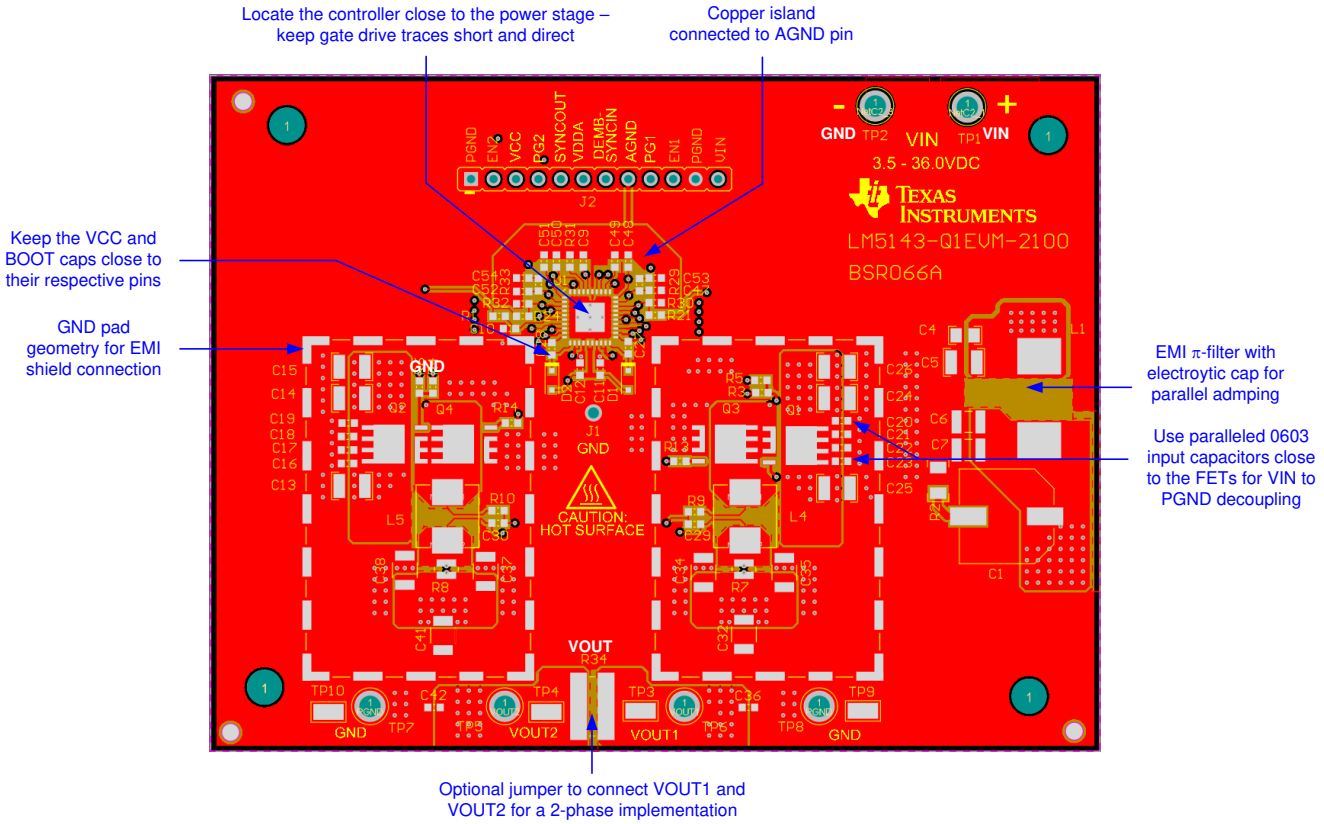


図 12-2. PCB の最上層

図 12-3 に示すように、1 つのチャネルの高周波数電力ループ電流は、MOSFET の Q2 と Q4 から 2 層の電力グランド・プレーンを通過し、0603 セラミック・コンデンサ C16 から C19 を通って VIN に戻ります。垂直ループ構成で逆方向に流れる電流により、フィールドの自己キャンセルが可能となり、寄生インダクタンスは低減されます。図 12-4 に、マルチレイヤ PCB 構造で低プロファイル、自己キャンセル・ループを作成する考え方を表す側面図を示します。図 12-3 に示す 2 層の GND プレーン層により、MOSFET の真下に Q2 ソース端子への密結合電流のリターン・パスが作られます。

小型サイズの 0402 または 0603 ケースに入った 4 つの 10nF 入力コンデンサは、各ハイサイド MOSFET のドレインのすぐ近くに並列に配置します。取付面積の小さなコンデンサの低等価直列インダクタンス (ESL) と高自己共振周波数 (SRF) は、優れた高周波性能を実現します。これらのコンデンサの負端子は、直径 12mil (0.3mm) の複数のビアで 2 層の GND プレーンに接続され、寄生ループ・インダクタンスをさらに最小化することができます。

このレイアウト例では、以下の追加ステップが使用されています。

- パワー MOSFET からインダクタまでの SW 接続 (各チャネルごと) の銅箔面積を最小限に抑えることで、放射 EMI を低減することができます。
- ゲート駆動パターンが短く直接配線されるように、MOSFET のゲート端子の近くにコントローラを配置します。

Copyright © 2023 Texas Instruments Incorporated

- アナログ部品は敏感なので、アナログ・グランド・プレーンはコントローラの近くに作成します。AGND のアナログ・グランド・プレーンと PGND1 と PGND2 の電力グランド・プレーンは、ダイ・アタッチ・パッド (DAP) にある IC の真下の 1 点で接続する必要があります。

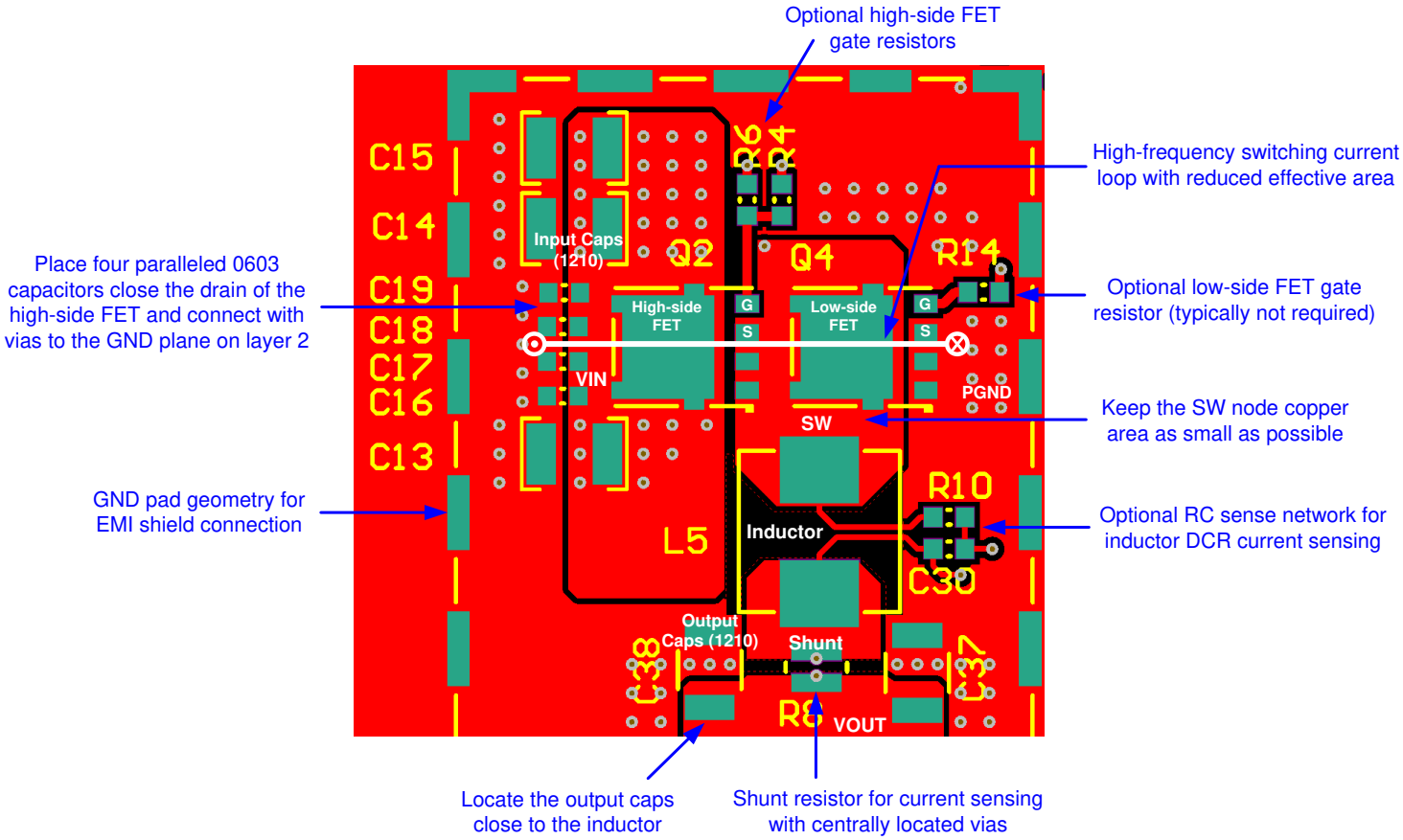
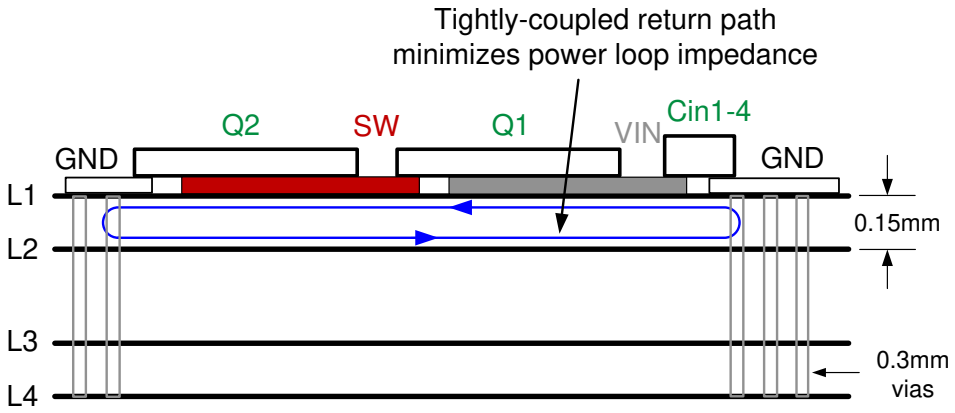


図 12-3. 出力段部品のレイアウト



注

詳細については、『最適化された出力段レイアウトによる大電流 DC/DC レギュレータのコストなしでの性能向上』アプリケーション・レポートを参照してください。

図 12-4. 低 L1-L2 内部層空間のある PCB のスタックアップ図

13 デバイスおよびドキュメントのサポート

13.1 デバイスのサポート

13.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

13.1.2 開発サポート

表 13-1 で規定されている最低 3.5V、最大 100V の入力動作電圧では、テキサス・インスツルメンツの LM(2)514x-Q1 ファミリの車載用同期整流降圧コントローラは、幅広いアプリケーションに対応できるスケーラビリティと最適化されたソリューションを実現します。これらのコントローラを使用すると、高密度、低 EMI で高い柔軟性を持つ DC/DC ソリューションを実現できます。利用可能な EMI 低減機能には、デュアル・ランダム・スペクトラム拡散 (DRSS) または三角波スペクトラム拡散 (TRSS)、スルーレート (SR) 制御用スプリット・ゲート・ドライバ出力、統合型アクティブ EMI フィルタリング (AEF) が含まれます。すべてのコントローラは最大動作接合部温度 150℃の定格で、AEC-Q100 グレード 1 認証を受けており、機能安全に対応しています。

表 13-1. 車載用同期整流降圧 DC/DC コントローラ・ファミリ

DC/DC コントローラ	シングルまたはデュアル	V_{IN} 範囲	制御方式	ゲート駆動電圧	同期出力	EMI 軽減
LM25141-Q1	シングル	3.8V～42V	ピーク電流モード	5V	N/A	SR 制御、TRSS
LM25143-Q1	デュアル	3.5V～42V	ピーク電流モード	5V	90°位相シフト	SR 制御、TRSS
LM25148-Q1	シングル	3.5V～42V	ピーク電流モード	5V	180°位相シフト	DRSS
LM25149-Q1	シングル	3.5V～42V	ピーク電流モード	5V	180°位相シフト	DRSS、AEF
LM5141-Q1	シングル	3.8V～65V	ピーク電流モード	5V	N/A	SR 制御、TRSS
LM5143A-Q1	デュアル	3.5V～65V	ピーク電流モード	5V	90°位相シフト	SR 制御、TRSS
LM5145-Q1	シングル	5.5V～75V	電圧モード	7.5V	180°位相シフト	N/A
LM5146-Q1	シングル	5.5V～100V	電圧モード	7.5V	180°位相シフト	N/A
LM5148-Q1	シングル	3.5V～80V	ピーク電流モード	5V	180°位相シフト	DRSS
LM5149-Q1	シングル	3.5V～80V	ピーク電流モード	5V	180°位相シフト	DRSS、AEF

開発サポートについては、以下を参照してください。

- LM5143-Q1 クイックスタート・カリキュレータ
- LM5143A-Q1 シミュレーション・モデル
- テキサス・インスツルメンツのリファレンス・デザイン・ライブラリ
- WEBENCH® デザイン・センター
- 低 EMI の電源を設計するには、テキサス・インスツルメンツの包括的な EMI トレーニング・シリーズをご覧ください
- テキサス・インスツルメンツの設計：
  - 車載用の幅広い V_{IN}、デジタル・コックピット処理ユニット向けのフロントエンド・リファレンス設計
- 寄稿記事：
  - 『DC/DC コンバータの高密度 PCB レイアウト』
  - 『幅広い V_{IN} 性能とフレキシビリティをサポートする同期整流降圧コントローラ・ソリューション』
  - 『EMI 制御用スルーレートの使用方法』
  - *『内蔵アクティブ EMI フィルタによって EMI を低減し電源サイズを縮小する方法』*

13.1.2.1 WEBENCH® ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designer により、LM5143A-Q1 デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。

Copyright © 2023 Texas Instruments Incorporated

2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他のソリューションと比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.tij.co.jp/WEBENCH でご覧になれます。

13.2 ドキュメントのサポート

13.2.1 関連資料

関連資料については、以下を参照してください。

- ユーザー・ガイド:
  - 『LM5143-Q1 同期整流降圧コントローラ評価基板』
  - 『LM5140-Q1 同期整流降圧コントローラの高密度評価基板』
  - 『LM5141-Q1 同期整流降圧コントローラ評価基板』
  - 『LM5146-Q1 評価基板ユーザー・ガイド』
  - 『LM5145 評価基板ユーザー・ガイド』
- アプリケーション・レポート:
  - 『LM5143-Q1 同期整流降圧コントローラの高密度 4 相設計』
  - 『AN-2162 DC/DC コンバータからの伝導 EMI による簡単な成功事例』
  - 『LM5140-Q1 デュアル同期整流降圧コントローラによる車載用コールドクランク中の出力電圧レギュレーションの維持』
- テクニカル・ブリーフ:
  - 『誘導性寄生の最小化による降圧コンバータの EMI と電圧ストレスの低減』
  - 『車載用 DC/DC レギュレータの EMI フィルタ部品とその非理想性』
- ホワイト・ペーパー:
  - 『電源の伝導 EMI 仕様の概要』
  - 『電源の放射 EMI 仕様の概要』
  - 『コスト効率が高く要求品質の高いアプリケーション用の広範な V_{IN}、低 EMI 同期整流降圧回路の評価』
  - 『電源における EMI 低減のための短時間でコスト効率の高いイノベーション』
- E-Book (電子書籍):
  - 『DC/DC レギュレータの EMI エンジニア・ガイド』

13.2.1.1 PCB レイアウトについてのリソース

- アプリケーション・レポート:
  - 『最適化された出力段レイアウトによる大電流 DC/DC レギュレータのコストなしでの性能向上』
  - 『AN-1149 スイッチング電源のレイアウトのガイドライン』
  - 『LM4360x および LM4600x による低放射 EMI レイアウトの簡単な設計』
- セミナー:
  - 『電源の設計 - レイアウトに関する検討事項』

13.2.1.2 熱設計についてのリソース

- アプリケーション・レポート:
  - 『AN-2020 熱設計の洞察とノウハウ』
  - 『AN-1520 露出パッド・パッケージで最良の熱抵抗を実現するための基板レイアウト・ガイド』

- 『半導体および IC パッケージの熱評価基準』
- 『LM43603 および LM43602 を使用した簡単な熱設計』
- 『放熱特性の優れた PowerPAD™ パッケージ』
- 『PowerPAD の簡単な使用法』
- 『新しい熱評価基準の使用』

13.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、ti.com のデバイス製品フォルダを開いてください。「更新の通知を受け取る」をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取れます。変更の詳細については、修正されたドキュメントに含まれている改訂履歴をご覧ください。

13.4 サポート・リソース

TI E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、該当する貢献者により、現状のまま提供されるものです。これらは TI の仕様を構成するものではなく、必ずしも TI の見解を反映したものではありません。TI の使用条件を参照してください。

13.5 商標

NexFET™, PowerPAD™, and TI E2E™ are trademarks of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

13.6 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

13.7 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

14 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに対して提供されている最新のデータです。このデータは予告なく変更されることがあり、ドキュメントが改訂される場合もあります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM5143QRHARQ1	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	LM5143QR HARQ1
LM5143QRHARQ1.A	Active	Production	VQFN (RHA) | 40	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	LM5143QR HARQ1

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

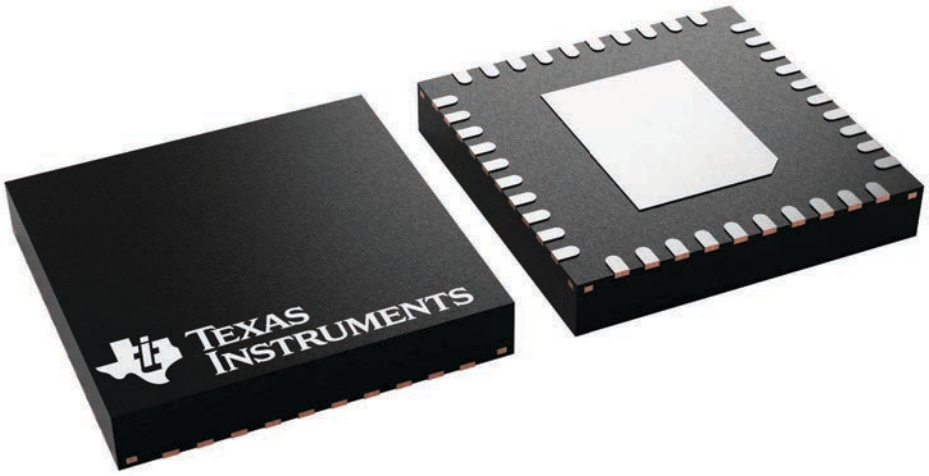
RHA 40

VQFN - 1 mm max height

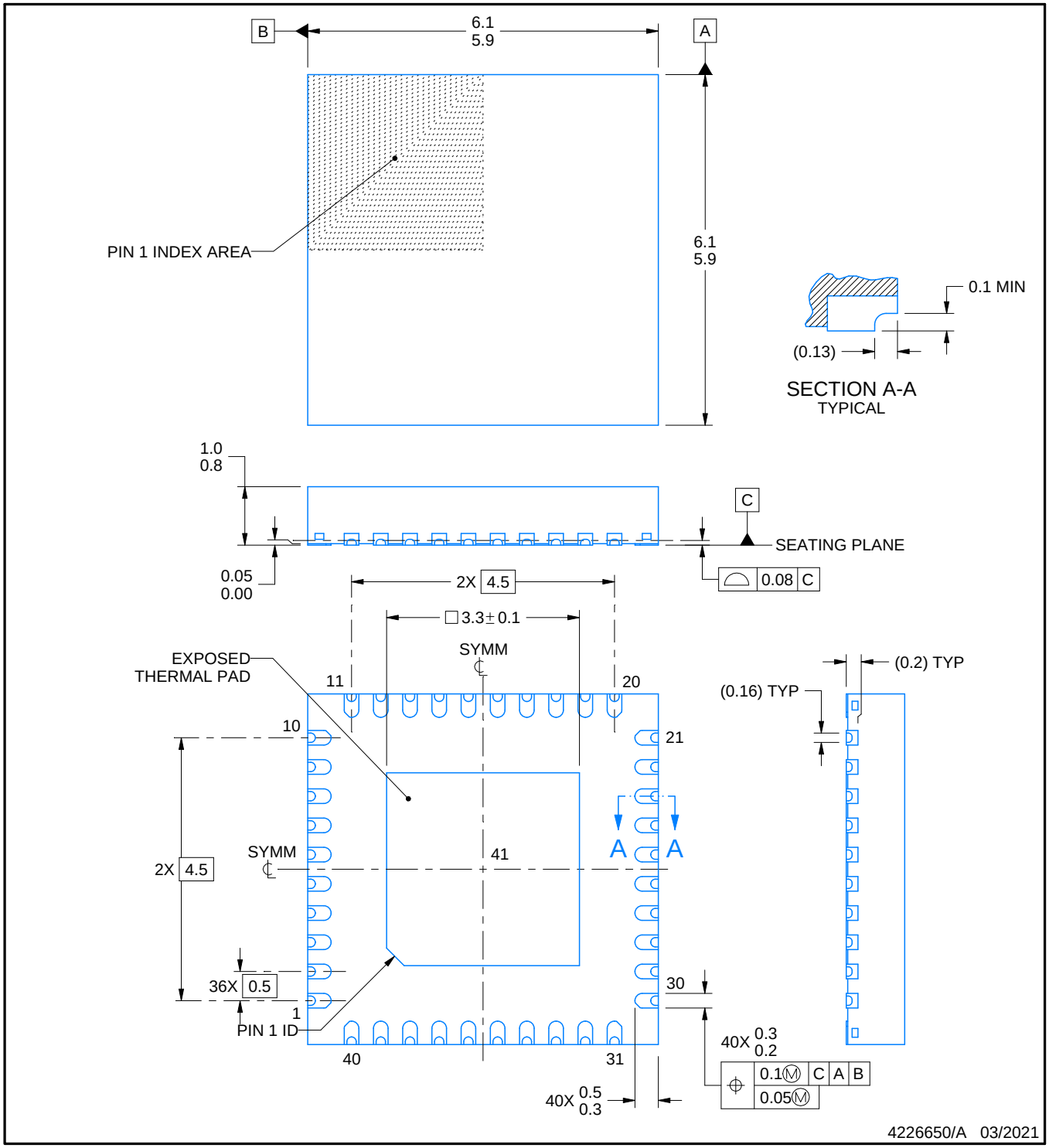
6 x 6, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

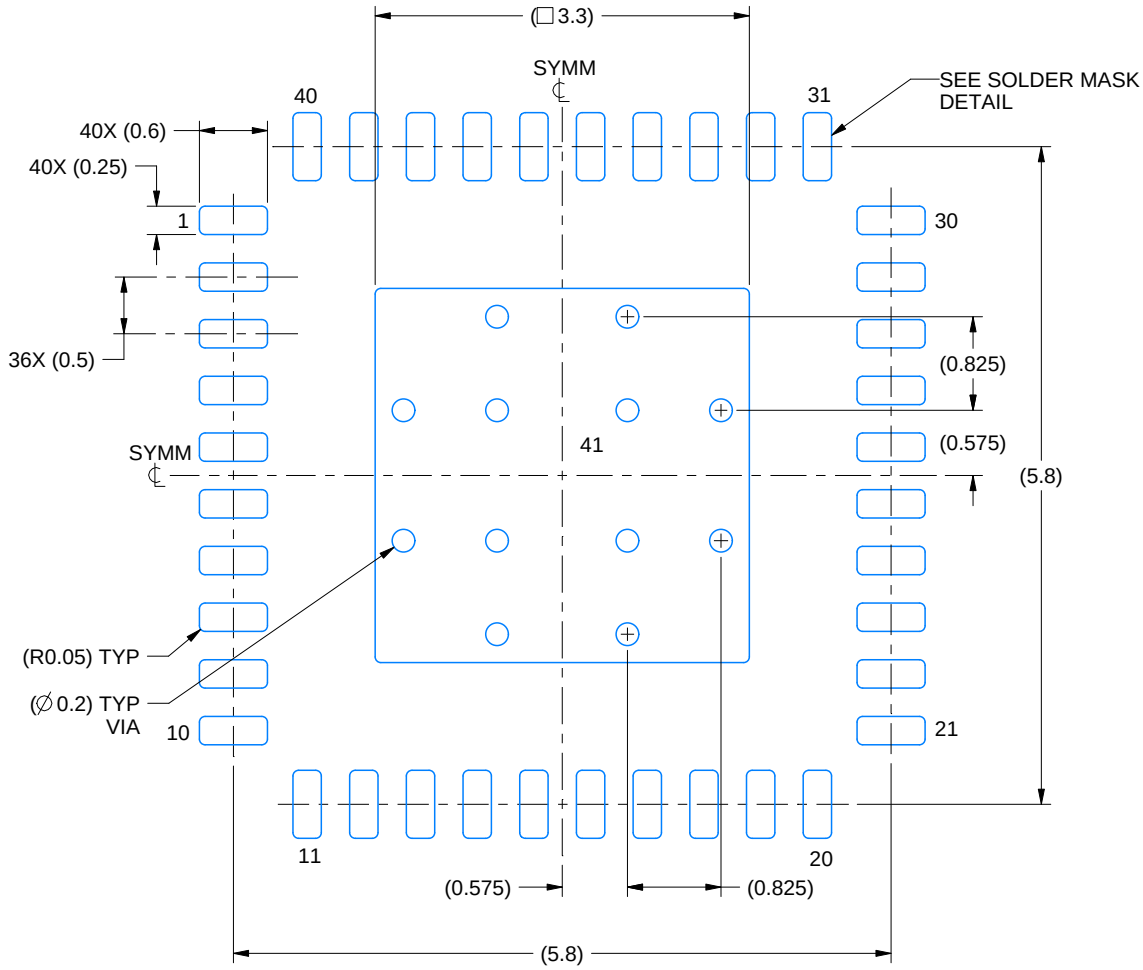


4225870/A

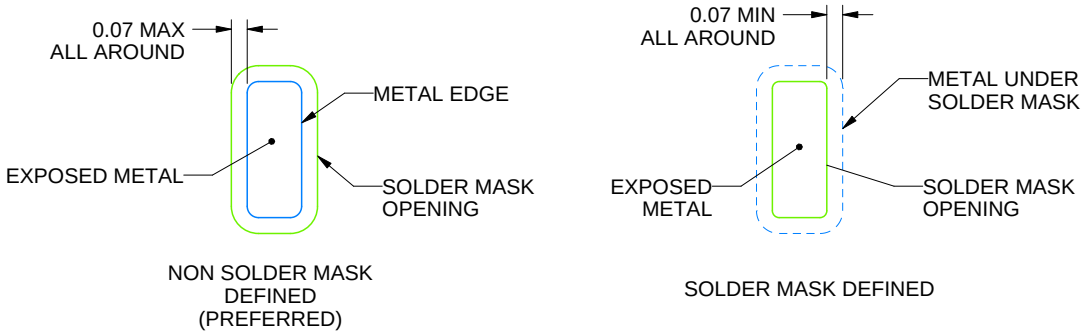


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

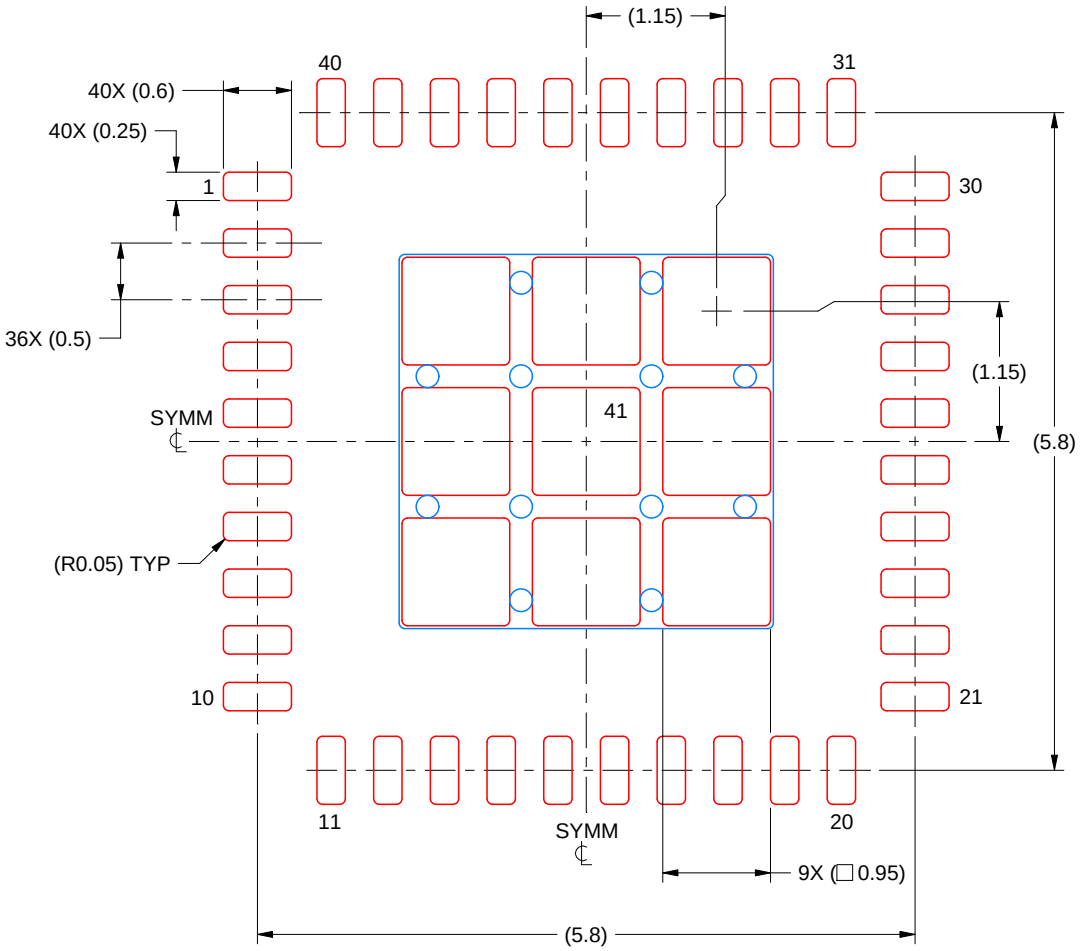


SOLDER MASK DETAILS

4226650/A 03/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 15X

EXPOSED PAD 41
75% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4226650/A 03/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月