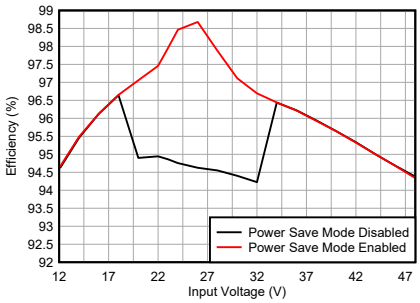
LM51770x 78V 広範囲 V_{IN} 双方向 4 スイッチ昇降圧コントローラ

1 特長

- 3.5V～78V の広い入力範囲 (絶対最大定格 85V)
  - $V_{(BIAS)}$ > 3.5V のとき、最小 2.8V
- 3.3V～78V の出力電圧
- 低シャットダウン I_Q:3µA
- 低静止電流 I_Q:60µA
- 3% の逆電流制限精度により、精度の高い充電電流を実現
- 平均入出力電流モニタまたはリミッタ
- PWM またはアナログ入力信号の動的な出力電圧トラッキング
- 負荷がきわめて軽い時の効率を向上させるパワーセーブ モード (PSM) を選択可能
- 自動選択機能を備えた 2 つの高電圧電源 LDO を内蔵
- 全動作モードにわたる固定周波数 (昇圧、昇降圧、降圧)
  - 強制 PWM モードを選択可能
  - 小規模ソリューションと部品サイズ用の最大 1.8MHz のスイッチング
  - 外部クロック同期
- スペクトラム拡散動作を選択可能
- 可変低電圧保護
- ヒカップ過電流および短絡保護

2 アプリケーション

- 非絶縁型 DC/DC 電源 (商用 DC/DC、リモート無線ユニット、モーター駆動制御)
- バックアップ電源システム (バッテリ バックアップ、防火)
- 産業用 PC (シングル ボード コンピュータ)
- 医療用 PSU (酸素濃縮器)
- PoE (Power over Ethernet) (ルータ)
- 太陽光発電 (ソーラー充電コントローラ)



LM51770 効率と入力電圧との関係 (V_O = 24V、I_O = 5A)

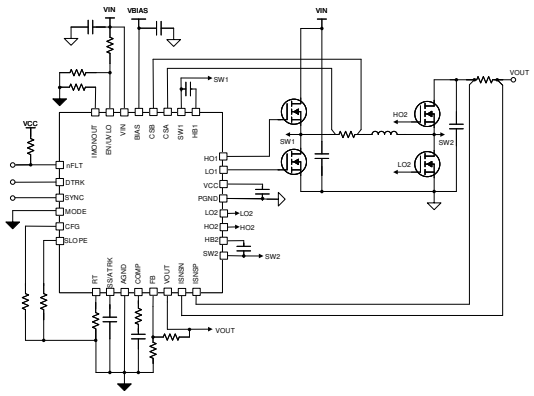
3 説明

LM51770x は、4 スイッチ昇降圧コントローラです。本デバイスは入力電圧が、調整された出力電圧よりも高い、等しい、または低い場合に、レギュレートされた出力電圧を供給します。このデバイスは、パワーセーブ モードでの静止電流が小さいため、出力負荷が小さくても高効率をサポートします。パワーセーフ モードでは、デバイスは出力電流の全範囲にわたって 99% に近い高効率をサポートします。LM51770x は固定スイッチング周波数で動作し、RT または SYNC ピンを経由して設定します。降圧、昇圧、昇降圧動作中も、スイッチング周波数は同一に維持されます。内蔵、オプションの平均電流モニタは、LM51770x の入出力電流の監視と制限に役立ちます。また、この機能は、定電流 (CC) と定電圧 (CV) を使用する、バッテリまたはコンデンサなどのバックアップ電源要素の充電もサポートしています。

パッケージ情報

部品番号	パッケージ (1)	本体サイズ (公称)
LM51770	DCP038	9.7mm × 4.4mm
LM517701	DCP038	9.7mm × 4.4mm

(1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 デバイスの比較.....3
5 ピン構成および機能.....4
6 仕様.....7
6.1 絶対最大定格.....7
6.2 取り扱い定格.....7
6.3 推奨動作条件.....8
6.4 熱に関する情報.....8
6.5 電気的特性.....9
6.6 タイミング要件.....14
6.7 **SNVSCL2** の代表的特性.....15
7 パラメータ測定情報.....19
7.1 ゲートドライバの立ち上がり時間と立ち下がり時間.....19
7.2 ゲートドライバ デッド (遷移) 時間.....19
8 詳細説明.....20
8.1 概要.....20
8.2 機能ブロック図.....21
8.3 機能説明.....22
8.4 デバイスの機能モード.....41
9 アプリケーションと実装.....43
9.1 アプリケーション情報.....43
9.2 代表的なアプリケーション.....43
9.3 システム例.....53
9.4 電源に関する推奨事項.....57
9.5 レイアウト.....58
10 デバイスおよびドキュメントのサポート.....60
10.1 デバイス サポート.....60
10.2 ドキュメントの更新通知を受け取る方法.....60
10.3 サポート・リソース.....60
10.4 商標.....60
10.5 静電気放電に関する注意事項.....61
10.6 用語集.....61
11 改訂履歴.....61
12 メカニカル、パッケージ、および注文情報.....61

Copyright © 2025 Texas Instruments Incorporated

4 デバイスの比較

表 4-1. デバイスの比較

機能	LM51770	LM517701	LM5177	LM251772	LM51772
推奨最大入力電圧	78V	78V	60V	36V	55V
絶対最大入力電圧	85V	85V	85V	48V	59V
推奨最大スイッチング周波数	1.8MHz	1.8MHz	600kHz	600kHz	2.2MHz
ピーク電流センス スレッショルド	50mV	75mV	50mV	50mV	50mV
デフォルトの出力電圧の設定値	該当なし	24V	該当なし	5.1V	12V
デフォルトの出力電流制限値	該当なし	該当なし	該当なし	900mA	5A
I^2C インターフェイス	なし	なし	なし	あり	あり
プログラミングなしの出力スタートアップ状態	イネーブル	イネーブル	イネーブル	ディセーブル	イネーブル
PSM — 自動導通モード	あり	なし	なし	あり	あり
PSM — プログラマブル導通モード	なし	なし	なし	なし	あり
出力放電	なし	なし	なし	あり	あり
入力電圧レギュレーション	外部回路を使用する場合	外部回路を使用する場合	外部回路を使用する場合	あり	あり
外部ゲートドライバのロジック出力ピン	あり	あり	あり	なし	なし
アナログ電流制限設定ピン	なし	なし	なし	なし	あり
T_j 温度範囲	–40°C ～ 125°C	–40°C ～ 125°C	–40°C ～ 125°C	0°C ～ 70°C	–40°C ～ 125°C

Copyright © 2025 Texas Instruments Incorporated

5 ピン構成および機能

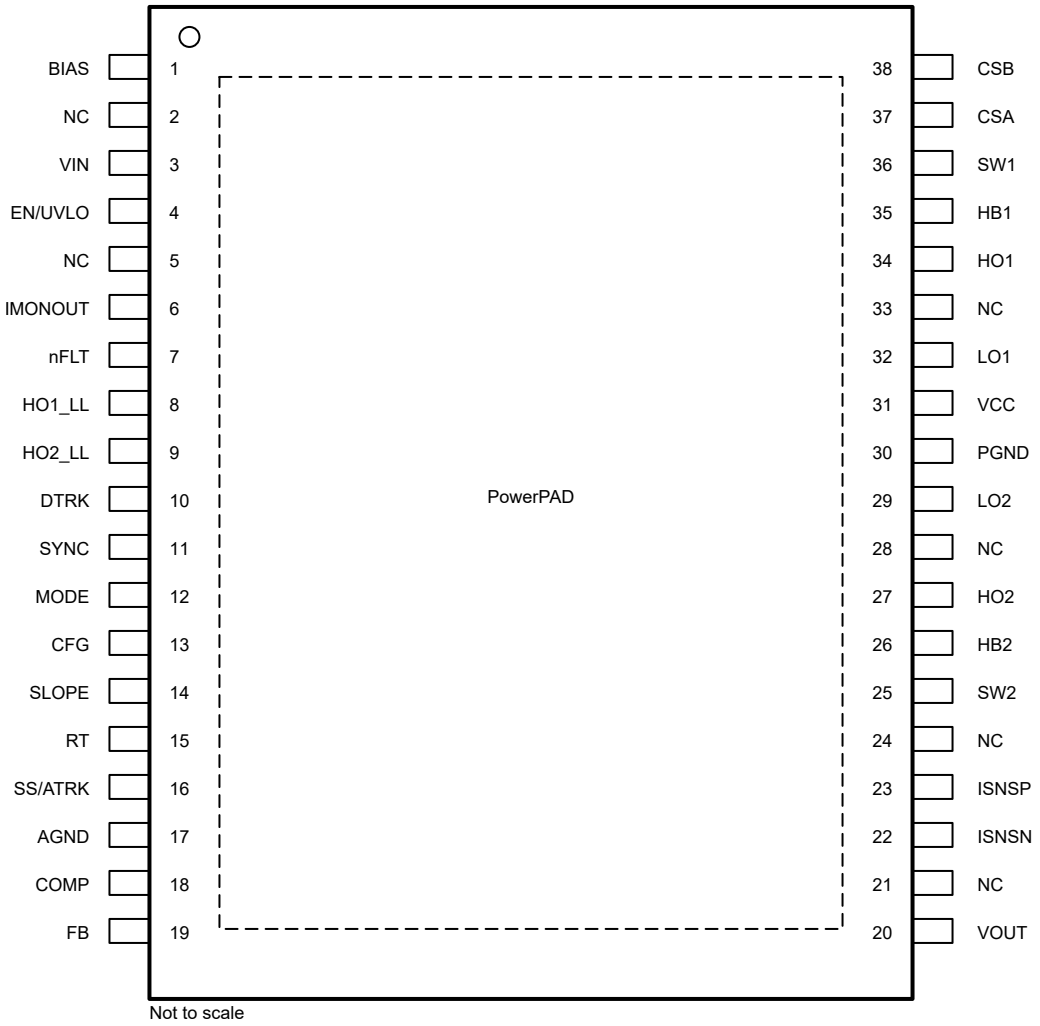


図 5-1. 38 ピン DCP HTSSOP ピン配置図

表 5-1. ピン機能 LM51770x

ピン		種類(1)	説明
名称	番号		
AGND	17	G	デバイスのアナログ グランド
BIAS	1	I	VCC バイアス レギュレータへの入力（オプション）。VIN の代わりに外部電源から VCC に電力を供給すると、V_{IN} が高い場合に電力損失を低減できます。 BIAS ピン電源をアプリケーションで使用しない場合は、ピンの GND を接続します
CFG	13	I/O	デバイス構成ピン。CFG ピンとの間に抵抗を接続して、スペクトラム拡散 (DRSS)、短絡保護 (ヒカップ モード)、電流制限、電流モニタのデバイス動作を選択します。
COMP	18	O	エラー アンプの出力。COMP と AGND との間に接続された外部 RC 回路により、出力電圧帰還ループのレギュレータが補償されます。
CSA	37	I	インダクタ ピーク電流センサ正入力。定電流ケルビン接続を使用して、外部電流センス抵抗の正の側に CSA を接続します。
CSB	38	I	インダクタ ピーク電流センス負入力。低電流ケルビン接続を使用して、外部電流センス抵抗の負の側に CSB を接続します。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン機能 LM51770x (続き)

ピン		種類[1]	説明
名称	番号		
DTRK	10	I	動的出力電圧トラッキング用のデジタル PWM 入力ピン。*このピンをフローティングのままにしないでください*。この機能を使用しない場合は、ピンを VCC または GND に接続します。
EN/UVLO	4	I	イネーブル ピン。ピンはデバイスを有効または無効にします。ピンが 0.6V を下回ると、デバイスはシャットダウンします。ピンが 0.65V を上回ると、デバイスが有効化されます。このピンはデバイスの内部リファレンス電圧回路と入力電圧 UVLO コンパレータ入力のイネーブル ピンです。
FB	19	I	出力電圧レギュレーション用の帰還ピン。コンバータの出力と FB ピンとの間に分圧抵抗回路を接続します。
HB1	35	P	降圧ハーフブリッジのブートストラップ電源ピン。ハイサイド MOSFET ゲートドライバにバイアスを提供するために、それぞれ HB1 ピンと SW1 に外部コンデンサが必要です。
HO1	34	O	降圧ハーフブリッジのハイサイド ゲートドライバ出力
HO1_LL	8	O	HO1 ゲート信号のロジック レベル出力。このグランド リファレンス PWM 信号は、オプションの外部ゲートドライバ入力に接続します。この機能を使用しない場合は、このピンに外部接続しないでください。
HB2	26	P	昇圧ハーフブリッジのブートストラップ電源ピン。ハイサイド MOSFET ゲートドライバにバイアスを提供するために、それぞれ HB2 ピンと SW2 に外部コンデンサが必要です。
HO2	27	O	昇圧ハーフブリッジのハイサイド ゲートドライバ出力
HO2_LL	9	O	HO2 ゲート信号のロジック レベル出力。このグランド リファレンス PWM 信号は、オプションの外部ゲートドライバ入力に接続します。この機能を使用しない場合は、このピンに外部接続しないでください。
IMONOUT	6	O	電流モニタ出力ピン。オプションの電流モニタの電圧制御電流源の出力。ピンを抵抗に接続して、両端の電圧を検出します。出力または入力の電流センス アンプが電流リミッタとして構成されている場合、IMONOUT と AGND との間に接続された外部 RC ネットワークにより、電流帰還ループのレギュレータが補償されます。 IMONOUT ピンを VCC に接続すると、ブロックが無効になり、静止電流が低減します
ISNSN	22	I	出力または入力電流センス アンプの負のセンス入力。ISNSN と ISNSP の間に接続されるオプションの電流センス抵抗は、電力段の入力側または出力側に配置できます。 電流監視が無効になっている場合は、ISNSN をグランドに接続します
ISNSP	23	I	出力または入力電流センス アンプの正のセンス入力。ISNSN と ISNSP の間に接続されるオプションの電流センス抵抗は、電力段の入力側または出力側に配置できます。 電流監視が無効になっている場合は、ISNSN をグランドに接続します
LO1	32	O	降圧ハーフブリッジのローサイド ゲートドライバ出力
LO2	29	O	昇圧ハーフブリッジのローサイド ゲートドライバ出力
モード	12	I	デバイス動作モードを選択するためのデジタル入力。このピンが low にプルされると、パワー セーブ モード (PSM) がイネーブルになります。このピンが high になると、強制 PWM または CCM 動作がイネーブルになります。この構成は、動作中に動的に変更できます。*このピンをフローティングのままにしないでください*。
NC	2	NC	内部接続なし
NC	5	NC	内部接続なし
NC	21	NC	内部接続なし
NC	24	NC	内部接続なし
NC	28	NC	内部接続なし
NC	33	NC	内部接続なし
nFLT	7	O	障害表示または電源正常用のオープン ドレイン出力ピン。このピンは、FB が公称出力電圧のレギュレーション ウィンドウの周囲で ±10% のレギュレーション範囲を外れているとき、low にプルされます。 nFLT ピンの機能を使用しない場合、このピンをフローティングのままにできます。
PowerPAD	PAD	G	PowerPAD をアナログ グランドに接続します。サーマル ビアを使用して PCB のグランド プレーンに接続することで、電力消費能力を向上できます。
PGND	30	G	電源グランド。このピンは、ローサイド ゲートドライバおよび内部 VCC レギュレータへの高電流グランド接続です。
RT	15	I/O	スイッチング周波数のプログラミング用ピン。RT ピンと AGND に外部抵抗を接続して、スイッチング周波数を設定します。

Copyright © 2025 Texas Instruments Incorporated

表 5-1. ピン機能 LM51770x (続き)

ピン		種類(1)	説明
名称	番号		
SLOPE	14	I	SLOPE ピンと AGND との間に抵抗を接続することで、降圧モードと昇圧モードの両方で安定した電流モード動作のためのスロープ補償ランプが提供されます。
SS/ATRK	16	I/O	ソフトスタート プログラミング ピン。SS ピンと AGND ピンの間に接続するコンデンサによって、ソフト スタート時間をプログラミングします。アナログ出力電圧トラッキング ピン。VOUT のレギュレーション目標は、このピンを可変のリファレンス電圧 (デジタル/アナログ コンバータなど) に接続することでプログラムできます。内部回路により、ピンに印加される最低電圧が選択されます。
SW1	36	P	降圧ハーフブリッジのインダクタスイッチノード
SW2	25	P	昇圧ハーフブリッジのインダクタ スイッチ ノード
SYNC	11	I	同期クロック入力。内部発振器は、動作中に外部クロックと同期可能です。出力または入力の電流センス アンプが電流リミッタ プルとして構成されている場合、このピンは起動時に low になり、デバイスは電流制限方向を負極性に切り替えます。*このピンをフローティングのままにしないでください*。この機能を使用しない場合は、ピンを VCC に接続します。
VCC	31	P	内部リニア バイアス レギュレータ出力。VCC と PGND の間にセラミック デカップリング コンデンサを接続します。
VIN	3	I	本デバイスの入力電源とセンス入力。VIN を電力段の電源電圧に接続します。
VOUT	20	I	VOUT 検出入力。電力段の出力レールに接続します。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源、NC = 未接続

Copyright © 2025 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

接合部の推奨動作温度である -40℃～150℃の範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
入力	BIAS から AGND へ	-0.3	50	V
入力	VIN から AGND へ	-0.3	85	V
入力	UVLO/EN から AGND へ	-0.3	$V_{(VIN)}$ + 0.3	V
入力	ATRK/SS、DTRK、RT、SYNC、MODE、SLOPE、CFG、AGND へ(2)	-0.3	5.8	V
入力	FB から AGND へ	-0.3	5.8	V
入力	CSA、CSB～AGND(DC)	-5	85	V
入力	SW1、SW2～AGND(DC)	-5	85	V
入力	HB1～SW1、CSA、CSB	-0.3	5.5(5)	V
入力		-0.3	6.4	V
入力	HB2～SW2、CSA、CSB	-0.3	5.5(5)	V
入力		-0.3	6.4	V
入力	SW1 から CSA へ、CSB	-0.3	0.3	V
入力	ISNSP から ISNSN へ	-0.3	0.3	V
入力	PGND から AGND へ	-0.3	0.3	V
出力	VCC から AGND へ	-0.3	5.5	V
出力	VOUT から AGND へ	-0.3	85	V
出力	LO1、LO2 ～AGND(DC)	-5	$V_{(VCC)}$+0.3	V
出力	nFLT から AGND へ	-0.3	5.8	V
出力	HO1 から SW1 へ	-0.3	$V_{(HB1)}$ + 0.3	V
出力	HO2～SW2	-0.3	$V_{(HB2)}$ + 0.3	V
出力	HO1、HO2、ISNSP、ISNSN、HB1、HB2 から AGND へ (DC)	-0.3	85	V
出力	COMP、IMONOUT から AGND(3)	-0.3	5.8	V
保管温度、T_{STG}		-55	150	℃
動作時の接合部温度、T_J (4)		-40	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) このピンは外部電圧の印加の仕様は規定されていません。
(3) このピンには、最大 1.6mA までを処理する最大電圧クランプが内蔵されています。
(4) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125℃を超えると、動作寿命が短くなります。
(5) 電圧が規定の最大値を超えると、動作寿命が短くなります

6.2 取り扱い定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠(1)		±2000	V
		荷電デバイス モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠(2)	角のピン	±750	
			その他のピン	±500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。必要な予防措置を講じれば、HBM は 500V 未満の許容差で製造できます。場合によっては、±2000V と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。

Copyright © 2025 Texas Instruments Incorporated

(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。必要な予防措置をとれば、CDM の ESD 耐圧が 250V 未満でも製造可能です。場合によっては、±500V と記載されたピンは、実際にはそれよりも高い性能を持つ場合があります。

6.3 推奨動作条件

接合部の推奨動作温度である -40℃～150℃の範囲内 (特に記述のない限り)(1)

		最小値	公称値	最大値	単位
$V_{(VIN)}$	入力電圧検出	2.9		78	V
$V_{(VOUT)}$	出力電圧センス	3.3		78	V
$V_{(ISNSx)}$	ISNSP、ISNSN	2.8		78	V
$V_{(BIAS)}$	バイアス入力電圧電源	3.5		42	V
$V_{(VCC)}$	VCC 電圧	3.6		5.3	V
$C_{(VCC)}$	VCC レギュレータの実効出力容量	10			µF
V_{FB}	FB 入力	0		$V_{(VCC)}$ +0.3	V
V_{IL}	ロジック ピン low レベル			0.4	V
V_{IH}	ロジック ピン high レベル	1.3			V
f_{SW}	標準スイッチング周波数	100		1800	kHz
$f_{(SYNC)}$	同期スイッチング周波数制限	100		1800	kHz
	ドライバ出力あたりの最大推奨ゲート電荷。f_{sw} = 600kHz $V_{(BIAS)}$ = 12V		42		nC
	ドライバ出力あたりの最大推奨ゲート電荷。f_{sw} = 1.8MHz $V_{(BIAS)}$ = 12V		13		nC
	RT の中心周波数を基準とする同期周波数範囲			±45	%
	同期入力の最小オフ時間またはオン時間	120			ns
$f_{(DTRK)}$	トラッキング入力周波数範囲	150	500		kHz
	トラッキング入力の最小オフ時間またはオン時間	120			ns
	ISNSN から ISNSP への差動電圧		50	55	mV
T_J	動作時接合部温度(2)	-40		125	°C

(1) 動作定格は、デバイスが機能する前提の条件です。仕様およびテスト条件については、「電気的特性」を参照してください。
(2) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125℃を超えると、動作寿命が短くなります。

6.4 熱に関する情報

熱評価基準(1)		LM51770X HTSSOP 38 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	33.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	18.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	15.2	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.5	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	15	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	1.2	°C/W

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション レポートを参照してください。

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性

標準値は T_J = 25℃ に対応します。最小および最大の制限値は、T_J = -40℃ ～ 125°C の範囲で適用されます。特に記述のない限り、$V_{(BIAS)}$ =12V

パラメータ		テスト条件		最小値	標準値	最大値	単位
電源電流							
	VIN へのシャットダウン電流	$V_{(VIN)}$ = 12V、$V_{(BIAS)}$ = 0V $V_{(EN)}$ = 0V	T_J = 25°C		2.8	4	µA
			T_J = –40°C ～ 125°C		2.8	5	µA
	VIN へのシャットダウン電流	$V_{(VIN)}$ = 78V、$V_{(BIAS)}$ = 0V $V_{(EN)}$ = 0V	T_J = 25°C		4	5.5	µA
			T_J = –40°C ～ 125°C		4	8	µA
	VIN へのスタンバイ電流	$V_{(VIN)}$ = 78V、$V_{(BIAS)}$ = 0V。0.7V > $V_{(EN)}$ ≤ 1.25V	T_J = 25°C		60	80	µA
			T_J = –40°C ～ 125°C		60	100	µA
	BIAS へのシャットダウン電流	$V_{(VIN)}$ = 0V、$V_{(EN)}$ = 0V	T_J = 25°C		2.8	4	µA
			T_J = –40°C ～ 125°C		2.8	5	µA
	BIAS へのシャットダウン電流	$V_{(BIAS)}$ = 42V、$V_{(VIN)}$ = 0V、$V_{(EN)}$ = 0V	T_J = 25°C		3.5	5.5	µA
			T_J = –40°C ～ 125°C		3.5	7	µA
	BIAS への静止電流	$V_{(EN)}$ = 3.3V、$V_{(FB)}$ > 1V、uSleep ディスエーブル	T_J = 25°C		1.8	2.5	mA
			T_J = –40°C ～ 125°C		1.8	2.6	mA
	BIAS への静止電流	$V_{(EN)}$ = 3.3V、$V_{(FB)}$ > 1V、uSleep イネーブル	T_J = 25°C		60	80	µA
			T_J = –40°C ～ 125°C		60	90	µA
I_{IL}	Low レベル入力電圧 (EN/UVLO)	$V_{(EN/UVLO)}$ ≤ 0.55V			±0.01	±0.1	µA
VCC レギュレータ							
	VCC レギュレーション	V_{BIAS} 12.0V、$I_{(VCC)}$ = 20mA		4.75	5	5.25	V
		V_{VIN} 12.0V、$I_{(VCC)}$ = 20mA		4.75	5	5.25	V
	VCC ライン レギュレーション	$I_{(VCC)}$ = 1mA	$V_{(VIN)}$ = 3.5V $V_{(BIAS)}$ = 6.7V ～ 42V			±1	%
			$V_{(BIAS)}$ = 0V $V_{(VIN)}$ = 6.7V ～ 78V			±1	%
	バイアス LDO ドロップアウト ロード レギュレーション	$V_{(BIAS)}$= 6.7V、$V_{(VIN)}$ = 3.5V、	$I_{(VCC)}$ = 1mA ～ 200mA		65	120	mV
		V_{BIAS} = 3.5V、$V_{(VIN)}$ = 2.8V、$I_{(VCC)}$ = 35mA				200	mV
	VIN LDO ドロップアウト ロード レギュレーション	$V_{(BIAS)}$ = 0V、$V_{(VIN)}$ = 6.7V、	$I_{(VCC)}$ = 1mA ～ 175mA		65	120	mV
		$V_{(BIAS)}$ = 0V、$V_{(VIN)}$ = 3.5V、$I_{(VCC)}$ = 15mA			100	200	mV
	VCC UVLO 遅延	VCC 立ち上がり			6		us
	VCC のソース電流制限	VCC ≥ 4.5V	$V_{(BIAS)}$ = 0V、$V_{(VIN)}$ = 12V、	200			mA
			$V_{(VIN)}$ = 3.5V、	200			mA
$V_{T+(VCC)}$	正方向スレッショルド	V(VCC) 立ち上がり		3.4	3.45	3.5	V
$V_{T-(VCC)}$	負方向スレッショルド	V(VCC) 立ち下がり		3.2	3.25	3.3	V
$V_{T+(VCC,SUP)}$	LDO スイッチ オーバーの正方向スレッショルド			6.35	6.5	6.7	V
$V_{hyst(VCC,SUP)}$	LDO スイッチ オーバー ヒステリシス			60			mV
イネーブル							
$V_{T+(EN)}$	正方向スレッショルドを有効にする	EN 立ち上がり		0.47	0.63	0.8	V
$V_{T-(EN)}$	負方向スレッショルドを有効にする	EN 立ち下がり		0.45	0.6	0.75	V

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

標準値は T_J = 25℃ に対応します。最小および最大の制限値は、T_J = -40℃ ～ 125°C の範囲で適用されます。特に記述のない限り、$V_{(BIAS)}$ =12V

パラメータ		テスト条件		最小値	標準値	最大値	単位
Vhyst(EN)	スレッショルド ヒステリシスをイネーブル	EN 立ち下がり		20		100	mV
$t_{d(EN)}$	シャットダウン遅延時間			14	20		us
UVLO							
	VDET 正方向のスレッショルド	$V_{(VIN)}$ 立ち上がり		3.3	3.4	3.55	V
	VDET 負方向のスレッショルド	$V_{(VIN)}$ 立ち下がり		2.6	2.7	2.85	V
$V_{T+(UVLO)}$	UVLO 正方向のスレッショルド	$V_{(EN/UVLO)}$ 立ち上がり		1.22	1.25	1.28	V
$V_{T-(UVLO)}$	UVLO 負方向のスレッショルド	$V_{(EN/UVLO)}$ 立ち下がり		1.17	1.2	1.23	V
I_{UVLO}	UVLO ヒステリシスのシンク電流	0.7V ≤ $V_{(EN/UVLO)}$ < 1.22V		4	5	6	µA
	スイッチング開始までの時間をイネーブルにする	VCC = 5V、$V_{T+(UVLO)}$ > 1.3V			95	100	us
$t_{d(UVLO)}$	UVLO および VDET 検出遅延時間	$V_{(EN/UVLO)}$ 立ち下がり、V(VDET) 立ち下がり		25.5	30	34.5	µs
SYNC							
$V_{T+(SYNC)}$	同期入力の正の方向スレッショルド					1.19	V
$V_{T-(SYNC)}$	同期入力の負の方向スレッショルド			0.41			V
	同期アクティビティ検出周波数			99			kHz
$t_{d(Det,Sync)}$	同期アクティビティ検出遅延	$f_{(SYNC)}$ を基準とします				3	サイクル
	同期 PLL ロック時間	$f_{(SYNC)}$ を基準とします	$f_{(SYNC)}$ - 5% < $f_{(sw)}$ < $f_{(SYNC)}$ + 5% まで		10		サイクル
ソフト スタート							
$I_{(SS)}$	ソフトスタート電流			8.9	10	11	µA
	SS プルダウン スイッチ $R_{DS(on)}$	$V_{(SS)}$ = 1 V			23	40	Ω
$t_{d(DISCH;SS)}$	SS ピン放電時間	内部 SS 放電から、ソフトスタート電流によってピンが再度充電されるまでの時間		500			µs
$V_{(SS,clamp)}$	SS ピンのクランプ電圧			3	5	5.25	V
パルス幅変調							
	スイッチング周波数	R_{RT} = 16.2kΩ		1600	1800	2000	kHz
	スイッチング周波数	R_{RT} = 316kΩ		90	100	110	kHz
	最小の制御可能なオン時間	fPWM、R_{RT} = 16.2kΩ、正のインダクタ電流	昇圧モード		88		ns
			降圧モード		128		ns
	制御可能な最小オフ時間		昇圧モード		152		ns
			降圧モード		148		ns
	RT のレギュレーション電圧			0.7	0.75	0.8	V
スペクトラム拡散							
	スイッチング周波数変調範囲	上限			7.8		%
		下限			-7.8		%
VOUT トラッキング							
$V_{T+(DTRK)}$	DTRK 正方向のスレッショルド	$V_{(DTRK)}$ 立ち上がり				1.19	V
$V_{T-(DTRK)}$	DTRK 負方向のスレッショルド	$V_{(DTRK)}$ 立ち下がり		0.41			V
$t_{d(Det,DTRK)}$	DTRK アクティビティ検出遅延	$f_{(DTRK)}$ を基準とします				3	サイクル

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

標準値は T_J = 25℃ に対応します。最小および最大の制限値は、T_J = -40℃ ～ 125°C の範囲で適用されます。特に記述のない限り、$V_{(BIAS)}$ =12V

パラメータ		テスト条件		最小値	標準値	最大値	単位
fc(LPF)	内部ローパスのコーナー周波数				35		kHz
	$V_{(REF)}$ 電圧オフセット誤差	$f_{(DTRK)}$ = 500kHz、デューティ = 50%				±10	mV
モード選択							
$V_{T+(MODE)}$	モード入力の正方向スレッショルド					1.19	V
$V_{T-(MODE)}$	モード入力の負の方向スレッショルド			0.41			V
電流検出							
$V_{th+(CSB-CSA)}$	正のピーク電流制限スレッショルド	LM51770		42.5	50	57.5	mV
$V_{th+(CSB-CSA)}$			T_J = 25℃～85℃	43.9	50	54.1	mV
$V_{th-(CSB-CSA)}$	負のピーク電流制限スレッショルド			-57.5	-50	-42.5	mV
$V_{th-(CSB-CSA)}$			T_J = 25℃～85℃	-56.3	-50	-42.9	mV
	PSM エントリ スレッショルド		PSM ENTRY = 10%	1.2	5.0	9.2	mV
			PSM ENTRY = 15%	3.4	7.5	11.9	mV
	部品間のピーク電流制限スレッショルドにより、ピーク電流を制限					±10	%
			T_J = 25℃～85℃			±8.5	%
	正のピーク電流制限スレッショルド	LM517701		65.625	75	84.375	mV
			T_J = 25℃～85℃	67.2	75	80.2	mV
	負のピーク電流制限スレッショルド			-84.375	-75	-65.625	mV
			T_J = 25℃～85℃	-83.2	-75	-66.5	mV
	PSM エントリ スレッショルド		PSM ENTRY = 10%	3.3	7.5	12.2	mV
			PSM ENTRY = 15%	6.4	11.25	16.2	mV
	部品間のピーク電流制限スレッショルドにより、ピーク電流を制限					±12.75	%
			T_J = 25℃～85℃			±10.5	%
電流モニタ/リミッタ							
$gm_{(IMON)}$	電流センスアンプのトランスコンダクタンス	IMON_LIMITER_EN = 0b0	0mV ≤ $\Delta V_{(ISNS)}$ ≤ 50mV	0.9	1	1.1	mS
	オフセット電圧 (1)	IMON_LIMITER_EN = 0b0	T_J = 25℃			±1	mV
	電流センス アンプ帯域幅			1	2		MHz
	出力電流 IMONOUT	IMON_LIMITER_EN = 0b0、T_J = -40°C ～ 125°C	$\Delta V_{(ISNS)}$ = 45mV	39	45	49.5	µA
			$\Delta V_{(ISNS)}$ = 5mV	1	5	8.1	µA
$gm_{(ILIM)}$	電流センスアンプのトランスコンダクタンス	IMON_LIMITER_EN = 0b1		170	200	220	µs
$\Delta V_{(ISNS)}$	電流センス オフセットおよびスレッショルド電圧	IMON_LIMITER_EN = 0b1	T_J = 25℃	49	50	51.7	mV
	ISNS ピン入力バイアス電流	ISNSP = ISNSN = 12V			80	115	µA
	IMONOUT 負の出力ヘッドルーム	$V_{(BIAS)}$ > 6.5V、$V_{(IMONOUT)}$ = 1V で $I_{(IMONOUT)}$ = $I_{(IMONOUT)}$ x 0.975	ΔV = 50mV、VCC を基準とします		300	500	mV
			ΔV = –50mV、GND を基準とします		300	500	mV
$V_{T+(DIS,IMON)}$	IMON を無効化するための正方向スレッショルド	VCC を基準とします		55	65	75	%

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

標準値は T_J = 25℃ に対応します。最小および最大の制限値は、T_J = -40℃ ～ 125°C の範囲で適用されます。特に記述のない限り、$V_{(BIAS)}$ =12V

パラメータ			テスト条件		最小値	標準値	最大値	単位
ヒカップ モード保護								
	ヒカップ モード オン時間					1		ms
	ヒカップ モード オフ時間					24		ms
エラー アンプ								
V_{REF}	FB 基準電圧	FB リファレンス			0.99	1	1.01	V
	FB 基準電圧		強制 $V_{(SS)}$ = 0.95V		0.92	0.95	0.98	V
	FB ピンのリーク電流		$V_{(FB)}$ = 1V				60	nA
	相互コンダクタンス					600		µs
	出力抵抗				13	96		MΩ
	COMP ソース電流				65	150		µA
	COMP シンク電流				65	150		µA
	COMP クランプ電圧		$V_{(FB)}$ = 990mV		1.2	1.25	1.3	V
	COMP クランプ電圧		$V_{(FB)}$ = 1.01V		0.225	0.240	0.255	V
	ユニティ ゲイン帯域幅					4.5		MHz
$V_{T+(SEL,iFB)}$	内部 FB 動作を選択するための正の方向スレッショルド		$V_{(FB)}$ 立ち上がり		2.45	2.5	2.55	V
OVP								
VT+(OVP)	過電圧立ち上がりスレッショルド		FB の立ち上がり (V_{REF} を基準とする)		107	110	115	%
VT-(OVP)	過電圧立ち下がりスレッショルド		FB の立ち下がり (V_{REF} を基準とする)		101	105	109	%
	過電圧グリッチ除去時間				9	10	12.5	µs
VT+(OVP2)	過電圧 2 立ち上がりスレッショルド		$V_{(VOUT)}$ の立ち上がり		80.5	83.5	86	V
VT+(IVP)	過電圧立ち上がりスレッショルド		$V_{(VIN)}$ の立ち上がり		80.5		86	V
nFLT								
	nFLT プルダウン スイッチのオン抵抗		1mA のシンク			100		Ω
	パワーグッドの正方向スレッショルド		FB 立ち上がり (V_{REF} を基準とする)			95		%
	パワーグッドの負方向スレッショルド		FB 立ち下がり (V_{REF} を基準とする)			90		%
	nFLT オフ状態リーク		$V_{(nFLT)}$=5V				100	nA
$t_{d(nFLT-PIN)}$	nFLT ピンの応答時間		nFLT が low になるまで、フォルト イベントから測定				37	µs
MOSFET ドライバ								
t_r	立ち上がり時間	HG1、HG2、LG1、LG2	C_G = 3.3nF			12		ns
t_f	立ち下がり時間	HG1、HG2、LG1、LG2	C_G = 3.3nF			12		ns

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

標準値は T_J = 25℃ に対応します。最小および最大の制限値は、T_J = -40℃ ～ 125°C の範囲で適用されます。特に記述のない限り、$V_{(BIAS)}$ =12V

パラメータ			テスト条件		最小値	標準値	最大値	単位
t_t	デッドタイム	HOx は High から Low、LOx は Low から High		$R_{(RT)}$ = 16.2kΩ		19		ns
		HOx を Low から High、LOx を High から Low に				36		ns
		HOx は High から Low、LOx は Low から High		$R_{(RT)}$ = 316kΩ		26		ns
		HOx を Low から High、LOx を High から Low に				44		ns
	ゲートドライバのローサイド PMOS オン抵抗	LO1、LO2	$I_{(test)}$ = 200mA			1.6		Ω
	ゲートドライバのハイサイド PMOS オン抵抗	HO1、HO2	$I_{(test)}$ = 200mA			1.3		Ω
	ゲートドライバのローサイド NMOS オン抵抗	LO1、LO2	$I_{(test)}$ = 200mA			0.6		Ω
	ゲートドライバのハイサイド NMOS オン抵抗	HO1、HO2	$I_{(test)}$ = 200mA			0.7		Ω
$V_{TH-(BST_UV)}$	負方向のブート ストラップ		$V_{(HBx)}$ - $V_{(SWx)}$ 立ち下がり		2.4	2.8	3.1	V
$V_{TH+(BST_UV)}$	正方向のブート ストラップ		$V_{(HBx)}$ - $V_{(SWx)}$ 立ち上がり		2.6	3	3.35	V
$V_{TH+(BST_OV)}$	正方向のブート ストラップ電圧スレッショルド	正方向のブートストラップ過電圧スレッショルド	$V_{(HBx)}$ - $V_{(SWx)}$ 立ち上がり、$I_{(HBx)}$ = 25uA		4.8	5.5	6.3	V
$V_{TH(GATEOUT)}$	ローサイド/ハイサイド ゲートドライバの出力スイッチング検出		VCC を基準とします			37		%
			V(HBx) - V(SWx) を基準とします			37		%
サーマル シャットダウン								
T_{T+J}	サーマル シャットダウンのスレッショルド	サーマル シャットダウンのスレッショルド	T_J 立ち上がり			164		°C
	サーマル シャットダウン ヒステリシス	サーマル シャットダウン ヒステリシス				15		°C
R2D インターフェイス								
	内部リファレンス抵抗				31.77	33	34.23	kΩ

Copyright © 2025 Texas Instruments Incorporated

6.5 電気的特性 (続き)

標準値は T_J = 25℃ に対応します。最小および最大の制限値は、T_J = -40℃ ～ 125°C の範囲で適用されます。特に記述のない限り、$V_{(BIAS)}$ =12V

パラメータ			テスト条件	最小値	標準値	最大値	単位
R_{CFG}	外付け選択抵抗の抵抗	R2D 設定 #0			0	0.1	kΩ
		R2D 設定 #1		0.49567	0.511	0.52633	kΩ
		R2D 設定 #2		1.1155	1.15	1.1845	kΩ
		R2D 設定 #3		1.8139	1.87	1.9261	kΩ
		R2D 設定 #4		2.6578	2.74	2.8222	kΩ
		R2D 設定 #5		3.7151	3.83	3.9449	kΩ
		R2D 設定 #6		4.9567	5.11	5.2633	kΩ
		R2D 設定 #7		6.2953	6.49	6.6847	kΩ
		R2D 設定 #8		8.0025	8.25	8.4975	kΩ
		R2D 設定 #9		10.185	10.5	10.815	kΩ
		R2D 設定 #10		12.901	13.3	13.699	kΩ
		R2D 設定 #11		15.714	16.2	16.686	kΩ
		R2D 設定 #12		19.885	20.5	21.115	kΩ
		R2D 設定 #13		24.153	24.9	25.647	kΩ
		R2D 設定 #14		29.197	30.1	31.003	kΩ
		R2D 設定 #15		35.405	36.5	37.595	kΩ

(1) ゼロ オフセットは補間によって決定されます

6.6 タイミング要件

動作接合部温度範囲および推奨電源電圧範囲（特に記載のない限り）

			最小値	公称値	最大値	単位
全体的なデバイス機能						
	最小時間 Low EN トグル	EN から測定した時間 H から L、L から H への切り替え	22			µs

Copyright © 2025 Texas Instruments Incorporated

6.7 SNVSCL2 の代表的特性

以下の条件が適用されます (特に記述のない限り)。T_J = 25°C、$V_{(VCC)}$ = 5V

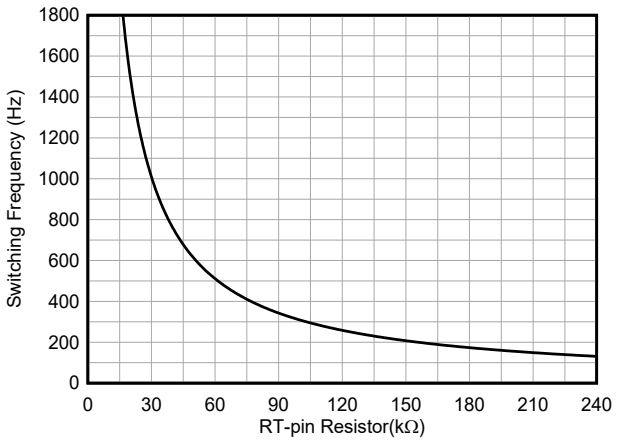


図 6-1. スイッチング周波数と RT 抵抗との関係

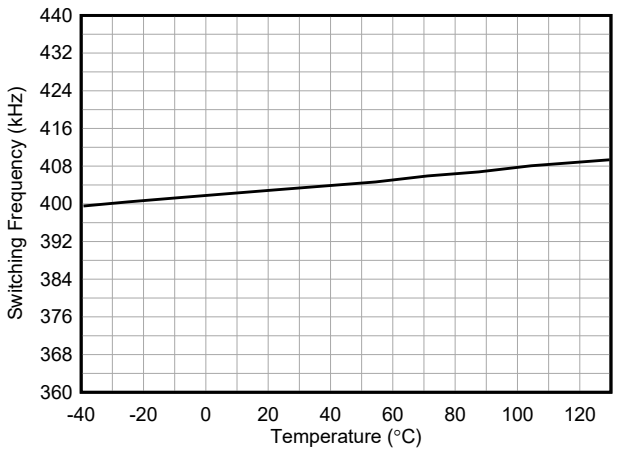


図 6-2. スイッチング周波数と温度との関係 ($R_{(RT)}$ = 75kΩ)

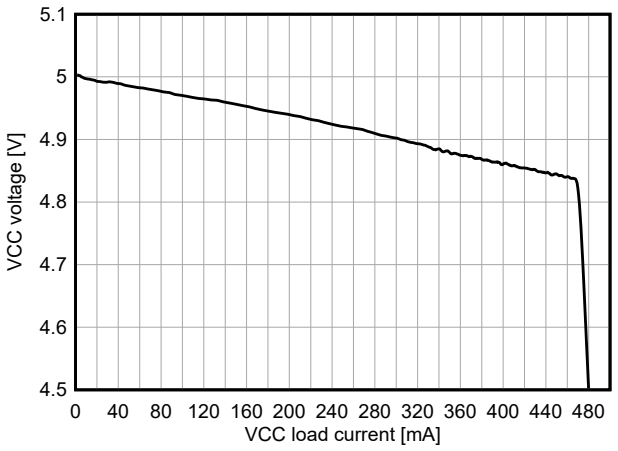


図 6-3. VIN LDO - VCC 電圧と VCC 負荷電流との関係

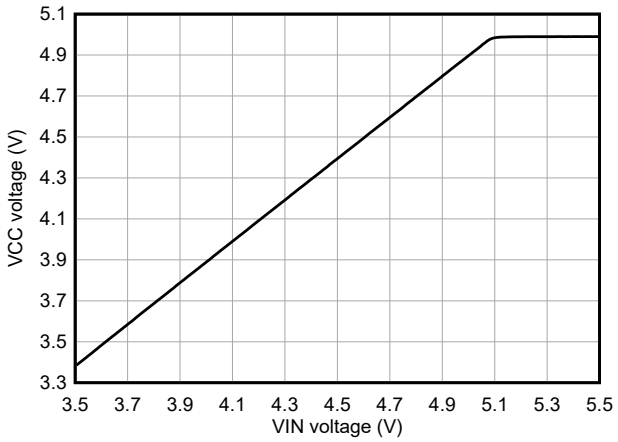


図 6-4. VIN LDO - VCC 電圧と VIN 電圧との関係
$I_{(VCC)}$ = 20mA

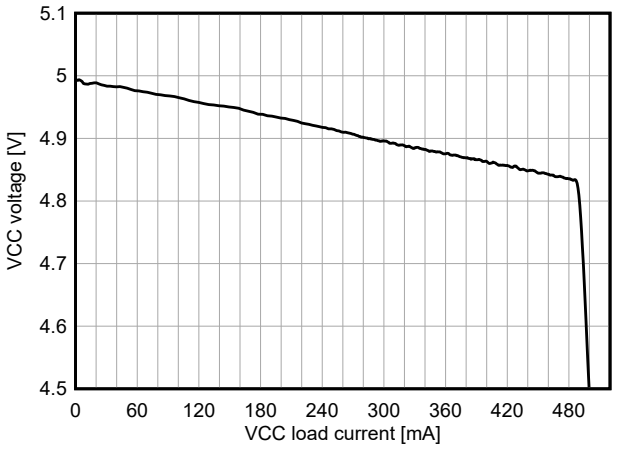


図 6-5. BIAS LDO - VCC 電圧と VCC 負荷電流との関係

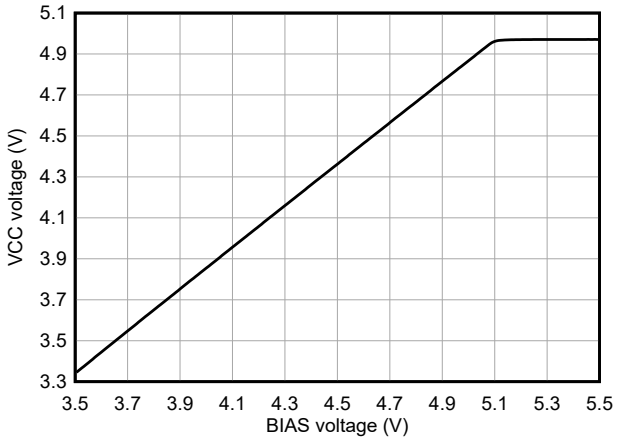


図 6-6. BIAS LDO - VCC 電圧と BIAS 電圧との関係
$I_{(VCC)}$ = 50mA

Copyright © 2025 Texas Instruments Incorporated

6.7 SNVSCL2 の代表的特性 (続き)

以下の条件が適用されます (特に記述のない限り)。T_J = 25°C、$V_{(VCC)}$ = 5V

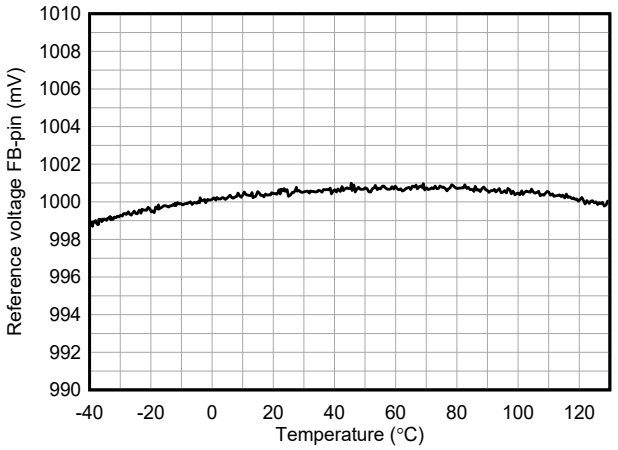


図 6-7. FB ピン リファレンス電圧と温度との関係

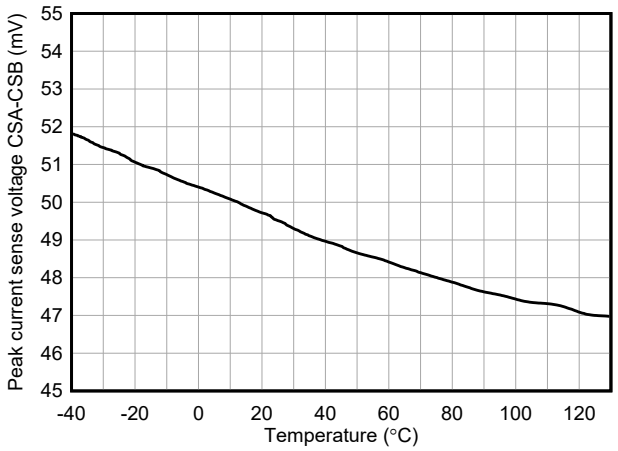


図 6-8. LM51770 電流制限スレッショルド電圧と温度との関係

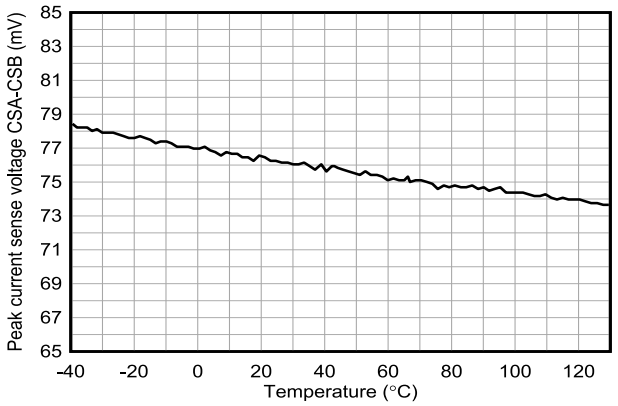


図 6-9. LM517701 電流制限スレッショルド電圧と温度との関係

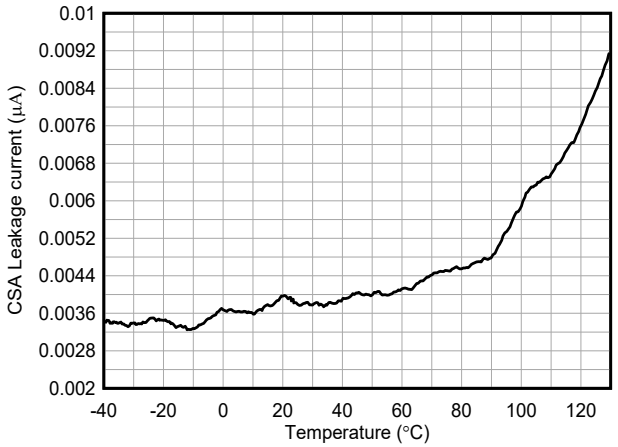


図 6-10. CSA 入力電流と温度との関係

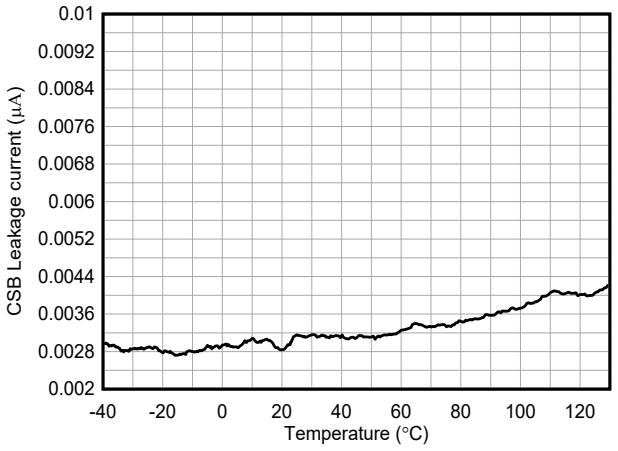


図 6-11. CSB 入力電流と温度との関係

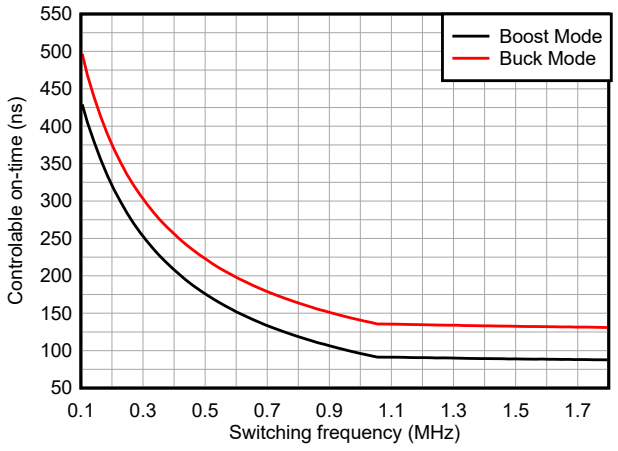


図 6-12. 制御可能な最小オン時間とスイッチング周波数との関係

Copyright © 2025 Texas Instruments Incorporated

6.7 SNVSCL2 の代表的特性 (続き)

以下の条件が適用されます (特に記述のない限り)。T_J = 25°C、$V_{(VCC)}$ = 5V

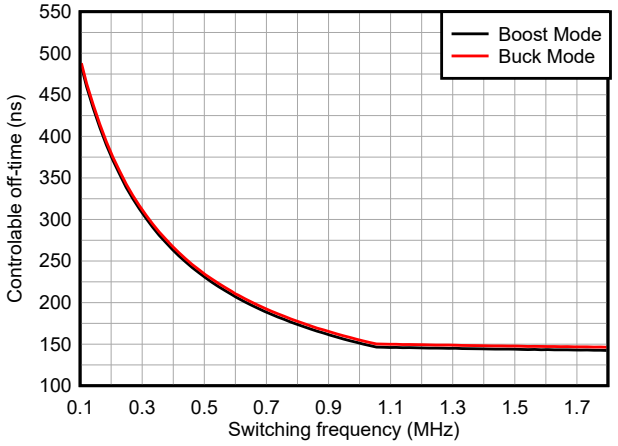


図 6-13. 制御可能な最小オフ時間とスイッチング周波数との関係

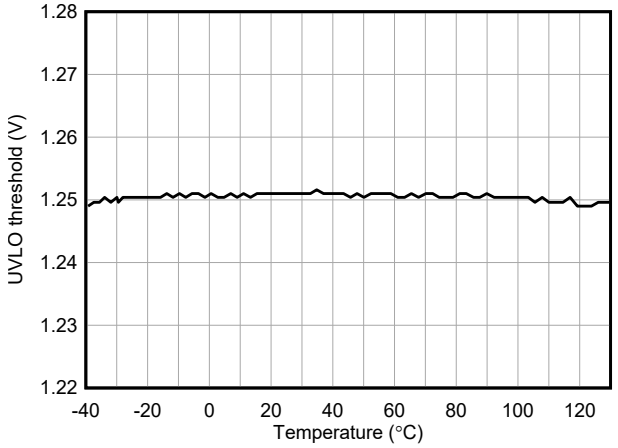


図 6-14. UVLO スレッショルドと温度との関係

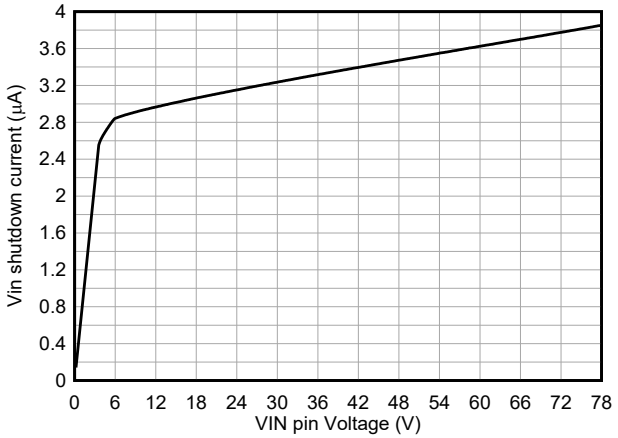


図 6-15. VIN へのシャットダウン電流とピン電圧との関係
$V_{EN/UVLO}$ = 0V、$V_{(VIN)}$ = 12V、$V_{(BIAS)}$ = 0V

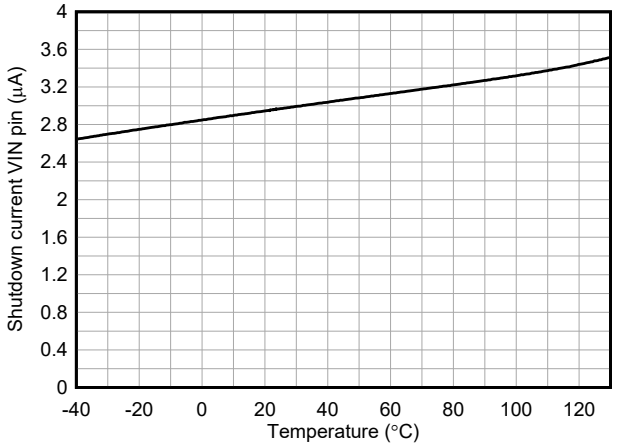


図 6-16. VIN へのシャットダウン電流と温度との関係
$V_{EN/UVLO}$ = 0V、$V_{(VIN)}$ = 12V、$V_{(BIAS)}$ = 0V

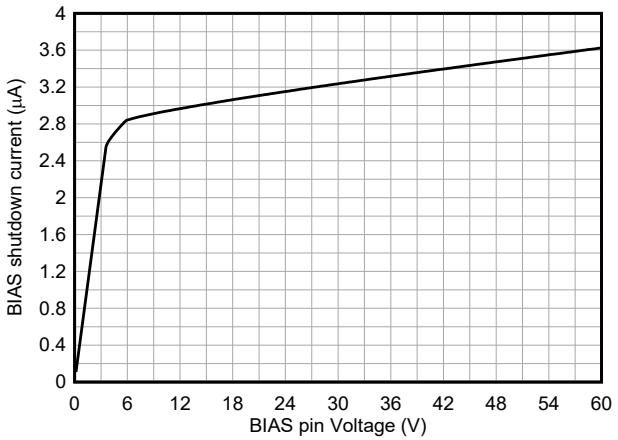


図 6-17. BIAS へのシャットダウン電流とピン電圧との関係
$V_{EN/UVLO}$ = 0V、$V_{(BIAS)}$ = 12V、$V_{(VIN)}$ = 3.5V

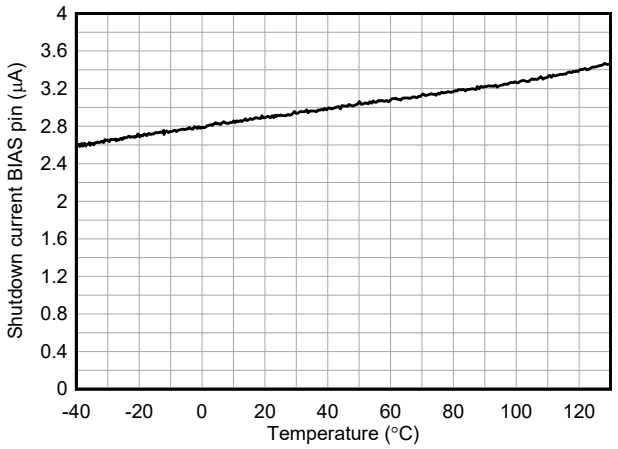


図 6-18. BIAS へのシャットダウン電流と温度との関係
$V_{EN/UVLO}$ = 0V、$V_{(BIAS)}$ = 12V、$V_{(VIN)}$ = 3.5V

Copyright © 2025 Texas Instruments Incorporated

6.7 SNVSCL2 の代表的特性 (続き)

以下の条件が適用されます (特に記述のない限り)。T_J = 25°C、$V_{(VCC)}$ = 5V

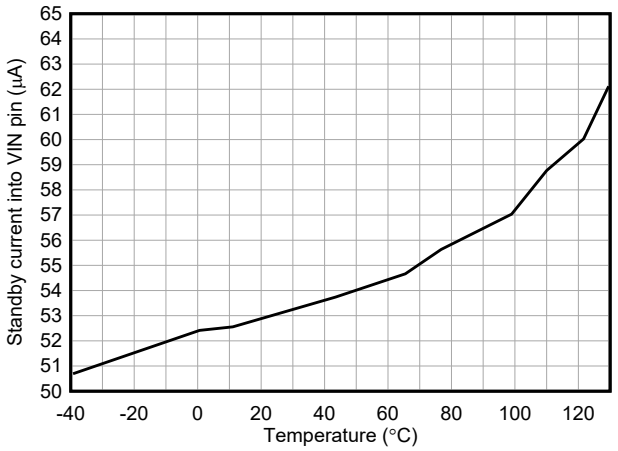


図 6-19. VIN へのスタンバイ電流と温度との関係
$V_{EN/UVLO}$ = 0.8V、$V_{(VIN)}$ = 12V、$V_{(BIAS)}$ = 0V

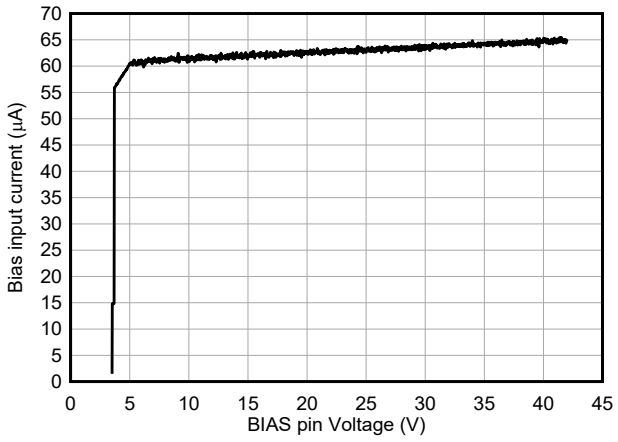


図 6-20. BIAS へのスタンバイ電流とピン電圧との関係
$V_{EN/UVLO}$ = 3.3V、$V_{(BIAS)}$ = 12V、$V_{(VIN)}$ = 3.5V

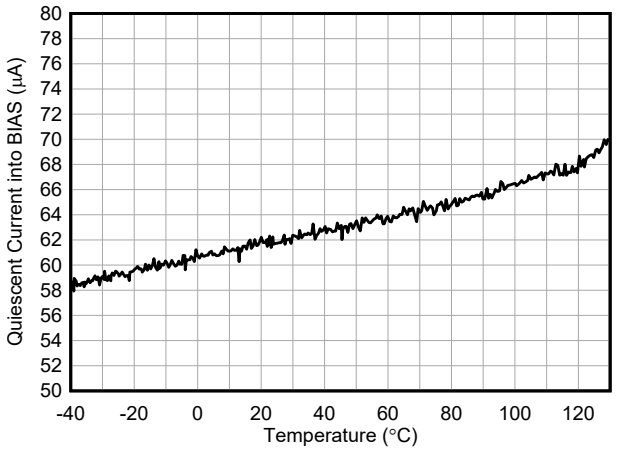


図 6-21. BIAS へのスタンバイ電流と温度との関係
$V_{EN/UVLO}$ = 3.3V、$V_{(BIAS)}$ = 12V、$V_{(VIN)}$ = 3.5V

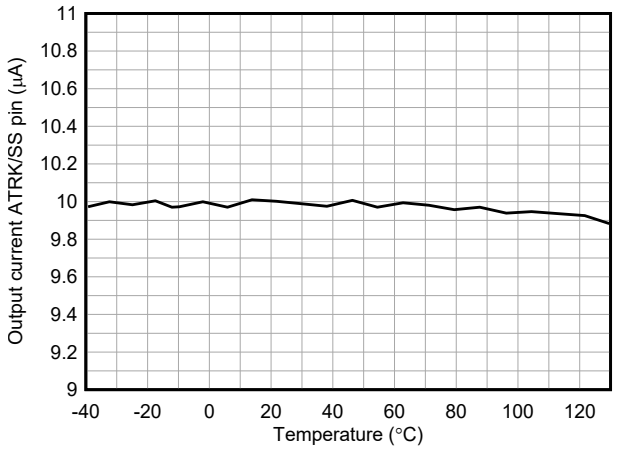


図 6-22. ソフトスタート電流と温度との関係

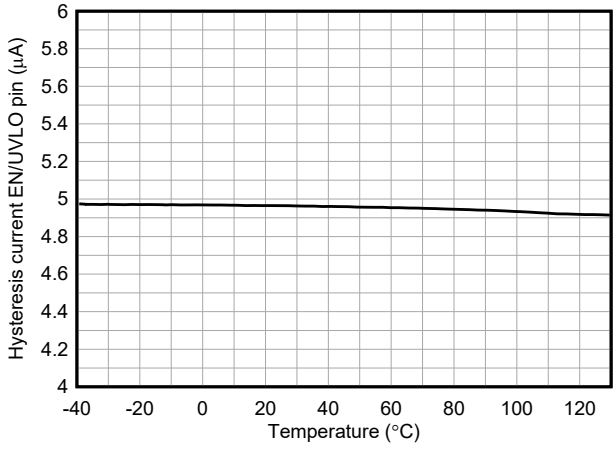


図 6-23. EN/UVLO ヒステリシス電流と温度との関係

Copyright © 2025 Texas Instruments Incorporated

7 パラメータ測定情報

7.1 ゲート ドライバの立ち上がり時間と立ち下がり時間

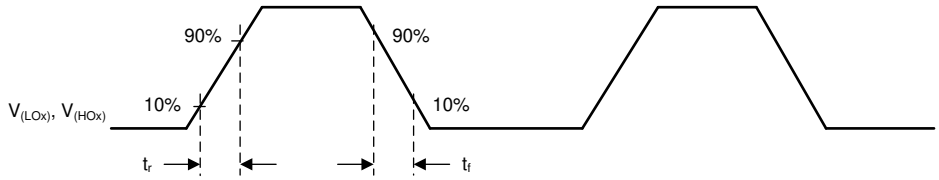


図 7-1. タイミング図ゲート ドライバ t_r、t_f

7.2 ゲート ドライバ デッド (遷移) 時間

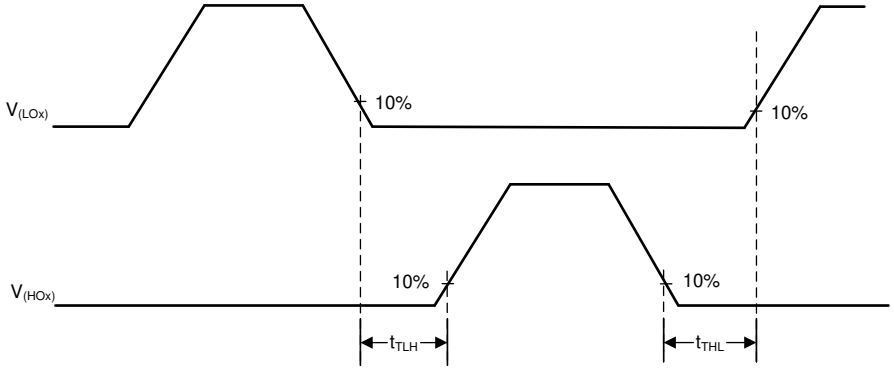


図 7-2. タイミング図ゲート ドライバ t_t

8 詳細説明

8.1 概要

LM51770x は、4 スイッチ昇降圧コントローラです。本デバイスは入力電圧が、調整された出力電圧よりも高い、等しい、または低い場合に、レギュレートされた出力電圧を供給します。

LM51770x は、パワー セーブ モードでは、きわめて優れた効率の電流を全範囲にわたって出力します。この動作モードは、動作中は即座にピンで選択できます。独自の昇降圧変調方式は、RT/SYNC ピンを経由して設定される固定スイッチング周波数でも動作します。降圧、昇圧、昇降圧動作中も、スイッチング周波数は一定に維持されます。このデバイスは、すべての動作モードにわたって小さなモード遷移リップルを維持します。デュアル ランダム スペクトラム拡散動作を起動することにより、設計プロセスのどの時点でも EMI の低減を実現できます。

内蔵、オプションの平均電流モニタは、LM51770x の入出力電流の監視と制限に役立ちます。また、この機能は、定電流 (CC) と定電圧 (CV) を使用する、バッテリなどのバックアップ電源要素の充電もサポートしています。

LM51770x 出力電圧は、動作中に動的に調整します (動的な電圧スケーリングとエンベロープ追跡)。SS/ATRK ピンのアナログ リファレンス電圧を変更するか、DTRK ピンの PWM 入力信号を直接使用することで調整できます。

内蔵の広入力 LDO は、さまざまな入力および出力電圧状況下で、デバイス機能に対して確実に電源供給します。高い駆動能力とヘッドルームに応じた自動電圧選択により、高スイッチング周波数動作でも電力損失が最小限に抑えられます。デバイスの電力損失をさらに低減するには、別の BIAS ピンを入力、出力、または外部電源に接続します。未定義のエラー処理を避けるため、常に内部電源電圧が監視されます。

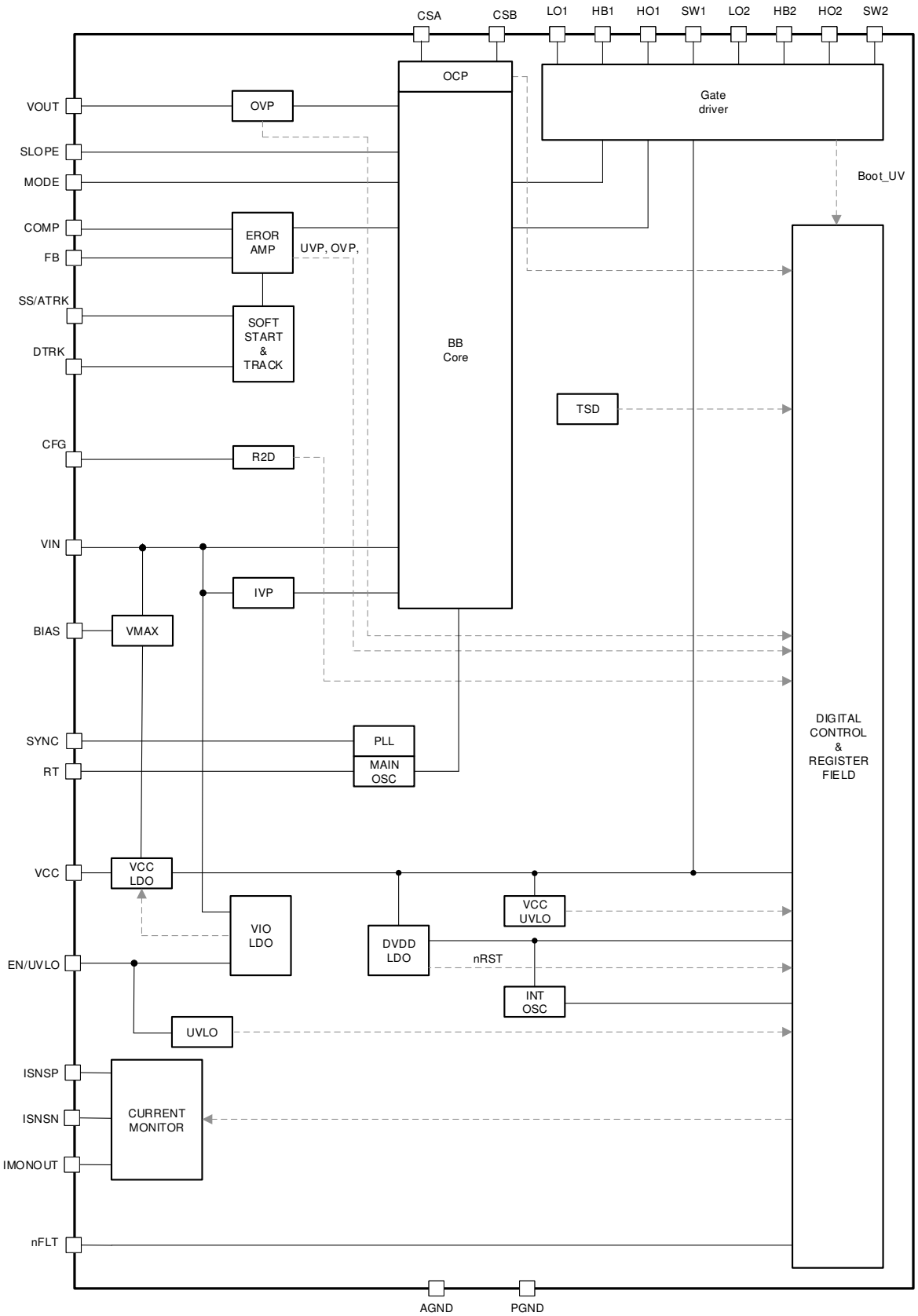
LM51770x は、フル ブリッジ N チャネル MOSFET ドライバを内蔵しています。ゲート ドライバ回路には高い駆動能力があり、対応する多種多様なアプリケーションにわたって高いターゲット効率を保証します。このゲート ドライバには、高電圧、低ドロップアウトのブートストラップ ダイオードが内蔵されています。内部ブートストラップ回路には、負のスパイクによって注入される過電圧に対するの保護機能と、低電圧誤動作防止保護機能があるため、外部パワー FET のリニア動作を防止されます。ブートストラップ回路により、純粋な昇圧または降圧モードで 100% のデューティ サイクル動作が保証されます。

R2D (抵抗/デジタル変換) インターフェイスにより、ソフトスタートのアナログ設定によって突入電流が最小化される場合のデバイス機能すべてを簡単かつ確実に選択できます。さらに、制御ループおよびスロープ補償により、サポートされる幅広いアプリケーション事例で、クラス最高の出力性能を実現できます。

内蔵の保護機能により、さまざまな故障状況で安全な動作が実現します。ブラウンアウト状態を回避するため、V_{IN} 低電圧誤動作防止保護機能があります。入力 UVLO スレッショルドとヒステリシスは、外部の帰還分圧器を使用して構成できるため、さまざまな設計においてブラウンアウトが回避されます。このデバイスは、出力過電圧保護機能と、負の電流動作に対する入力過電圧保護機能を備えています。選択可能なヒカップ過電流保護により、内部的なサイクル単位のピーク電流保護機能を使用して、過剰な短絡電流を防止します。デバイスにはサーマル シャットダウンが内蔵されているため、内部 VCC レギュレータの過負荷状態により生じる、熱による損傷から保護されます。すべての出力関連の故障イベントは監視され、デバイスのオープン ドレイン nFLT ピンで通知されます。

Copyright © 2025 Texas Instruments Incorporated

8.2 機能ブロック図


CSA
CSB
LO1
HB1
HO1
SW1
LO2
HB2
HO2
SW2
OCP
Gate driver
Boot_UV
VOUT
OVP
SLOPE
MODE
COMP
EROR AMP
UVP, OVP,
FB
SS/ATRK
SOFT START & TRACK
DTRK
BB Core
TSD
CFG
R2D
VIN
IVP
BIAS
VMAX
SYNC
PLL
RT
MAIN OSC
DIGITAL CONTROL & REGISTER FIELD
VCC
VCC LDO
VCC UVLO
VIO LDO
DVDD LDO
nRST
EN/UVLO
INT OSC
UVLO
ISNSP
ISNSN
IMONOUT
CURRENT MONITOR
nFLT
AGND
PGND

8.3 機能説明

8.3.1 パワーオン リセット (POR システム)

内蔵のパワーオン リセット システムにより、ゲート ドライバ以外のすべての内部機能回路に電源が供給され、内部ロジックの監視が処理されます。このブロックは静止電流が小さいため、システム全体のシャットダウン電流が非常に小さくなります。POR システムは、VIN ピンと BIAS ピンの間に電力 OR 接続を行い、出力や入力の短絡などの極端な動作条件下でも機能を実現できます。

VIN または BIAS の電圧が POR スレッショルドを上回ると、デバイス ロジックは初期化プロセスを開始し、EN/UVLO ピンを継続的に監視して、選択された UVLO スレッショルドでコンバータの動作を開始または停止します。POR システムには、VIN ピンについて追加の電圧検出機能があります。このブロックは入力電圧を監視し、コントローラの電力段の動作が推奨される最小動作入力電圧の範囲外でブロックされるようにします。

8.3.2 昇降圧制御方式

LM51770x 昇降圧制御アルゴリズムにより、異なる動作モード、固定周波数動作、電力段保護機能間でシームレスに遷移できます。内部ステート マシンは、次の 3 つのアクティブなスイッチング状態を使用して電流フローを制御します。

状態 I:トランジスタ Q1 と Q3 は導通状態です。Q2 と Q4 は導通していません (昇圧モードの磁化状態)。

状態 II:トランジスタ Q1 と Q4 は導通状態です。Q2 と Q3 は導通していません (昇圧消磁または降圧磁化状態)。

状態 III:トランジスタ Q2 と Q4 は導通状態です。Q1 と Q3 は導通していない (降圧消磁状態)。

スイッチ	状態 I	状態 II	状態 III
Q1	オン	オン	OFF
Q2	OFF	OFF	オン
Q3	オン	OFF	OFF
Q4	OFF	オン	オン

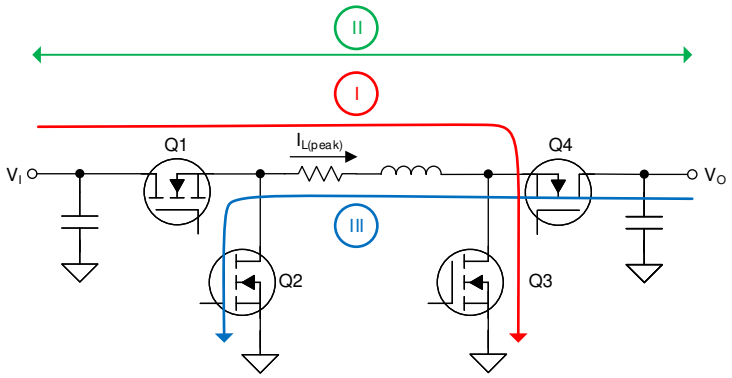


図 8-1. 昇降圧アクティブ スイッチング状態

8.3.2.1 昇圧モード

昇圧モード動作では、コンバータは内部クロック信号によって昇圧磁化サイクル (スイッチング状態 I) を開始します。インダクタ電流がサンプリングされると、デバイスは昇圧の消磁状態であるスイッチング状態 II に遷移します。昇圧モードでの最大デューティ サイクルは、最小昇圧オン時間と、選択したスイッチング周波数によって制限されます。

Copyright © 2025 Texas Instruments Incorporated

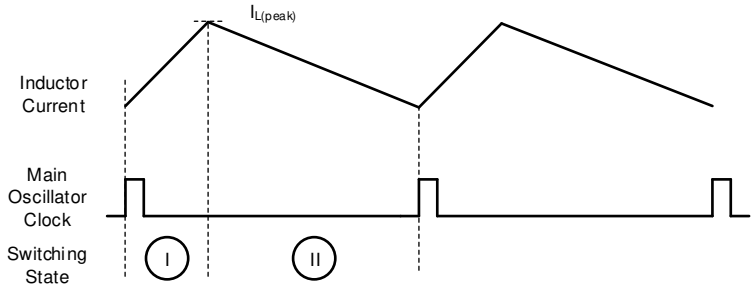


図 8-2. 連続電流昇圧動作時のインダクタ電流

8.3.2.2 降圧モード

降圧モード動作では、コンバータは内部クロック信号によって降圧磁化サイクル (状態 II) を開始します。インダクタがピーク電流に達すると、コンバータは降圧消磁 (状態 III) に進みます。次のクロック信号が得られると、コンバータは降圧の磁化サイクルに戻り、ピーク電流のサンプリングで新しいスイッチング サイクルを開始します。デューティ サイクルが最小オフ時間に達しない限り、電流制御は降圧動作モードに維持されます。

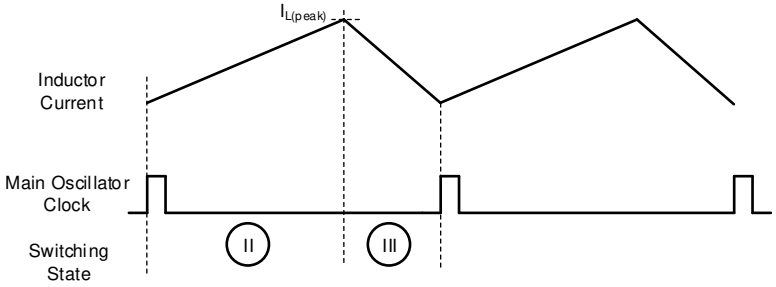


図 8-3. 連続電流降圧動作におけるインダクタ電流

8.3.2.3 昇降圧モード

昇圧モード動作でのオン時間が最小オン時間よりも短く、または降圧モードでのオフ時間が最小オフ時間を下回ると、制御は昇降圧動作に移行します。連続電流昇降圧モードでは、制御によって、ピーク電流に達する前に昇圧磁化 (状態 I) スイッチング サイクルが追加されます。したがって、昇降圧動作モードは常に、3 つのスイッチング サイクルの状態 I、状態 II、状態 III すべてで構成されますこのモードでのピーク電流検出は、スイッチング状態 I の終了時に行われます

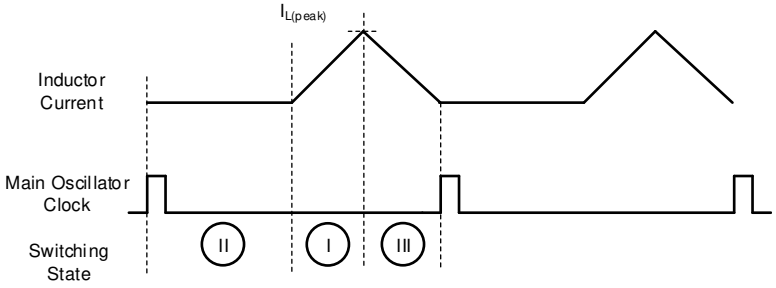


図 8-4. 連続昇降圧動作でのインダクタ電流

8.3.3 パワー セーブ モード

MODE ピンが low の場合、パワー セーブ モード (PSM) が有効になります。この動作モードでは、スイッチング動作が低下し、効率が最大化されます。MODE ピンが high の場合、パワー セーブ モードはディセーブルです。その後、コンバータは連続導通モード (CCM) または強制 PWM モード (fPWM) で動作します。

PFM 昇圧、降圧、昇降圧モードでは、コンバータは定義された最小ピーク電流まで動作します。この最小電流 (PSM エントリ スレッショルド) に達すると、PWM は動作を単一パルスに変化させます。単一パルス動作は、3 つの状態 (I、II、III)

Copyright © 2025 Texas Instruments Incorporated

すべてで構成されます。単一パルス動作におけるデューティ サイクルは、タイマ ベースであり、VIN と VOUT のさまざまなセンス電圧に対応しています。出力電圧リップルを小さくするため、コンバータの変調方式では、PSM エントリ スレッショルド以下のスイッチング動作に 1 つまたは複数の単一パルスを使用します。

インダクタ電流 (負荷電流) がさらに減少すると、単一パルスの周波数は、選択されたスイッチング周波数の約 1/4 に低下します。インダクタ (負荷電流) がさらに減少すると、負荷により消費されるエネルギーが、スイッチング中にコンバータが生成するエネルギーよりも小さいため、出力電圧が上昇します。V_O が増加すると、電圧レギュレーション ループがその増加を検出し、デバイスをスリープ モード (uSleep) にします。

usleep モードでは、両方のローサイドがオンになり、HB1 と HB2 のハイサイド ゲート電源を充電します。その他の内部回路は部分的にオフになっており、コンバータの消費電流を可能な限り最小限に抑えることができます。出力電圧が公称出力電圧設定点に達した場合、短いウェークアップ時間の後にスイッチング動作が再度開始されます。

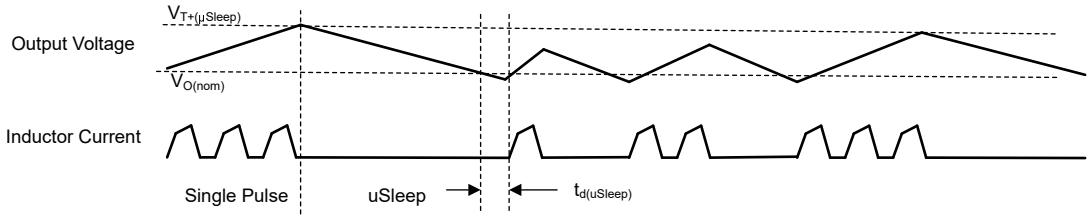


図 8-5. パワー セーブ モード (スリープ有効) のタイミング図

SYNC ピン上の推奨範囲内の信号が印加された場合、デバイスは uSleep モードには移行しません。この動作により、クロック同期が使用されると、内部 PLL は動作中に維持され、負荷の変化にすばやく反応します。単一パルス間の一時停止は同じままですが、クロック同期信号の静止電流は、uSleep の通常動作よりも高くなります。

PSM — ACM (自動導通モード) は、LM51770 4 スイッチ昇降圧動作用の大出力電流のパワー セーブ モードです。負荷が PSM エントリ スレッショルドを超える昇降圧動作領域では、スイッチング パルスがスキップされ、制御は ACM に入ります。この場合、このデバイスのレギュレーションは状態 II を維持し、電力段の出力に入力を導通します。必要に応じて、制御が状態 I または状態 III の最小時間でスイッチング動作を開始し、電圧レギュレーション ループで要求されるようにインダクタ電流を維持します。したがって、出力電圧は依然として完全にレギュレートされ、本デバイスは OCP などのすべての保護機能を維持します。

Copyright © 2025 Texas Instruments Incorporated

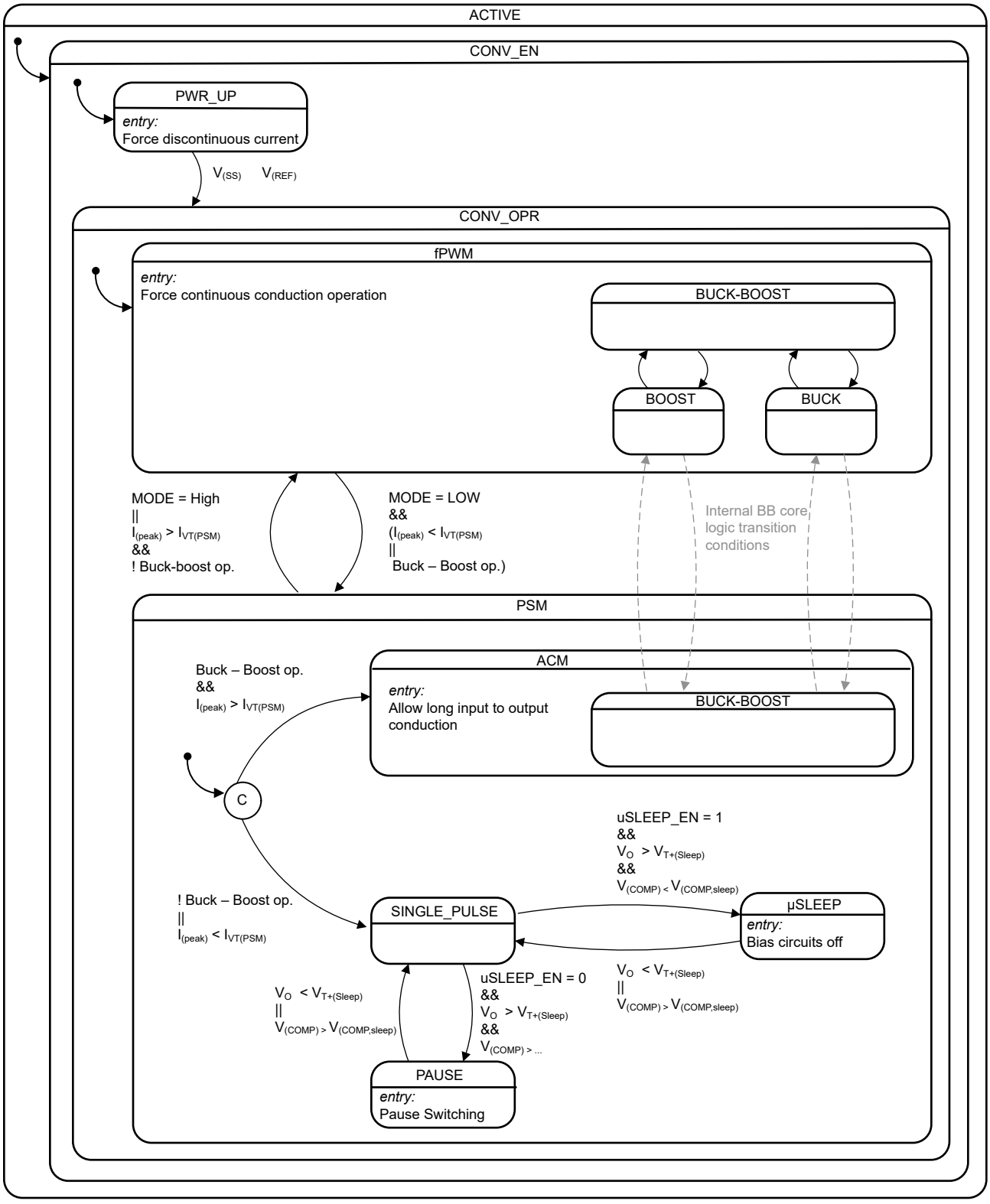


図 8-6. デフォルトのレジスタ設定を使用した PSM の機能状態図

8.3.4 電源電圧の選択 – VMAX スイッチ

内部電圧レギュレータに電力を供給する 2 本のピンがあります。内部電源電圧の選択回路の関係で、低い入力または出力電圧に対して、および出力短絡などの過渡動作条件でもシームレスに動作するようにすることで、消費電力を低減できます。VMAX スイッチは、両方の電圧がスイッチオーバー スレッショルド ($V_{T(VCC, SUP)}$) を上回ったとき、VIN または BIAS ピンからの低い電圧のピンを選択します。一方のピンの電圧がスレッショルドよりも低い場合は、他の電源ピンを選択します。また、両方のピンがスイッチオーバー スレッショルドよりも低い場合は、高い VIN または BIAS 電圧を電源として選択します。電源ピンの一般的な構成は、以下のとおりです。

- VIN ピンは電源電圧に接続されます。BIAS ピンは VO に接続されています。スタートアップ時には、出力電圧が電源スイッチオーバー スレッショルドを超えていなければ、VIN は内部レギュレータに電源を供給します。V_O が十分に高くなると、電源電流は BIAS ピンから供給されます。
- VIN ピンと BIAS ピンは両方とも入力電源電圧に接続されます。この構成は、入力電源電圧が通常出力電圧よりも低い、または等しいアプリケーションでよく使用されます。BIAS ピンが入力電圧に接続されているため、スタートアップの低入力電圧時に内部レギュレータの最大電流能力を実現できます。
- VIN を入力電源電圧に接続し、BIAS ピンを補助電源 (既存の 12V DC/DC コンバータなど) に接続します。この構成は、入力および出力電圧の高電圧アプリケーションで、統合リニア レギュレータによる消費電力をさらに最小化する必要がある場合に一般的に使用されます。

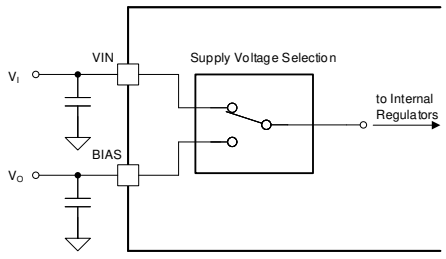


図 8-7. VMAX サプライ シナリオ 1

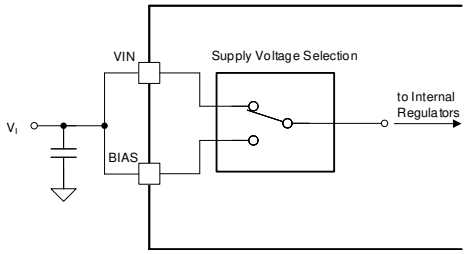


図 8-8. VMAX サプライ シナリオ 2

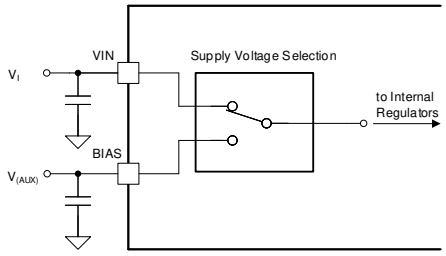


図 8-9. VMAX サプライ シナリオ 3

8.3.5 イネーブルおよび低電圧誤動作防止

LM51770x には、デュアル機能イネーブルおよび低電圧誤動作防止 (UVLO) ピンが搭載されています。ピン電圧が $V_{T+(EN)}$ スレッショルドを上回ると、内部デバイス ロジックおよびリファレンス システムは起動します。この条件が満たされる

Copyright © 2025 Texas Instruments Incorporated

と、デバイスはスタンバイ モードになります。EN/UVLO ピンの電圧が $V_{T-(EN)}$ スレッショルドを下回ると、デバイスは静止電流を節約するためにシャットダウン モードになります。セクション 8.4 に、デバイス動作モードの説明を示します。

デバイスの UVLO 機能は、電力段の低入力電圧状態を検出し、電圧低下状態を回避します。検出スレッショルドおよび必要なヒステリシスは、EN/UVLO ピンに実装された外部分圧器で調整できます。

EN/UVLO ピンの電圧が $V_{T+(EN)}$ スレッショルドを上回ると、UVLO ヒステリシスの内部電流源がアクティブになります。EN/UVLO ピンの電圧が $V_{T+(UVLO)}$ スレッショルドより高い場合、UVLO ヒステリシスの内部電流源はオフになります。

UVLO には、シャットダウンまでの内部遅延時間 ($t_{d(UVLO)}$) があり、UVLO 検出ピンの入力ノイズによって望ましくないコンバータ シャットダウンが防止されます。EN/UVLO — ピンの電圧が、遅延時間 $t_{d(UVLO)}$ にわたって $V_{T-(UVLO)}$ スレッショルドを下回るようにする必要があります。これらの条件が満たされると、デバイスのロジックはコンバータ動作を直ちに停止します。

UVLO スレッショルドは、通常、VIN と AGND の間の抵抗デバイダによって設定されます。実効ターンオン スレッショルドは、式 1 を使用して計算します。UVLO ターンオン スレッショルドとターンオフ スレッショルド間のヒステリシスは、上側抵抗と内部ヒステリシス電流によって設定されます。

$$V_{(VIN,IT+,UVLO)} = V_{IT+(UVLO)} \times \left(1 + \frac{R_{UVLO,top}}{R_{UVLO,bot}}\right) + R_{UVLO,top} \times I_{(UVLO,hyst)} \quad (1)$$

ここで、

- $R_{(UVLO,top)}$ は上側抵抗です。
- $R_{(UVLO,bot)}$ は分圧器の下側抵抗です。

8.3.6 発振器周波数の選択

LM51770x には、許容誤差の小さい内部トリム発振器があります。RT ピンをオープンのままにすると、発振器の周波数は 75kHz になります。RT ピンを接地すると、スイッチング周波数は最大 2.5MHz になります。RT ピンからグランドに抵抗を接続することで、発振器の周波数の増減をプログラムします。特定の発振器周波数の RT 抵抗を計算するには、式 2 を使用します。

$$R_{(RT)} = \left(\frac{1}{f_{(sw)}} - 20ns\right) \times 30.3\frac{G\Omega}{s} \quad (2)$$

RT ピンは、デバイスがアクティブ モードのとき、内部電圧源によって 0.75V にレギュレートされます。そのため、抵抗を流れる電流を変更することで、動作中にスイッチング周波数を動的に変更します。図 8-10 および 図 8-11 に、抵抗値の切り替え、または抵抗を介した外部電圧源の印加によって周波数を変更する 2 つの例を示します。追加の容量を RT ピンに直接接続することは推奨しません。

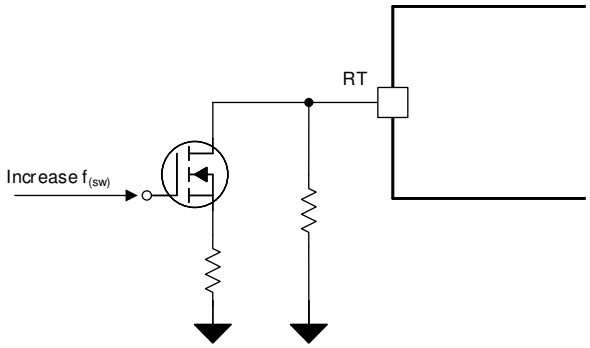


図 8-10. 周波数ホッピングの例

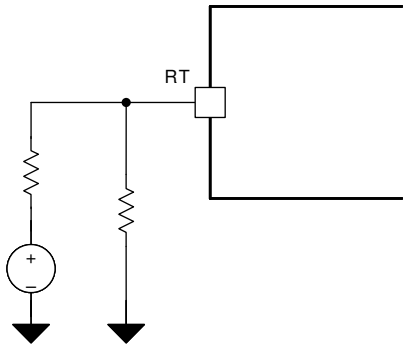


図 8-11. 動的な周波数変更の例

8.3.7 周波数同期

このデバイスには、内部的な位相ロック ループ (PLL) が搭載されており、RT ピンで設定された周波数と、外部の周波数同期信号との間でスイッチング周波数をシームレスに遷移するよう設計されています。外部周波数が供給されない場合、RT ピンによって PLL の中心周波数が設定されます。外部同期信号は、スイッチング周波数を ±50% に変更できます。静止電流を低く抑えるため、有効な同期周波数がない場合、SYNC ピンの入力バッファは無効になります。その周波数は、推奨同期範囲外の周波数信号です。

有効な同期周波数が適用されている場合、PSM の一時停止中にデバイスは uSleep に入りません。出力の負荷ステップなどのために負荷が増加した場合、内部 PLL はアクティブに維持され、外部同期信号とすばやく再同期できます。この挙動によって過渡応答は改善されますが、軽負荷動作時に静止電流が大きくなります。これは、同期信号が SYNC ピンに供給されている場合は uSleep が無効になるためです。

図 8-13 に、同期のタイミングを示します。

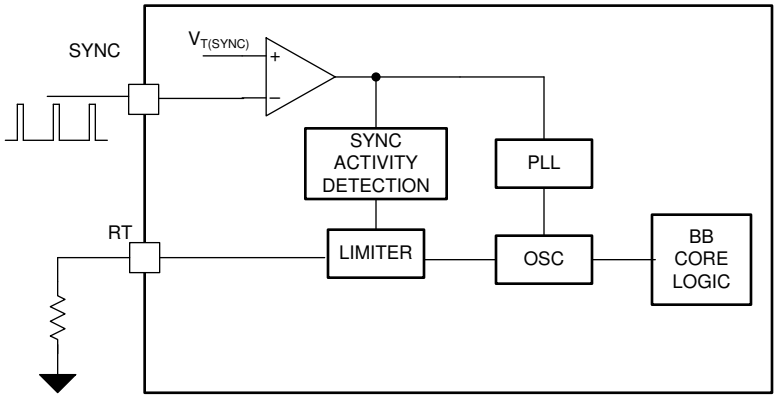


図 8-12. メイン発振器の機能ブロック図

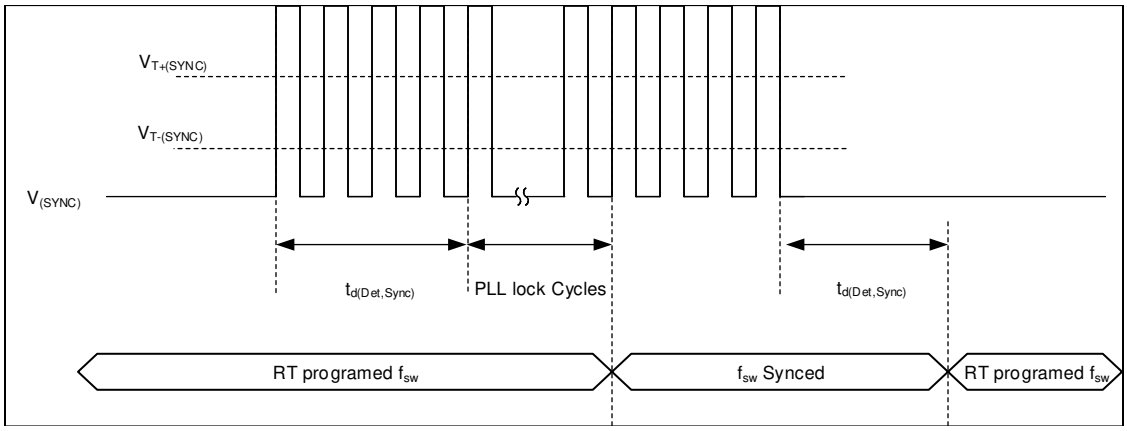


図 8-13. タイミング図の同期機能

注

SYNC ピンには、初期化位相の際に電流制限方向を設定するためのセカンダリ機能があります。この時間中に GND にプルされると、負の電流制限が選択されます。このピンがフローティング状態または VCC にプルされた状態の場合、正の電流制限が選択されます。次をご覧ください。電流制限動作

8.3.8 電圧レギュレーション ループ

LM51770x には、出力電圧をレギュレートするためのエラー アンプ (EA) が内蔵されています。出力電圧は外付け抵抗を経由して FB ピンで検知され、目標または公称出力電圧が決定されます。EA のリファレンスは、ソフト スタートおよびア

Copyright © 2025 Texas Instruments Incorporated

ナログ出力電圧トラッキング ピン (SS/ATRK) を構築しています。COMP ピンは内部 gm 段の出力であり、外部補償回路に接続されます。補償回路の電圧は、デバイスの内部ピーク電流制御ループの公称値です。

FB ピンを内部帰還選択スレッショルド ($V_{(VCC)}$ など) として高い電圧に接続すると、デバイスはスタートアップ時に内部電圧帰還分圧構成をラッチします。デバイスは固定出力電圧 (通常 24V) で動作します。

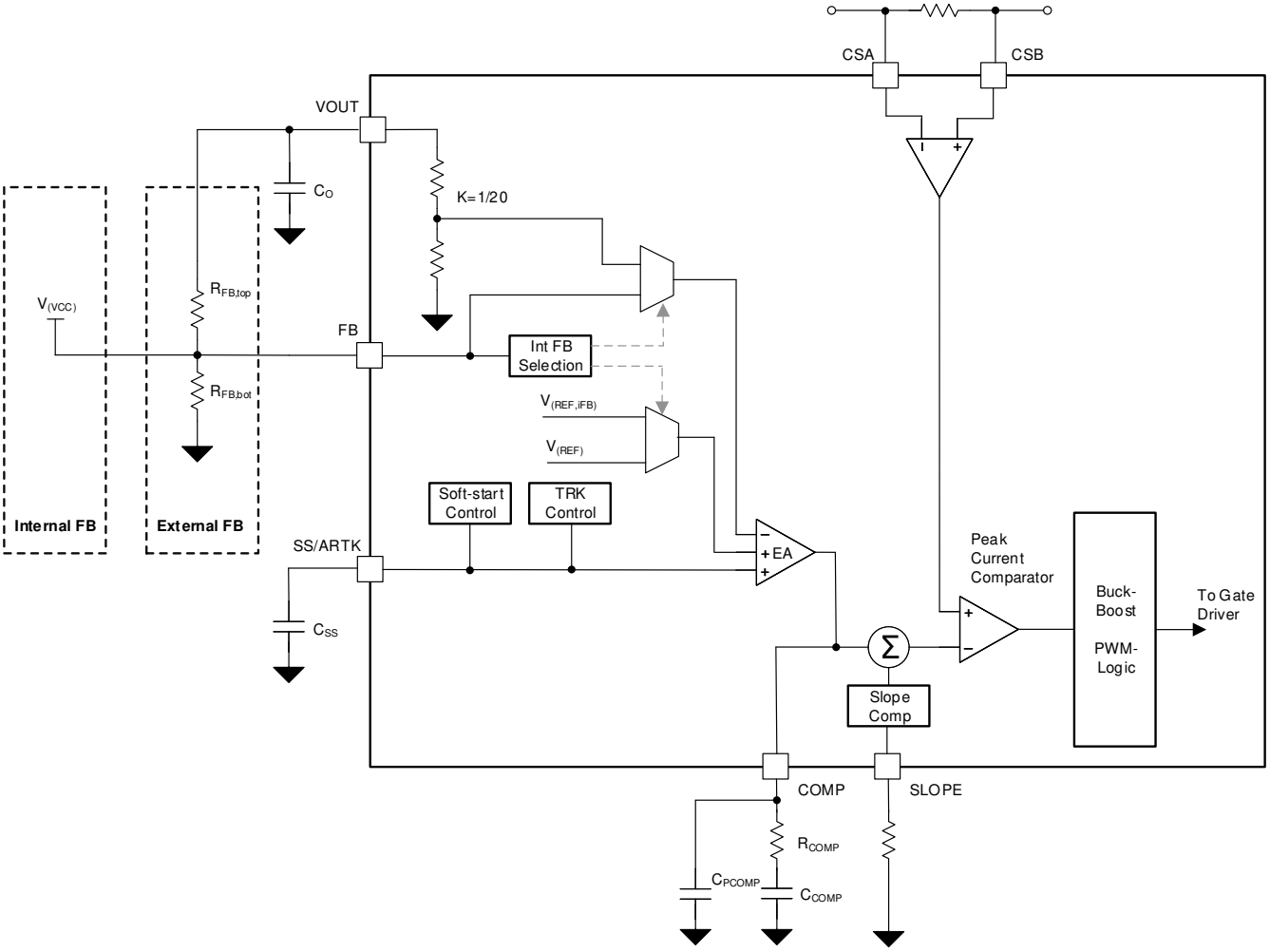


図 8-14. 電圧およびピーク電流制御ループの機能ブロック図

外部コンポーネントを求めるには、以下の式を使用します。

外部フィードバック:

$$R_{(COMP)} = \frac{2\pi \times f_{(BW)}}{gm_{(ea)}} \times \frac{R_{(FB,bot)} + R_{(FB,top)}}{R_{(FB,bot)}} \times \frac{10 \times R_{(CS)} \times C_O}{1 - D_{max}} \quad (3)$$

内部フィードバック:

$$R_{(COMP)} = \frac{2\pi \times f_{(BW)}}{gm_{(ea)}} \times 20 \times \frac{10 \times R_{(SNS1)} \times C_O}{1 - D_{max}} \quad (4)$$

内部および外部フィードバックに共通:

$$C_{(COMP)} = \frac{1}{2\pi \times f_{(CZ)} \times R_{(COMP)}} \quad (5)$$

Copyright © 2025 Texas Instruments Incorporated

$$C_{(PCOMP)} = \frac{1}{2\pi \times 10 \times f_{(BW)} \times R_{(COMP)}} \quad (6)$$

ほとんどのアプリケーションでは、補償の帯域幅選択について、以下のガイドラインを推奨します。

帯域幅のハードリミット ($f_{(BW)}$) は昇圧動作の右半面ゼロです。

$$f_{RHPZ} = \frac{1}{2\pi} \times \frac{V_{(VOUT)} \times \left(1 - D_{max}\right)^2}{I_{o,max} \times L} \quad (7)$$

推奨される最大帯域幅は、次の範囲内である必要があります。

$$f_{(BW)} < \frac{1}{3} \times f_{RHPZ} \quad (8)$$

$$f_{(BW)} < \frac{1}{10} \times \left(1 - D_{max}\right) \times f_{(SW)} \quad (9)$$

補償用のゼロ (f_{CZ}) は、昇圧の支配的な極との関係に配置する必要があります。

$$f_{CZ} = 1.5 \times f_{pole,boost} \quad (10)$$

$$f_{pole,boost} = \frac{1}{2\pi} \times \frac{2 \times I_{o,max}}{V_{(VOUT)} \times C_o} \quad (11)$$

誤差アンプの正確な実装により、LM51770x COMP ピンの電圧は定常状態になり、インダクタの公称ピーク電流値を正確に反映します。図 8-15 に、FPWM モードでの誤差アンプの制御 V/I 特性を示します。これは、内部電流ループ レギュレーションを操作する必要のあるアプリケーション設計向けのガイダンスとして使用します。

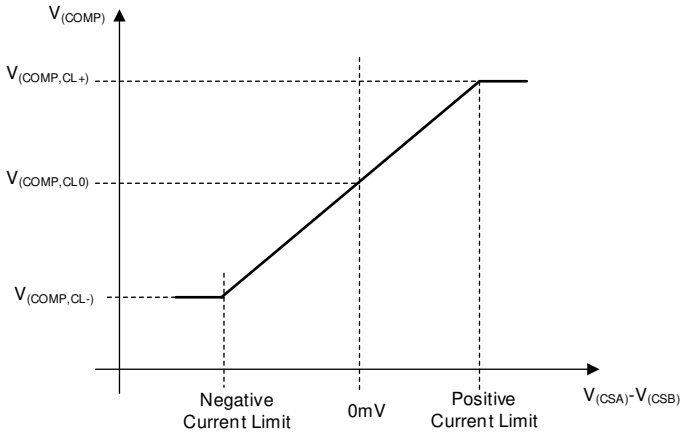


図 8-15. ピーク電流検出電圧と V_{COMP} との関係の制御機能

8.3.9 出力電圧トラッキング

このデバイスには 2 種類の出力電圧トラッキング機能が内蔵されています。

- SS/ATRK ピンによるアナログ電圧トラッキング機能
- DTRK ピンによるデジタル電圧トラッキング機能

アナログ電圧トラッキング

アナログ出力電圧トラッキングの場合、外部から印加された電圧によって出力調整ループのリファレンス電圧が上書きされます。ソフト スタートの終了前にこの電圧を印加することは推奨されません。ソフト スタートのランプ時間があるため、スタートアップ時の入力電流が変化します。

Copyright © 2025 Texas Instruments Incorporated

内部エラー アンプは、最も低い基準入力電圧を使用するように設計されているため、SS/ATRK ピンに印加される電圧は、フィードバック ピンの V_{ref} より低い電圧でのみ有効です。したがって、出力の最大電圧は FB ピンの抵抗ネットワークによって決定されます。

コンバータ電圧のスタートアップにアナログ電圧トラッキングが使用されている場合、MODE ピンの値が high から low、または low から high に変化した場合、ソフトスタートが完了したロジックが示されます。

デジタル電圧トラッキング

LM51770x の DTRK 入力は、内部基準電圧を直接変調します。DTRK ピンの電圧が $V_{T(DTRK)}$ の立ち上がりスレッショルドを上回り、推奨周波数の PWM 信号がピンに印加されると、この機能がアクティブになります。

このデバイスは、デジタル トラッキング中の最大出力電圧が FB 抵抗分割器で選択された公称リファレンス電圧を超えることを防ぎます。印加される PWM 信号により、DTRK ピンのデューティ サイクルに関連して、内部基準電圧が低下します。デューティ サイクルが小さいほど出力電圧が低くなり、PWM 入力のデューティ サイクルが高いと、高い出力電圧が示されます。たとえば、デューティ サイクルが 30% の場合、FB デバイダ抵抗で選択された電圧の 30% の出力電圧が発生します。

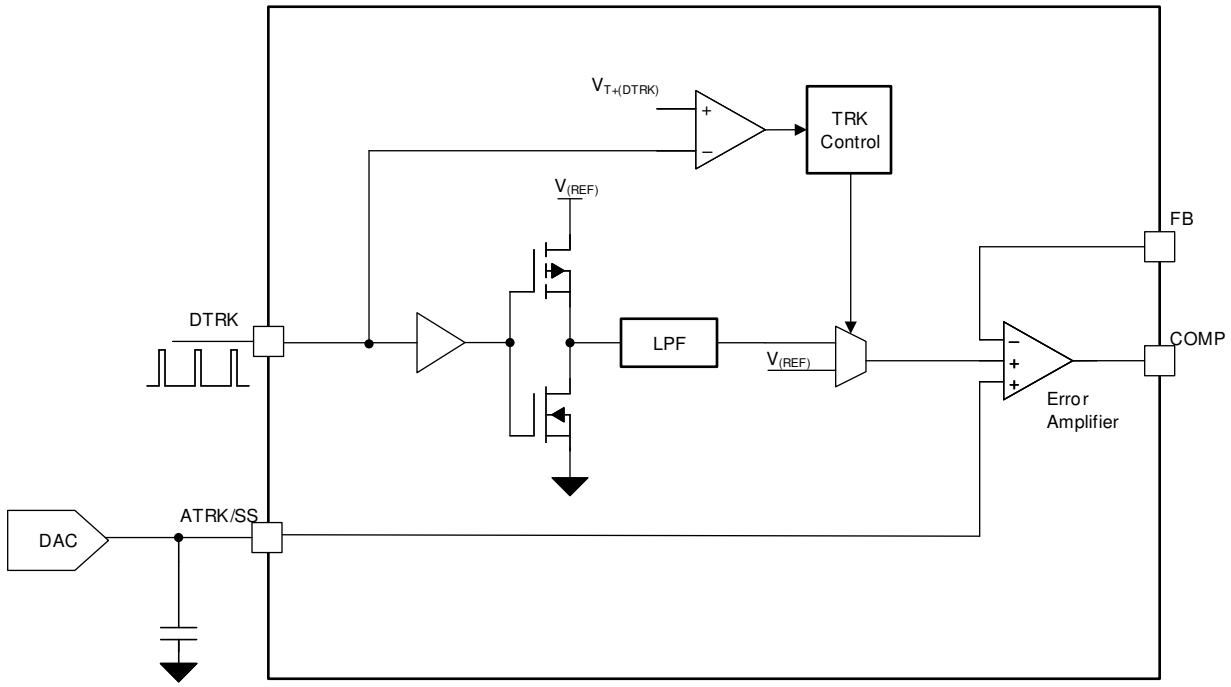


図 8-16. 出力電圧トラッキングの機能ブロック図

8.3.10 スロープ補償

LM51770x にはスロープ補償ピンがあり、安定した動作と、広い動作範囲にわたって最高の過渡性能が得られます。ピーク電流モードの制御理論に従い、デューティ サイクルが 50% を超える動作では、スロープ補償が必要です。スロープ ピン上の抵抗の値は、式 12 で計算します。

$$R_{(SLOPE)} = \frac{L}{R_{(CS)}} \times 50 \times 10^6 \frac{V}{As} \quad (12)$$

設計プロセスの際、スロープ補償については以下のガイドラインを検討してください。

1. ピーク電流センス抵抗 $R_{(CS)}$ とメイン インダクタ L の指数は、式 13 で求められる係数よりも小さくする必要があります。

$$\frac{R_{(CS)}}{L} < \frac{1V \times f_{(sw)}}{V_O \times 10} \quad (13)$$

ここで、

- V_O は、動的な電圧変化が発生するシステムの最大出力電圧です。

2. 指数は 式 14 によって求められる値の制限内です。

$$100\ Hz < \frac{R_{(CS)}}{L} < 8000\ Hz \quad (14)$$

8.3.11 構成可能なソフトスタート

ソフトスタート機能は、レギュレータを徐々に定常状態動作点へと到達させることで、起動時のストレスやサージを低減します。

LM51770x では、出力の充電時間を決定するソフト スタートを調整可能です。ソフトスタート機能は、高出力容量の結果として突入電流を制限し、過電流状態を回避します。

ソフト スタート シーケンスの開始時に SS 電圧は 0V です。SS ピンの電圧が帰還リファレンス電圧 V_{REF} より低い場合、ソフト スタート ピンがレギュレーションされた FB 電圧を制御し、内部のソフト スタート電流ソースが SS ピンに接続されている外付けのソフト スタート コンデンサの電圧を徐々に上昇させるため、出力電圧と FB ピンは徐々に上昇します。SS の電圧が内部基準電圧を超えると、ソフト スタート期間が終了し、エラー アンプは $V_{(REF)}$ を基準にします。

ソフト スタート時間 ($t_{(ss)}$) は、次の式で与えられます。

$$C_{SS} = \frac{I_{SS} \times t_{SS}}{V_{Ref}} \quad (15)$$

次のため、コンバータがディスエーブルになると、ソフト スタート コンデンサは内部で放電されます。

- EN/UVLO が動作スレッショルドを下回っています
- VCC が VCC UV スレッショルドを下回ります
- デバイスはヒカップ モードの電流制限中です。
- デバイスには、サーマル シャットダウン保護機能が組み込まれています。

8.3.12 ピーク電流センサ

内蔵のピーク電流センサにより、誘導性センシングの低減が可能になります。センサはメイン インダクタと直列に配置されており、あらゆる動作モード (昇圧、昇降圧、降圧) でだけでなく、双方向動作などの両方向のピーク インダクタ電流を監視することもできます。

統合型センサで高帯域幅の信号をサポートするため、最高の性能を実現するために、選択した動作点に差動モード フィルタを採用することが推奨されます。ほとんどのアプリケーションでは、$R_{(DIFF1/2)}$ に 10Ω の抵抗値を推奨します。次の式を使用して、フィルタ コンデンサを決定します。

$$C_{(DIFF)} = \frac{t_{on,min}}{2\pi \cdot \left(R_{(DIFF1)} + R_{(DIFF2)}\right) \cdot 10} \quad (16)$$

差動フィルタは、降圧モードまたは昇圧モードの最小オン時間の 10 分の 1 に設定します。

電流検出抵抗は、形状と選択した部品ベンダの設計に基づいて寄生インダクタンスで構成されます。必要なアプリケーションに大電流が必要な場合は、複数の検出抵抗を並列に配置することで、外部部品の寄生容量による影響を低減します。

Copyright © 2025 Texas Instruments Incorporated

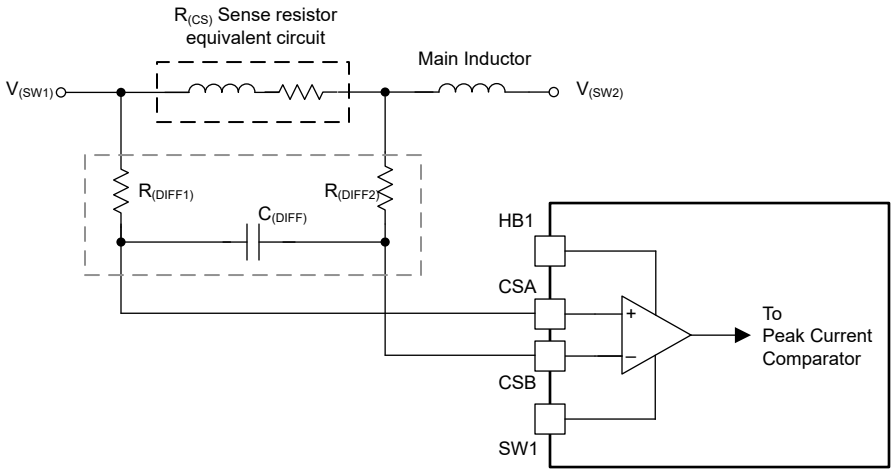


図 8-17. ピーク電流センサの概略回路図

8.3.13 電流監視および電流制限制御ループ

LM51770x には 2 つの高電圧電流センサが搭載されています。最初のピンは、CSA ピンと CSB ピンの間のピーク電流検出機能を維持します。2 番目の電流センサ入力は、ISNSP ピンおよび ISNSN ピンに接続されています。

この 2 番目のオプションの電流検出により、DC/DC コンバータの平均入力電流または出力電流を監視または制限することができます。電流センス アンプを使用しない場合は、無効にして、IMONOUT ピンを VCC に接続し、デバイス全体のバイアス消費電流を低減します。コンバータのスタートアップ時にその構成がラッチされるため、デバイスの動作中にこの動的を行わないでください。CFG ピンを使用して、次の必要な動作モードのいずれかを選択します。

電流モニタ動作:

電流センス アンプがモニタとして構成されている場合、IMONOUT ピンの出力電圧は、電流センス相互コンダクタンス アンプの ISNSP ピンと ISNSN ピンの間のセンス電圧と、IMONOUT ピンに配置された抵抗との間でリニア関係になります。

$$V_{(IMONOUT)} = \left(V_{(ISNSP)} - V_{(ISNSN)}\right) \times gm_{(IMON)} \times R_{(IMONOUT)} \quad (17)$$

IMONOUT ピンの出力電圧は 、仕様セクション に記載されている値にクランプされます。

電流モニタの帯域幅を狭くするため、オプションのコンデンサを IMONOUT ピンと並列に配置します。

電流制限動作:

この構成では、電流センス $gm_{(ILIM)}$ アンプがセンス抵抗の両端の電圧を監視し、内部基準電圧と比較します。センス抵抗での電圧降下が基準スレッショルドを上回ると、$gm_{(ILIM)}$ アンプは差動電圧がリファレンス電圧と等しくなるまで、DC/DC コンバータのピーク電流能力を徐々に低下させます。LM51770x のこの機能は、以下の目的で使用します。

- 電力段から負荷に供給する電流をレギュレートする
- 出力から電力段への電流をレギュレートする
- 入力電源から電力段への電流をレギュレートする
- 電力段から入力電源への電流をレギュレートする

デバイスのヒカップ保護が有効の場合、電流制限動作スレッショルドによってデバイスのヒカップ動作がトリガされます。

負の電流制限方向を選択するには、EN/UVLO が EN 立ち上がりスレッショルドを上回ると、ソフトスタート ランプによってコンバータ動作が開始されるまで SYNC ピンを low にする必要があります。構成はラッチされ、その後の同期に SYNC ピンが使用されます。同期機能を使用しない場合、連続的に low にプルされます。正の電流制限保護を実現するには、EN/UVLO が EN 立ち上がりスレッショルドを上回ると、SYNC ピンを high にプルするか、ピンを有効な同期信号に接続します。これは、ソフトスタート ランプによってコンバータ動作が開始されるまでの間です

Copyright © 2025 Texas Instruments Incorporated

電流制限動作モードでは、IMONOUT ピンに RC 補償回路を配置します。ほとんどのアプリケーションでは、出力電圧ループの補償よりも 3 倍 ～ 5 倍高速な補償帯域幅で、良好な結果を示しています。

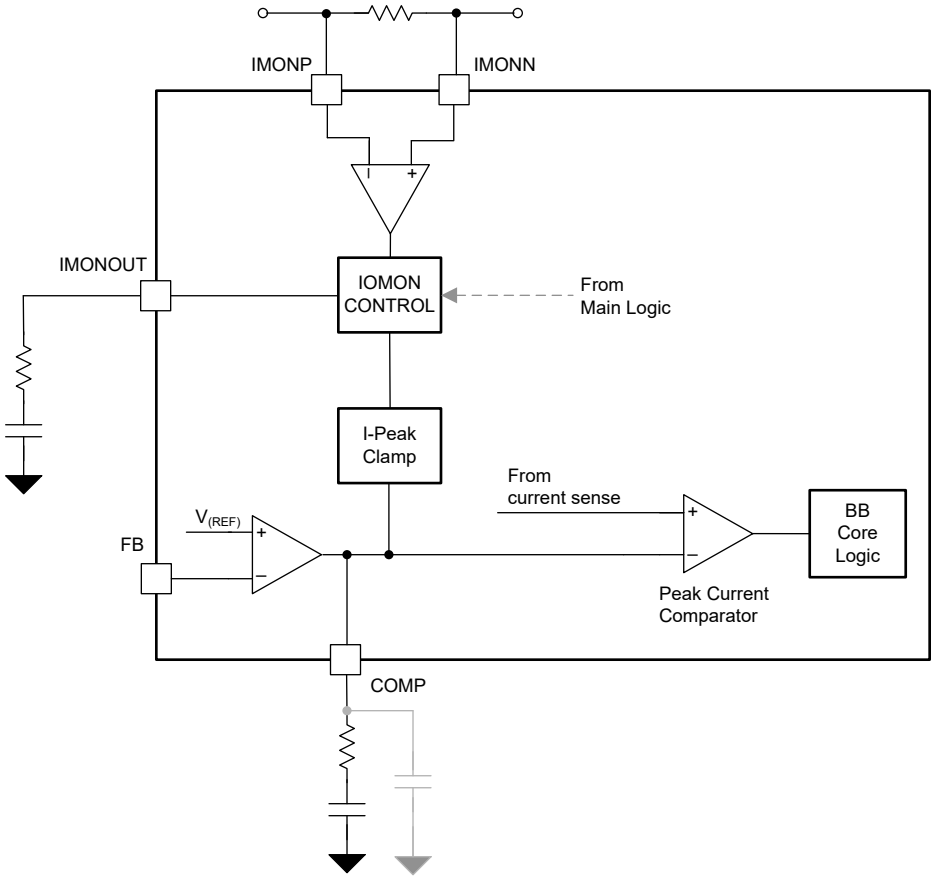


図 8-18. 電流モニタの機能ブロック図

8.3.14 短絡保護 - ヒカップ保護

LM51770x には、短絡保護または過電流保護機能があります。この保護機能は、CSA および CSB ピンに接続されたサイクル単位のピーク電流センサを使用します。この保護には 2 つのモードがあります。ヒカップ モードでは、コントローラは、ヒカップ モードのオン時間より長いサイクル単位のピーク電流を検出した後、コンバータの動作を停止します。コンバータのロジックでソフト スタート コンデンサの放電が開始され、ヒカップ モードのオフ時間が経過するまで出力はオフに維持されます。その後、ロジックはヒカップ モードを終了し、通常のソフトスタート シーケンスで出力を再起動します。このシーケンスでは、ソフトスタート コンデンサが内部電流源によって充電されます。短絡または過負荷が持続した場合は、ソフト ランプ終了後にヒカップ タイマが再度起動します。ヒカップ モード保護を有効にしない場合、デバイスは、過負荷状態が持続している間、継続的にサイクルごとの電流制限によって動作します。

8.3.15 nFLT ピンと保護機能

オープン ドレインの nFLT 出力は、監視機能の入力信号に直接追従します。たとえば、出力電圧がパワーグッド スレッショルドを下回ったためにパワーグッド フラグがトリガされた場合、nFLT ピンは low をプルします。デバイスのパワー サイクル後、または内部障害信号が消えた場合、nFLT ピンはハイ インピーダンスに戻ります。nFLT ピンへの入力信号はデジタル的にグリッチ除去されます。このため、FLT ピンの最大応答時間は $t_{d(nFLT-PIN)}$ で求められます

Copyright © 2025 Texas Instruments Incorporated

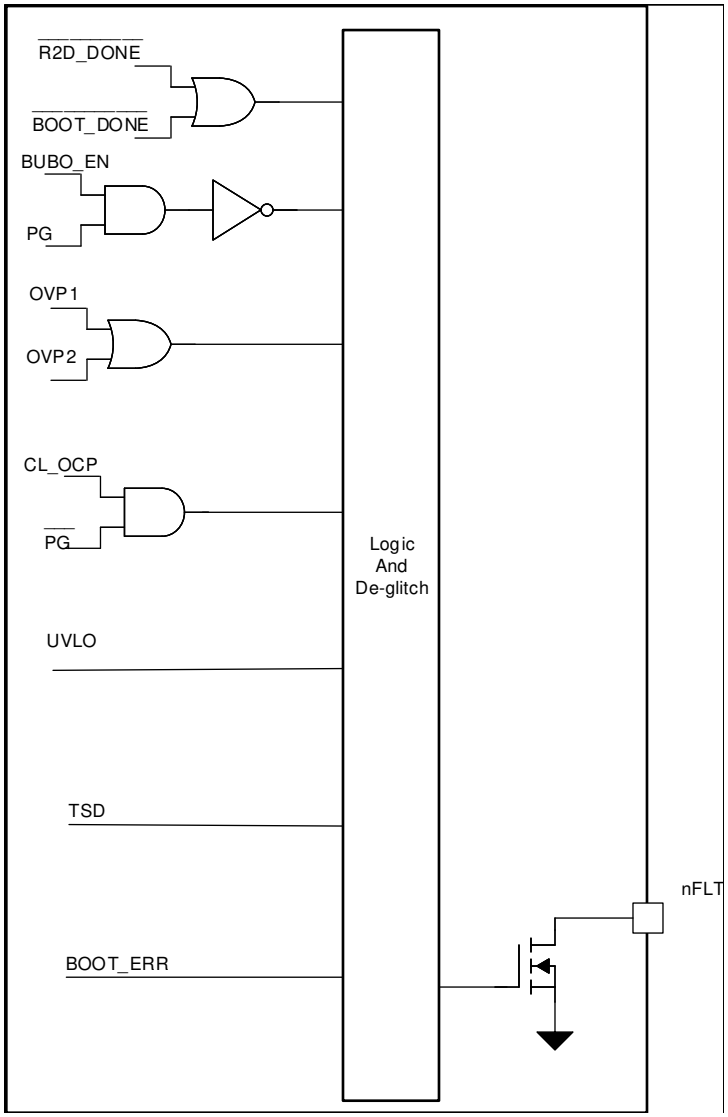


図 8-19. 機能ブロック図 (nFLT ピン ロジック)

サーマル シャットダウン (TSD)

デバイスの熱による損傷を防止するため、ダイの温度が監視されます。検出された温度がサーマル シャットダウン スレッショルドを超えると、デバイスの動作を停止します。温度がサーマル シャットダウン ヒステリシスを下回ると、TSD 信号は通常に戻り、メイン FSM の定義に従ってコンバータは通常動作に戻ります。

過電流または短絡保護回路

このデバイスは、ダイ内の過剰な電力消費、またはシステム内のアプリケーションのフォルトを防止するため、ヒカップ モード短絡保護機能を備えています。CSA ピンと CSB ピンの間のピーク電流検出電圧を超えた場合に OCP がトリガされます。

保護機能は、短絡イベントが検出された場合、コンバータ動作を停止および再開します。

出力過電圧保護 1 (OVP1)

この過電圧保護は、FB ピンの電圧を監視します。

このスレッショルドは $V_{(REF)}$ を基準としているため、トラッキング機能によって V_o 目標値が変更されても、OVP1 は動作を継続します。

このコンバータは、OVP1 スレッショルドのトリガでもレギュレーションを維持します。

PSM 中は、追加のリーク電流を避けるため、OVP1 は無効になります。PSM 動作中にこの信号から障害が示されるのを回避するために、OVP 信号はマスクされます。

この保護は、ソフト スタート手順中は無効になります。

出力過電圧保護 2 (OVP2)

この機能により、外部フィードバック ピンが正常に動作していない場合、つまり GND に短絡した場合に、デバイスの損傷を防止できます

VOUT ピンで出力電圧スレッショルド $V_{T+(OVP2)}$ が達成されると、昇降圧コア ロジックはコンバータの電力段を無効化し、スイッチ ノードで高インピーダンス状態に移行します。出力電圧がこのスレッショルドを下回ると、コンバータ動作が再開されます。

入力電圧保護 (IVP)

入力過電圧保護は、コンバータのコア変調方式の一部です。IVP は、電流が出力から入力に流れ、入力源が電流をシンクしない場合 (たとえば、電源経路にダイオードがある場合) に、デバイスへの損傷を回避します。コンバータの強制 PWM モードがアクティブな場合、電流は負のシンク電流制限まで負になります。VIN ピンに入力電圧スレッショルド $V_{T+(IVP)}$ に達すると、保護機能により強制 PWM モードが無効になり、VIN から VOUT への電流の流れのみが許可されます。入力電圧が入力電圧保護閾値を下回った後、fPWM モードを再び有効にします。

パワー グッド

このデバイスには、パワー グッド検出機能があります。FB ピンの電圧が継続的に監視されます。検出された電圧が PG 立ち下がりスレッショルドを下回ると、信号は nFLT ピンを low にプルします。

この保護は、ソフト スタート手順中は無効になります。

ブートストラップ低電圧保護

ゲート ドライバのハイサイド電源電圧は、UVLO コンパレータ (BST_UV) によって監視されます。このコンパレータは SWx ピンと HBx ピンの間の差動電圧を監視します。測定された電圧が $V_{TH-(BST_UV)}$ を下回ると、コンバータは動作を停止します

ブートストラップ過電圧クランプ

内部ゲート ドライバ回路を保護するため、外部 FET ゲートと内部回路には過電圧クランプが搭載されています。電圧が $V_{TH(BST_OV)}$ を上回ると、電圧がスレッショルドを上回っている限り、リニア レギュレータは HBx ピンから SWx ピンへの電流をシンクします。

8.3.16 デバイス構成ピン

CFG ピンの抵抗の選択は、デバイスの電源オン シーケンス中に読み取りおよびラッチされます。EN または UVLO の電圧が立ち下がりスレッショルドに達するか、VCC 電圧が $V_{T-(VCC)}$ スレッショルドを下回るまで、選択を変更しないでください。表 8-1 に、可能なデバイス構成と、CFG ピンのさまざまな抵抗値の対比を示します。

Copyright © 2025 Texas Instruments Incorporated

表 8-1. CFG ピン構成の概要

#	$R_{(CFG)}$ / kΩ	DRSS	SCP – ヒカップ モード	PSM エントリ スレッショルド	電流制限
1	0	無効	無効	10%	無効
2	0.511	有効	無効		
3	1.15	無効	有効		
4	1.9	有効	有効		
5	2.7	無効	無効	10%	有効
6	3.8	有効	無効		
7	5.1	無効	有効		
8	6.5	有効	有効		
9	8.3	無効	無効	15%	無効
10	10.5	有効	無効		
11	13.3	無効	有効		
12	16.2	有効	有効		
13	20.5	無効	無効	15%	有効
14	24.9	有効	無効		
15	30.1	無効	有効		
16	36.5	有効	有効		

8.3.17 デュアル ランダム スペクトラム拡散機能 - DRSS

このデバイスにはデジタル スペクトラム拡散機能があり、広い周波数範囲にわたって電源の EMI を低減します。この機能は、CFG ピンによって有効化されます。スペクトラム拡散が有効になると、内部変調器が内部クロックをディザリングします。SYNC ピンに外部同期クロックが印加されると、内部のスペクトラム拡散はディセーブルされます。DRSS 機能は、低周波数の三角波変調プロファイルと、高周波数のサイクル単位のランダム変調プロファイルを組み合わせたものです。低周波数の三角波変調は低い無線周波数帯域 (AM 帯域など) で性能を向上させ、高周波のランダム変調は高い無線周波数帯域 (FM 帯域など) で性能を向上させます。さらに、可聴音が発生する可能性を低減するために、三角波変調の周波数がさらにランダムに変調されます。スペクトラム拡散により発生する出力電圧リップルを最小限に抑えるため、ディザリングが有効な場合は、デューティ サイクルをサイクル単位で調整し、ほぼ一定に維持します。

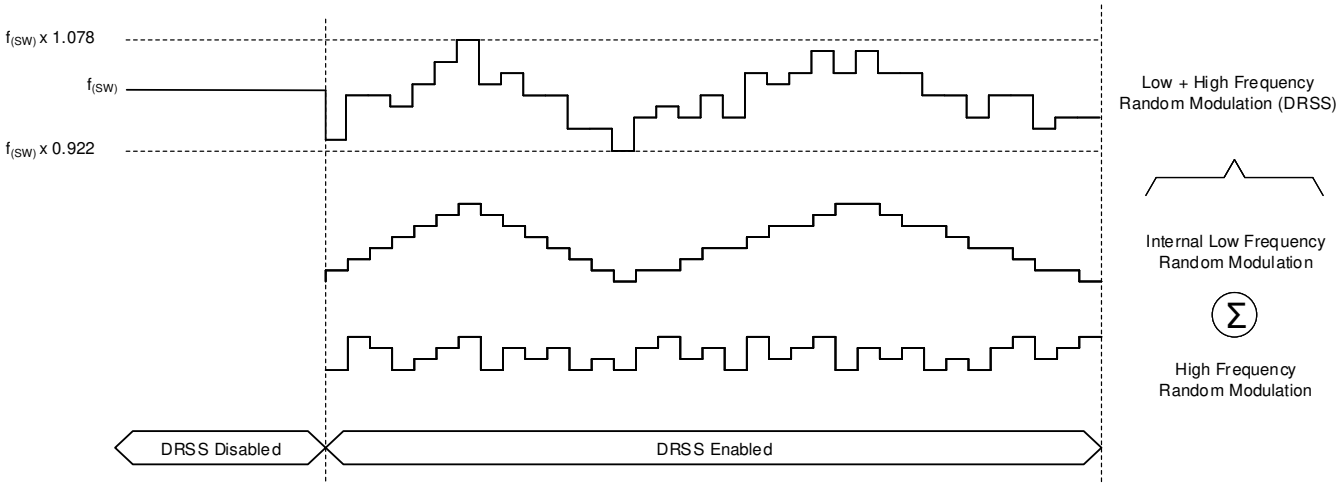


図 8-20. デュアル ランダム スペクトラム拡散

8.3.18 ゲート ドライバ

LM51770x には、4 つのロジック レベル nMOS ゲート ドライバが搭載されています。ドライバは、昇降圧動作に必要な両方のハーフ ブリッジの高周波スイッチングを維持します。デバイスが昇圧モードまたは降圧モードの場合、他のハーフ ブリッジ ハイサイド スイッチを永続的にオンにする必要があります。内蔵ゲート ドライバは、スイッチング動作中であるもう一方のハーフ ブリッジからの電流を共有することで、この構成をサポートします。そのため、内部チャージ ポンプを追加する必要がなく、静止電流定格が小さくなっています。高い駆動電流能力のため、これは広範な外部パワー FET に加えて、並列動作をサポートできます。

LO および HO 出力は、貫通電流保護により保護されているため、両方の出力が同時にオンになることはありません。昇降圧の PWM 変調ロジックが LOx ピンをオフにすると、以下の条件がすべて満たされるまで (AND 条件、OR 条件ではない) HOx ピンはオンになりません。

1. 最小内部遷移時間 ($t_{t(dead)}$) に達します。
2. LOx ピンの電圧が、検出スレッショルド $V_{TH(GATEOUT)}$ を下回っています。

この動作は維持され、その逆も HOx ピンが最初にオフになっても維持されます。

追加のブートストラップ UVLO コンパレータによって、ゲート ドライバの 1 次側電源電圧が監視されます。このコンパレータは SWx と HBx 間の差動電圧を監視します。電圧がスレッショルドを下回ると、昇降圧コンバータの動作はオフになります。ソフト スタート方式によって正の方向スレッショルドに達すると、デバイスは自動的に再起動されます。

さらに LM51770x は SWx と HBx 間の上側電圧を監視しますこの電圧がクランプ回路のスレッショルド電圧を超えると、これは内部電流源をアクティブにして、電圧をプルダウンします。

Copyright © 2025 Texas Instruments Incorporated

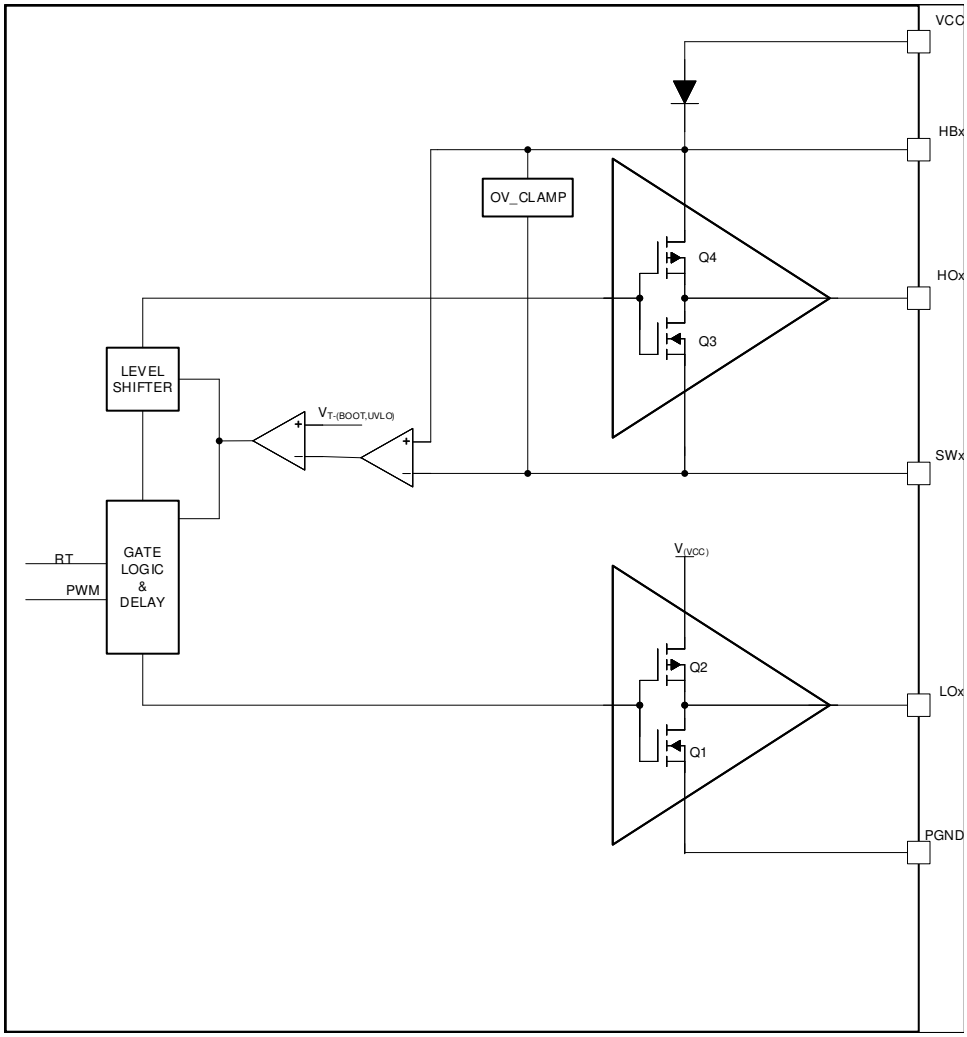


図 8-21. 機能ブロック図ゲート ドライバ

外部ゲートドライバのサポート

LM51770x は、HOx_LL ピンを使用した外部ゲート ドライバでの動作をサポートしています。これらのピンは、グランドを基準とする 2 つのハイサイド ゲート駆動信号に使用します。HOx_LL 信号と LOx 信号を外部ゲート ドライバに接続することで、外部パワー FET を外部ゲート ドライバによって制御します。この機能は、ロジック レベル FET が利用できず、統合型ゲート ドライブが提供するので、アプリケーションがゲート電圧をより高い電圧で駆動する必要がある場合に役立ちます。

内部電流センス アンプにはこれらのピンから電力が供給されるため、HBx に引き続き外部ブートストラップ コンデンサを配置してください。HOx ピンはフローティングのままにしてください。各外部ゲート ドライバの電源電圧 $V_{(extGD)}$ が、4 スイッチ昇降圧に必要な要件を維持していることを確認します。例として、100% のデューティ サイクル、フルブリッジの両側間が絶縁されることが挙げられます。サンプル ゲート ドライバの接続を説明する機能ブロック図については、概略回路図 (外部ゲート ドライバのサポート) を参照してください。

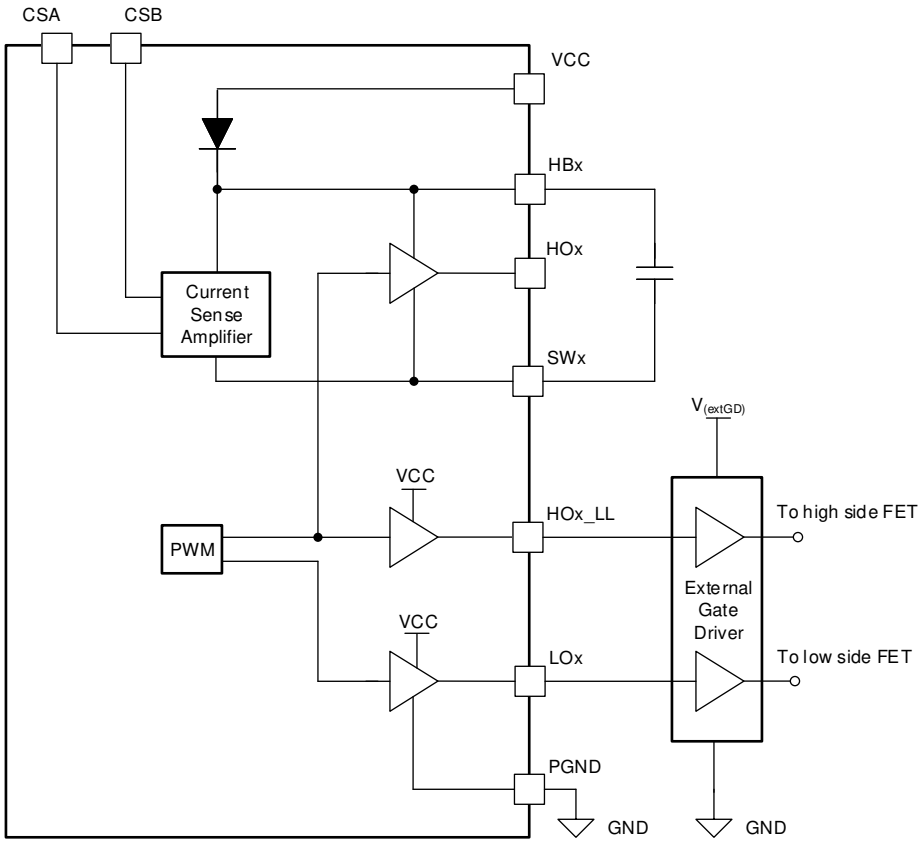


図 8-22. 概略回路図 (外部ゲート ドライバのサポート)

Copyright © 2025 Texas Instruments Incorporated

8.4 デバイスの機能モード

図 8-23 に、内部デバイス ロジックの機能的な動作を示します。

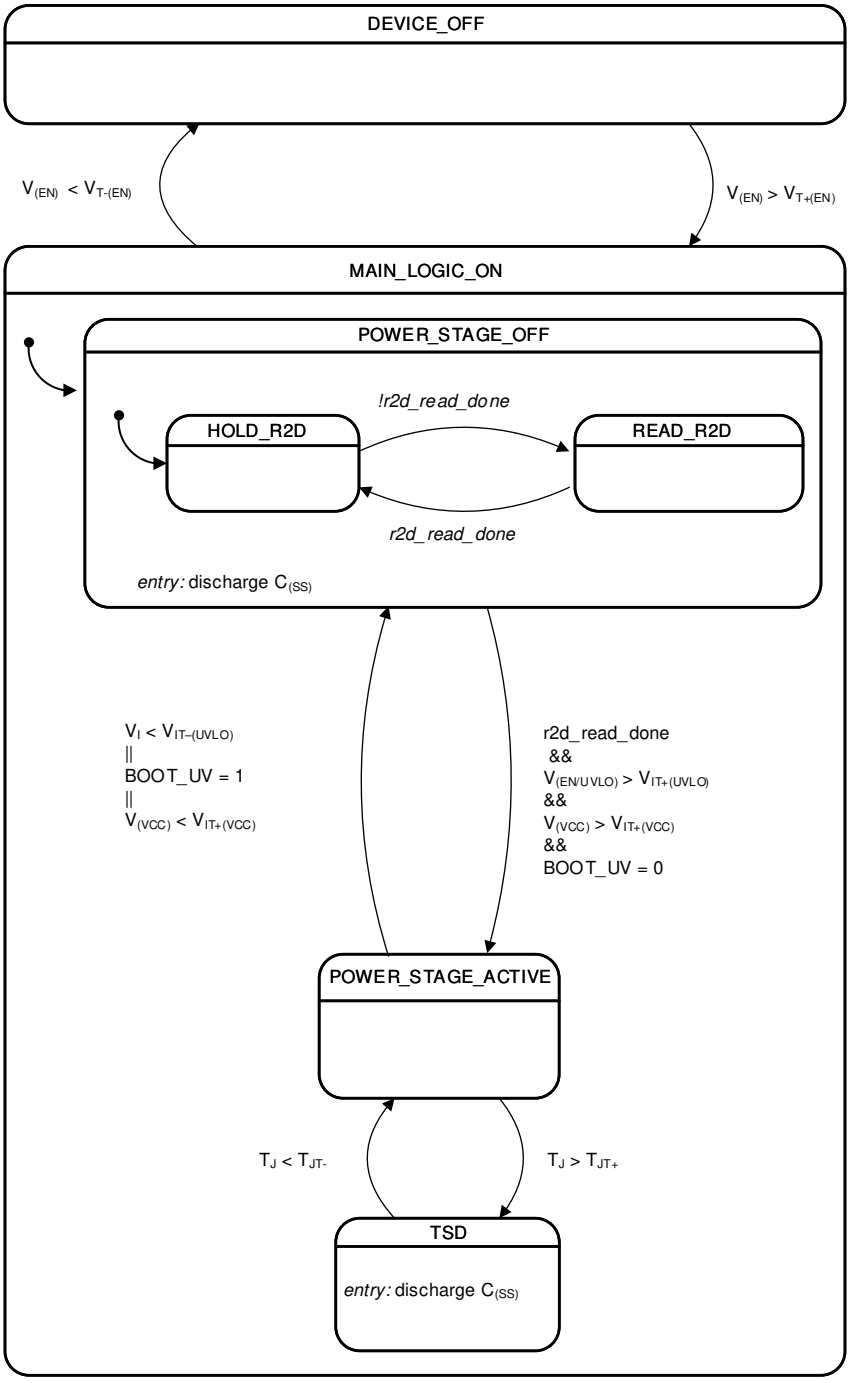


図 8-23. 機能状態図

DEVICE_OFF

DEVICE_OFF 状態の間、LM51770x はシャットダウン状態となります。すべての内部ロジックと DC/DC コンバータ、ゲートドライバがオフになります。内部 POR システムは EN スレッショルドを監視して、リファレンス システム デバイス ロジックの初期化を開始します。デバイスの消費電流は、シャットダウン電流で求められます。

MAIN_LOGIC_ON

LM51770x が MAIN_LOGIC_ON 状態に遷移すると、最初に POWER_STAGE_OFF 状態になります。ここでは、起動のために必要なチェックと準備が取られます。消費電流は、スタンバイ電流で求められます。

HOLD-R2D

この状態では、CFG ピンの設定が読み出され、次の EN ピン サイクルまで、ロジックがこの設定を保存します。

READ_R2D

READ-R2D 状態では、LM51770x の実行は CFG ピンの読み取りを行い、配置された抵抗によって決定される選択された設定を取得します。

POWER_STAGE_ACTIVE

デバイスは、この状態に移行するたびにソフトスタート ランプを実行し、過剰な突入電流を防止します。この状態では、電力段はアクティブで、コンバータは動作しています。消費電流は、電気的仕様表のアクティブ静止電流によって与えられます。

TSD

シリコン接合部温度がサーマル シャットダウン制限値を超えると、デバイスは TSD 状態に移行し、サーマル シャットダウンのヒステリシスがトリガされると自動的に POWER_STAGE_ACTIVE 状態に戻ります。

Copyright © 2025 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

LM51770x は、入力電圧範囲が広い、同期、非反転型の昇降圧コントローラです。入力電源が調整された出力電圧よりも高い、低い場合に、調整された出力電圧を必要とするアプリケーションに適しています。外部回路の設計およびコンポーネントの選択プロセスを迅速化および効率化するため、包括的なクイックスタート カリキュレータをダウンロードして、特定のアプリケーションのコンポーネント選択を支援することができます。

9.2 代表的なアプリケーション

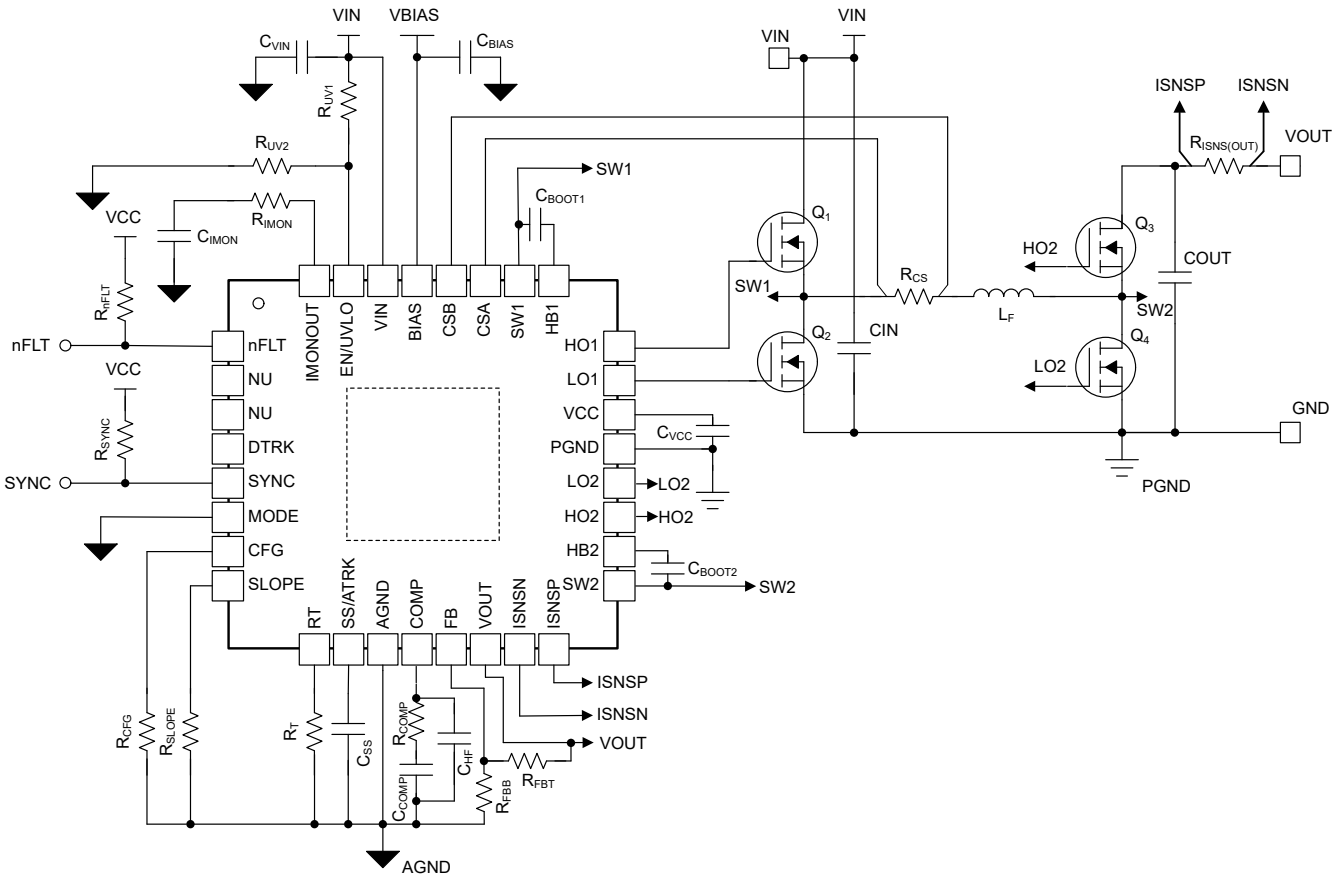


図 9-1. 代表的なアプリケーションの概略回路図

9.2.1 設計要件

表 9-1 典型的な設計例の対象となる入力、出力、性能パラメータを示します。

表 9-1. 設計パラメータ

パラメータ	値
V_I 最小値	6V
V_I 標準値 = V_I スタートアップ	13.5V
V_I 最大値	36V
V_O 公称値	16V
P_O 最大値	128W

9.2.2 詳細な設計手順

9.2.2.1 WEBENCH ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designer により、LM51770x デバイスを使用するカスタム設計を作成できます。

1. 最初に、V_{IN}、V_{OUT}、I_{OUT} の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化し、この設計とテキサス インスツルメンツによる他の可能なアプリケーションを比較します。
3. WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。
4. ほとんどの場合、ユーザーは次のことが可能です。
   - 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
   - 熱シミュレーションを実行し、基板の熱性能を把握する。
   - カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットでエクスポートする。
   - 設計のレポートを PDF で印刷し、同僚と設計を共有する。
5. WEBENCH ツールの詳細は、www.ti.com/ja-jp/webench でご覧になれます。

9.2.2.2 周波数

LM51770x のスイッチング周波数は、RT ピンから AGND に接続された R_T 抵抗によって設定されます。目的の周波数を設定するために必要な R_T 抵抗は、式 18 を使用して計算します。f_{SW} = 400kHz の場合、1% 標準抵抗 78.7kΩ が選択されます。

$$R_{(RT)} = \left(\frac{1}{f_{SW}} - 20ns\right) \times 30.3 \frac{G\Omega}{s} \quad (18)$$

9.2.2.3 フィードバック ディバイダ

帰還分圧は、式 19 で求めます。

$$R_{FB,top} = \frac{\left(V_{(VOUT)} - V_{(REF)}\right)}{V_{(REF)}} \times R_{FB,bot} \quad (19)$$

16V 出力の場合、上部抵抗 71.5kΩ と下部抵抗 4.7kΩ が選択されています。

表 9-2 に、一般的な出力電圧に対する帰還分圧抵抗の選択可能な選択肢の概要を示します。

表 9-2. FB ピン分圧抵抗 $R_{FB,top}$ = 71.5kΩ

V_O - 目標値	$R_{FB,bot}$ - 計算	$R_{FB,bot}$ - E48 シリーズ	V_O 公称値	FB 抵抗による誤差
5V	17.9kΩ	17.8kΩ	5.02V	0.3%
9V	8.94kΩ	9.09kΩ	8.87V	-1.5%

Copyright © 2025 Texas Instruments Incorporated

表 9-2. FB ピン分圧抵抗 $R_{FB,top}$ = 71.5kΩ (続き)

V_O - 目標値	$R_{FB,bot}$ - 計算	$R_{FB,bot}$ - E48 シリーズ	V_O 公称値	FB 抵抗による誤差
12V	6.50kΩ	6.49kΩ	12.02V	0.1%
16V	4.77kΩ	4.87kΩ	15.68V	-2.0%
24V	3.11kΩ	3.16kΩ	23.63V	-1.6%
28V	2.65kΩ	2.61kΩ	28.39V	1.4%
36V	2.04kΩ	2.05kΩ	35.88V	-0.3%
42V	1.74kΩ	1.78kΩ	41.17V	-2.0%
48V	1.5kΩ	1.5kΩ	47.43V	-1.2%
60V	1.2kΩ	1.2kΩ	60.09V	0.2%

9.2.2.4 インダクタと電流センス抵抗の選択

昇圧モードの場合、インダクタの選択は、ピーク ツー ピーク電流リップル ΔI_L を最小入力電圧での最大インダクタ電流の約 20% に制限することに基づいて行われます。昇圧モードの目標インダクタンスは以下の通りです。

$$L_{BOOST} = \frac{V_{IN(MIN)}^2 \times \left(V_{OUT} - V_{IN(MIN)}\right)}{0.2 \times I_{OUT(MAX)} \times f_{SW} \times V_{OUT}^2} = 2.21\ \mu H \quad (20)$$

このアプリケーションでは、1.8µH 付きのインダクタを選択しました。

最大出力電流時に過電流制限に達しないように、ピーク インダクタ電流に電流センス抵抗を選択します。このため、ピーク インダクタ電流は、インダクタを流れる平均電流とリップル電流の合計によって計算する必要があります。

最大ピーク ツー ピーク インダクタ電流は最小入力電圧のときに生じ、次の式で計算します。

$$I_{L(PEAK,PEAK)} = \left(1 - \frac{V_{IN(MIN)}}{V_{OUT}}\right) \times \frac{V_{IN(MIN)}}{L \times f_{SW}} = 5.23\ A \quad (21)$$

推定効率 95% での最大出力電流における平均入力電流は、次の式で計算します。

$$I_{IN,AVG(MAX)} = \frac{V_{OUT} \times I_{OUT(MAX)}}{95\% \times V_{IN(MIN)}} = 22.5\ A \quad (22)$$

電流センス抵抗については、20% のマージンが、ダイナミック応答に十分なヘッドルームを確保していると考えられます (負荷ステップ レギュレーションなど) 。最大出力電流を供給できるように、ピーク電流制限スレッショルドの最小レベルを使用します。

注

R_{CS} と $P_{R_{CS(MAX)}}$ の式は、LM51770 の全温度範囲の値に基づいています。使用するデバイスのバリエーションと温度範囲について、「電気的特性」表から必要に応じて値を選択します。

$$R_{CS} = \frac{V_{th+(CSB-CSA),min}}{\left(I_{IN,AVG(MAX)} + \frac{1}{2} I_{L(PEAK,PEAK)}\right) \times 1.2} = 1.41\ m\Omega \quad (23)$$

3mΩ の 3 倍での R_{CS} = 1mΩ の標準値を選択します。3 個の抵抗を並列に接続すると、寄生インダクタンスも低減できます。

R_{CS} での最大消費電力は、$V_{IN(MAX)}$ のときに発生します。

$$P_{R_{CS(MAX)}} = \left(\frac{V_{th+(CSB-CSA),max}}{R_{CS}}\right)^2 \times R_{CS} \times \left(1 - \frac{V_{OUT}}{V_{IN(MAX)}}\right) = 1.84\ W \quad (24)$$

したがって、このアプリケーションでは、3 つの抵抗を並列に接続する場合は、電力定格 1W のセンス抵抗で十分です。

CSA および CSB のセンス ラインのノイズを減衰させるために、フィルタ回路を追加します。ほとんどのアプリケーションでは、フィルタ抵抗 R_{DIFF1} と R_{DIFF2} の 10Ω を使用することを推奨します。式 16 で、フィルタの容量 C_{DIFF} を計算します。この構成では、180pF を使用します。

9.2.2.5 スロープ補償

安定した電流ループ動作と低調波振動の回避のために、スロープ抵抗を 式 25 に基づいて選択します。

$$R_{SLOPE} = \frac{L_1}{R_{CS}} \times 50 \frac{MV}{As} \tag{25}$$

スロープ補償の結果として、“デッドビート”動作が実現され、電流ループの外乱が 1 回のスイッチング サイクルで消失します。理論的には、電流モード ループは「デッドビート」スロープの半分で安定します (式 25 の計算されたスロープ抵抗値で既に考慮されています)。スロープ抵抗が小さいほど、スロープ信号が大きくなり、遷移領域でのノイズ耐性が向上します (V_{IN} は V_{OUT} とほぼ等しくなります)。ただし、スロープ信号が大きいと、特定の出力電圧、スイッチング周波数、およびインダクタに対して実現可能な入力電圧範囲が制限されます。この設計では、必要な V_{IN} 範囲を提供しながら、遷移領域の動作を改善するために R_{SLOPE} = 69.8kΩ が選択されます。スロープ抵抗、インダクタ、スイッチング周波数の選択は、式 13 および 式 14 で求められるガイドラインを満たします。

9.2.2.6 出力コンデンサ

昇圧モードでは、出力コンデンサに高リップル電流が流れます。出力コンデンサの RMS リップル電流は、式 26 で求められます。最小 V_{IN} は最大コンデンサ電流に対応します。

$$I_{COUT(RMS)} = I_{OUT} \times \sqrt{\frac{V_{OUT}}{V_{IN}} - 1} \tag{26}$$

この例では、最大出力リップル RMS 電流は $I_{COUT(RMS)}$ = 10.3A です。2mΩ 出力コンデンサの ESR により、出力リップル電圧は以下の式で求められる 42.6mV になります。

$$\Delta V_{RIPPLE(ESR)} = \frac{I_{OUT} \times V_{OUT}}{V_{IN(MIN)}} \times ESR \tag{27}$$

130µF の出力コンデンサでは、以下の式で示されるように、96mV の容量性リップル電圧が発生します。

$$\Delta V_{RIPPLE(COUT)} = \frac{I_{OUT} \times \left(1 - \frac{V_{IN(MIN)}}{V_{OUT}}\right)}{C_{OUT} \times f_{SW}} \tag{28}$$

通常、低い ESR と高いリップル電流能力を得るには、セラミック コンデンサとバルク コンデンサを組み合わせて使用する必要があります。図 9-1 の完全な回路図は、一般的なアプリケーションにおける C_{OUT} の適切な出発点を示しています。

9.2.2.7 入力コンデンサ

降圧モードでは、入力コンデンサから高リップル電流が供給されます。入力コンデンサの RMS 電流は、以下で求められます。

$$I_{CIN(RMS)} = I_{OUT} \times \sqrt{D \times (1 - D)} \tag{29}$$

RMS 電流が最大になるのは D = 0.5 のときであり、$I_{CIN(RMS)} = I_{OUT}/2$ = 4.0A となります。di/dt の高い電流に対して短いパスを提供し、出力電圧リップルを低減するためには、セラミック コンデンサとバルク キャパシタを組み合わせて使用します。図 9-1 の完全な回路図は、一般的なアプリケーションにおける C_{IN} の適切な出発点を示しています。

Copyright © 2025 Texas Instruments Incorporated

9.2.2.8 UVLO ディバイダ

5.5V 未満でターンオンするように UVLO 抵抗デバイダを設計します。$R_{UVLO,top}$ = 75kΩ を選択すると、式 30 に基づき UVLO ヒステリシスは 0.375V になります。下側 UVLO 抵抗は、以下を使用して選択します。

$$V_{(VIN,\,IT+,\,UVLO)} = V_{IT+(UVLO)} \times \left(1 + \frac{R_{UVLO,top}}{R_{UVLO,bot}}\right) + R_{UVLO,top} \times I_{(UVLO,hyst)} \quad (30)$$

$R_{UVLO,bot}$ には標準値 20.5kΩ が選択されます。

より低い入力電圧での動作に対して UVLO スレッショルドをプログラミングする場合は、最小 V_{IN} よりも低いゲート (ミラー) プラトー電圧を持つ MOSFET を選択することが重要です。

9.2.2.9 ソフトスタート コンデンサ

ソフト スタート時間は、ソフト スタート コンデンサを使用してプログラミングします。C_{SS} とソフト スタート時間の関係は、次の式で与えられます。

$$C_{SS} = \frac{I_{SS} \times t_{SS}}{V_{Ref}} = 18\ nF \quad (31)$$

C_{SS} = 18nF の場合、ソフトスタート時間は 1.8ms になります。

9.2.2.10 MOSFET QH1 および QL1

入力側の MOSFETs QH1 (Q1) と QL1 (Q2) は、36V の最大入力電圧と、スイッチング中の SW1 での過渡スパイクに耐える必要があります。したがって、QH1 および QL1 の定格は 50V 以上にする必要があります。また、MOSFET のゲート プラトー電圧は、コンバータの最小入力電圧よりも低い必要があります。そうしないと、スタートアップ中または過負荷状態中に、MOSFET が完全にエンハンスされない可能性があります。

昇圧モードでの QH1 での電力損失は、次の式で近似できます。

$$P_{COND(QH1)} = \left(I_{OUT} \times \frac{V_{OUT}}{V_{IN}}\right)^2 \times R_{DS,\,On(QH1)} \quad (32)$$

降圧モードの QH1 での電力損失は、それぞれ式 34 と式 33 で与えられる導通損失成分とスイッチング損失成分で構成されます。

$$P_{COND(QH1)} = \left(I_{OUT} \times \frac{V_{OUT}}{V_{IN}}\right)^2 \times R_{DS,\,On(QH1)} \quad (33)$$

$$P_{SW(QH1)} = \frac{1}{2} \times V_{IN} \times I_{OUT} \times (t_r + t_f) \times f_{SW} \quad (34)$$

立ち上がり (t_r) および立ち下がり (t_f) 時間は、MOSFET のデータ シート情報に基づくか、またはラボで測定されます。通常、MOSFET の R_{DSON} が小さい (導通損失が小さい) ほど、立ち上がりおよび立ち下がり時間は長く (スイッチング損失が大きく) なります。

降圧モード動作のときの QL1 での電力損失は、式 35 に示します。

$$P_{COND(QL1)} = \left(1 - \frac{V_{OUT}}{V_{IN}}\right) \times {I_{OUT}}^2 \times R_{DS,\,On(QL1)} \quad (35)$$

9.2.2.11 MOSFET QH2 および QL2

出力側の MOSFET QH2 (Q3) および QL2 (Q4) は、16V の出力電圧と、スイッチング中に SW2 に生じる追加の過渡スパイクを参照してください。したがって、QH2 と QL2 を 25V 以上の定格にします。また、MOSFET のゲート プラトー電圧は、コンバータの最小入力電圧よりも低い必要があります。そうしないと、スタートアップ中または過負荷状態中に、MOSFET が完全にエンハンスされない可能性があります。

Copyright © 2025 Texas Instruments Incorporated

降圧モード動作のときの QH2 での電力損失は、次の式で近似できます。

$$P_{COND(QH2)} = I_{OUT}^2 \times R_{DS,On(QH2)} \quad (36)$$

昇圧モード動作のときの QL2 での電力損失は、導通損失成分とスイッチング損失成分から構成され、それぞれ 式 37 と 式 38 の式で計算されます。

$$P_{COND(QL2)} = \left(1 - \frac{V_{IN}}{V_{OUT}}\right) \times \left(I_{OUT} \times \frac{V_{OUT}}{V_{IN}}\right)^2 \times R_{DS,On(QL2)} \quad (37)$$

$$P_{SW(QL2)} = \frac{1}{2} \times V_{OUT} \times \left(I_{OUT} \times \frac{V_{OUT}}{V_{IN}}\right) \times (t_r + t_f) \times f_{SW} \quad (38)$$

立ち上がり (t_r) および立ち下がり (t_f) 時間は、MOSFET のデータ シート情報に基づくか、またはラボで測定されます。通常、MOSFET の R_{DSON} が小さい (導通損失が低い) ほど、立ち上がりおよび立ち下がり時間は長く (スイッチング損失が大きく) なります。

式 39 に、昇圧モード動作のときの QH2 での電力損失を示します。

$$P_{COND(QH2)} = \frac{V_{IN}}{V_{OUT}} \times \left(I_{OUT} \times \frac{V_{OUT}}{V_{IN}}\right)^2 \times R_{DS,On(QH2)} \quad (39)$$

9.2.2.12 出力電圧周波数補償

ここでは、LM51770x 昇降圧コントローラの制御ループ補償の設計手順を示します。LM51770x は主に降圧モードまたは昇圧モードのいずれかで動作し、遷移領域によって区切られているため、制御ループの設計は降圧と昇圧の両方の動作モードに対して行われます。したがって、補償の最終的な選択は、ループ安定性の観点から、より制限の大きなモードに基づいて決定します。通常、降圧動作領域と昇圧動作領域の両方に深く入り込むように設計されたコンバータの場合、昇圧モードでは右半平面ゼロ (RHPZ) が存在するため、昇圧補償設計はより制限的になります。

昇圧パワー段出力の極位置は、次の式で与えられます。

$$f_{p1(boost)} = \frac{1}{2\pi}\left(\frac{2}{R_{OUT} \times C_{OUT}}\right) = 1.22\ \text{kHz} \quad (40)$$

ここで、

- R_{OUT} = 2.0Ω は最大負荷 8.0A に相当します。

昇圧パワー段の ESR ゼロ位置は、次の式で与えられます。

$$f_{z1} = \frac{1}{2\pi}\left(\frac{1}{R_{ESR} \times C_{OUT}}\right) = 61.2\ \text{kHz} \quad (41)$$

昇圧パワー段の RHP ゼロ位置は、次の式で与えられます。

$$f_{RHP} = \frac{1}{2\pi}\left(\frac{R_{OUT} \times (1 - D_{MAX})^2}{L_1}\right) = 24.87\ \text{kHz} \quad (42)$$

ここで、

- D_{MAX} は最小 V_{IN} での最大デューティ サイクルです。

降圧パワー段出力の極位置は、次の式で与えられます。

$$f_{p1(buck)} = \frac{1}{2\pi}\left(\frac{1}{R_{OUT} \times C_{OUT}}\right) = 612\ \text{Hz} \quad (43)$$

Copyright © 2025 Texas Instruments Incorporated

降圧パワー段の ESR ゼロ位置は、昇圧パワー段の ESR ゼロと同じです。

式 44 により、実現可能な帯域幅を制限する主な要因は RHP ゼロであることがわかります。堅牢な設計のためには、クロスオーバー周波数は RHP ゼロ周波数の 1/3 未満である必要があります。RHP ゼロの位置が与えられると、昇圧動作での適切な目標帯域幅は約 5kHz となります。

$$f_{bw} = 5\ kHz \tag{44}$$

出力段によっては、昇圧の最大デューティ サイクル (D_{MAX}) が小さい場合や、非常に小さなインダクタを使用している場合に、昇圧の RHP ゼロがそれほど制限されない場合があります。そのような場合は、RHP ゼロによって課される制限 (f_{RHP} /3) をスイッチング周波数の 1/20 と比較して、いずれか小さい方の値を、実現可能な帯域幅として使用します。

補償ゼロは、昇圧出力極周波数の 1.5 倍に配置します。ただし、その場合、ゼロが降圧出力極周波数の 3 倍の位置に来るため、降圧ループのクロスオーバーの前に約 30 度の位相損失が生じ、昇圧ループの各中間周波数で 15 度の位相損失が生じます。

$$f_{ZC} = 1.8\ kHz \tag{45}$$

補償ゲイン抵抗 R_{c1} は、以下で計算されます。

$$R_{C1} = \frac{2\pi \times f_{bw}}{gm_{EA}} \times \frac{R_{FB1} + R_{FB2}}{R_{FB2}} \times \frac{A_{CS} \times R_{CS} \times C_{OUT}}{1 - D_{MAX}} \times \frac{1}{\sqrt{1 + \left(\frac{f_{bw}}{f_{RHP}}\right)^2}} = 1.9\ k\Omega \tag{46}$$

ここで、

- D_{MAX} は、昇圧モードの最小 V_{IN} での最大デューティ サイクルです。
- A_{CS} は電流センス アンプのゲインです。

これにより、補償コンデンサ C_{c1} は次の式で計算できます。

$$C_{C1} = \frac{1}{2\pi \times f_{ZC} \times R_{c1}} = 45.8nF \tag{47}$$

補償部品の標準値は、R_{c1} = 1.91kΩ および C_{c1} = 47nF に選択されます。

高周波極 (f_{pc2}) は、R_{c1} および C_{c1} と並列にコンデンサ (C_{c2}) を使用して配置されます。この極の周波数を f_{bw} の 7 ～ 10 倍に設定すると、COMP のスイッチング リップルおよびノイズを減衰させ、クロスオーバー周波数での過剰な位相損失を回避できます。ターゲット f_{pc2} = 6kHz の場合、式 48 を使用して C_{c2} を計算します。

$$C_{C2} = \frac{1}{2\pi \times f_{pc2} \times R_{c1}} = 1.68\ nF \tag{48}$$

C_{c2} には標準値 1.8nF を選択します。これらの値は、補償設計の出発点として利用できます。実際の設計時には、動作範囲全体の安定性マージンと過渡応答時間との間で適切なバランスが取れるように、ラボで調整を行う必要があります。

Copyright © 2025 Texas Instruments Incorporated

9.2.2.13 外付け部品の選択

表 9-3. 代表的なアプリケーションの部品例

リファレンス	説明	部品番号
R_{COMP}	1.91kΩ	
C_{COMP1}	47nF、50v、セラミック コンデンサ	
C_{COMP2}	1.8nF、50v、セラミック コンデンサ	
C_{SS}	18nF、50V セラミック コンデンサまたは 20nF、80V セラミック コンデンサ	GCM21B5C1H183JA16 または GCM21B5C1K203JA16
$R_{FB,top}$	71.5kΩ	
$R_{FB,bot}$	4.7kΩ	
R_{nFLT}	10kΩ	
$R_{IMONOUT}$	82kΩ	
C_{IN1}	2×10µF、50V セラミック コンデンサ	GCM32EC71H106KA03
C_{IN2}	1×100µF、63V アルミニウム コンデンサ	PCR1J101MCL1GS
M_1	N チャネル 40V MOSFET、$R_{DS(ON)}$ = 4.3mΩ	SQJ422EP
M_2	N チャネル 40V MOSFET、$R_{DS(ON)}$ = 4.3mΩ	SQJ422EP
M_3	N チャネル 40V MOSFET、$R_{DS(ON)}$ = 4.3mΩ	SQJ422EP
M_4	N チャネル 40V MOSFET、$R_{DS(ON)}$ = 4.3mΩ	SQJ422EP
R_{CS}	1.00mΩ	3xKRL2012E-C-R003-F
L_1	1.8µH、DCR = 3.2mΩ	IHLP-5050FD-A1
C_{OUT1}	5×10µF、50V セラミック コンデンサ	GCM32EC71H106KA03
C_{OUT2}	1×100µF、63V アルミニウム コンデンサ	PCR1J101MCL1GS
R_{ISNS}	4mΩ	KRL2012E-C-R004-F
C_{BST1}	0.1µF、35V、セラミック コンデンサ	GRT033R6YA104KE01
C_{BST2}	0.1µF、35V、セラミック コンデンサ	GRT033R6YA104KE01
C_{VCC}	47µF、6.3V、セラミック コンデンサ	GRM188R60J476ME15D
$R_{UVLO,top}$	75kΩ	
$R_{UVLO,bot}$	20.5kΩ	
R_{SLOPE}	69.8kΩ	
R_{CFG}	13.3kΩ	
R_{RT}	75kΩ	

Copyright © 2025 Texas Instruments Incorporated

9.2.3 アプリケーション曲線

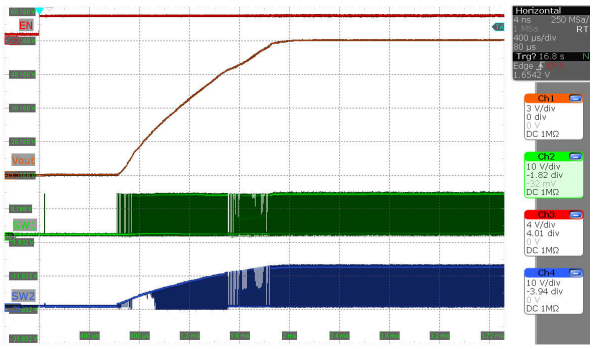


図 9-2. スタートアップ時のスタンバイ動作からアクティブ動作まで
(MODE = $V_{(VCC)}$、V_o = 12V、I_o = 0A、$V_{(VIN)}$ = 12V)

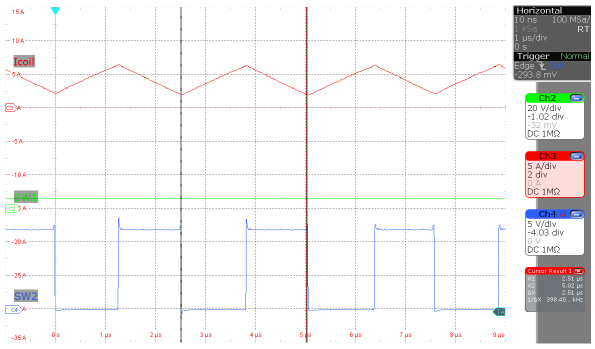


図 9-3. インダクタ電流昇圧動作
(MODE = $V_{(VCC)}$、V_o = 12V、I_o = 0A、$V_{(VIN)}$ = 6V)

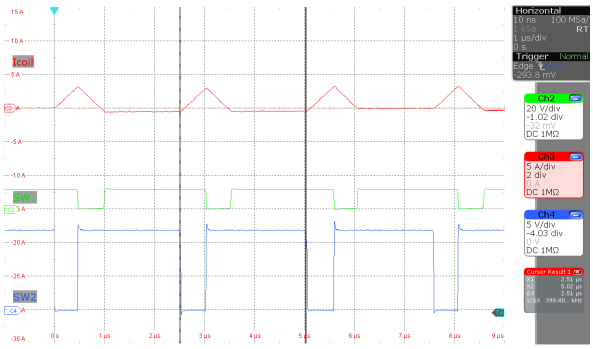


図 9-4. インダクタ電流昇降圧動作
(MODE = $V_{(VCC)}$、V_o = 12V、I_o = 0A、$V_{(VIN)}$ = 12V)

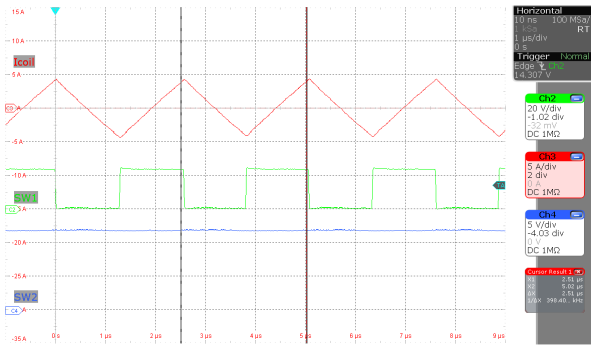


図 9-5. インダクタ電流降圧動作
(MODE = $V_{(VCC)}$、V_o = 12V、I_o = 0A、$V_{(VIN)}$ = 24V)

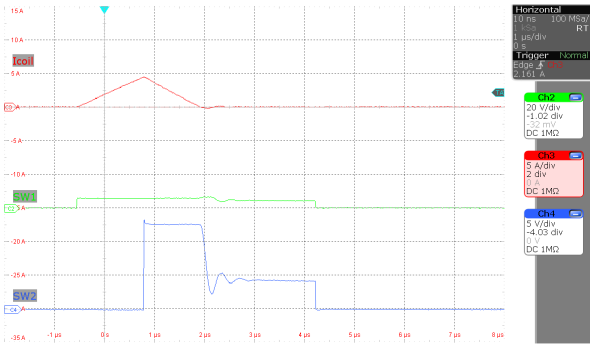


図 9-6. インダクタ電流昇圧動作
(MODE = 0V、V_o = 12V、I_o = 10mA、$V_{(VIN)}$ = 6V)

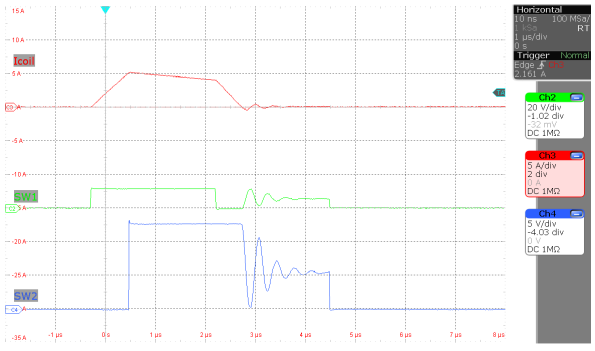


図 9-7. インダクタ電流昇降圧動作
(MODE = 0V、V_o = 12V、I_o = 10mA、$V_{(VIN)}$ = 12V)

Copyright © 2025 Texas Instruments Incorporated

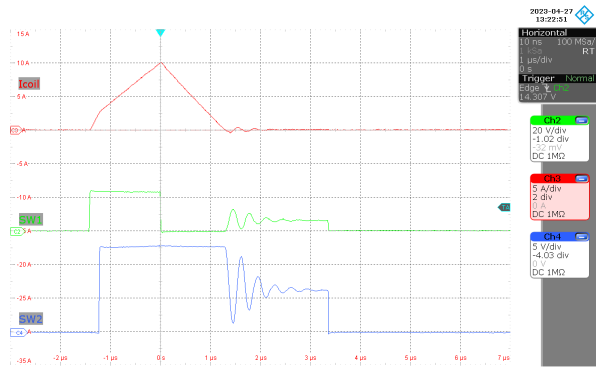


図 9-8. インダクタ電流降圧動作
(MODE = 0V、V_O = 12V、I_O = 10mA、$V_{(VIN)}$ = 24V)

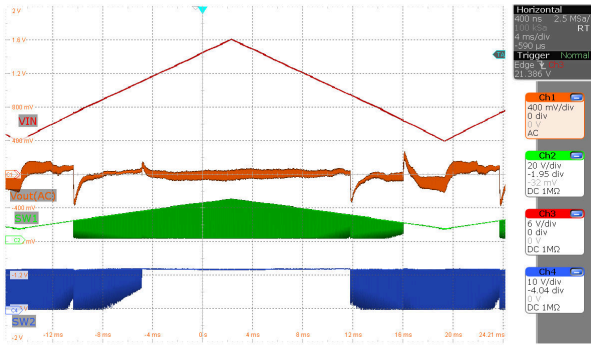


図 9-9. 入力電圧ランプが 6V から 24V
(MODE = $V_{(VCC)}$、V_O = 12V、I_O = 6A

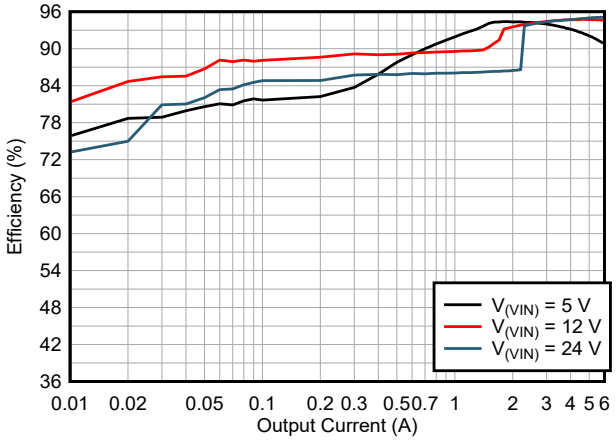


図 9-10. 効率と I_O との関係
(MODE = 0V V_O = 12V)

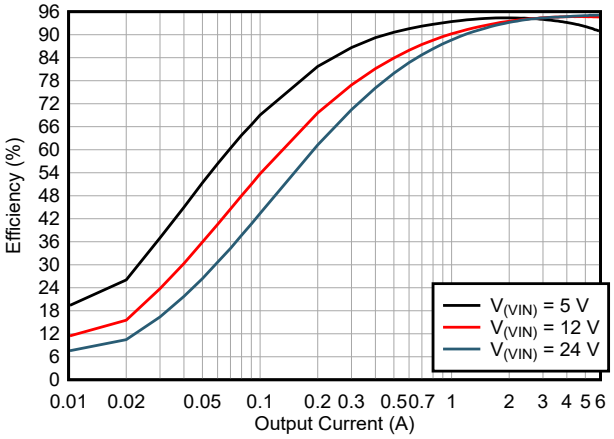


図 9-11. 効率と I_O との関係
(MODE = VCC V_O = 12V)

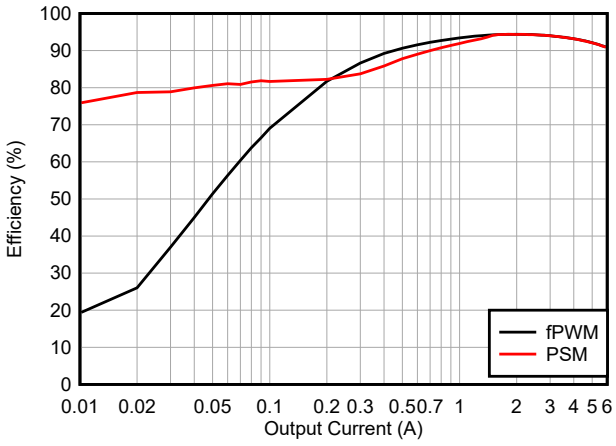


図 9-12. 昇圧モードでの効率と I_O との関係
(V_{IN} = 5V、V_O = 12V)

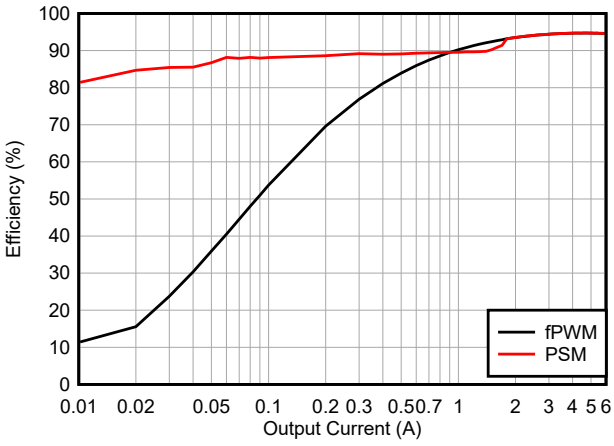


図 9-13. 昇降圧モードでの効率と I_O との関係
(V_{IN} = 12V、V_O = 12V)

Copyright © 2025 Texas Instruments Incorporated

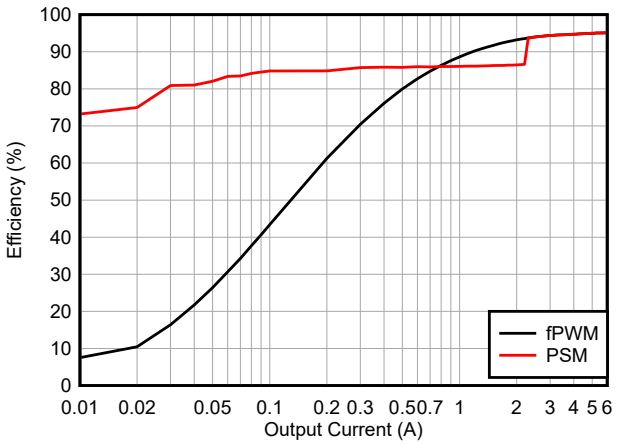


図 9-14. 降圧モードでの効率と I_O との関係 (V_{IN} = 24V、V_o = 12V)

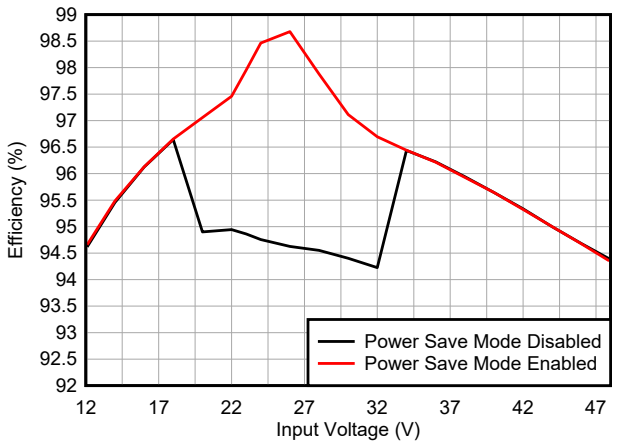


図 9-15. 効率と V_{IN} との関係 (V_o = 24V、I_O = 5A)

9.3 システム例

9.3.1 双方向電力バックアップ

デバイスの正確な逆電流制限により、LM5177 は電力段の入力にあるストレージ要素を充電できます。内蔵の平均電流制限回路である LM5177 を入力に対して有効にすると、3 番目のレギュレーション ループは定電流動作を維持し、入力のストレージ (バッテリやスーパー キャパシタ アレイなど) を充電します。入力の充電終了電圧は、単純なヒステリシス レギュレーション アプローチによって、または外部オペアンプと同等のデジタル レギュレーション方式を使用したリニア アプローチによってレギュレートされます。

システム電源が途絶した場合、または誤動作が発生した場合、選択したバックアップ電圧スレッショルドがトリガされた直後に、LM5177 は接続されているシステム負荷に直ちに電力を供給します。昇降圧電圧制御ループにより、シームレスな遷移が維持されます。この回路は、充電中もレギュレーションを維持し、バックアップ中に接続されているシステムの電圧降下を最小限に抑えます。

利点:

- メイン システムの電源から電源バックアップにシームレスかつ自動的に移行します。
- エネルギー ストレージ充電制御とバックアップ レギュレータをシングル チップ アプリケーションで組み合わせています。
- シングル インダクタ アプリケーション。これは充電およびバックアップ動作用の 1 つの電力段です。
- 定電流と定電圧動作が可能です。
- 出力帰還分圧器を使用して、即座に遷移電圧を調整可能です。
- 複数のシステムに対応できるスケーラブルなアプリケーションです。電力レベルは BOM に応じて調整されます。トポロジとアーキテクチャの認定では、同じものが維持されます。

Copyright © 2025 Texas Instruments Incorporated

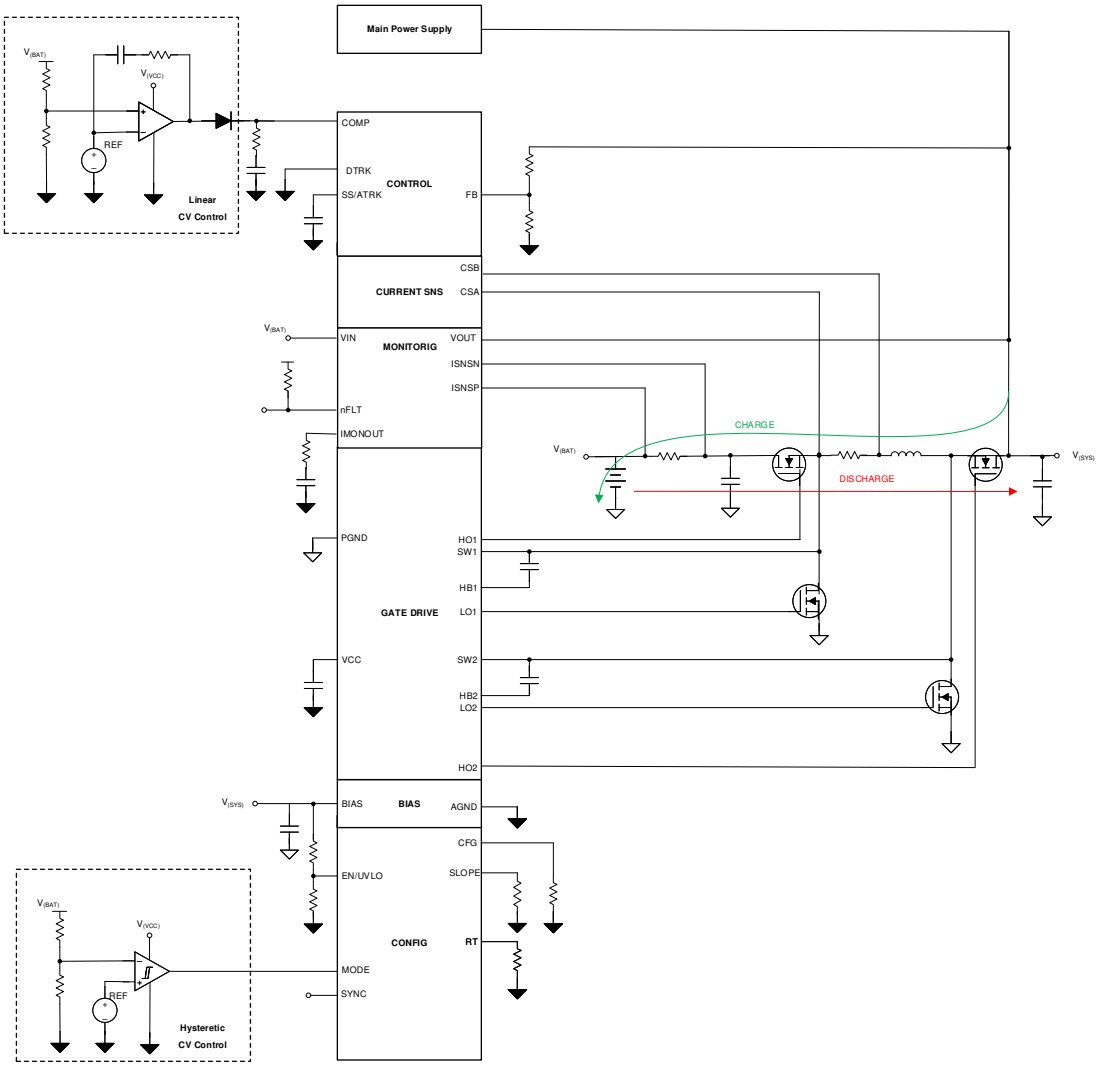


図 9-16. 双方向動作の概略回路図

以下に、DC/DC バックアップ アプリケーションで相互作用する制御ループの詳細を示します。相互作用の中心は COMP ピンで、基盤となる双方向ピーク電流制御ループのピーク電流ターゲットを定義します

1. 内部ピーク電流ループ — COMP ピンからの制御入力信号により、PWM ロジックの双方向 (正および負のパック電流) が設定されます。
2. システム電源電圧が FB ピンによって選択された電圧を下回ると、内部出力電圧ループは V_o を制御します。
3. 内部の定電流ループにより、ピーク電流が選択された方向に制限され、レギュレートされます。ほとんどの電源バックアップ ケースでは、負 (充電) 電流を選択します。定電流制限をアクティブにすると、ピーク電流がクランプされ、最大値に達しないようにして、より低い充電電流を実現できます。定電流ループの負方向を選択した場合、ピーク電流の順方向は制限されません。
4. 入力電圧 (V_{BAT}) 定電圧レギュレーションは、COMP ピンのリニア レギュレータによって外部から追加されます。バッテリ電圧が目的の目標電圧に達すると、レギュレータがピーク電流設定点をプルアップし、充電動作が停止します。

Copyright © 2025 Texas Instruments Incorporated

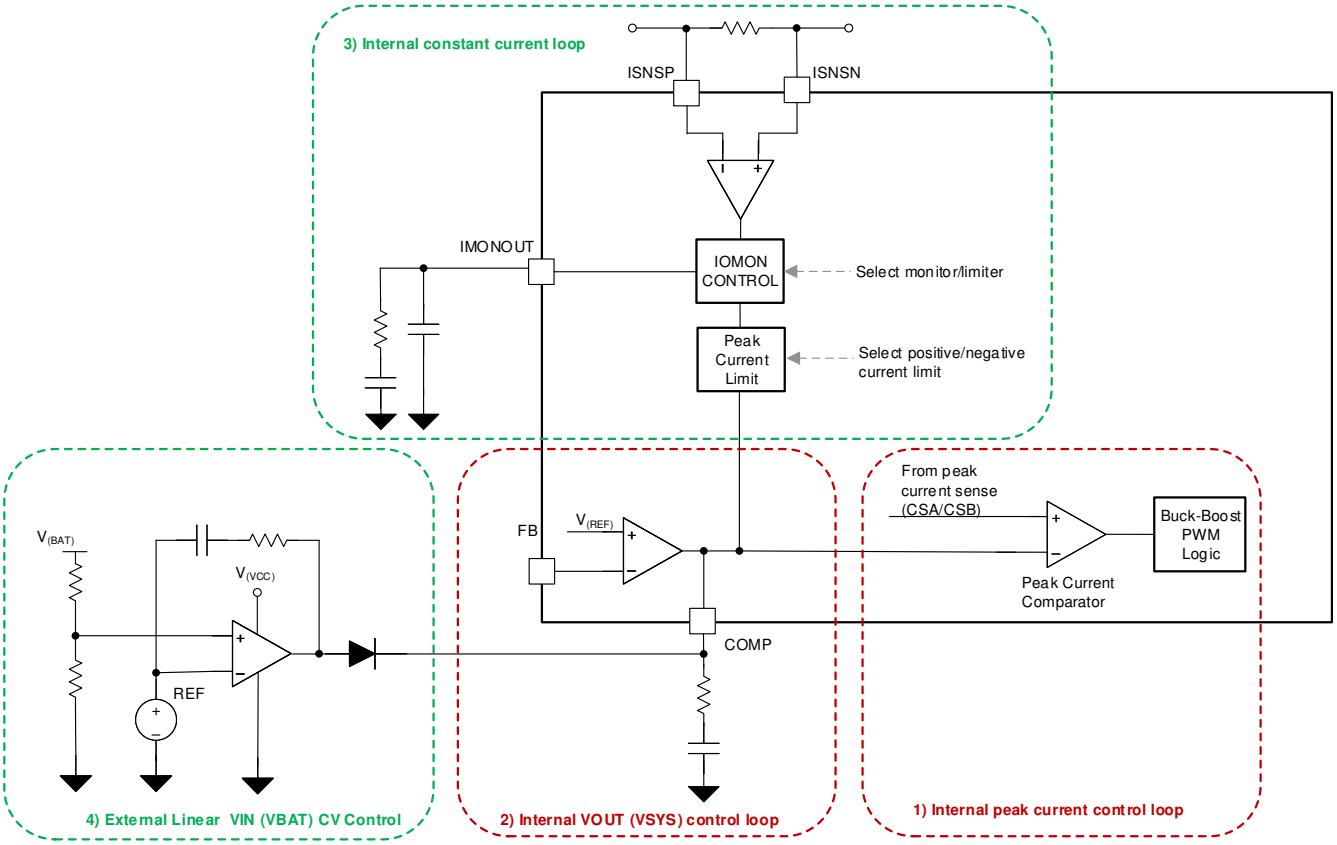


図 9-17. DC/DC バックアップ アプリケーション向け制御ループの概要

9.3.2 並列 (マルチフェーズ) 動作

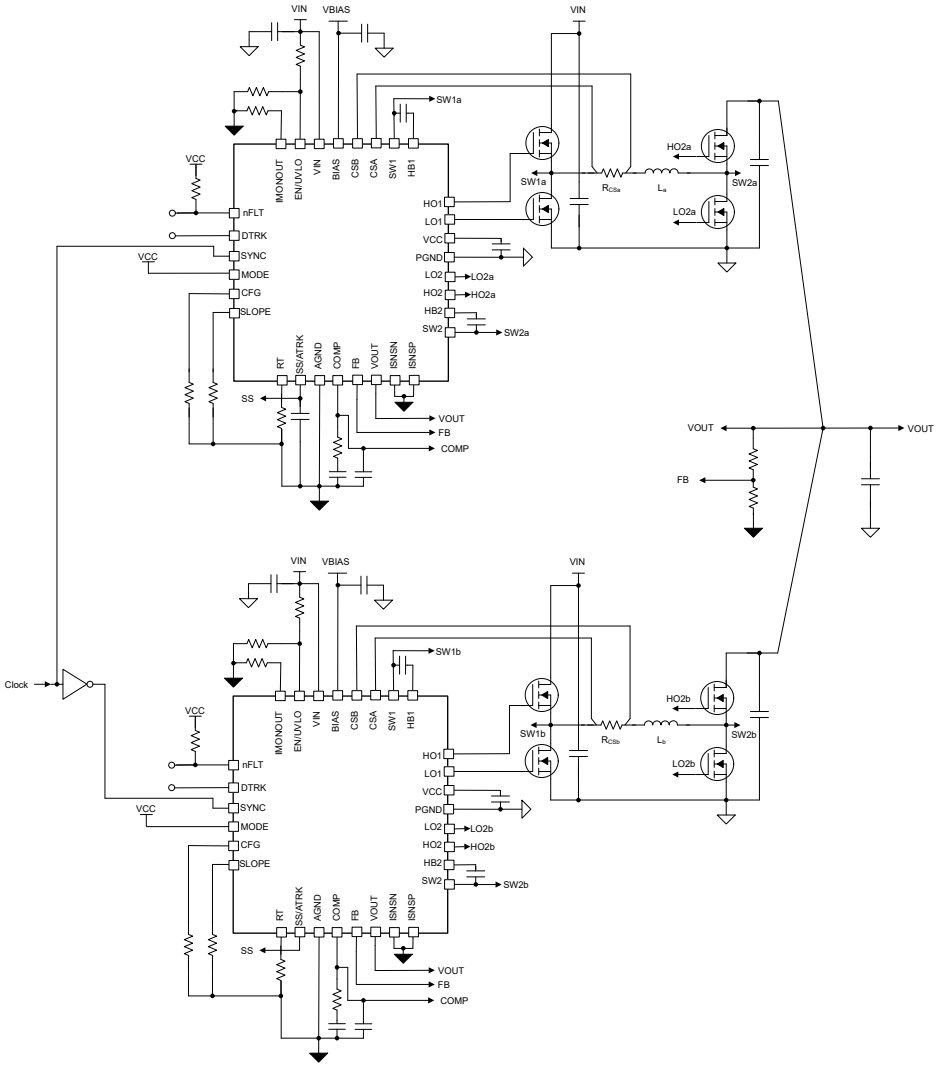


図 9-18. 並列 (マルチフェーズ) 動作の概略回路図

Copyright © 2025 Texas Instruments Incorporated

9.3.3 ロジック レベルのハイサイド ゲート信号を使用した外部ゲート ドライバ

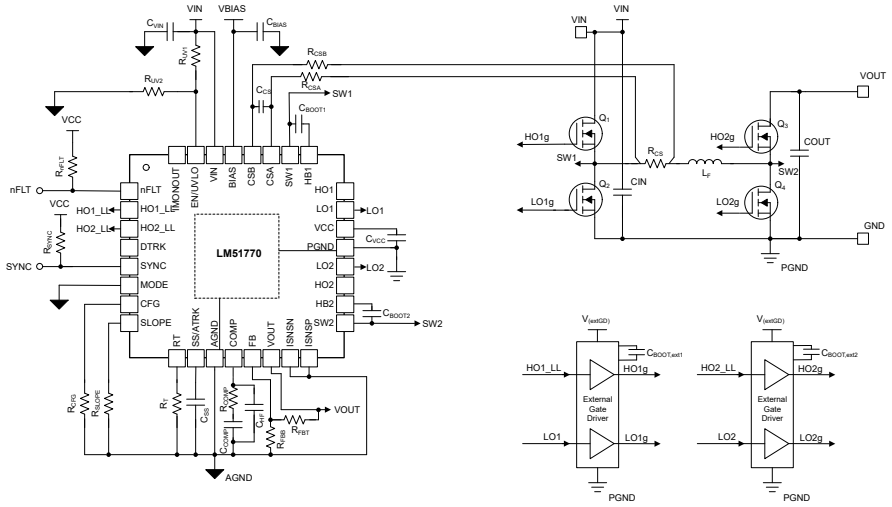


図 9-19. ハイサイド ゲート信号のロジック レベル出力 HOx_LL 信号を使用した外部ゲート ドライバの概略回路図

9.4 電源に関する推奨事項

LM51770x は、広い入力電圧範囲で動作するよう設計されています。入力電源の特性および「*絶対最大定格*」と「*推奨動作条件*」との互換性が実現します。また、入力電源は、全負荷時のレギュレータに必要な入力電流を供給できるようになります。平均入力電流を見積るには、式 49 を使用します。

$$I_I = \frac{P_O}{V_I \eta} \tag{49}$$

ここで、

- η は効率です。

効率の値を得る方法の 1 つは、ワースト ケースの動作モードにおける セクション 9.2.3 の効率グラフのデータを取得することです。ほとんどのアプリケーションでは、昇圧動作は入力電流が最大の領域となります。

デバイスが高インピーダンスを持つ長い配線や PCB パターンを経由して入力電源に接続されている場合は、安定した性能を実現するために特に注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、コンバータの動作に悪影響を及ぼします。寄生インダクタンスと低 ESR セラミック入力コンデンサを組み合わせることで、不足減衰共振回路が形成されます。この回路は、入力電源がオンとオフを周期的に切り替わるたびに、VIN で過電圧過渡が発生する可能性があります。寄生抵抗により、負荷過渡中に入力電圧が低下する場合があります。こうした問題を解決する方法の 1 つは、入力電源からレギュレータまでの距離を短くして、セラミックと並列にアルミニウム製やタンタル製の入力コンデンサを使用することです。電解コンデンサの ESR は比較的低いため、入力共振回路は減衰し、電圧オーバーシュートを低減することができます。コントローラの電力段の前に EMI 入力フィルタをよく使用します。慎重に設計しないと、不安定性が生じたり、前述の影響のいくつかが発生する可能性があります。

Copyright © 2025 Texas Instruments Incorporated

9.5 レイアウト

堅牢で信頼性の高い設計を実現するためには、大電流、高速スイッチング回路 (大電流と電圧スルーレート対応) で適切な PCB 設計とレイアウトを行うことが重要です。想定どおり、LM51770x の PCB レイアウトの設計には、特定のトピックを考慮してください。

9.5.1 レイアウトのガイドライン

9.5.1.1 出力段レイアウト

入力コンデンサ、出力コンデンサ、MOSFET は、降圧レギュレータの出力段の構成部品であり、一般に PCB の上面に配置されます。システムレベルの気流を活用することにより、対流熱伝達の利点が最大化されます。通常、2 面 PCB レイアウトでは小信号部品は底面に配置されます。少なくとも 1 つの内部プレーンを挿入してグランドに接続することにより、小信号パターンをシールドし、ノイズの多いパワーラインと分離します。

DC/DC レギュレータには、複数の大電流ループがあります。このループ領域を最小化すると、生成されるスイッチング ノイズは抑制され、スイッチング性能を最適化することができます。

- 最小化が最も重要なループ領域は、入力コンデンサから降圧ハイサイド MOSFET とローサイド MOSFET を経由し、入力コンデンサのグランド接続と、昇圧ハイサイド MOSFET とローサイド MOSFET を経由して出力コンデンサからのパスを経由して、出力コンデンサのグランド接続に戻る経路です。コンデンサのマイナス端子をローサイド MOSFET のソース (グランド) の近くに接続します。同様に、コンデンサの正極端子を、両方のループのハイサイド MOSFET のドレインの近くに接続します。
- これらの推奨事項に加えて、パッド形状や半田ペースト ステンシルの設計など、MOSFET メーカーが推奨する MOSFET のレイアウトに関する考慮事項に従ってください。

9.5.1.2 ゲート ドライバ レイアウト

LM51770x のハイサイドおよびローサイド ゲート ドライバは、短い伝搬遅延、周波数依存のデッドタイム制御、低インピーダンス出力段を内蔵しており、非常に高速な立ち上がり、立ち下がり時間で大きなピーク電流を供給できるため、外部パワー MOSFET の高速なターンオン遷移とターンオフ遷移を実現しています。パターンの長さを十分制御できていない場合、di/dt が非常に高いと許容不可能なリンギングが発生することがあります。ゲート ドライブのスイッチング性能を最適化するには、空電または寄生ゲート ループ インダクタンスの最小化が重要です。これは、MOSFET ゲート キャパシタンスで共振する直列ゲート インダクタンスでも、ゲート ドライブ コマンドに反して負のフィードバック成分を供給するコモン ソース インダクタンス (ゲートとパワー ループに共通) でも同様で、そしてこれにより MOSFET のスイッチング時間は長くなります。

ゲート ドライバ出力 HO1 および HO2 からハイサイド MOSFET の各ゲートへの接続は、直列寄生インダクタンスを低減するために、できるだけ短くしてください。HO1 と HO2、SW1、SW2 の各ゲート パターンをデバイス ピンからハイサイド MOSFET に差動ペアとして配線し、ループ面積の縮小によるフラックスの打ち消しを利用します。

ゲート ドライバ出力 LO1 および LO2 からローサイド MOSFET の各ゲートへの接続は、直列寄生インダクタンスを低減するために、できるだけ短くしてください。LO1 と LO2、および PGND は、各ゲート パターンをデバイス ピンからローサイド MOSFET に差動ペアとして配線し、ループ面積の縮小によるフラックスの打ち消しを利用します。

大電流が瞬間的に流れることにより、VCC、HB1、および HB2 ピンから各コンデンサを流れる電流ループ パスを最小化します。

9.5.1.3 コントローラのレイアウト

ゲート ドライバのパターン走行を最小限にするため、コントローラをパワー MOSFET のできる限り近くに配置する規定により、電流センシングだけでなく、アナログ信号と帰還信号に関連する部品については、以下のように考慮します。

- 電源と信号のパターンを分けて、ノイズのシールドを実現するためにグランド プレーンを使用します。
- 相互結合を避けるため、COMP、FB、SLOPE、SS/ATRK、および RT に関連するすべての敏感なアナログ トレースおよびコンポーネントを、次のような高電圧スイッチング ノードから離して配置します。
  - SW1
  - SW2
  - HO1

Copyright © 2025 Texas Instruments Incorporated

  - HO2
  - LO1
  - LO2
  - HB1
  - HB2
- 1 つ以上の内部層をグランド プレーンとして使用します。特に、電源パターンと部品から帰還 (FB) パターンをシールドすることには注意してください。
- ノイズ ピックアップを最小限に抑えるために、CSA、CSB、ISNSP、ISNSN の各パターンを差動ペアとして配線し、適切なシャント抵抗にケルビン接続を使用します。
- FB のパターンができるだけ短くなるように、上側と下側の帰還抵抗を各 FB ピンの近くに設置します。上側の帰還抵抗から出力電圧検出ポイントまでのパターンを配線します。
- パワー グランドには共通のグランド ノードを使用し、アナログ グランドには別のノードを使用して、グランド ノイズの影響を最小限に抑えます。これらのグランド ノードは、IC のグランドピンの 1 つの近くの任意の場所に接続します。
- HTSSOP パッケージでは、パッケージの底面にある露出した熱パッドを介して、半導体のダイから熱が除去されます。パッケージの露出したパッドはこのパッケージの鉛部分に直接接触していませんが、デバイス (グランド) の基板に熱的に接続されています。この接続によって熱のシンクが大幅に改善されますが、熱除去サブシステムを完成させるには PCB の設計にサーマル ランド、サーマル ビア、グランド プレーンを入れることが必須となります。

9.5.2 レイアウト例

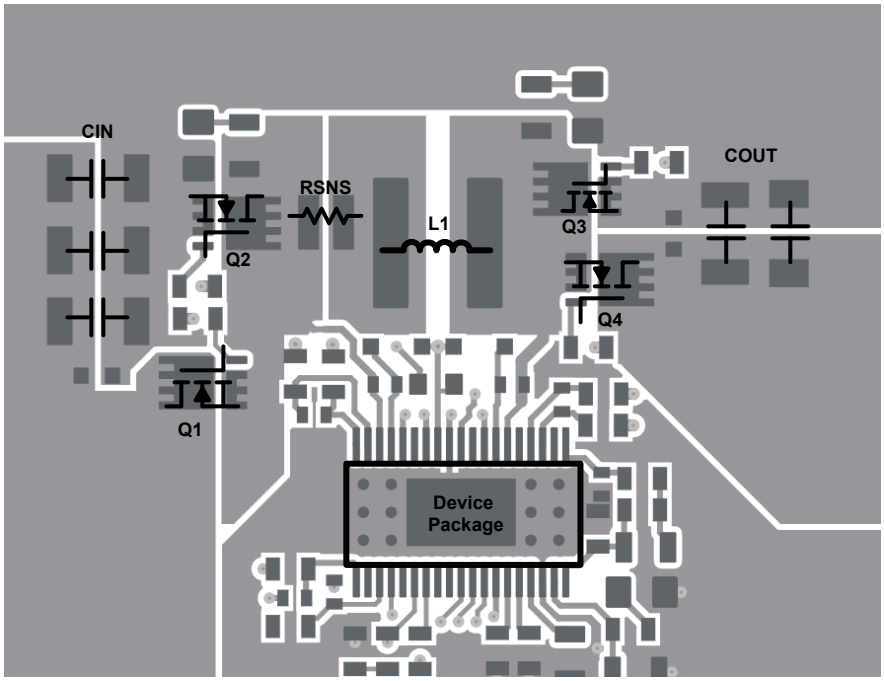


図 9-20. LM51770x の最上層の配線例

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 デバイス サポート

10.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

10.1.2 開発サポート

10.1.2.1 WEBENCH ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designer により、LM51770x デバイスを使用するカスタム設計を作成できます。

1. 最初に、V_{IN}、V_{OUT}、I_{OUT} の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化し、この設計とテキサス インスツルメンツによる他の可能なアプリケーションを比較します。
3. WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。
4. ほとんどの場合、ユーザーは次のことが可能です。
   - 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
   - 熱シミュレーションを実行し、基板の熱性能を把握する。
   - カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットでエクスポートする。
   - 設計のレポートを PDF で印刷し、同僚と設計を共有する。
5. WEBENCH ツールの詳細は、www.ti.com/ja-jp/webench でご覧になれます。

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

Copyright © 2025 Texas Instruments Incorporated

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (December 2024) to Revision A (August 2025)	Page
• ドキュメント全体にわたって LM517701 を追加	1
• デバイス比較表に LM517701 を追加	3
• ISNSP/N の差動定格を追加	7
• 記号 $V_{th+(CSB-CSA)}$ を追加	9
• 記号 $V_{th-(CSB-CSA)}$ を追加	9
• 最小時間 low EN トグルのため、未定を 22us に変更	14
• 内部分帰還分圧器の説明を追加	28
• ヒカップの詳細を追加	33
• 外部ゲートドライバ出力の説明を追加	38
• 設計要件セクションを追加	44
• 不足していた分母を式に追加	44
• 過電流センス制限値の式を更新	45
• サンプル システムを追加	53

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

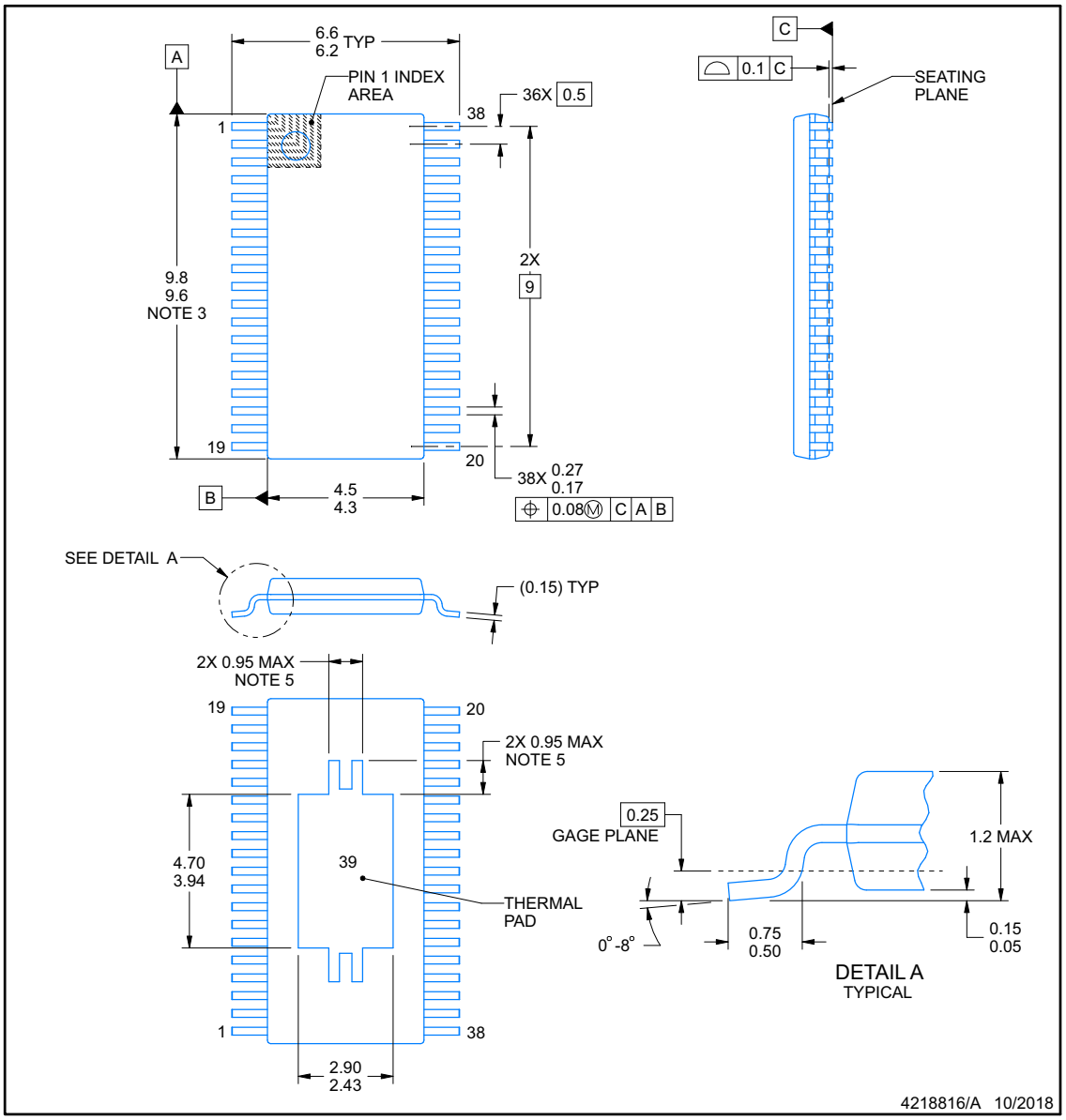
PACKAGE OUTLINE

DCP0038A



PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

TEXAS INSTRUMENTS
www.ti.com

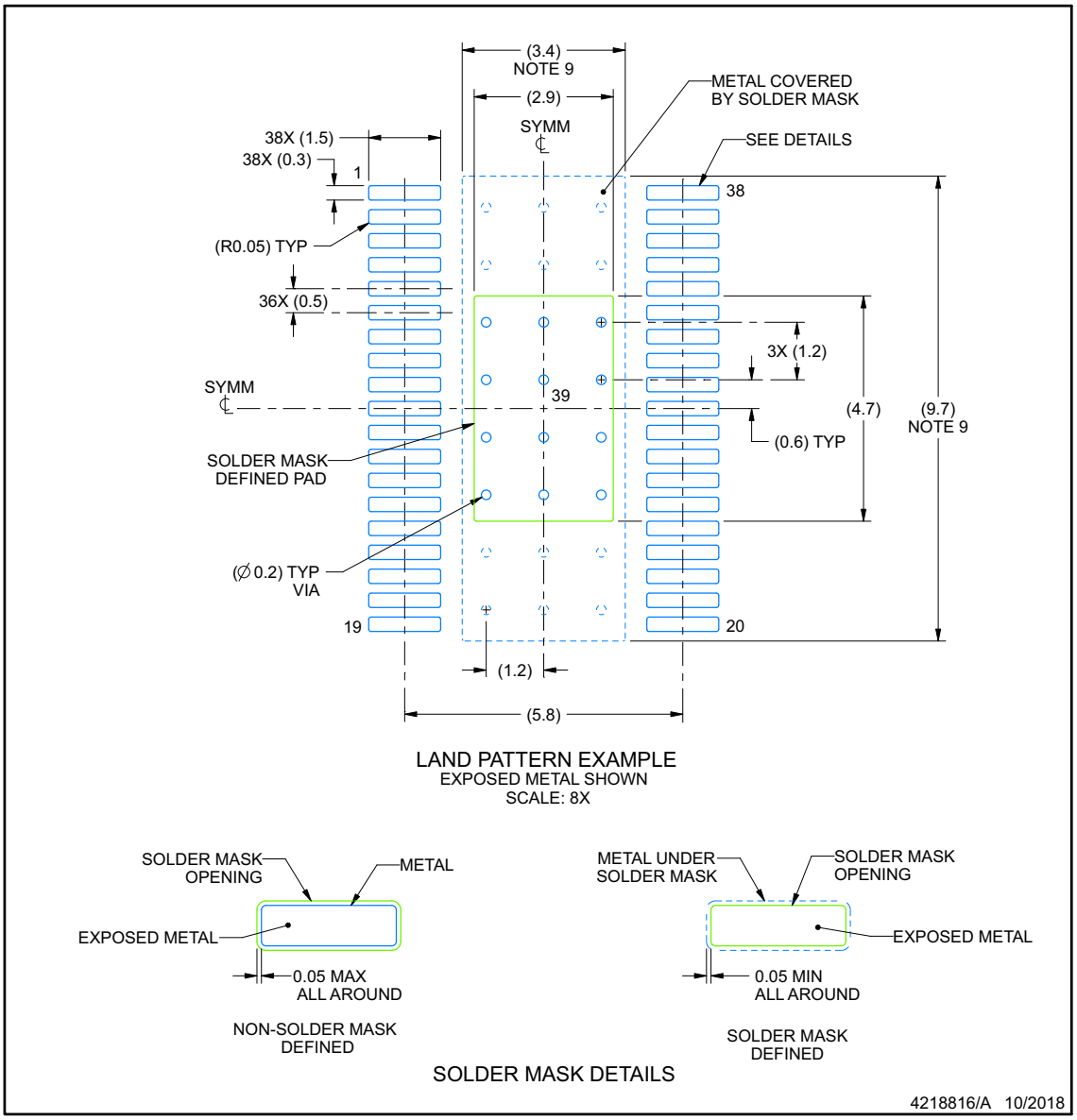
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

DCP0038A

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

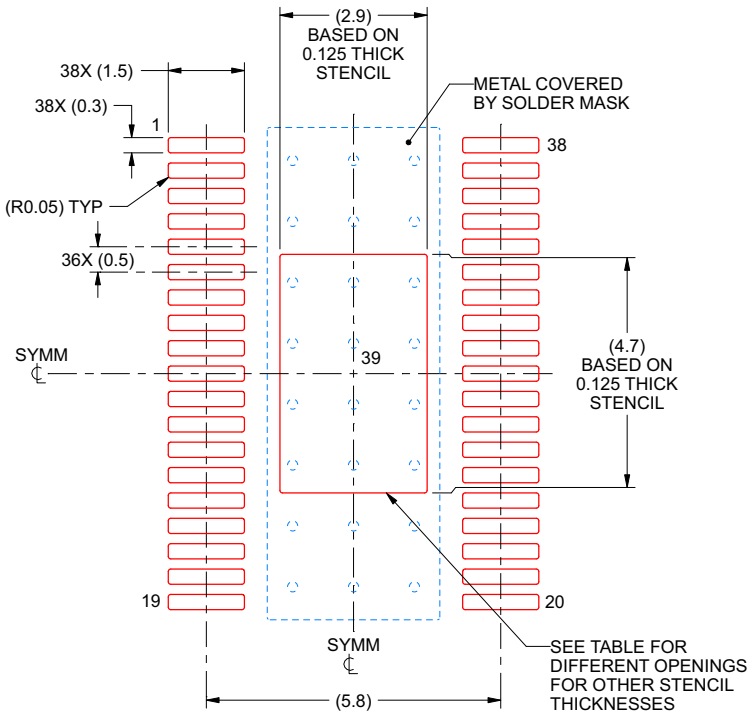
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DCP0038A — **PowerPAD™ TSSOP - 1.2 mm max height**

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.24 X 5.25
0.125	2.90 X 4.70 (SHOWN)
0.15	2.65 X 4.29
0.175	2.45 X 3.97

4218816/A 10/2018

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM517701DCPR	Active	Production	HTSSOP (DCP) | 38	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	LM517701
LM51770DCPR	Active	Production	HTSSOP (DCP) | 38	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	LM51770
LM51770DCPR.A	Active	Production	HTSSOP (DCP) | 38	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	See LM51770DCPR	LM51770

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LM51770 :

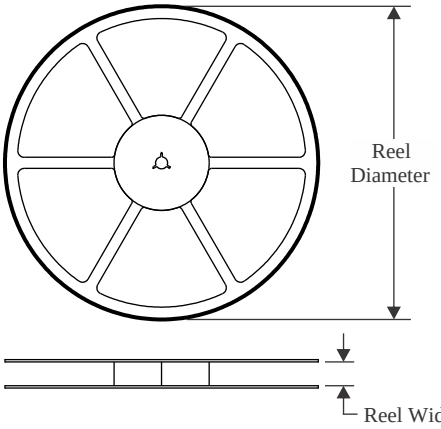
- Automotive : LM51770-Q1

NOTE: Qualified Version Definitions:

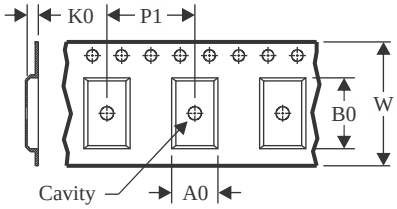
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

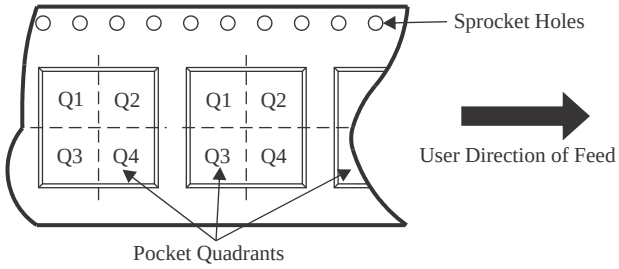


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

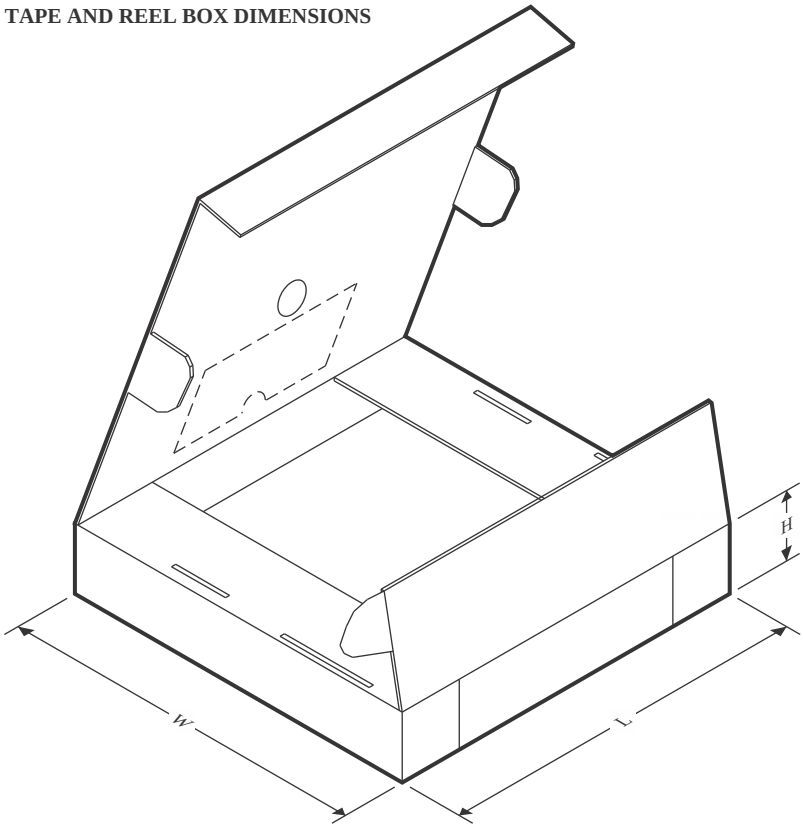
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM517701DCPR	HTSSOP	DCP	38	2500	330.0	16.4	6.75	10.1	1.8	12.0	16.0	Q1
LM51770DCPR	HTSSOP	DCP	38	2500	330.0	16.4	6.75	10.1	1.8	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM517701DCPR	HTSSOP	DCP	38	2500	353.0	353.0	32.0
LM51770DCPR	HTSSOP	DCP	38	2500	353.0	353.0	32.0

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月