LM5575-Q1 75V、1.5A、車載対応、降圧スイッチング レギュレータ

1 特長

- 車載アプリケーション用に AEC-Q100 認定取得済み:
  - デバイス温度グレード 1:-40℃～+125℃の動作温度範囲
  - デバイス HBM ESD 分類レベル 2
- 75V、330mΩ、N チャネル MOSFET を内蔵
- 非常に広い入力電圧:6V ～ 75V
- 最低 1.225V の調整可能な出力電圧
- 1.65% のフィードバック リファレンス精度
- 単一の抵抗を使用する場合、動作周波数を 50kHz ～ 500kHz の範囲で調整可能
- コントローラまたは周辺装置の周波数同期
- 可変ソフト スタート
- 電流モード制御アーキテクチャをエミュレート
- 広帯域幅のエラー アンプ
- 内蔵保護機能
- WEBENCH® Power Designer により、LM5575-Q1 を使用するカスタム設計を作成

2 アプリケーション

- 車載

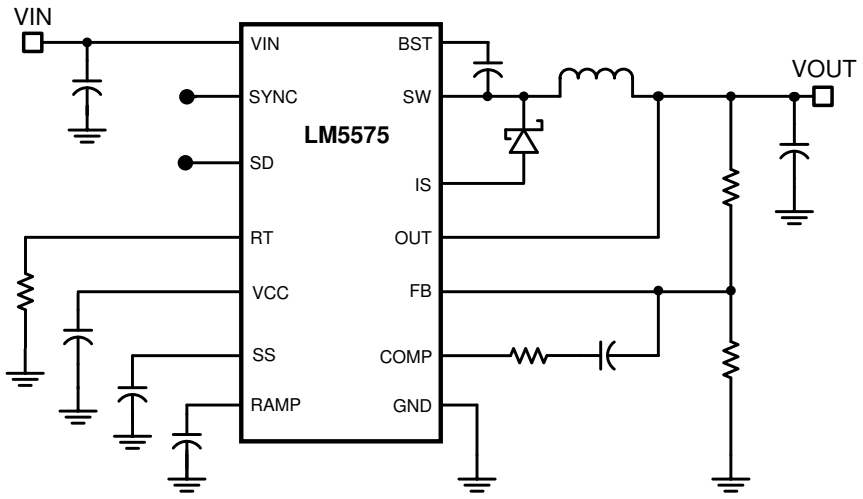
3 説明

LM5575-Q1 は、使いやすい降圧型レギュレータで、設計エンジニアは最小点数の部品を使用して、堅牢な電源を設計し最適化できます。LM5575-Q1 は 6V ～ 75V の入力電圧レンジで動作し、内蔵の 330mΩ N チャネル MOSFET を使用して 1.5A の連続出力電流を供給します。このレギュレータはエミュレーション電流モード アーキテクチャを活用しているため、ライン レギュレーション、厳格な負荷過渡応答、容易なループ補償という固有の特性があり、電流モード レギュレータで一般的な、低いデューティ サイクルの制限はありません。動作周波数は 50kHz ～ 500kHz の範囲で調整可能であり、サイズと効率の最適化を達成できます。LM5575-Q1 のサイクルごとの電流制限、短絡保護、サーマル シャットダウン、およびリモート シャットダウン機能により、堅牢性が保証されます。このデバイスは、放熱を助けるために露出したパッドがダイに取り付けられ、消費可能電力が増大した 16 ピン HTSSOP パッケージで供給されます。LM5575-Q1 は、WEBENCH 回路設計および選択シミュレーション サービス オンライン設計ツールの完全なスイートでサポートされています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
LM5575-Q1	PWP (HTSSOP、16)	5mm × 4.4mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....5
5.4 熱に関する情報.....5
5.5 電気的特性.....6
5.6 代表的特性.....8
6 詳細説明.....9
6.1 概要.....9
6.2 機能ブロック図.....9
6.3 機能説明.....9
6.4 デバイスの機能モード.....10
7 アプリケーションと実装.....16
7.1 使用上の注意.....16
7.2 代表的なアプリケーション.....17
7.3 電源に関する推奨事項.....22
7.4 レイアウト.....23
8 デバイスおよびドキュメントのサポート.....26
8.1 デバイス サポート.....26
8.2 ドキュメントの更新通知を受け取る方法.....26
8.3 サポート・リソース.....26
8.4 商標.....26
8.5 静電気放電に関する注意事項.....26
8.6 用語集.....26
9 改訂履歴.....27
10 メカニカル、パッケージ、および注文情報.....27

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

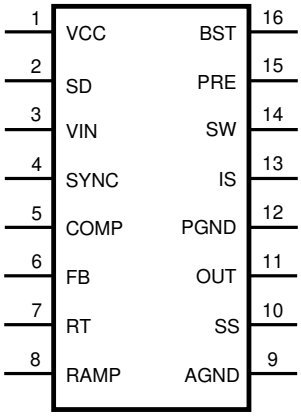


図 4-1. PWP パッケージ、16 ピン HTSSOP (露出サーマル パッド付き) (上面図)

表 4-1. ピンの機能

ピン		タイプ (1)	説明	アプリケーション情報
番号	名称			
1	VCC	O	バイアス レギュレータの出力	VCC は VIN を 9V まで追跡します。9V を超えると、VCC は 7V にレギュレートされます。0.1µF ～ 1µF のセラミック デカップリング コンデンサが必要です。このピンに外部電圧 (7.5V ～ 14V) を印加することで、内部消費電力を低減できます。
2	SD	I	シャットダウンまたは UVLO 入力	SD ピンの電圧が 0.7V より低い場合、レギュレータは低消費電力状態になります。SD ピンの電圧が 0.7V ～ 1.225V の間である場合、レギュレータはスタンバイモードになります。SD ピンの電圧が 1.225V よりも高い場合、レギュレータは動作します。外付けの分圧器を使用して、ライン低電圧シャットダウン スレッショルドを設定できます。SD ピンをオープンのままにすると、5µA のプルアップ電流源を使用してレギュレータが完全に動作します。
3	VIN	I	入力電源電圧	公称動作範囲：6V～75V。
4	SYNC	I	発振器の同期入力または出力	内部発振器は、外部プルダウン デバイスを使用して外部クロックと同期可能です。SYNC ピンを接続することで、複数の LM5575-Q1 デバイスを互いに同期できます。
5	COMP	O	内部のエラー アンプの出力	ループ補償ネットワークは、このピンと FB ピンの間に接続する必要があります。
6	FB	I	レギュレーション済み出力からのフィードバック信号	このピンは内部エラー アンプの反転入力に接続されています。レギュレーション閾値は 1.225V です。
7	RT	I	内部発振器の周波数設定入力	内部発振器は、このピンと AGND ピンとの間に接続された 1 つの抵抗で設定されます。
8	RAMP	O	ランプ制御信号	このピンと AGND ピンとの間に接続する外付けコンデンサにより、電流モード制御に使用されるランプ スロープが設定されます。推奨されるコンデンサ範囲は 50pF ～ 2000pF です。
9	AGND	GND	アナログ グランド	レギュレータ制御機能用の内部リファレンス
10	SS	O	ソフト スタート	1 個の外付けコンデンサと 1 個の内部 10µA 電流源を使用して、エラー アンプのリファレンス電圧が上昇するときの時定数を設定します。SS ピンは、スタンバイ、VCC UVLO、サーマル シャットダウンのとき、Low に保持されます。
11	OUT	O	出力電圧の接続	レギュレートされた出力電圧に直接接続します。
12	PGND	GND	電源グランド	PRE スイッチと IS センス抵抗のローサイド リファレンス。
13	IS	I	電流センス	再循環ダイオードの電流測定接続。内部のセンス抵抗とサンプル / ホールド回路は、オフ時間の終了付近でダイオード電流を検出します。この電流測定値は、エミュレートされた電流ランプの DC レベルを提供します。
14	SW	O	スイッチング ノード	内部降圧スイッチのソース端子。SW ピンは、外部ショットキー ダイオードと降圧インダクタに接続します。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ (1)	説明	アプリケーション情報
番号	名称			
15	PRE	O	ブートストラップ コンデンサの事前充電支援	このオープン ドレイン出力を SW ピンに接続することで、非常に軽い負荷状況時のブートストラップ コンデンサの充電に役立ちます。また、LM5575-Q1 がイネーブルになる前に出力をプリ チャージできるアプリケーションでは、ブートストラップ コンデンサを充電できます。降圧スイッチのオン時間間隔の直前に、内部プリチャージ MOSFET が各サイクル 250ns でオンになります。
16	BST	I	ブートストラップ コンデンサの昇圧入力	BST ピンと SW ピンの間には外部コンデンサが必要です。TI では 0.022µF 以上のセラミック コンデンサをお勧めします。このコンデンサは、降圧スイッチのオフ時間中に、VCC から内部ダイオードを経由して充電されます。
該当なし	EP	--	露出パッド付き	パッケージ裏面の露出金属パッド。TI は、放熱を促進するため、このパッドを PWB グランド プレーンに接続することを推奨しています。

(1) I = 入力、O = 出力、GND = グランド

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1) (2)。

	最小値	最大値	単位
V_{IN} から GND へ		76	V
BST から GND へ		90	V
PRE から GND へ		76	V
SW から GND (定常状態)		-1.5	V
BST から V_{CC} へ		76	V
SD、V_{CC} から GND へ		14	V
BST から SW へ		14	V
OUT から GND へ		V_{IN} に制限	
SYNC、SS、FB、RAMP から GND へ		7	V
保管温度、T_{stg}	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) 防衛用 / 航空宇宙用仕様のデバイスをお求めの場合は、供給状況および仕様についてテキサス インスツルメンツの販売特約店または営業所にお問い合わせください。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠(1) (2)	±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±500	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。
(2) 人体モデルは、100pF コンデンサから抵抗 1.5kΩ を介して各ピンに放電させた場合です。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)(1)

	最小値	最大値	単位
V_{IN}	6	75	V
動作時接合部温度	-40	150	°C

(1) 絶対最大定格は、これを超過するとデバイスが損傷する可能性がある限界値です。推奨動作条件は、デバイスが機能すると想定されている条件を示します。保証された仕様および試験条件については、電気的特性を参照してください。

5.4 熱に関する情報

熱評価基準(1)		LM5575-Q1 PWP (HTSSOP) 16 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	38.4	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	21.8	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	15.6	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.5	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	16.4	°C/W

Copyright © 2026 Texas Instruments Incorporated

熱評価基準(1)		LM5575-Q1 PWP (HTSSOP) 16 ピン	単位
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	1.5	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

標準値は T_J = 25℃、V_{IN} = 48V、R_T = 32.4kΩ に対応します。特に記述のない限り、最小および最大の限界値は、-40°C ～ 125°C の接合部温度範囲全体に対するものです。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
スタートアップ レギュレータ						
V_{CC} Reg	V_{CC} レギュレータ出力		6.85	7.15	7.45	V
	V_{CC} LDO モード ターンオフ			9		V
	V_{CC} 電流制限	V_{CC} = 0V		25		mA
VCC 電源						
	V_{CC} UVLO スレッショルド		5.03	5.35	5.67	V
	V_{CC} 低電圧のヒステリシス			0.35		V
	バイアス電流 (Iin)	FB = 1.3V。		2	4.5	mA
	シャットダウン電流 (Iin)	SD = 0V。		48	70	µA
シャットダウン スレッショルド						
	シャットダウン スレッショルド		0.5	0.7	0.9	V
	シャットダウンのヒステリシス			0.1		V
	スタンバイ スレッショルド		1.18	1.225	1.27	V
	スタンバイ ヒステリシス			0.1		V
	SD プルアップ電流ソース			5		µA
スイッチ特性						
	降圧スイッチの Rds(on)			330	660	mΩ
	昇圧 UVLO			4		V
	BOOST UVLO ヒステリシス			0.93		V
	プリチャージ スイッチ Rds (on)			70		Ω
	プリチャージス イッチオン時間			250		ns
電流制限						
	サイクルごとの電流制限	RAMP = 0V	1.8	2.1	2.5	A
	サイクルごとの電流制限遅延	RAMP = 2.5V		75		ns
ソフト スタート						
	SS 電流ソース		7	10	13	µA
発振器						
	Frequency1		180	200	220	kHz
	Frequency2	R_T = 11kΩ。	425	485	525	kHz
	同期ソース インピーダンス			11		kΩ
	同期シンク インピーダンス			110		Ω
	SYNC スレッショルド (立ち下がり)			1.3		V
	SYNC 周波数		550			kHz
	SYNC パルス幅の最小値		15			ns
ランプ生成器						
	ランプ電流 1	V_{IN} = 60V、V_{OUT} = 10V	467	550	633	µA
	ランプ電流 2	V_{IN} = 10V、V_{OUT} = 10V。	36	50	64	µA
PWM コンパレータ						

Copyright © 2026 Texas Instruments Incorporated

標準値は T_J = 25℃、V_{IN} = 48V、R_T = 32.4kΩ に対応します。特に記述のない限り、最小および最大の限界値は、-40°C ～ 125°C の接合部温度範囲全体に対するものです。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
	強制オフ時間		416	500	575	ns
	最小オン時間			80		ns
	COMP から PWM へのコンパレータ オフセット			0.7		V
エラー アンプ						
	帰還電圧	Vfb = COMP。	1.207	1.225	1.243	µS
	FB バイアス電流			10		nA
	COMP シンク / ソース電流		3			mA
	ユニティ ゲイン帯域幅			3		MHz
ダイオード検出抵抗						
D_{SENSE}				83		mΩ
サーマル シャットダウン						
Tsd	サーマル シャットダウン スレッショルド			165		°C
	サーマル シャットダウン ヒステリシス			25		°C

(1) 最小および最大制限値は 25℃で全数テストされます。全動作温度範囲における制限値は、統計的品質管理 (SQC) 法を使用した相関により規定されています。これらの制限値を使って、テキサス インスツルメンツの平均出検品質限界 (AOQL) を計算しています。

5.6 代表的特性

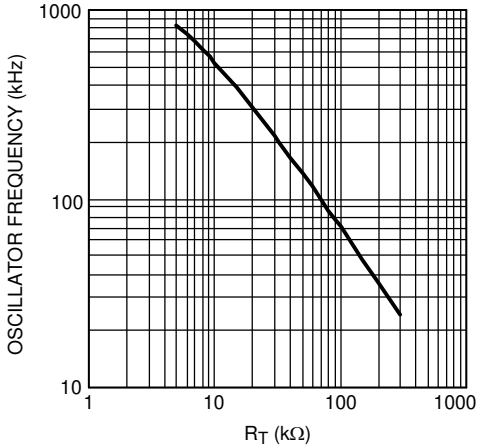


図 5-1. 発振器周波数と R_T との関係

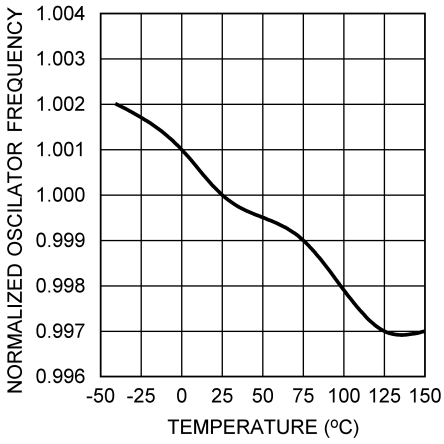


図 5-2. (F_{OSC} = 200kHz 時)

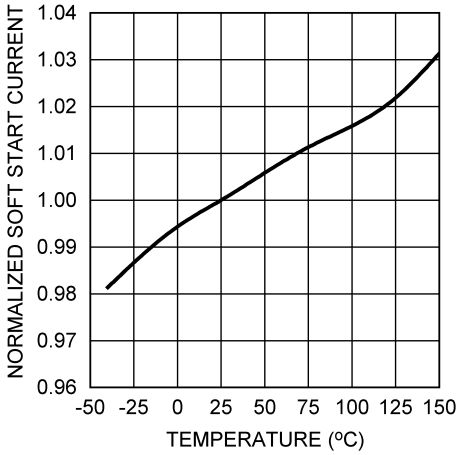


図 5-3. ソフトスタート電流と温度との関係

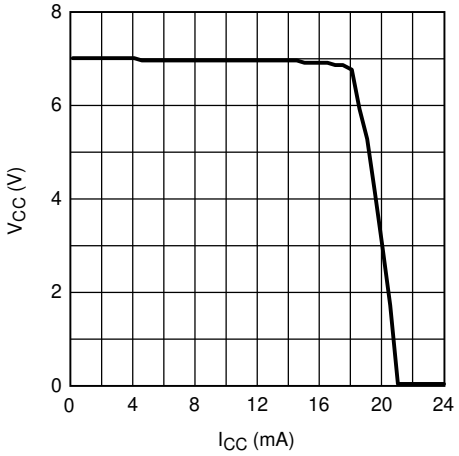


図 5-4. V_{CC} と I_{CC} V_{IN} = 12V との関係

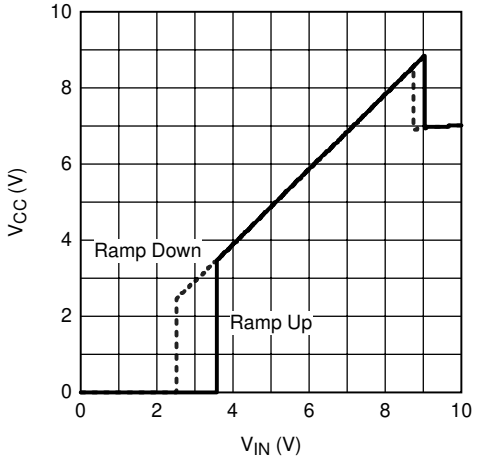


図 5-5. V_{CC} と V_{IN} R_L = 7kΩ との関係

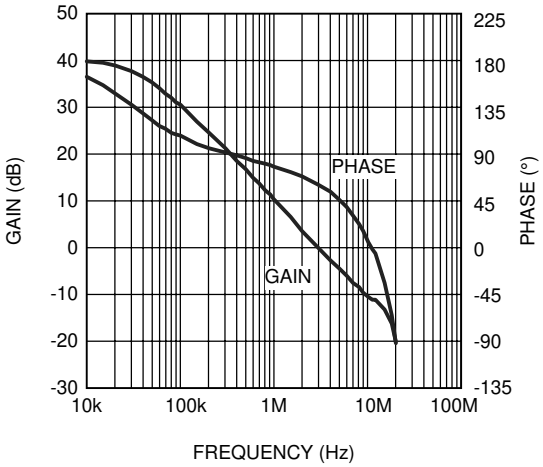


図 5-6. エラー アンプのゲイン / 位相 A_{VCL} = 101

Copyright © 2026 Texas Instruments Incorporated

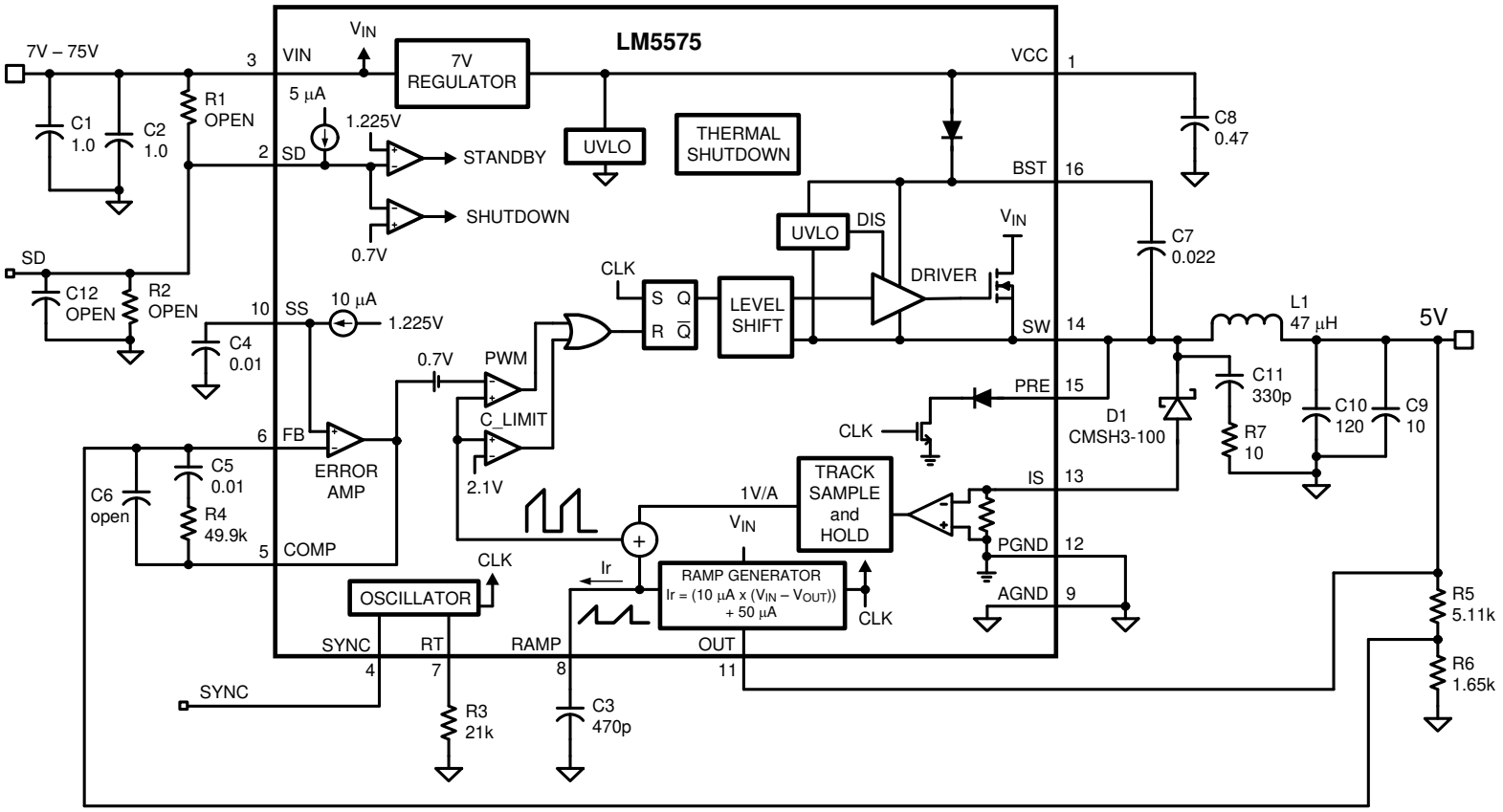
6 詳細説明

6.1 概要

LM5575-Q1 スイッチング レギュレータは、最小限の外付け部品で高効率な高電圧降圧レギュレータを実現するために必要な機能を備えています。この使いやすいレギュレータは、75V の N チャネル降圧スイッチを内蔵しており、出力電流能力は 1.5A です。レギュレータ制御方式は、エミュレート電流ランプを使用した電流モード制御に基づいています。ピーク電流モード制御には、ライン電圧フィード フォワードと、サイクル単位の電流制限が組み込まれており、ループ補償が簡単に行えます。エミュレートされた制御ランプを使用することにより、パルス幅変調回路のノイズ感受性が減少し、入力電圧の高いアプリケーションで不可欠となる、デューティ サイクルの非常に微細な処理を高い信頼性で実行できます。動作周波数は 50kHz ～ 500kHz の範囲でユーザーが設定可能です。発振器の同期ピンを使用すると、複数の LM5575-Q1 レギュレータを自己同期させることや、外部クロックに同期させることができます。出力電圧は、最小 1.225V まで設定できます。フォルト保護機能として、電流制限、サーマル シャットダウン、リモート シャットダウン機能を備えています。このデバイスは、放熱を助けるために露出したパッドを備えた 16 ピン HTSSOP パッケージで供給されます。

6.2 機能ブロック図

LM5575-Q1 デバイスは、レギュレートされていない高い入力電圧を効率的に降圧するために、多くのアプリケーションに適用できます。このデバイスは、テレコム、産業用、および車載対応電源バス電圧範囲向けの設計です。



6.3 機能説明

6.3.1 シャットダウンおよびスタンバイ

LM5575-Q1 には、デュアルレベル シャットダウン (SD) 回路が含まれています。SD ピンの電圧が 0.7V を下回ると、レギュレータは低電流シャットダウン モードになります。SD ピンの電圧が 0.7V より高く、1.225V を下回る場合、レギュレータはスタンバイ モードになります。スタンバイ モードでは、V_{CC} レギュレータはアクティブですが、制御回路はディスエーブルです。SD ピンの電圧が 1.225V を超えると、出力スイッチがイネーブルになり、通常動作が開始されます。内部の 5µA

プルアップ電流源により、SD ピンがオープンのままになっている場合にレギュレータが完全に動作するように構成されます。

VIN と GND の間に外部設定点を接続する分圧器を使用して、レギュレータの動作入力範囲を設定できます。デバイダは、VIN が望ましい動作範囲内にあるとき、SD ピンの電圧が 1.225V を超えるように設計する必要があります。内部の 5µA プルアップ電流源を、外付け設定ポイント デバイダの計算に含める必要があります。シャットダウン スレッショルドとスタンバイ スレッショルドの両方に対して、0.1V のヒステリシスが含まれています。SD ピンは、1kΩ 抵抗と 8V ツェナーク ランプによって内部的にクランプされています。SD ピンの電圧は、14V を超えないようにしてください。SD ピンの電圧が 8V を超えると、バイアス電流は 1mA/V のレートで増加します。

SD ピンを使用して、各種のリモート イネーブルおよびディスエーブル機能を実装することもできます。SD ピンを 0.7V スレッショルドよりも低くすると、コントローラは完全にディスエーブルになります。SD ピンの電圧が 1.225V よりも高い場合、レギュレータは動作します。

6.3.2 電流制限

LM5575-Q1 は、制御と過電流保護のための独自の電流監視方式を採用しています。正しく設定すると、エミュレートされた電流センス信号は、1V/A のスケール係数で降圧スイッチ電流に比例する信号を出力します。エミュレートされたランプ信号が、電流制限コンパレータに適用されます。エミュレートされたランプ信号が 2.1V (2.1A) を超えると、現在の電流サイクルは終了します (サイクル単位の電流制限)。出力インダクタンスが小さく入力電圧が高いアプリケーションでは、電流制限コンパレータの伝搬遅延により、スイッチ電流がオーバーシュートすることがあります。オーバーシュートが発生した場合、降圧スイッチのオフ時間中に、ダイオード電流サンプリング回路が過剰なインダクタ電流を検出します。サンプル / ホールド DC レベルが 2.1V の電流制限スレッショルドを超えると、降圧スイッチがディスエーブルになり、ダイオード電流サンプリング回路がインダクタ電流が電流制限スレッショルド未満に減衰していることを検出するまで、パルスをスキップします。このアプローチにより、電流オーバーシュート後にインダクタ電流が強制的に減衰するため、伝搬遅延またはインダクタの飽和による電流暴走状態を防止できます。

6.3.3 ソフト スタート

ソフトスタート機能は、レギュレータを徐々に初期の定常状態動作点へと到達させることで、起動時のストレスやサージを低減します。初期のソフトスタート電流ソースは、10µA に設定され、SS ピンに接続された外付けソフトスタート コンデンサの電圧が徐々に上昇します。ソフトスタート コンデンサの電圧は、エラー アンプのリファレンス入力に接続されます。SS ピンの電圧レベルを制限またはクランプする外付け回路を使用して、各種のシーケンシングおよびトラッキング方式を実装できます。

フォルトが検出された場合 (過熱、Vcc UVLO、SD)、ソフトスタート コンデンサが放電されます。フォルト条件が解消されると、新しいソフトスタート シーケンスが開始されます。

6.3.4 過熱保護

最大接合部温度を超えた場合に集積回路を保護する目的で、内部にサーマル シャットダウン回路が実装されています。この回路は通常 165℃ でアクティブになり、コントローラは強制的に低消費電力のリセット状態に移行し、出力ドライバとバイアス レギュレータはディスエーブルされます。この機能は、偶発的なデバイス過熱による致命的な障害を防止するために提供されます。

6.4 デバイスの機能モード

6.4.1 高電圧起動レギュレータ

LM5575-Q1 にはデュアル モードの内部高耐圧起動レギュレータが内蔵されており、PWM コントローラとブートストラップ MOSFET ゲート ドライバに V_{CC} バイアス電源を供給します。入力ピン (VIN) は入力電圧に直接接続でき、最大 75V まで対応できます。入力電圧が 9V 未満の場合、低ドロップアウト スイッチを使用して VCC を VIN に直接接続します。この電源電圧範囲では、V_{CC} は V_{IN} とほぼ等しくなります。V_{IN} 電圧が 9V を超える場合、低ドロップアウト スイッチが無効になり、V_{CC} レギュレータが有効になることにより、V_{CC} を約 7V に維持します。このデュアルモード レギュレータを使用して、6V ～ 75V の広い動作範囲を実現しています。

Copyright © 2026 Texas Instruments Incorporated

V_{CC} レギュレータの出力は、25mA に電流を制限します。電源オン時に、レギュレータは VCC ピンに接続されているコンデンサに電流を供給します。VCC ピンの電圧が V_{CC} UVLO スレッショルドの 5.35V を上回り、SD ピンが 1.225V を上回ると、出力スイッチがイネーブルになり、ソフトスタート シーケンスが開始されます。V_{CC} が 5V を下回るか、SD ピンが 1.125V を下回るまで、出力スイッチはイネーブルのままです。

VCC ピンに補助電源電圧を印加することで、IC の消費電力を低減できます。補助電圧が 7.3V を超えると、内部レギュレータは実質的にシャットオフされ、IC の消費電力が低減します。V_{CC} レギュレータ シリーズのパス トランジスタには、VCC と VIN との間のダイオードが含まれます。このダイオードは、通常動作において順方向バイアスとなってはなりません。したがって、補助 V_{CC} 電圧が V_{IN} 電圧を超えないようにする必要があります。

高電圧アプリケーションでは、VIN ピンが絶対最大定格電圧 (76V) を超えないように十分注意してください。ラインまたは負荷の過渡時に、VIN ラインの電圧リンギングが絶対最大定格を超えると、IC が損傷する可能性があります。プリント基板の慎重なレイアウトと、VIN および GND ピンの近くに高品質のバイパス キャパシタンスを配置することの両方が不可欠です。

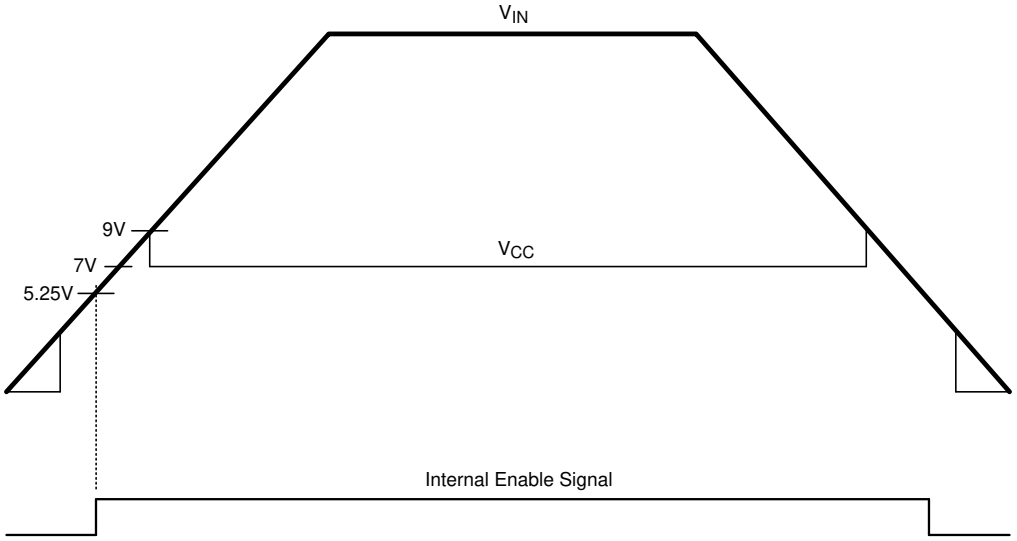


図 6-1. V_{IN} および V_{CC} シーケンス

6.4.2 発振器と同期機能

LM5575-Q1 の発振器の周波数は、RT ピンと AGND ピンの間に 1 個の外付け抵抗を接続して設定します。R_T 抵抗器は、デバイスのごく近くに配置し、IC のピン (RT および AGND) に直接接続します。目的の発振器周波数 (F) を設定するには、R_T 抵抗器に必要な値を 式 1 で計算できます。

$$R_T = \frac{\frac{1}{F} - 580 \times 10^{-9}}{135 \times 10^{-12}} \quad (1)$$

SYNC ピンを使用して、内部発振器を外部クロックに同期することができます。外部クロックの周波数は、R_T 抵抗で設定されるフリーランニング周波数よりも高い必要があります。外部クロックから SYNC ピンへのインターフェイスには、オープンドレイン出力を備えたクロック回路を推奨します。クロック パルス幅は 15ns より大きい必要があります。

Copyright © 2026 Texas Instruments Incorporated

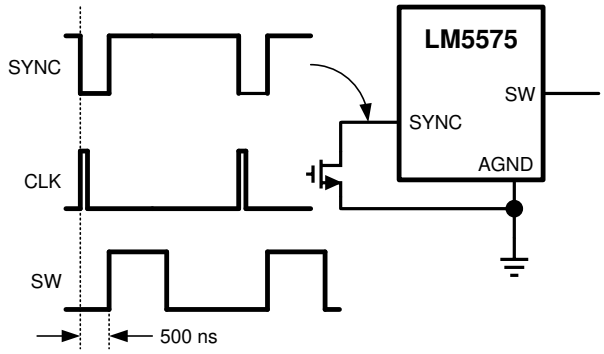


図 6-2. 外部クロックからの同期

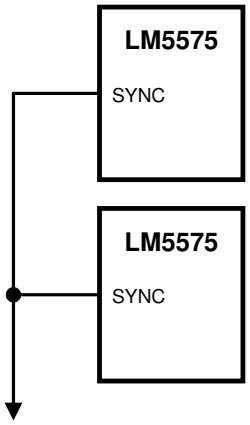


図 6-3. 複数のデバイスからの同期

SYNC ピンを互いに接続するだけで、複数の LM5575-Q1 デバイスを互いに同期することができます。この構成では、すべてのデバイスが最高周波数のデバイスに同期されます。図 6-4 の図に、LM5575-Q1 の同期入出力機能を示します。内部発振回路は、強いプルダウンと弱いプルアップ インバータを使用して SYNC ピンを駆動します。内部発振器または外部クロックによって SYNC ピンが Low になると、発振器のランプ サイクルが終了し、新しい発振器サイクルが開始されます。したがって、複数の LM5575-Q1 IC の SYNC ピンが互いに接続されている場合、内部クロック周波数が最も高い IC が接続されている SYNC ピンを最初に Low にプルし、他の IC の発振器ランプ サイクルを終了します。最高にプログラムされたクロック周波数の LM5575-Q1 がコントローラとして機能し、低い発振器周波数ですべてのデバイスのスイッチング周波数を制御します。

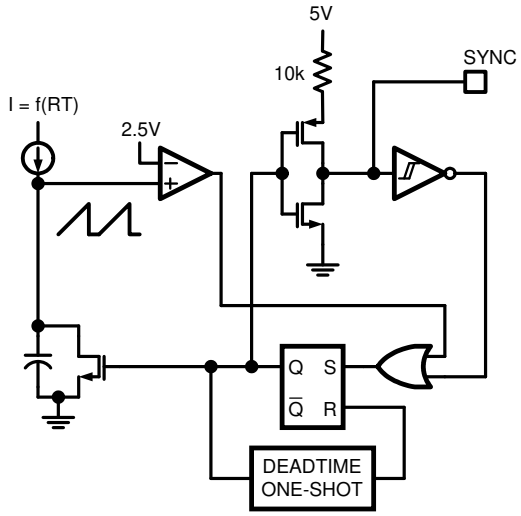


図 6-4. 概略発振器のブロック図と同期 I/O 回路

6.4.3 エラー アンプと PWM コンパレータ

内部の高ゲイン誤差アンプは、調整された出力電圧と、内部の高精度リファレンス (1.225V) との差に比例する誤差信号を生成します。エラー アンプの出力は COMP ピンに接続されているため、セクション 6.2 に示すように、通常はタイプ II ネットワークであるループ補償部品を提供できます。このネットワークにより、DC に極、ゼロ、ノイズ低減の高周波極が形成されます。PWM コンパレータは、エミュレートされた電流センス信号を、ランプ生成器から COMP ピンでのエラー アンプ出力電圧と比較します。

Copyright © 2026 Texas Instruments Incorporated

6.4.4 ランプ生成器

電流モード制御用のパルス幅変調器で使用されるランプ信号は、通常は降圧スイッチ電流から直接生成されます。このスイッチ電流は、出力インダクタ電流の正の勾配部分に対応します。この信号を PWM ランプに利用することにより、単一極の応答に制御ループの伝達関数が単純化され、固有の入力電圧フィードフォワード補償が行われます。PWM 制御に降圧スイッチ電流信号を使用する場合の欠点は、回路の寄生成分に起因する大きなリーディング エッジ スパイクが発生し、フィルタリングまたはブランキングが必要になることです。また、電流測定は大幅な伝搬遅延を発生させる可能性があります。フィルタリング、ブランキング時間、伝搬遅延によって、実現可能な最小パルス幅が制限されます。出力電圧に比べて入力電圧が比較的大きくなる可能性のあるアプリケーションでは、レギュレーションのために小さなパルス幅とデューティ サイクルを制御する必要があります。LM5575-Q1 は独自のランプ生成器を使用します。このランプ生成器は、実際に降圧スイッチ電流を測定するのではなく、信号を再構築します。インダクタ電流を再構築またはエミュレートすると、PWM コンパレータにランプ信号が供給され、リーディング エッジ スパイクや測定またはフィルタリング遅延が発生しません。電流の再構成は、サンプル / ホールド DC レベルとエミュレート電流ランプという 2 つの要素で構成されています。

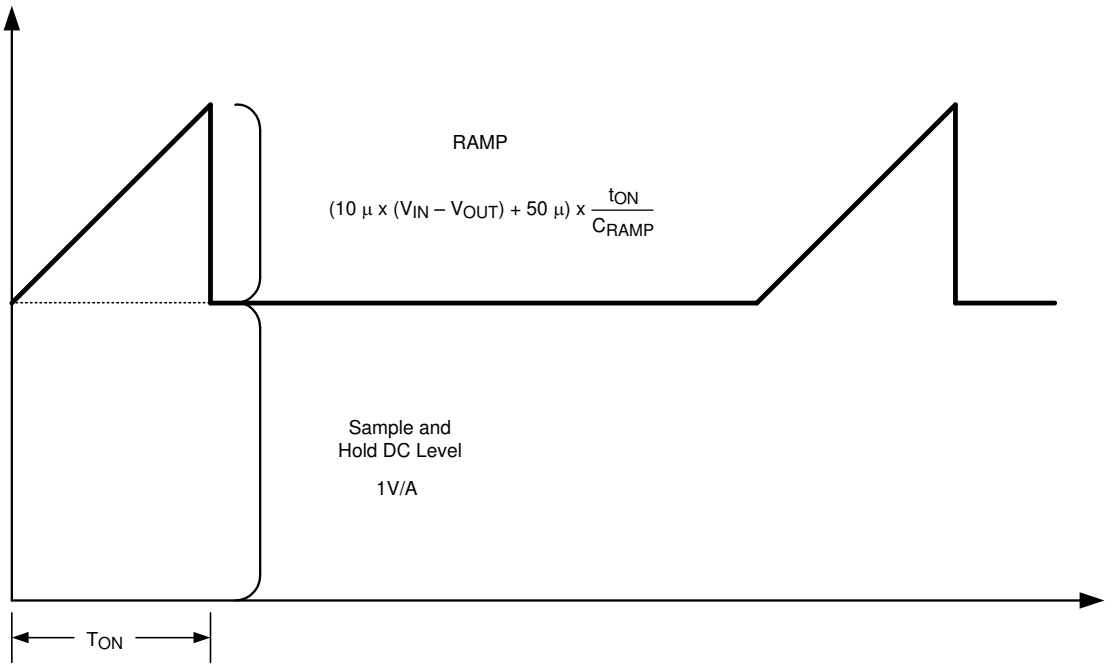


図 6-5. 電流センス信号の構成

図 6-5 に示すサンプル / ホールド DC レベルは、再循環のショットキー ダイオード アノード電流の測定値から得られます。再循環ダイオードのアノードは IS ピンに接続する必要があります。ダイオード電流は、IS ピンと PGND ピンの間にある内部電流検出抵抗を流れます。センス抵抗の両端の電圧レベルは、降圧スイッチの次の導通間隔が開始する直前にサンプリングおよび保持されます。ダイオード電流センシングとサンプル / ホールドは、再構築された電流信号の DC レベルを提供します。正のスロープ インダクタ電流ランプは、RAMP ピンから AGND に接続された外付けコンデンサと内部電圧制御電流源によってエミュレートされます。インダクタ電流をエミュレートするランプ電流源は、式 2 に従って V_{IN} および V_{OUT} 電圧の関数です。

$$I_{RAMP} = (10\ \mu A \times (V_{IN} - V_{OUT})) + 50\ \mu A \quad (2)$$

RAMP コンデンサを適切に選択するかどうかは、選択した出力インダクタの値によって異なります。C_{RAMP} の値は、式 3 から選択できます:

$$C_{RAMP} = L \times 10^{-5} \quad (3)$$

ここで、

- L は出力インダクタの値をヘンリーで表した値です

この値により、エミュレートされた電流ランプの係数は、DC レベル サンプル / ホールド (1V/A) の係数とほぼ等しくなります。C_{RAMP} コンデンサは、デバイスのごく近くに配置し、IC のピン (RAMP および AGND) に直接接続する必要があります。

デューティ サイクルが 50% よりも大きい場合、ピーク電流モード制御回路は分数調波発振の影響を受けます。分数調波の発振には通常、スイッチ ノードで広いパルスと狭いデューティ サイクルが繰り返し観測されるという特徴があります。電流検出信号に固定スロープ電圧ランプ (スロープ補償) を追加することで、この発振を防ぐことができます。エミュレート電流源から供給されるオフセット電流の 50µA により、ランプ信号に固定スロープが追加されます。出力電圧およびデューティ サイクルの高いアプリケーションによっては、追加のスロープが必要になる場合があります。これらのアプリケーションでは、V_{CC} ピンと RAMP ピンの間にプルアップ抵抗を追加して、ランプ勾配補償を増やすことができます。

V_{OUT} > 7.5V の場合:

最適なスロープ電流 $I_{OS} = V_{OUT} \times 10\ \mu A/V$ を計算します。

例えば、V_{OUT} = 10V、I_{OS} = 100µA。

RAMP ピンと V_{CC} との間に抵抗を取り付けます:

$$R_{RAMP} = V_{CC} / (I_{OS} - 50\ \mu A) \quad (4)$$

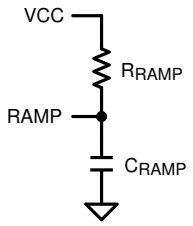


図 6-6. V_{OUT} > 7.5V の場合、V_{CC} に対する R_{RAMP}

6.4.5 昇圧ピン

LM5575-Q1 は、N チャネル降圧スイッチと関連するフローティング高電圧レベル シフトおよびゲート ドライバを内蔵しています。このゲート ドライバ回路は、内部ダイオードと外付けブートストラップ コンデンサと組み合わせて動作します。TI は、0.022µF のセラミック コンデンサを BST ピンと SW ピンの間に短いパターンで接続することを推奨しています。降圧スイッチのオフ時間中、SW ピンの電圧は約 –0.5V であり、ブートストラップ コンデンサは V_{CC} から内部ブートストラップ ダイオードを経由して充電されます。高い PWM デューティ サイクルで動作する場合、ブートストラップ コンデンサが再充電されるよう、降圧スイッチは各サイクルで 500ns 間強制的にオフになります。

軽負荷時または出力電圧が事前に充電されている場合、降圧スイッチのオフ期間中に SW 電圧は低レベルを維持しません。インダクタ電流がゼロまで低下し、SW ピンが上昇すると、ブートストラップ コンデンサは降圧スイッチのゲート ドライバを動作させるのに十分な電圧を得られません。これらのアプリケーションでは、PRE ピンを SW ピンに接続して、ブートストラップ コンデンサを事前充電できます。PRE ピンと PGND の間に接続された内部プリチャージ MOSFET とダイオードは、新しいスイッチング サイクルの開始の直前に 250ns にわたって各サイクルをオンにします。SW ピンが通常の負電圧レベル (連続導通モード (CCM)) にある場合、プリチャージ MOSFET / ダイオードには電流は流れません。

Copyright © 2026 Texas Instruments Incorporated

6.4.6 最大デューティ サイクルおよび入力ドロップアウト電圧

ダイオード電流をサンプリングするのに十分な時間を確保するため、サイクルごとに 500ns の強制オフ時間が実装されています。この強制オフ時間により、バック スイッチの最大デューティ サイクルが制限されます。最大デューティ サイクルは、動作周波数によって異なります。

$$D_{MAX} = 1 – Fs \times 500\ ns \quad (5)$$

ここで、

- Fs は発振器の周波数です。

最大デューティ サイクルを制限すると、入力ドロップアウト電圧が上昇します。入力ドロップアウト電圧は、出力電圧のレギュレーションを維持するために必要な最小の入力電圧です。入力ドロップアウト電圧の近似値を計算するには、式 6 を使用します。

$$Vin_{MIN} = \frac{Vout + V_D}{1 - Fs \times 500\ ns} \quad (6)$$

ここで、

- V_D は、還流ダイオードの両端の電圧降下です。

高いスイッチング周波数で動作する場合、レギュレーションの維持に必要な最小入力電圧が上昇します。

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 使用上の注意

7.1.1 バイアス消費電力の低減

高い入力電圧で動作する降圧レギュレータは、IC のバイアスに対してかなりの電力を消費する可能性があります。V_{CC} レギュレータは、入力電圧 V_{IN} を公称 V_{CC} レベルの 7V まで降圧する必要があります。V_{CC} レギュレータの両端での大きな電圧降下は、V_{CC} レギュレータ内での大きな消費電力につながります。このバイアス レギュレータの消費電力を大幅に低減できる方法はいくつかあります。図 7-1 および図 7-2 は、出力電圧から IC をバイアスする 2 つの方法を示しています。いずれの場合も、最初に内部 V_{CC} レギュレータを使用して VCC ピンにバイアスを印加します。出力電圧が確立されると、VCC ピンの電位が公称 7V レギュレーション レベルよりも高くなり、内部 V_{CC} レギュレータが実質的に無効化されます。VCC ピンに印加される電圧が、14V を超えないようにする必要があります。V_{CC} 電圧は、V_{IN} 電圧より高くしてはなりません。

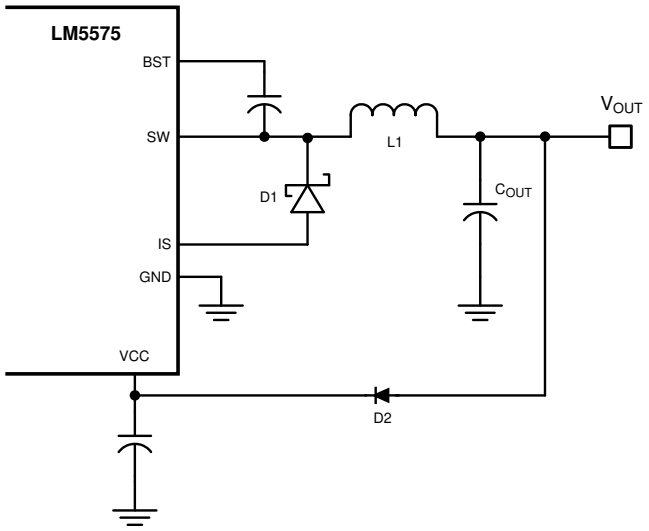


図 7-1. 8V < V_{OUT} < 14V の場合の V_{OUT} からの V_{CC} バイアス

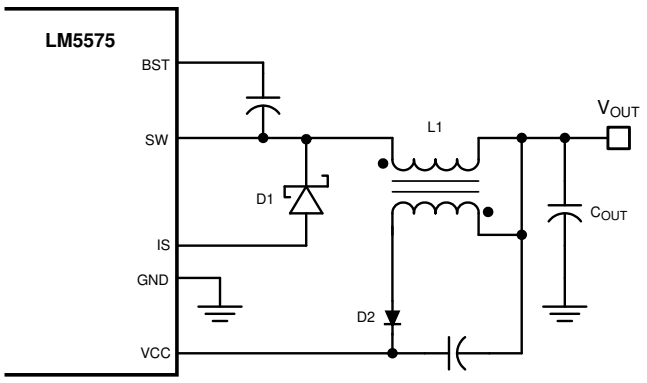


図 7-2. 出力インダクタの追加巻線による VCC バイアス

Copyright © 2026 Texas Instruments Incorporated

7.2 代表的なアプリケーション

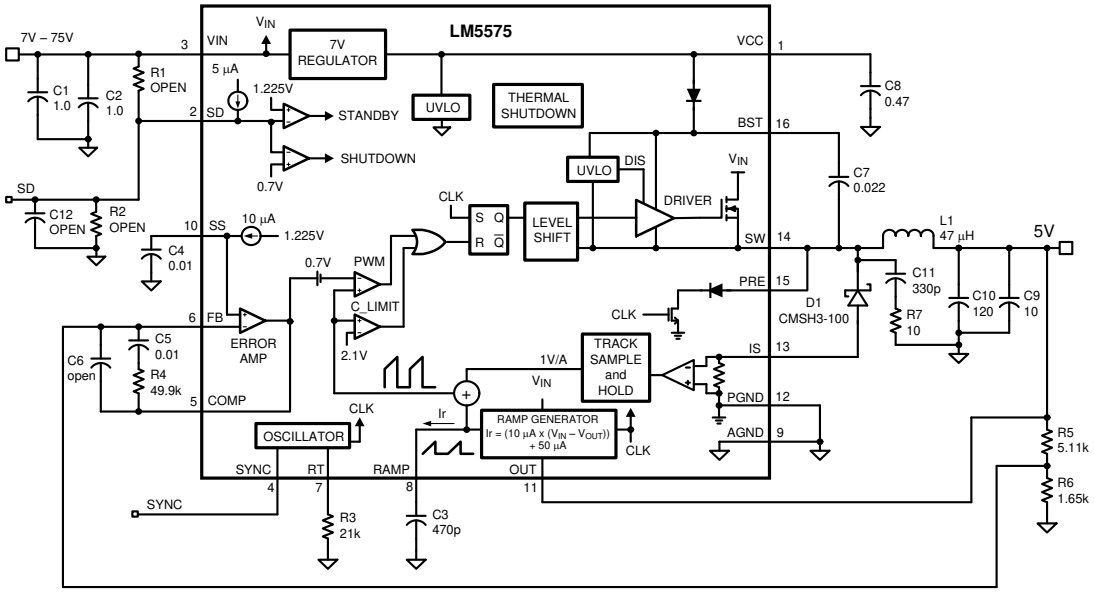


図 7-3. 代表的なアプリケーション回路

7.2.1 設計要件

機能ブロック図に示す回路は、以下の仕様で構成されています。

- V_{OUT} = 5V
- V_{IN} = 7 V→75 V
- Fs = 300kHz
- 最小負荷電流 (CCM の場合) = 200mA
- 最大負荷電流 = 1.5A

7.2.2 詳細な設計手順

7.2.2.1 WEBENCH® ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designer により、LM5575-Q1 デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次のステップを実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

Copyright © 2026 Texas Instruments Incorporated

7.2.2.2 外付け部品

外部部品を計算する手順を、次の設計例で示します。

7.2.2.3 R3 (R_T)

R_T は、発振器のスイッチング周波数を設定します。一般的に、高周波アプリケーションは小さくなりますが、損失が大きくなります。この例では、小型サイズと高効率の両方を考慮した妥当な折衷点として、300kHz での動作を選択しました。300kHz のスイッチング周波数の R_T の値は、式 7 として計算できます。

$$R_T = \frac{[(1 / 300 \times 10^3) - 580 \times 10^{-9}]}{135 \times 10^{-12}} \quad (7)$$

R_T には、最も近い標準値 21kΩ が選択されました。

7.2.2.4 L1

インダクタの値は、動作周波数、負荷電流、リップル電流、および最小および最大入力電圧 ($V_{IN(min)}$、$V_{IN(max)}$) に基づいて決定されます。

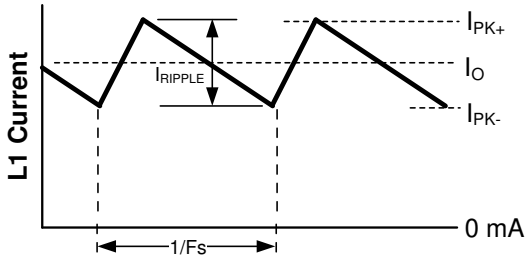


図 7-4. インダクタ電流の波形

回路を連続導通モード (CCM) に維持するには、最大リップル電流 I_{RIPPLE} が最小負荷電流の 2 倍 (0.4Ap-p) よりも小さくなる必要があります。このリップル電流の値を使い、式 8 と 式 9 を使用してインダクタ (L1) の値が計算されます。

$$L1 = \frac{V_{OUT} \times (V_{IN(max)} - V_{OUT})}{I_{RIPPLE} \times F_S \times V_{IN(max)}} \quad (8)$$

$$L1 = \frac{5V \times (75V - 5V)}{0.4A \times 300\ kHz \times 75V} = 39\ \mu H \quad (9)$$

この手順では、L1 の値を選択するためのガイドを示します。最も近い標準値 (47µH) が使用されます。飽和を防止するため、L1 はピーク電流 (I_{PK+}) に対応した定格とする必要があります。通常の負荷条件では、最大負荷電流に最大リップルを加えた値でピーク電流が発生します。過負荷状態では、ピーク電流は公称 2.1A (最大 2.5A) に制限されます。選択したインダクタの飽和電流定格は控えめな 3.25A です。インダクタ メーカーでは、飽和定格を 20℃ においてインダクタンスが 30% 低下する電流と定義しています。

7.2.2.5 C3 (C_{RAMP})

インダクタ値を選択したら、式 10 を使用して、エミュレーション ランプ回路に必要な C3 の値 (C_{RAMP}) を計算します。

$$C_{RAMP} = L \times 10^{-5} \quad (10)$$

ここで、

- L はヘンリー単位です。

47µH に L1 を選択した場合、C3 の推奨値は 470pF です。

Copyright © 2026 Texas Instruments Incorporated

7.2.2.6 C9、C10

出力コンデンサ C9 および C10 は、インダクタのリップル電流を平滑化し、過渡負荷状況において充電の電源になります。この設計では、10µF セラミック コンデンサと 120µF AL 有機コンデンサを選択しました。セラミック コンデンサは超低 ESR を実現して出力リップル電圧とノイズ スパイクを低減し、AL コンデンサは過渡負荷条件において小さな体積で大きなバルク容量を実現します。出力リップル電圧の近似値を計算するには、式 11 を使用します。

$$\Delta V_{OUT} = \Delta I_L \times \left(ESR + \frac{1}{8 \times F_S \times C_{OUT}} \right) \quad (11)$$

7.2.2.7 D1

すべての LM5575-Q1 アプリケーションには、ショットキー タイプの再循環ダイオードが必要です。超高速ダイオードは推奨されず、逆方向回復電流過渡により IC が損傷する可能性があります。ほぼ理想的な逆回復特性と、順方向電圧降下が小さいことは、LM5575-Q1 の一般的な高入力電圧および低出力電圧アプリケーションでは特に重要なダイオード特性です。逆方向回復特性によって、降圧スイッチがオンになったときに、各サイクルで電流サージがどの程度持続するかが決まります。ショットキー ダイオードの逆方向回復特性により、各サイクルのターンオン時に発生する降圧スイッチのピーク時電力が最小化されます。降圧スイッチのスイッチング損失は、ショットキー ダイオードを使用すると大幅に減少します。逆方向ブレークダウン定格は、最大 V_{IN} にある程度の安全マージンを加えた値以上を選択してください。

順方向電圧降下は、特に出力電圧が低いアプリケーションで、変換効率に大きな影響を与えます。ダイオードの *定格*電流はメーカーによって大きく異なります。ワースト ケースは、負荷短絡状態を想定したものです。この場合、ダイオードは出力電流をほぼ連続的に流します。LM5575-Q1 の場合、この電流は最大 2.1A に達する可能性があります。ワースト ケースで、ダイオードの両端で 1V 電圧降下すると仮定すると、最大ダイオード消費電力は最大 2.1W に達する可能性があります。このリファレンス デザインでは、SMC パッケージの 100V ショットキーを選択しました。

7.2.2.8 C1、C2

レギュレータの電源電圧は、スイッチング周波数で大きなソース インピーダンスを持ちます。オン時間時にほとんどのスイッチ電流を供給しながら、VIN ピンのリップル電圧を制限するには、高品質な入力コンデンサが必要です。降圧スイッチがオンになると、VIN ピンに流れ込む電流がインダクタ電流波形の低いピークまで徐々に増え、ピーク値まで上昇して、ターンオフ時にゼロに低下します。オン時間中の VIN に流れ込む平均電流が負荷電流です。RMS 電流定格および最小リップル電圧に対して、入力容量を選択します。必要なリップル電流定格のおおよその目安は次のとおりです：$I_{RMS} > I_{OUT} / 2$

入力フィルタには、低 ESR の高品質なセラミック コンデンサを選択します。コンデンサの許容誤差と電圧による影響を許容するため、2 つの 1µF、100V のセラミック コンデンサが使用されます。LM5575-Q1 の最大定格に近い値でステップ入力電圧過渡が発生することが予想される場合は、デバイスの VIN ピンでリンギングおよびスパイクが発生する可能性があることを慎重に評価する必要があります。このような場合、追加のダンピング回路、または入力電圧クランプが必要になることがあります。

7.2.2.9 C8

VCC ピンのコンデンサは、V_{CC} レギュレータのノイズ フィルタリングと安定性を高めます。C8 の推奨値は 0.1µF 以上で、良好な品質で低 ESR のセラミック コンデンサにする必要があります。この設計では、0.47µF の値が選択されています。

7.2.2.10 C7

BST ピンと SW ピンの間のブートストラップ コンデンサは、ターンオン時にバック スイッチのゲートを充電するためのゲート電流を供給します。C7 の推奨値は 0.022µF であり、良好な品質で低 ESR のセラミック コンデンサを使用する必要があります。

Copyright © 2026 Texas Instruments Incorporated

7.2.2.11 C4

SS ピンのコンデンサによって、ソフトスタート時間、すなわちリファレンス電圧と出力電圧が最終的なレギュレートされる値に達するまでの時間が決定されます。式 12 は時間を決定します。

$$t_{ss} = \frac{C4 \times 1.225V}{10\ \mu A} \tag{12}$$

このアプリケーションでは、ソフトスタート時間 1ms に対応する C4 値 0.01µF を選択しています。

7.2.2.12 R5、R6

R5 と R6 は出力電圧レベルを設定します。これらの抵抗の比は、式 13 で計算されます。

$$R5/R6 = (V_{OUT} / 1.225V) - 1 \tag{13}$$

5V 出力の場合、R5/R6 の比は 3.082 と計算されます。標準値の抵抗から抵抗を選択します。1kΩ から 10kΩ までの範囲で、適切な出発点を選択することができます。R5 の 5.11kΩ と R6 の 1.65kΩ の値を選択しました。

7.2.2.13 R1、R2、C12

分圧器を SD ピンに接続することにより、レギュレータの最小動作電圧 $V_{IN(min)}$ を設定できます。この機能が必要な場合、分圧抵抗値を選択する最も簡単な方法は、R1 の値 (10kΩ と 100kΩ の間を推奨) を選択し、式 14 から R2 を計算することです。

$$R2 = 1.225 \times \left(\frac{R1}{V_{IN(min)} + (5 \times 10^{-6} \times R1) - 1.225} \right) \tag{14}$$

コンデンサ C12 は、分圧器のフィルタリングを行います。SD ピンの電圧は、8V を超えないようにしてください。外付け設定点デバイダを使用する場合、高い入力電圧条件で SD ピンをクランプする必要がある場合があります。このリファレンスデザインは、LM5575-Q1 の電圧範囲全体 (6V ～ 75V) を使用しているため、これらの部品は省略可能です。SD ピンが断線した場合、LM5575-Q1 は V_{CC} UVLO スレッショルドが満たされると応答します。

7.2.2.14 R7、C11

パワー ダイオードの両端にスナバ回路を配置することで、スイッチング ノードのリンギングおよびスパイクが減少します。過剰なリンギングおよびスパイクは誤動作を引き起こし、出力にスパイクやノイズを結合させる場合があります。LM5575-Q1 の定格を超える電圧スパイクや還流ダイオードにより、これらのデバイスに損傷を与える可能性があります。TI では、実験的な手法により、スナバの値を選択することを推奨しています。最初に、スナバ接続のリードが非常に短いことを確認します。LM5575-Q1 の標準的な電流レベルでは、5Ω ～ 20Ω の抵抗値で十分です。スナバ コンデンサの値を増やすとダンピングが増えますが、損失も大きくなります。重負荷時に SW ピンの波形を十分にダンピングできる C11 の最小の値を選択してください。

7.2.2.15 R4、C5、C6

これらの部品は、安定した全体ループ ゲインを得るために、エラー アンプのゲイン特性を構成します。電流モード制御の利点の 1 つは、R4 と C5 の 2 つのフィードバック成分のみを使用してループを閉じることができることです。全体のループ ゲインは、変調器のゲインとエラー アンプのゲインの積です。LM5575-Q1 の DC 変調器のゲインは 式 15 で計算します。

$$DC\ Gain_{(MOD)} = G_{m(MOD)} \times R_{LOAD} = 1 \times R_{LOAD} \tag{15}$$

変調器の支配的な低周波数極は、負荷抵抗 (R_{LOAD}、) と出力容量 (C_{OUT}) によって決定されます。この極のコーナー周波数は 式 16 で計算します。

$$f_{p(MOD)} = 1 / (2\pi\ R_{LOAD}\ C_{OUT}) \tag{16}$$

Copyright © 2026 Texas Instruments Incorporated

R_{LOAD} = 5Ω および C_{OUT} = 130µF の場合、$f_{p(MOD)}$ = 245Hz

DC ゲイン $_{(MOD)}$ = 1 × 5 = 14dB

図 7-5 は、「機能ブロック図」の設計例の、変調器のゲインと周波数特性との関係を示しています。

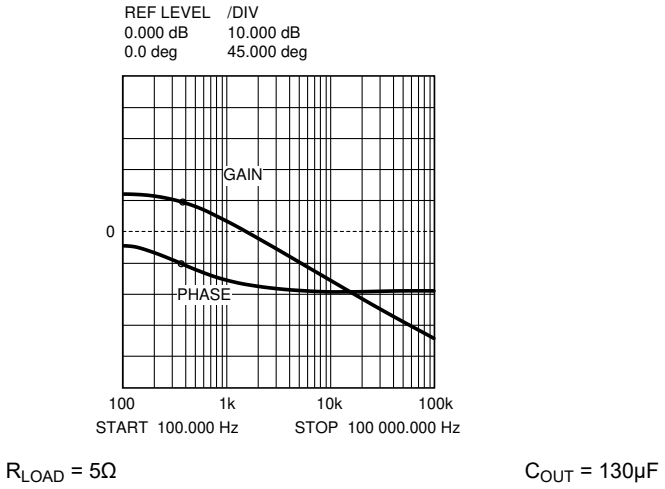


図 7-5. 変調器のゲインと位相

部品 R4 と C5 は、DC に極があり、f_Z = 1/(2πR4C5) にゼロがあるタイプ II 構成としてエラー アンプを構成します。エラー アンプのゼロは変調器の極を打ち消し、ループ ゲインのクロスオーバー周波数でシングル ポール応答が残ります。クロスオーバー周波数におけるシングル ポール応答により、90°の位相マージンを持つ、非常に安定したループが得られます。

この設計例では、15kHz の目標ループ帯域幅 (クロスオーバー周波数) を選択しています。補償回路ゼロ (f_Z) は、目標クロスオーバー周波数より 1 桁以上低い値を選択する必要があります。これにより、目的の補償ネットワークであるゼロ 1/(2π R4C5) が 2kHz 未満になるように R4 と C5 の積に制約が生じます。ユーザーが R4 を増加させてそれに比例して C5 を減少させると、エラー アンプ ゲインが増加します。反対に、R4 を減少させてそれに比例して C5 を増加させた場合、エラー アンプ ゲインは減少します。この設計例では、0.01µF に C5 を、49.9kΩ に R4 を選択します。これらの値により、補償回路のゼロが 320Hz に構成されます。f_Z より高い周波数でのエラー アンプ ゲインは次のとおりです。R4/R5 であり、約 10 (20dB) です。

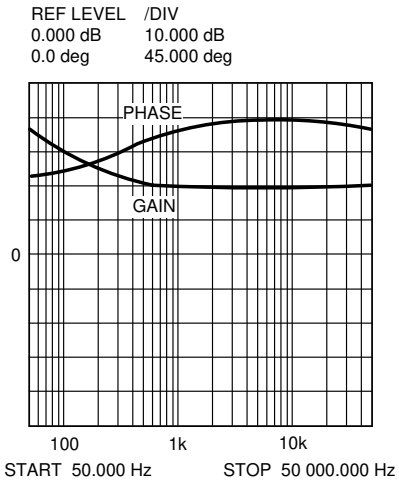


図 7-6. エラー アンプのゲインおよび位相

Copyright © 2026 Texas Instruments Incorporated

ループ全体は、変調器のゲインとエラー アンプのゲインの合計 (dB) として予測できます。

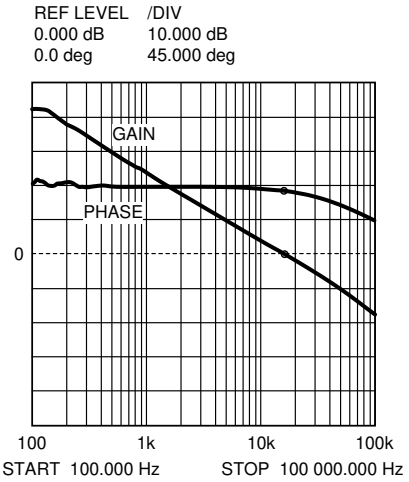


図 7-7. 全体的なループのゲインおよび位相

ネットワーク アナライザが利用可能であれば、変調器のゲインを測定し、エラー アンプのゲインを目的のループ伝達関数に合わせて構成できます。ネットワーク アナライザが利用できない場合は、記載されているガイドラインを使用してエラー アンプ補償部品を設計できます。ステップ負荷過渡テストは、許容される性能を検証するために実行できます。ステップ負荷の目標は、応答が減衰した場合の最小オーバーシュートです。エラー アンプのノイズ感受性を減らすため、補償回路に C6 を追加できます。C6 の値は、このコンデンサを追加することにより、エラー アンプの伝達関数に極が追加されるため、十分小さくする必要があります。この極は、ループ クロスオーバー周波数を十分上回る必要があります。C6 によって追加される極の位置の適切な近似値は、$f_{p2} = fz \times C5 / C6$ です。

7.2.3 アプリケーション曲線

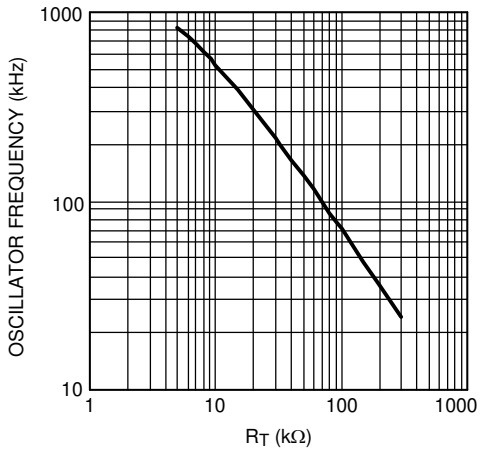


図 7-8. 発振器周波数と R_T との関係

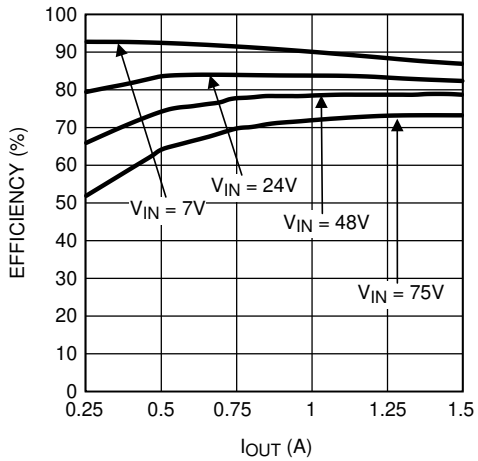


図 7-9. デモボード効率と I_{OUT} および V_{IN} との関係

7.3 電源に関する推奨事項

LM5575-Q1 は、6V～75V の入力電源電圧範囲で動作するように設計されています。この入力電源は、最大入力電流に耐えることができ、6V より高い電圧を維持できる必要があります。入力電源レールの抵抗は、入力過渡電流によって LM5575-Q1 の電源電圧が大きく降下し、十分小さくする必要があります。電源電圧の低下により、UVLO フォルト トリガとシステム リセットが誤って発生する可能性があります。入力電源が LM5575-Q1 から数インチ以上離れている場合は、セ

Copyright © 2026 Texas Instruments Incorporated

ラミック バイパス コンデンサに加えて追加のバルク容量が必要となることがあります。バルク容量の大きさは重要ではありませんが、標準では 47µF または 100µF の電解コンデンサを選択します。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

機能ブロック図の回路は、LM5575-Q1 のブロック図と、LM5575-Q1 の代表的なアプリケーション基板回路図の両方として使用されています。降圧レギュレータでは、電流を非常に高速にスイッチングする 2 つのループがあります。最初のループは、入力コンデンサから始まり、レギュレータの VIN ピン、レギュレータの SW ピン、インダクタ、負荷へと続きます。2 つ目のループは、出力コンデンサのグランドから始まり、レギュレータの PGND ピン、レギュレータの IS ピン、ダイオード アノード、インダクタ、負荷へと続きます。ユーザーは浮遊インダクタンスを減らし、ノイズを最小限に抑えて、不安定動作の可能性を最小限に抑えられます。入力フィルタ コンデンサをレギュレータの出力フィルタ コンデンサと PGND ピンに接続する手段として、プリント基板 (PCB) のグランド プレーンを推奨します。すべての低消費電力グランド接続 (C_{SS}、R_T、C_{RAMP}) をレギュレータの AGND ピンに直接接続します。AGND ピンと PGND ピンを、デバイスの下側全体をカバーする上面の銅領域を経由して互いに接続します。この下側の銅領域に、グランド プレーンに複数のビアを配置します。

消費電力が大きい 2 つの部品は、リサーキュレーション ダイオードと LM5575-Q1 レギュレータ IC です。LM5575-Q1 内で消費される電力を決定する最も簡単な方法は、合計変換損失 (Pin - Pout) を測定して、ショットキー ダイオード、出力インダクタ、およびスナバ抵抗の電力損失を減算することです。

式 17 を使用して、ショットキー ダイオード損失の近似値を計算します。

$$P = (1 – D) \times I_{OUT} \times V_{fwd} \quad (17)$$

式 18 を使用して、出力インダクタの電力の近似値を計算します。

$$P = I_{OUT}^{2} \times R \times 1.1 \quad (18)$$

ここで、

- R はインダクタの DC 抵抗、1.1 の係数は AC 損失の近似値です

スナバを使用する場合、式 19 を使用して、ダンピング抵抗の消費電力の近似値を計算します。

$$P = V_{IN}^{2} \times F_{sw} \times C_{snub} \quad (19)$$

ここで、

- f_{sw} はスイッチング周波数、C_{snub} はスナバ コンデンサです

レギュレータには、電力拡散を補助するため、露出サーマル パッドが搭載されています。レギュレータの接合部温度を大幅に減らすため、デバイスの下にいくつかのビアをグランド プレーンに追加します。ダイオードの消費電力を増やすため、露出したパッドを持つダイオードを選択します。

LM5575-Q1 によって消費される電力に影響を与える最も重要な変数は、出力電流、入力電圧、動作周波数です。最大出力電流と最大入力電圧に近い値でデバイスが動作しているときの消費電力は、かなり大きくなる可能性があります。LM5575-Q1 評価基板の動作周波数は、300kHz に対応する設計を採用しています。70V 入力、1.5A の出力電流で動作している場合、LM5575-Q1 レギュレータの消費電力は約 1.25W です。

Copyright © 2026 Texas Instruments Incorporated

7.4.2 レイアウト例

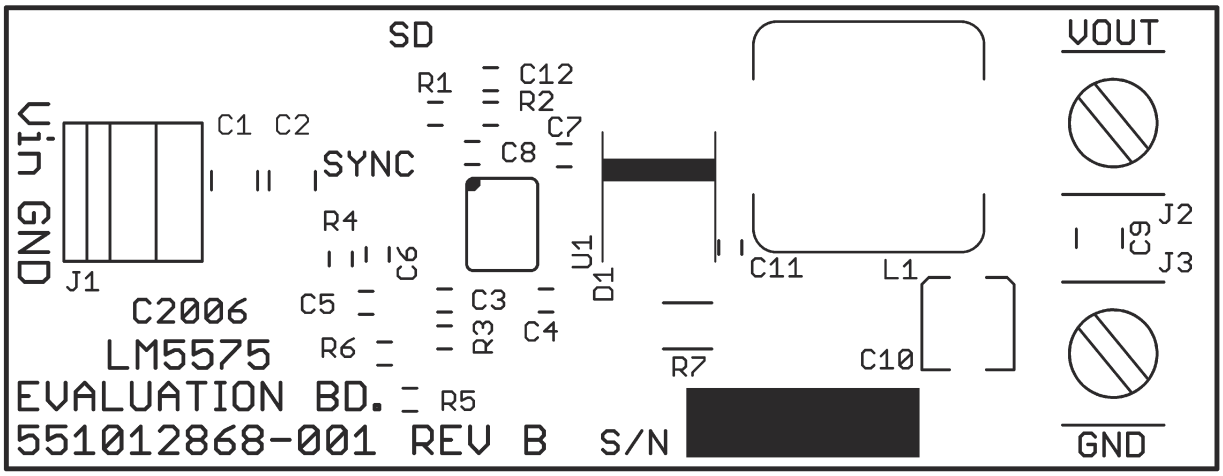


図 7-10. シルクスクリーン

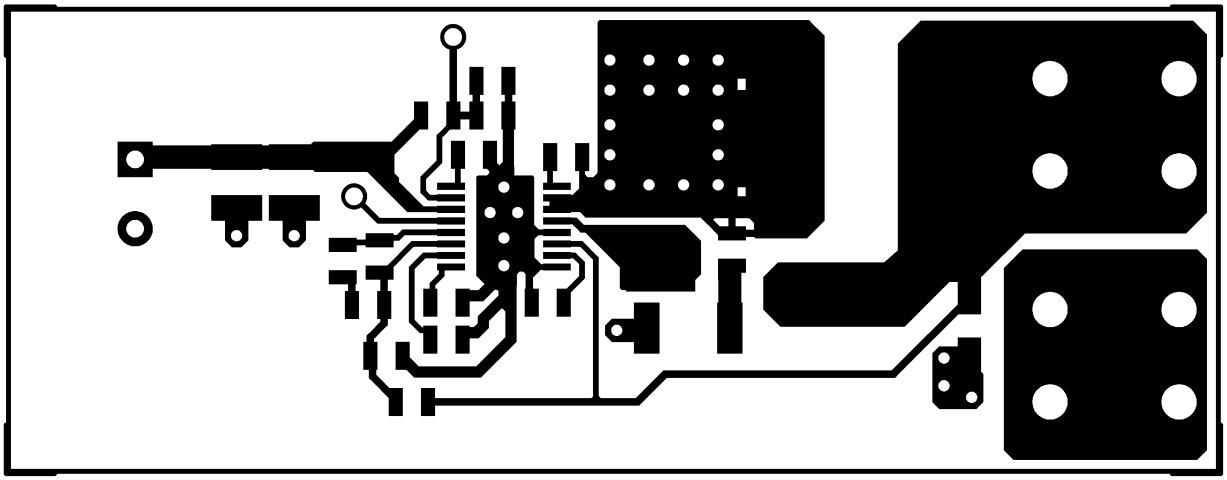


図 7-11. コンポーネント側

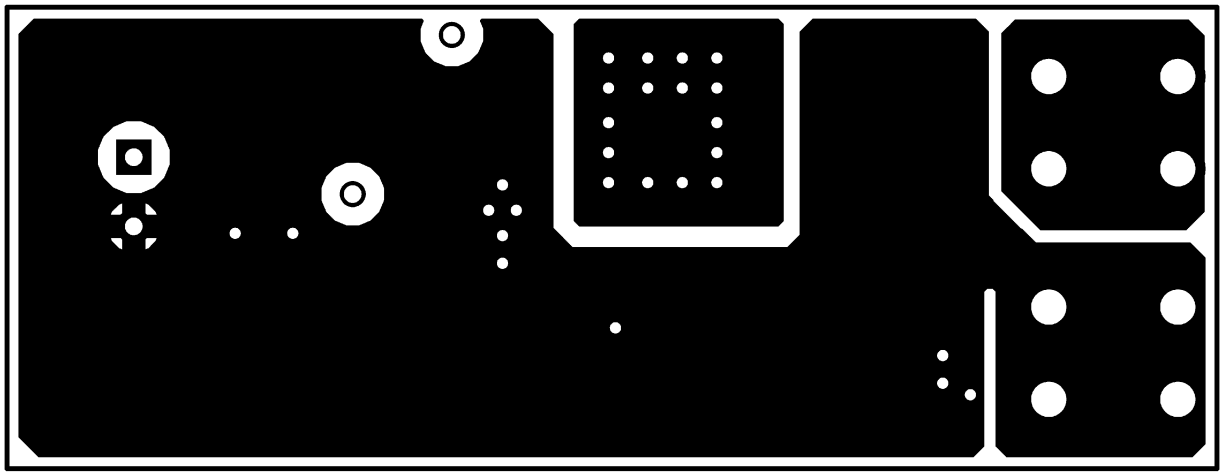


図 7-12. はんだ側

Copyright © 2026 Texas Instruments Incorporated

7.4.3 熱に関する注意事項

LM5575-Q1 の接合部から周囲間の熱抵抗は、アプリケーションによって異なります。最も重要な変数は、PCB 内の銅箔の面積、IC 露出パッドの下にあるビアの数、および使用される強制空冷の量です。この評価ボードのアートワークによれば、LM5575-Q1 の下 (部品側) の領域は銅で覆われており、半田側のグランド プレーンへの 5 つの接続ビアがあります。IC の下にビアを追加すると、ビアの数を増やすほど効果が減少します。IC の露出パッドから PCB への半田接続の完全性が重要です。過剰なボイドは、放熱能力を大幅に低下させます。評価基板に実装されている LM5575-Q1 の接合部から周囲間の熱抵抗は、エアフローなしの 50℃/W から 900 LFM (リニア フィート/分) の 28℃/W まで変化します。周囲温度が 25℃ でエアフローがない場合、LM5575-Q1 の予測される接合部温度は 25 + (50 × 1.25) = 88℃ になります。評価ボードが 1.5A の出力電流と 70V の入力電圧と周囲温度で長時間動作すると、IC 内のサーマル シャットダウン保護機能が起動することがあります。IC はオフになるため接合部を冷却でき、その後、ソフトスタート コンデンサがゼロにリセットされて再起動します。

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.1 WEBENCH® ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designer により、LM5575-Q1 デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
WEBENCH® is a registered trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2026 Texas Instruments Incorporated

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision F (July 2019) to Revision G (May 2026)	Page
• ドキュメントから温度グレード 0 の情報を削除	1
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• ドキュメントのタイトルに「車載用」を追加	1
• 「アプリケーション」から産業情報を削除	1
• 古い用語を使用している箇所をすべてコントローラとターゲットに変更	1
• 「ESD 定格」表に CDM 行を追加	5
• バイアス電流値 (Iin) を 3.7mA から 2mA に変更	6
• 最大シャットダウン電流値 (Iin) を 57uA から 48uA に変更	6
• BOOST UVLO ヒステリシスを 0.56V から 0.93V に変更	6
• サイクル単位の電流制限遅延を 85ns から 75ns に変更	6
• FB バイアス電流を 17nA から 10nA に変更	6
• サーマル シャットダウンのスレッショルドを 185℃ から 165℃ に変更	6
• 最新のデータで「代表的特性」を更新	8

Changes from Revision E (February 2019) to Revision F (July 2019)	Page
• 「特長」にグレード 0 の情報を追加	1
• 「概要」の末尾にグレード 1 とグレード 0 の文を追加	1

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM5575Q0MH/NOPB	Active	Production	HTSSOP (PWP) | 16	92 | TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 150	LM5575 Q0MH
LM5575Q0MH/NOPB.A	Active	Production	HTSSOP (PWP) | 16	92 | TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 150	LM5575 Q0MH
LM5575Q0MH/NOPB.B	Active	Production	HTSSOP (PWP) | 16	92 | TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 150	LM5575 Q0MH
LM5575Q0MHX/NOPB	Active	Production	HTSSOP (PWP) | 16	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	LM5575 Q0MH
LM5575Q0MHX/NOPB.A	Active	Production	HTSSOP (PWP) | 16	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	LM5575 Q0MH
LM5575Q0MHX/NOPB.B	Active	Production	HTSSOP (PWP) | 16	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 150	LM5575 Q0MH
LM5575QMH/NOPB	Active	Production	HTSSOP (PWP) | 16	92 | TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LM5575 QMH
LM5575QMH/NOPB.A	Active	Production	HTSSOP (PWP) | 16	92 | TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LM5575 QMH
LM5575QMH/NOPB.B	Active	Production	HTSSOP (PWP) | 16	92 | TUBE	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LM5575 QMH
LM5575QMHX/NOPB	Active	Production	HTSSOP (PWP) | 16	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LM5575 QMH
LM5575QMHX/NOPB.A	Active	Production	HTSSOP (PWP) | 16	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LM5575 QMH
LM5575QMHX/NOPB.B	Active	Production	HTSSOP (PWP) | 16	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LM5575 QMH

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LM5575-Q1 :

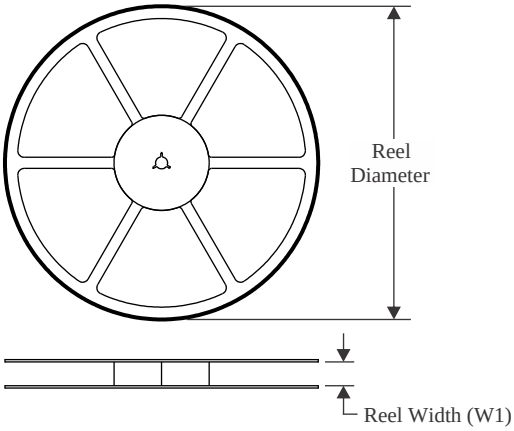
- Catalog : LM5575

NOTE: Qualified Version Definitions:

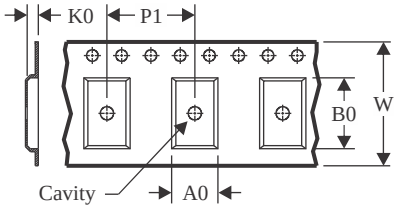
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

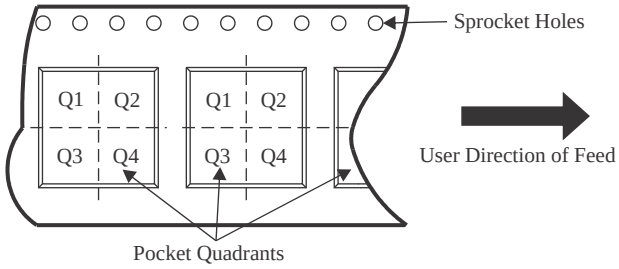


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

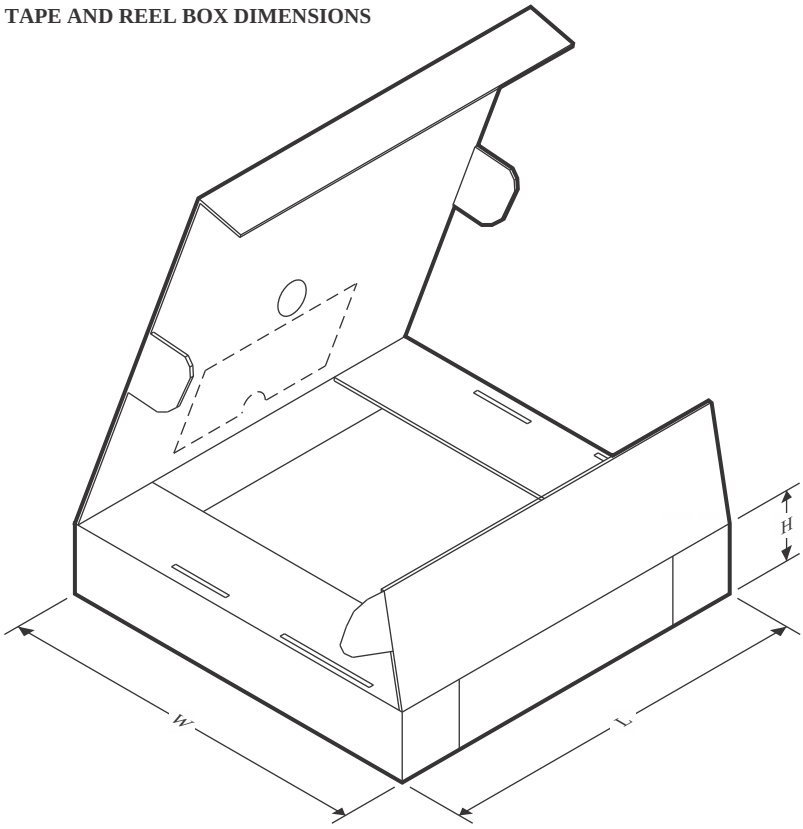
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM5575Q0MHX/NOPB	HTSSOP	PWP	16	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
LM5575QMHX/NOPB	HTSSOP	PWP	16	2500	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

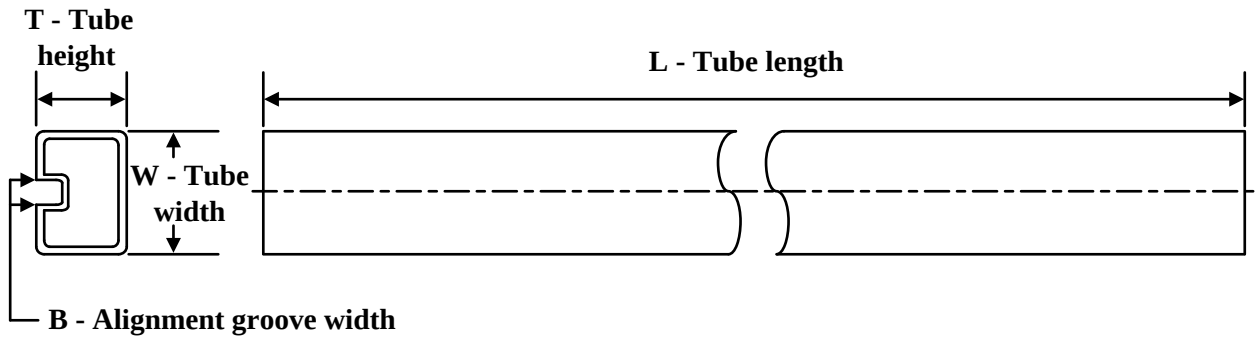
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

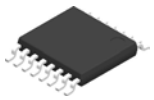
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM5575Q0MHX/NOPB	HTSSOP	PWP	16	2500	367.0	367.0	35.0
LM5575QMHX/NOPB	HTSSOP	PWP	16	2500	367.0	367.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
LM5575Q0MH/NOPB	PWP	HTSSOP	16	92	495	8	2514.6	4.06
LM5575Q0MH/NOPB.A	PWP	HTSSOP	16	92	495	8	2514.6	4.06
LM5575Q0MH/NOPB.B	PWP	HTSSOP	16	92	495	8	2514.6	4.06
LM5575QMH/NOPB	PWP	HTSSOP	16	92	495	8	2514.6	4.06
LM5575QMH/NOPB.A	PWP	HTSSOP	16	92	495	8	2514.6	4.06
LM5575QMH/NOPB.B	PWP	HTSSOP	16	92	495	8	2514.6	4.06

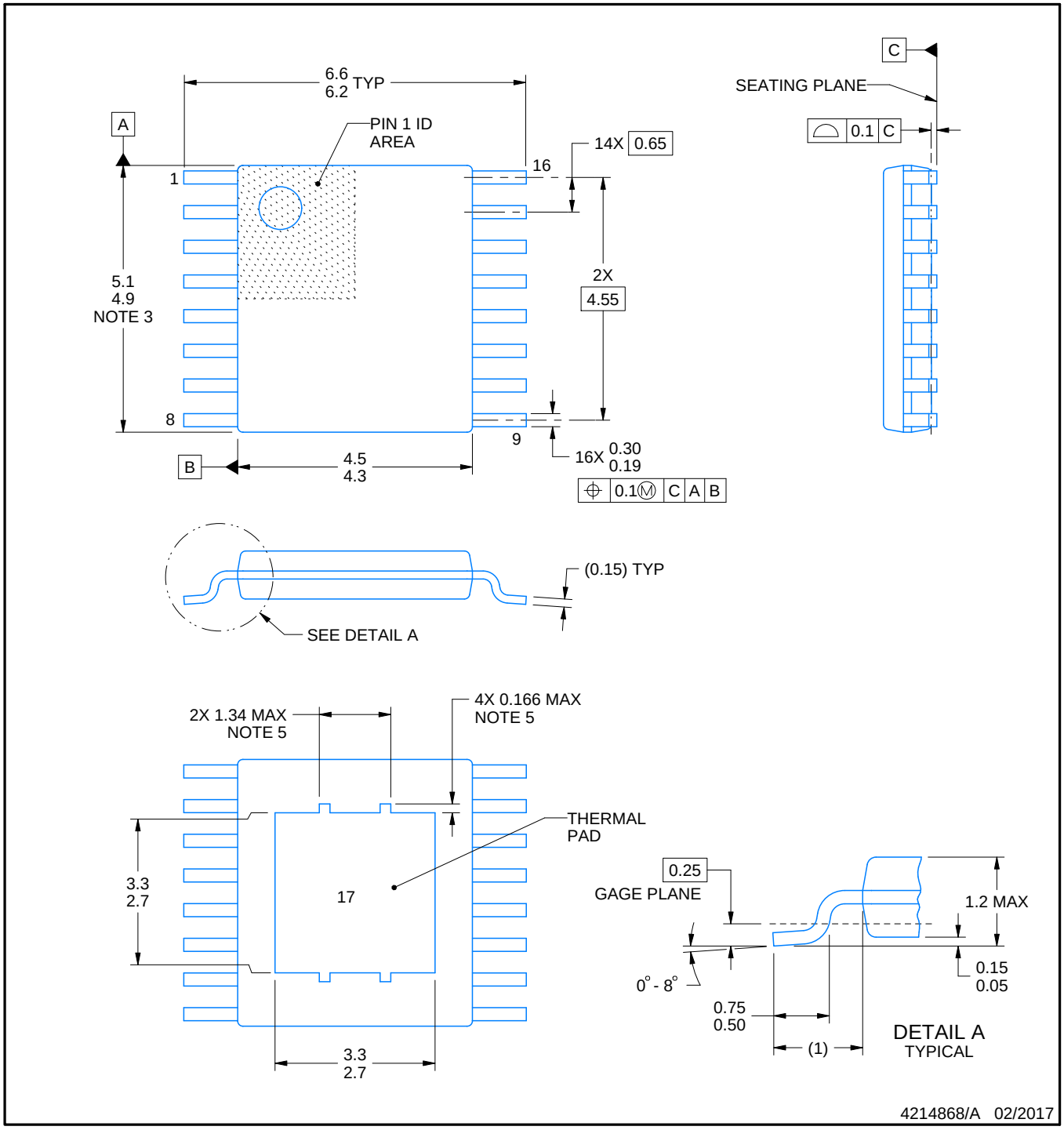


PACKAGE OUTLINE

PWP0016A

PowerPAD ™ HTSSOP - 1.2 mm max height

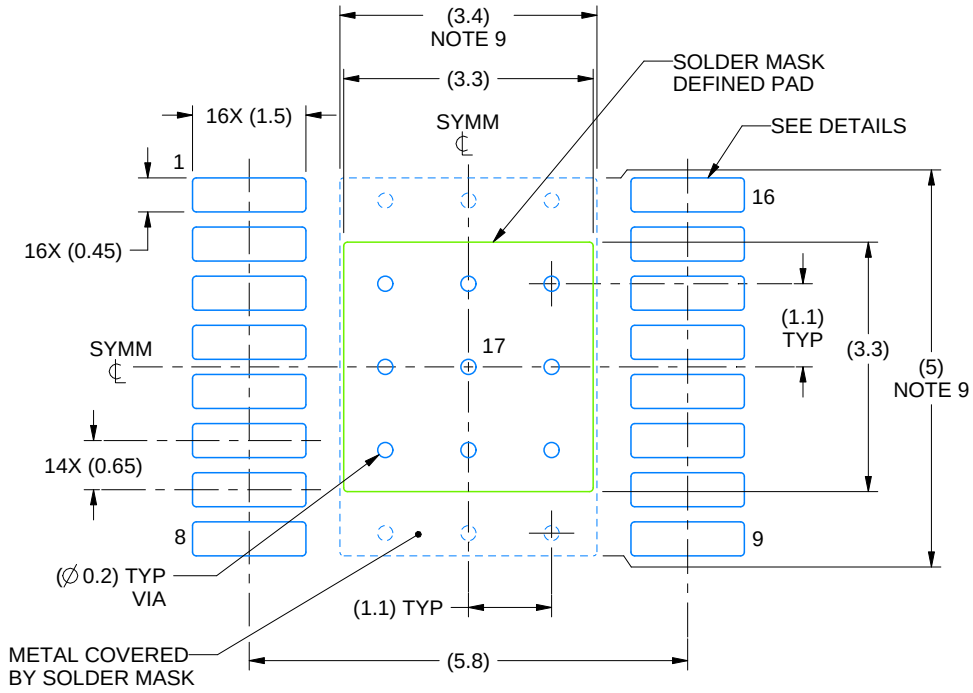
PLASTIC SMALL OUTLINE



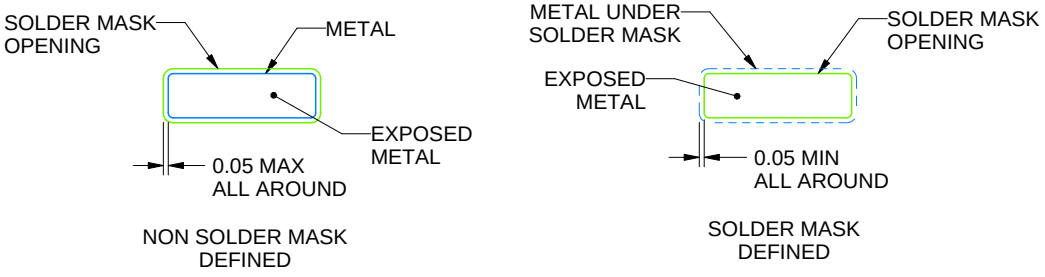
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:10X

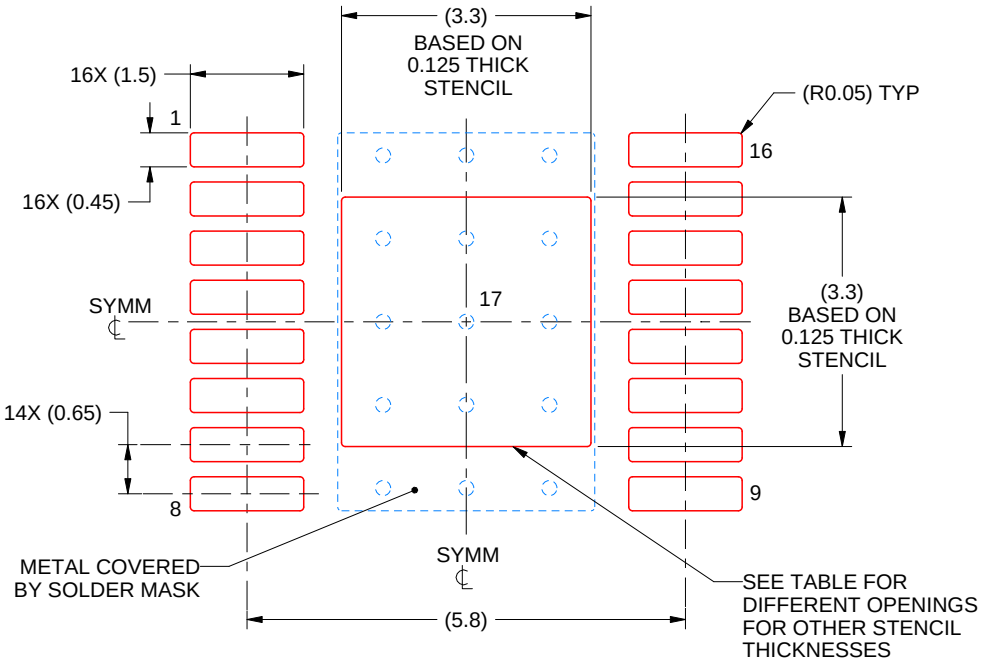


SOLDER MASK DETAILS
PADS 1-16

4214868/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
EXPOSED PAD
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:10X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.69 X 3.69
0.125	3.3 X 3.3 (SHOWN)
0.15	3.01 X 3.01
0.175	2.79 X 2.79

4214868/A 02/2017

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月