LM613x デュアルおよびクワッド、低消費電力、10MHz、レール ツー レール I/O オペアンプ

1 特長

- (5V 電源の場合、特に記載のない限り標準値)
- レール ツー レール入力 CMVR:-0.25V ～ 5.25V
- レール ツー レール出力
- 高ゲイン帯域幅:20kHz で 10MHz
- スルーレート:12V/µs
- 低い消費電流:360µA/amp
- 幅広い電源電圧範囲:2.7V ～ 24V 超
- CMRR:100dB
- ゲイン:100dB (R_L = 10kΩ の場合)
- PSRR:82dB

2 アプリケーション

- バッテリ駆動計測機器
- 計装アンプ
- ポータブル スキャナ
- ワイヤレス通信
- フラットパネル ディスプレイドライバ

3 説明

低電圧電源や電力制限により従来は妥協が必要であったアプリケーションにおいて、LM6132 および LM6134 (LM613x) を採用することで、速度と電力パフォーマンスの関係において新たなレベルを実現することが可能になります。アンプあたりわずか 360µA の電源電流で 10MHz のゲイン帯域幅を備える本デバイスは、消費電力の高いデバイスではバッテリー寿命が許容できないほど消耗してしまう新たなポータブル アプリケーションをサポートすることができます。

LM613x は、両方の電源レールを超える電圧で駆動できるため、同相電圧範囲を超える心配はありません。レール ツー レール出力スイングにより、出力において最大のダイナミック レンジが得られます。低い電源電圧で動作する場合、この機能が特に重要な意味を持ちます。また、LM613x は発振なしで大きな容量性負荷を駆動します。

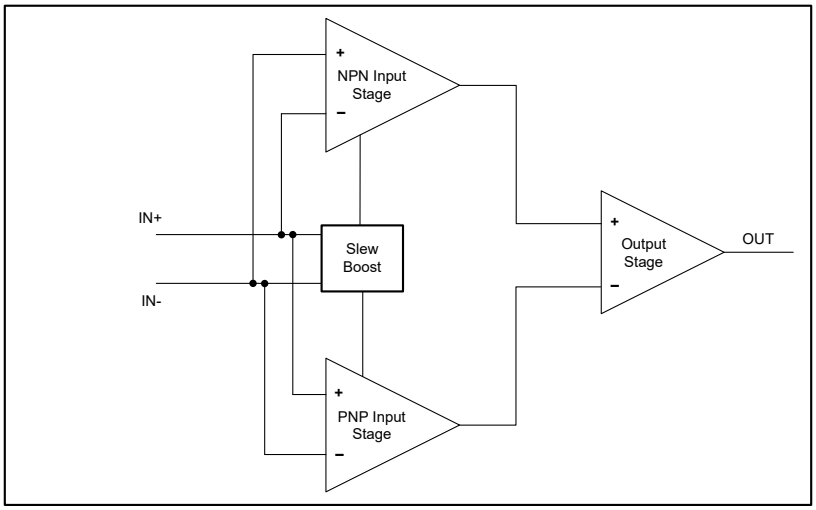
2.7V から 24V を超える電源電圧で動作する LM6132x は、広帯域幅の要件を持つバッテリー駆動システムから高速計測機器まで、非常に幅広いアプリケーションにおいて優れた性能を発揮することができます。

製品情報

部品番号	チャネル数	パッケージ (1)	本体サイズ
LM6132	デュアル	D (SOIC、8)	4.90mm × 3.91mm
		P (PDIP、8)	9.81mm × 6.35mm
LM6134	クワッド	D (SOIC、14)	8.65mm × 3.91mm
		NFF (PDIP、14)	19.177mm × 6.35mm

(1) 詳細については、セクション 9 を参照してください。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



機能ブロック図

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....4
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....5
5.4 熱に関する情報 (LM6132).....6
5.5 熱に関する情報 (LM6134).....6
5.6 電気的特性:V_S = 5V.....7
5.7 電気的特性:V_S = 2.7V.....9
5.8 電気的特性:V_S = 24V.....10
5.9 代表的特性.....11
5.10 古いダイと新しいダイの比較.....16
6 アプリケーションと実装.....17
6.1 使用上の注意.....17
6.2 代表的なアプリケーション.....18
7 デバイスおよびドキュメントのサポート.....19
7.1 ドキュメントの更新通知を受け取る方法.....19
7.2 サポート・リソース.....19
7.3 商標.....19
7.4 静電気放電に関する注意事項.....19
7.5 用語集.....19
8 改訂履歴.....19
9 メカニカル、パッケージ、および注文情報.....20

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

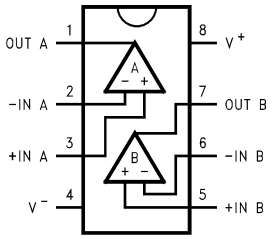


図 4-1. D パッケージ、8 ピン SOIC、P パッケージ、8 ピン PDIP (上面図)

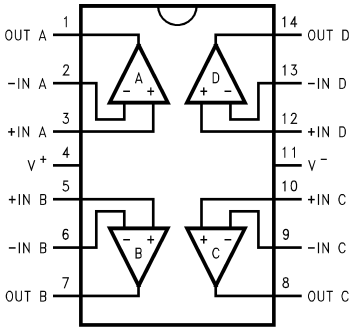


図 4-2. D パッケージ、14 ピン SOIC および NFF パッケージ、14 ピン PDIP (上面図)

ピンの機能

ピン			タイプ	説明
名称	LM6132	LM6134		
	D (SOIC)、P (PDIP)	D (SOIC)、NFF (PDIP)		
-IN A	2	2	入力	ChA 反転入力
+IN A	3	3	入力	ChA 非反転入力
-IN B	6	6	入力	ChB 反転入力
+IN B	5	5	入力	ChB 非反転入力
–IN C		9	入力	ChC 反転入力
+IN C		10	入力	ChC 非反転入力
–IN D		13	入力	ChD 反転入力
+IN D		12	入力	ChD 非反転入力
OUT A	1	1	出力	ChA 出力
OUT B	7	7	出力	ChB 出力
OUT C		8	出力	ChC 出力
OUT D		14	出力	ChD 出力
V^-	4	11	入力	負電源
V^+	8	4	入力	正電源

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
電源電圧、V_S = (V+) - (V-)		0	33	V
信号入力ピン	同相電圧(3)	(V–) – 0.5	(V+) + 0.5	V
	差動電圧(4)		±15	V
	電流(3)		±10	mA
出力短絡(2)		連続		
動作時周囲温度、T_A		-55	150	°C
接合部温度、T_J			150	°C
保管温度、T_{stg}		-65	150	°C

(1) 「絶対最大定格」に示す定格を超えて本デバイスを動作させた場合、デバイスに永続的な損傷が発生します。これらはプロセスと設計の制約に基づくストレス定格に過ぎず、「推奨動作条件」に示された以外の条件で動作するようにはこのデバイスは設計されていません。絶対最大定格条件を含め、「推奨動作条件」以外のいかなる条件にも長時間さらすと、デバイスの信頼性と性能に影響を及ぼす可能性があります。
(2) グランドへの短絡、パッケージあたり 1 台のアンプ。短絡電流が長時間流れると、特に電源電圧が高い場合、過熱や最終的な破壊が発生する可能性があります。
(3) 入力ピンは、電源レールに対してダイオード クランプされています。入力信号のスイングが 0.5V より大きく電源レールを超える可能性がある場合は、電流を 10mA 以下に制限する必要があります。
(4) 入力保護のため、入力ピンは双方向ダイオードを介して接続します。差動入力電圧が 0.5V を超える場合は、入力電流が 10mA 以下に制限されます。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±4000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±1500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_S	電源電圧、(V+) - (V-)	2.7	24	V
V_I	同相電圧範囲	(V-) - 0.1	(V+) + 0.1	V
T_A	規定温度	-40	85	°C

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報 (LM6132)

熱評価基準(1)		LM6132		単位
		D (SOIC)	P (PDIP)	
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	127.10	84.45	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	63.27	58.07	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	71.20	50.90	℃/W
ψ_{JT}	接合部から上面への特性パラメータ	13.91	30.43	℃/W
ψ_{JB}	接合部から基板への特性パラメータ	70.54	50.44	℃/W

(1) 従来および最新の熱測定基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポート、SPRA953 を参照してください。

5.5 熱に関する情報 (LM6134)

熱評価基準(1)		LM6134		単位
		D (SOIC)	NFF (PDIP)	
		14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	82.48	81	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	38.77	該当なし	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	37.86	該当なし	℃/W
ψ_{JT}	接合部から上面への特性パラメータ	8.66	該当なし	℃/W
ψ_{JB}	接合部から基板への特性パラメータ	37.51	該当なし	℃/W

(1) 従来および最新の熱測定基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポート、SPRA953 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.6 電気的特性：V_S = 5V

V^+ = 5.0V、V^- = 0V、R_L > 1MΩ を V_S / 2 に接続、V_{CM} = V^+ / 2、V_O = V^+ / 2、T_A = 25℃ (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧	LM6132AI、LM6134AI			0.25	2	mV
			T_A = –40°C ～ 85°C			4	
		LM6132BI、LM6134BI			0.25	6	
			T_A = –40°C ～ 85°C			8	
dV_{OS}/dT	入力オフセット電圧ドリフト	T_A = –40°C ～ 85°C			5		µV/℃
PSRR	入力オフセット電圧と電源との関係	2.5V ≤ |V_S| ≤ 12V、LM6132AI、LM6134AI		78	82		dB
			T_A = –40°C ～ 85°C	75			
		2.5V ≤ |V_S| ≤ 12V、LM6132BI、LM6134BI		78	82		
			T_A = –40°C ～ 85°C	75			
入力バイアス電流							
I_B	入力バイアス電流	0V ≤ V_{CM} ≤ 5V、LM6132AI、LM6134AI			110	140	nA
			T_A = –40°C ～ 85°C			300	
		0V ≤ V_{CM} ≤ 5V、LM6132BI、LM6134BI			110	180	
			T_A = –40°C ～ 85°C			350	
I_{OS}	入力オフセット電流	LM6132AI、LM6134AI			3.4	30	nA
			T_A = –40°C ～ 85°C			50	
		LM6132BI、LM6134BI			3.4	30	
			T_A = –40°C ～ 85°C			50	
入力電圧							
V_{CM}	同相入力電圧範囲			– 0.25		5.25	V
		T_A = –40°C ～ 85°C		0		5	V
CMRR	同相信号除去比	0V ≤ V_{CM} ≤ 4V、LM6132AI、LM6134AI		75	100		dB
			T_A = –40°C ～ 85°C	70			
		0V ≤ V_{CM} ≤ 4V、LM6132BI、LM6134BI		75	100		
			T_A = –40°C ～ 85°C	70			
		0V ≤ V_{CM} ≤ 5V、LM6132AI、LM6134AI		60	100		
			T_A = –40°C ～ 85°C	55			
		0V ≤ V_{CM} ≤ 5V、LM6132BI、LM6134BI		60	100		
			T_A = –40°C ～ 85°C	55			
入力インピーダンス							
R_{IN}	同相入力抵抗				104		MΩ
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	R_L = 10kΩ、LM6132AI、LM6134AI		25	100		V/mV
			T_A = –40°C ～ 85°C	8			
		R_L = 10kΩ、LM6132BI、LM6134BI		15	100		
			T_A = –40°C ～ 85°C	6			
ノイズ							
e_N	入力電圧ノイズ密度	f = 1kHz			27		nV/√Hz
i_N	入力電流ノイズ密度	f = 1kHz			0.18		pA/√Hz
周波数応答							
GBW	ゲイン帯域幅積	f = 20kHz		7.4	10		MHz
			T_A = –40°C ～ 85°C	7			
SR	スルーレート	V_S = 12V、V_{STEP} = 8V、R_S < 1kΩ		8	14		V/µs
			T_A = –40°C ～ 85°C	7			
PM	位相マージン	R_L = 10kΩ			33		°

Copyright © 2026 Texas Instruments Incorporated

V^+ = 5.0V、V^- = 0V、R_L > 1MΩ を V_S / 2 に接続、V_{CM} = V^+ / 2、V_O = V^+ / 2、T_A = 25℃ (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
GM	ゲイン マージン	R_L = 10kΩ			10		dB
出力							
V_O	電圧出力スイング	R_L = 100kΩ、正電圧レールから			30	40	mV
			T_A = –40°C ～ 85°C			70	
		R_L = 100kΩ、負電圧レールから			30	35	
			T_A = –40°C ～ 85°C			50	
		R_L = 10kΩ、正電圧レールから			48	60	
			T_A = –40°C ～ 85°C			150	
		R_L = 10kΩ、負電圧レールから			32	70	
			T_A = –40°C ～ 85°C			90	
		R_L = 5kΩ、正電圧レールから			77	100	
			T_A = –40°C ～ 85°C			150	
		R_L = 5kΩ、負電圧レールから			51	95	
			T_A = –40°C ～ 85°C			120	
I_{SC}	短絡電流	ソース = LM6132A		2	4		mA
			T_A = –40°C ～ 85°C	2			
		ソース = LM6132B		2	4		
			T_A = –40°C ～ 85°C	1			
		シンク、LM6132A		1.8	3.5		
			T_A = –40°C ～ 85°C	1.8			
		シンク、LM6132B		1.8	3.5		
			T_A = –40°C ～ 85°C	1			
		ソース = LM6134A		2	3		
			T_A = –40°C ～ 85°C	1.6			
		ソース = LM6134B		2	3		
			T_A = –40°C ～ 85°C	1			
		シンク、LM6134A		1.8	3.5		
			T_A = –40°C ～ 85°C	1.3			
		シンク、LM6134B		1.8	3.5		
			T_A = –40°C ～ 85°C	1			
電源							
I_Q	アンプごとの静止電流	LM6132AI、LM6134AI			360	400	μA
			T_A = –40°C ～ 85°C			450	
		LM6132BI、LM6134BI			360	400	μA
			T_A = –40°C ～ 85°C			450	μA

Copyright © 2026 Texas Instruments Incorporated

5.7 電気的特性：V_S = 2.7V

V^+ = 2.7V、V^- = 0V、R_L > 1MΩ を V_S / 2 に接続、V_{CM} = V^+ / 2、V_O = V^+ / 2、T_A = 25℃ (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧	LM6132AI、LM6134AI			0.12	2	mV
			T_A = –40°C ～ 85°C			8	
		LM6132BI、LM6134BI			0.12	6	
			T_A = –40°C ～ 85°C			12	
PSRR	入力オフセット電圧と電源との関係	1.35V ≤ |V_S| ≤ 12V、			80		dB
入力バイアス電流							
I_B	入力バイアス電流	0V ≦ V_{CM} ≦ 2.7V			90		nA
I_{OS}	入力オフセット電流				2.8		nA
入力電圧							
V_{CM}	同相入力電圧範囲			0		2.7	V
CMRR	同相信号除去比	0V ≦ V_{CM} ≦ 2.7V			82		dB
入力インピーダンス							
R_{IN}	同相入力抵抗				134		MΩ
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	R_L = 10kΩ			100		V/mV
ノイズ							
周波数応答							
GBW	ゲイン帯域幅積	f = 20kHz, R_L = 10kΩ			7		MHz
PM	位相マージン	R_L = 10kΩ			23		°
GM	ゲイン マージン				12		dB
出力							
V_O	電圧出力スイング	R_L = 100kΩ、正電圧レールから			40	50	mV
			T_A = –40°C ～ 85°C			450	
		R_L = 100kΩ、負電圧レールから			30	80	
			T_A = –40°C ～ 85°C			112	
電源							
I_Q	アンプごとの静止電流				330		µA

Copyright © 2026 Texas Instruments Incorporated

5.8 電気的特性：V_S = 24V

V^+ = 24V、V^- = 0V、R_L > 1MΩ を V_S / 2 に接続、V_{CM} = V^+ / 2、V_O = V^+ / 2、T_A = 25℃ (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧	LM6132AI、LM6134AI			1.7	3	mV
			T_A = –40°C ～ 85°C			5	
		LM6132BI、LM6134BI			1.7	7	
			T_A = –40°C ～ 85°C			9	
PSRR	入力オフセット電圧と電源との関係	1.35V ≤ |V_S| ≤ 12V、			82		dB
入力バイアス電流							
I_B	入力バイアス電流	0V ≦ V_{CM} ≦ 24V			125		nA
I_{OS}	入力オフセット電流				4.8		nA
入力電圧							
V_{CM}	同相入力電圧範囲			0		24	V
CMRR	同相信号除去比	0V ≦ V_{CM} ≦ 24V			82		dB
入力インピーダンス							
R_{IN}	同相入力抵抗				210		MΩ
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	R_L = 10kΩ			102		V/mV
ノイズ							
周波数応答							
GBW	ゲイン帯域幅積	f = 20kHz, R_L = 10kΩ			11		MHz
PM	位相マージン	R_L = 10kΩ			23		°
GM	ゲイン マージン	R_L = 10kΩ			12		dB
THD+N	全高調波歪み + ノイズ	V_O = 20V_{PP}、G = 1、f = 10kHz			0.0015		%
出力							
V_O	電圧出力スイング	R_L = 10kΩ、正電圧レールから			140	200	mV
		R_L = 10kΩ、負電圧レールから			75	150	
電源							
I_Q	アンプごとの静止電流				390	450	μA
		T_A = –40°C ～ 85°C				490	

Copyright © 2026 Texas Instruments Incorporated

5.9 代表的特性

T_A = 25°C および R_L = 10kΩ (特に記述のない限り)

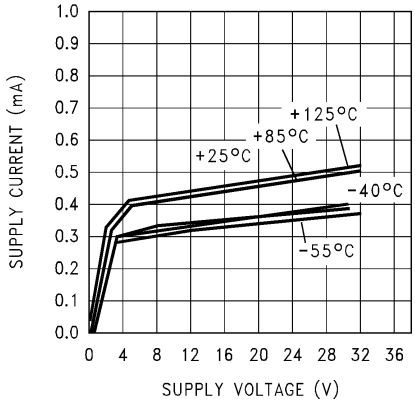


図 5-1. 電源電流と電源電圧との関係

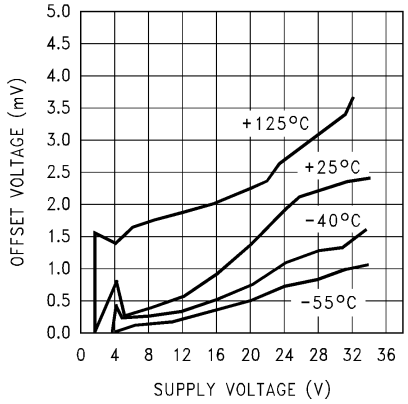


図 5-2. オフセット電圧と電源電圧との関係

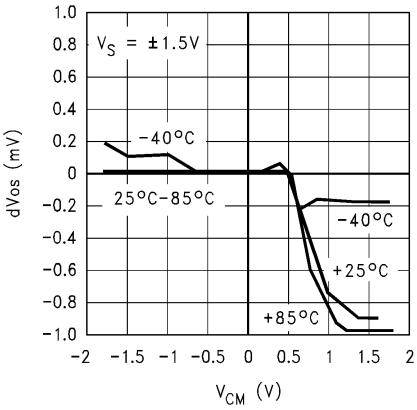


図 5-3. dV_{OS} と V_{CM} との関係

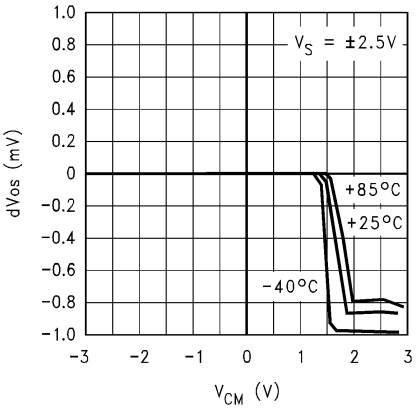


図 5-4. dV_{OS} と V_{CM} との関係

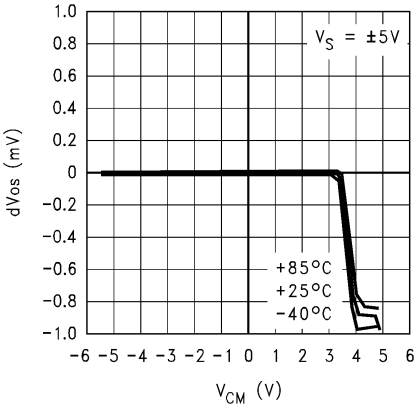


図 5-5. dV_{OS} と V_{CM} との関係

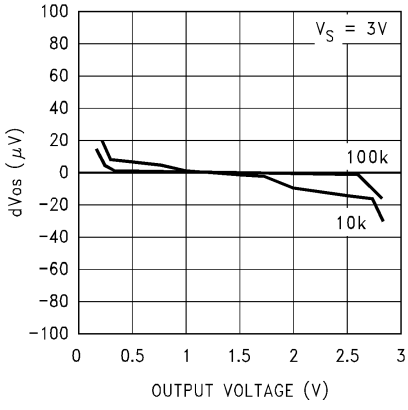


図 5-6. dV_{OS} と出力電圧との関係

Copyright © 2026 Texas Instruments Incorporated

5.9 代表的特性 (続き)

T_A = 25°C および R_L = 10kΩ (特に記述のない限り)

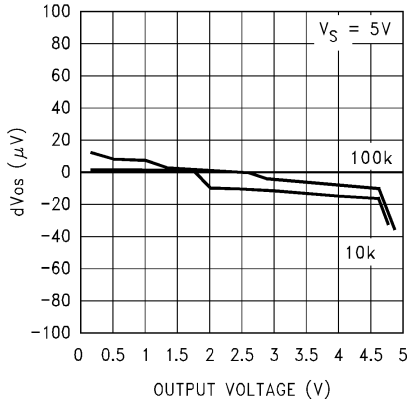


図 5-7. dV_{OS} と出力電圧との関係

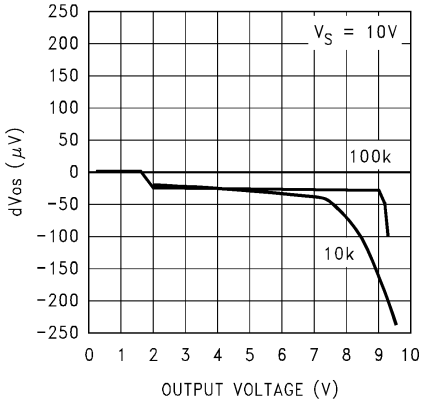


図 5-8. dV_{OS} と出力電圧との関係

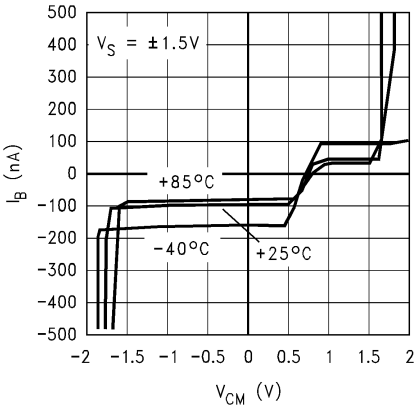


図 5-9. I_{BIAS} と V_{CM} との関係

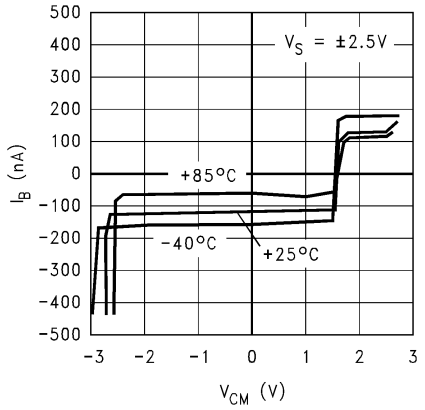


図 5-10. I_{BIAS} と V_{CM} との関係

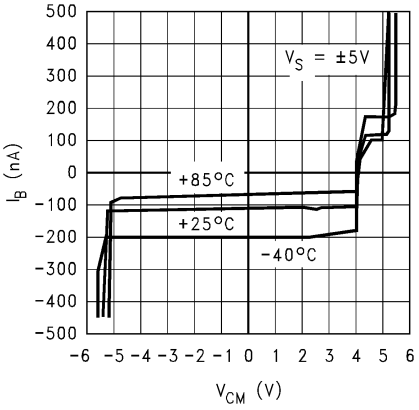


図 5-11. I_{BIAS} と V_{CM} との関係

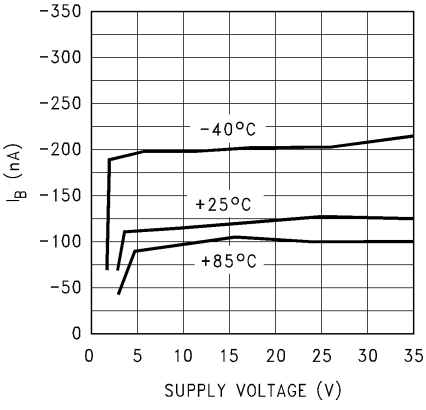


図 5-12. 入力バイアス電流と電源電圧との関係

Copyright © 2026 Texas Instruments Incorporated

5.9 代表的特性 (続き)

T_A = 25°C および R_L = 10kΩ (特に記述のない限り)

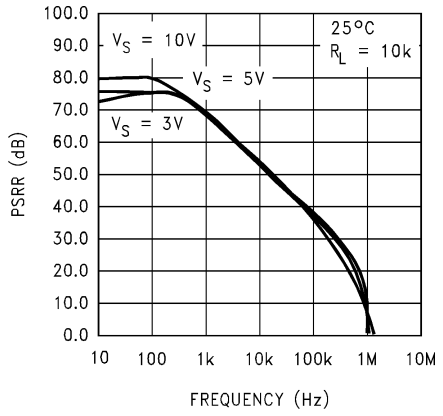


図 5-13. 負 PSRR と周波数との関係、古いダイ

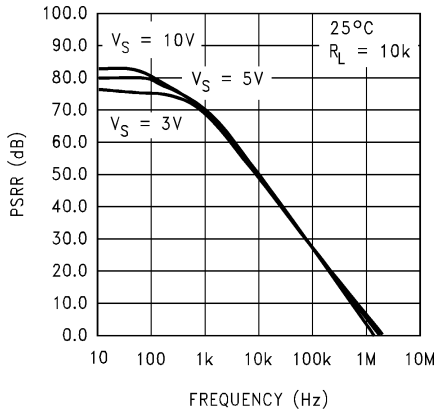


図 5-14. 正 PSSR と周波数との関係、古いダイ

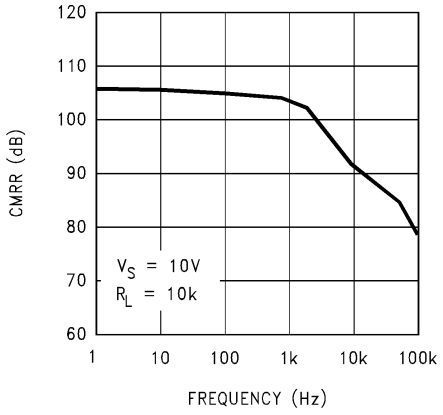


図 5-15. 同相信号除去比と周波数との関係、古いダイ

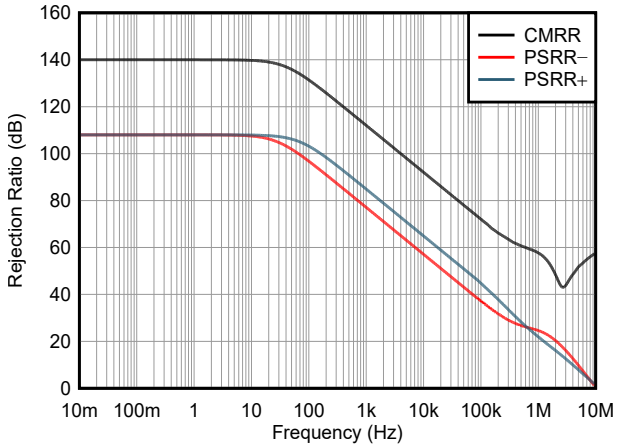


図 5-16. 同相信号除去比および PSRR と周波数との関係、新しいダイ

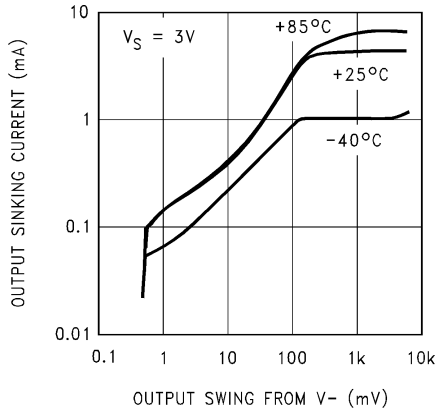


図 5-17. 出力電圧とシンク電流との関係

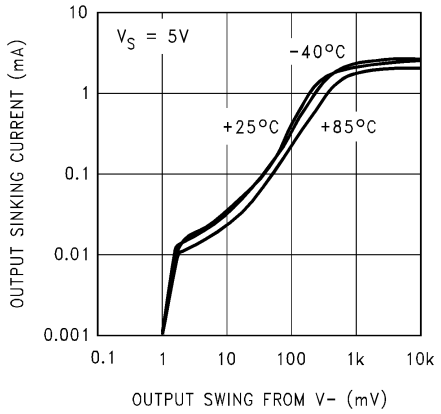


図 5-18. 出力電圧とシンク電流との関係

Copyright © 2026 Texas Instruments Incorporated

5.9 代表的特性 (続き)

T_A = 25°C および R_L = 10kΩ (特に記述のない限り)

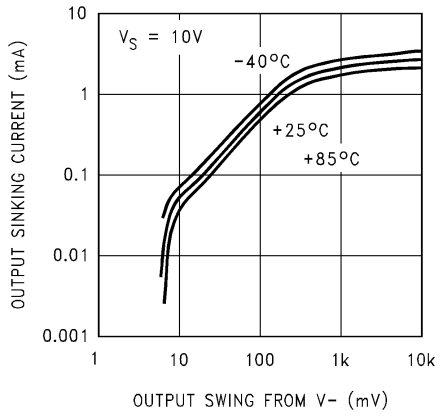


図 5-19. 出力電圧とシンク電流との関係

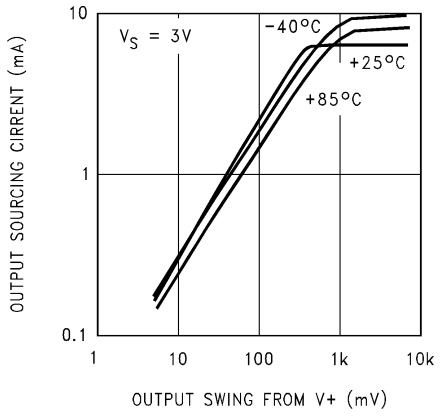


図 5-20. 出力電圧とソース電流との関係

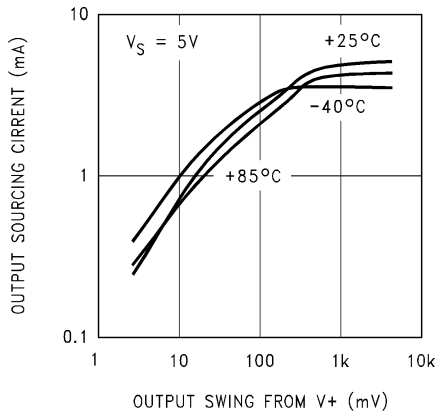


図 5-21. 出力電圧とソース電流との関係

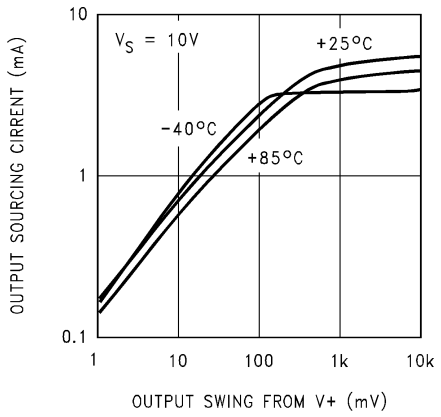


図 5-22. 出力電圧とソース電流との関係

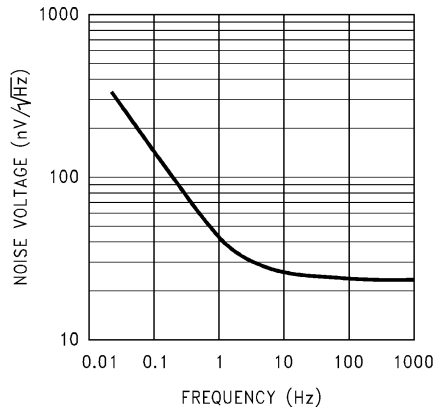


図 5-23. ノイズ電圧と周波数との関係

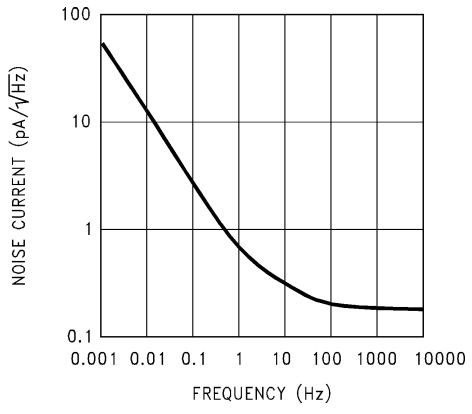


図 5-24. ノイズ電流と周波数との関係

Copyright © 2026 Texas Instruments Incorporated

5.9 代表的特性 (続き)

T_A = 25°C および R_L = 10kΩ (特に記述のない限り)

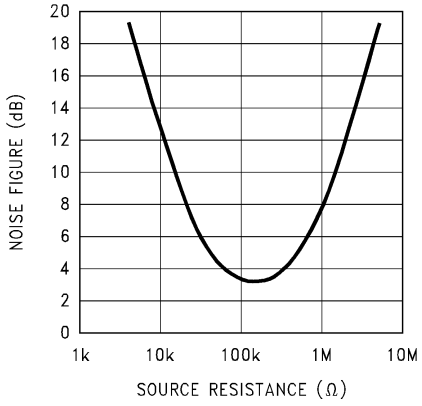


図 5-25. NF とソース抵抗との関係

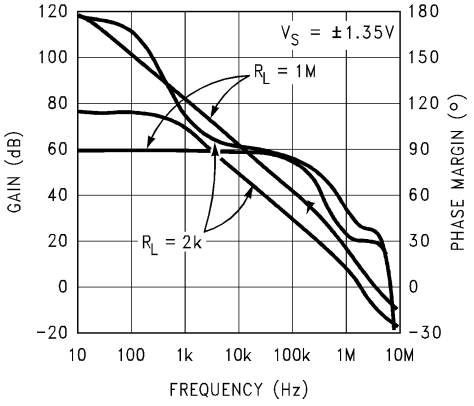


図 5-26. ゲインおよび位相と周波数との関係、古いダイ

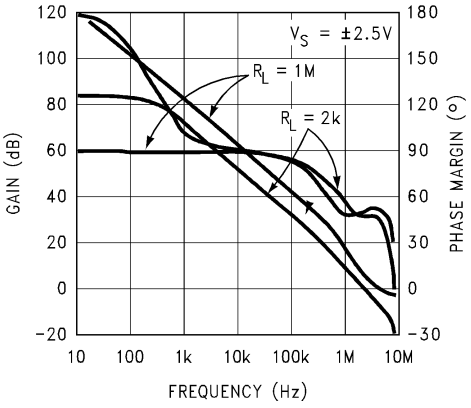


図 5-27. ゲインおよび位相と周波数との関係、古いダイ

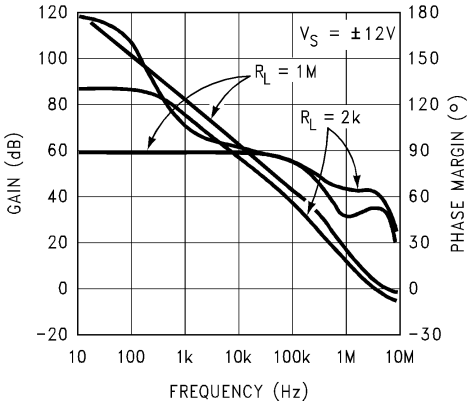


図 5-28. ゲインおよび位相と周波数との関係、古いダイ

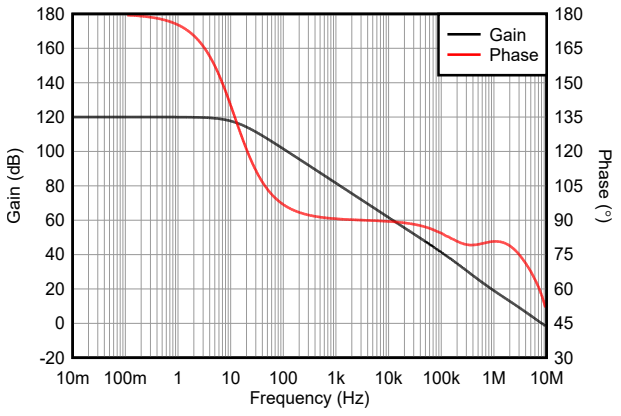


図 5-29. ゲインおよび位相と周波数との関係、新しいダイ

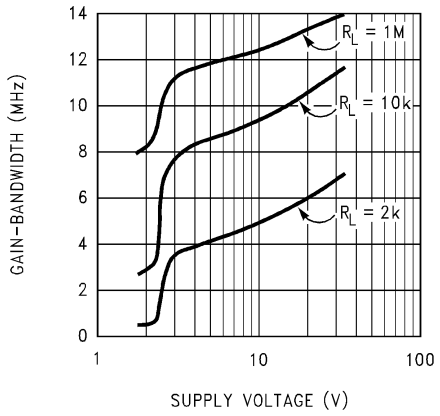


図 5-30. 20kHz での GBW と電源電圧との関係

Copyright © 2026 Texas Instruments Incorporated

5.10 古いダイと新しいダイの比較

このデータシートの改訂 F 版の発行時点で、テキサス インスツルメンツは、LM6132 と LM6134 のダイの製造拠点を最新の拠点に移動しました。このドキュメントでは、2 つの異なるダイを「古い」(以前の製造拠点) および「新しい」ダイと呼びます。ダイの原点は、配送情報の「チップ ソース オリジン」(CSO) パラメータから分離することができます。古いダイ CSO は「GF6」で、新しいダイ CSO は「RFB」です。このデータシートでは、比較のため、古いダイの情報を保持していますが、新しい製造はすべて新しいダイに移行しています。

表 5-1. 古いダイと新しいダイの比較

説明	古いダイ	新しいダイ
最小電源電圧	1.8V	2.7V
100kΩ 負荷の標準出力電圧範囲 (V_S = 5V)	0.007V ～ 4.992V	0.03V ～ 4.97V
100kΩ 負荷の最小出力電圧範囲 (V_S = 5V)	0.017V ～ 4.98V	0.04V ～ 4.965V
出力電圧スルーアーキテクチャ	標準スルーアーキテクチャ	スルーブースト アーキテクチャ

Copyright © 2026 Texas Instruments Incorporated

6 アプリケーションと実装

6.1 使用上の注意

LM6132 により、オペアンプ システムの設計がこれまで以上に容易になります。レール ツー レールを超える入力電圧範囲により、同相入力電圧範囲を超える懸念が排除されます。

レール ツー レール出力スイングにより、出力において最大のダイナミック レンジが得られます。低い電源電圧で動作する場合、このことは特に重要です。

高いゲイン帯域幅を低消費電流で実現したことで、従来は消費電力の高さからバッテリ寿命の面で実用化が難しかった、新しいバッテリ駆動アプリケーションが可能になります。

これらの特長を活用するには、以降のセクションで説明するいくつかのポイントを考慮してください。

Copyright © 2026 Texas Instruments Incorporated

6.2 代表的なアプリケーション

6.2.1 レール ツー レール入出力対応 3 オペアンプ計装アンプ

LM6134 を使用すると、レール ツー レール入力と レール ツー レール出力に対応した 3 オペアンプ計装アンプを作成できます。こうした特長を持つこの計装アンプは単一電源システムに最適です。

一部のメーカーは、5 つの抵抗で構成された高精度の分圧器アレイを使用して同相電圧を分圧し、レール ツー レール以上の入力範囲を確保しています。この方法の問題点は信号も分割されることです。したがってユニティ ゲインを実現するには、高い閉ループ ゲインでアンプを動作させる必要があります。これにより、内部ゲイン係数によってノイズとドリフトが増加し、入力インピーダンスが低減します。これらの高精度抵抗に不一致があると、CMR も減少します。LM6134 を使用すると、これらの問題がすべて解消されます。

この例では、アンプ A と B は差動段 (図 6-1) へのバッファとして機能します。これらのバッファにより、入力インピーダンスが 100MΩ 以上に維持され、入力段の高精度マッチング抵抗が不要になります。さらに、差動アンプを確実に電圧源から駆動することができます。これは、R1–R2 と R3–R4 のマッチングによって設定された CMR を維持するために必要な特徴です。

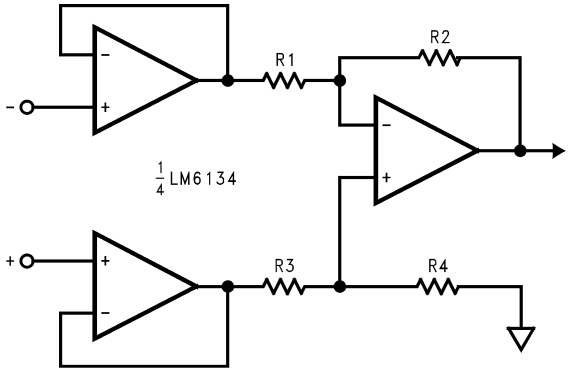


図 6-1. 計装アンプ

6.2.2 フラット パネル ディスプレイのバッファリング

LM6132/34 は 3 つの特長により、TFT LCD アプリケーションに最適です。1 つ目の特長は、消費電流が小さい点です (5V でアンプ 1 個あたり 360μA)。そのため、ラップトップ コンピュータなどのバッテリ駆動アプリケーションに適しています。2 つ目の特長は、最小 2.7V で動作する点です。そのため、次世代型の 3V TFT パネルに適しています。LM6132 が持つ 3 つ目の特長は、大きな容量性駆動能力です。LCD ディスプレイ ドライバに特徴的な、大きな容量性負荷の駆動に非常に便利です。

LM6132/34 は大きな容量性駆動能力を持っているため、TFT LCD パネルにおける抵抗器 DAC タイプのカラム (ソース) ドライバのガンマ補正基準電圧入力用バッファとして使用できます。本アンプは、LMC750X シリーズなどのコンデンサ DAC タイプのカラム (ソース) ドライバのセンター基準電圧入力のみをバッファリングする用途にも有用です。

VGA ディスプレイと SVGA ディスプレイの場合、バッファされた電圧は約 4μs 以内で安定する必要があります。これは、小さな絶縁抵抗をアンプの出力と直列に使用することで、出力のリンギングを非常に効果的に減衰させる手法として知られています。

電源電圧範囲が 2.7V ～ 24V と広いため、LM6132/34 は幅広いアプリケーションに使用できます。このように、システム内の多数のサブ回路に共通して使用できる単一のデバイス タイプを選定できるため、部品構成表に複数デバイスを記載する必要がなくなります。同広い電源電圧能力を持つ姉妹製品の LM6142 および LM6152 と同様に、設計に LM6132 を採用することで、新規設計において複数の調達先を探す必要がなくなります。

Copyright © 2026 Texas Instruments Incorporated

7 デバイスおよびドキュメントのサポート

7.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

7.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

7.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

7.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (September 2014) to Revision F (June 2026)	Page
• 「特長」の「0.01V ～ 4.99V のスイング」を削除	1
• 電源電流に対する電源電圧のプロットを削除	1
• オフセット電圧に対する電源電圧のプロットを削除	1
• 「機能ブロック図」を追加	1
• 「絶対最大定格」の表の注 3 を更新	5
• (V–) – 0.3V から (V–) – 0.5V に変更	5
• (V+) + 0.3V から (V+) + 0.5V に変更	5
• 「絶対最大定格」の表の注 4 を更新	5
• 「絶対最大定格」の表の注 2 を更新	5
• ±25mA から連続に変更	5
• 定格を出力ピンの電流から出力短絡に変更	5
• 動作周囲温度定格を追加	5
• 「CDM ESD 定格」を追加	5
• 「ESD 定格」の表の注記を更新	5
• 「ESD 定格」に表の注記を追加	5
• 「推奨動作条件」の表の注 1 を削除	5
• 最小電源電圧を 1.8V から 2.7V に変更	5

Copyright © 2026 Texas Instruments Incorporated

- LM6132D の接合部とケース間の熱抵抗を 193℃/W から 127.1℃/W に変更 6
- LM6132P の接合部と周囲間の熱抵抗を 115℃/W から 84.45℃/W に変更 6
- パッケージの接合部からケース (上面) への熱抵抗を追加 6
- パッケージの接合部から基板への熱抵抗を追加 6
- パッケージの接合部から上面への特性パラメータを追加 6
- パッケージの接合部から基板への特性パラメータを追加 6
- LM6134D の接合部と周囲間の熱抵抗を 126℃/W から 82.48℃/W に変更 6
- すべての *電気的特性* 表を最新の形式に更新 7
- レールを参照するように出力スイング形式を更新 7
- 100kΩ 負荷における標準出力電圧スイングを、4.992V から正電源レールの 30mV に変更 7
- 100kΩ 負荷における最大出力電圧スイングを、4.98V から正電源レールの 40mV に変更 7
- 100kΩ 負荷における標準出力電圧スイングを、0.007V から負電源レールの 30mV に変更 7
- 100kΩ 負荷における最大出力電圧スイングを、0.017V から負電源レールの 35mV に変更 7
- 100kΩ 負荷における最大出力電圧スイングを、0.019V から負電源レールの 50mV に変更 7
- すべての「電気的特性」表から表の注記を削除 7
- レールを参照するように出力スイング形式を更新 9
- レールを参照するように出力スイング形式を更新 10
- 新しいダイにおける同相信号除去比および PSRR に対する周波数のプロットを追加 11
- 新しいダイにおけるゲインおよび位相に対する周波数のプロットを追加 11
- 新しいサブセクション「古いダイと新しいダイの比較」を追加 16
- サブセクション「拡張スルーレート」を削除 17

Changes from Revision D (February 2013) to Revision E (September 2014) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 0

Changes from Revision C (February 2013) to Revision D (February 2013) **Page**

- ナショナル セミコンダクターのデータシートのレイアウトを TI 形式に変更 18

9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM6132AIM/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	LM61 32AIM
LM6132AIMX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	(LM61, M6132A) 32AIM
LM6132AIMX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(LM61, M6132A) 32AIM
LM6132AIMX/NOPB.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(LM61, M6132A) 32AIM
LM6132BIMX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LM61 32BIM
LM6132BIMX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LM61 32BIM
LM6132BIMX/NOPB.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LM61 32BIM
LM6132BIN/NOPB	Active	Production	PDIP (P) | 8	40 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	(LM6132, LM6132BIN) BIN
LM6132BIN/NOPB.A	Active	Production	PDIP (P) | 8	40 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	(LM6132, LM6132BIN) BIN
LM6132BIN/NOPB.B	Active	Production	PDIP (P) | 8	40 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	(LM6132, LM6132BIN) BIN
LM6134AIM/NOPB	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	LM6134AIM
LM6134AIMX/NOPB	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LM6134AIM
LM6134AIMX/NOPB.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LM6134AIM
LM6134BIM/NOPB	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	LM6134BIM
LM6134BIMX/NOPB	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LM6134BIM
LM6134BIMX/NOPB.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LM6134BIM
LM6134BIN/NOPB	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	LM6134BIN
LM6134BIN/NOPB.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	LM6134BIN

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

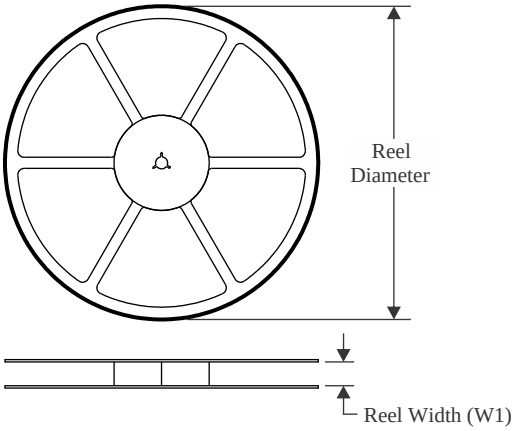
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

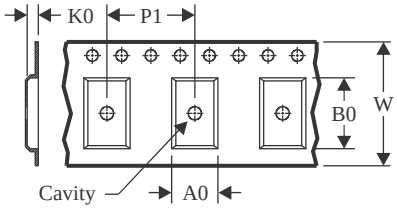
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

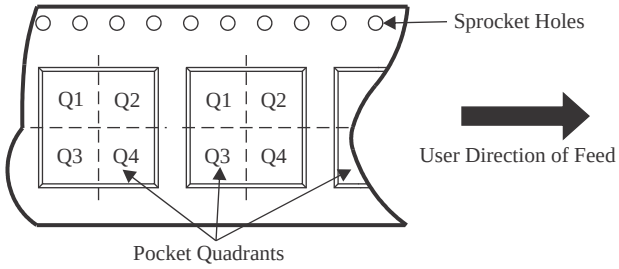


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

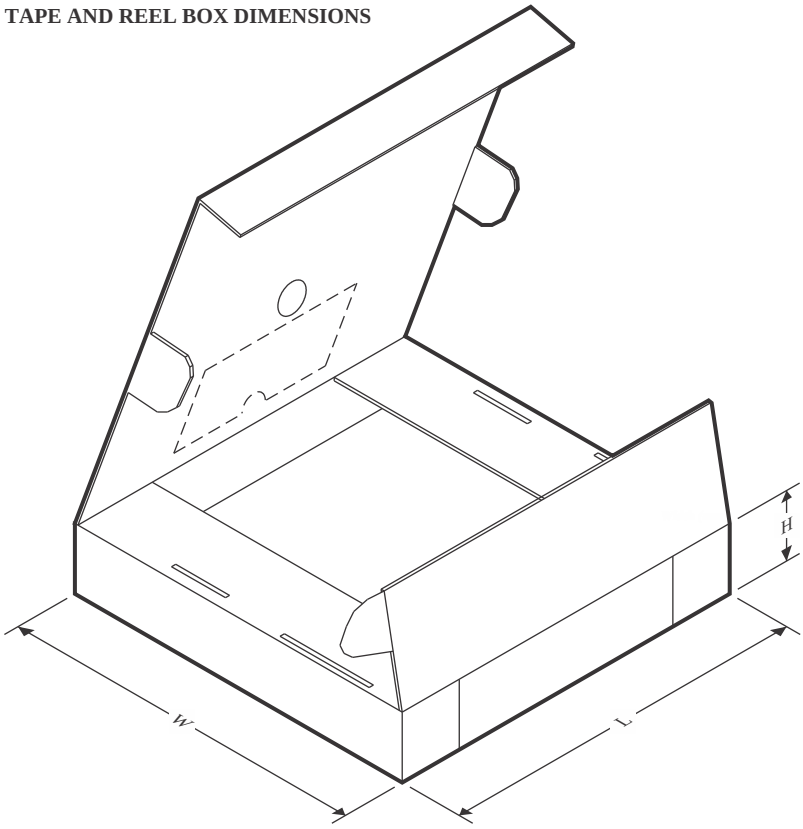
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM6132AIMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LM6132BIMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LM6134AIMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
LM6134BIMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1

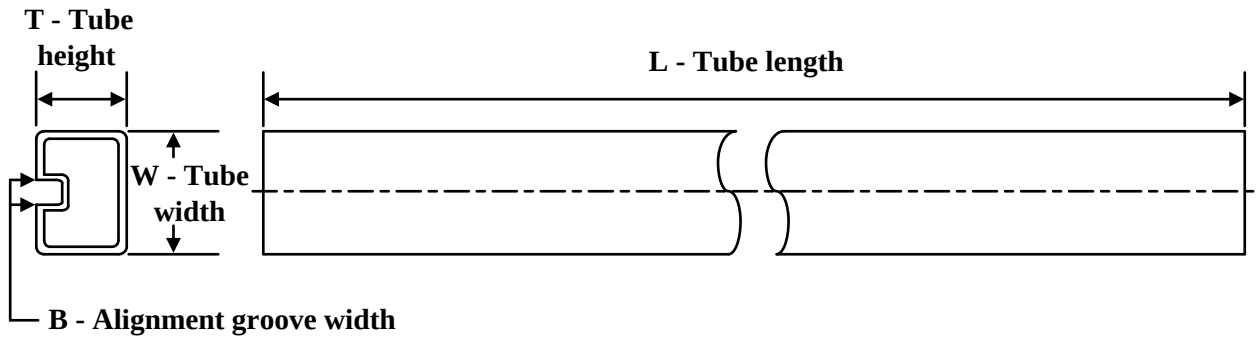
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

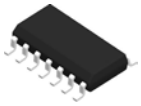
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM6132AIMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LM6132BIMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LM6134AIMX/NOPB	SOIC	D	14	2500	367.0	367.0	35.0
LM6134BIMX/NOPB	SOIC	D	14	2500	367.0	367.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
LM6132BIN/NOPB	P	PDIP	8	40	506	13.97	11230	4.32
LM6132BIN/NOPB	P	PDIP	8	40	502	14	11938	4.32
LM6132BIN/NOPB.A	P	PDIP	8	40	506	13.97	11230	4.32
LM6132BIN/NOPB.A	P	PDIP	8	40	502	14	11938	4.32
LM6132BIN/NOPB.B	P	PDIP	8	40	506	13.97	11230	4.32
LM6132BIN/NOPB.B	P	PDIP	8	40	502	14	11938	4.32
LM6134BIN/NOPB	N	PDIP	14	25	502	14	11938	4.32
LM6134BIN/NOPB.A	N	PDIP	14	25	502	14	11938	4.32

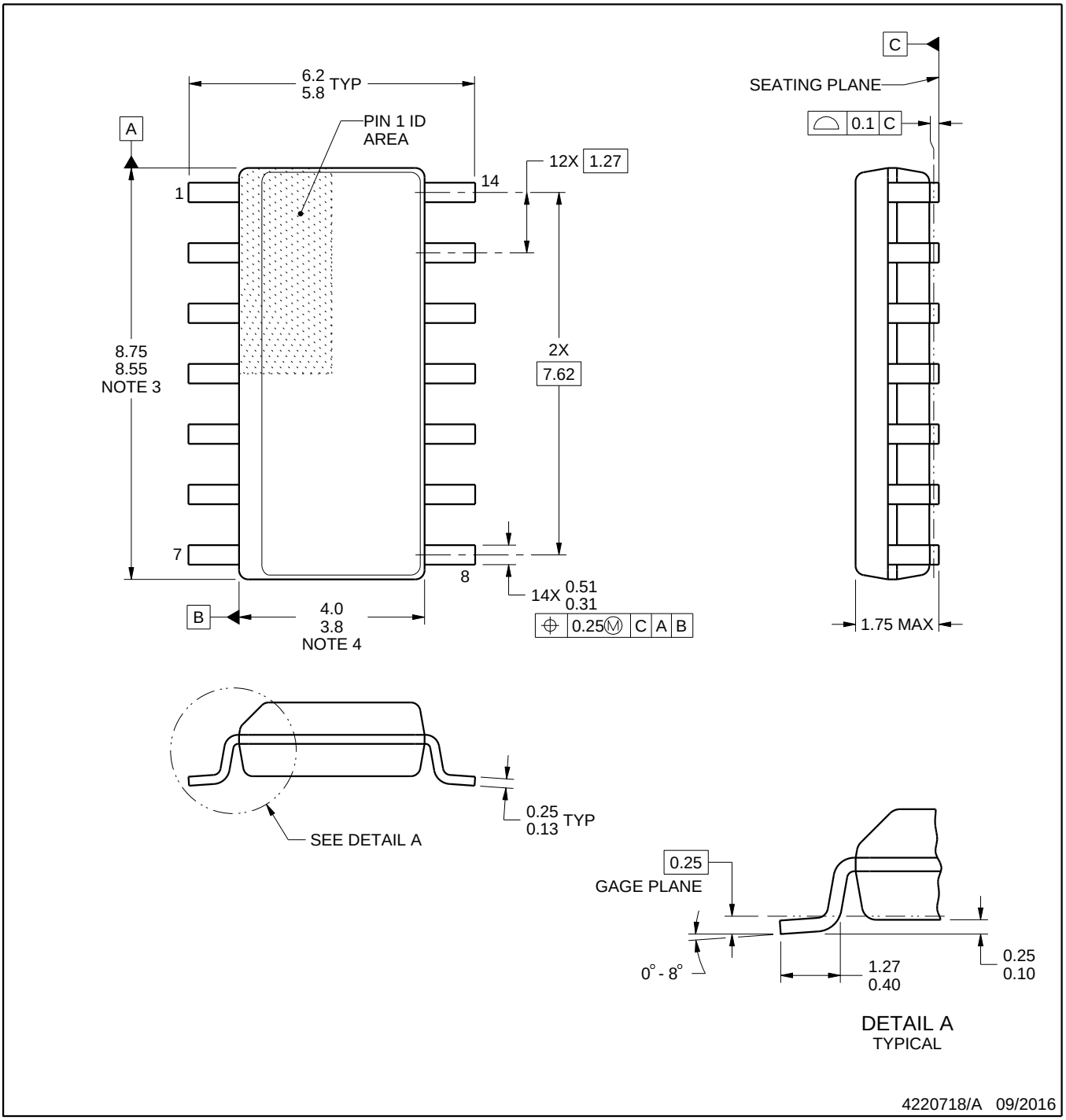


PACKAGE OUTLINE

D0014A

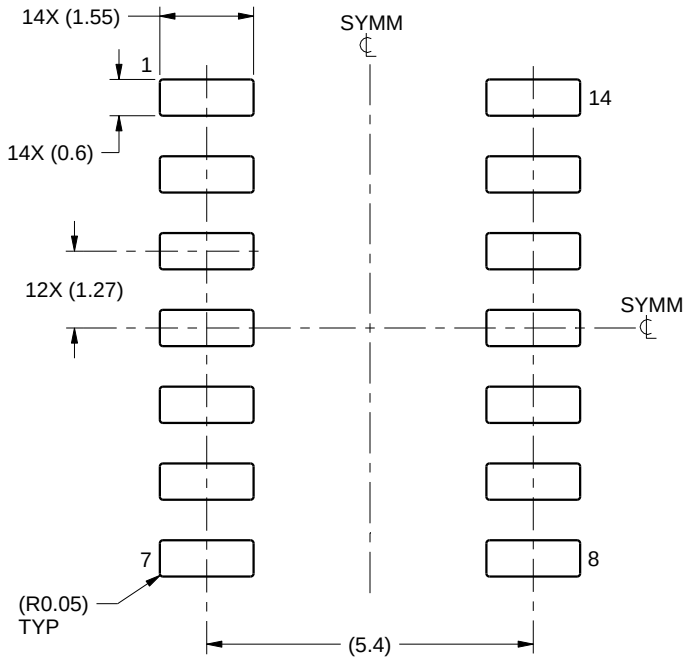
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

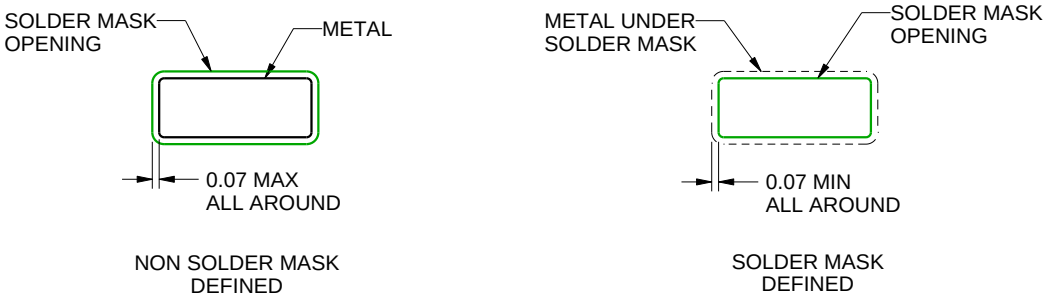


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

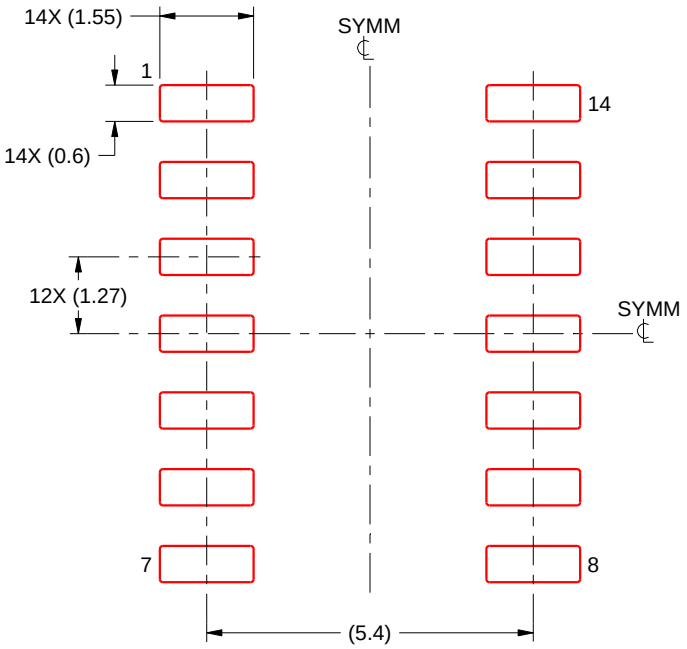
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

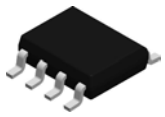


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

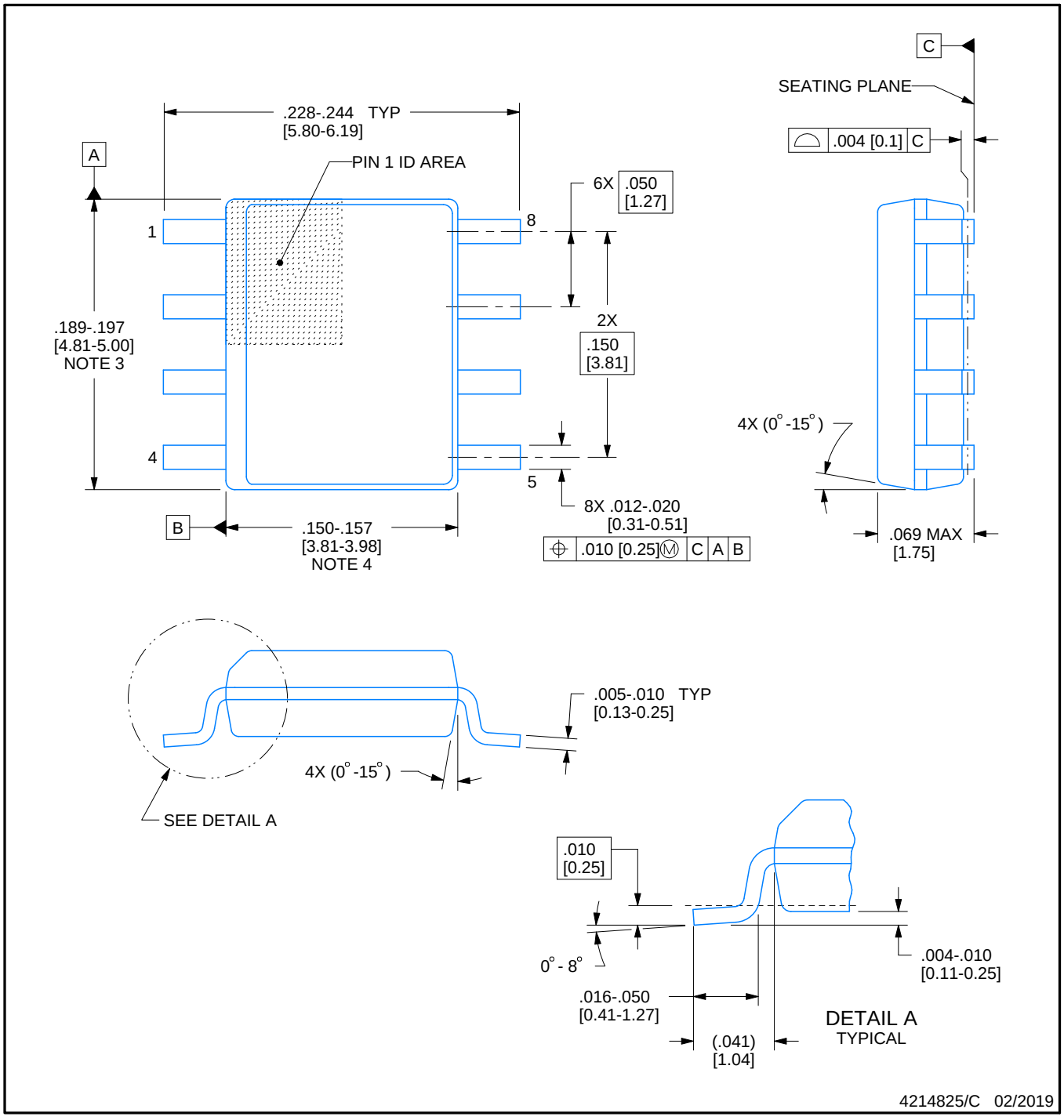


PACKAGE OUTLINE

D0008A

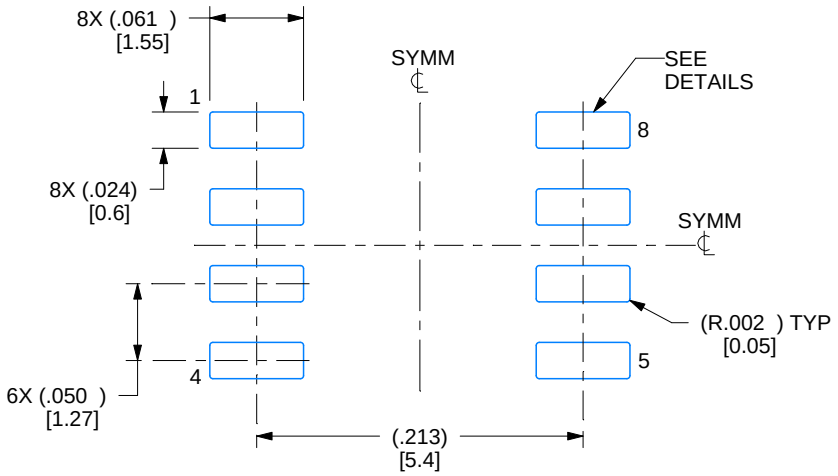
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

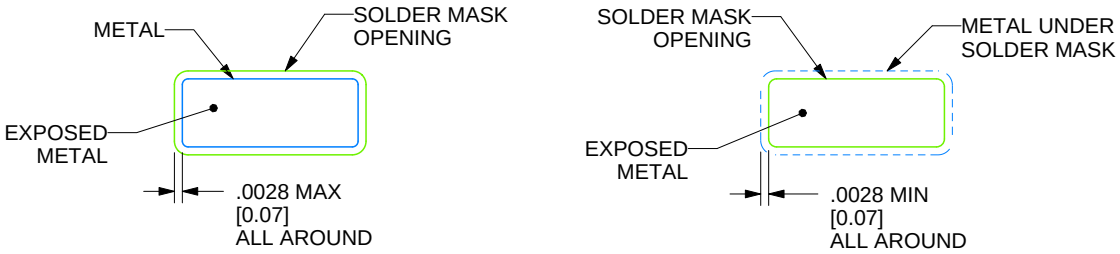


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

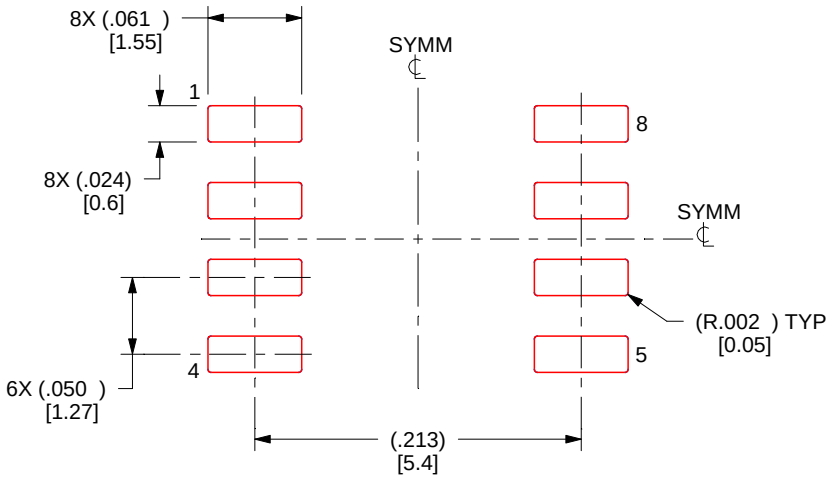
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



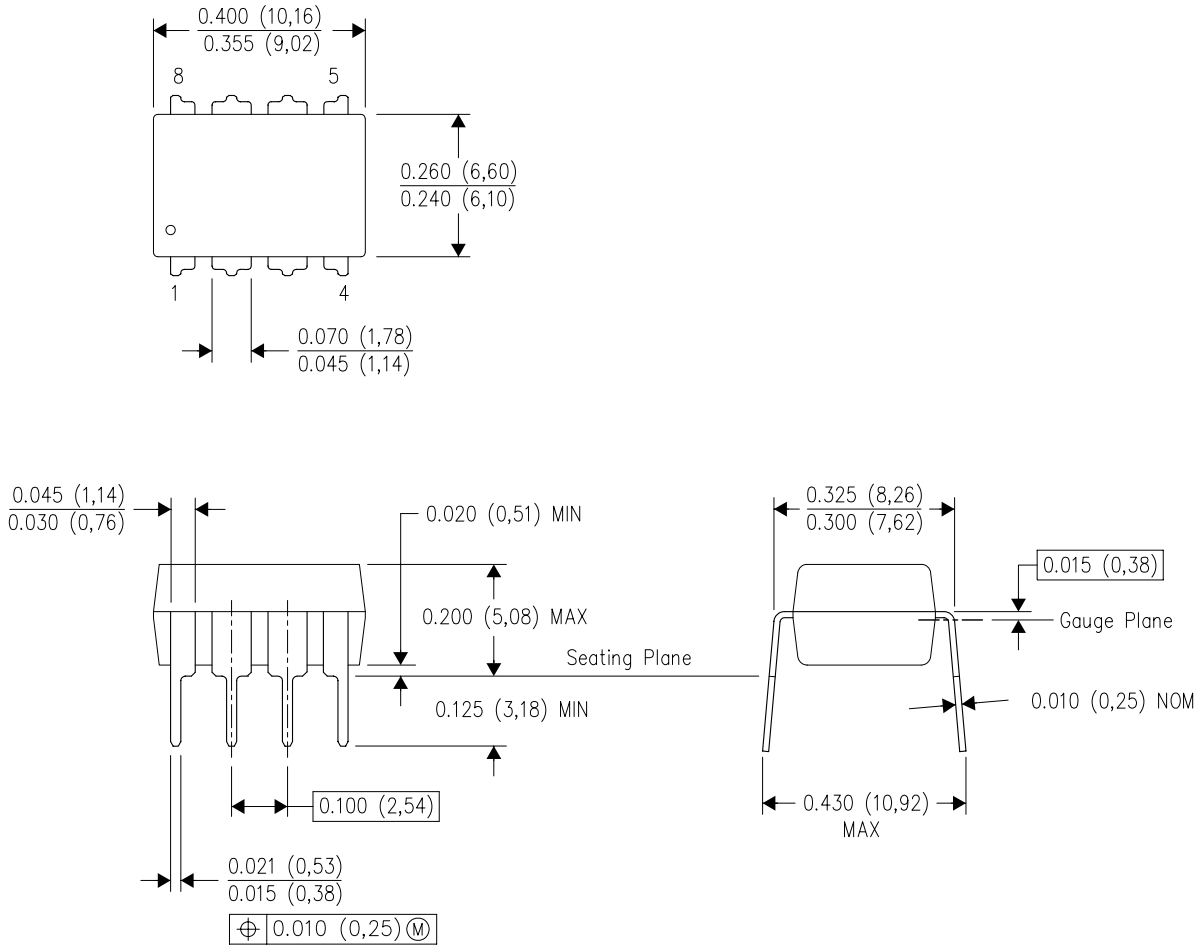
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE

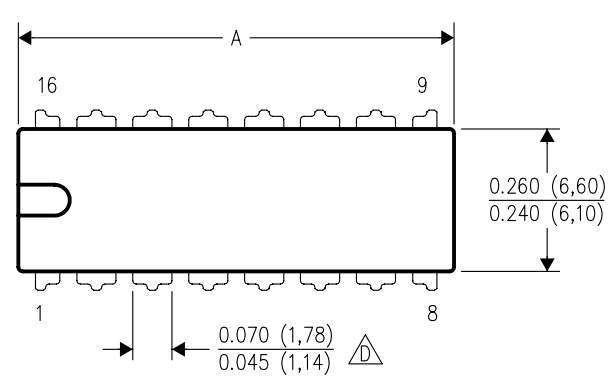


NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

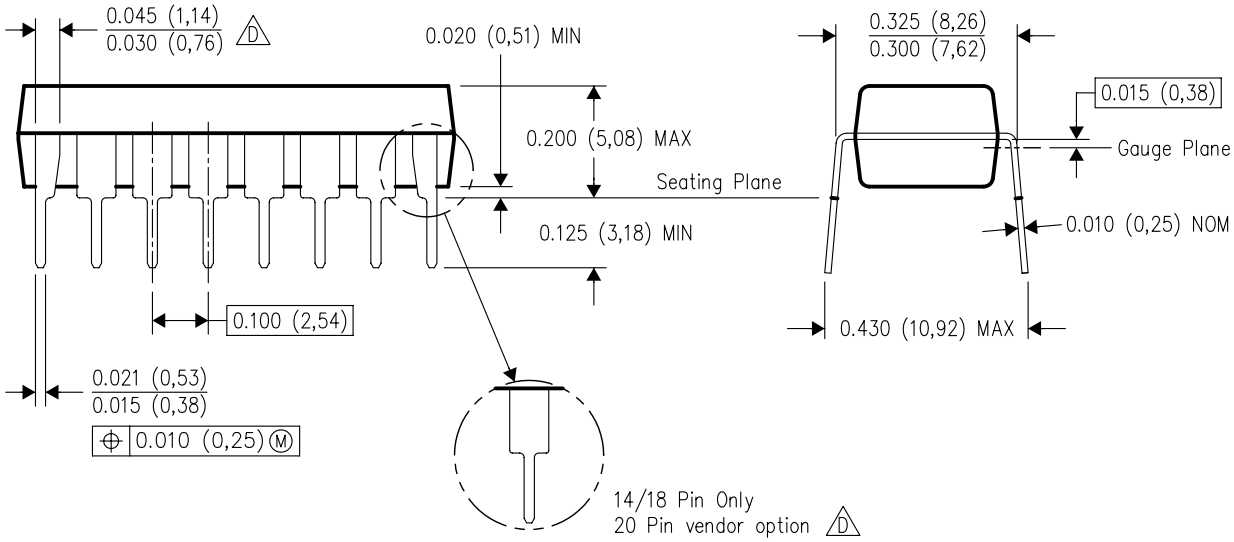
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月