LM614x 17MHz レール ツー レール入力および出力オペ アンプ

1 特長

At V_S = 5V。特に記述のない限り標準値。

- レール ツー レール入力 CMVR –0.25V ～ 5.25V
- レール ツー レール出力
- 広いゲイン帯域幅:50kHz で 17MHz (標準値)
- スルー レート:30V/µs
- 低消費電流:650µA / アンプ
- 広い電源電圧範囲:2.7V ～ 24V
- CMRR:107dB
- R_L = 10k でゲイン 108dB
- PSRR:87dB

2 アプリケーション

- バッテリ駆動計測機器
- 測深器 / 魚群探知器
- バーコード スキャナ
- ワイヤレス通信
- レール ツー レール入出力計測アンプ

3 説明

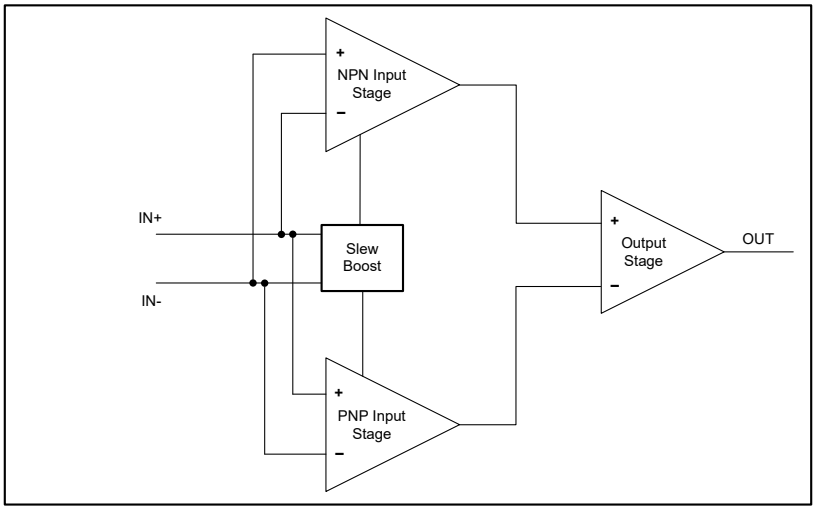
LM6142/LM6144 では、特許申請中の新しい回路トポロジを採用することで、これまで低電圧電源や源電力制限が必要であったアプリケーションにおいて、新たなレベルの性能を実現します。LM6142/LM6144 は 2.7V ～ 24V の電源で動作するため、バッテリ駆動システムや携帯型計測機器などに非常に適しています。

入力電圧がレール ツー レール入力電圧範囲を超えるため、同相電圧範囲を超える心配はありません。レール ツー レール出力スイングにより、出力において最大のダイナミック レンジが得られます。低い電源電圧で動作する場合、このことは特に重要です。

高いゲイン帯域幅をアンプ 1 つ当たりの消費電流 650µA で実現したことで、従来は消費電力の高さからバッテリ寿命の面で実用化が難しかった、新しいバッテリ駆動アプリケーションが可能になります。発振を引き起こさずに大きな容量性負荷を駆動できるため、この一般的な問題が解消されます。

製品情報

部品番号	チャネル数	パッケージ (1)	本体サイズ
LM6142	デュアル	D (SOIC、8)	4.90mm × 3.91mm
		P (PDIP、8)	9.81mm × 6.35mm
LM6144	クワッド	D (SOIC、14)	8.65mm × 3.91mm
		NFF (PDIP、14)	19.177mm × 6.35mm



機能ブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン配置.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報 (LM6142).....5
5.5 熱に関する情報 (LM6144).....5
5.6 電気的特性:V_S = 5V.....6
5.7 電気的特性:V_S = 2.7V.....8
5.8 電気的特性:V_S = 24V.....9
5.9 代表的特性.....10
5.10 古いダイと新しいダイの比較.....15
6 アプリケーションと実装.....16
6.1 使用上の注意.....16
6.2 代表的なアプリケーション.....16
7 デバイスおよびドキュメントのサポート.....18
7.1 ドキュメントの更新通知を受け取る方法.....18
7.2 サポート・リソース.....18
7.3 静電気放電に関する注意事項.....18
7.4 用語集.....18
8 改訂履歴.....19
9 メカニカル、パッケージ、および注文情報.....21

Copyright © 2026 Texas Instruments Incorporated

4 ピン配置

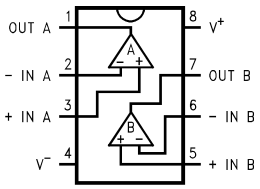


図 4-1. 8 ピン CDIP
上面図

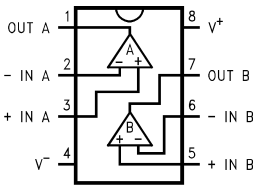


図 4-2. 8 ピン PDIP/SOIC /
上面図

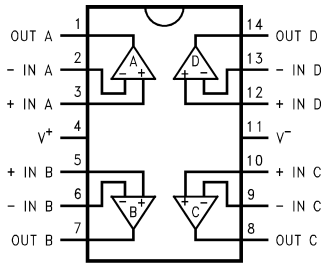


図 4-3. 14 ピン PDIP/SOIC /
上面図

5 仕様

5.1 絶対最大定格

動作時周囲温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
電源電圧、V_S = (V+) - (V-)		0	33	V
信号入力ピン	同相電圧(3)	(V–) – 0.5	(V+) + 0.5	V
	差動電圧(4)		±15	V
	電流(3)		±10	mA
出力短絡(2)		連続		
動作時周囲温度、T_A		-55	150	°C
接合部温度、T_J			150	°C
保管温度、T_{stg}		-65	150	°C

(1) 「絶対最大定格」に示す定格を超えて本デバイスを動作させた場合、デバイスに永続的な損傷が発生します。これらはプロセスと設計の制約に基づくストレス定格に過ぎず、「推奨動作条件」に示された以外の条件で動作するようにはこのデバイスは設計されていません。絶対最大定格条件を含め、「推奨動作条件」以外のいかなる条件にも長時間さらすと、デバイスの信頼性と性能に影響を及ぼす可能性があります。
(2) グランドへの短絡、パッケージあたり 1 台のアンプ。短絡電流が長時間流れると、特に電源電圧が高い場合、過熱や最終的な破壊が発生する可能性があります。
(3) 入力ピンは、電源レールに対してダイオード クランプされています。入力信号のスイングが 0.5V より大きく電源レールを超える可能性がある場合は、電流を 10mA 以下に制限する必要があります。
(4) 入力保護のため、入力ピンは双方向ダイオードを介して接続します。差動入力電圧が 0.5V を超える場合は、入力電流が 10mA 以下に制限されます。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±4000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±1500	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

動作時周囲温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
V_S	電源電圧、(V+) - (V-)	2.7	32	V
T_A	規定温度	-40	85	°C

Copyright © 2026 Texas Instruments Incorporated

5.4 熱に関する情報 (LM6142)

熱評価基準[1]		LM6142		単位
		D (SOIC)[1]	P (PDIP)[1]	
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	127.10	84.45	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	63.27	58.07	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	71.20	50.90	℃/W
ψ_{JT}	接合部から上面への特性パラメータ	13.91	30.43	℃/W
ψ_{JB}	接合部から基板への特性パラメータ	70.54	50.44	℃/W

(1) 従来および最新の熱測定基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポート、SPRA953 を参照してください。

5.5 熱に関する情報 (LM6144)

熱評価基準[1]		LM6144		単位
		D (SOIC)[1]	NFF (PDIP)[1]	
		14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	82.48	81	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	38.77	該当なし	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	37.86	該当なし	℃/W
ψ_{JT}	接合部から上面への特性パラメータ	8.66	該当なし	℃/W
ψ_{JB}	接合部から基板への特性パラメータ	37.51	該当なし	℃/W

(1) 従来および最新の熱測定基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポート、SPRA953 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

5.6 電気的特性：V_S = 5V

V^+ = 5.0V、V^- = 0V、R_L > 1MΩ を V_S/2 に接続、V_{CM} = V^+/2、V_O = V^+/2、T_A = 25°C (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧	LM6142AI、LM6144AI			0.3	1	mV
			T_A = –40°C ～ 85°C			2.2	
		LM6142BI、LM6144BI			0.3	2.5	
			T_A = –40°C ～ 85°C			3.3	
dV_{OS}/dT	入力オフセット電圧ドリフト	T_A = –40°C ～ 85°C			3		µV/°C
PSRR	入力オフセット電圧と電源との関係	2.5V ≤ |V_S| ≤ 12V、LM6132AI、LM6134AI		78	82		dB
			T_A = –40°C ～ 85°C	75			
		2.5V ≤ |V_S| ≤ 12V、LM6132BI、LM6134BI		78	82		
			T_A = –40°C ～ 85°C	75			
	アンプ間の絶縁				130		dB
入力バイアス電流							
I_B	入力バイアス電流	LM6142AI、LM6144AI			170	250	nA
		LM6142BI、LM6144BI			170	300	
		0V ≤ V_{CM} ≤ 5V、LM6142AI、LM6144AI			180	280	
			T_A = –40°C ～ 85°C			526	
		0V ≤ V_{CM} ≤ 5V、LM6142BI、LM6144BI			180		
			T_A = –40°C ～ 85°C			526	
I_{OS}	入力オフセット電流	LM6142AI、LM6144AI			3	30	nA
			T_A = –40°C ～ 85°C			80	
		LM6142BI、LM6144BI			3	30	
			T_A = –40°C ～ 85°C			80	
入力電圧							
V_{CM}	同相入力電圧範囲			–0.25		5.25	V
		T_A = –40°C ～ 85°C		0		5	V
CMRR	同相信号除去比	0V ≤ V_{CM} ≤ 4V、LM6142AI、LM6144AI		84	107		dB
			T_A = –40°C ～ 85°C	78			
		0V ≤ V_{CM} ≤ 4V、LM6142BI、LM6144BI		84	107		
			T_A = –40°C ～ 85°C	78			
		0V ≤ V_{CM} ≤ 5V、LM6142AI、LM6144AI		66	82		
			T_A = –40°C ～ 85°C	64	79		
		0V ≤ V_{CM} ≤ 5V、LM6142BI、LM6144BI		66	82		
			T_A = –40°C ～ 85°C	64	79		
入力インピーダンス							
R_{IN}	同相入力抵抗				126		MΩ
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	R_L = 10kΩ、LM6142AI、LM6144AI		100	270		V/mV
			T_A = –40°C ～ 85°C	33	70		
		R_L = 10kΩ、LM6142BI、LM6144BI		80	270		
			T_A = –40°C ～ 85°C	25	70		
ノイズ							
e_N	入力電圧ノイズ密度	f = 1kHz			16		nV/√Hz
i_N	入力電流ノイズ密度	f = 1kHz			0.22		pA/√Hz
周波数応答							
GBW	ゲイン帯域幅積	f = 50kHz		10	17		MHz
			T_A = –40°C ～ 85°C	6			

Copyright © 2026 Texas Instruments Incorporated

V^+ = 5.0V、V^- = 0V、R_L > 1MΩ を V_S/2 に接続、V_{CM} = V^+/2、V_O = V^+/2、T_A = 25°C (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
SR	スルーレート	V_S = 12V、V_{STEP} = 8V、R_S > 1kΩ	LM6142AI、LM6144AI	15	25		V/µs
			LM6142AI、LM6144AI、T_A = –40°C ～ 85°C	13			
			LM6142AI、LM6144AI	13	25		
			LM6142AI、LM6144AI、T_A = –40°C ～ 85°C	11			
PM	位相マージン				38		°
THD+N	全高調波歪み + ノイズ	f = 10kHz、R_L = 10kΩ			0.003		%
出力							
V_O	電圧出力スイング	R_L = 100kΩ、正電圧レールから			30	40	mV
			T_A = –40°C ～ 85°C			70	
		R_L = 100kΩ、負電圧レールから			45	50	
			T_A = –40°C ～ 85°C			60	
		R_L = 10kΩ、正電圧レールから			40		
		R_L = 10kΩ、負電圧レールから			50		
		R_L = 2kΩ、正電圧レールから			100	140	
			T_A = –40°C ～ 85°C			200	
		R_L = 2kΩ、負電圧レールから			60	100	
			T_A = –40°C ～ 85°C			133	
I_{SC}	短絡電流	ソース、LM6142A		10	13		mA
			T_A = –40°C ～ 85°C	4.9		35	
		ソース、LM6142B		8	13		
			T_A = –40°C ～ 85°C	4		35	
		シンク、LM6142A		10	24		
			T_A = –40°C ～ 85°C	5.3		35	
		シンク、LM6142B		10	24		
			T_A = –40°C ～ 85°C	5.3		35	
		ソース、LM6144A		6	8		
			T_A = –40°C ～ 85°C	3		35	
		ソース、LM6144B		6	8		
			T_A = –40°C ～ 85°C	3		25	
		シンク、LM6144A		8	22		
			T_A = –40°C ～ 85°C	4		25	
		シンク、LM6144B		8	22		
			T_A = –40°C ～ 85°C	4		35	
電源							
I_Q	アンプごとの静止電流	LM6142AI、LM6144AI			650	800	µA
			T_A = –40°C ～ 85°C			880	
		LM6142BI、LM6144BI			650	800	µA
			T_A = –40°C ～ 85°C			880	µA

Copyright © 2026 Texas Instruments Incorporated

5.7 電気的特性：V_S = 2.7V

V^+ = 2.7V、V^- = 0V、R_L > 1MΩ を V_S/2 に接続、V_{CM} = V^+/2、V_O = V^+/2、T_A = 25°C (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧	LM6142AI、LM6144AI			0.4	1.8	mV
			T_A = –40°C ～ 85°C			4.3	
		LM6142BI、LM6144BI			0.4	2.5	
			T_A = –40°C ～ 85°C			5	
PSRR	入力オフセット電圧と電源との関係	3V ≤ V^+ ≤ 5V			79		dB
入力バイアス電流							
I_B	入力バイアス電流	LM6142AI、LM6144AI			150	250	nA
			T_A = –40°C ～ 85°C			526	
		LM6142BI、LM6144BI			150	300	
			T_A = –40°C ～ 85°C			526	
I_{OS}	入力オフセット電流	LM6142AI、LM6144AI			4	30	nA
			T_A = –40°C ～ 85°C			80	
		LM6142BI、LM6144BI			4	30	
			T_A = –40°C ～ 85°C			80	
入力電圧							
V_{CM}	同相入力電圧範囲			0		2.7	V
CMRR	同相信号除去比	0V ≦ V_{CM} ≦ 1.8V			90		dB
		0V ≦ V_{CM} ≦ 2.7V			76		
入力インピーダンス							
R_{IN}	同相入力抵抗				128		MΩ
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	R_L = 10kΩ			55		V/mV
ノイズ							
周波数応答							
GBW	ゲイン帯域幅積	f = 50kHz			9		MHz
PM	位相マージン				36		°
GM	ゲイン マージン				6		dB
出力							
V_O	電圧出力スイング	R_L = 100kΩ、正電圧レールから			30	75	mV
			T_A = –40°C ～ 85°C			450	
		R_L = 100kΩ、負電圧レールから			19	80	
			T_A = –40°C ～ 85°C			112	
電源							
I_Q	アンプごとの静止電流	LM6142AI、LM6144AI			510	800	µA
			T_A = –40°C ～ 85°C			880	
		LM6142BI、LM6144BI			510	800	µA
			T_A = –40°C ～ 85°C			880	µA

Copyright © 2026 Texas Instruments Incorporated

5.8 電気的特性：V_S = 24V

V^+ = 24V、V^- = 0V、R_L > 1MΩ を $V_S/2$ に接続、$V_{CM} = V^+/2$、$V_O = V^+/2$、T_A = 25°C (特に記述のない限り)。

パラメータ		テスト条件		最小値	標準値	最大値	単位
オフセット電圧							
V_{OS}	入力オフセット電圧	LM6142AI、LM6144AI			1.3	2	mV
			T_A = –40°C ～ 85°C			4.8	
		LM6142BI、LM6144BI			1.3	3.8	
			T_A = –40°C ～ 85°C			4.8	
PSRR	入力オフセット電圧と電源との関係	0V ≤ V_S ≤ 24V			87		dB
入力バイアス電流							
I_B	入力バイアス電流				174		nA
I_{OS}	入力オフセット電流				5		nA
入力電圧							
V_{CM}	同相入力電圧範囲			0		24	V
CMRR	同相信号除去比	0V ≦ V_{CM} ≦ 23V			114		dB
		0V ≦ V_{CM} ≦ 24V			100		
入力インピーダンス							
R_{IN}	同相入力抵抗				288		MΩ
開ループ ゲイン							
A_{OL}	開ループ電圧ゲイン	R_L = 10kΩ			500		V/mV
ノイズ							
周波数応答							
GBW	ゲイン帯域幅積	f = 50kHz			18		MHz
出力							
V_O	電圧出力スイング	R_L = 10kΩ、正電圧レールから			150	190	mV
			T_A = –40°C ～ 85°C			380	
		R_L = 10kΩ、負電圧レールから			70	150	
			T_A = –40°C ～ 85°C			185	
電源							
I_Q	アンプごとの静止電流	LM6142AI、LM6144AI			750	1100	µA
			T_A = –40°C ～ 85°C			1150	
		LM6142BI、LM6144BI			750	1100	µA
			T_A = –40°C ～ 85°C			1150	µA

Copyright © 2026 Texas Instruments Incorporated

5.9 代表的特性

T_A = 25°C かつ R_L = 10kΩ にて (特に記述のない限り)

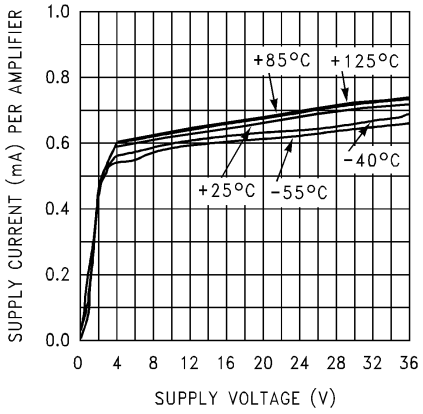


図 5-1. 電源電流と電源電圧との関係

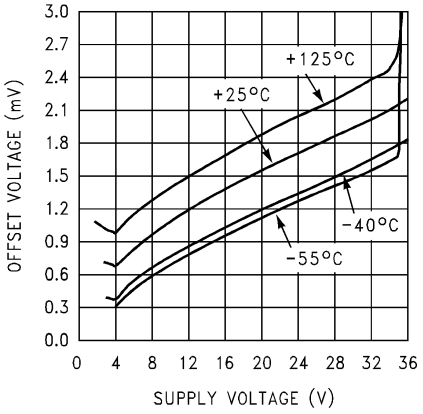


図 5-2. オフセット電圧と電源電圧との関係

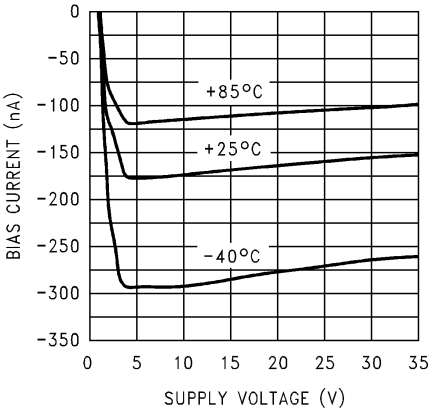


図 5-3. バイアス電流と電源電圧との関係

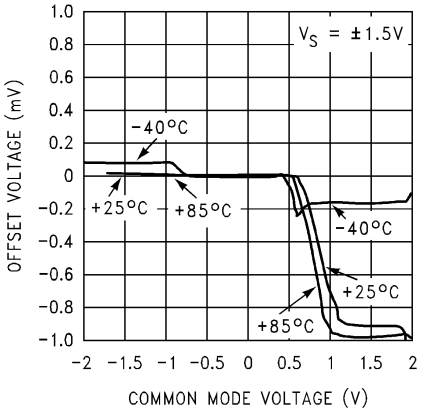


図 5-4. オフセット電圧と V_{CM} との関係

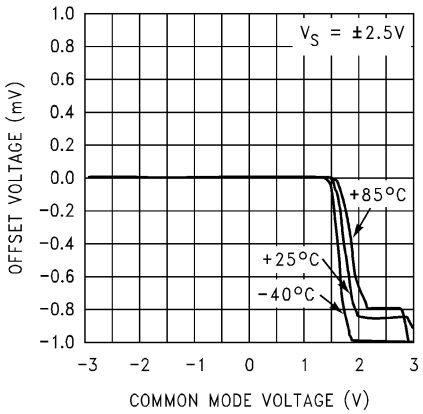


図 5-5. オフセット電圧と V_{CM} との関係

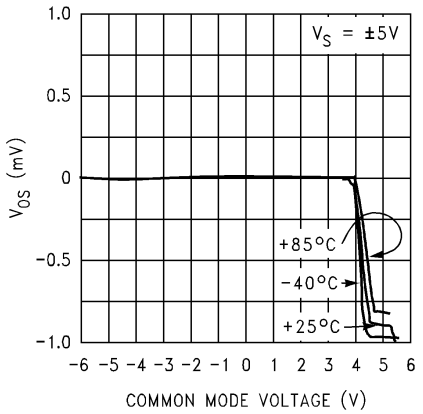


図 5-6. オフセット電圧と V_{CM} との関係

Copyright © 2026 Texas Instruments Incorporated

5.9 代表的特性 (続き)

T_A = 25°C かつ R_L = 10kΩ にて (特に記述のない限り)

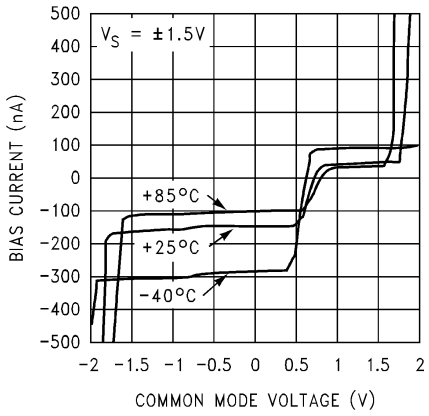


図 5-7. バイアス電流と V_{CM} との関係

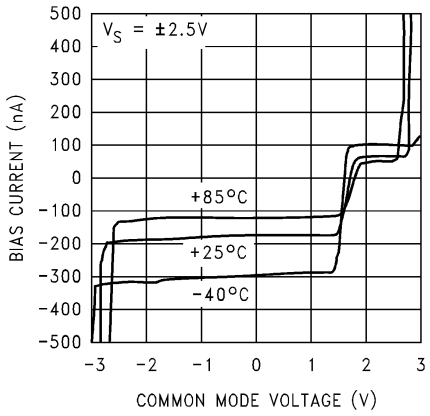


図 5-8. バイアス電流と V_{CM} との関係

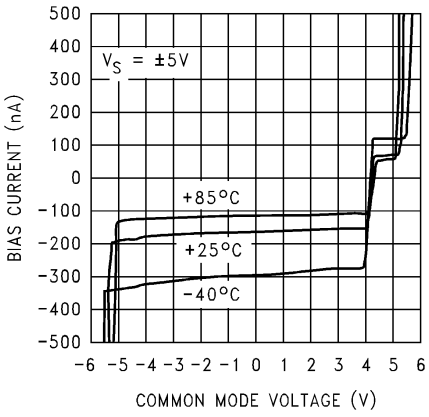


図 5-9. バイアス電流と V_{CM} との関係

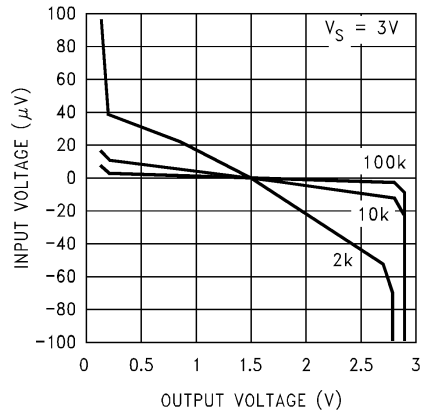


図 5-10. 開ループの伝達関数

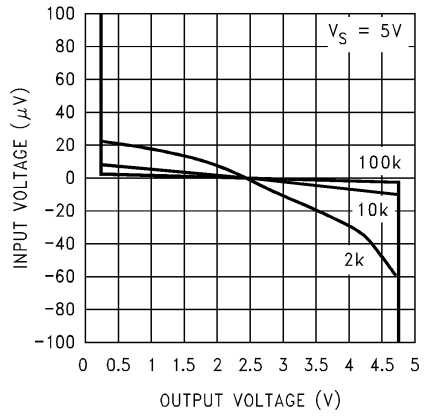


図 5-11. 開ループの伝達関数

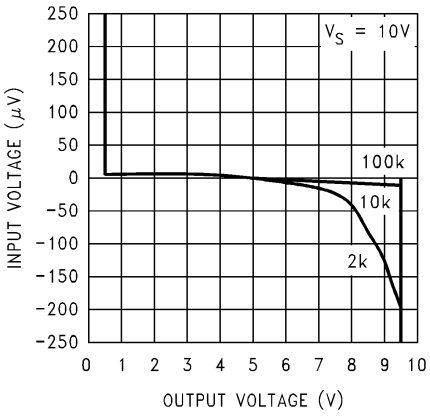


図 5-12. 開ループの伝達関数

Copyright © 2026 Texas Instruments Incorporated

5.9 代表的特性 (続き)

T_A = 25°C かつ R_L = 10kΩ にて (特に記述のない限り)

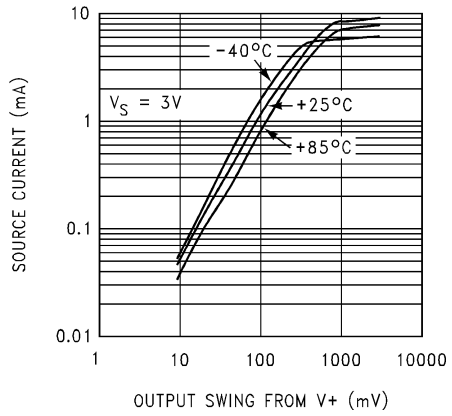


図 5-13. 出力電圧とソース電流との関係

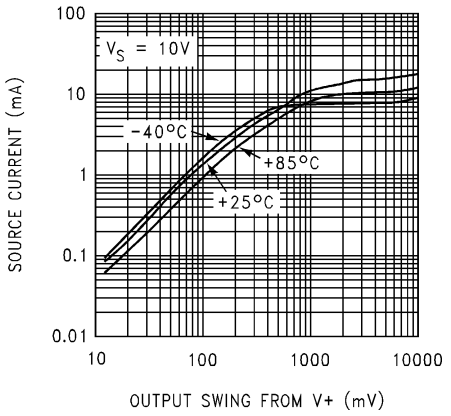


図 5-14. 出力電圧とソース電流との関係

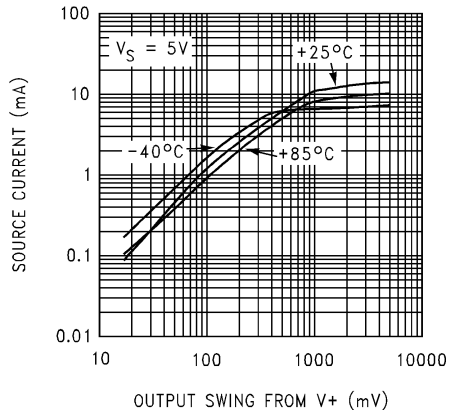


図 5-15. 出力電圧とソース電流との関係

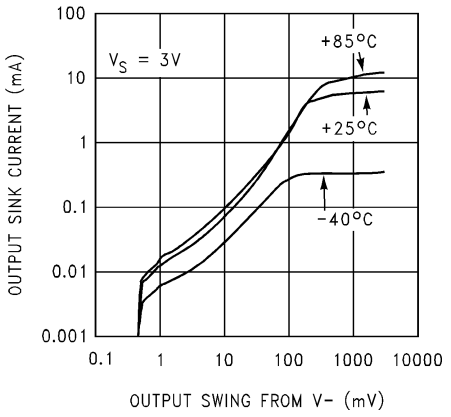


図 5-16. 出力電圧とシンク電流との関係

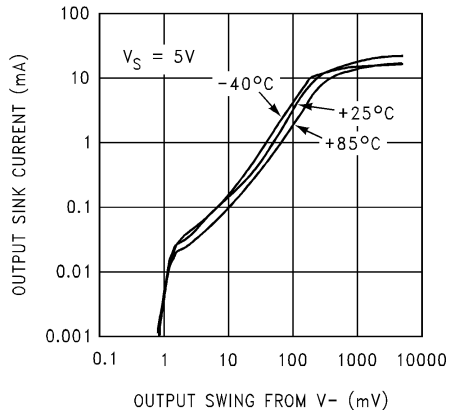


図 5-17. 出力電圧とシンク電流との関係

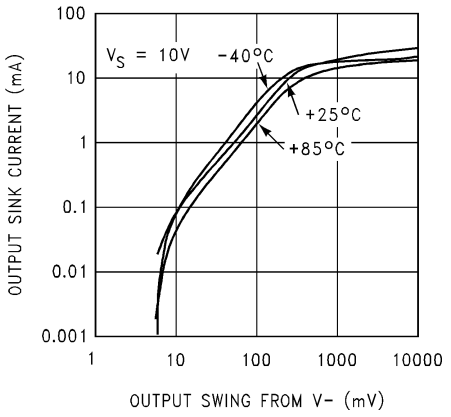


図 5-18. 出力電圧とシンク電流との関係

Copyright © 2026 Texas Instruments Incorporated

5.9 代表的特性 (続き)

T_A = 25°C かつ R_L = 10kΩ にて (特に記述のない限り)

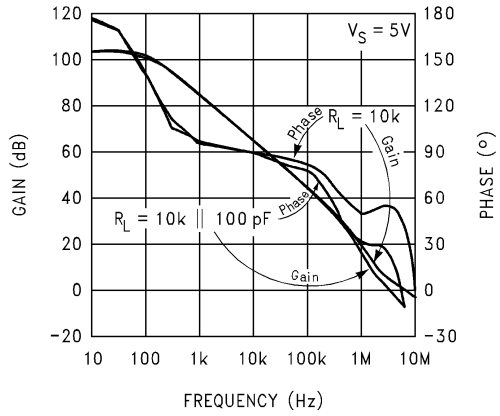


図 5-19. ゲイン / 位相と負荷との関係

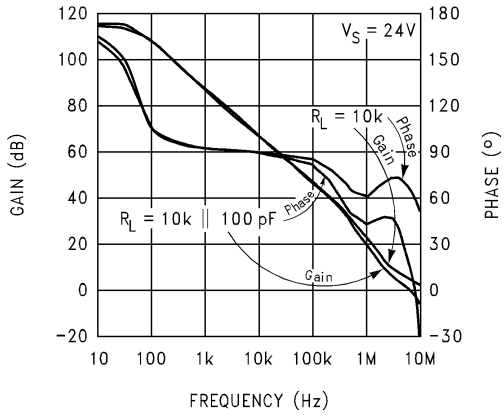


図 5-20. ゲイン / 位相と負荷との関係

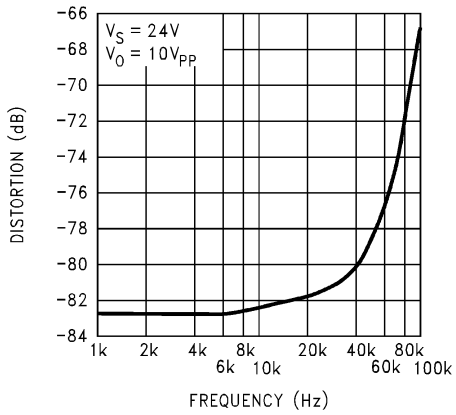


図 5-21. 歪み + ノイズと周波数との関係

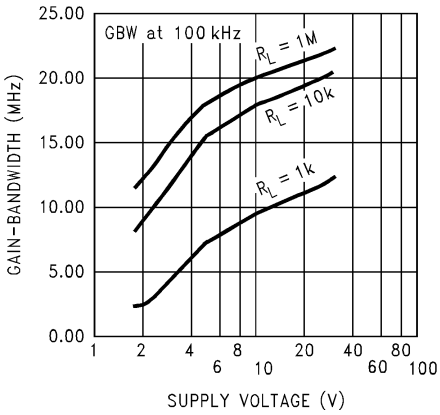


図 5-22. GBW と電源との関係

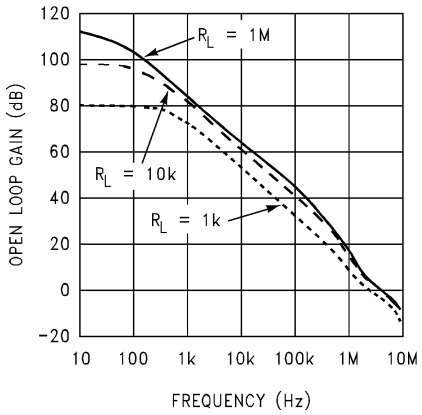


図 5-23. 開ループ ゲインと負荷との関係、3V 電源、古いダイ

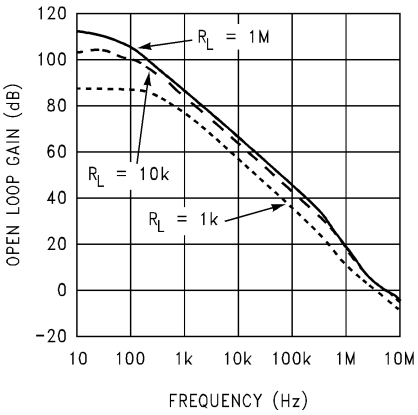


図 5-24. 開ループ ゲインと負荷との関係、5V 電源、古いダイ

Copyright © 2026 Texas Instruments Incorporated

5.9 代表的特性 (続き)

T_A = 25°C かつ R_L = 10kΩ にて (特に記述のない限り)

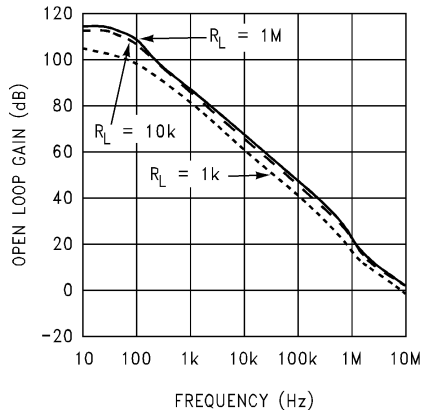


図 5-25. 開ループ ゲインと負荷との関係、24V 電源、古いダイ

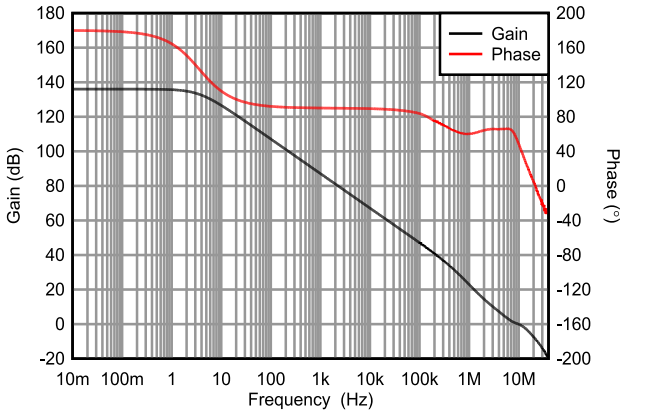


図 5-26. 開ループ ゲインと負荷との関係、5V 電源、新しいダイ

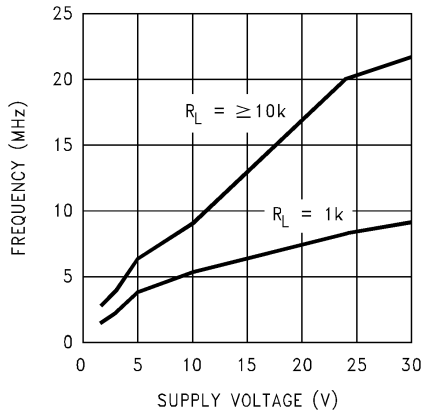


図 5-27. ユニティ ゲイン周波数と V_S との関係

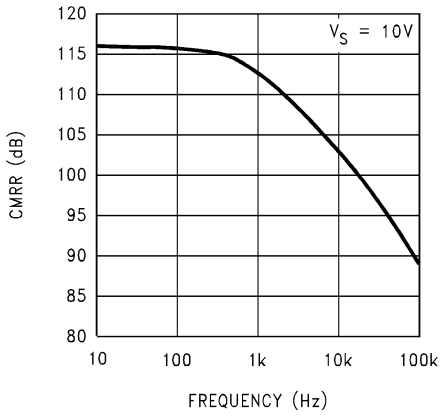


図 5-28. CMRR と周波数との関係、古いダイ

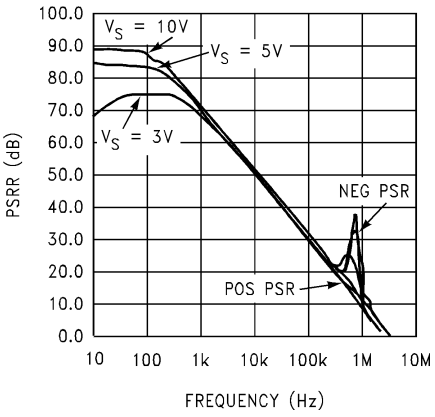


図 5-29. PSRR と周波数との関係、古いダイ

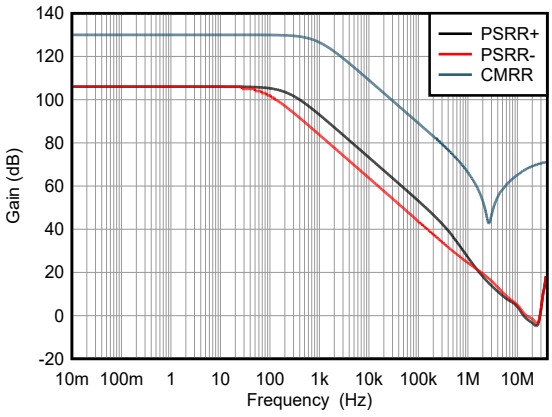


図 5-30. 同相信号除去比および PSRR と周波数との関係、新しいダイ

Copyright © 2026 Texas Instruments Incorporated

5.9 代表的特性 (続き)

T_A = 25°C かつ R_L = 10kΩ にて (特に記述のない限り)

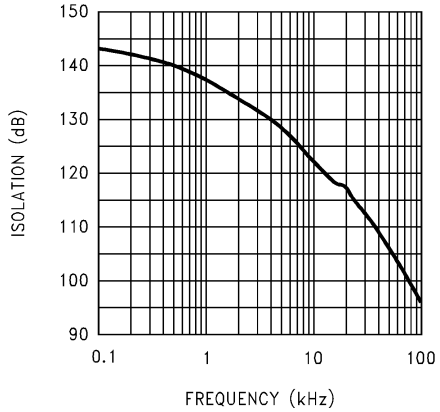


図 5-31. クロストークと周波数との関係

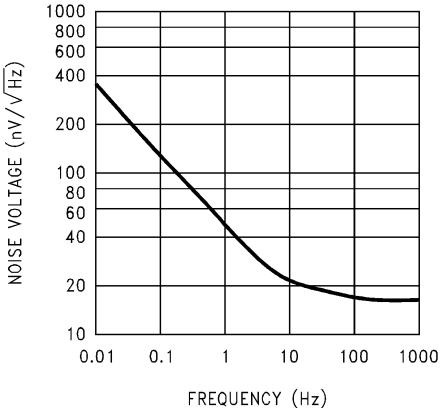


図 5-32. ノイズ電圧と周波数との関係

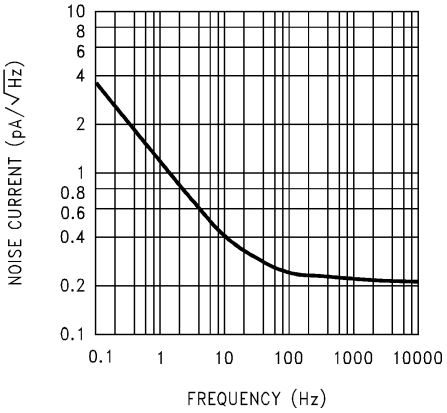


図 5-33. ノイズ電流と周波数との関係

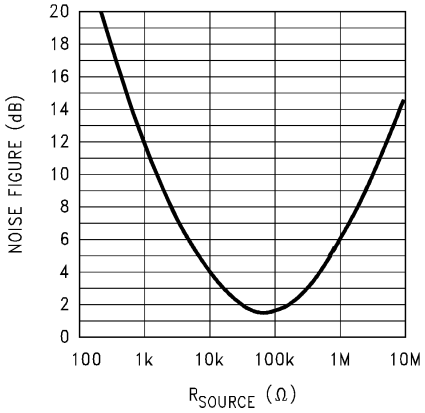


図 5-34. NF と R_{Source} との関係

5.10 古いダイと新しいダイの比較

このデータシートの改訂 F 版の発行時点で、テキサス インスツルメンツは、LM6142 と LM6144 のダイの製造拠点を最新の拠点に移動しました。このドキュメントでは、2 つの異なるダイを「古い」(以前の製造拠点) および「新しい」ダイと呼びます。ダイの原点は、配送情報の「チップ ソース オリジン」(CSO) パラメータから分離することができます。古いダイ CSO は「GF6」で、新しいダイ CSO は「RFB」です。このデータシートでは、比較のため、古いダイの情報を保持していますが、新しい製造はすべて新しいダイに移行しています。

表 5-1. 古いダイと新しいダイの比較

説明	古いダイ	新しいダイ
絶対最大電源電圧	35V	33V
最小電源電圧	1.8V	2.7V
100kΩ 負荷の標準 / 最小出力電圧範囲 (V_S = 5V)	0.005V ～ 4.995V/0.01V ～ 4.98V	0.045V ～ 4.97V/0.05V ～ 4.96V
10kΩ 負荷の標準出力電圧範囲 (V_S = 5V)	0.02V ～ 4.97V	0.05V ～ 4.96V
出力電圧スルーアーキテクチャ	標準スルーアーキテクチャ	スルーブースト アーキテクチャ

Copyright © 2026 Texas Instruments Incorporated

6 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

6.1 使用上の注意

LM6142 により、オペアンプ システムの設計がこれまで以上に容易になります。

入力電圧がレール ツー レール入力電圧を超えるため、同相電圧範囲を超える心配がなくなります。

レール ツー レール出力スイングにより、出力において最大のダイナミック レンジが得られます。低い電源電圧で動作する場合、このことは特に重要です。

高いゲイン帯域幅を低消費電流で実現したことで、従来は消費電力の高さからバッテリ寿命の面で実用化が難しかった、新しいバッテリ駆動アプリケーションが可能になります。

これらの特長を活用するために考慮すべきポイントがいくつかあります。

6.2 代表的なアプリケーション

6.2.1 魚群探知器 / 測深器

LM6142/LM6144 は、バッテリ駆動の魚群探知器に最適です。LM6142 の完全レール ツー レール出力スイングは、消費電流が低く、ゲイン帯域幅が高いため、このようなアプリケーションや類似のアプリケーションでの使用において理想的な組み合わせとなりますです。

6.2.2 アナログ / デジタル コンバータ バッファ

高い容量性負荷駆動能力、レール ツー レール入出力範囲、82dB の優れた CMR を備えた LM6142/LM6144 は、A/D コンバータの入力のバッファに適しています。

6.2.3 レール ツー レール入出力対応 3 オペアンプ計測アンプ

LM6144 を使用すると、レール ツー レール入力と レール ツー レール出力に対応した 3 オペアンプ計測アンプを作成できます。この計測アンプはそ特長からの単一電源のシステムに最適です。

一部のメーカーは、5 つの抵抗で構成された高精度の分圧器アレイを使用して同相電圧を分圧し、レール ツー レール以上の入力範囲を確保しています。この方法の問題点は信号も分割されることです。したがってユニティ ゲインを実現するには、高い閉ループゲインでアンプを動作させる必要があります。これにより、内部ゲイン係数によってノイズとドリフトが増加し、入力インピーダンスが低減します。これらの高精度抵抗に不一致があると、CMR も減少します。LM6144 を使用すると、これらの問題がすべて解消されます。

この例では、アンプ A と B は差動段 (図 6-1) へのバッファとして機能します。これらのバッファにより、入力インピーダンスが 100MΩ 以上に維持され、入力段の高精度マッチング抵抗が不要になります。さらに、電圧減による差動アンプの駆動も維持されます。これは、R1-R2 と R3-R4 のマッチングによって設定された CMR を維持するために必要です。

Copyright © 2026 Texas Instruments Incorporated

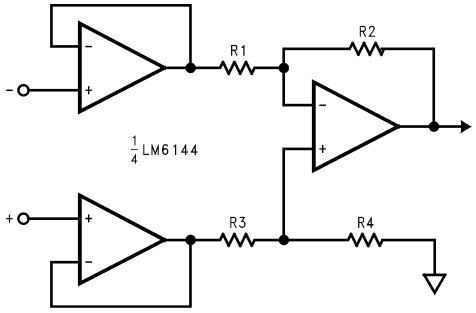


図 6-1.

ゲインは R2/R1 の比によって設定され、R3 は R1、R4 は R2 と等しくなります。R4 を R2 よりわずかに小さくし、R2 と R4 の差の 2 倍に等しいトリム ポットを追加すると、CMR を調整して最適化できます。

レール ツー レールの入力範囲と出力範囲により、入力と出力は電源電圧のみによって制限されます。レール ツー レール出力を使用しても出力は電源電圧の範囲を超えられないため、同相電圧と信号の合計が電源電圧を超えないように注意してください。超えてしまうと制限がかかります。

Copyright © 2026 Texas Instruments Incorporated

7 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

7.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

7.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

7.3 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.4 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

Copyright © 2026 Texas Instruments Incorporated

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision D (March 2013) to Revision E (May 2026) **Page**

- 「特長」の「スイング 0.005V ～ 4.995V」を削除 1
- 「特長」の「小信号、5V/µs」を削除 1
- 「特長」の「大信号、30V/µs」を削除 1
- 「特長」の「スルーレート」を「スルーレート:30V/µs」に変更 1
- 「特長」の電源範囲を 1.8V から 2.7V に変更 1
- 「1.8V 電源での動作」を「2.7V 電源での動作」に変更 1
- 「絶対最大定格」表の注 1 を更新 4
- 電源電圧の絶対最大定格を 35V から 33V に変更 4
- 電源ピンの電流の絶対最大定格を削除 4
- 「絶対最大定格」表の注 3 を更新 4
- 入力 (同相) 電圧の絶対最大定格を (V±) ± 0.3V から (V±) ± 0.5V に変更 4
- 「絶対最大定格」表の注 4 を更新 4
- 差動入力電圧の絶対最大定格を 15V から ±15V に変更 4
- 「絶対最大定格」表の注 2 を更新 4
- 出力電流の絶対最大定格を ±25mA から連続に変更 4
- 動作時周囲温度の絶対最大定格を追加 4
- リード温度の絶対最大定格を削除 4
- 「ESD 定格」表を追加 4
- HBM ESD 定格を 2500V から ±4000V に変更 4
- 最小動作電圧を 1.8V から 2.7V に変更 4
- 「動作定格」表の注 1 を削除 4
- LM6142 の「熱に関する情報」表を追加 5
- LM6142D の接合部周囲間の熱抵抗を 193°C/w から 127.1°C/w に変更 5
- LM6142P の接合部周囲間の熱抵抗を 115°C/w から 84.45°C/w に変更 5
- LM6142 の接合部ケース間の熱抵抗を追加 5
- LM6142 の接合部基板間の熱抵抗を追加 5
- LM6142 の接合部上面間の特性パラメータを追加 5
- LM6142 の接合部基板間の特性パラメータを追加 5
- LM6144 の「熱に関する情報」表を追加 5
- LM6144D の接合部周囲間の熱抵抗を 126°C/W から 82.48°C/W に変更 5
- LM6144 の接合部ケース (上面) 間の熱抵抗を追加 5
- LM6144 の接合部基板間の熱抵抗を追加 5
- LM6144 の接合部上面間の特性パラメータを追加 5
- LM6144 の接合部基板間の特性パラメータを追加 5
- すべての 電気的特性 表を最新の形式に更新 6
- レールを参照するように出力スイング形式を更新 6
- 100kΩ 負荷における標準出力電圧スイングを、4.995V から正電源レールの 30mV に変更 6
- 100kΩ 負荷における最大出力電圧スイングを、4.98V から正電源レールの 40mV に変更 6
- 100kΩ 負荷における標準出力電圧スイングを、0.005V から負電源レールの 45mV に変更 6
- 100kΩ 負荷における最大出力電圧スイングを、0.01V から負電源レールの 50mV に変更 6
- 温度範囲全体での 100kΩ 負荷における最大出力電圧スイングを、0.013V から負電源レールの 60mV に変更 6
- 10kΩ 負荷における標準出力電圧スイングを、4.97V から正電源レールの 40mV に変更 6
- 10kΩ 負荷における標準出力電圧スイングを、0.02V から負電源レールの 50mV に変更 6
- 「電気的特性」表の注釈を削除 6

Copyright © 2026 Texas Instruments Incorporated

- レールを参照するように出力スイング形式を更新 8
- 100kΩ 負荷における最大出力電圧スイングを、2.66V から正電源レールの 75mV に変更 8
- レールを参照するように出力スイング形式を更新 9
- 「新しいダイの開ループ ゲインと負荷との関係」を追加 10
- 「新しいダイの CMRR/PSRR と周波数との関係」を追加 10
- 新しいサブセクション「古いダイと新しいダイの比較」を追加 15
- サブセクション「拡張スルーレート」を削除 16

Copyright © 2026 Texas Instruments Incorporated

9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM6142AIMX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LM614 2AIM
LM6142AIMX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LM614 2AIM
LM6142AIMX/NOPB.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LM614 2AIM
LM6142BIM/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	LM614 2BIM
LM6142BIMX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LM614 2BIM
LM6142BIMX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LM614 2BIM
LM6142BIMX/NOPB.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LM614 2BIM
LM6142BIN/NOPB	Active	Production	PDIP (P) | 8	40 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	LM6142 BIN
LM6142BIN/NOPB.A	Active	Production	PDIP (P) | 8	40 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	LM6142 BIN
LM6142BIN/NOPB.B	Active	Production	PDIP (P) | 8	40 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	LM6142 BIN
LM6144AIM/NOPB	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	LM6144 AIM
LM6144AIMX/NOPB	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LM6144 AIM
LM6144AIMX/NOPB.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LM6144 AIM
LM6144BIM/NOPB	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	LM6144 BIM
LM6144BIMX/NOPB	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LM6144 BIM
LM6144BIMX/NOPB.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	LM6144 BIM
LM6144BIN/NOPB	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	LM6144BIN

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM6144BIN/NOPB.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	LM6144BIN

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

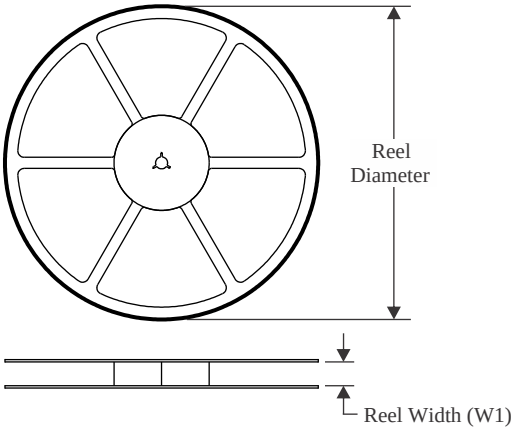
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

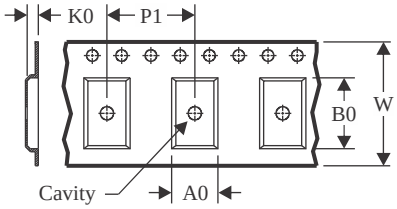
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

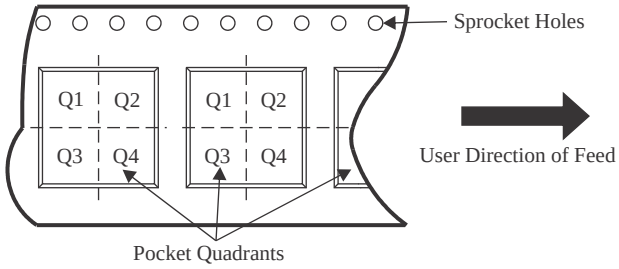


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

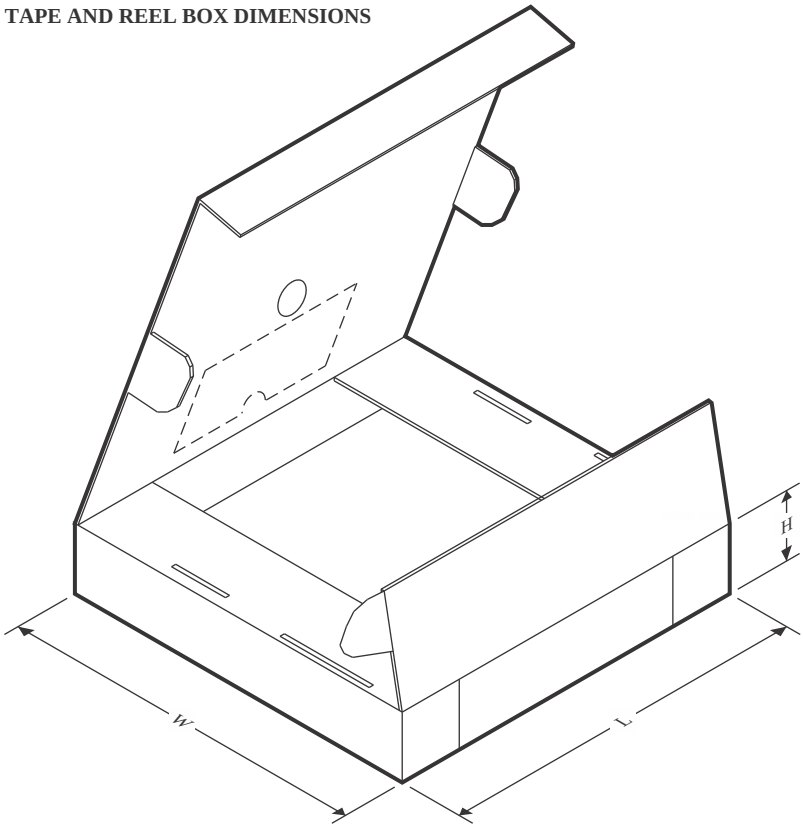
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM6142AIMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM6142BIMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM6144AIMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
LM6144BIMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1

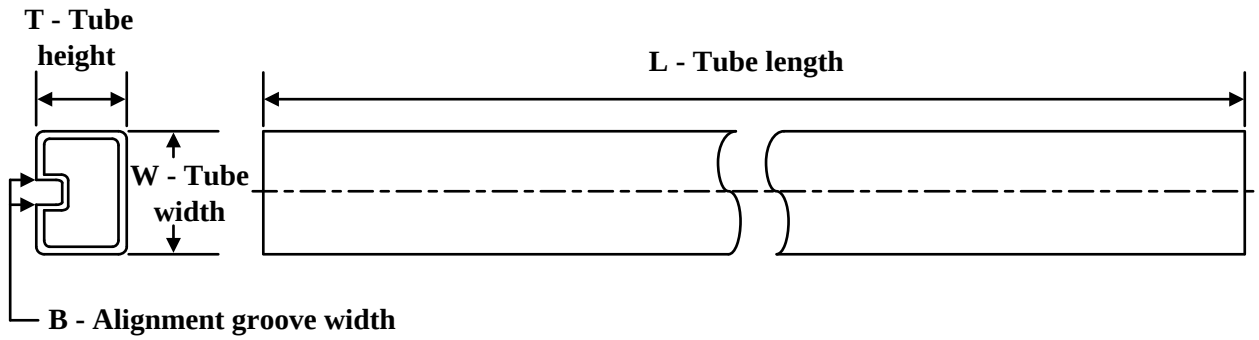
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

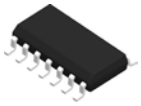
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM6142AIMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LM6142BIMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LM6144AIMX/NOPB	SOIC	D	14	2500	367.0	367.0	35.0
LM6144BIMX/NOPB	SOIC	D	14	2500	367.0	367.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
LM6142BIN/NOPB	P	PDIP	8	40	502	14	11938	4.32
LM6142BIN/NOPB.A	P	PDIP	8	40	502	14	11938	4.32
LM6142BIN/NOPB.B	P	PDIP	8	40	502	14	11938	4.32
LM6144BIN/NOPB	N	PDIP	14	25	502	14	11938	4.32
LM6144BIN/NOPB.A	N	PDIP	14	25	502	14	11938	4.32

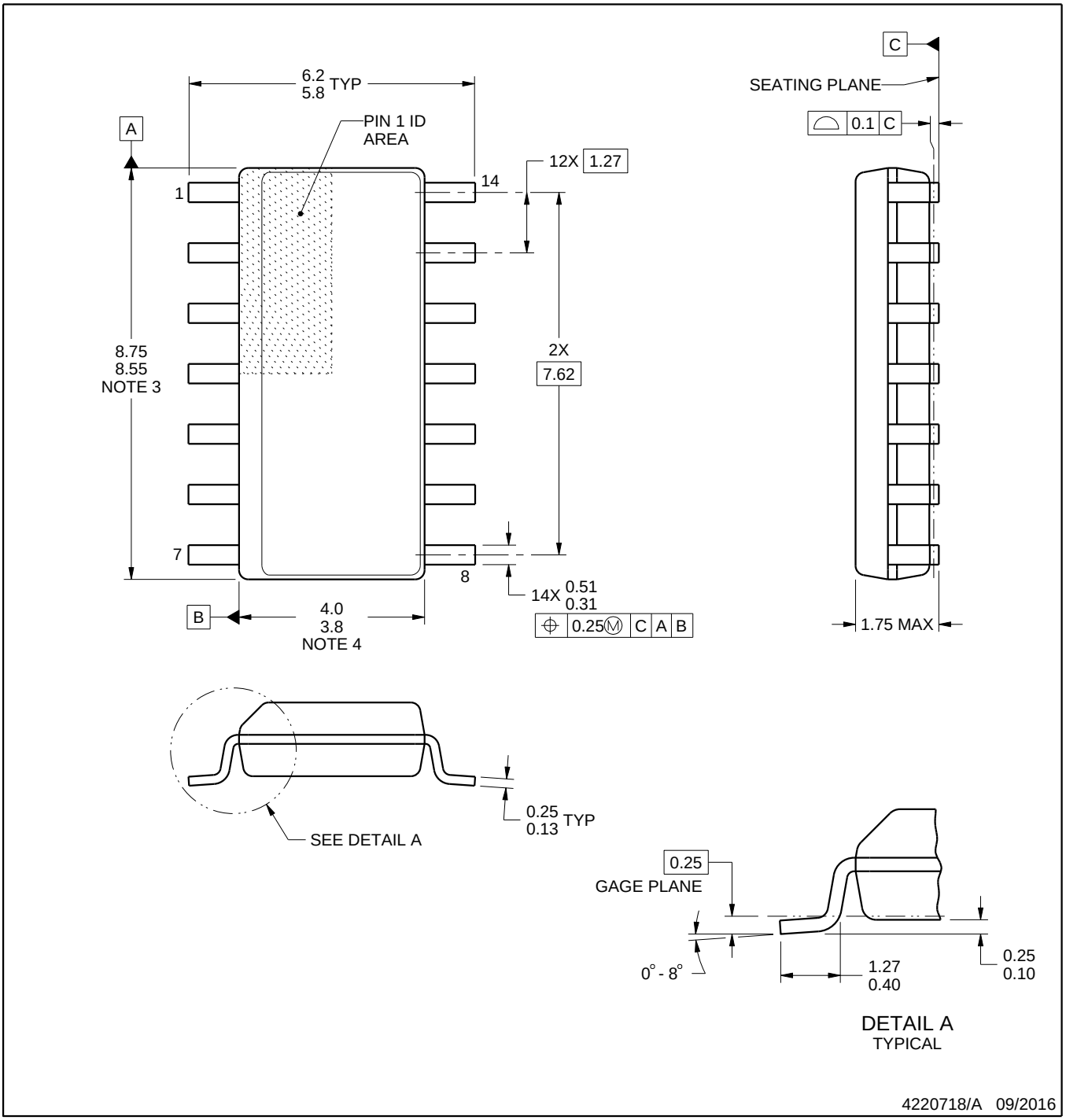


PACKAGE OUTLINE

D0014A

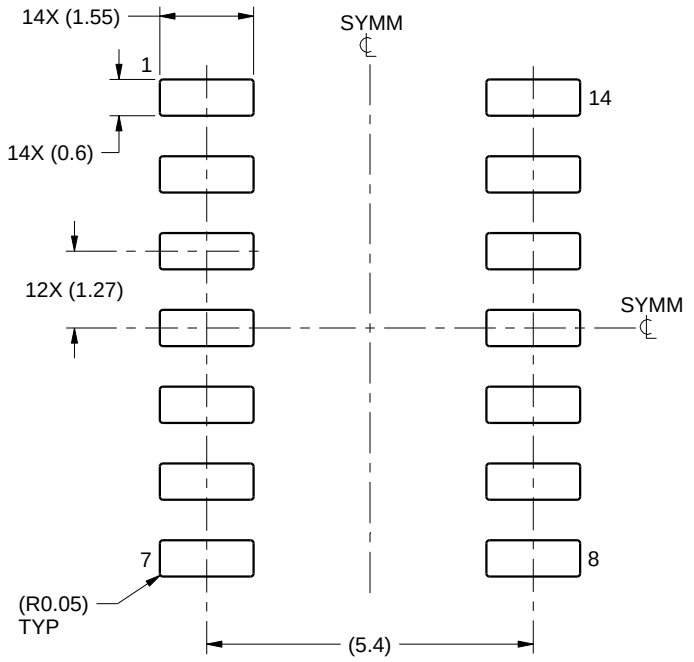
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

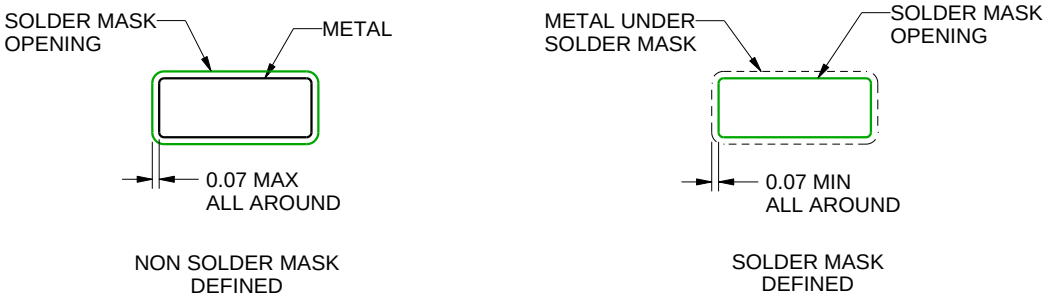


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

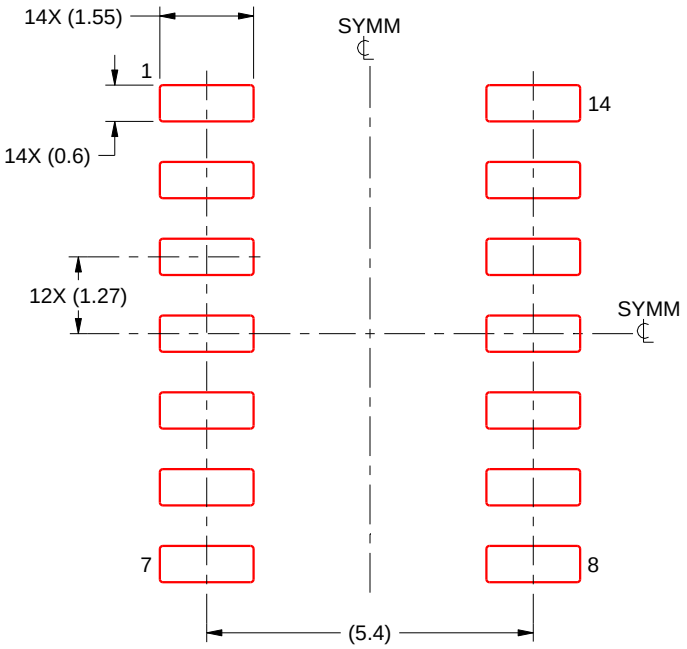
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

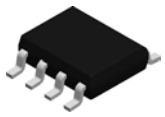


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

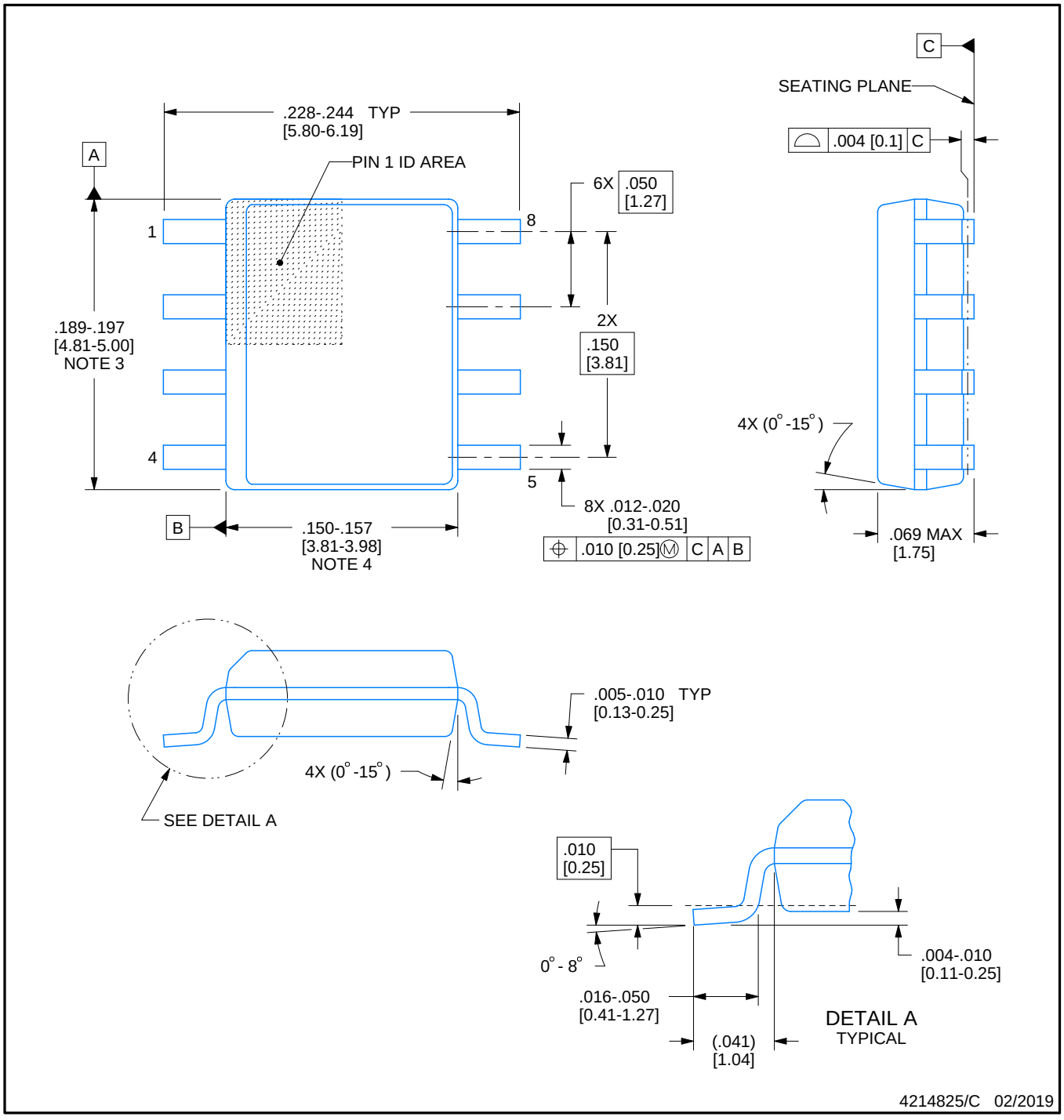


PACKAGE OUTLINE

D0008A

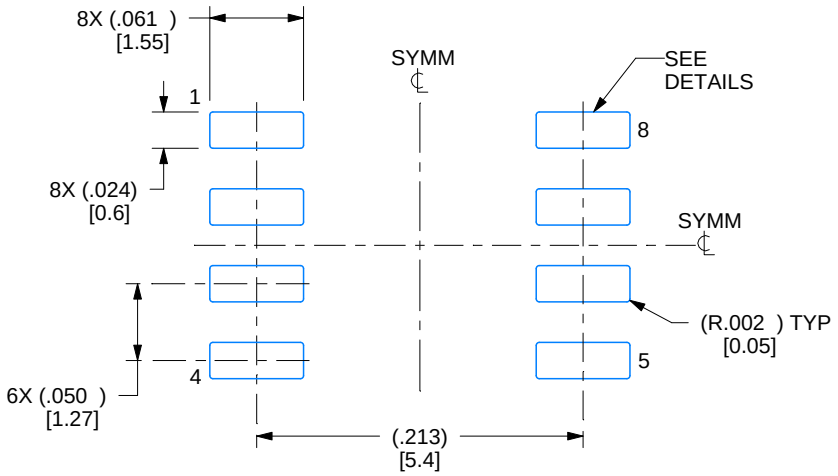
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

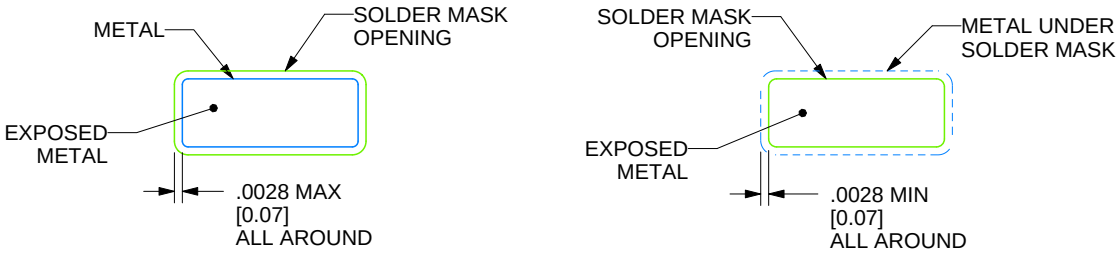


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

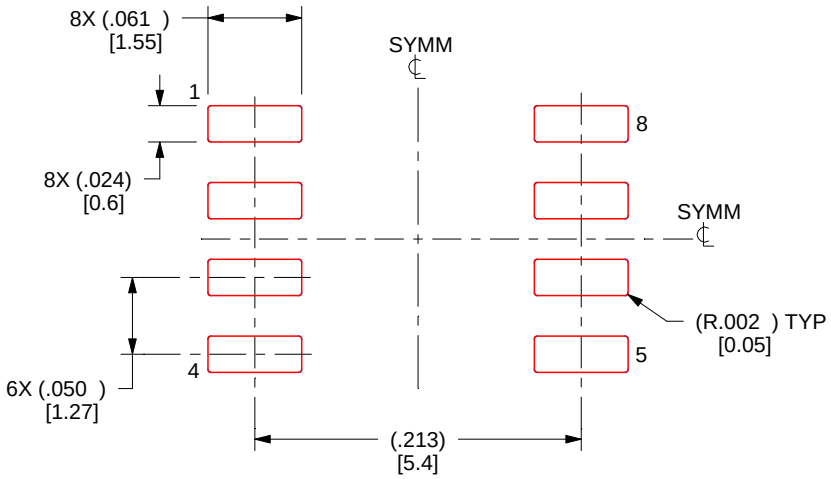
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



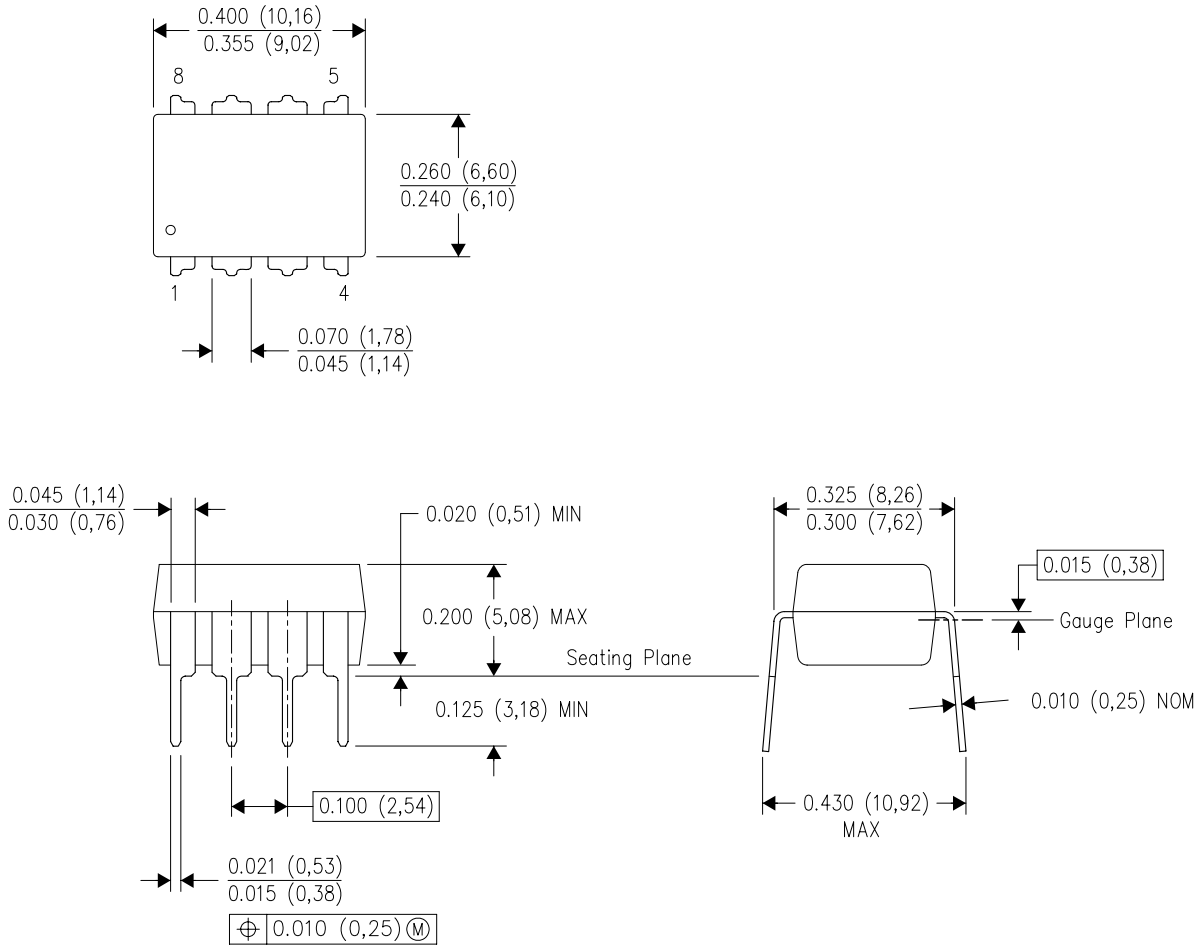
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE

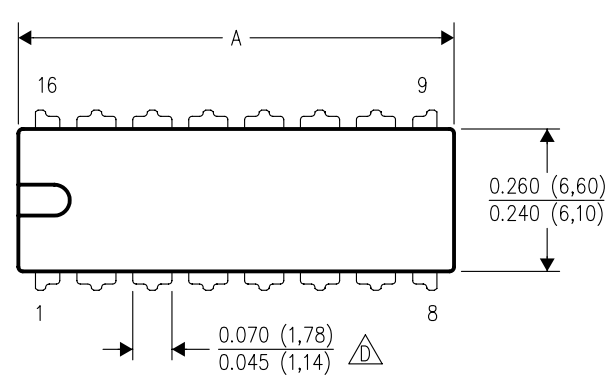


NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

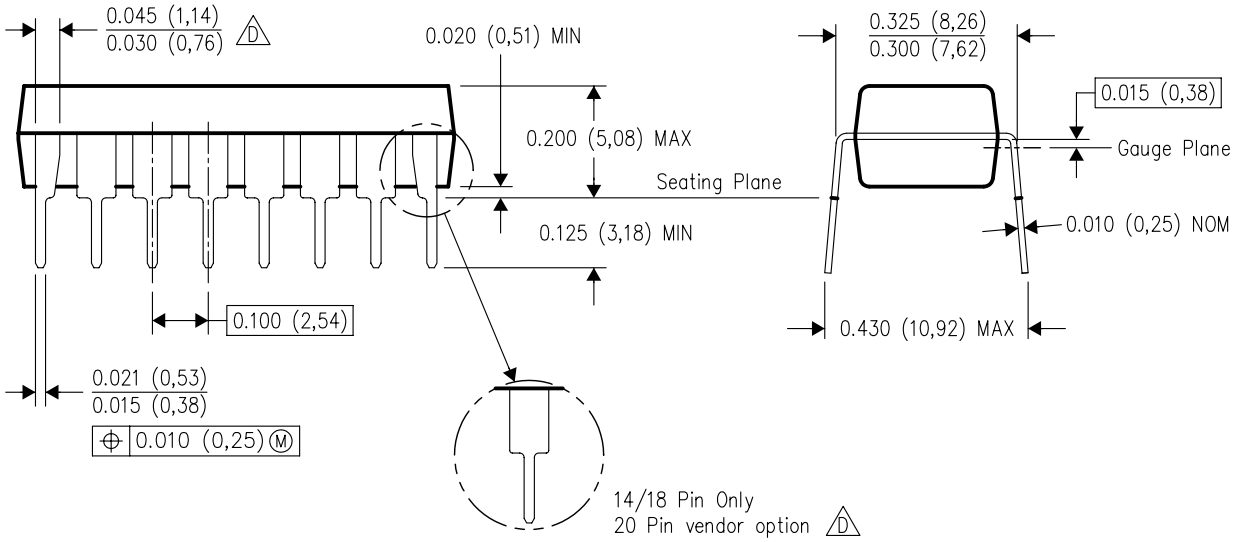
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月