

LM654xx-Q1 ピン互換 20A (25A ピーク)、15A、12A、10A、スタックブル車載降圧コンバータ、干渉とノイズの低減技術 (MINT) 搭載

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
 - 温度グレード 1: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$, T_A
- コンバータのスタッキング用クロッキング機能を内蔵
- 内部補償または外部補償
- ピン設定によって選択可能な出力電圧: 3.3V および 5V の固定出力、または $0.8\text{V} \sim 0.9 \times V_{\text{IN}}$ の範囲で可変出力
- 幅広い入力電圧範囲: 3V $\sim$ 36V
- 干渉およびノイズ軽減技術 - アーキテクチャ 1 (MINT 1)
 - 低 EMI 要件に対して最適化
 - CISPR 25 Class 5 準拠
 - モードピンで構成可能な $+8.5\%$ または $+17\%$ のデュアルランダムスペクトラム拡散により、ピーク放射を低減
 - 対称型ピン配置付き拡張 HotRod™ QFN パッケージ
- スイッチング周波数: 300kHz $\sim$ 2.2MHz
 - ピンで構成可能な自動または FPWM 動作
 - 外部クロックに同期可能
- 短い最小オン時間: 32ns (標準値)
 - 2.2MHz で 36V から 3.3V への変換を実現
- 高効率かつ高電力密度
 - 12V_{IN} から 5V_{OUT}、I_{OUT} = 15A、400kHz で 94% を上回る効率
 - バイアスピン (V_{OUT}) での 8μA の PFM 無負荷時入力電流
 - ウェットパブル フランク付きの 4.5mm × 4.5mm eQFN-26

2 アプリケーション

- 先進運転支援システム (ADAS)
- 車載用インフォテインメントおよびクラスタ
- ハイブリッド、電動、パワートレインシステム

3 説明

LM654xx-Q1 は、車載向けに開発された、干渉およびノイズ軽減技術 (MINT 1) スイッチャ技術を採用した高効率、高電力密度、低 EMI 性能の降圧型コンバータファミリです。このコンバータは、3V $\sim$ 36V という広い入力電圧範囲で動作し、ピン設定によって 3.3V または 5V の固定出力、または可変出力を選択できます。

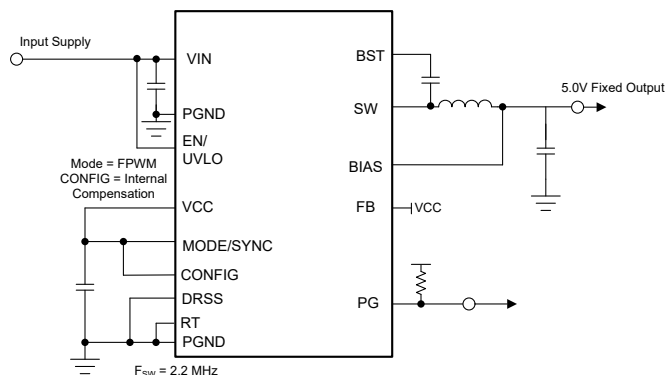
低 EMI 動作は、ループインダクタンスの最小化、SW ノードのスルーレート最適化、そしてピン選択可能な $\pm 8.5\%$ または $\pm 17\%$ のデュアルランダムスペクトラム (DRSS) によって実現されています。DRSS は三角波変調と疑似ランダム変調の組み合わせによりピーク放射を大幅に低減すると同時に、出力電圧リップルを極めて低く維持しています。

代表的な最小オン時間 32ns の電流モード制御アーキテクチャにより、高周波数での高い変換比、高速過渡応答、優れた負荷およびラインレギュレーションを可能にします。

製品情報

部品番号	パッケージ (1)	パッケージサイズ (2)
LM654xx-Q1	VDA (WQFN-FCRLF、26)	4.5mm × 4.5mm

- (1) 詳細については、[セクション 11](#) を参照してください。
 (2) パッケージサイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図



目次

1 特長.....	1	7.4 デバイスの機能モード.....	25
2 アプリケーション.....	1	8 アプリケーションと実装.....	28
3 説明.....	1	8.1 使用上の注意.....	28
4 デバイス比較表.....	3	8.2 代表的なアプリケーション.....	28
5 ピン構成および機能.....	4	8.3 電源に関する推奨事項.....	56
6 仕様.....	7	8.4 レイアウト.....	57
6.1 絶対最大定格.....	7	9 デバイスおよびドキュメントのサポート.....	60
6.2 ESD 定格.....	7	9.1 デバイス サポート.....	60
6.3 推奨動作条件.....	7	9.2 ドキュメントのサポート.....	60
6.4 熱に関する情報.....	8	9.3 ドキュメントの更新通知を受け取る方法.....	60
6.5 電気的特性.....	8	9.4 サポート・リソース.....	60
6.6 代表的特性.....	12	9.5 商標.....	60
7 詳細説明.....	14	9.6 静電気放電に関する注意事項.....	60
7.1 概要.....	14	9.7 用語集.....	60
7.2 機能ブロック図.....	15	10 改訂履歴.....	61
7.3 機能説明.....	16	11 メカニカル、パッケージ、および注文情報.....	62

4 デバイス比較表

デバイス	発注用製品型番	エンジニアリング型番	出力電流	上面露出サーマルパッド	底面露出サーマルパッド	パッケージ	接合部温度範囲
LM654B0-Q1	LM654B0VDARQ1	PLM654B0VDARQ1	20	あり	あり	VDA (26)	-40°C ~ 150°C
LM654A5-Q1	LM654A5VDARQ1	PLM654A5VDARQ1	15	あり	あり	VDA (26)	-40°C ~ 150°C
LM654A2-Q1 ⁽¹⁾	LM654A2VDARQ1	PLM654A2VDARQ1	12	あり	あり	VDA (26)	-40°C ~ 150°C
LM654A0-Q1 ⁽¹⁾	LM654A0VDARQ1	PLM654A0VDARQ1	10	あり	あり	VDA (26)	-40°C ~ 150°C

(1) プレビュー情報 (量産データではありません)

5 ピン構成および機能

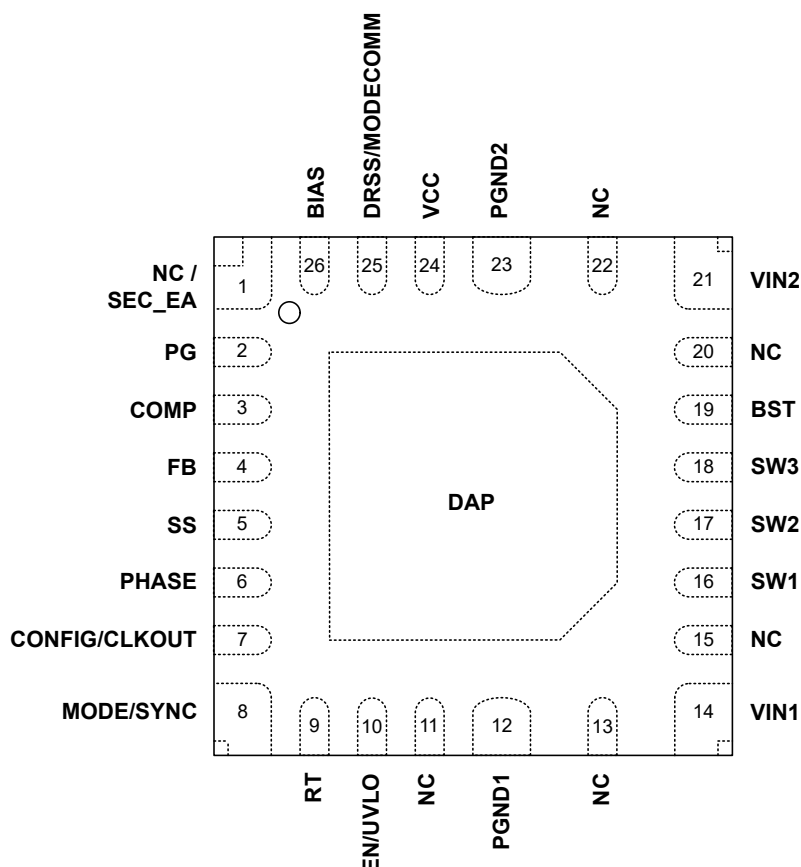


図 5-1. VDA 26 ピン WQFN-FCRLF パッケージ (上面図)

表 5-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
NC/SEC_EA	1	—	プライマリ デバイス: フローティングのままにするか、グラウンドに接続します。 セカンダリ デバイス: VCC に接続して、セカンダリ エラー アンプを有効にします。これにより、マルチフェーズ設計のループ ゲインが増加します。GND に接続して、セカンダリ エラー アンプを無効にします。エラー アンプを有効するには、セカンダリの FB ピンを抵抗デバイダで構成するか、3.3V または 5V に固定する必要があります。
PG/NC	2	O	プライマリ デバイス: パワー グッド出力ピン。このピンは、VOUT が指定されたレギュレーション ウィンドウの範囲外である場合に Low になるオープン コレクタ出力です。パワーアップ時に、VIN が 1.25V を超えると PG は Low にプルされ、本デバイスが有効になり、ソフト スタートが完了するまで Low に維持されます。 セカンダリ デバイス: このピンは内部的に接地され、フローティング状態にするか、グラウンドに接続する必要があります。
COMP	3	A	プライマリ デバイス: 外部補償ピン。このピンは、相互コンダクタンス アンプの出力です。使用する場合は、COMP ピンと GND の間に補償回路を接続します。使用しない場合、このピンはグラウンドに接続できます。 セカンダリ デバイス: プライマリ デバイスの COMP ピンをすべてのセカンダリの COMP ピンに接続します。セカンダリ エラー アンプを使用する場合 (SEC_EA = VCC)、Rcomp と Ccomp の値は、エラー アンプが有効になっているデバイスの数に応じてスケールリングする必要があります。

表 5-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
FB	4	A	プライマリ デバイス: フィードバック ピン。可変出力オプションは、帰還分圧器のタップ点にこのピンを接続します。レギュレーション閾値は 0.8V です。 3.3V の固定出力電圧を構成するには、GND に接続します。5V の固定出力電圧を構成するには、VCC に接続します。固定出力電圧設定を使用する場合、BIAS ピンを VOUT に接続し、エラー アンプのフィードバック パスを提供する必要があります。 セカンダリ デバイス: (SEC_EA = VCC) でセカンダリ エラー アンプを有効にするか、(SEC_EA = GND) で無効にします。セカンダリ エラー アンプを無効にした場合、FB をフローティングのままにできます。 セカンダリ エラー アンプを有効にする場合は、プライマリと同様に FB を構成する必要があります。エラー アンプを有効にすると、設計の実効相互コンダクタンスが 2 倍になり、COMP トレースの配線感度を低減できます。
SS	5	A	ソフトスタート遅延のプログラミング ピン。SS ピンがオープンのままになっている場合、内部ソフト スタート回路によって、FB リファレンス電圧がゼロから最大値まで 2.6ms (標準値) で上昇します。SS ピンと GND の間にコンデンサを接続すると、ソフト スタート時間をより大きな値に設定できます。式 5 を参照してください。マルチフェーズ設計では、すべてのデバイスの SS ピンを互いに接続します。
PHASE	6	I	プライマリ デバイス: このピンを接地すると、CONFIG から出力クロックがプライマリに対して 180 度逆位相に設定されるため、単相または 2 相設計に役立ちます。このピンを VCC に接続すると、CONFIG から出力クロックが、プライマリと同位相に設定されます。各セカンダリの位相シフトをセカンダリの位相ピン電圧で個別に設定できるため、3 相以上の設計で役立ちます。 セカンダリ デバイス: このピンの 0 ~ 1V の電圧は、セカンダリ デバイスのクロック周波数に対して 0 ~ 360 度の位相シフトに対応します。セカンダリ デバイスの位相シフトを簡単に構成するには、2 つの抵抗を使用して RT ピンの周波数を設定します。周波数は、これらの抵抗値の合計で決まります。この抵抗ペアは、RT で出力される 1V の基準電圧を分圧するために使用されます。分圧器のセンター タップを PHASE ピンに接続して、セカンダリ デバイスの位相シフトを設定します。フローティングにはしないでください。
CONFIG/ CLKOUT	7	I/O	設定ピン。 プライマリ デバイス: グランドへの 49.9kΩ 抵抗により、本デバイスは外部補償で構成され、マルチフェーズ動作が可能になります。CONFIG ピンは、セルフテスト後に出力 CLKOUT になり、セカンダリ デバイスの MODE/SYNC に接続できるクロックを供給します。外部補償およびマルチフェーズ動作が不要な場合、このピンを VCC に接続する必要があります。 セカンダリ デバイス: このピンをグランドに接続して、デバイスをセカンダリに設定します。セカンダリ動作では、セカンダリ デバイスの PHASE ピンに適切な位相シフトが設定されたクロックがプライマリから供給されます。
MODE/SYNC	8	I	MODE および同期入力ピン。このピンを GND に接続するか、Low に駆動して、AUTO モードで動作させます。このピンを VCC に接続するか、High に駆動して、FPWM モードで動作させます。同期周波数の FPWM モードで動作するには、このピンに同期クロック信号を印加します。外部クロックに同期する場合、RT ピンを使用して内部周波数を同期周波数に近い値に設定することで、外部クロックがオンまたはオフになっている場合の外乱を回避します。
RT	9	I/O	スイッチング周波数のプログラミング用ピン。スイッチング周波数をそれぞれ 2200kHz ~ 300kHz に設定するため、6.81kΩ ~ 54.2kΩ の値の抵抗を介してこのピンをグランドに接続します。400kHz 動作の場合は VCC に接続します。2.1MHz 動作の場合は GND に接続します。フローティングにはしないでください。
EN/UVLO	10	P	高精度イネーブル ピン。このピンを High または Low に駆動すると、デバイスを有効または無効にできます。このピンは VIN に直接接続できます。高精度イネーブルを使うと、このピンを調整可能な UVLO として使用できます。フローティングにはしないでください。
NC	11	—	無接続ピン。フローティングのままにします。
PGND1	12	G	内部ローサイド MOSFET への電源グランド。このピンは、システムのグランドに接続します。PGND2 と低インピーダンスで接続する必要があります。このピンと VIN1 との間に高品質のバイパス コンデンサを接続します。
NC	13	—	接続の無いピンフローティングにし、PGND1 ピンと VIN1 ピンの間の間隔を 1mm に維持します。PGND1 ピンと VIN1 ピンの間隔 0.5mm がシステム ピンのクリアランス要件を満たしている場合、このピンは PGND1 に短絡することが可能です。

表 5-1. ピンの機能 (続き)

ピン		タイプ ⁽¹⁾	説明
名称	番号		
VIN1	14 ⁽²⁾	P	レギュレータへの入力電源。このピンと PGND1 との間に高品質のバイパス コンデンサを接続します。VIN1 ピンと PGND1 ピンの両方から 1mm 以内に 100nF のバイパス コンデンサを配置します。VIN2 との間に低インピーダンス接続を確立します。
NC	15	—	接続の無いピンフローティングにし、VIN1 と SW1 の間の間隔を 0.5mm に維持します。
SW1	16	P	デバイスのスイッチ ピンとレギュレータのスイッチ ノード。出力インダクタに接続します。
SW2	17	P	
SW3	18	P	
BST	19	P	ハイサイドドライバの上側電源レール。SW ノードと BST との間に高品質の 100nF コンデンサを接続します。SW ノードが Low の間は、内部ダイオードによってコンデンサが充電されます。
NC	20	—	接続の無いピンフローティングにし、VIN2 と BST との間の間隔を 0.5mm を維持します。
VIN2	21 ⁽²⁾	P	レギュレータへの入力電源。このピンと PGND2 との間に高品質のバイパス コンデンサを接続します。VIN2 ピンと PGND2 ピンの両方から 1mm 以内に 100nF のバイパス コンデンサを配置します。VIN1 との間に低インピーダンス接続を確立します。
NC	22	—	接続の無いピンフローティングにし、PGND2 ピンと VIN2 ピンの間の間隔を 1mm に維持します。PGND2 ピンと VIN2 ピンの間隔 0.5mm がシステム ピンのクリアランス要件を満たしている場合、このピンは PGND2 に短絡することが可能です。
PGND2	23	G	内部ローサイド MOSFET の電源グラウンド。システム グラウンドに接続。PGND1 と低インピーダンスで接続する必要があります。このピンと VIN2 との間に高品質のバイパス コンデンサを接続します。
VCC	24	P	内部電圧レギュレータ出力。内部制御回路への電源として使用されます。このピンは、いずれの外部負荷にも接続しないでください。このピンと GND との間に高品質の 1μF コンデンサを接続します。
DRSS/ MODECOMM	25	I/O	デュアル ランダム スペクトラム拡散機能 (DRSS) 選択ピン。使用可能な DRSS オプションについては、「 セクション 7.3.6 」セクションを参照してください。マルチフェーズ動作の場合、このピンはプライマリ デバイスとセカンダリ デバイス間の拡散スペクトラム タイミング ピンになり、すべての DRSS ピンを共通接続する必要があります。
BIAS	26	P	内部電圧レギュレータへの入力。固定 VOUT 用に構成されている場合、このピンを VOUT ノードに接続して、制御ループを閉じます。可変 VOUT を構成している場合、このピンを VOUT ノードに接続するか、または 3.3V~30V の外部バイアス電源に接続します。出力電圧が 30V よりも高いか、外部電源を使用しない場合は、ピンを GND に接続してください。このピンは、可変 VOUT モードでグラウンドに接続することもできます。
DAP	—	G	露出ダイアタッチ パッド (DAP)。PCB 上のシステム GND に接続。このピンはダイの主要な放熱パスです。このパッドは、ピンを PCB 上の GND 銅箔に半田付けすることで放熱用に使用する必要があります。また、このパッドは、入力バイパス コンデンサの PGND 接続に対して低インピーダンスで接続する必要があります。サンプル基板レイアウトで推奨されているようにできるだけ多くのサーマルビアを実装することで、最小限のパッケージ熱抵抗と可能な限り最高の放熱性能が保証されます。

(1) I = 入力、O = 出力、P = 電源、G = グラウンド

(2) 入力コンデンサの配置が推奨範囲外であると、入力電圧の増加やスイッチ ノードリングの絶対最大定格の外への増加、不安定性など、デバイスの性能の低下が発生する可能性があります。推奨レイアウト例については、[セクション 8.4.2](#) を参照してください。

6 仕様

6.1 絶対最大定格

動作時接合部温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
入力電圧	VIN から PGND へ	-0.3	42	V
入力電圧	EN/UVLO から PGND へ	-0.3	42	V
入力電圧	RT から PGND	-0.3	42	V
入力電圧	DRSS/MODECOMM から PGND へ	-0.3	42	V
入力電圧	SEC_EA から PGND へ	-0.3	20	V
入力電圧	BIAS から PGND へ	-0.3	42	V
入力電圧	MODE/SYNC から PGND へ	-0.3	5.5	V
入力電圧	CONFIG/CLKOUT から PGND へ	-0.3	5.5	V
入力電圧	COMP、FB から PGND へ	-0.3	5.5	V
入力電圧	SS から PGND へ	-0.3	V _{CC} + 0.3	V
出力電圧	SW~PGND	-0.6	V _{IN} + 0.3	V
出力電圧	PG から PGND	-0.3	42	V
出力電圧	BST から SW へ	-0.3	5.5	V
出力電圧	VCC から PGND へ	-0.3	5.5	V
動作時接合部温度	T _J	-40	150	°C
保存温度	T _{stg}	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用する、デバイスは完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、AEC Q100-002 に準拠 ⁽¹⁾	±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	±750	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

動作時接合部温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
入力電圧	VIN	3	36	V
入力電圧	EN	0	36	V
入力電圧	バイアス、PG	0	30	V
入力電圧	FB、SEC_EA	0	5.5	V
入力電圧	MODE/SYNC、RT	0	5.5	V
プルアップ抵抗	R _{PU(PG)}	4		kΩ
プルアップ リファレンス電圧	V _{PU(PG)}	0.8	36	V
出力電圧	VOUT	0.8	0.9 × VIN	V
出力電流	IOUT、LM654B0-Q1	0	20	A
出力電流	IOUT、LM654A5-Q1	0	15	A
出力電流	IOUT、LM654A2-Q1	0	12	A

6.3 推奨動作条件 (続き)

動作時接合部温度範囲内 (特に記述のない限り)

		最小値	最大値	単位
出力電流	IOUT, LM654A0-Q1	0	10	A

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		デバイス		単位
		VDA (WFQN-FCRLF) JESD 51-7	LM654B0EVM	
		26 ピン	26 ピン	
R _{θJA}	接合部から周囲への熱抵抗	32.3	16(ヒートシンクなし)	°C/W
R _{θJC(top)}	接合部からケース (上面) への熱抵抗	0.32	-	°C/W
R _{θJB}	接合部から基板への熱抵抗	6.1	-	°C/W
ψ _{JT}	接合部から上面への特性パラメータ	0.5	1.4	°C/W
ψ _{JB}	接合部から基板への特性パラメータ	6.1	5.9	°C/W
R _{θJC(bot)}	接合部からケース (底面) までの熱抵抗	4.2	- ⁽²⁾	°C/W

- (1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。
[spra953](#)
- (2) EVM には適用されません。

6.5 電気的特性

特に記述のない限り、各制限値は推奨動作接合部温度 (T_J) 範囲 (-40°C ~ +150°C) にわたって適用されます。最小値および最大値は、試験、設計、および統計的相関に基づいて規定されています。標準値は T_J = 25°C における最も一般的なパラメータ基準値を表しており、参考目的のみに提供されています。特に記述のない限り、次の条件が適用されます。V_{IN} = 13.5V、V_{EN} = V_{IN}、V_{OUT} = 3.3V、F_{SW} = 2.2MHz

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源 (VIN ピン)						
V _{INUVLO(R)}	V _{IN} UVLO 立ち上がりスレッシュホールド	V _{IN} の立ち上がり (起動に必要)	3.2	3.4	3.6	V
V _{INUVLO(F)}	V _{IN} UVLO 立ち下がりスレッシュホールド	V _{IN} の立ち下がり (動作開始後)		2.5	2.6	V
V _{INUVLO(H)}	V _{IN} UVLO ヒステリシス			0.92	1.35	V
I _{VIN}	V _{IN} ピン入力電流、内部 COMP、スイッチングなし	V _{BIAS} = 3.3V + 2%、CONFIG を V _{CC} へ短絡、T _J = 25°C		1	1.64	μA
I _{BIAS(FIX-3.3V)}	BIAS ピン入力電流、3.3V 固定出力、内部 COMP、スイッチングなし	V _{BIAS} = 3.3V + 2%、CONFIG を V _{CC} へ短絡、T _J = 25°C、自動モード有効		20	25	μA
I _{Q(FIX-3.3V)}	V _{IN} 静止電流の合計、3.3V 固定出力、内部 COMP、スイッチングなし	V _{IN} = 24V、V _{BIAS} = 3.3V + 2%、CONFIG は V _{CC} へ短絡、T _J = 25°C、自動モード有効		3.8	5	μA
		全温度		3.8	53	μA
I _{BIAS(ADJ-3.3V)}	BIAS ピン入力電流、調整可能 3.3V 出力、内部 COMP、スイッチングなし	V _{FB} = 0.8V + 2%、CONFIG を V _{CC} へ短絡、自動モード有効、T _J = 25°C		8	22	μA
I _{Q(ADJ-3.3V)}	V _{IN} 静止電流の合計、調整可能な 3.3V 出力、内部 COMP、スイッチングなし	V _{IN} = 24.0V、V _{FB} = 0.8V + 2%、CONFIG を V _{CC} へ短絡、自動モード有効、T _J = 25°C		2.1	4.6	μA
I _{BIAS(ADJ-3.3V-EXT)}	BIAS ピン入力電流、調整可能な 3.3V 出力、外部 COMP、スイッチングなし	V _{FB} = 0.8V + 2%、R _{CFG} = 49.9kΩ、自動モード有効、T _J = 25°C		53	64	μA
I _{Q(ADJ-3.3V-EXT)}	V _{IN} 静止電流の合計、調整可能な 3.3V 出力、外部 COMP、スイッチングなし	V _{IN} = 24.0V、V _{FB} = 0.8V + 2%、R _{CFG} = 49.9kΩ、自動モード、T _J = 25°C		8	11.1	μA
I _{Q-SD}	V _{IN} のシャットダウン時の電源電流	V _{EN} = 0V、T _J = 25°C		1	2	μA
イネーブル (EN ピン)						
V _{EN-TH(R)}	イネーブル電圧立ち上がりスレッシュホールド	V _{EN} 立ち上がり	1.15	1.25	1.35	V
V _{EN-TH(F)}	イネーブル入力 Low スレッシュホールド	V _{EN} 立ち下がり	0.9	1	1.1	V
V _{EN-HYS}	イネーブル電圧のヒステリシス			250		mV
I _{EN-LKG}	イネーブル入力リーク電流	V _{EN} = V _{IN}		0.35	6.28	μA

6.5 電気的特性 (続き)

特に記述のない限り、各制限値は推奨動作接合部温度 (T_J) 範囲 ($-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$) にわたって適用されます。最小値および最大値は、試験、設計、および統計の相関に基づいて規定されています。標準値は $T_J = 25^{\circ}\text{C}$ における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。 $V_{IN} = 13.5\text{V}$ 、 $V_{EN} = V_{IN}$ 、 $V_{OUT} = 3.3\text{V}$ 、 $F_{SW} = 2.2\text{MHz}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
内部 LDO (VCC ピン)						
V_{VCC}	内部 LDO 出力電圧	$3.4\text{V} \leq V_{IN} \leq 36\text{V}$, $V_{BIAS} = 0\text{V}$		3.3		V
		$3.4\text{V} \leq V_{BIAS} \leq 30\text{V}$		3.2		V
$V_{VCC-OVLO(R)}$	VCC OVLO 立ち上がりスレッシュホールド	VCC 過電圧立ち上がりスレッシュホールド, $I_{VCC} = 0\text{A}$		4.38		V
$V_{VCC-OVLO(F)}$	VCC OVLO 立ち下がりスレッシュホールド	VCC 過電圧立ち下がりスレッシュホールド, $I_{VCC} = 0\text{A}$		3.63		V
$t_{VCC-OVLO_DEGLITCH(R)}$	VCC OVLO 立ち上がりエッジコンパレータ遅延			20.5		us
$V_{VCC-UVLO(H)}$	VCC UVLO ヒステリシス			0.9		V
電圧リファレンス (FB ピン)						
V_{FB1}	内部フィードバック基準電圧、内部補償	FPWM モード、CONFIG を V_{CC} に短絡	0.792	0.8	0.808	V
V_{FB2}	内部フィードバックリファレンス電圧、外部補償	FPWM モード、 $R_{CONFIG} = 49.9\text{k}\Omega$	0.792	0.8	0.808	V
I_{FB-LKG}	フィードバックピン入力リーク電流	$V_{FB} = 0.8\text{V}$ 、可変バージョン			90	nA
$R_{FB-SEL-ADJ}$	調整可能な出力電圧設定抵抗 (テプナン等価)	V_{OUT} と GND の間の抵抗ラダー、センタータップを FB に接続	4		100	k Ω
固定出力電圧 (BIAS ピン)						
$V_{OUT1(3.3V)}$	3.3V 固定出力電圧、内部 COMP	FB を GND に短絡、CONFIG を V_{CC} に短絡	3.255	3.3		V
$V_{OUT2(3.3V)}$	3.3V 固定出力電圧、外部 COMP	FB を GND に短絡、 $R_{CONFIG} = 49.9\text{k}\Omega$	3.255	3.3	3.333	V
$V_{OUT1(5V)}$	5.0V 固定出力電圧、内部 COMP	FB を V_{CC} に短絡、CONFIG を V_{CC} に短絡	4.92	5	5.065	V
$V_{OUT2(5V)}$	5.0V 固定出力電圧、外部 COMP	FB を V_{CC} に短絡、 $R_{CONFIG} = 49.9\text{k}\Omega$	4.92	5	5.065	V
スタートアップ (SS ピン)						
t_{EN_HIGH}	イネーブル High からスイッチング開始までの遅延	$V_{FB} = V_{RT} = V_{MODE} = \text{GND}$, $V_{BIAS} = V_{OUT}$		1.3		ms
t_{SS}	内部固定ソフトスタート時間	最初の SW パルスから V_{REF} が設定点の 90% に達するまでの時間。	1.6	2.65	4.2	ms
I_{SS}	ソフトスタート充電電流	$V_{SS} = 0\text{V}$		22		μA
R_{SS}	ソフトスタート放電抵抗	$EN = 0\text{V}$		7		Ω
ERROR AMPLIFIER (COMP PIN)						
$g_{m(EXTERNAL)}$	EA 相互コンダクタンス - 外部 COMP	$V_{COMP} = 0.8\text{V}$, $V_{FB} = +5\%$, $V_{FB} = -5\%$		1		mS
$V_{COMP-EXT(h-clamp)}$	外部 COMP - 高クランプ電圧	$V_{FB} = 0\text{V}$ 、可変出力電圧		1.2		V
電流制限およびヒックアップ						
I_{HS-LIM}	ハイサイド ピーク電流制限、LM654B0-Q1	デューティサイクルを 0% に近付ける	31.5	36	39	A
I_{LS-LIM}	ローサイド バレー電流制限、LM654B0-Q1			27.5		A
$I_{L-PEAK-MIN}$	最小デューティサイクルでの最小ピークインダクタ電流、LM654B0-Q1	$V_{VCC} = 3.3\text{V}$, $t_{pulse} \leq 100\text{ns}$ 自動モード		5.5		A
$I_{L-PEAK-MAX}$	最大デューティサイクルでの最小ピークインダクタ電流、LM654B0-Q1	$V_{VCC} = 3.3\text{V}$, $t_{pulse} \geq 1\mu\text{s}$ (、自動モード		0.55		A
$I_{LS-NEG-LIM}$	ローサイド負電流制限	シンク電流制限、FPWM モード		-13.4		A
I_{HS-LIM}	ハイサイド ピーク電流制限、LM654A5-Q1	デューティサイクルを 0% に近付ける	20.6	23.6	25.6	A
I_{LS-LIM}	ローサイド バレー電流制限、LM654A5-Q1			18.4		A
$I_{L-PEAK-MIN}$	最小デューティサイクルでの最小ピークインダクタ電流、LM654A5-Q1	$V_{VCC} = 3.3\text{V}$, $t_{pulse} \leq 100\text{ns}$ 自動モード		5		A
$I_{L-PEAK-MAX}$	最大デューティサイクルでの最小ピークインダクタ電流、LM654A5-Q1	$V_{VCC} = 3.3\text{V}$, $t_{pulse} \geq 1\mu\text{s}$ (、自動モード		1.7		A
$I_{LS-NEG-LIM}$	ローサイド負電流制限	シンク電流制限、FPWM モード		-8		A

LM654A5-Q1, LM654B0-Q1

JAJSUF2B – NOVEMBER 2025 – REVISED JULY 2026

6.5 電気的特性 (続き)

特に記述のない限り、各制限値は推奨動作接合部温度 (T_J) 範囲 ($-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$) にわたって適用されます。最小値および最大値は、試験、設計、および統計的相関に基づいて規定されています。標準値は $T_J = 25^{\circ}\text{C}$ における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。 $V_{IN} = 13.5\text{V}$ 、 $V_{EN} = V_{IN}$ 、 $V_{OUT} = 3.3\text{V}$ 、 $f_{SW} = 2.2\text{MHz}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{HS-LIM}	ハイサイド ピーク電流制限, LM654A2-Q1	デューティ サイクルを 0% に近付ける	16.5	18.9	20.5	A
I_{LS-LIM}	ローサイド バレー電流制限, LM654A2-Q1			14.7		A
$I_{L-PEAK-MIN}$	最小デューティ サイクルでの最小ピーク インダクタ電流, LM654A2-Q1	$V_{VCC} = 3.3\text{V}$, $t_{pulse} \leq 100\text{ns}$ 、自動モード		4		A
$I_{L-PEAK-MAX}$	最大デューティ サイクルでの最小ピーク インダクタ電流, LM654A2-Q1	$V_{VCC} = 3.3\text{V}$, $t_{pulse} \geq 1\mu\text{s}$ 、自動モード		1.25		A
$I_{LS-NEG-LIM}$	ローサイド負電流制限	シンク電流制限, FPWM モード		-6.4		A
I_{HS-LIM}	ハイサイド ピーク電流制限, LM654A0-Q1	デューティ サイクルを 0% に近付ける	13.8	15.8	17.1	A
I_{LS-LIM}	ローサイド バレー電流制限, LM654A0-Q1			12		A
$I_{L-PEAK-MIN}$	最小デューティ サイクルでの最小ピーク インダクタ電流, LM654A0-Q1	$V_{VCC} = 3.3\text{V}$, $t_{pulse} \leq 100\text{ns}$ 、自動モード		3.35		A
$I_{L-PEAK-MAX}$	最大デューティ サイクルでの最小ピーク インダクタ電流, LM654A0-Q1	$V_{VCC} = 3.3\text{V}$, $t_{pulse} \geq 1\mu\text{s}$ 、自動モード		1		A
$I_{LS-NEG-LIM}$	ローサイド負電流制限	シンク電流制限, FPWM モード		-5		A
$I_{L-ZC-LIM}$	ゼロクロスの電流制限値	$V_{VCC} = 3.3\text{V}$ 、自動モード		140		mA
V_{HIC}	FB ピンの過電流ヒカップ スレッショルド	ローサイド FET のオン時間 $> 165\text{ns}$ 、ソフトスタート後		0.32		V
t_{HIC_DLY}	ヒカップ モードの起動遅延			128		サイクル
t_{HIC}	ヒカップ モードの持続時間			52		ms
パワー グッド モニタ (PG ピン)						
$V_{PG-OVP(R)}$	PG 過電圧立ち上がりスレッショルド	FB 電圧 (可変) または BIAS 電圧 (固定) の %	103	105	107	%
$V_{PG-OVP(F)}$	PG 過電圧立ち下がりスレッショルド	FB 電圧 (可変) または BIAS 電圧 (固定) の %	102	104	106	%
$V_{PG-UVP(R)}$	PG 低電圧立ち上がりスレッショルド	FB 電圧 (可変) または BIAS 電圧 (固定) の %	94	96	98	%
$V_{PG-UVP(F)}$	PG 低電圧立ち下がりスレッショルド	FB 電圧 (可変) または BIAS 電圧 (固定) の %	93	95	97	%
$t_{PG-DEGLITCH(F)}$	PG 立ち下がりエッジでのグリッチ除去フィルタ遅延		55	114	175	μs
$t_{PG-DEGLITCH(R)}$	PG 立ち上がりエッジでのグリッチ除去フィルタ遅延		1.2	2	3	ms
$V_{IN(PG-VALID)}$	有効な PG 出力の最小 V_{IN}	$V_{OL(PG)} < 0.4\text{V}$, $R_{PU} = 50\text{k}\Omega$, $V_{PU} = 5\text{V}$			1.25	V
$V_{OL(PG)}$	出力 LOW 電圧	$I_{OL} = 1\text{mA}$, $V_{IN} = 1.25\text{V}$			0.4	V
$R_{ON(PG)}$	PG FET オン抵抗	$I_{PG} = 1\text{mA}$		35	110	Ω
スイッチング周波数および位相シフト						
$f_{SW1(FPWM)}$	スイッチング周波数, FPWM 動作	$R_{RT} = \text{GND}$	1.89	2.1	2.31	MHz
$f_{SW2(FPWM)}$	スイッチング周波数, FPWM 動作	$R_{RT} = 15.8\text{k}\Omega$, 1%	900	1000	1100	kHz
$f_{SW3(FPWM)}$	スイッチング周波数, FPWM 動作	$R_{RT} = V_{CC}$	360	400	440	kHz
同期 (MODE/SYNC ピン)						
$V_{IH(SYNC)}$	SYNC 入力 High レベル スレッショルド				1.3	V
$V_{IL(SYNC)}$	SYNC 入力 Low レベル スレッショルド		0.45			V
$V_{OH(CLKOUT)}$	CLKOUT 出力 High レベル スレッショルド	$I_{OH} = -2\text{mA}$	2.4			V
$V_{OL(CLKOUT)}$	CLKOUT 出力 Low レベル スレッショルド	$I_{OL} = 2\text{mA}$			0.4	V
$f_{SYNC-RANGE(FPWM)}$	2.2MHz f_{SW} を設定する同期周波数範囲	$R_{RT} = 6.81\text{k}\Omega$, 1%	1.76		2.64	MHz
$f_{SYNC-RANGE(FPWM)}$	300kHz f_{SW} を設定する同期周波数範囲	$R_{RT} = 54.2\text{k}\Omega$, 1%	240		360	kHz
$t_{SYNC(TON-MIN)}$	外部 SYNC 信号の最小正パルス幅				80	ns
$t_{SYNC(TOFF-MIN)}$	外部 SYNC 信号の最小負パルス幅				80	ns
$t_{SYNC-SW-DLY}$	SYNC から SW への遅延時間			42	75	ns

6.5 電気的特性 (続き)

特に記述のない限り、各制限値は推奨動作接合部温度 (T_J) 範囲 ($-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$) にわたって適用されます。最小値および最大値は、試験、設計、および統計の相関に基づいて規定されています。標準値は $T_J = 25^{\circ}\text{C}$ における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。 $V_{IN} = 13.5\text{V}$ 、 $V_{EN} = V_{IN}$ 、 $V_{OUT} = 3.3\text{V}$ 、 $F_{SW} = 2.2\text{MHz}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
デュアル ランダム スペクトラム 拡散						
Δf_{SS1-LF}	低周波数の三角波スペクトラム拡散変調範囲 - 標準	DRSS ビン フローティング。		8.5		%
Δf_{SS2-LF}	低周波数の三角波スペクトラム拡散変調範囲 - 拡張	$R_{DRSS} = 150\text{k}\Omega$ 、1%		17		%
f_{m1-LF}	三角波変調周波数 - 標準	DRSS ビンフローティング	7.2	12.3	17.5	kHz
f_{m2-LF}	三角波変調周波数 - 拡張	$R_{DRSS} = 150\text{k}\Omega$ 、1%	3.6	6.6	9.5	kHz
Δf_{SS-HF}	高周波の疑似ランダム拡散スペクトラム変調範囲	$R_{DRSS} = 150\text{k}\Omega$ 、1% または DRSS ビン フローティング		2.5		%
電力段						
$R_{DS-ON-HS}$	ハイサイド FET オン抵抗	$I_{SW} = 500\text{mA}$ 、 $V_{BOOT-SW} = 3.3\text{V}$		11		m Ω
$R_{DS-ON-LS}$	ローサイド FET オン抵抗			6.5		m Ω
$t_{ON-MIN}(FPWM)$	最小オン時間 ⁽¹⁾	FPWM: $I_{OUT} = 0\text{A}$ 、 $R_{RT} = 6.81\text{k}\Omega$		32		ns
$t_{ON-MIN}(AUTO)$	最小オン時間 ⁽¹⁾	自動: $I_{OUT} = 2\text{A}$ 、 $R_{RT} = 6.81\text{k}\Omega$		32		ns
$t_{OFF-MIN}$	最小オフ時間	$V_{IN} = 4\text{V}$ 、 $F_{sw} = 2.2\text{MHz}$ 、 $R_{RT} = 6.81\text{k}\Omega$		110	155	ns
t_{ON-MAX}	最大オン時間	$F_{sw} = 300\text{kHz}$ 、 $R_{RT} = 54.2\text{k}\Omega$		12		μs
サーマル シャットダウン						
T_{SD}	サーマル シャットダウン ⁽¹⁾	シャットダウン スレッショルド	155	165	177	$^{\circ}\text{C}$
		復帰スレッショルド		156		$^{\circ}\text{C}$

(1) 設計により規定されています。

6.6 代表的特性

$V_{IN} = 12V$ (特に記述のない限り)

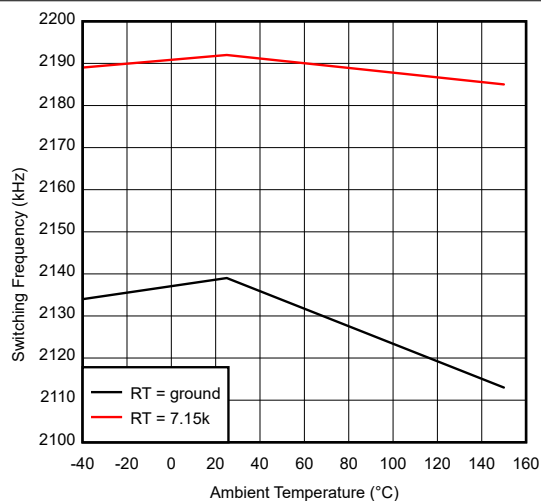


図 6-1. スイッチング周波数

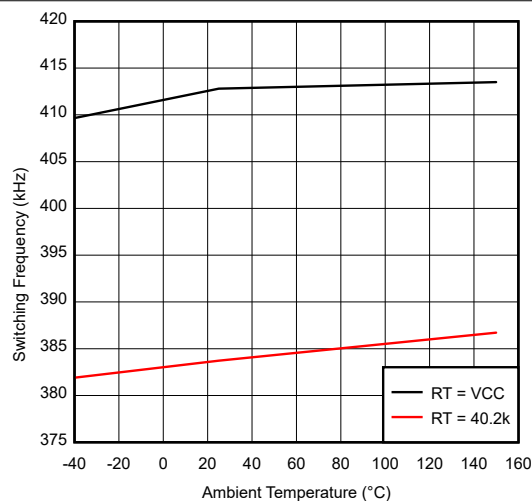


図 6-2. スイッチング周波数

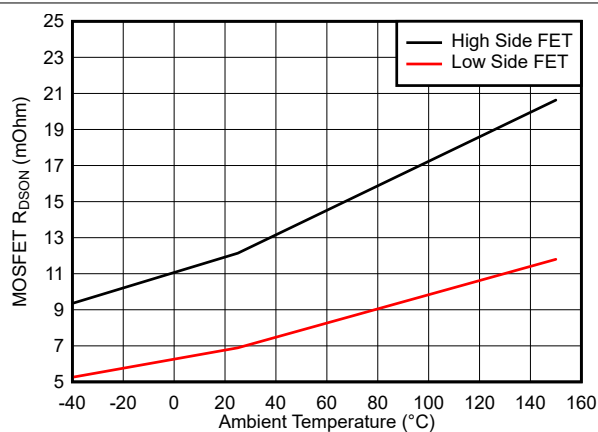


図 6-3. MOSFET $R_{DS(on)}$

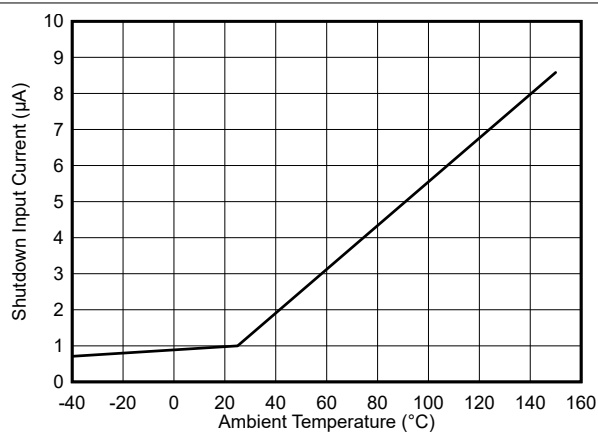


図 6-4. シャットダウン電流

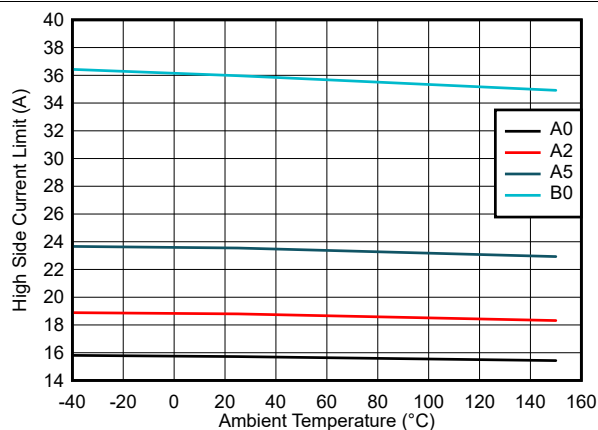


図 6-5. ハイサイド電流制限

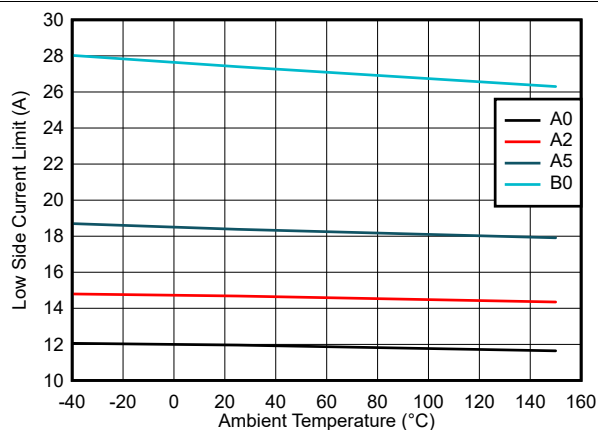


図 6-6. ローサイド電流制限

6.6 代表的特性 (続き)

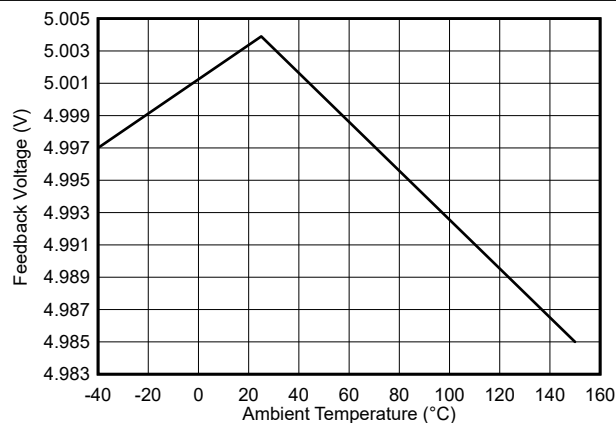


図 6-7. 5V フィードバック電圧

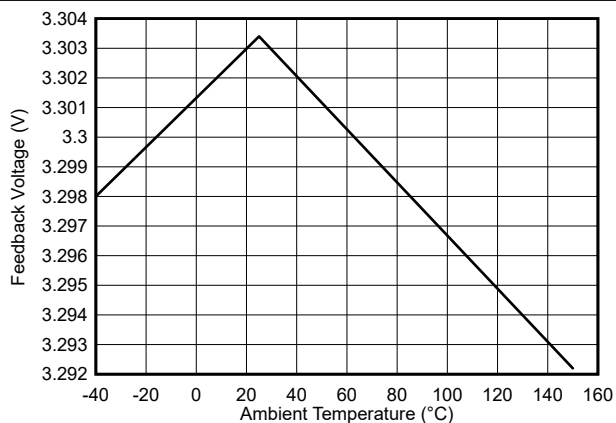


図 6-8. 3.3V フィードバック電圧

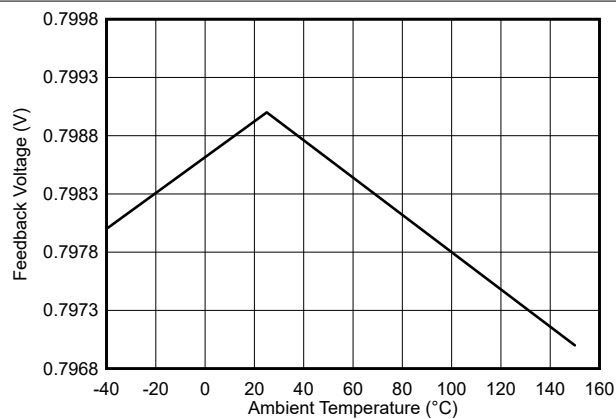
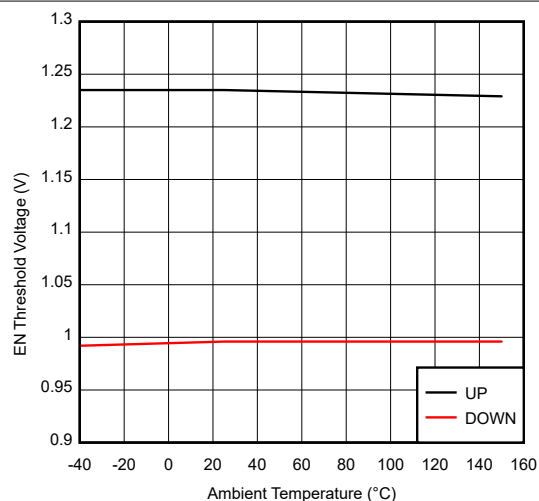


図 6-9. ADJ フィードバック電圧



$V_{IN} = 12V$

図 6-10. イネーブル スレッショルド

7 詳細説明

7.1 概要

LM654xx-Q1 は、高効率、高電力密度、スタッカブル、超低 EMI 降圧コンバータのファミリです。これらのコンバータは 3V ~ 36V の広い入力電圧範囲で動作し、固定出力電圧は 3.3V、5V、または可変出力構成をピンで選択できます。

最小オン時間 32ns の電流モード制御アーキテクチャにより、高周波数での高い変換比、高速過渡応答、優れた負荷およびラインレギュレーションを可能にします。最小オン時間またはオフ時間を超えた場合、自動周波数フォールドバックが発生します。この機能により、ロードダンプイベントやコールドクランク状況中でもレギュレーションを維持できます。

このデバイスは、要求の厳しい車載用および高性能産業用環境で動作しながら、最終製品のコストとサイズが最小化されるように設計されています。LM654xx-Q1 は、固定 400kHz または固定 2.2MHz で動作させるか、RT ピンを使用して 300kHz ~ 2.2MHz の任意の周波数で動作するように設定できます。内部補償と正確な電流制限方式により、BOM コストと部品数を最小限に抑えることができます。

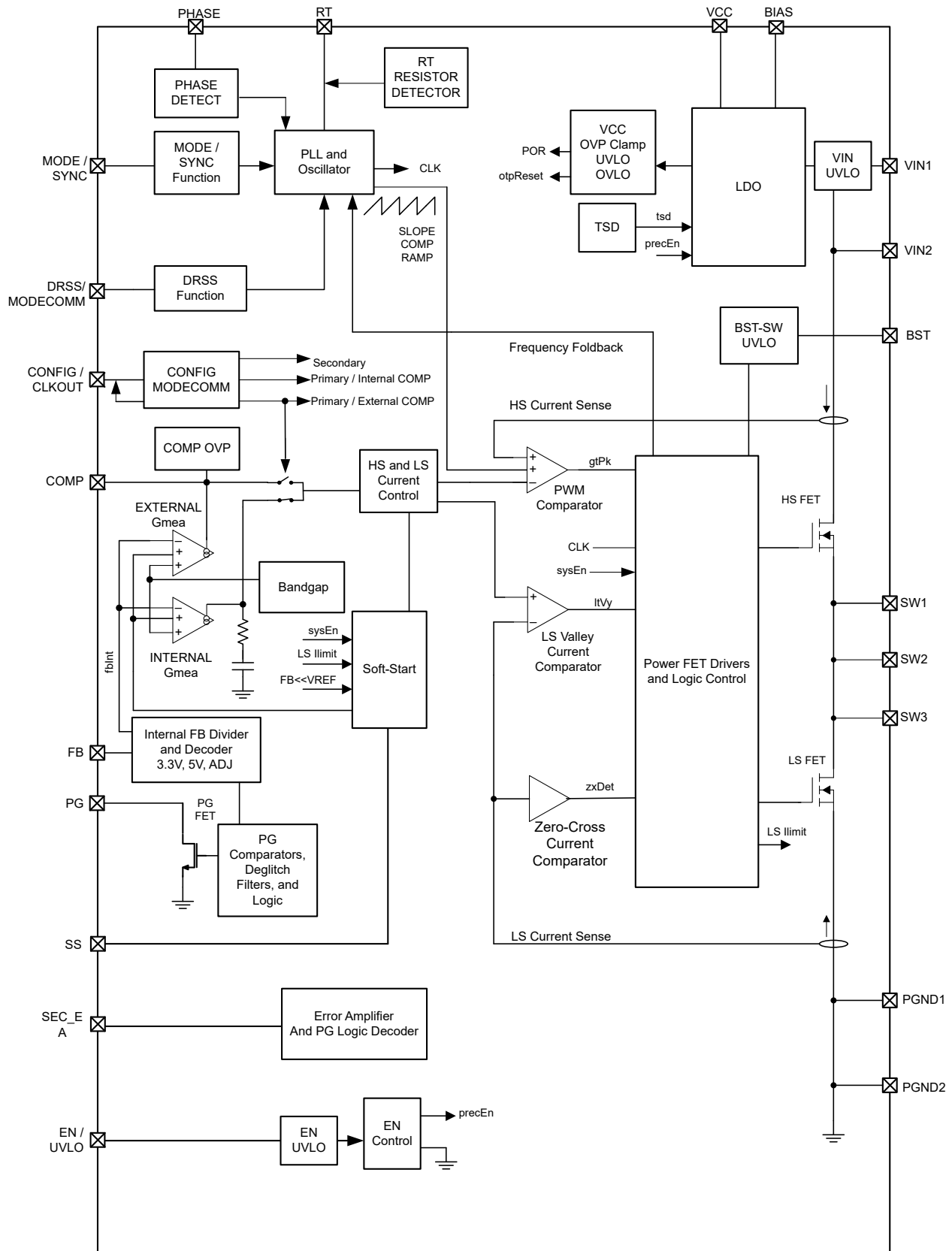
LM654xx-Q1 は、低 EMI 向けに設計されており、次の機能を備えています。

- ピンで構成可能な +8.5% または +17% のデュアルランダムスペクトラム拡散 (DRSS) 周波数ホッピング
- 対称型のピン配置、低インダクタンスパッケージ
- AM ラジオ帯域外の周波数範囲で動作
- 外部クロック同期機能とともに、自動または FPWM モードをピンで構成可能

これらの機能を組み合わせることで、シールドやその他の高価な EMI 軽減対策を削減または不要にできます。

このデバイスを信頼性を重視する環境で使用するため、LM654xx-Q1 は大きくしたコーナー端子付きパッケージを採用しており、ボードレベルの信頼性の向上と、ウェットブルフランクによる光学検査が可能です。

7.2 機能ブロック図



7.3 機能説明

7.3.1 出力電圧の選択

LM654xx-Q1 は、固定出力電圧モードと可変出力電圧モードをピンで選択できることが特徴です。固定出力電圧モードでは、出力電圧は FB ピンによって選択されます。FB ピンを GND に接続して 3.3V 出力を選択するか、VCC に接続して 5V 出力を選択します。固定出力電圧モードを選択すると、BIAS ピンをレギュレータの出力に直接接続する必要があります。このモードでは、BIAS ピンがレギュレータの帰還ループを閉じ、内部 VCC レギュレータに入力電力を供給します。

表 7-1. 出力電圧の選択

FB	VOUT
GND への短絡	3.3V
VCC への短絡	5V
帰還抵抗デバイダのタップ ポイントに接続 (図 7-1)	ADJ

可変出力電圧モードでは、レギュレータの出力電圧と FB ピンとの間に分圧器を接続します。抵抗値は、目的の出力電圧とレギュレータの 0.8V 電圧リファレンスに基づいて計算します。接続の詳細については、図 7-1 を参照してください。

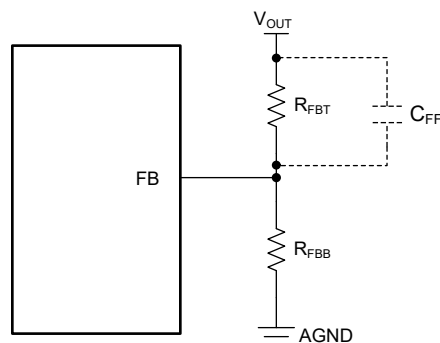


図 7-1. 可変バージョンの出力電圧の設定

R_{FBT} の目的の値に基づいて R_{FBB} の値を選択するには、式 1 を使用します。 R_{FBT} の値を 100kΩ 以下に制限するのが最適なやり方です。抵抗値が大きいと、環境汚染によって PCB 上のリーク電流の影響を受けやすくなり、目的の出力電圧がシフトする可能性があります。PCB の過剰なリーク電流がない場合、無負荷時の電源電流を低減するために、約 1MΩ までの値を使用できます。

$$R_{FBB} = R_{FBT} \times \frac{0.8}{V_{OUT} - 0.8} \quad (1)$$

場合によっては、可変モードを使用する際に、フィードフォワード コンデンサを使用することで、ループ位相マージンと負荷過渡応答を改善できます。 C_{FF} の正確な値は、設計の初期ベンチ評価時に経験的に選択するのが最適です。いずれにしても、アプリケーションの開発中に必要になった場合に備え、このコンデンサ用のプレースホルダを PCB レイアウトに配置しておくことがベストプラクティスです。

7.3.2 EN ピンおよび V_{IN} UVLO としての使用

起動とシャットダウンは、EN 入力により制御されます。この入力は高精度のスレッシュホールドを備えており、外付け分圧器を使用して入力低電圧ロックアウト (UVLO) を調整できます。約 0.9V を超える電圧を印加すると、デバイスはスタンバイモードに移行し、内部 VCC に電力を供給しますが、出力電圧は生成しません。EN 電圧を $V_{EN_TH_R}$ に上げると、本デバイスが完全にイネーブルされ、本デバイスは起動モードに移行し、ソフトスタート期間を開始できます。EN 入力が $V_{EN_TH_F}$ を下回ると、レギュレータはスイッチングを停止し、スタンバイモードに移行します。EN 電圧が 0.9V 未満にさらに低下すると、デバイスが完全にシャットダウンされ、シャットダウン電流は 1.4μA (標準値) 未満になります。この機能が

必要ない場合は、EN 入力を VIN に直接接続できます。ピンがフローティング状態になるとデバイスが強制的にオフになるので、イネーブルをフローティングにしないでください。各種の EN スレッシュホールドの値については、電気的特性表を参照してください。内部の VIN UVLO は EN 入力よりも優先されることに注意してください。本デバイスは、入力電圧が VIN_{UVLO(R)} を上回っていない限り起動しません。一方、入力電圧が VIN_{UVLO(F)} を下回ると、デバイスはシャットダウンします。

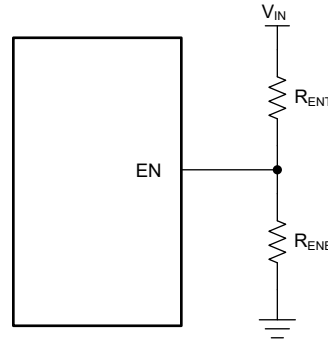


図 7-2. EN ピンを使った VIN/UVLO

場合によっては、本デバイスが内部的に備えているものとは異なる入力 UVLO レベルが必要とされることがあります。この機能は、特別なシーケンシング、または電源ケーブルが過度に長いことによる入力電圧の発振の防止に使用できます。外付けの UVLO は、図 7-2 に示す回路を使うことで実現できます。本デバイスがオンする入力電圧を V_{ON}、オフする入力電圧を V_{OFF} と表します。精度を維持するため、分圧器の電流は EN 入力に流れる電流 (I_{EN_LKG}) より大きくする必要があります。R_{ENB} の値が 10kΩ と 50kΩ の間であれば妥当です。次に 式 2 を使って R_{ENT} を計算し、式 3 を使って V_{OFF} を計算します。

$$R_{ENT} = R_{ENB} \times \left(\frac{V_{ON}}{V_{EN_TH_R}} - 1 \right) \quad (2)$$

$$V_{OFF} = V_{ON} \times \left(\frac{V_{EN_TH_F}}{V_{EN_TH_R}} \right) \quad (3)$$

ここで、

- V_{ON} = V_{IN} のターンオン電圧
- V_{OFF} = V_{IN} のターンオフ電圧

7.3.3 デバイス設定

デバイス構成は CONFIG ピンで実装されています。

CONFIG ピンは、内部補償 (単相動作) または外部補償 (単相またはマルチフェーズ動作) のいずれかを選択し、以下の表に示すように DRSS/MODECOMM ピンの機能に影響を及ぼします。

表 7-2. デバイス設定

CONFIG ピン	構成	DRSS/MODECOMM ピンの機能
GND への短絡	セカンダリデバイス、CLKOUT ディスエーブル	MODECOMM 入力
GND ～ 49.9kΩ	プライマリデバイス、外部 COMP、CLKOUT イネーブル	DRSS 制御/MODECOMM 出力
VCC への短絡	プライマリデバイス、内部 COMP、CLKOUT ディスエーブル	DRSS 制御

7.3.4 モード選択

MODE/SYNC ピンは、動作モードを設定し、さらに外部の同期信号の入力として機能するマルチファンクション ピンです。このピンが接地されているか、ロジック Low に駆動されると、コンバータは自動モードで動作します。このピンが VCC に接続されているか、ロジック High に駆動されている場合、または外部クロック ソースに同期している場合、コンバータは FPWM モードで動作します。

デバイスを自動モードから FPWM モードに移行するには、ピンを Low から High に駆動するか、同期信号を送信する必要があります。デバイスを FPWM モードから自動モードに遷移させるには、ピンを High から Low に駆動するか、同期信号の送信を停止する必要があります。

7.3.4.1 MODE/SYNC ピンを使用した同期

LM654xx-Q1 の MODE/SYNC ピンを使用して、内部発振器を外部クロックに同期することができます。内部発振器は、立ち上がりエッジをピンにカップリングすることで同期できます。内部同期パルス検出器をトリップさせるには、ピンの結合エッジ電圧が SYNC 振幅スレッシュホルド ($V_{IH}(\text{SYNC})$) を上回る必要があります。最小 SYNC オンパルスおよびオフパルス幅は、それぞれ $t_{\text{SYNC}}(\text{TON-MIN})$ および $t_{\text{SYNC}}(\text{TOFF-MIN})$ よりも長くする必要があります。LM654xx-Q1 のスイッチング動作は、300kHz ~ 2.2MHz の外部クロックと同期することが可能です。

外部 SYNC 信号は、ピンの検出の前または後にのみ、デバイスによって認識されることに注意してください。つまり、デバイスが有効になる前、または有効になった後の 2ms ($t_{\text{EN_HIGH}}$) です。ピン検出中に印加されると、SYNC 信号は検出できません。

内部スロープ補償ランプが正しく機能するためには、同期周波数が、RT ピンで設定された周波数の $\pm 20\%$ の範囲内である必要があります。

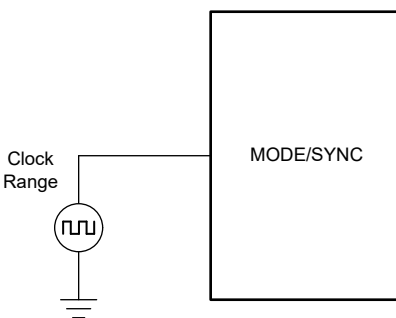
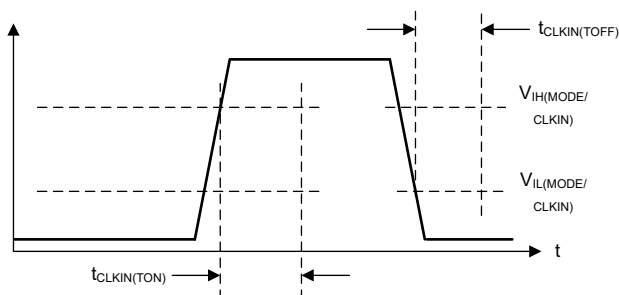


図 7-3. MODE/SYNC ピンを使用した同期ができる代表的な実装



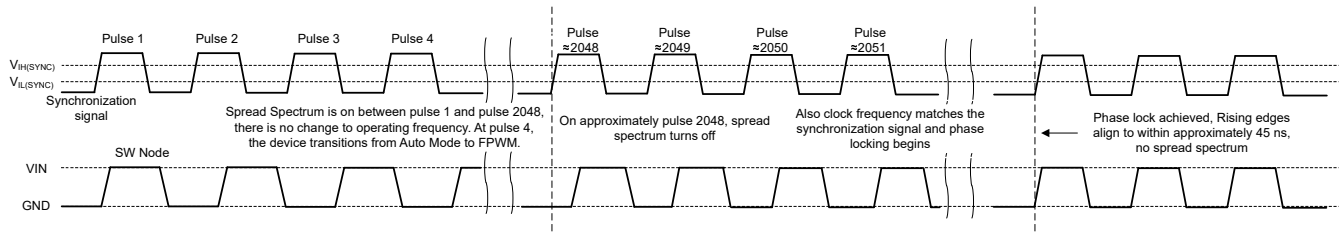
この図に、同期信号を検出するために必要な条件を示します。

図 7-4. 代表的な SYNC 波形

7.3.4.2 クロックのロック

有効な同期信号が検出された後、クロック ロック手順が開始されます。約 2048 パルスの後、クロック周波数は同期信号の周波数へ突然変化します。周波数が突然調整されますが、位相は維持され、そのクロック サイクルは、デフォルトの周

波数で動作する際のクロック サイクルと同期周波数で動作する際のクロック サイクルとの間の長さになります。長すぎる、または短すぎるパルスはありません。周波数が調整された後、立ち上がり同期エッジが立ち上がり SW ノードパルスに対応するように、数 10 サイクルかけて位相が調整されます。図 7-5 を参照してください。



パルス 4 で、同期信号が検出されます。約 2048 パルスの後、同期信号の同期準備が整い、グリッチ フリーの手法を使用して周波数を調整し、位相をロックします。

図 7-5. 同期プロセス

7.3.5 調整可能なスイッチング周波数と位相シフト

RT ピンは設定可能です。このピンを VCC に接続すると 400kHz で動作し、グラウンドに接続すると 2.2MHz で動作します。また、GND への抵抗を使用して中間動作周波数を設定できます。抵抗値が 6.81kΩ ~ 54.2kΩ の範囲外になると、デバイスが 400kHz または 2.2MHz に戻ることに注意してください。強制的に同期させる目的で、このピンにパルス信号を印加することはしないでください。同期が必要な場合は、セクション 7.3.4.1 の SYNC/MODE ピンを参照してください。

式 4 を使用して、目的のスイッチング周波数に対応する RT を選択します。

$$R_T(k\Omega) = \frac{14972}{f_{SW}(kHz) - 8.5} \quad (4)$$

たとえば、 $f_{SW} = 380kHz$ 、 $R_T = 40.3k\Omega$ の場合、最も近い値として 40.2kΩ 抵抗を選択できます。

プライマリとセカンダリ間の位相シフトは、PHASE ピンのステータスによって制御されます。2 相 (または単相) 設計の場合、プライマリとセカンダリの PHASE ピンをグラウンドに接続します。セカンダリは、プライマリから 180° の位相差がある状態でクロックされます。プライマリの CONFIG/CLKOUT ピンをセカンダリの SYNC/MODE ピンに接続します。詳しくは、図 8-5 を参照してください。

3 相以上の設計の場合、プライマリの PHASE ピンを VCC に接続します。セカンダリの PHASE ピンは、分割 RT 抵抗のタップに接続されます。この場合、RT ピンと PHASE ピンの間に分圧器があります。分圧器の 2 つの抵抗の合計値は、プライマリの RT 抵抗の値と等しくなければなりません。特定のセカンダリのプライマリに対する位相シフトは、1V のリファレンス電圧に対する PHASE ピンの電圧に比例します。たとえば、PHASE ピンが 0.5V の場合、180° の位相シフトが生じます。表 7-3 ~ 表 7-6 に、例を示します。また、LM654xx クイック スタートツールは、正しい抵抗値を自動的に計算します。プライマリの CONFIG/CLKOUT ピンは、セカンダリの SYNC/MODE ピンに接続します。図 8-6 を参照してください。

以下の表に、各種の構成および周波数に対する推奨位相遅延を示します。

表 7-3. 位相数に対して推奨されるセカンダリ位相シフト

	45°	60°	90°	120°	135°	180°	225°	240°	270°	300°	315°
2 相						X					
3 相				X				X			
4 相			X			X			X		
6 相		X		X		X		X		X	
8 相	X		X		X	X	X		X		X

表 7-4. 380kHz の RT 抵抗

RT	0° プライマリ	45°	60°	90°	120°	135°	180°	225°	240°	270°	300°	315°
RT _{top}	40.2kΩ	34.8kΩ	33.2kΩ	30.1kΩ	26.7kΩ	24.9kΩ	20kΩ	15kΩ	13.3kΩ	10kΩ	6.65kΩ	4.99kΩ
RT _{bott}	該当なし	4.99kΩ	6.65kΩ	10kΩ	13.3kΩ	15kΩ	20kΩ	24.9kΩ	26.7kΩ	30.1kΩ	33.2kΩ	34.8kΩ

表 7-5. 1000kHz の RT 抵抗

RT	0° プライマリ	45°	60°	90°	120°	135°	180°	225°	240°	270°	300°	315°
RT _{top}	15.8kΩ	13.7kΩ	13.3kΩ	11.8kΩ	10.5kΩ	10kΩ	7.87kΩ	5.9kΩ	5.23kΩ	3.92kΩ	2.61kΩ	2kΩ
RT _{bott}	該当なし	2kΩ	2.61kΩ	3.92kΩ	5.23kΩ	5.9kΩ	7.87kΩ	10kΩ	10.5kΩ	11.8kΩ	13.3kΩ	13.7kΩ

表 7-6. 2100kHz の RT 抵抗

RT	0° プライマリ	45°	60°	90°	120°	135°	180°	225°	240°	270°	300°	315°
RT _{top}	7.15kΩ	6.34kΩ	5.9kΩ	5.36kΩ	4.75kΩ	4.53kΩ	3.57kΩ	2.67kΩ	2.37kΩ	1.78kΩ	1.11kΩ	0.886kΩ
RT _{bott}	該当なし	0.886kΩ	1.18kΩ	1.78kΩ	2.37kΩ	2.67kΩ	3.57kΩ	4.53kΩ	4.75kΩ	5.36kΩ	5.9kΩ	6.34kΩ

7.3.6 デュアル ランダム スペクトラム拡散機能 (DRSS)

LM654xx-Q1 にはデュアル ランダム スペクトラム拡散 (DRSS) 機能があり、広い周波数範囲にわたって電源の EMI を低減します。図 7-6 を参照してください。DRSS 機能は、低周波数の三角波変調プロファイル (標準または幅広) と、高周波数のサイクル単位の疑似ランダム変調プロファイルを組み合わせたものです。低周波数の三角波変調は低い無線周波数帯域で性能を向上させ、高周波のランダム変調は高い無線周波数帯域で性能を向上させます。

低周波数の三角波変調プロファイルはピンで選択可能です。標準の低周波数変調プロファイルは、スイッチング周波数を 8.5% 拡散し、広い低周波数変調プロファイルは、スイッチング周波数を 17% 拡散します。

表 7-7. 外部エラー アンプ設計向けの DRSS 設定

MODECOM/DRSS ピン プライマリ デバイス	DRSS プロファイル
セカンダリ デバイスの MODECOM/DRSS に接続	17% の周波数拡散
セカンダリ デバイスに接続、149.9kΩ で GND に接続	8.5% の周波数拡散
セカンダリ デバイスに接続、49.9kΩ で GND に接続	スペクトラム拡散をディスエーブル
GND	スペクトラム拡散をディスエーブル
VCC	スペクトラム拡散をディスエーブル

表 7-8. 単相内部エラー アンプ設計向けの DRSS 設定

MODECOM/DRSS ピン	DRSS プロファイル
フローティング	17% の周波数拡散
GND へ 149.9kΩ	8.5% の周波数拡散
GND へ 49.9kΩ	スペクトラム拡散をディスエーブル
GND への短絡	スペクトラム拡散をディスエーブル
VCC への短絡	17% の周波数拡散

スペクトラム拡散は、狭帯域信号を広帯域信号に変換し、エネルギーを複数の周波数にわたって拡散することで機能します。業界規格では、周波数帯域ごとに異なるスペクトラム アナライザの解像度の帯域幅 (RBW) の設定を要求しています。RBW はスペクトラム拡散の性能に影響を及ぼします。たとえば、CISPR-25 は、150kHz から 30MHz の周波数帯域で 9kHz の RBW を必要とします。30MHz を超える周波数の場合、必要な RBW は 120kHz です。DRSS は、低周波数の三角波変調と高周波数のサイクル単位疑似ランダム変調により、高 RBW および低 RBW での EMI 性能を同時に向上できます。DRSS 関数を使用すると、低周波数帯域 (150kHz ~ 30MHz) では伝導エミッションを最大 15dBμV、高

周波帯域 (30MHz ~ 108MHz) では最大 5dBμV 低減できます。MODE/SYNC ピンに外部クロックが印加されると、DRSS 機能はディスエーブルになります。

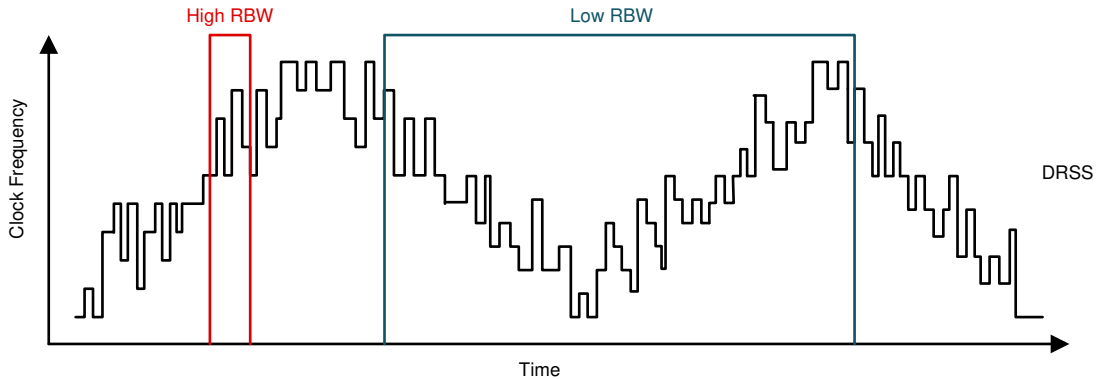


図 7-6. デュアル ランダム スペクトラム拡散機能の実装

7.3.7 内部 LDO、VCC UVLO、BIAS 入力

LM654xx-Q1 の BIAS ピンは、内部 VCC レギュレータの入力電源電圧です。このレギュレータは、MOSFET ドライバや BST コンデンサを含む内部回路のほとんどの電力を供給します。このピンは帰還ループも閉じるため、固定 VOUT アプリケーションの場合、BIAS ピンは VOUT に接続する必要があります。この場合、VCC LDO には VOUT から電力供給され、特定の動作条件で効率を向上させるのに役立ちます。可変出力電圧アプリケーションの場合、BIAS ピンを接地するか、VOUT または外部電源に接続します。BIAS ピンを接地すると、VCC LDO は、レギュレータの入力電源から電力を受け取ります。その他の接続では、BIAS ピンの電圧は 3.2V ~ 30V の範囲内にする必要があります。電圧が低いほど効率が向上します。

VCC ピンは内部 LDO の出力であり、VCC から PGND への X7R 以上の誘電体を使用した、定格 10V の高品質な 1μF セラミックコンデンサが必要です。レギュレータへの有効な入力電圧が存在していると仮定すると、VCC 電圧は通常 3.2V ~ 3.3V です。このピンはロジックプルアップに使用できますが、外部回路の負荷として使用することはできません。不適切な動作を防止するため、VCC には、VCC 電圧が低すぎる場合にスイッチングを止める UVLO が備わっています。セクション 6.5 の VCC-UVLO_R および VCC-UVLO_HYST を参照してください。起動中、VCC は瞬間的に通常の動作電圧を超えて VCC-UVLO_R を上回った後、通常の動作電圧まで低下します。

7.3.8 ブートストラップ電圧 (BST ピン)

BST ピンとレギュレータの SW ピンの 1 つの間に、ブートコンデンサを接続する必要があります。このコンデンサは、ハイサイド パワー MOSFET にゲート駆動電圧を供給します。これには、X7R 以上の誘電体を使用した、定格 10V の高品質な 100nF セラミックコンデンサを使用する必要があります。

7.3.9 ソフトスタートとドロップアウトからの回復

ソフトスタート機能は、出力電圧を 0V から設定された出力電圧まで段階的に引き上げることができます。これにより、レギュレータの出力電圧における突入電流やオーバーシュートを抑制できます。ソフトスタートは、以下のいずれかの条件によってトリガされます。

- 本デバイスをオンにするために EN が使われた。
- ヒカップ待機期間からの回復。セクション 7.3.10.3 参照。
- 過熱保護によるシャットダウンから回復した。
- IC の VIN に電力が供給されるか、VCC の UVLO が解除されています。

ソフトスタートが開始された後、本 IC は以下の動作を実行します。

- 出力電圧を制御するために本 IC が使用する基準電圧が、ゆっくりと 0 から上昇します。その結果、出力電圧が (それまで 0V だった場合)、t_{SS} の時間をかけて制御値の 90% に達します。

- 動作モードが **AUTO** に設定され、ダイオード エミュレーションを有効化する。この動作により、電圧がすでに出力されていても、出力電圧を **Low** にすることなく起動できます。
- ヒカップは、ソフトスタート中ディスエーブルになります ([セクション 7.3.10.3](#) を参照)。

これらの動作をすべて組み合わせることで、スタートアップ時の突入電流を制限できます。また、これらの動作により、起動時に電流を制限する原因となる可能性がある出力コンデンサと負荷条件を、ヒカップをトリガすることなく使用できます。また、出力電圧がすでに存在している場合、出力電圧は放電しません。

SS ピンがオープンの場合、レギュレーション ポイントの **90%** に達するまでのデフォルトのソフトスタート時間は約 **2.6ms** (標準値) です。**SS** ピンとグランドとの間に高品質なセラミック コンデンサを配置することで、この時間を延長できます。[式 5](#) を使用して、適切なコンデンサ値を選択してください。

$$C_{SS}[\mu F] = 0.031 \times T_{SS}[ms] \quad (5)$$

何らかの理由で出力電圧がレギュレーション ポイントを数%下回った場合、その要因が解消された後、出力電圧は緩やかに上昇します。この動作はドロップアウト条件からの回復で、ソフトスタートとは以下の **3** つの重要な点で異なります。

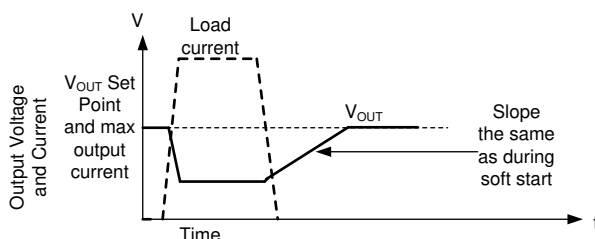
- 出力電圧がそのレギュレーション ポイントの **0.4** 倍未満である場合に限り、ヒカップが許可される。ドロップアウトレギュレーションの間、ヒカップは禁止されることに注意します。[セクション 7.3.10.3](#) を参照してください。
- ドロップアウトからの回復中、**FPWM** モードが許可される。外部電源によって出力電圧が突然プルアップされた場合、**LM654xx-Q1** は出力をプルダウンする場合があります。通常動作中に存在するすべての保護機能は作動しており、出力が高い電圧またはグランドに短絡した場合にデバイスを保護していることに注意します。
- リファレンス電圧はレギュレーション ポイントより約 **1%** 高い値に設定されます。リファレンス電圧はゼロから開始されません。

名称にもかかわらず、以下の条件で出力電圧がレギュレーション ポイントより数%下回った場合、常にドロップアウトからの回復が有効になります。

- デューティサイクルが、最小オン時間によって制御されるか、あるいは、
- デバイスが電流制限で動作している。

この動作は主に、以下の条件で発生します。

- ドロップアウト: 目的の出力電圧を安定化させるために必要な入力電圧が不足している状態。
- ヒカップをトリガするのに十分な大きさではない電流制限、または期間が短すぎてヒカップをトリガできない場合。[セクション 7.3.10.3](#) を参照してください。



出力電圧の低下が、高負荷と低入力電圧のどちらによるものであっても、出力のレギュレーション イベントの原因となった条件が解消された後、起動時と同じ速度で出力は上昇します。ドロップアウトが原因でヒカップがトリガされなかったとしても、回復中、**128** クロック サイクル以上にわたって出力電圧が設定点の **0.4** 倍を下回った場合、原則として、回復中にヒカップがトリガされます。

図 7-7. ドロップアウトからの回復

7.3.10 安全関連の特長

LM654xx-Q1 は、以下の安全機能セットを備えています。

- 出力低電圧 (UV) および過電圧 (OV) 保護機能を備えたパワーグッドモニタ

- ヒックアップ モードによる過電流および出力短絡保護回路
- サーマル シャットダウン (TSD)

7.3.10.1 パワー グッド モニタ

LM654xx-Q1 は、システムの電源シーケンシングと監視を簡素化するためのパワーグッド機能を備えています。パワーグッド機能を使用すると、LM654xx-Q1 から電源を供給されるダウンストリームの回路をイネーブルにしたり、ロードスイッチなどのダウンストリームの保護回路を制御したり、あるいはシーケンス電源を起動したりできます。この機能は、可変 V_{OUT} の設定では FB ピンを、固定 V_{OUT} の設定では BIAS ピンを使用して、ウィンドウ コンパレータにより出力電圧を監視します。パワーグッド出力 (PG) は、出力電圧がレギュレーション状態のときに、高インピーダンスのオープンドレイン状態に切り替わります。出力電圧が設定電圧から $\pm 5\%$ の範囲を超えると、PG ピンが $LOW (< V_{OL(PG)})$ に駆動され、出力の過電圧または低電圧状態をシステムに警告します。PG の立下りエッジの $114\mu s$ のグリッチ除去フィルタにより、遷移中のパワーグッド信号の誤トリップが防止されます。出力電圧がレギュレーションウィンドウ内に戻ると、PG の立ち上がりエッジに $2ms$ のフィルタが接続されているため、ダウンストリーム部品のための追加の処理時間が得られます。

TI は、PG ピンと関連する $30V$ 以下のロジック レールとの間に $100k\Omega$ プルアップ抵抗を入れることを推奨しています。ソフトスタート中で LM654xx-Q1 が無効であり、VIN が $V_{IN(PG-VALID)}$ を超えている場合、PG が Low にアサートされます。セカンダリ デバイスでは、出力電圧監視が無効になり、パワーグッドが Low レベルに引き下がります。

7.3.10.2 過電流および短絡保護

LM654xx-Q1 は、ハイサイド MOSFET とローサイド MOSFET の両方でサイクル毎に電流を制限することで、過電流状態から保護されます。

下限側 MOSFET 過電流保護機能は、ピーク電流のモード制御の性質を利用して実装されています。ハイサイド スイッチ電流は、短いブランキング時間の後でハイサイド FET がオンになったときに検出されます。ハイサイド スイッチ電流は、固定電流設定点、または電圧レギュレーション ループの出力からスローブ補償を引いた値のうち、どちらか小さい方と、スイッチング サイクルごとに比較されます。このため、スイッチのデューティサイクルが増加すると、ハイサイド ピーク電流制限がわずかに低下します。デューティサイクルによるハイサイド電流制限の代表的な変動については、図 7-8 を参照してください。

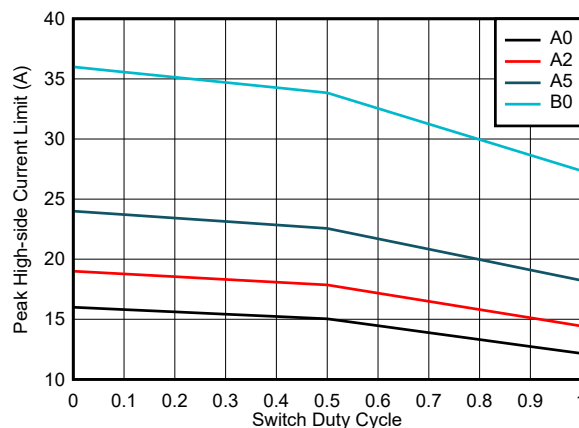


図 7-8. ハイサイド電流制限とデューティ サイクルとの関係

ローサイド スイッチがオンになると、電流も検出されます。ローサイド MOSFET は、ハイサイド MOSFET と同様に、電圧制御ループの指示に従ってオフになります。ローサイド FET では、発振器が正常に新しいスイッチング サイクルを開始したとしても、電流制限を超えるとターンオフは禁止されます。値については、「電気的特性」を参照してください。ローサイド電流制限を超えると、ローサイド MOSFET はオンのままで、ハイサイド スイッチはオンになりません。ローサイド電流が制限値を下回った後で、ローサイド スイッチがオフになります。ハイサイド デバイスが最後にオンになってから 1 クロック周期以上が経過すると、ハイサイド スイッチは再度オンになります。

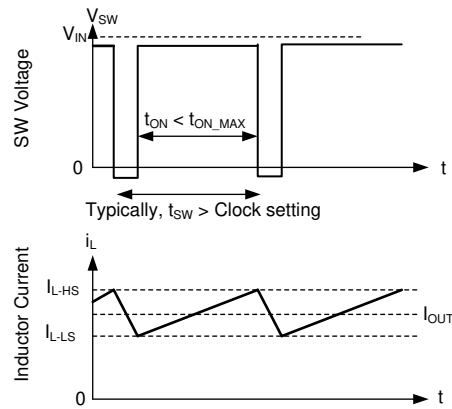


図 7-9. 電流制限波形

したがって、最大出力電流は、ハイサイドとローサイドの両方のピーク電流制限によって制御されます。式 6 を使用して、最大負荷電流の近似値を計算してください。出力に重大な過負荷または短絡が発生すると、本デバイスはヒカップ電流制限モードに移行します。この場合、出力電流はフォールドバックされ、非常に低いレベルまで低下し、デバイスの過剰な発熱を防ぎます。セクション 7.3.10.3 も参照してください。

$$I_{OUT - MAX} \cong \frac{I_{HS - LIM} + I_{LS - LIM}}{2} \quad (6)$$

上記は、利用可能な最大出力電流に対する電流制限の影響を考慮しています。ただし、最大出力電流は熱的な制約によって制限される場合があります。この可能性は、セクション 8.2.2.8 で確認できます。いずれの場合も、2 つ以上の LM654xx レギュレータを並列接続すると、電流制限と熱的な制約に起因する問題を軽減できます。

過負荷状態が解消されると、本デバイスはソフトスタート中であるかのように回復します。「電気的特性」を参照してください。出力電圧が意図した出力電圧の約 0.4 倍を下回ると、ヒカップがトリガされる可能性があることに注意してください。

7.3.10.3 ヒカップ

LM654xx-Q1 は、128 の連続スイッチング サイクルにわたって、以下のすべての条件が満たされる場合、ヒカップ過電流保護に入ります。

- ソフトスタートが開始されてから、 t_{SS} 以上の時間が経過した (セクション 7.3.9 を参照)。
- 出力電圧がレギュレーション ポイントの約 40% を下回っています。
- 本デバイスがドロップアウト (最小オフ時間がデューティ係数によって制御されている状態) で動作していない。

ヒカップ モードに入ると、本デバイスはシャットダウンし、 t_{HI} 後にソフトスタートを試みます。ヒカップモードは、過酷な過電流条件と短絡の際に本デバイスの消費電力を低減するのに役立ちます。代表的な波形については、セクション 8.2.3 を参照してください。

ヒカップ モードでは、平均出力電流がデバイスのハイサイド電流制限値の約 25% まで低減されます。

7.3.10.4 サーマル シャットダウン

サーマル シャットダウンは、本 IC の接合部温度が 165°C (標準値) を超えると内部スイッチをオフにすることで、総消費電力を抑えるもので、155°C (最小値) 以下では動作しません。およそ 156°C (標準値) で復帰します。このヒステリシスにより、サーマル シャットダウンの発生直後のデバイスの再起動を防ぎます。接合部温度が 156°C を下回ると、LM654xx-Q1 はソフトスタートを試みます。

接合部温度が高く LM654xx-Q1 がシャットダウンしている間も、電力は VCC に供給され続けます。接合部温度が高いためにデバイスが無効になっている間、VCC に電力を供給する LDO の電流制限値が引き下げられ、VCC の短絡による過熱を防ぎます。

7.4 デバイスの機能モード

7.4.1 シャットダウンモード

EN ピンは、本デバイスの電氣的オン / オフ制御に使用できます。EN ピンの電圧が 0.9V を下回ると、レギュレータと内部 LDO の両方が電圧を出力しなくなり、本デバイスはシャットダウン モードに入ります。シャットダウン モードでは、静止電流が 1 μ A まで低下します。

7.4.2 アクティブモード

LM654xx-Q1 は、次の事象が発生するとアクティブ モードになります。

- EN ピンが V_{EN} を上回る。
- V_{IN} が $V_{IN_UVLO_R}$ を上回る。
- V_{IN} が、 V_{IN} の最小動作入力電圧を満たすのに十分な大きさである。
- その他の障害条件は存在しない。

保護機能については、[セクション 7.3](#) を参照してください。この動作を可能にする最も簡単な方法は、EN ピンを V_{IN} に接続することです。これにより、印加された入力電圧が最小 $V_{IN_OPERATE}$ を超えると自動的に起動できます。

アクティブ モードでは、負荷電流、入力電圧、出力電圧に応じて、LM654xx-Q1 は次の 6 つのサブモードのいずれかになります。

- 固定スイッチング周波数とピーク電流モード動作による連続導通モード (CCM)。
- 不連続導通モード (DCM) (自動モードのときに負荷電流がインダクタリップル電流の 1/2 未満である場合)電流が減少し続けると、デバイスはパルス周波数変調 (PFM) に移行します。これにより、軽負荷時にスイッチング周波数が低下して、スイッチング損失を低減しながらレギュレーションを維持し、高効率を実現します。
- 要求された低デューティサイクルでの全周波数動作に必要なデバイスのオン時間の最小オン時間動作は、 T_{ON_MIN} ではサポートされていません
- 固定スイッチング周波数の CCM に類似した強制パルス幅変調 (FPWM)、ただし、動作の固定周波数範囲を全負荷から無負荷まで拡張。
- 出力電圧が出力設定点の 0.4 倍を上回ったままの電流制限条件。
- 低下を最小限に抑えるためにスイッチング周波数が低下したときのドロップアウト モード。
- 出力電圧の設定点を除く他の動作モードと類似のドロップアウトからの回復は、プログラムされた設定点に達するまで徐々に上昇します。

7.4.2.1 ピーク電流モード動作

LM654xx-Q1 の以下の動作の説明は、[セクション 7.2](#) と [図 7-10](#) の波形を参照しています。両方とも、内蔵ハイサイド (HS) およびローサイド (LS) NMOS スイッチを各種デューティ サイクル (D) でオンにすることで、制御された出力電圧を供給します。HS スイッチのオン時間の間、SW 端子の電圧 (V_{SW}) は V_{IN} の付近までスイングし、インダクタ電流 (i_L) は線形的な傾きで増加します。HS スイッチは、制御ロジックによってオフにされます。HS スイッチのオフ時間 (t_{OFF}) の間、LS スイッチはオンにされます。インダクタ電流は LS スイッチを通して放電され、LS スイッチの両端の電圧降下によって V_{SW} をグランドより低い電圧まで強制的にスイングさせます。一定の出力電圧を維持するため、レギュレータ ループはデューティ サイクルを調整します。D は、HS スイッチのオン時間をスイッチング周期で割った値として次のように定義されます。 $D = T_{ON} / (T_{ON} + T_{OFF})$ 。

損失が無視される理想的な降圧コンバータでは、次のように D は出力電圧に比例し、入力電圧に反比例します。 $D = V_{OUT} / V_{IN}$ 。

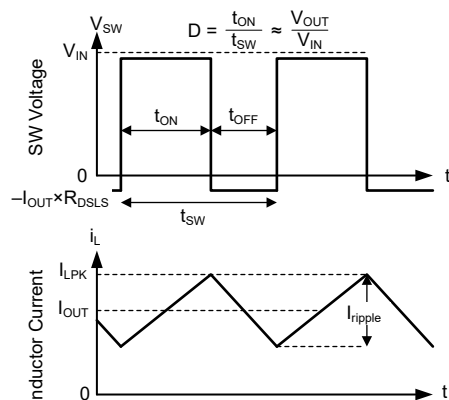


図 7-10. 連続モード (CCM) における SW 電圧とインダクタ電流の波形

高精度の DC 負荷レギュレーションを実現するため、電圧帰還ループを使用しています。ピーク電流モード制御と電流保護のために、ピークおよびバレー インダクタ電流を検出します。負荷レベルが最小ピーク インダクタ電流の 1/2 を上回っている場合、レギュレータは一定のスイッチング周波数の連続導通モードで動作します。内部的に補償された制御ネットワークは、小型外付け部品と低 ESR コンデンサを使った高速で安定した動作を実現します。

7.4.2.2 自動モード動作

軽負荷時、LM654xx-Q1 は 2 種類の動作を行うことができます。自動モード動作と呼ばれる動作を使うと、負荷が重い際の通常電流モードと高効率の軽負荷動作との間をシームレスに移行できます。FPWM モードと呼ばれるもう 1 つの動作では、無負荷時でも最大周波数が維持されます。LM654xx-Q1 がどちらのモードで動作するかは、SYNC/MODE ピンによって決まります。SYNC/MODE が High のとき、本デバイスは FPWM モードになります。SYNC/MODE が Low の場合、本デバイスは PFM モードになります。

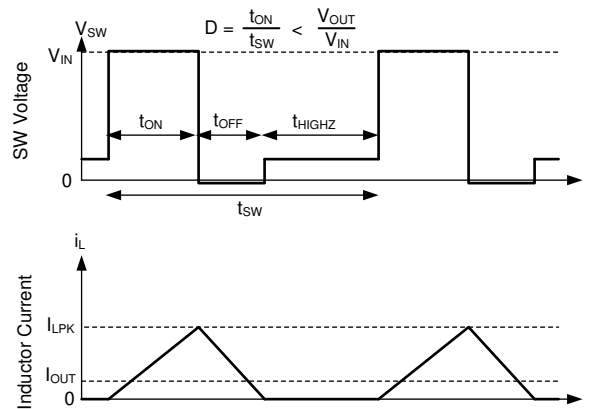
自動モードでは、定格最大出力電流の約 1/10 未満の負荷の場合、LM654xx-Q1 では軽負荷動作が使われます。軽負荷動作では、効率を向上させるため次の 2 つの手法が使われます。

- DCM 動作が可能なダイオード エミュレーション
- 周波数低減

これら 2 つの機能が同時に動作することで、非常に優れた軽負荷動作を実現しますが、互いに独立して動作することに注意します。

7.4.2.2.1 ダイオード エミュレーション

ダイオードエミュレーションは、インダクタを流れる逆電流を防止します。固定ピークインダクタ電流の場合、レギュレートするために周波数をより低くする必要があります。ダイオード エミュレーションは、周波数が下がった際のリップル電流も制限します。ピーク インダクタ電流が $I_{PEAK-MIN}$ を下回ると、周波数が低下します。固定ピーク電流では、出力電流がゼロに向かって低下するにつれて、レギュレーションを維持するために周波数をゼロに近い値まで下げる必要があります。



自動モードでは、インダクタ電流がゼロに近づくときローサイド デバイスはオフになります。その結果、出力電流が CCM でインダクタリップルの 1/2 未満になると、デバイスは DCM で動作します。これは、ダイオード エミュレーションが機能していることと等価です。

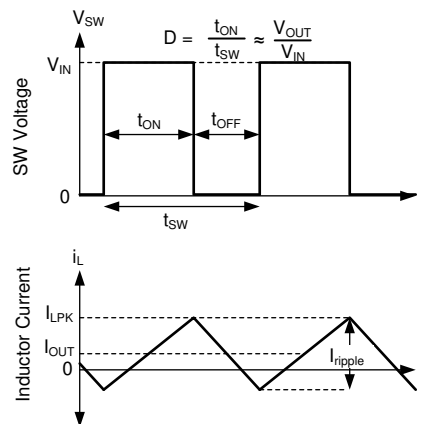
図 7-11. PFM 動作

自動モードでは、LM654xx-Q1 は最小ピーク インダクタ電流設定値を持っています。しかしながら、入力電圧を一定にした状態で、電流値が下がると、オン時間は一定になります。その後、周波数を調整することで、レギュレーションが達成されます。この動作モードを PFM モード レギュレーションと呼びます。

7.4.2.3 FPWM モード動作

自動モード動作と同様に、軽負荷動作時の FPWM モード動作は SYNC/MODE ピンを使って選択します。

FPWM モードでは、軽負荷時に周波数が維持されます。周波数を維持するため、インダクタを流れる逆電流が制限されます。逆電流制限回路により、逆電流が制限されます。逆電流制限の値については、「[電氣的特性](#)」を参照してください。



FPWM モードの連続導通 (CCM) は、 I_{OUT} が I_{ripple} の半分未満でも可能です。

図 7-12. FPWM モード動作

FPWM モードでは、最小オン時間を指示できるほど入力電圧が高ければ周波数の低減が可能です。この周波数の低減により、ライン フォルトの発生時も良好な動作が可能になり、出力電圧のプルアップを防ぐことができます。

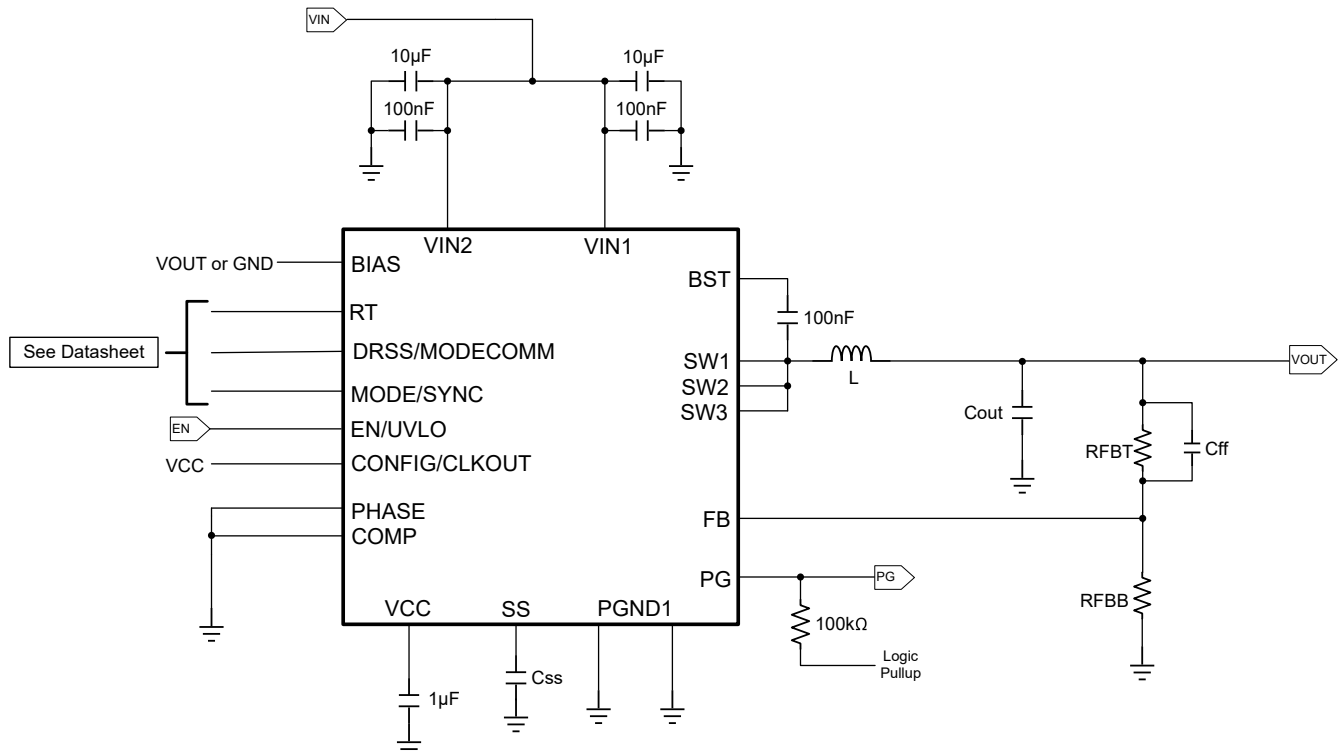


図 8-2. 可変出力電圧および内部補償による単相アプリケーションの例

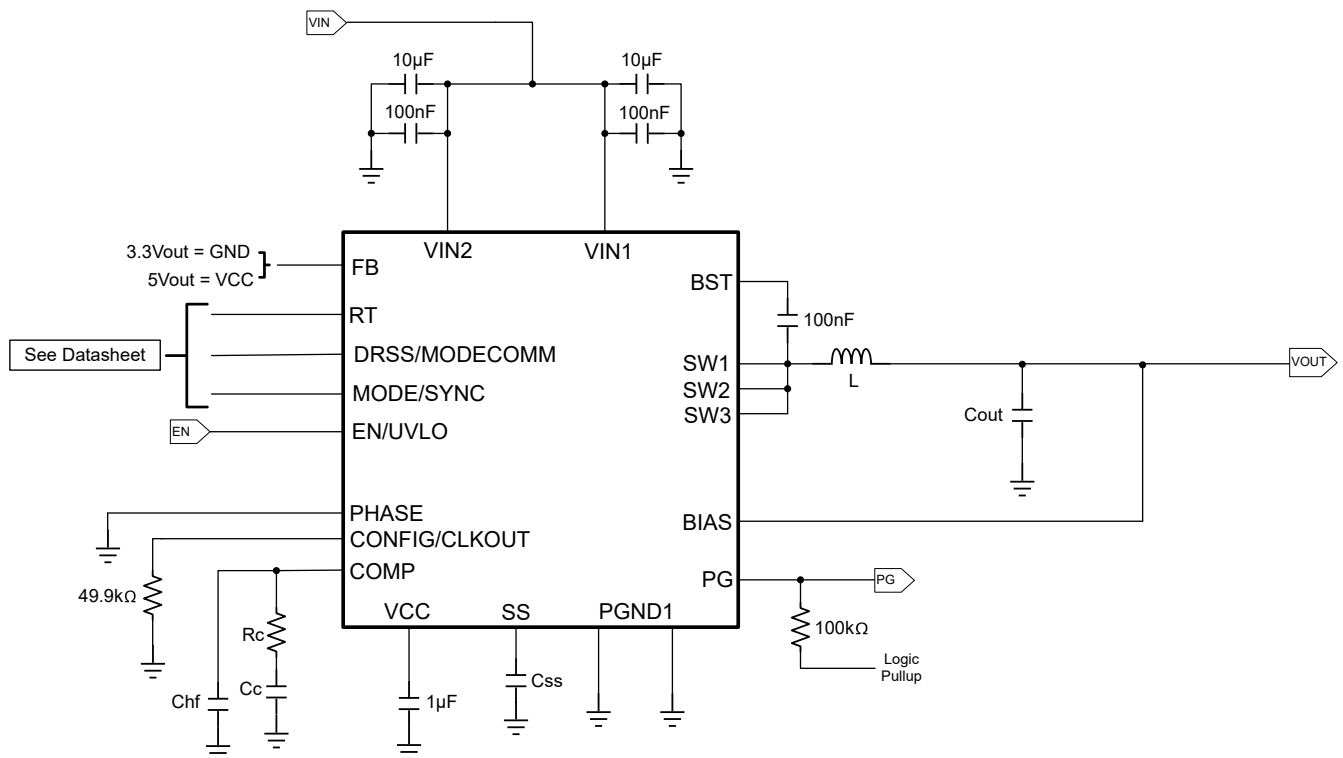


図 8-3. 固定出力電圧および外部補償による単相アプリケーションの例

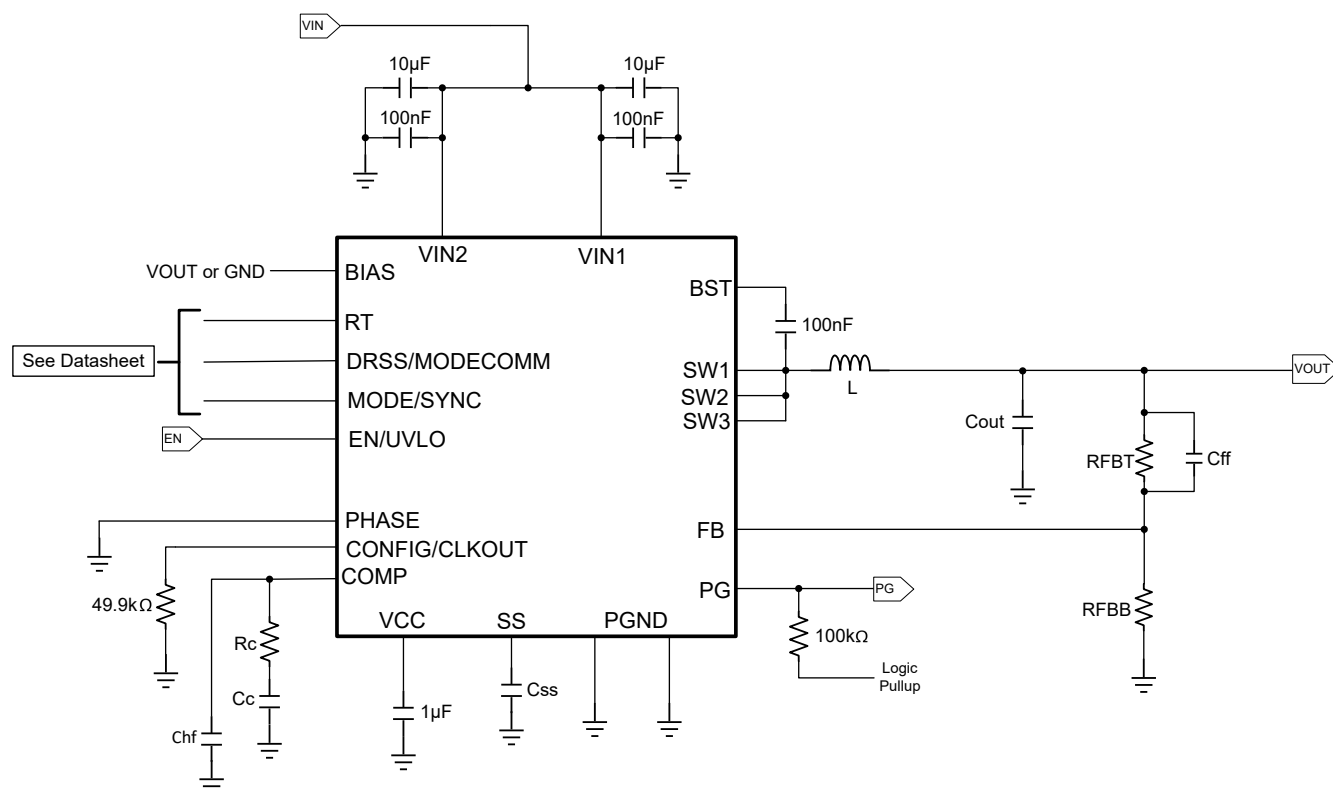


図 8-4. 可変出力電圧および外部補償による単相アプリケーションの例

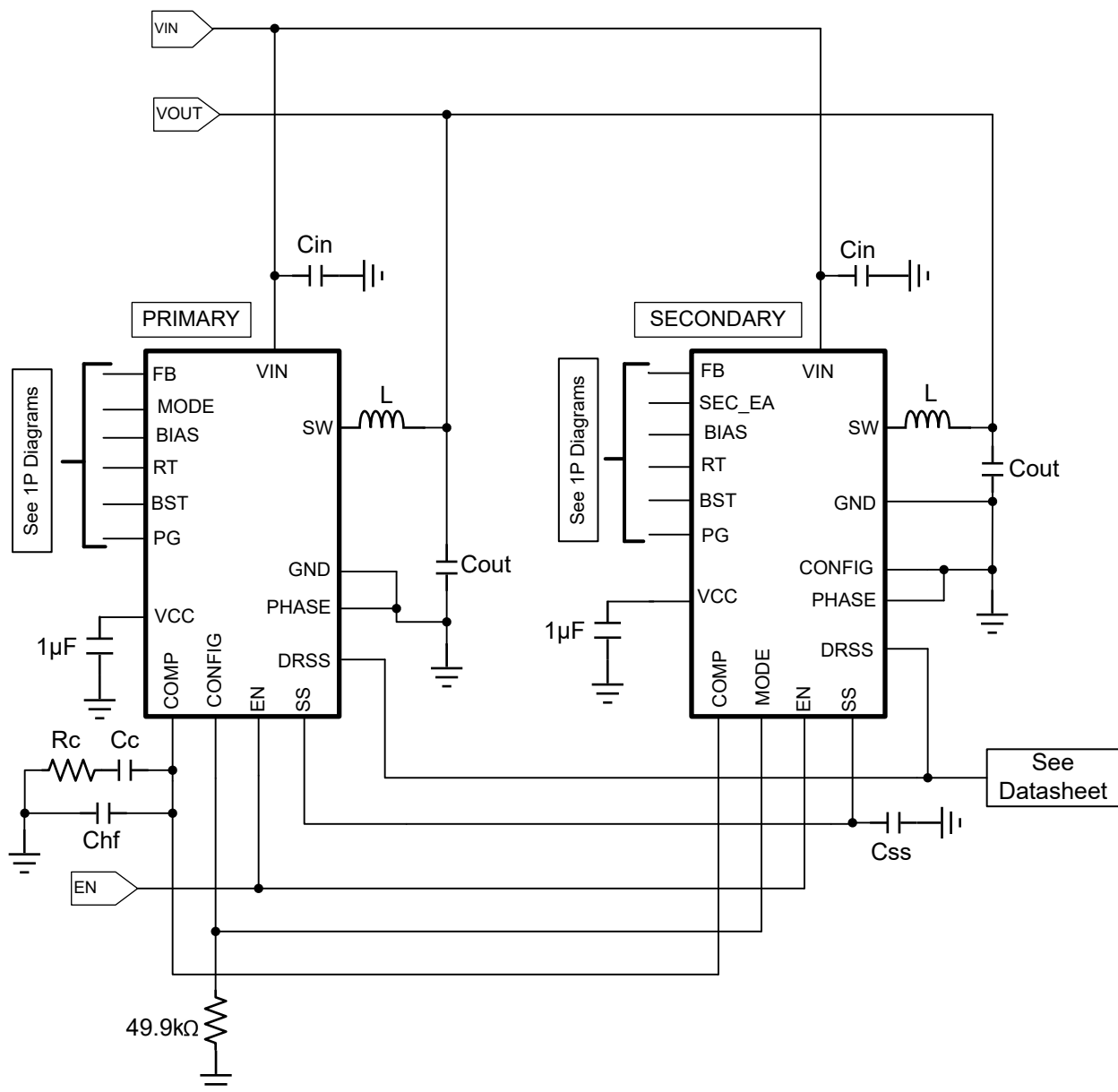


図 8-5. 2 相アプリケーションの簡易回路図

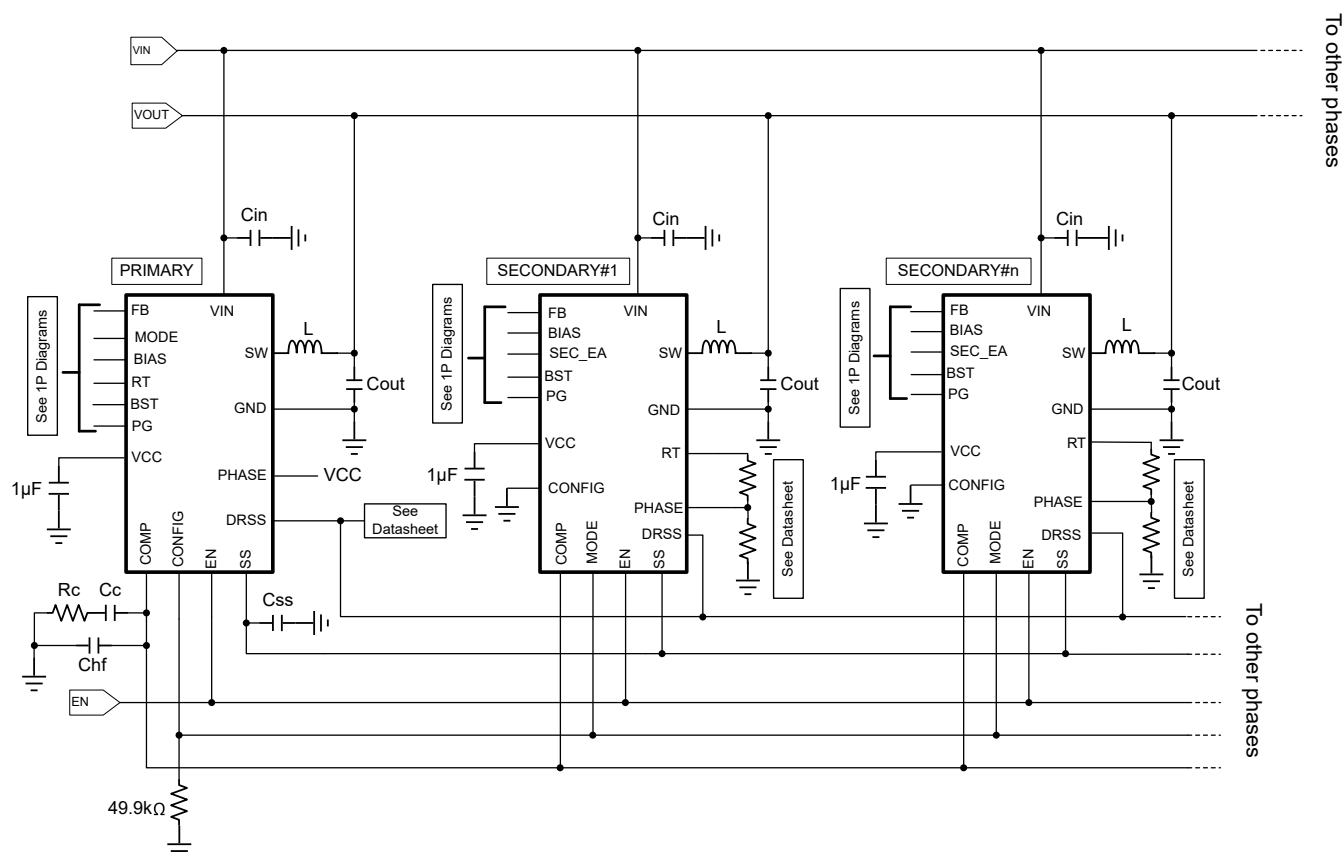


図 8-6. 簡略化したマルチフェーズ アプリケーション回路の例

表 8-1. 固定出力電圧モード用の代表的な外付け部品

出力電圧	FREQUENCY	FB	LM6xxB0		LM6xxA5		LM6xxA2		LM6xxA0	
			L	COUT	L	COUT ⁽¹⁾	L	COUT ⁽¹⁾	L	COUT ⁽¹⁾
3.3V	400kHz	GND	1μH	245μF	1.5μH	245μF	1.8μH	196μF	2.2μH	161μF
5V	400kHz	VCC	1.5μH	175μF	1.8μH	175μF	2.2μH	140μF	2.7μH	115μF
3.3V	2200kHz	GND	0.22μH	105μF	0.27μH	105μF	0.33μH	85μF	0.47μH	70μF
5V	2200kHz	VCC	0.33μH	70μF	0.38μH	70μF	0.47μH	53μF	0.68μH	46μF

(1) このデータシートおよびこれらの表に記載されている COUT 値はすべて、指定された DC バイアス条件および該当するすべてのディレーティングを考慮したものです。

表 8-2. 可変出力電圧における LM6x4B0 の代表的な外付け部品

出力電圧	FREQUENCY	L	相ごとの COUT ⁽¹⁾	R _{FBT}	R _{FBB}	C _{FF}	R _{COMP} ⁽²⁾	C _{COMP} ⁽²⁾
3.3V	400kHz	1μH	245μF	100kΩ	31.6kΩ	20pF	7.5kΩ/Ne	10nF × Ne
4.5V	400kHz	1.2μH	175μF	100kΩ	21.5kΩ	20pF	7.5kΩ/Ne	10nF × Ne
5V	400kHz	1.5μH	175μF	100kΩ	19.1kΩ	20pF	7.5kΩ/Ne	10nF × Ne
3.3V	2200kHz	0.22μH	105μF	100kΩ	31.6kΩ	10pF	7.5kΩ/Ne	2.2nF × Ne
4.5V	2200kHz	0.27μH	70μF	100kΩ	21.5kΩ	10pF	7.5kΩ/Ne	2.2nF × Ne
5V	2200kHz	0.33μH	70μF	100kΩ	19.1kΩ	10pF	7.5kΩ/Ne	2.2nF × Ne

- (1) このデータシートおよびこれらの表に記載されている COUT 値はすべて、指定された DC バイアス条件および該当するすべてのディレーティングを考慮したものです。
- (2) Ne は、アプリケーションで有効になっているセカンダリ エラー アンプの数を示します。

8.2.1 設計例の要件

以下の例では、表 8-3 に示した仕様に基づく詳細な設計手順を示します。図 8-7 に、リファレンス デザインの回路図を示します。

表 8-3. 詳細設計パラメータ

設計パラメータ	値
入力電圧レンジ (定常状態)	8V ~ 18V
最小過渡入力電圧 (ウォーム クランク)	6V
最大過渡入力電圧 (負荷ダンプ)	36V
出力電圧	5V
定常状態の出力電流	12A
過渡負荷電流	20A
スイッチング周波数	2100kHz
出力電圧レギュレーション	±1%
アクティブ電流、無負荷	23μA
DRSS	8.5%

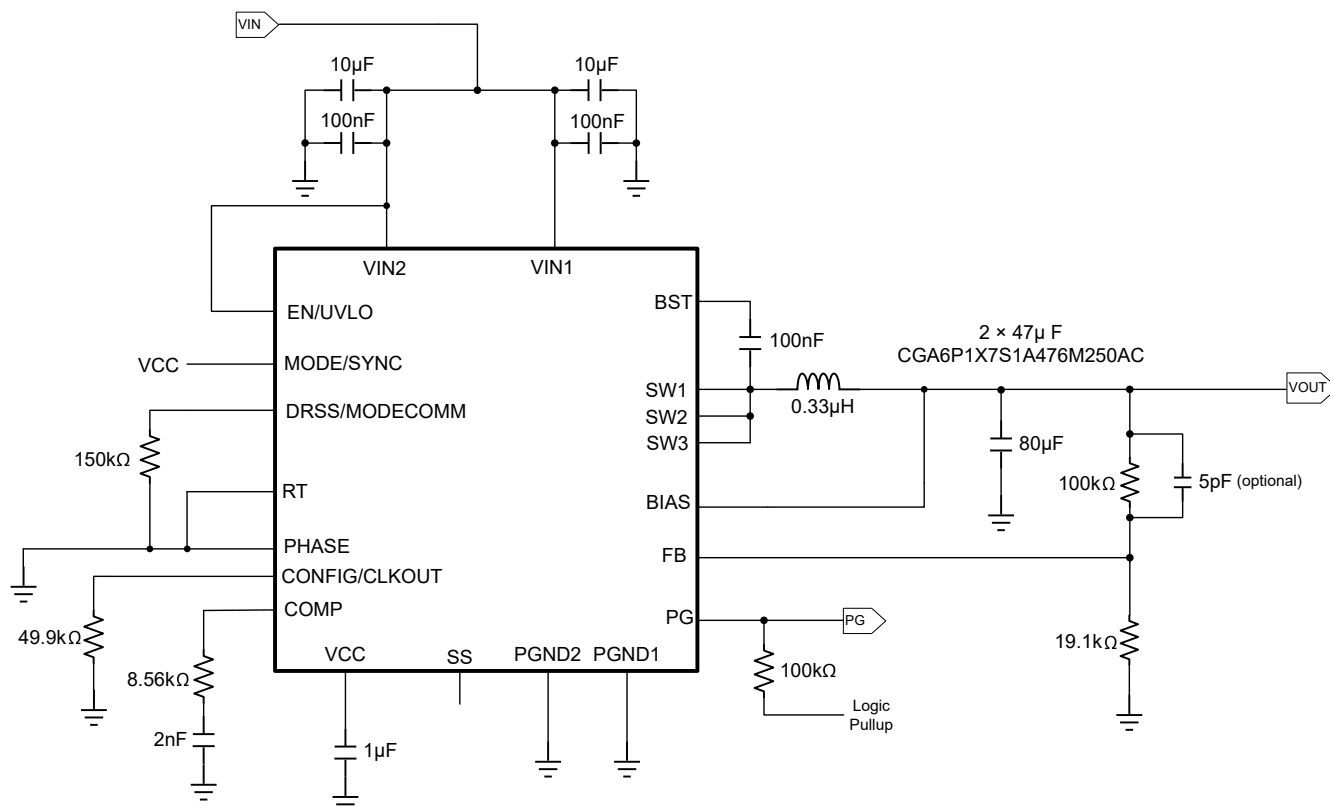


図 8-7. 設計例の回路図

8.2.2 詳細な設計手順

以下の設計手順は、表 8-3 に適用されます。20A の過渡負荷電流要件に基づいて、単相設計で LM654B0 を選択します。PCB を適切に設計することで、12A の定常状態負荷要件を容易に実現できます。熱設計の詳細については、[セクション 8.2.2.8](#) を参照してください。設計手順を示すため、可変出力電圧モードと外部ループ補償を選択した場合について説明します。

8.2.2.1 スイッチング周波数の選択

スイッチング周波数の選択は、変換効率と設計全体のサイズとのトレードオフとなります。スイッチング周波数を低くすると、スイッチング損失は減少し、一般的にシステム効率が高くなります。一方、スイッチング周波数を高くすると、より小型のインダクタと出力コンデンサを使用できるようになるため、よりコンパクトな設計が可能となります。このアプリケーション例では、2100kHz の周波数でコンパクトな設計を選択しています。この場合、RT ピンをグランドまたは 7.15kΩ の抵抗に接続できます。[セクション 7.3.5](#) も参照してください。

8.2.2.2 インダクタの選択

インダクタを選択するためのパラメータはインダクタンスと飽和電流です。インダクタンスは目的のピーク ツー ピークリップル電流を元を選択し、通常はデバイスの最大出力電流定格の 20%～50% の範囲に収まるようにします。

リップル電流の値が大きいと、電流制限に達する前に最大出力電流が制限される場合があります。リップル電流の値が小さいと、電流モードコントローラの SNR が低下し、デューティサイクルのジッタが増加する可能性があります。インダクタとスイッチング周波数の許容誤差は、どちらもリップル電流の選択、したがってインダクタの値に影響を及ぼします。このデバイスで利用可能な最大負荷よりもはるかに小さな最大負荷のアプリケーションの場合でも、リップル電流の計算にはデバイスの最大電流定格を使用してください。最大出力電流に対するインダクタリップル電流の比率は K と表されます。[式 7](#) を使用して、インダクタンスの値を決定します。

$$L = \frac{(V_{IN} - V_{OUT}) \times V_{OUT}}{V_{IN} \times K \times f_{SW} \times I_{OUT - RATED}} \quad (7)$$

アプリケーションの標準的な入力電圧は、通常で **式 7** 使用されます。ただし、アプリケーションが非常に広い入力電圧範囲を必要とする場合は、範囲の上限に近い電圧を使用できます。いずれの場合も、インダクタを選択した後で、最大入力電圧でリップル電流を確認する必要があります。上記のように、リップル電流が大きすぎると、最大出力電流が制限される可能性があります。これらの懸念を確認するために **式 8** を使用します。

$$I_{OUT - MAX} = I_{HS} - \frac{1}{2} \times \frac{(V_{IN - MAX} - V_{OUT}) \times V_{OUT}}{V_{IN - MAX} \times f_{SW} \times L} \quad (8)$$

インダクタの選択では、その飽和電流定格をハイサイド スイッチの電流制限値 I_{HS-LIM} と同じにする必要があります。この大きさであれば、出力の短絡時にもインダクタが飽和しないようになります。インダクタのコア材が飽和すると、インダクタンスは非常に小さい値に低下し、インダクタ電流は急増します。バレー電流制限値は、電流が暴走しづらいように設計されているとはいえ、インダクタが飽和することで電流値が急増する可能性があります。この増加は部品の損傷につながる可能性があります。フェライト コア材を採用したインダクタは飽和特性が非常に急峻ですが、コア損失は通常、圧粉コアよりも小さいです。圧粉コアは穏やかな飽和特性を示すため、インダクタの電流定格をある程度緩和できます。ただし、鉄粉コアは約 **1MHz** を超える周波数でコア損失が大きくなります。いずれにしても、インダクタの飽和電流が、全負荷時のピークインダクタ電流の最大値よりも小さくならないようにする必要があります。

分数調波発振を防止するため、**式 9** で与えられる値よりインダクタンス値を小さくしないようにします。この制限は、あらゆる動作条件でスイッチのデューティ サイクルが **50%** 以上になるアプリケーションに適用されます。

$$L_{min} \geq M \times \frac{V_{OUT}}{f_{SW}} \quad (9)$$

ここで、

- $M = 0.072$: LM654B0
- $M = 0.1$: LM654A5
- $M = 0.12$: LM654A2
- $M = 0.15$: LM654A0

最大インダクタンスは、電流モード制御を正しく行うために必要な最小電流リップルによって制限されます。決め事として、インダクタの最小リップル電流は、公称条件でのデバイスの最大定格電流の約 **10%** 以上とする必要があります。

この例では、LM654B0 を使用し、18V 入力、5V 出力、 $K = 0.3$ 、 I_{OUT} 定格 = 20A、スイッチング周波数が 2100kHz であると仮定すると、**式 7** からインダクタ値は **0.28μH** となります。最も近い標準値である **0.33μH** を使用します。**式 9** に、**0.17μH** の最小値を示します。

8.2.2.3 出力コンデンサ

1. **式 10** を使用して、負荷オフ遷移 (全負荷から無負荷まで遷移) 中の出力電圧のオーバーシュートを管理するために必要な出力容量を見積ります。このときの前提として、負荷遷移偏差仕様は **3.5% (5V 出力で 170mV)** です。

$$C_{OUT} = \frac{(\Delta I_{OUT})^2 \times L_O}{(V_{OUT} + \Delta V_{OVERSHOOT})^2 - V_{OUT}^2} = \frac{(20A)^2 \times 0.33\mu H}{(5V + 0.170V)^2 - 5V^2} = 76\mu F \quad (10)$$

2. 印加された電圧で実効容量が大幅に減少するセラミック コンデンサの電圧係数については、**2 つの 47μF、10V、X7S、1210** セラミック出力コンデンサを選択することに注意してください。通常、負荷オフ過渡応答の要件を満たすために十分な容量を使用する場合、無負荷から全負荷への過渡時の電圧アンダーシュートも十分要件を満たします。この例では、**2 つの TDK 47μF CGA6P1X7S1A476M250AC** を選択すると、**5V 出力に対する 80μF の実効キャパシタンス**が得られます。
3. **式 11** を使用して、公称入力電圧時におけるピーク ピーク出力電圧リップルを見積ります。

$$\Delta V_{out} = \sqrt{\left(\frac{\Delta I_{LO}}{8 \times C_{OUT} \times f_{SW}}\right)^2 + \left(R_{ESR} \times \Delta I_{LO}\right)^2} = \sqrt{\left(\frac{5.2A}{8 \times 80\mu F \times 2100kHz}\right)^2 + \left(1m\Omega \times 5.2A\right)^2} = 6.4mV \quad (11)$$

$$\Delta I_{LO} = \frac{(V_{IN} - MAX - V_{OUT}) \times V_{OUT}}{V_{IN} - MAX \times f_{SW} \times L} \quad (12)$$

ここで、

- ΔI_{LO} は、目的とするピークツーピークのインダクタリップル電流です。この例では、 $K = 0.3$ の 20A 定格デバイスにより、インダクタリップル電流は 5.2A となります。
 - R_{ESR} は、出力コンデンサの実効等価直列抵抗 (ESR) です。
 - 80 μ F は、5V での合計実効 (ディレーティング) セラミック出力容量です。
4. 式 13 を使用して、出力コンデンサの RMS リップル電流を計算し、リップル電流がコンデンサのリップル電流定格内に収まっていることを確認します。

$$I_{CO(rms)} \cong 0.29 \times \Delta I_{LO} = 1.5A \quad (13)$$

8.2.2.4 入力コンデンサの選択

セラミック入力コンデンサは、レギュレータに低インピーダンスソースを供給するだけでなく、リップル電流を供給して、他の回路からスイッチングノイズを絶縁します。レギュレータの入力には、少なくとも 2 つの 4.7 μ F のセラミックコンデンサが必要です。パッケージの両側に 1 個のコンデンサを配置し、デバイスの VIN および GND ピンに直接接続します。このコンデンサは、少なくともアプリケーションが必要とする最大入力電圧を定格とする必要があり、可能であれば、最大入力電圧の 2 倍が推奨されます。この値を増やすことで、入力電圧リップルを低減し、負荷過渡時の入力電圧を維持できます。また、入力に 2 つの 100nF のセラミックコンデンサを高周波バイパスキャパシタンスとして使用する必要があります。パッケージの両側に 1 個のコンデンサを配置し、デバイスの VIN および GND ピンに直接接続します。100nF の高周波入力コンデンサは、レギュレータの VIN ピンおよび PGND ピンから 1mm 以内に配置する必要があります。この要件により、デバイス内部の制御回路に高周波バイパスができます。

この例では、2 $\times$ 10 μ F、50V、X5R (またはそれ以上) のセラミックコンデンサを選択しています。また、100nF コンデンサも、X7R (以上の) 誘電体を使用した 50V 定格とする必要があります。

多くの場合、入力にセラミックと並列に電解コンデンサを使用することが推奨されます。これは、長い配線またはパターンを使って入力電源をレギュレータに接続したり、入力 EMI フィルタを使用したりする場合に特に当てはまります。ここに中程度の ESR を持つコンデンサを使うことは、入力のインダクタンスによる入力電源のリングングを減衰させるのに有効です。この追加コンデンサの使用は、インピーダンスの非常に高い入力電源によって生じる電圧低下の防止にも有効です。

入力スイッチング電流のほとんどは、セラミック入力コンデンサを流れます。この電流の RMS 近似値は 式 14 から計算でき、メーカーの最大定格に照らしてチェックする必要があります。この例では、入力コンデンサの RMS 電流は約 6A です。

$$I_{CIN(rms)} \cong \frac{I_{OUT}}{2} \quad (14)$$

8.2.2.5 出力電圧の設定

LM654xx-Q1 の可変出力電圧バージョンでは、帰還分圧回路を使用して出力電圧を設定します。分圧回路は、それぞれ R_{FBT} および R_{FBB} と呼ばれる上側と下側の帰還抵抗で構成されています。帰還分圧器の抵抗値は、ノイズの過剰な混入と静止電流の消費との折り合いを付けることで決定します。抵抗値を小さくすると、ノイズの感度は小さくなりますが、軽負荷効率にも影響します。 R_{FBT} の推奨値は 100k Ω (最大値は 1000k Ω) です。式 15 を使用し、 R_{FBT} を選択した後、 R_{FBB} の値を計算します。

$$R_{FBB} = R_{FBT} \times \frac{0.8}{V_{OUT} - 0.8} \quad (15)$$

式 16 では、 R_{FBB} と R_{FBT} の並列組み合わせは、 $4k\Omega$ より大きく、 $100k\Omega$ より小さい必要があると述べていることに注意してください。出力電圧構成 (固定または可変出力電圧の設定) を正しく設定するため、レギュレータはスタートアップ シーケンス中、FB ピンの状態を確実に検出する必要があるためこの制限が必要です。

$$100k\Omega \geq R_{FBB} \parallel R_{FBT} \geq 4k\Omega \quad (16)$$

この例では、 $100k\Omega$ と $19.1k\Omega$ の R_{FBT} と R_{FBB} の値をそれぞれ選択します。この選択により、出力電圧が $5V$ に設定され、式 15 と式 16 の両方を満たします。

8.2.2.6 補償部品

以下の手順に従って、安定した制御ループの補償部品を選択します。

- この例では、約 $130kHz$ (f_C) のループ クロスオーバー周波数を選択します。この値はスイッチング周波数の $1/10$ 未満であり、適切なループ帯域幅を提供します。式 17 から、実効出力容量が $80\mu F$ の場合 ($47\mu F$ の TDK CGA6P1X7S1A476M250AC コンデンサ 2 基)、 R_{comp} の計算値は約 $8.51k\Omega$ となりますが、標準値として $8.56k\Omega$ を使用します。

$$R_{comp} = 2 \times \pi \times f_C \times \frac{V_{OUT}}{V_{REF}} \times \frac{C_{OUT}}{g_{me} \times G} \quad (17)$$

ここで:

- $g_{me} = 0.001$
 - $V_{REF} = 0.8$
 - $G = 48A/V$ (LM654B0)
 - $G = 35A/V$ (LM654A5)
 - $G = 28.5A/V$ (LM654A2)
 - $G = 23.5A/V$ (LM654A0)
- クロスオーバー時に十分な位相ブーストを実現し、負荷またはライン過渡応答時のセトリング タイムを短縮するには、次の位置にゼロが配置されるように、 C_{COMP} を選択します。(a) クロスオーバー周波数の $1/8$ または (b) 負荷ポール。 C_{COMP} には、これら 2 つの値のうち低い方を選択します。最初の要件には式 18 を使用し、2 番目の要件には式 19 と式 20 を使用します。この方法に基づき、 $C_{COMPa} = 1.1nF$ 、 $C_{COMPb} = 4nF$ となります。このアプリケーションでは、 $C_{COMP} = 2nF$ を選択します。

$$C_{COMPa} = \frac{8}{2 \times \pi \times f_C \times R_{comp}} \quad (18)$$

$$f_{load} = \frac{1}{2 \times \pi \times C_{OUT} \times R_{Load}} \quad (19)$$

$$C_{COMPb} = \frac{1}{2 \times \pi \times f_{load} \times R_{comp}} \quad (20)$$

C_{COMP} の容量値が小さいため、ドロップアウトから回復するときに (入力電圧が出力電圧設定点より低く、 V_{COMP} が High になったとき) 出力電圧のオーバーシュートを回避できます。

- マルチフェーズ設計では、補償にわずかな変更しか必要ありません。たとえば、3 相設計では、ループのゲインは 3 倍になります。ただし、1 相分として計算された出力容量が各位相にそのまま配置されると、合計で $3 \times 80\mu F$ となり、増加した出力容量で追加のゲインが相殺されるため、 R_{COMP} と C_{COMP} は変化しません。

複数のエラー アンプを有効にすることで、 R_{COMP} から発生する寄生極と $COMP$ の配線容量の影響を低減できます。この結果、過渡応答をさらに高速化するために、より高い周波数まで帯域幅を広げることができます。たとえば、2 つのエラーアンプが有効になっている場合 ($N_e = 2$)、 R_{COMP} は 2 だけ減少し、 C_{COMP} は 2 だけ増加します。

高周波ループ コンデンサを $COMP$ ピンとグラウンドの間に配置すると、スイッチング周波数付近での周波数応答をロールオフさせたり、出力コンデンサの ESR の影響を緩和したりできます。このコンデンサの値は、必要に応じて最終

的な設計において実験的に決定するのが最適です。このコンデンサ (C_{HF}) 用に PCB 上の場所を確保する必要があります。

注

高い R_{COMP} と低い C_{COMP} 値で高速ループを設定して、ドロップアウト状態の動作から復帰するときの応答を改善します。

注

このデバイス ファミリに関連するクイック スタート計算ツールを使用すると、最適なループ補償を実現できます。

8.2.2.7 フィードフォワード コンデンサ (C_{FF})

C_{FF} コンデンサの値は、結果としてシステム全体の位相マージンが改善されるように計算されます。 C_{FF} コンデンサを追加しても、DC レベルや低い周波数ではシステムの応答は変化しません。高い周波数では、このコンデンサは V_{OUT} から FB へのインピーダンスを低減するのに役立ちます。この動作は、出力の高速負荷過渡による高周波の変化を帰還に伝搬し、エラー アンプはこれを補正できるようになります。

周波数ドメインでは、 C_{FF} コンデンサを追加することにより、1 つのゼロとポールが生成されます。このゼロは、ゲインを 20dB/decade 上昇させ、ループ クロスオーバー周波数で位相ブーストをもたらすことで、ループの位相マージンを増加させます。この追加の位相ブーストは、出力電圧とリファレンス電圧の値の比率が大きい場合に最も効果的です。低 V_{OUT} アプリケーションに C_{FF} を追加しても、ループの位相マージンに効果はありません。 C_{FF} のポールは、周波数応答をロールオフし、ループ ゲイン マージンの改善に役立ちます。

ループ クロスオーバー周波数での位相ブースト値は、 5° ~ 20° の範囲が妥当です。一般に、ループ クロスオーバー周波数は C_{FF} を使用することでわずかに高くなるため、位相ブーストは適度な値にとどめる必要があります。式 21 を使用して、前述の範囲内で目標とする位相ブースト値 θ_B (単位: 度) に合わせて C_{FF} の初期値を選択してください。

$$C_{FF} \cong \frac{\theta_B}{360 \times R_{FBT} \times f_C \times \left(1 - \frac{0.8}{V_{OUT}}\right)} \quad (21)$$

ここで:

- C_{FF} = フィード フォワード コンデンサの値 (F)
- R_{FBT} = 上側帰還抵抗 (Ω)
- θ_B = 目標の位相ブースト ($^{\circ}$)
- f_C = ループ クロスオーバー周波数 (Hz)
- V_{OUT} = 出力電圧 (V)

この例の条件を考慮し、目標の位相ブーストが 10° とすると、値は 2.5pF となります。この場合は、5pF コンデンサを使用し、ベンチテストで結果を評価します。

C_{FF} を選択する方法では、推定値だけが得られます。また、 C_{FF} はすべての場合に必要とは限りません。 C_{FF} を選択する場合、このデバイス ファミリのクイック スタート計算ツールの推奨事項に従うのが最善の方法です。いずれにしても、 C_{FF} の場所を PCB 上に配置する必要があります。

8.2.2.8 最大周囲温度

他の電力変換デバイスと同様に、LM654xx-Q1 ファミリのレギュレータは動作中に内部で電力を消費します。この消費電力の影響により、コンバータの内部温度が周囲温度よりも高くなります。内部ダイ温度 (T_J) は、周囲温度、電力損失、デバイスと PCB の組み合わせの実効熱抵抗 $R_{\theta JA}$ の関数です。LM654xx-Q1 の最大接合部温度は、 150°C に制限する必要があります。この制限により、デバイスの最大消費電力が制限され、それに伴って負荷電流も制限されます。式 22 に、重要なパラメータ間の関係を示します。周囲温度 (T_A) が高いほど、また、 $R_{\theta JA}$ が高いほど、利用可能な最大出力電流が低減されます。コンバータの効率は、このデータシートに示す曲線を使用して推定できます。いずれかの曲線に目的

の動作条件が見つからない場合は、補間によって効率を推定できます。または、目的のアプリケーション要件に合わせて EVM を調整し、効率を直接測定することもできます。 $R_{\theta JA}$ の正確な値を推定するのは、より困難です。『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートで述べているように、「熱に関する情報」表の JESD という列に記載されている値は、設計目的には有効ではなく、アプリケーションの放熱性能の推定には使用してはなりません。この表の列に報告されている値は、実際のアプリケーションではめったに見られない特定の一連の条件で測定されたものです。「LM654B0EVM」という列は、評価基板上で測定されたデータを表しており、放熱性能を推定する際に役立ちます。また、 $R_{\theta JC(bott)}$ 、 $R_{\theta JC(top)}$ 、 Ψ_{JT} のデータも有用です。

$$I_{OUTMAX} = \left(\frac{T_J - T_A}{R_{\theta JA}} \right) \times \left(\frac{\eta}{1 - \eta} \right) \times \left(\frac{1}{V_{OUT}} \right) \quad (22)$$

ここで、

- η = 効率

実効 $R_{\theta JA}$ は重要なパラメータであり、以下のような多くの要因に依存します。

- 消費電力
- 空気温度、フロー
- PCB 面積
- 銅箔ヒートシンク面積
- 外部ヒートシンク
- パッケージの下にあるサーマルビアの数
- 隣接する部品の配置

このレギュレータで採用されている高度なパッケージには、ダイ接着パドル、または「サーマルパッド」(DAP) を使用しており、PCB の放熱用銅箔へのはんだ付け箇所を提供します。この機能により、レギュレータの接合部から放熱板への優れた熱伝導経路が確保され、PCB の放熱用銅箔に適切にはんだ付けされる必要があります。[図 8-8](#) に、銅基板面積に対する $R_{\theta JA}$ の代表曲線を示します。グラフに示す銅箔領域は、6 つの各層に対するものです。トップ層とボトム層は各 2oz 銅、内層は 1oz 銅です。このグラフのデータはあくまで参考用であり、実際の性能は前述のすべての要因に依存します。一例として、この評価基板では、6 層基板設計で約 100cm² の銅箔領域を使用した場合、約 16°C/W の約 $R_{\theta JA}$ を示します。

また、このデバイス ファミリのパッケージは上面が露出しています。このため、外部ヒートシンクを使用して、必要に応じて実効 $R_{\theta JA}$ をさらに低減することができます。

[図 8-9](#) および [図 8-10](#) のデータは、特定の周囲温度に対する許容出力電流の例を示しています。このデータは、図に示されている特定の条件下でのみ有効です。このデータは、外付けヒートシンクおよびエアフローを使用しない条件において、LM654B0EVM で測定したものです。

LM654xx ファミリのスタック性の主な利点は、複数のレギュレータを並列に接続して、合計負荷電流を共有できることです。この利点により、合計負荷電流を単一のレギュレータの能力内に収めるだけでなく、個別の消費電力が低減されるため、レギュレータの接合部温度を下げることができます。

『[車載用 DC/DC コンバータの PCB 熱設計のヒント](#)』アプリケーションノートは、各種 DC/DC コンバータの熱システムを設計する際の参考として適した資料です。

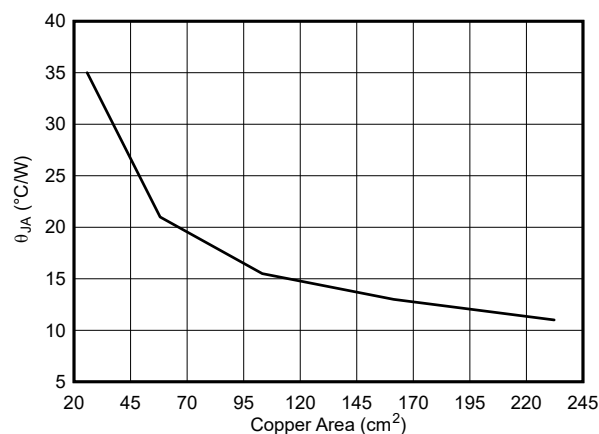


図 8-8. 熱抵抗と銅面積との関係

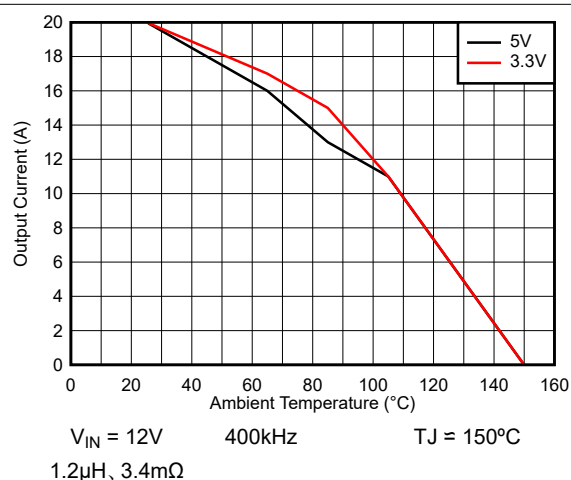


図 8-9. 最大出力電流と周囲温度との関係

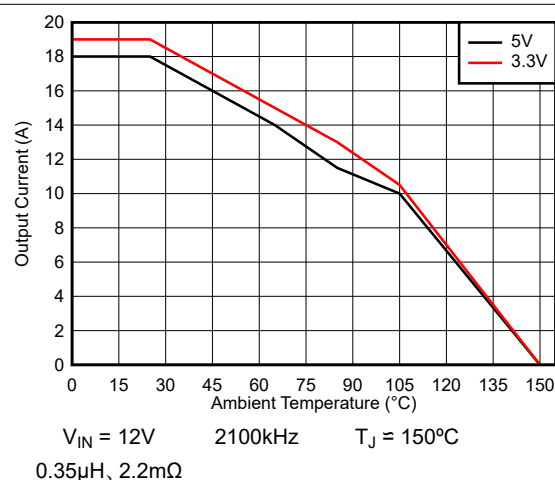


図 8-10. 最大出力電流と周囲温度との関係

優れた熱 PCB 設計および特定のアプリケーション環境における $R_{\theta JA}$ を推定するためのガイドとして、以下の資料を使用してください。

- 『過去ではなく、現在の識見による熱設計』アプリケーション ノート
- 『露出パッド パッケージで最良の熱抵抗を実現するための基板レイアウト ガイド』アプリケーション ノート
- 『熱評価基準を使用して接合部温度を適切に評価する方法』アプリケーション ノート

8.2.3 アプリケーション曲線

特に記述のない限り、次の条件が適用されます。 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 12\text{V}$ 、ヒートシンクなし特に記述のない限りで、これらの曲線における部品の値は、表 8-4 に記載されています。

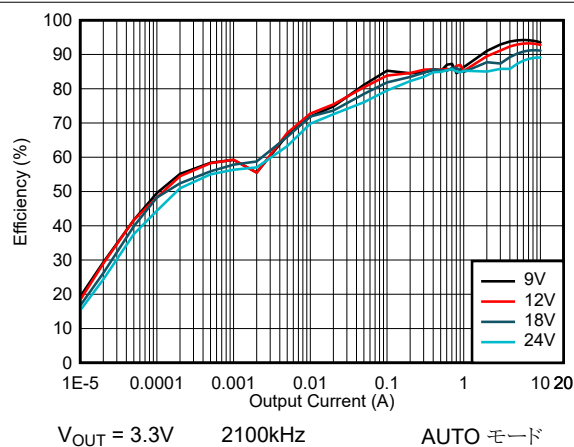


図 8-11. LM654A0 の効率

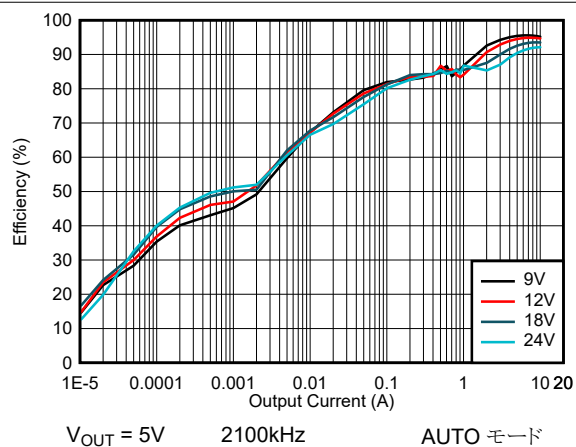


図 8-12. LM654A0 の効率

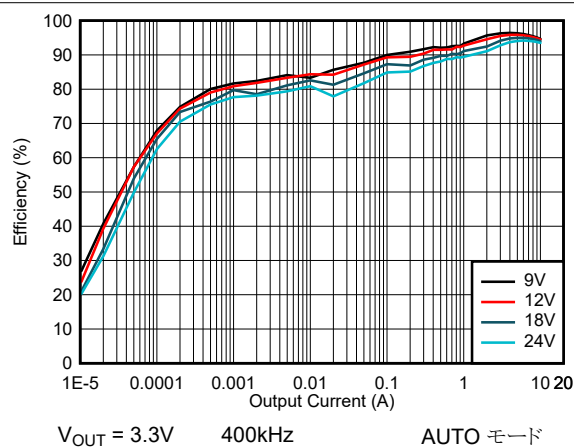


図 8-13. LM654A0 の効率

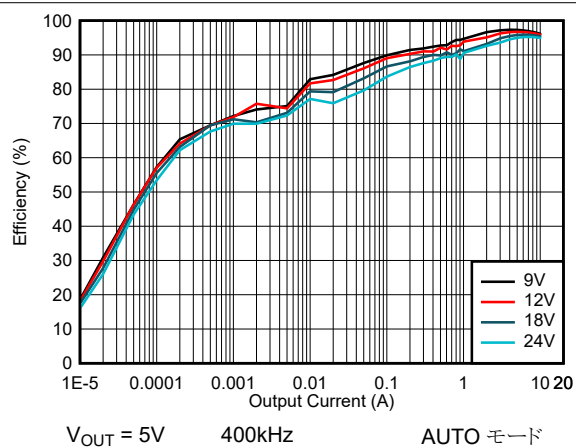


図 8-14. LM654A0 の効率

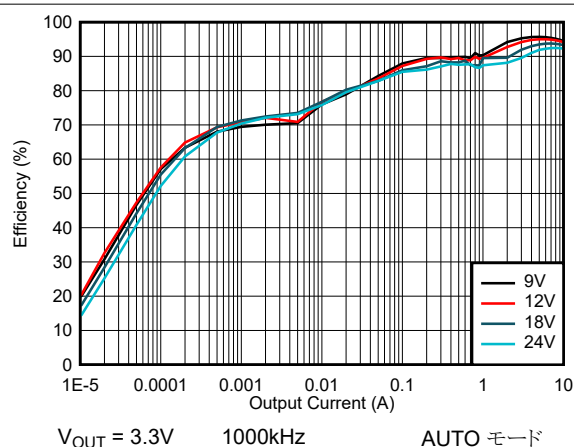


図 8-15. LM654A0 の効率

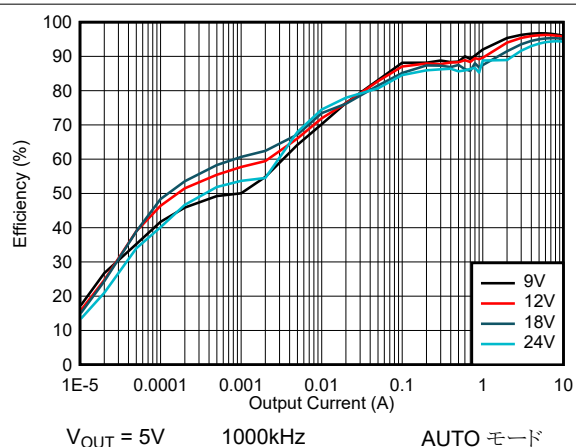


図 8-16. LM654A0 の効率

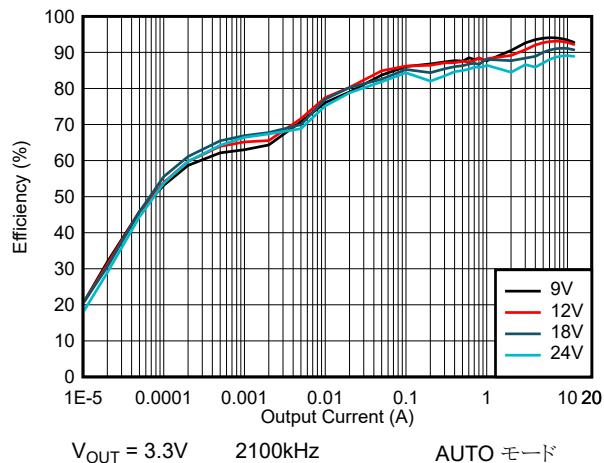


図 8-17. LM654A2 の効率

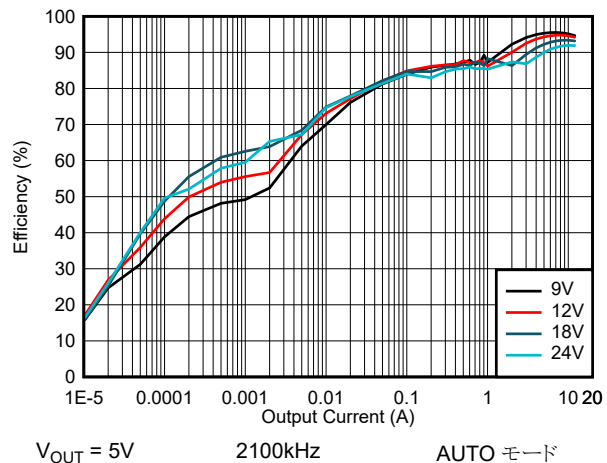


図 8-18. LM654A2 の効率

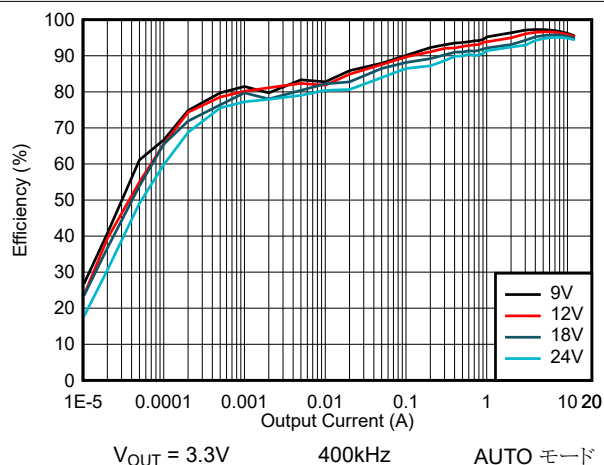


図 8-19. LM654A2 の効率

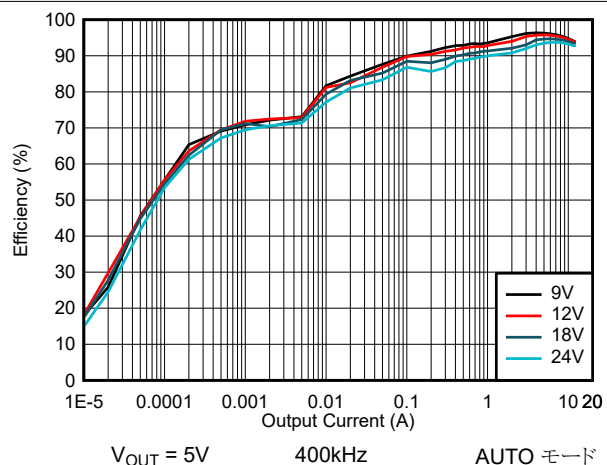


図 8-20. LM654A2 の効率

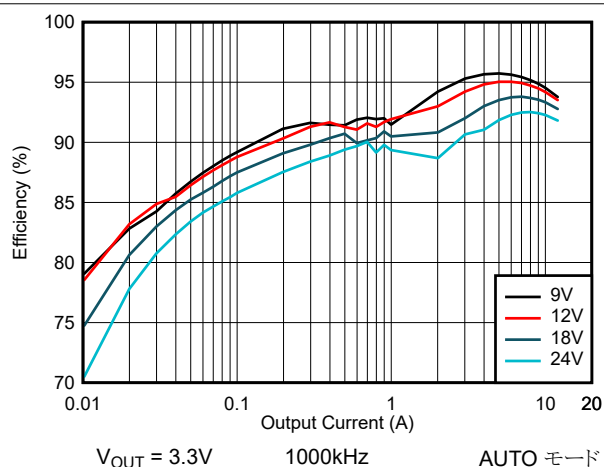


図 8-21. LM654A2 の効率

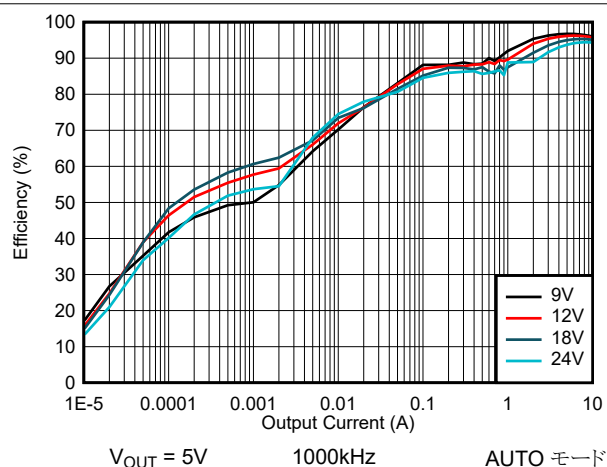


図 8-22. LM654A2 の効率

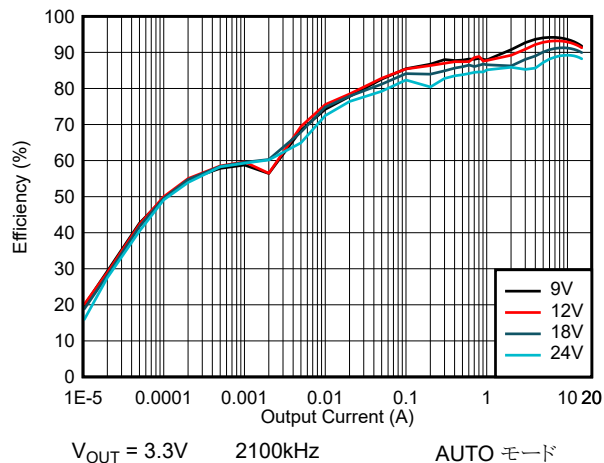


図 8-23. LM654A5 の効率

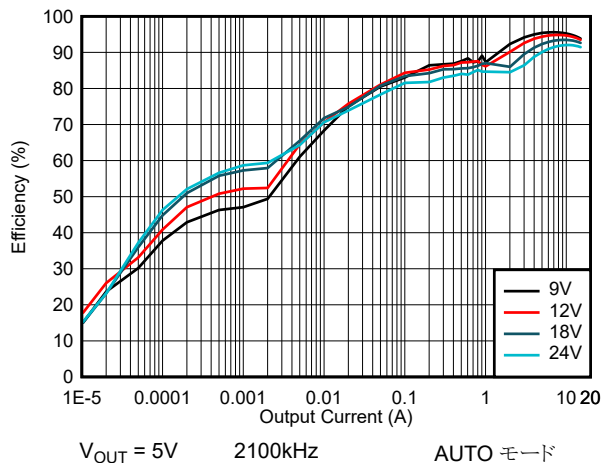


図 8-24. LM654A5 の効率

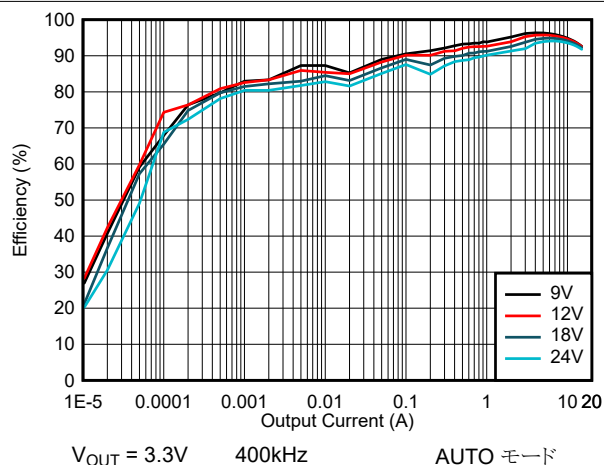


図 8-25. LM654A5 の効率

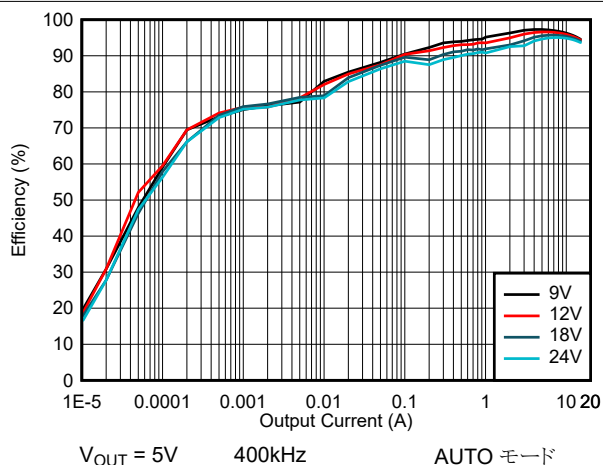


図 8-26. LM654A5 の効率

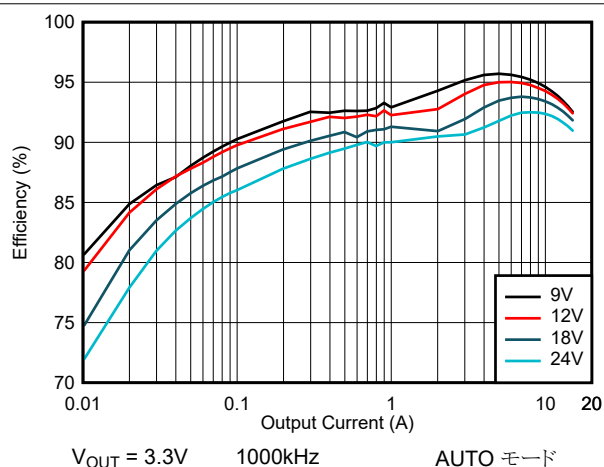


図 8-27. LM654A5 の効率

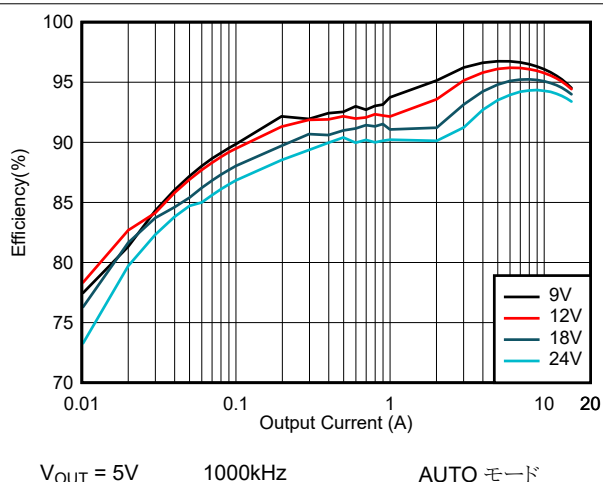


図 8-28. LM654A5 の効率

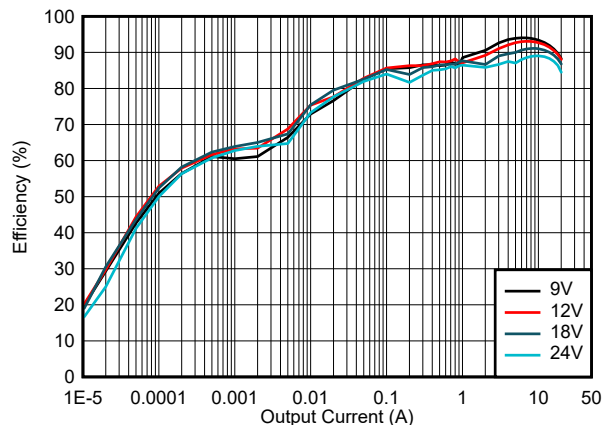

 $V_{OUT} = 3.3V$ 2100kHz AUTO モード

図 8-29. LM654B0 の効率

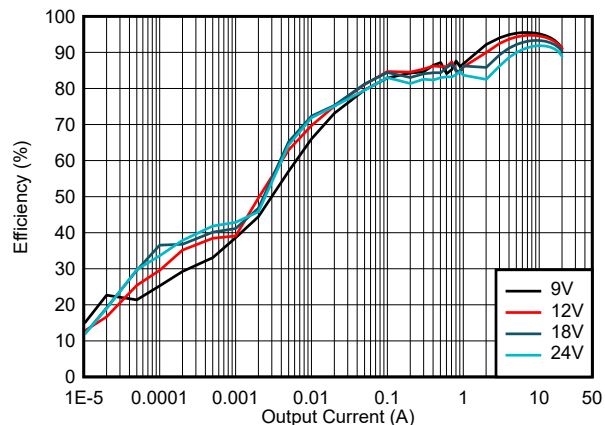

 $V_{OUT} = 5V$ 2100kHz AUTO モード

図 8-30. LM654B0 の効率

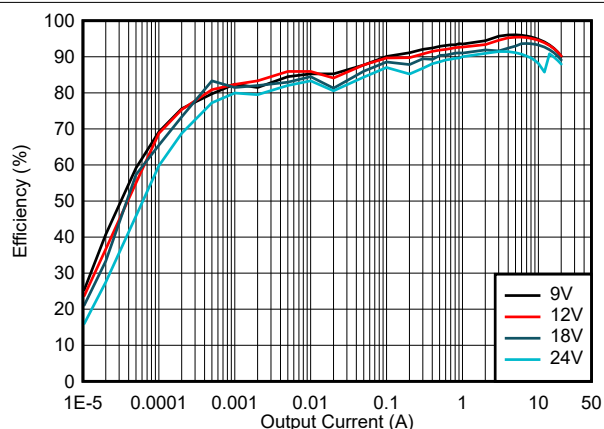

 $V_{OUT} = 3.3V$ 400kHz AUTO モード

図 8-31. LM654B0 の効率

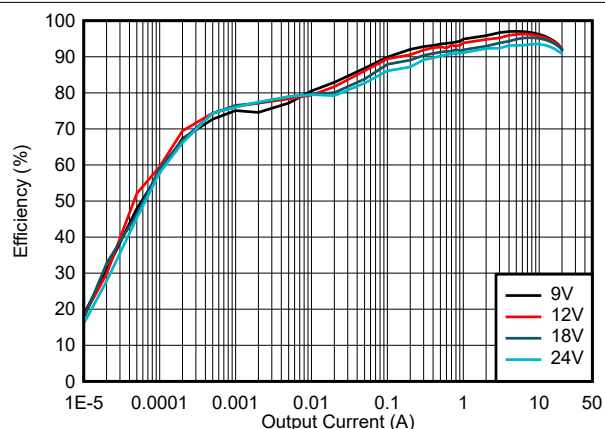

 $V_{OUT} = 5V$ 400kHz AUTO モード

図 8-32. LM654B0 の効率

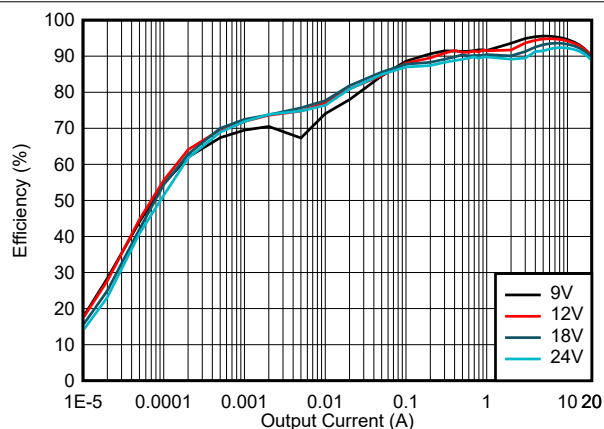

 $V_{OUT} = 3.3V$ 1000kHz AUTO モード

図 8-33. LM654B0 の効率

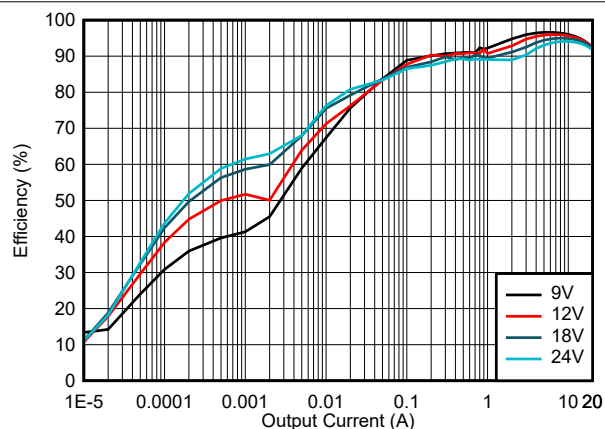
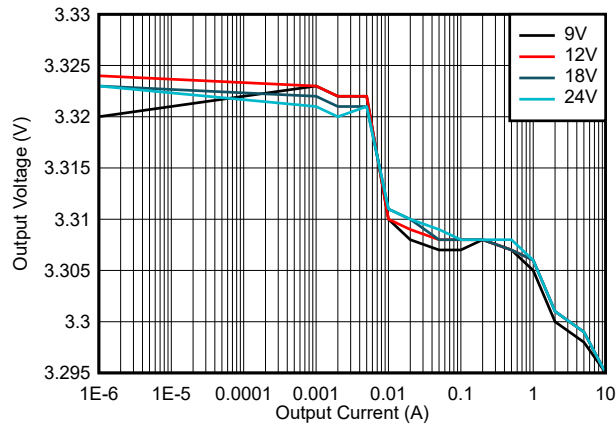
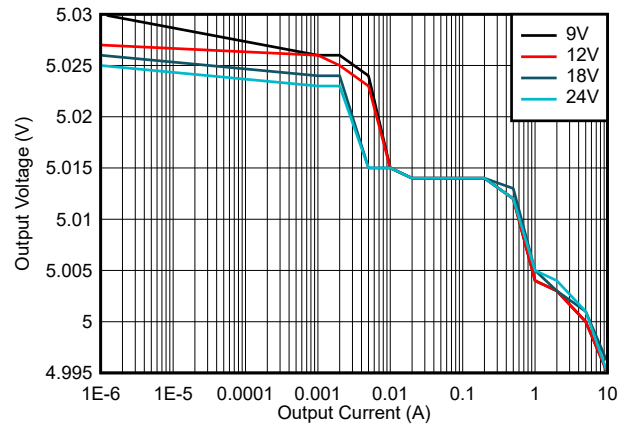

 $V_{OUT} = 5V$ 1000kHz AUTO モード

図 8-34. LM654B0 の効率



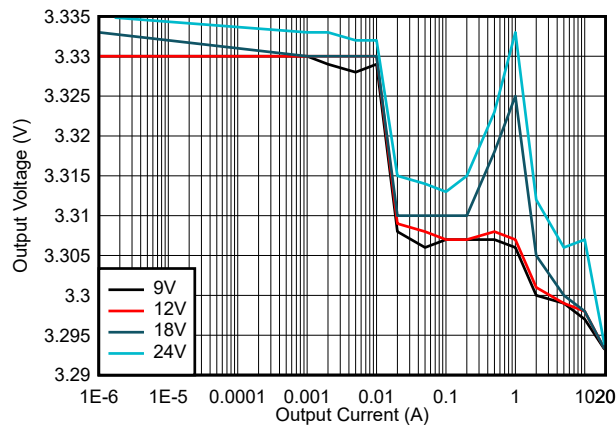
$V_{OUT} = 3.3V$ 400kHz AUTO モード

図 8-35. LM654A0 ライン/ロード レギュレーション



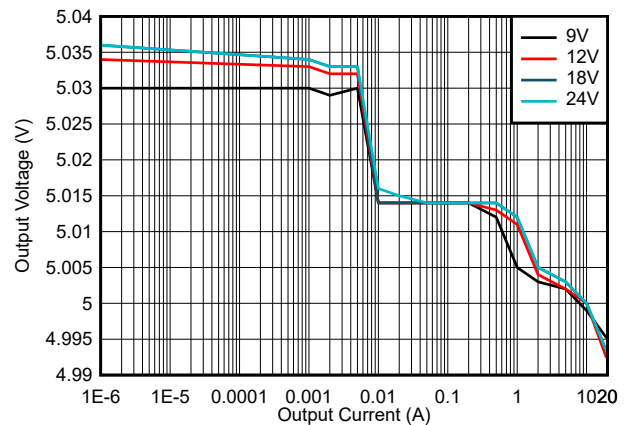
$V_{OUT} = 5V$ 400kHz AUTO モード

図 8-36. LM654A0 ライン/ロード レギュレーション



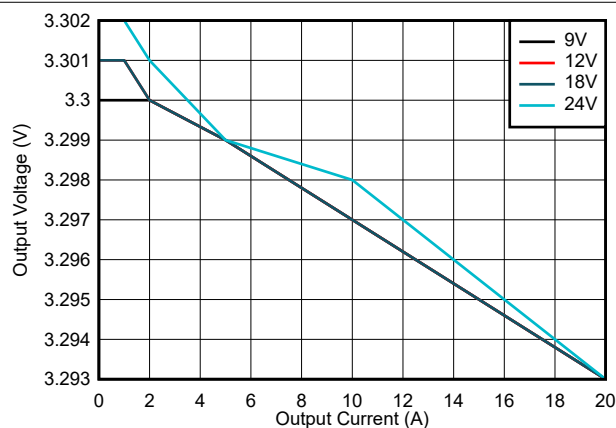
$V_{OUT} = 3.3V$ 400kHz AUTO モード

図 8-37. LM654B0 ライン/ロード レギュレーション



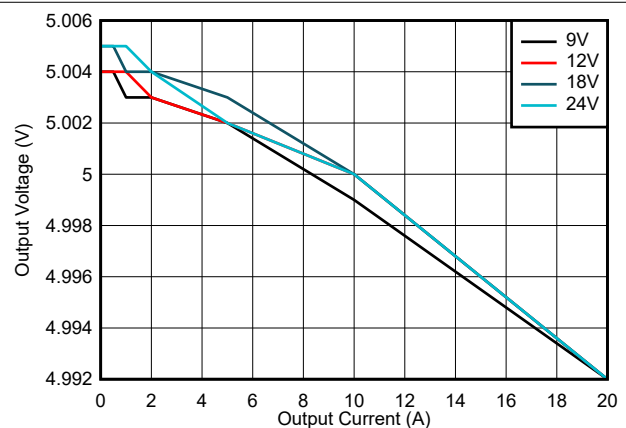
$V_{OUT} = 5V$ 400kHz AUTO モード

図 8-38. LM654B0 ライン/ロード レギュレーション



$V_{OUT} = 3.3V$ 400kHz FPWM モード

図 8-39. LM654B0 ライン/ロード レギュレーション



$V_{OUT} = 5V$ 400kHz FPWM モード

図 8-40. LM654B0 ライン/ロード レギュレーション

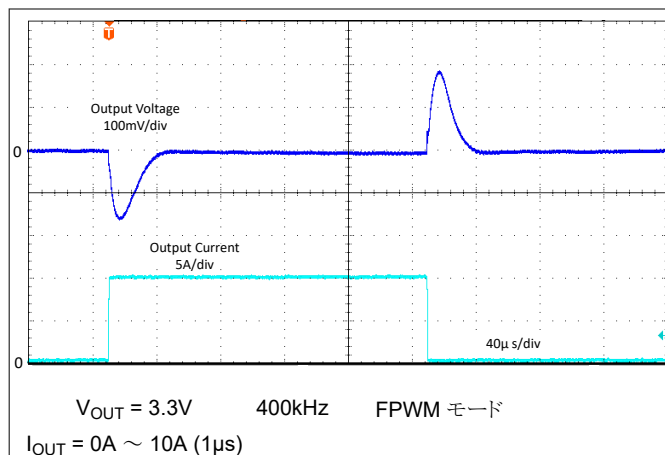


図 8-41. LM654A0 の負荷過渡

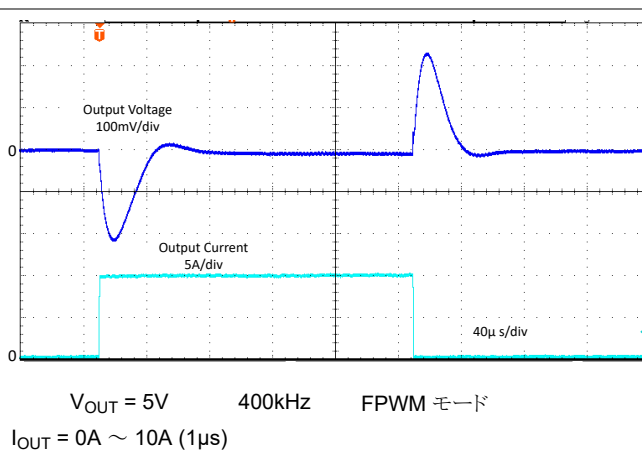


図 8-42. LM654A0 の負荷過渡

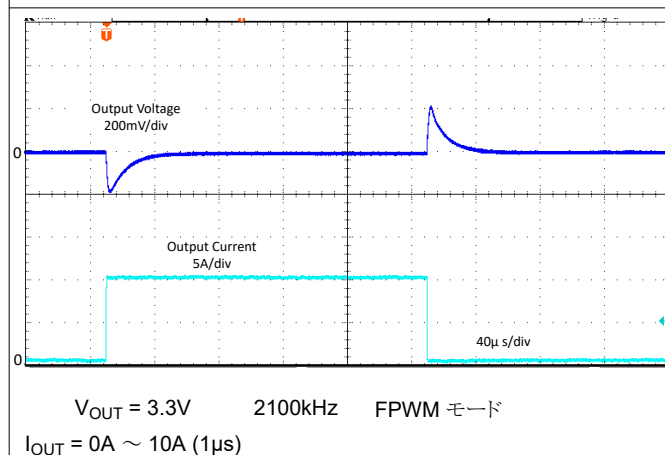


図 8-43. LM654A0 の負荷過渡

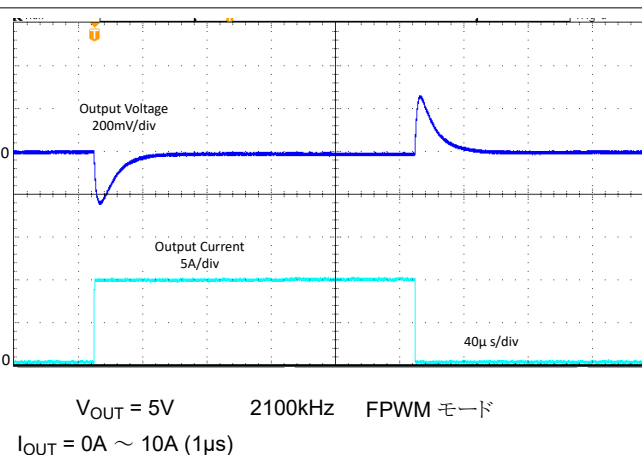


図 8-44. LM654A0 の負荷過渡

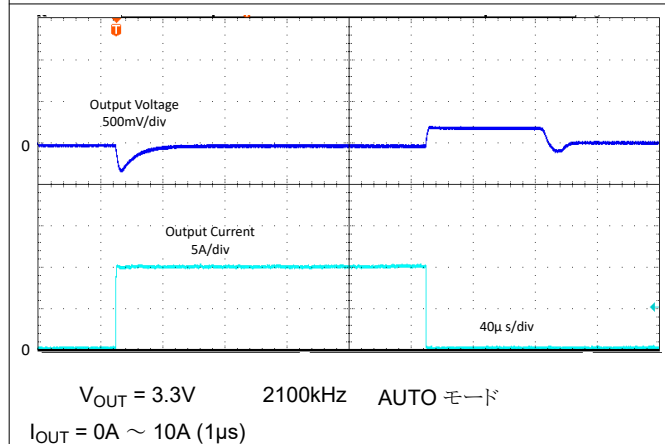


図 8-45. LM654A0 の負荷過渡

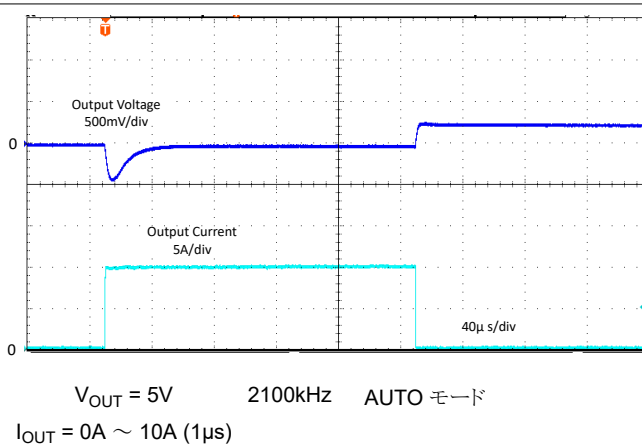


図 8-46. LM654A0 の負荷過渡

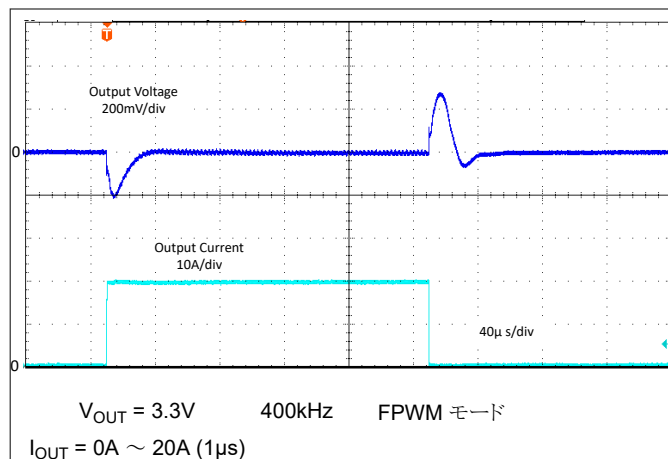


図 8-47. LM654B0 の負荷過渡

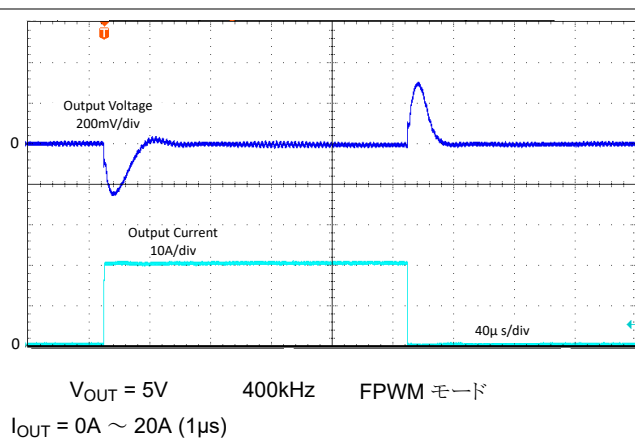


図 8-48. LM654B0 の負荷過渡

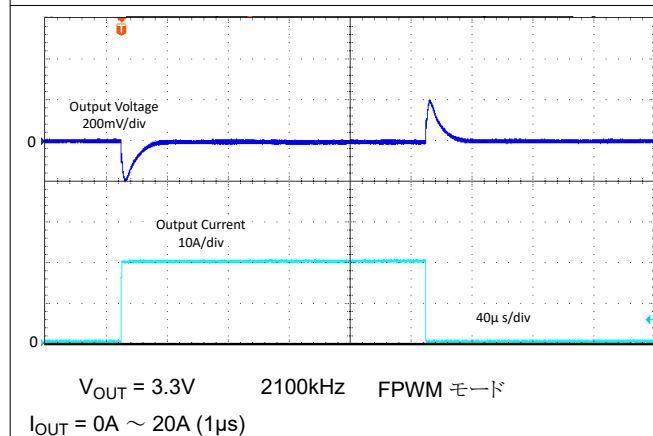


図 8-49. LM654B0 の負荷過渡

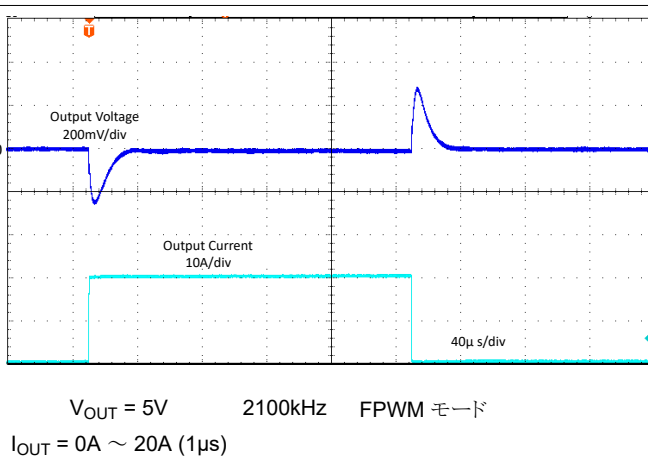


図 8-50. LM654B0 の負荷過渡

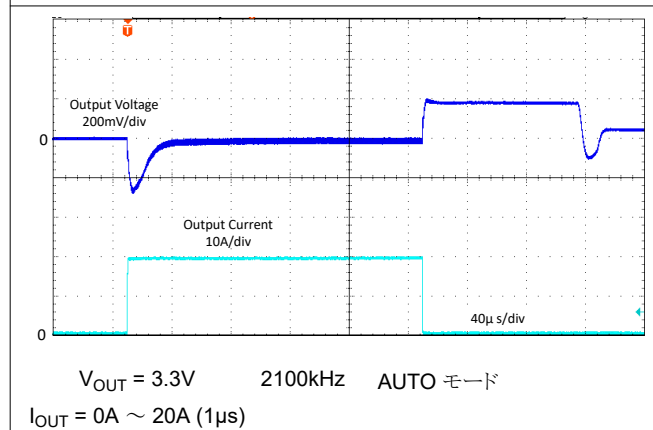


図 8-51. LM654B0 の負荷過渡

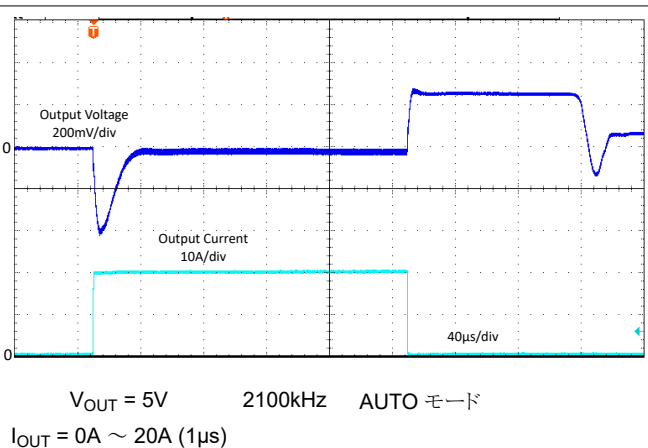


図 8-52. LM654B0 の負荷過渡

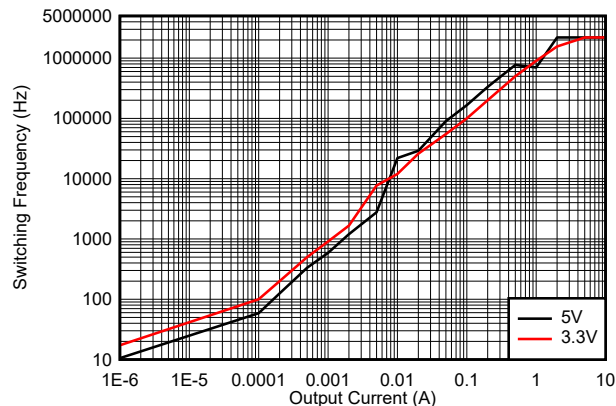

 $V_{IN} = 12V$ 2100kHz AUTO モード

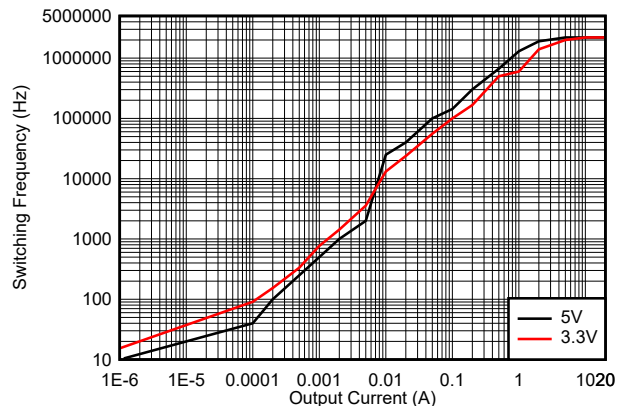
図 8-53. LM654A0 のスイッチング周波数と出力電流との関係

 $V_{IN} = 12V$ 2100kHz AUTO モード

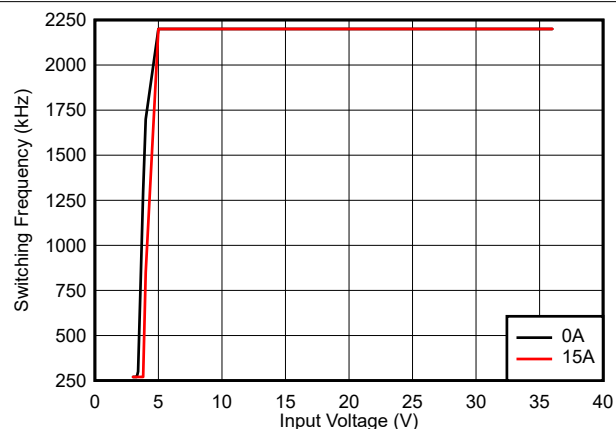
図 8-54. LM654B0 のスイッチング周波数と出力電流との関係

 $V_{OUT} = 3.3V$ 2100kHz AUTO モード

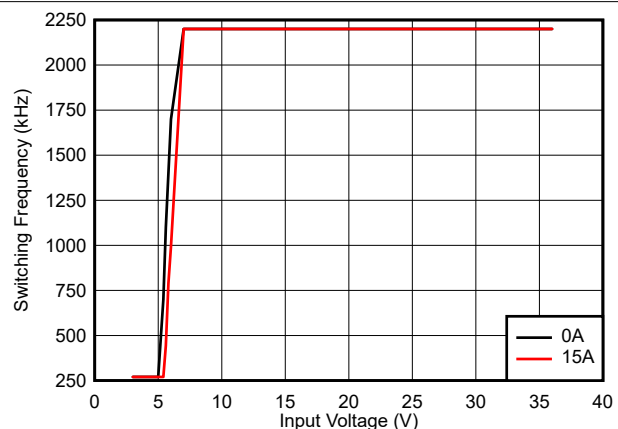
図 8-55. LM654B0 のスイッチング周波数と入力電圧との関係

 $V_{OUT} = 5V$ 2100kHz AUTO モード

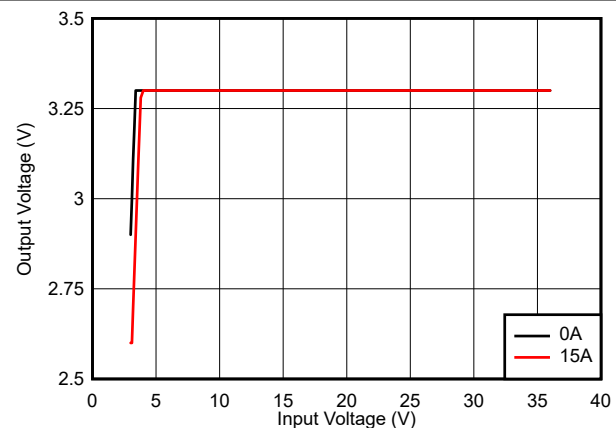
図 8-56. LM654B0 のスイッチング周波数と入力電圧との関係

 $V_{OUT} = 3.3V$ 2100kHz AUTO モード

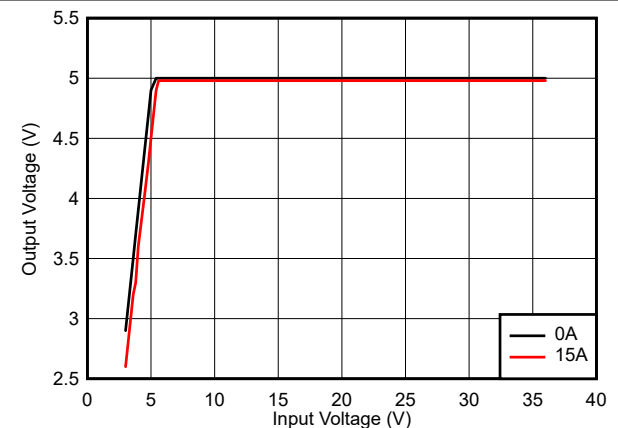
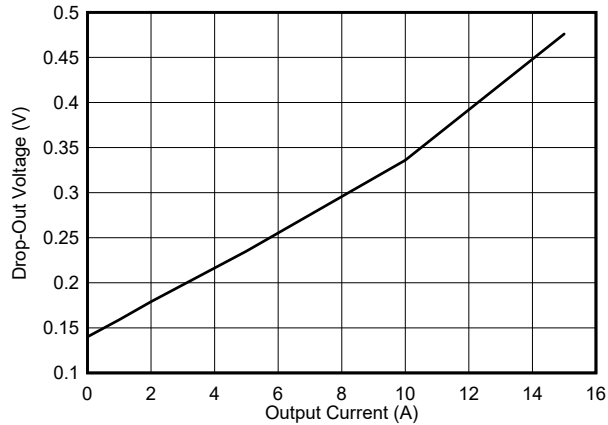
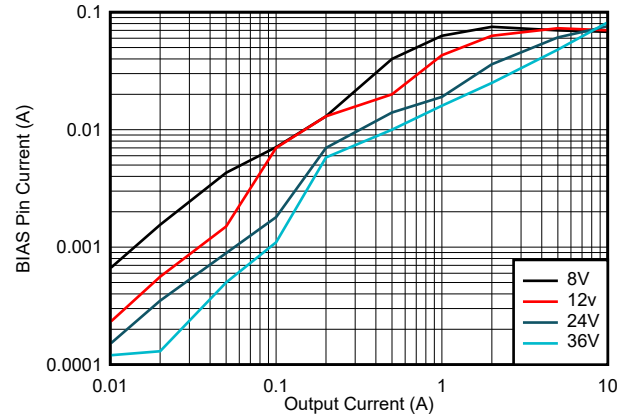
図 8-57. LM654B0 の出力電圧と入力電圧との関係

 $V_{OUT} = 5V$ 2100kHz AUTO モード

図 8-58. LM654B0 の出力電圧と入力電圧との関係



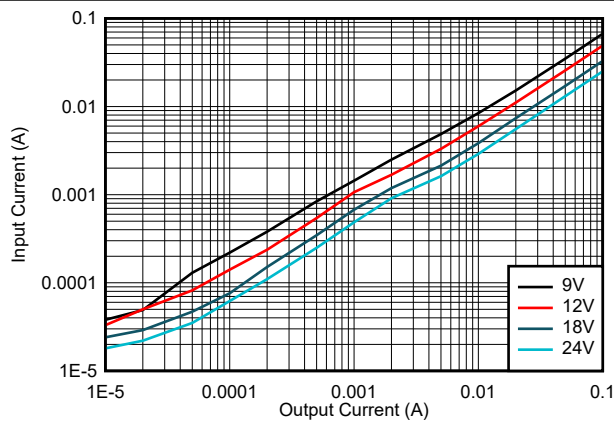
$V_{OUT} = 5V-1\%$ 2100kHz Rinductor = 1.8m Ω

図 8-59. LM654B0 のドロップアウト電圧



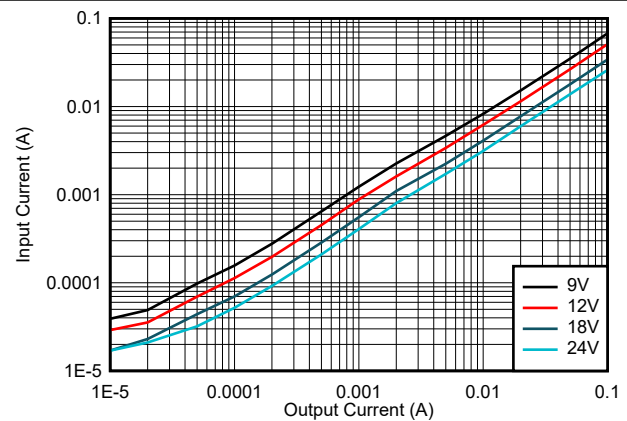
$V_{OUT} = 5V$ 2100kHz AUTO モード

図 8-60. LM654B0 BIAS ピン入力電流



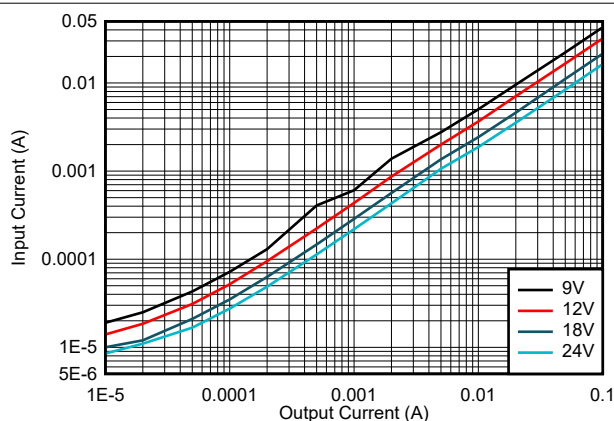
$V_{OUT} = 5V$ 2100kHz AUTO モード

図 8-61. LM654B0 入力電流



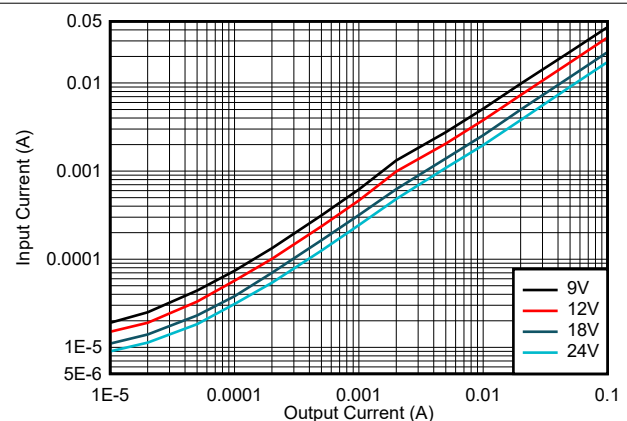
$V_{OUT} = 5V$ 2100kHz AUTO モード

図 8-62. LM654A0 入力電流



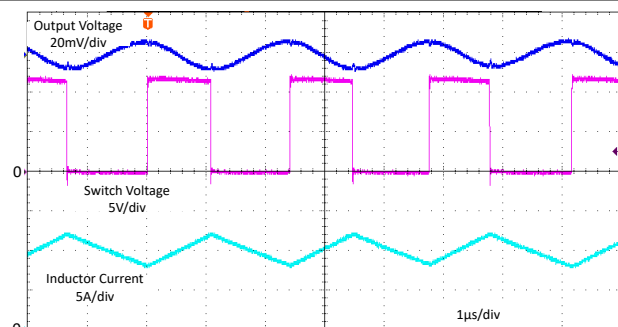
$V_{OUT} = 3.3V$ 2100kHz AUTO モード

図 8-63. LM654B0 入力電流



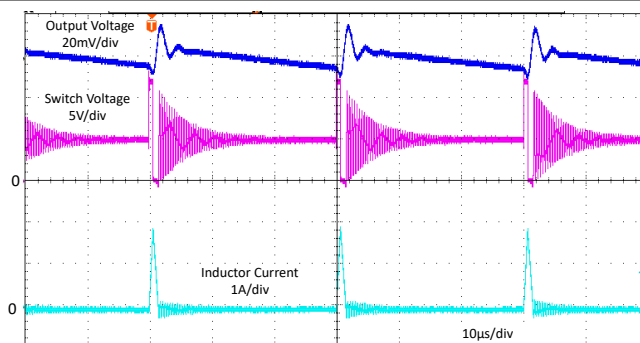
$V_{OUT} = 3.3V$ 2100kHz AUTO モード

図 8-64. LM654A0 入力電流



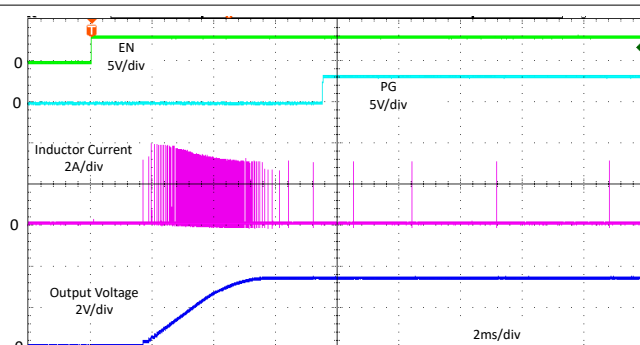
LM654A0 $V_{IN} = 12V$ $V_{OUT} = 5V$
 $I_{OUT} = 10A$ 400kHz

図 8-65. 代表的なスイッチング波形 - PWM



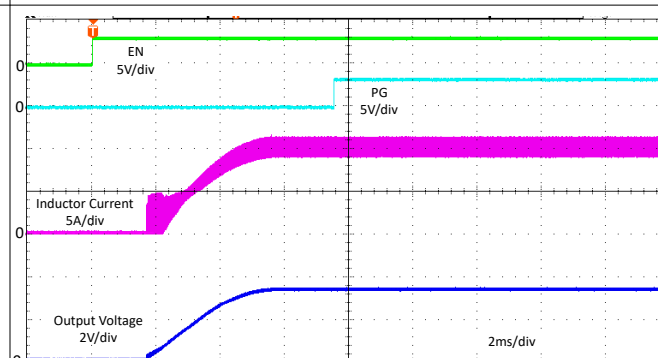
LM654A0 $V_{IN} = 12V$ $V_{OUT} = 5V$
 $I_{OUT} = 50mA$ 400kHz AUTO モード

図 8-66. 代表的なスイッチング波形 - PWM



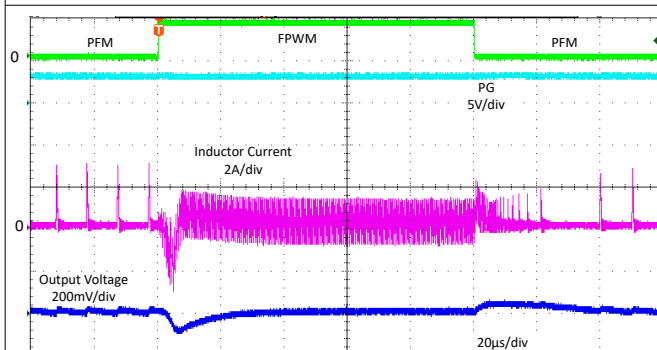
LM654A2 $V_{IN} = 12V$ $V_{OUT} = 3.3V$
 $I_{OUT} = 0A$ 400kHz AUTO モード

図 8-67. イネーブルからの起動



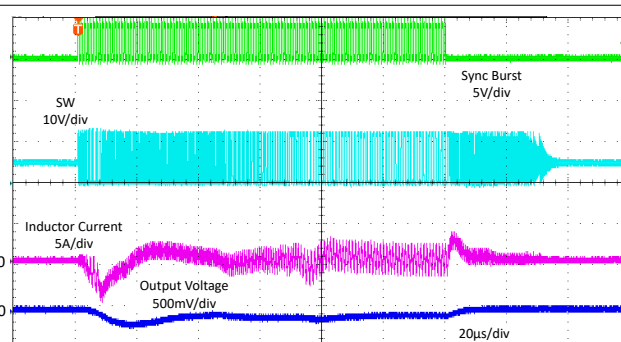
LM654A2 $V_{IN} = 12V$ $V_{OUT} = 3.3V$
 $I_{OUT} = 10A$ 400kHz AUTO モード

図 8-68. イネーブルからの起動



LM654A2 $V_{IN} = 12V$ $V_{OUT} = 3.3V$
 $I_{OUT} = 100mA$ 2100kHz

図 8-69. モード移行時の過渡



LM654A0 $V_{IN} = 12V$ $V_{OUT} = 5V$
 $I_{OUT} = 0A$ 自動 バースト = 1MHz
 120 サイクル

図 8-70. 同期バースト過渡

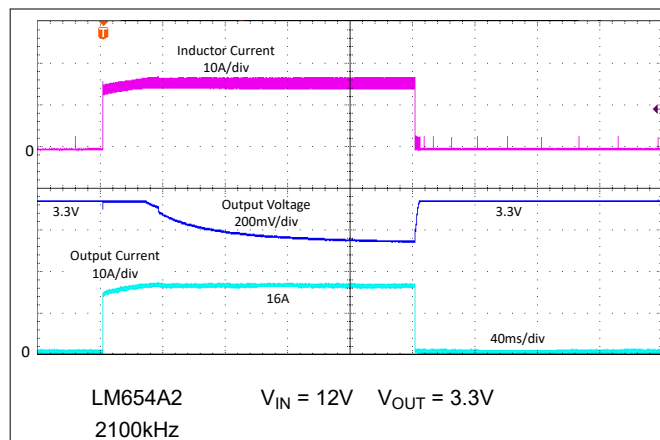


図 8-71. 電流制限

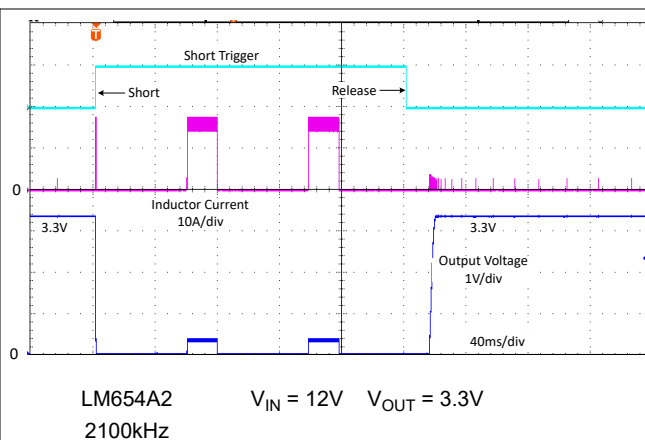


図 8-72. 短絡/Hiccup

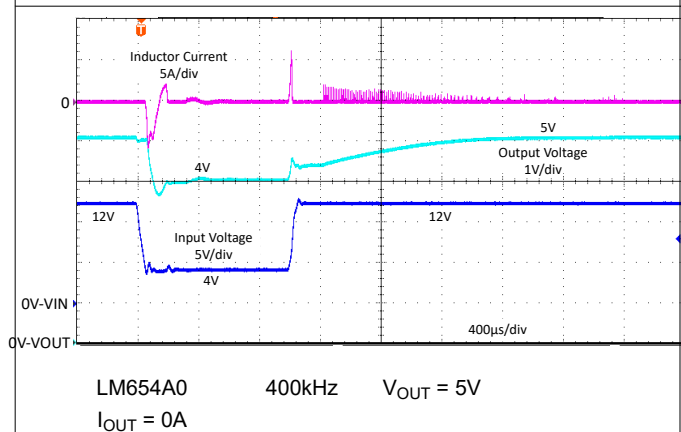


図 8-73. ドロップアウト過渡

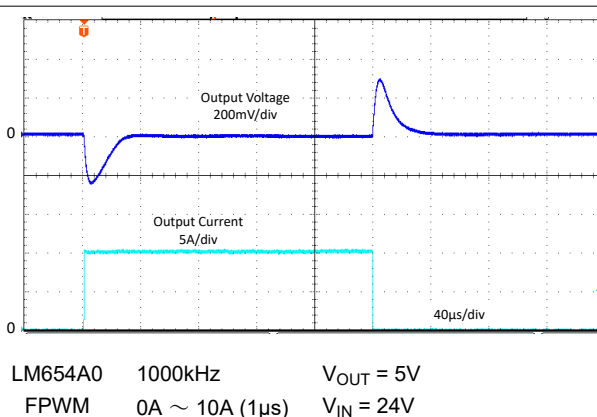


図 8-74. 負荷過渡 - 1MHz

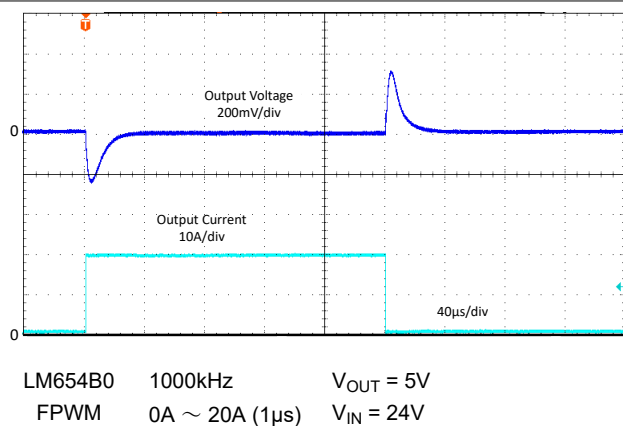


図 8-75. 負荷過渡 - 1MHz

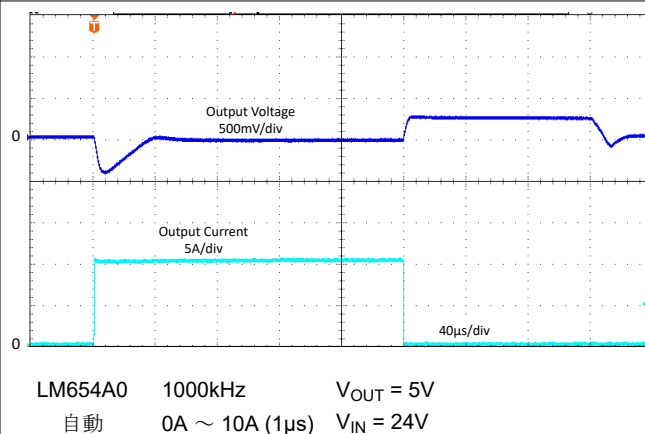
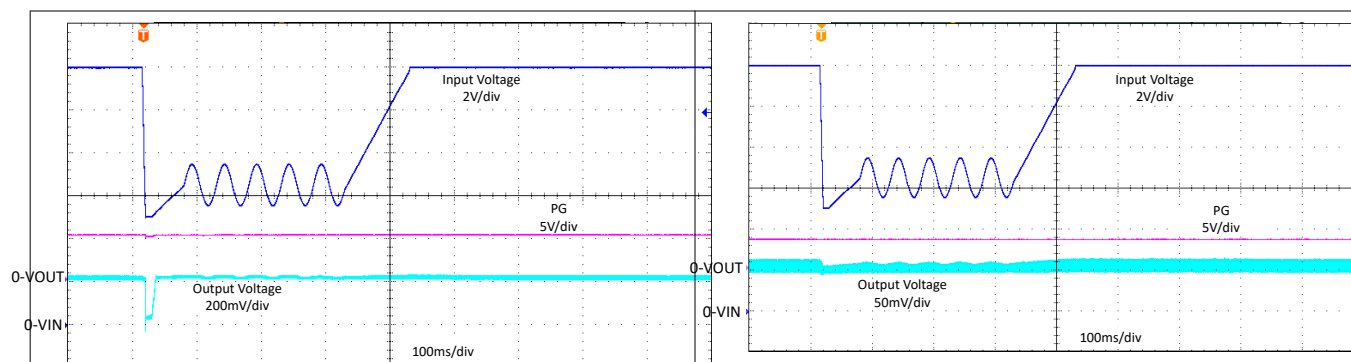


図 8-76. 負荷過渡 - 1MHz

LM654A5-Q1, LM654B0-Q1

JAJSUF2B – NOVEMBER 2025 – REVISED JULY 2026

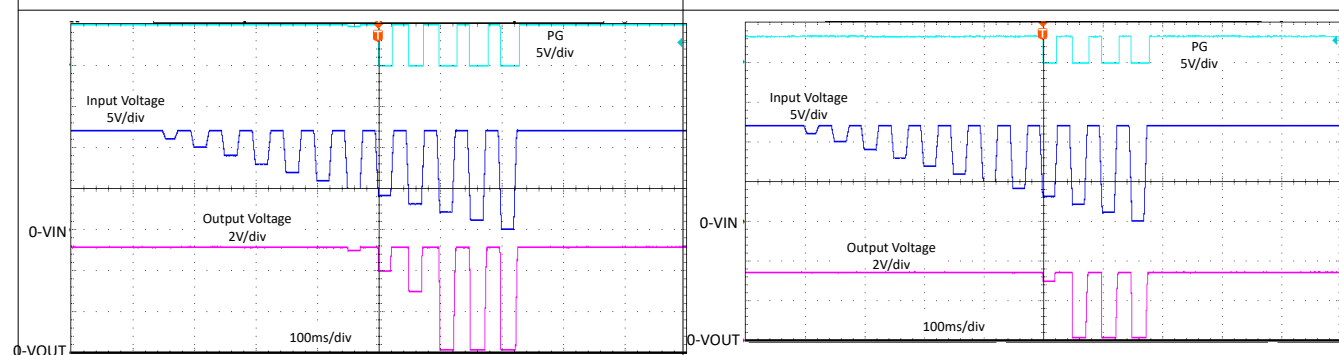


LM654A2 2100kHz $V_{OUT} = 5V$
FPWM $I_{OUT} = 1A$

図 8-77. コールド クランク シミュレーション

LM654A2 2100kHz $V_{OUT} = 3.3V$
FPWM $I_{OUT} = 1A$

図 8-78. コールド クランク シミュレーション

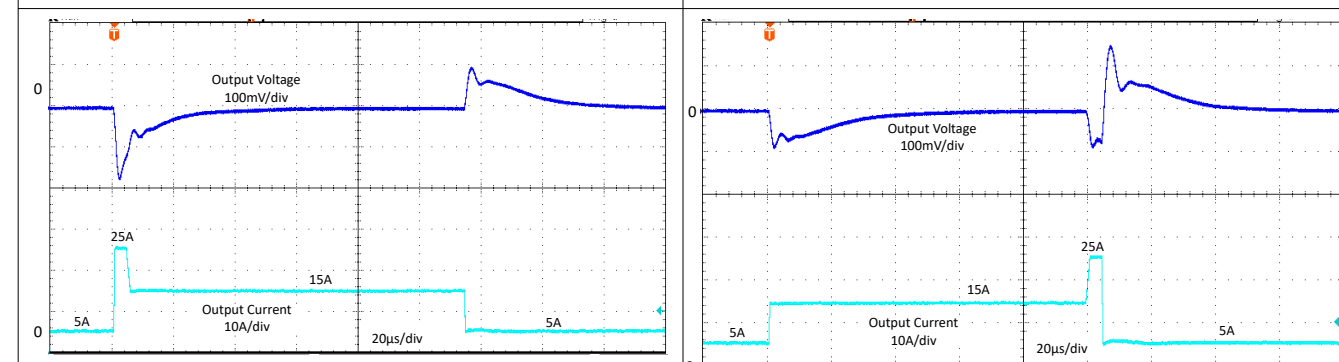


LM654A2 2100kHz $V_{OUT} = 5V$
FPWM $I_{OUT} = 1A$

図 8-79. 電源リセット シミュレーション

LM654A2 2100kHz $V_{OUT} = 3.3V$
 $I_{OUT} = 1A$

図 8-80. 電源リセット シミュレーション

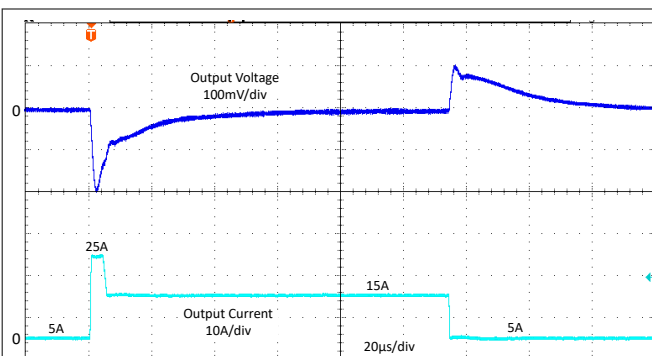


LM654B0 2100kHz $V_{OUT} = 3.3V$
☒ 8-91 を参照 $V_{IN} = 12V$

図 8-81. 負荷過渡プロファイル #1

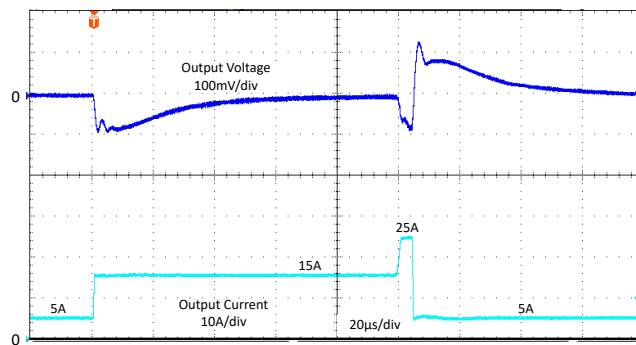
LM654B0 2100kHz $V_{OUT} = 3.3V$
☒ 8-91 を参照 $V_{IN} = 12V$

図 8-82. 負荷過渡プロファイル #2



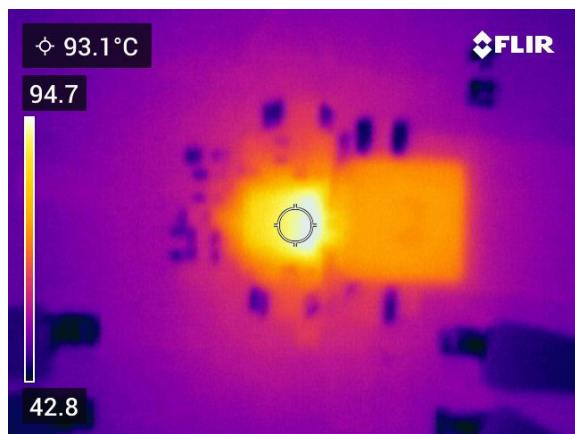
LM654B0 2100kHz $V_{OUT} = 5V$
図 8-92 を参照 $V_{IN} = 12V$

図 8-83. 負荷過渡プロファイル #1



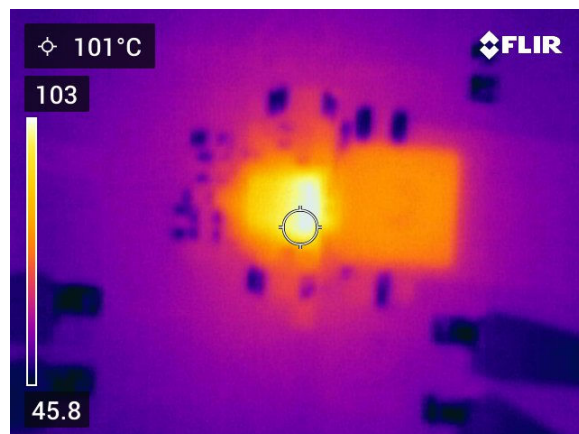
LM654B0 2100kHz $V_{OUT} = 5V$
図 8-92 を参照 $V_{IN} = 12V$

図 8-84. 負荷過渡プロファイル #2



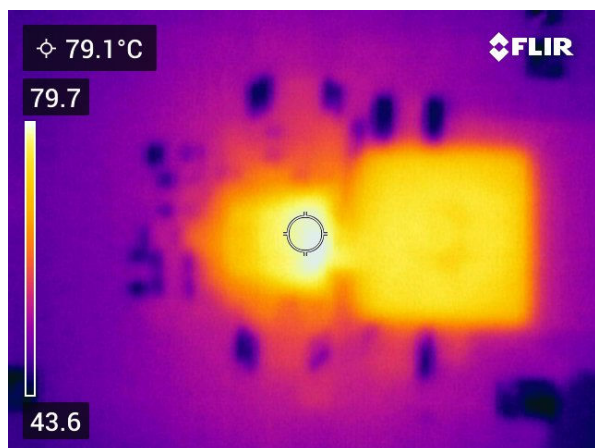
LM654B0 2100kHz $V_{OUT} = 3.3V$
 $\Theta_{JA} = 16^{\circ}C/W$ 1.2μH, 3mΩ $I_{OUT} = 15A$

図 8-85. 熱画像



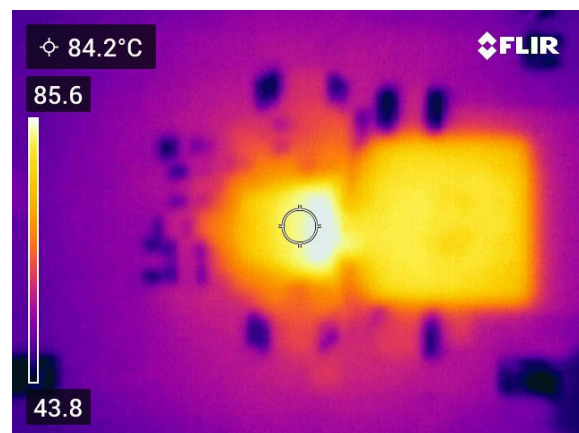
LM654B0 2100kHz $V_{OUT} = 5V$
 $\Theta_{JA} = 16^{\circ}C/W$ 1.2μH, 3mΩ $I_{OUT} = 15A$

図 8-86. 熱画像



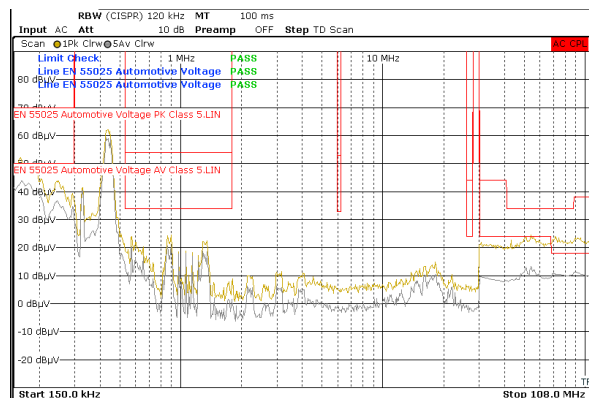
LM654B0 400kHz $V_{OUT} = 3.3V$
 $\Theta_{JA} = 16^{\circ}C/W$ 1.2μH, 3mΩ $I_{OUT} = 15A$

図 8-87. 熱画像



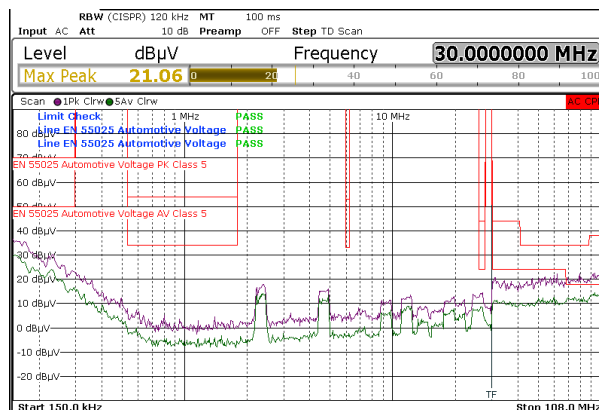
LM654B0 400kHz $V_{OUT} = 5V$
 $\Theta_{JA} = 16^{\circ}C/W$ 1.2μH, 3mΩ $I_{OUT} = 15A$

図 8-88. 熱画像



LM654B0 400kHz $V_{OUT} = 5V$
 $V_{IN} = 12V$ 図 8-93 を参照 $I_{OUT} = 20A$

図 8-89. CISPR25 CE スキャン



LM654B0 2200kHz $V_{OUT} = 3.3V$
 $V_{IN} = 12V$ 図 8-93 を参照 $I_{OUT} = 13A$

図 8-90. CISPR25 CE スキャン

表 8-4. 標準的な曲線データの BOM

デバイス	FREQUENCY	インダクタ ⁽¹⁾	出力キャパシタンス ⁽²⁾	FB/COMP
LM654A0	2.2MHz	0.68μH, 2.3mΩ	3.3V で 59μF, 5V で 51μF	固定/内部
LM654A0	400kHz	2.2μH, 4.8mΩ	3.3V で 215μF, 5V で 180μF	固定/内部
LM654A2	2.2MHz	0.47μH, 1.8mΩ	3.3V で 63μF, 5V で 53μF	固定/内部
LM654A2	400kHz	1.8μH, 4.3mΩ	3.3V で 63μF, 5V で 53μF	固定/内部
LM654A5	2.2MHz	0.47μH, 1.8mΩ	3.3V で 63μF, 5V で 53μF	固定/内部
LM654A5	400kHz	1.8μH, 4.3mΩ	3.3V で 63μF, 5V で 53μF	固定/内部
LM654B0	2.2MHz	0.47μH, 1.8mΩ	3.3V で 140μF, 5V で 120μF	固定/内部
LM654B0	400kHz	1.2μH, 3.4mΩ	3.3V で 280μF, 5V で 240μF	固定/内部
LM654A0	1000kHz	1.2μH, 3.4mΩ	3.3V で 102μF, 5V で 85μF	固定/内部
LM654B0	1000kHz	0.68μH, 2.3mΩ	3.3V で 140μF, 5V で 115μF	固定/内部

- (1) 3.3V および 5V 出力の両方に適用
 (2) 指定された D.C. バイアスにて EVM で測定。

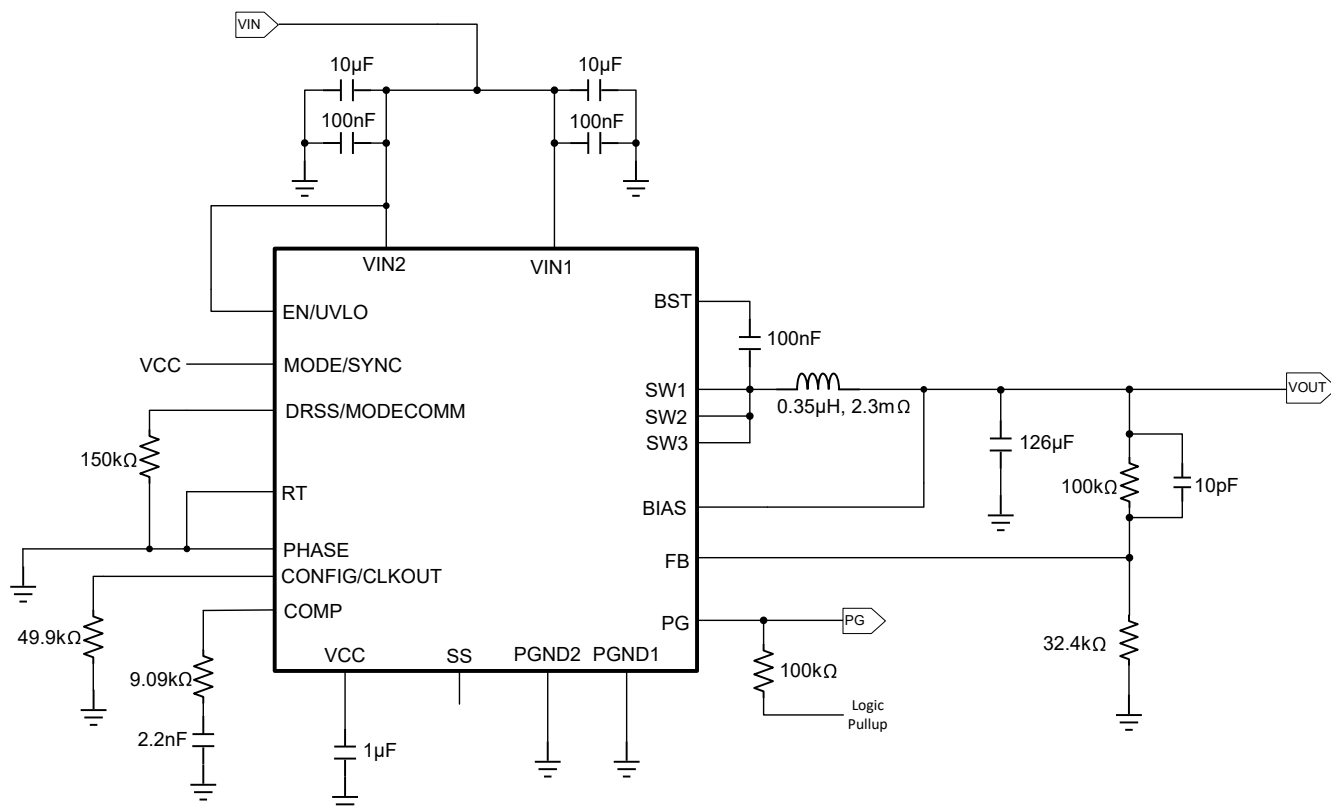


図 8-91. 3.3V 特殊負荷プロファイルの回路図

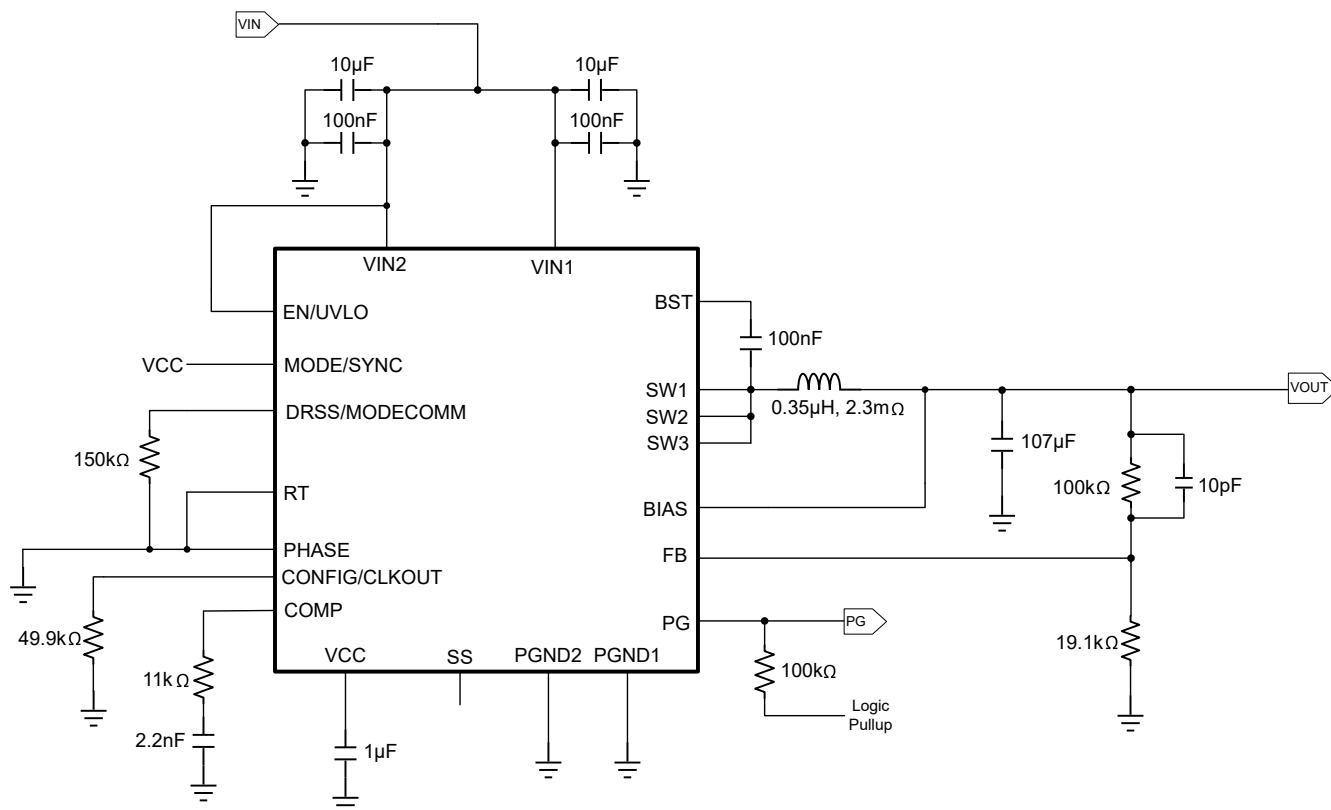


図 8-92. 5V 特殊負荷プロファイルの回路図

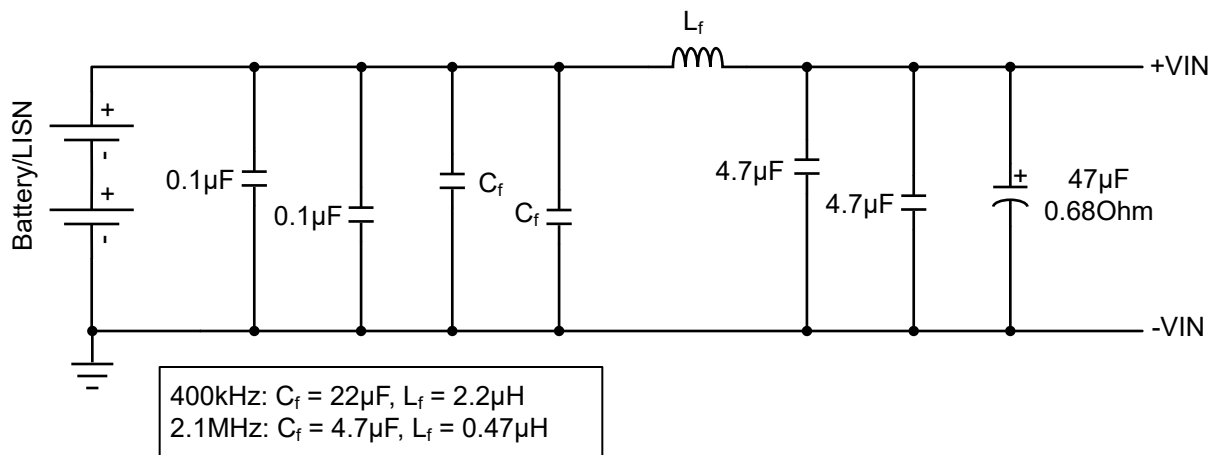


図 8-93. 標準入力 EMI フィルタ回路図

8.3 電源に関する推奨事項

入力電源は、負荷時のレギュレータに必要な入力電流を供給できる特性を持っている必要があります。平均入力電流は、式 23 を使って見積もることができます。

$$I_{IN} \cong \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times \eta} \quad (23)$$

ここで、

η は効率です。

レギュレータを長いワイヤや PCB パターンで入力電源に接続している場合は、良好な性能を実現するために特別な注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、レギュレータの動作に悪影響を及ぼすおそれがあります。寄生インダクタンスと低 ESR セラミック入力コンデンサを組み合わせることで、不足減衰共振回路を形成できます。これにより、レギュレータへの入力で過電圧過渡が発生したり、電源が完全に発振する可能性があります。これは、EMI 入力フィルタを使用する場合に特に当てはまります。ハーネスの寄生抵抗とインダクタンスや電源の特性に応じて、負荷過渡が出力に発生したときに、電源電圧が低下する可能性があることを考慮してください。アプリケーションが最小入力電圧に近い値で動作している場合、この低下によってレギュレータが瞬間的にシャットダウンし、リセットされる可能性があります。この種の問題を解決する最善策は、入力電源からレギュレータまでの距離を短くすることです。さらに、セラミック入力コンデンサと並列にアルミニウム入力コンデンサを使用してください。中程度の ESR を持つこのタイプのコンデンサを使うことは、入力共振回路の振動を減衰させ、あらゆるオーバーシュートまたはアンダーシュートを低減するのに有効です。通常、 $20\mu\text{F} \sim 100\mu\text{F}$ の範囲の値は入力のダンピングに十分であり、大きな負荷過渡中も入力電圧を安定した状態に保持できます。通常は、入力 EMI フィルタを使用する場合に電解入力コンデンサの使用が必要になります。

場合によっては、コンバータの入力に過電圧サプレッサ (TVS) が使われています。この素子の種類には、スナップバック特性を持つもの (サイリスタ型) があります。テキサス・インスツルメンツでは、このタイプの特性を持つデバイスの使用を推奨していません。このタイプの TVS が作動すると、クランプ電圧は非常に低い値に低下します。この電圧がレギュレータの出力電圧よりも低い場合、出力コンデンサは本デバイスを通して入力に向かって放電します。この制御されない電流は、デバイスに損傷を与える可能性があります。

入力電圧は、出力電圧を下回ることはできません。この状況 (入力短絡テストなど) では、出力コンデンサは、本デバイスの VIN ピンと SW ピンの間に形成された内部寄生ダイオードを通じて放電されます。この状況では電流は制御できなくなる可能性があり、デバイスが損傷するおそれがあります。このシナリオが想定される場合は、入力電源と出力の間にショットキー ダイオードを使用してください。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

すべての DC/DC コンバータの PCB レイアウトは、最適な設計性能を実現するために重要です。PCB レイアウトが不適切な場合、適正な回路図設計の動作の妨げとなる可能性があります。コンバータが適切にレギュレートしている場合でも、PCB レイアウトが不適切では、堅牢な設計と量産できない設計という違いが生じる可能性があります。さらに、レギュレータの EMI 性能は、PCB レイアウトに大きく依存します。降圧コンバータにおいて、EMI に関する PCB の最も重要な機能は、入力コンデンサと電源グラウンドによって形成されるループです。このアクションは、[図 8-94](#) に記載されています。このループには、パターンのインダクタンスに反応して大きな過渡電圧を発生させる可能性がある大きな過渡電流が流れます。過剰な過渡電圧は、コンバータの正常な動作を妨げる可能性があります。このような妨害の可能性があるため、寄生インダクタンスを低減するために、このループ内のパターンを広く短くし、ループの面積はできる限り小さいままにする必要があります。

- 入力コンデンサは、できる限り入力ピン ペアの近くに配置します。(VIN1/PGND1、VIN2/PGND2) のできるだけ近くに配置します。小さなコンデンサを最も近くに配置します。ピンのペアはそれぞれ隣接しているため、入力コンデンサを簡単に配置できます。このパッケージでは、パッケージのどちらの側にも 2 つの VIN/PGND ペアがあります。これにより対称にレイアウトでき、スイッチングノイズと EMI 生成を最小限に抑えることができます。中間層に広い VIN プレーンを使用して、両方の VIN ペアをまとめて入力電源に接続します。対称型ピン配置の利点を最大限に活用するには、電源から各 VIN ピンまで対称的に配線します。100nF の高周波入力コンデンサは、レギュレータの VIN ピンおよび PGND ピンから 1mm 以内に配置する必要があります。¹
- VCC のバイパスコンデンサは、VCC ピンと PGND ピンの近くに配置します。このコンデンサは、短く広いパターンで VCC および PGND ピンに配線する必要があります。
- BST コンデンサは、デバイスのできる限り近くに、BST および SW ピンに短く広いパターンで配線します。
- 帰還分圧器は、本デバイスの FB ピンのできるだけ近くに配置します。R_{FBB}、R_{FBT}、C_{FF} を使用する場合、本デバイスに物理的に近付けて配置します。R_{FBB} を経由した FB と PGND への接続は、短くする必要があり、かつ本デバイスのそれらのピンに近付ける必要があります。V_{OUT} への接続は、多少長くなってもかまいません。ただし、この後者のパターンは、レギュレータの帰還経路に静電容量結合する可能性があるすべてのノイズ源 (SW ノードなど) の近くには配線しないでください。
- 補償部品は、COMP ピンのすぐ近くに配置します。外部補償部品を使用する場合は、部品を COMP ピンのできるだけ近くに配置する必要があります。これにより、COMP ピンの寄生容量が減少し、ノイズのピックアップを防止できます。
- PCB の第 2 層はグラウンド プレーンにする必要があります。このプレーンは、ノイズ シールドと放熱経路として機能します。第 2 層を使うことで、入力ループ内の入力循環電流が囲む面積を低減させ、インダクタンスを低減できます。
- V_{IN}、V_{OUT}、PGND には広いパターンを使います。コンバータの入力または出力経路でのすべての電圧降下を低減し、効率を最大化するため、これらの配線はできるだけ広くかつ真っすぐにする必要があります。
- 適切なヒートシンクのために十分な PCB 領域を確保するか、外部ヒートシンクを使用します。最大負荷電流と周囲温度を考慮し、十分な銅箔面積を使用して低い R_{θJA} を確保してください。PCB 層の上部と下部は 2 オンス銅箔とし、最低でも 1 オンス以上とします。PCB 設計に複数の銅層を使用している場合は (推奨設計)、サーマル ビアも内部層の熱拡散グラウンド プレーンに接続することができます。このデバイスのパッケージは、すべてのピンで放熱されます。ノイズに配慮して面積を最小化する場合を除き、すべてのピンに幅広パターンを使うことができます。外部ヒートシンクの使用と取り付け要件を考慮してください。
- 十分なグラウンド ビアを使用します。複数のグラウンド ビアを使用する必要があります (スティッチング)。これにより、低インピーダンスのグラウンド接続と、レギュレータ用の低インピーダンスの熱パスの両方が実現されます。これは、入力コンデンサのグラウンドの周囲で特に重要です。また、レギュレータの DAP の下にサーマル グラウンド ビアも必要で、PCB の両側まで到達させる必要があります。例として LM654B0EVM を使用します。(図 8-95 は、グラウンド ビアの数と配置に関する説明を目的としています)
- スwitchングする領域は、小さく保ちます。SW ピンをインダクタに接続する銅箔領域は、できるだけ短くかつ広くします。同時に、放射 EMI を低減するため、このノードの総面積を最小化する必要があります。

¹ 入力コンデンサの配置が推奨範囲外であると、入力電圧の増加やスイッチ ノードリングの絶対最大定格の外への増加、システムの不安定性など、デバイスの性能の低下が発生する可能性があります。

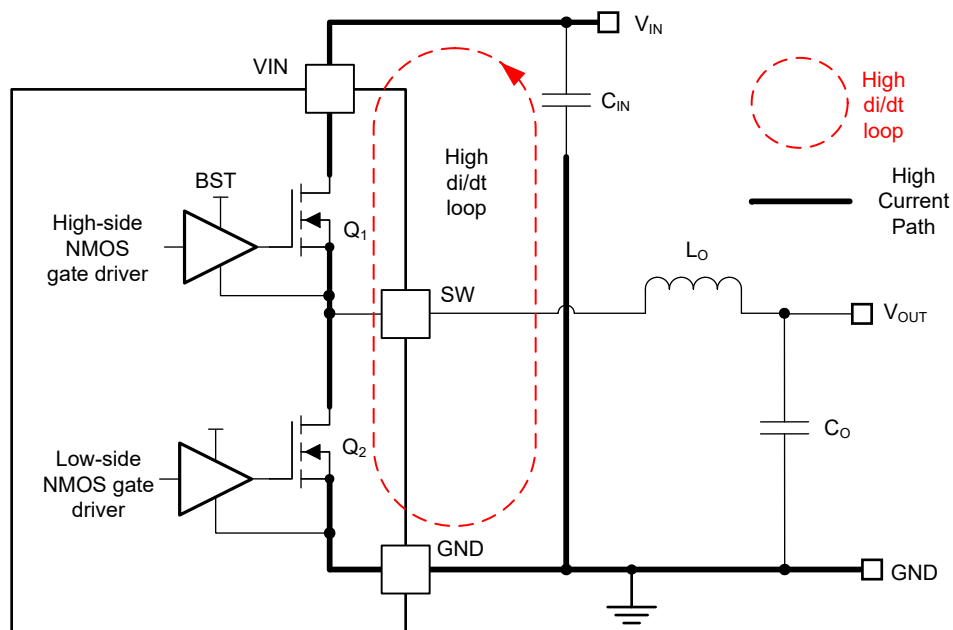
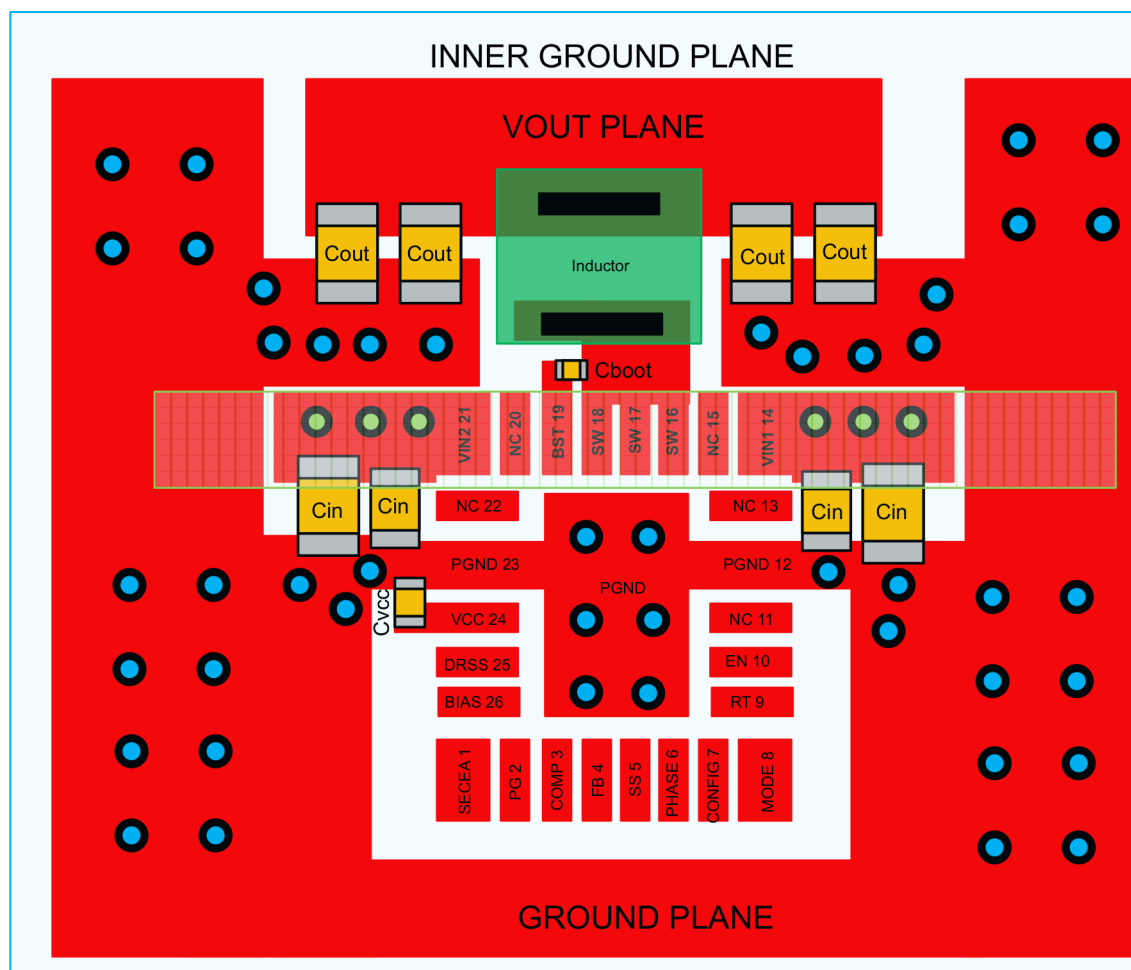


図 8-94. 入力電流ループ

8.4.2 レイアウト例



- Top Trace/Plane
- Inner GND Plane
- VIN Strap on Inner Layer
- VIA to GND Planes
- VIA to VIN Strap

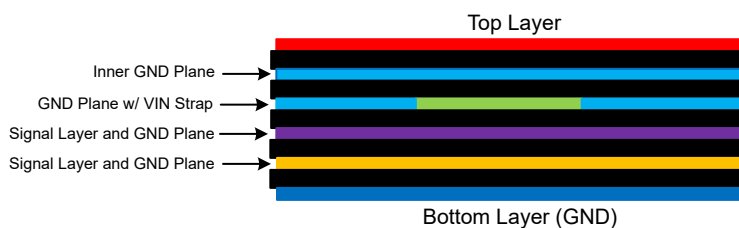


図 8-95. PCB のレイアウト例

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『過去ではなく、現在の識見による熱設計』アプリケーション レポート
- テキサス インスツルメンツ、『露出パッド パッケージで最良の熱抵抗を実現するための基板レイアウト ガイド』アプリケーション ノート
- テキサス インスツルメンツ、『熱評価基準を使用して接合部温度を適切に評価する方法』アプリケーション ノート
- テキサス インスツルメンツ、『車載用 DC/DC コンバータの PCB 熱設計のヒント』アプリケーション ノート

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 商標

HotRod™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (June 2026) to Revision B (July 2026)	Page
• 「製品情報」表の部品番号を LM654B0-Q1 から汎用の LM654xx-Q1 に変更	1
• 「デバイス比較表」のプレビュー表の注記を削除し、LM654A5-Q1 のリリース ステータスを更新	3

Changes from Revision * (November 2025) to Revision A (June 2026)	Page
• データシート全体の最初の公開リリース。	1
• ドキュメントのステータスを試作情報から混流生産に変更	1
• ドキュメント タイトル、「特長」の一覧と「説明」に MINT の説明を追加	1
• 「ピン構成および機能」を更新し、出力クロックで 0 度と 180 度の位相シフトを可能にするための、プライマリに対する PHASE ピンの動作を明確化	4
• 「ピン構成および機能」に、高周波入力コンデンサのバイパス配置のガイドラインを追加	4
• 最小入力電圧に関する注を追加	7
• EVM の θ_{JA} を 16 に更新	8
• 「電気的特性」の表を量産仕様に更新	8
• ton-minimum の最大値を削除、量産テスト対象外のため	8
• 代表的特性を追加	12
• 「調整可能なスイッチング周波数と位相シフト」に、RT をより簡単に選択するための表を追加	19
• 「デュアル ランダム スペクトラム拡散(DRSS)」で、DRSS ピンの VCC 短絡条件における三角波周波数拡散を 17.5% から 17% に変更	20
• 「ソフトスタートとドロップアウトからの回復」にソフトスタート コンデンサの選択式を追加	21
• 「代表的なアプリケーション」に代表的なアプリケーションの回路図を追加	28
• 「インダクタの選択」に、さまざまな電流制限に対する最小インダクタンスの式を追加	34
• 標準的な性能曲線を追加	41

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM654A5VDARQ1	Active	Production	null (null)	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	MT654A5Q
LM654B0VDARQ1	Active	Production	WQFN-FCRLF (VDA) 26	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	MT654B0Q
PLM654B0VDARQ1	Active	Preproduction	WQFN-FCRLF (VDA) 26	3000 LARGE T&R	-	Call TI	Call TI	-40 to 150	

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

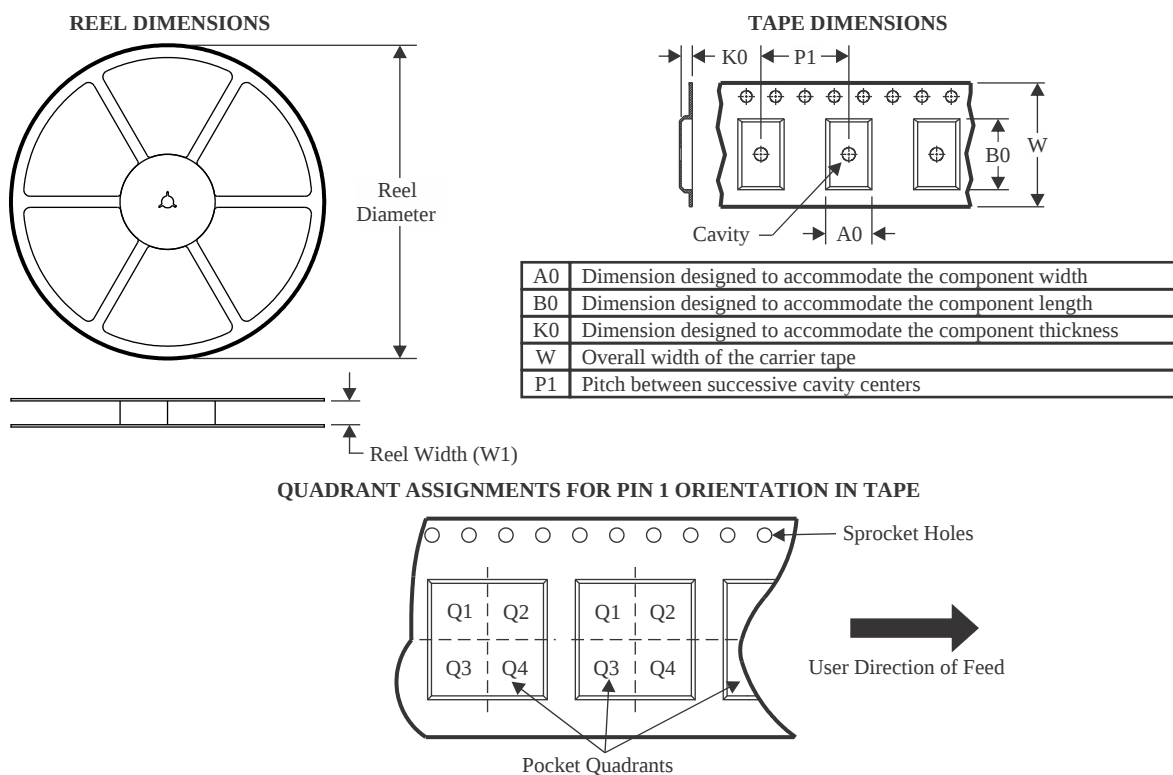
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

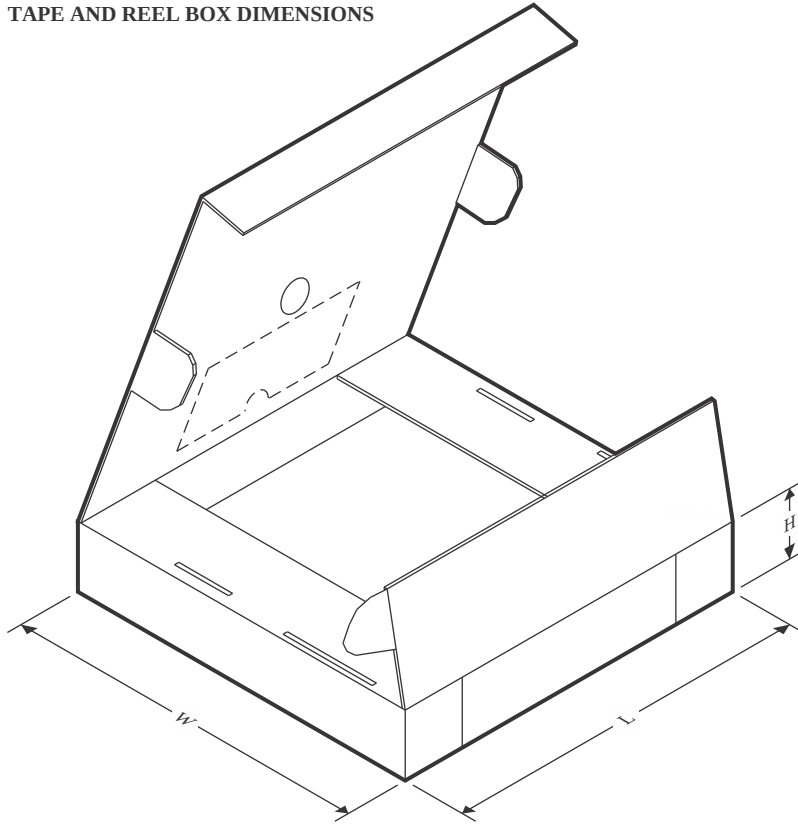
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION


*All dimensions are nominal

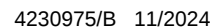
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM654B0VDARQ1	WQFN-FCRLF	VDA	26	3000	330.0	12.4	4.8	4.8	1.4	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS

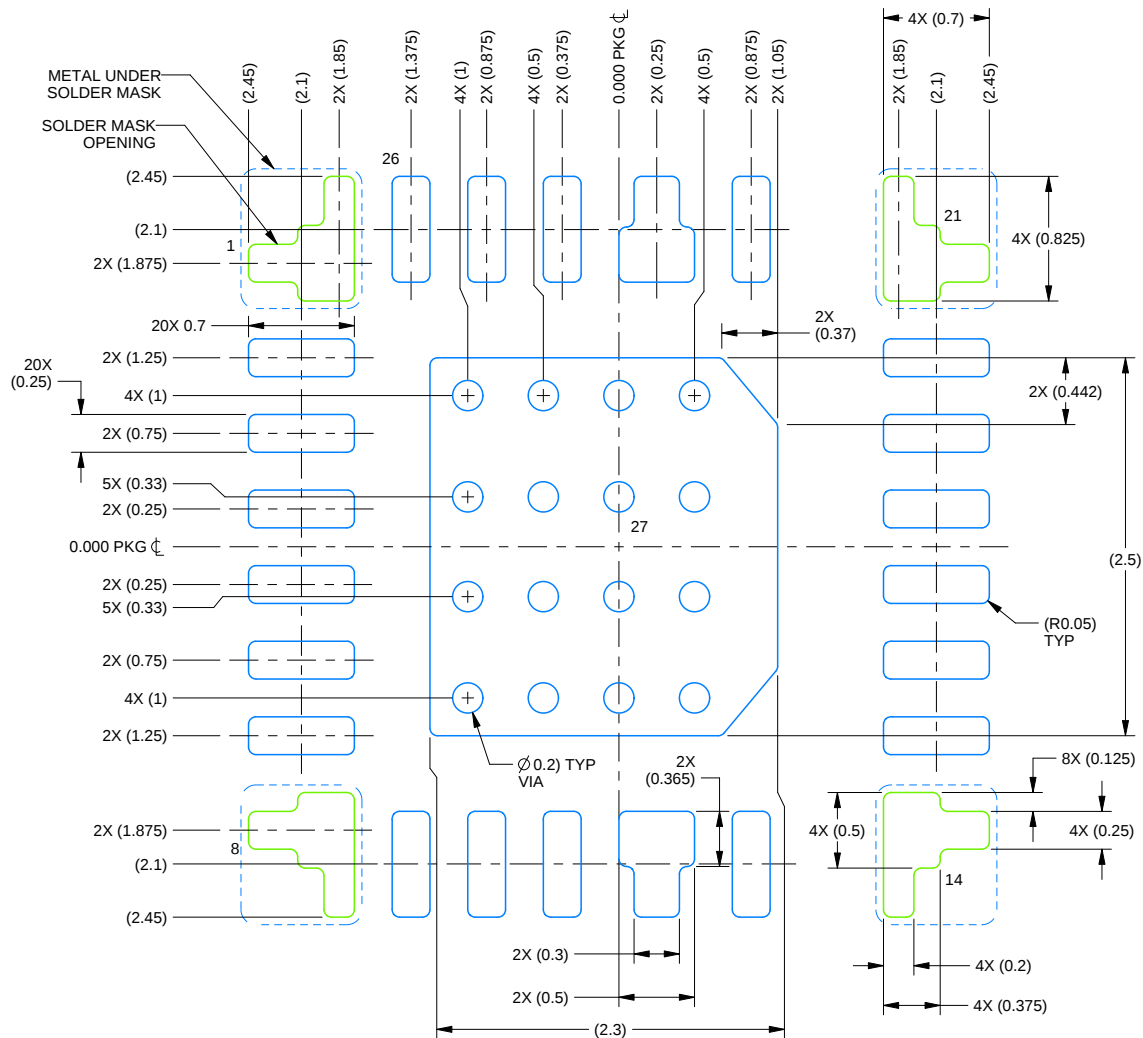


*All dimensions are nominal

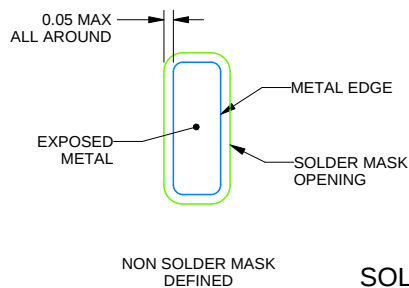
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM654B0VДАРQ1	WQFN-FCRLF	VDA	26	3000	346.0	346.0	33.0



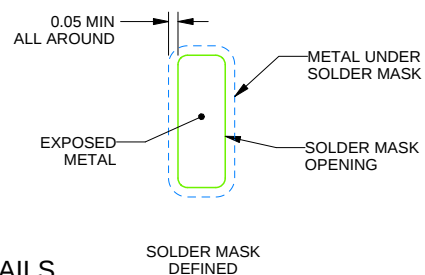
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN
SCALE: 20X

SOLDER MASK DETAILS



NOTES: (continued)

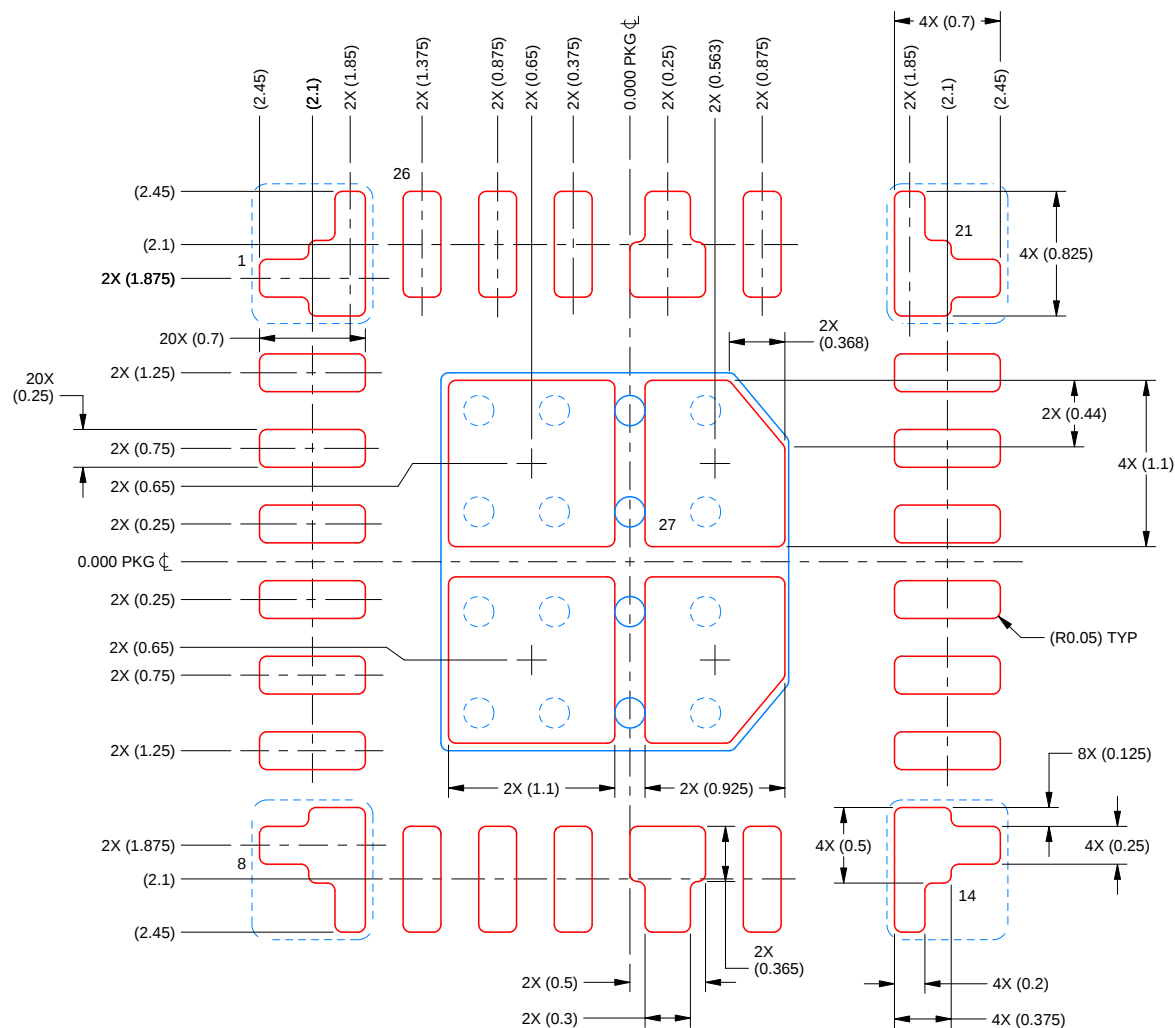
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

4230975/B 11/2024

VDA0026A

WQFN-FCRLF - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE

BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PAD 27: 84%

4230975/B 11/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月