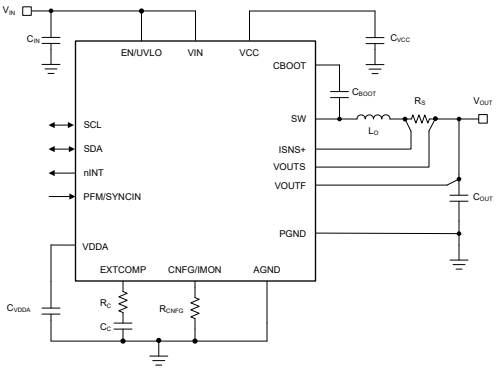
LM72880-Q1 80V、5A、8A、車載、高効率 CC-CV 降圧コンバータ、I²C 搭載

1 特長

- 車載アプリケーション用に AEC-Q100 認定済み:
  - デバイス温度グレード 1:動作時周囲温度 –40°C ～ +125°C
- 機能安全対応
  - 機能安全システム設計に役立つ資料を利用可能
- I²C を搭載した同期整流 CC-CV 降圧コンバータ
  - 広い入力電圧範囲:4.5V ～ 80V
    - LV148 / ISO21780 要件に適合
  - 1V ～ 24V の範囲では 10mV ステップで 、または 3.3V ～ 48V の範囲では 20mV ステップでプログラム可能な V_{OUT}
  - 0.5A ～ 7.5A (R_S = 8mΩ) または 0.8A ～ 12A (R_S = 5mΩ) で プログラム可能な $I_{LIM(avg)}$
  - 可変ケーブル電圧降下補償 (CDC)
  - アナログ電流モニタ ピン (IMON)
- TPS2674X-Q1 USB Type-C® 電力供給 (PD) コントローラと互換
- 低 EMI 要件向けの設計
  - CISPR 25 Class 5 準拠
  - プログラマブル変調周波数による±5%のデュアルランダムスペクトラム拡散機能
  - プログラム可能な f_{SW}:200kHz ～ 2.2MHz
- プログラむ可能な保護機能
  - UV/OV (PG) 警告:±5% または ±10%
  - OVP 警告、フォルト:105% ～ 136% (1% ステップ)
  - ヒカップ モード OCP、TSD
- 6mm × 6mm の熱最適化、RoHS 準拠、鉛フリー メッキの VQFN-29 パッケージ
- WEBENCH® Power Designer により、LM72880-Q1 を使用するカスタム設計を作成



代表的なアプリケーション回路

2 アプリケーション

- 車載用電子システム
- インフォテインメントおよびクラスタ
- 車載用 USB 充電

3 説明

LM72880-Q1 は、80V の同期整流降圧コンバータで、定電流定電圧 (CC-CV) レギュレーションと I²C インターフェイスを搭載しています。このデバイスは、TPS2674X-Q1 ファミリを含め、USB Type-C PD コントローラと互換性があります。

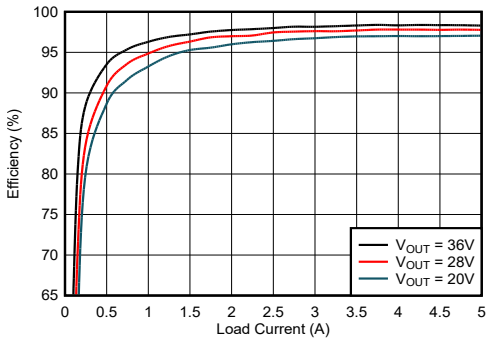
本コンバータはピーク電流モード制御アーキテクチャを採用しているため、ループ補償が簡単で、過渡応答が高速であり、負荷および入力電圧レギュレーションが非常に優れています。高精度の CC-CV (定電流 / 定電圧) 動作により、定電流モードと定電圧モード間をシームレスな遷移が可能になります。I²C インターフェイスにより、10mV または 20mV 刻みの出力電圧、50mA 刻みでの平均出力電流制限に加えて、出力電圧スルーレート、スイッチング周波数、ソフトスタートのスルーレート、動作モード、電流ループ補償、出力アクティブ放電強度、ケーブル電圧降下補償ゲインをプログラムすることができます。

また、LM72880-Q1 には、プログラマブル スレッショルドによる低電圧 / 過電圧保護、プログラマブル ヒカップ モードによる過電流保護、サーマル シャットダウンなど、多くの安全機能が含まれています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
LM72880-Q1	RRX (VQFN、29)	6mm × 6mm

(1) 詳細については、*メカニカル、パッケージ、および注文情報*を参照してください。
(2) パッケージ サイズ (長さ×幅) は公称値であり、該当する場合はピンも含まれます。



代表的な効率 V_{IN} = 48V、f_{SW} = 400kHz

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

LM72880-Q1 の追加機能には、軽負荷状態での低消費電流を実現するプログラム可能なダイオードエミュレーション、障害報告および出力モニンタリング用のオープンドレイン nINT フラグ、高精度のイネーブル入力、プリバイアス負荷への単調な起動、統合型デュアル入力（VIN および VOUTF）VCC 電源レギュレータ、およびコンパニオン USB PD コントローラなどの外部負荷に電力を供給するための特大 VDDA レギュレータが含まれています。

LM72880-Q1 コンバータは 6mm × 6mm 熱最適化 29 ピン VQFN パッケージで供給されます。3 つのダイ接続パッド (VIN、SW、PGND) により、放熱性能と基板レベルの信頼性 (BLR) が向上しています。

LM72880-Q1 コンバータは、「関連製品」に記載されている定電流定電圧 (CC-CV) レギュレーションおよび I^2C インターフェイスを備えた同期整流降圧コンバータ ファミリに属しています。

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 関連製品.....4
5 ピン構成および機能.....5
6 仕様.....7
6.1 絶対最大定格.....7
6.2 ESD 定格.....7
6.3 推奨動作条件.....7
6.4 熱に関する情報.....8
6.5 電気的特性.....8
6.6 シリアル制御バスのタイミング要件.....12
6.7 代表的特性.....13
7 詳細説明.....16
7.1 概要.....16
7.2 機能ブロック図.....17
7.3 機能説明.....18
7.4 デバイスの機能モード.....28
7.5 プログラミング.....30
8 LM72880-Q1 のレジスタ.....33
9 アプリケーションと実装.....46
9.1 使用上の注意.....46
9.2 代表的なアプリケーション.....52
9.3 電源に関する推奨事項.....59
9.4 レイアウト.....60
10 デバイスおよびドキュメントのサポート.....62
10.1 デバイス サポート.....62
10.2 ドキュメントのサポート.....62
10.3 ドキュメントの更新通知を受け取る方法.....63
10.4 サポート・リソース.....63
10.5 商標.....63
10.6 静電気放電に関する注意事項.....64
10.7 用語集.....64
11 改訂履歴.....64
12 メカニカル、パッケージ、および注文情報.....65

Copyright © 2026 Texas Instruments Incorporated

4 関連製品

デバイスのオプション	V_{IN} (最大)	V_{OUT} (最大)	I_{OUT} (最大)	$I_{LIM(avg)}$ (最大)
LM72630-Q1	70V	24V	3A (R_S = 8mΩ)	4.5A
LM72650-Q1	70V	24V	5A (R_S = 8mΩ)	7.5A
LM72680-Q1	70V	48V	5A (R_S = 8mΩ)	7.5A
			8A (R_S = 5mΩ)	12A
LM72880-Q1	80V	48V	5A (R_S = 8mΩ)	7.5A
			8A (R_S = 5mΩ)	12A

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

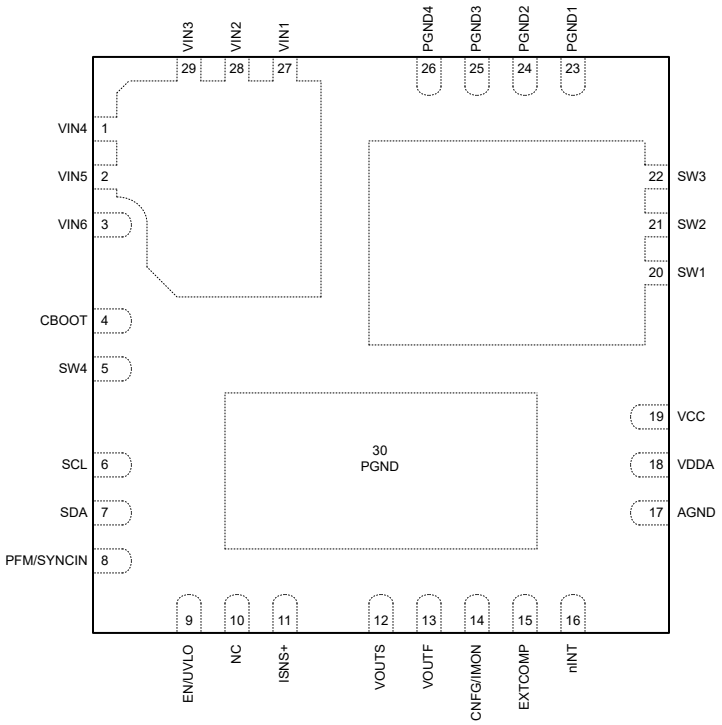


図 5-1. RRX 29 ピン VQFN (上面図)

表 5-1. ピンの機能

ピン		タイプ(1)	説明
番号	名称		
1	VIN4	P	ハイサイド パワー MOSFET および VCC レギュレータ (VIN6) のドレインへのコンバータ入力ピン。入力電源と入力フィルタ コンデンサに接続します。VIN ピンから入力コンデンサへの経路はできる限り短くする必要があります。
2	VIN5	P	
3	VIN6	P	
4	CBOOT	P	ブートストラップ ゲート駆動のハイサイド ドライバ電源。CBOOT ピンと SW4 ピンの間に 47nF ブートストラップ コンデンサを接続します。
5	SW4	P	スイッチ ピン。CBOOT ピンと SW4 ピンの間に 47nF ブートストラップ コンデンサを接続します。このピンは、スイッチ ピン SW1、SW2、SW3 に内部接続されています。このピンを PCB 上の他のスイッチ ピンに配線する必要はありません。
6	SCL	I	I^2C クロック ピン。
7	SDA	I/O	I^2C データ ピン。
8	PFM / SYNCIN	I	PFM / FPWM モード選択および同期入力ピン。PFM / SYNCIN ピンを VDDA に接続すると、ダイオード エミュレーション モードが有効になります。PFM / SYNCIN ピンを AGND に接続すると、軽負荷時に連続導通して強制 PWM (FPWM) モードが有効になります。PFM / SYNCIN ピンを同期入力として使用して、内部発振器を外部クロックに同期することもできます。
9	EN / UVLO	I	イネーブル / 低電圧誤動作防止ピン。このピンを High または Low に駆動すると、デバイスを有効または無効にできます。イネーブル機能が不要な場合は、このピンを VIN ピンに接続します。外部抵抗デバイダ ネットワークを接続して、UVLO スレッショルドを設定します。
10	NC	該当なし	接続の無いピンフローティングのままにするか、GND に接続します。
11	ISNS+	A	電流センス アンプ入力。低電流ケルビン接続を使用して、外部電流センス抵抗のインダクタ側に ISNS+ ピンを接続します。
12	VOUTS	A	出力電圧センスおよび電流センス アンプの入力。低電流ケルビン接続を使用して、外部電流センス抵抗の出力側に VOUTS ピンを接続します。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. ピンの機能 (続き)

ピン		タイプ(1)	説明
番号	名称		
13	VOUTF	P	出力電圧放電ピンおよび VCC バイアス レギュレータ入力。VOUTF ピンは、それぞれの出力コンデンサの出力側に接続します。
14	CNFG/ IMON	A	構成および出力電流監視ピン。抵抗をグランドに接続して I^2C アドレスを設定し、IMON 機能を有効化または無効化します。ピンの合計容量を 200pF 未満に制限します。
15	EXTCOMP	A	外部補償ピン。このピンは、相互コンダクタンス アンプの出力です。EXTCOMP ピンと AGND との間に補償回路を接続します。
16	nINT	O	割り込みピン。このピンは、ステータス レジスタが変更されると Low にトグルするオープン ドレイン出力です。
17	AGND	G	アナログ グランド ピン。内部電圧リファレンスとアナログ回路のグランドの帰線。
18	VDDA	P	内部アナログ バイアス レギュレータ出力ピン。VDDA と AGND の間に 22µF セラミック デカップリング コンデンサを、ピンにできる限り近づけて接続します。
19	VCC	P	VCC バイアス電源ピン。4.7µF セラミック コンデンサは、VCC と PGND の間に、それぞれのピンにできるだけ近づけて接続します。
20	SW1	P	スイッチ ピン。これらのピンは、降圧スイッチのソース端子 (ハイサイド MOSFET) と同期整流器のドレイン端子 (ローサイド MOSFET) に内部接続されているスイッチング ノードを形成します。降圧インダクタに接続します。
21	SW2	P	
22	SW3	P	
23	PGND1	G	電源グランド ピン。これらのピンは、ローサイド MOSFET の電源グランド ノードを形成します。PCB 上のシステム グランドに接続します。CIN へのパスは、できる限り短くする必要があります。
24	PGND2	G	
25	PGND3	G	
26	PGND4	G	
27	VIN1	P	ハイサイド パワー MOSFET のドレインへのコンバータ入力ピン。入力電源と入力フィルタ コンデンサに接続します。VIN ピンから入力コンデンサへの経路はできる限り短くする必要があります。
28	VIN2	P	
29	VIN3	P	
30	PGND	G	コントローラ電源グランド ピン。複数のビアを使用してシステム グランドに接続します。

(1) P = 電源、G = グランド、I = 入力、O = 出力、A = アナログ。

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

(特に注記のない限り) 動作時接合部温度範囲以上(1)

		最小値	最大値	単位
ピン電圧	VIN から PGND	-0.3	87.5	V
ピン電圧	SW～PGND	-0.3	87.5	V
ピン電圧	SW から PGND、過渡 < 20ns	-5	90	V
ピン電圧	SW に対する CBOOT	-0.3	10	V
ピン電圧	CBOOT から SW、過渡 < 20ns	-2		V
ピン電圧	EN/UVLO から PGND	-0.3	87.5	V
ピン電圧	VDDA、SDA、SCL、nINT、CNFG、PFM/SYNCIN、EXTCOMP から AGND	-0.3	6.5	V
ピン電圧	VCC から AGND へ	-0.3	10	V
ピン電圧	VOUTF、VOUTS、ISNS+ から PGND	-0.3	55	V
ピン電圧	VOUTS から ISNS+	-0.3	0.3	V
ピン電圧	PGND から AGND へ	-0.3	0.3	V
T_{stg}	保存温度	-55	150	°C
T_J	動作時接合部温度	-40	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

				値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC - Q100-002 準拠(1)		±2000	V
		荷電デバイス モデル (CDM)、AEC Q100-011 準拠	コーナーピン (1、8、9、16、17、22、23、29)	±750	
			その他のピン	±750	

(1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

動作時接合部温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
V_{IN}	入力電源電圧範囲		4.5		80	V
V_{OUT}	出力電圧範囲 (10mV ステップ)、FPWM モード		1		24	V
V_{OUT}	出力電圧範囲 (10mV ステップ)、PFM モード		1		22.5	V
V_{OUT}	出力電圧範囲 (20mV ステップ)、FPWM モード		3.3		48	V
V_{OUT}	出力電圧範囲 (20mV ステップ)、PFM モード		3.3		45	V
	ピン電圧	VIN、EN/UVLO、SW から PGND	0		80	V
	ピン電圧	SDA、SCL、PFM/SYNCIN、nINT から AGND	0		5.25	V
	ピン電圧	VOUTF、VOUTS、ISNS+ から PGND	0		48	V
	PGND から AGND へ		0		0.3	V
I_{OUT}	出力電流範囲、LM72880-Q1		0		8	A
R_S	センス抵抗		5	8		mΩ
T_J	動作時接合部温度		-40		150	°C

Copyright © 2026 Texas Instruments Incorporated

6.4 熱に関する情報

熱評価基準(1)		LM728x0-Q1		単位
		JESD 51-7	評価基板	
		RRX (VQFN) 29 ピン	RRX (VQFN) 29 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	33.5 (2)	18.6 (3)	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	31.6	–	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	11.7	–	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ ($T_{case-center}$)	11.5	7.2	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ ($T_{case-max}$)	–	0.8	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	11.6	6.3	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。
(2) この表に示す $R_{\Theta JA}$ の値は他のパッケージとの比較にのみ有効であり、設計目的に使用することはできません。これらの値は JESD 51-7 に従って計算されており、4 層 JEDEC 基板上でシミュレーションされています。これらの値は、実際のアプリケーションで得られた性能を表すものではありません。
(3) 基板レイアウトと追加情報については、『EVM ユーザー ガイド』を参照してください。

6.5 電気的特性

T_J = –40°C ～ +150°C。標準値は T_J = 25°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源 (VIN)						
I_{Q-SD}	V_{IN} シャットダウン電流	非スイッチング、V_{EN} = 0V、V_{FB} = V_{REF} + 50mV、V_{IN} = 48V、T_J = 25°C		4.7	6	µA
		非スイッチング、V_{EN} = 0V、V_{FB} = V_{REF} + 50mV、V_{IN} = 48V、T_J = 125°C		8	10	µA
I_{Q-SBY}	V_{IN} スタンバイ電流(1)	非スイッチング、0.5V ≤ V_{EN} ≤ 1V		310		µA
$I_{Q-READY}$	V_{IN} 準備完了電流(1)	非スイッチング、V_{EN} ≥ 1V		1		mA
$I_{Q-SLEEP}$	V_{IN} スリープ電流、5V 出力、無負荷	V_{EN} = 5V、V_{IN} = 48V、V_{OUTF} = V_{VOUTS} = 5V、無負荷、非スイッチング、$V_{PFM/SYNCIN}$ = 5V		43	100	µA
イネーブル (EN / UVLO)						
V_{SBY-TH}	シャットダウンからスタンバイへのスレッショルド電圧	$V_{EN/UVLO}$ の立ち上がり		0.55		V
V_{EN-TH}	イネーブル電圧立ち上がりスレッショルド	$V_{EN/UVLO}$ の立ち上がり	0.95	1.0	1.05	V
V_{EN-HYS}	イネーブル電圧のヒステリシス			0.1		V
内部 LDO (VCC)						
V_{VCC2}	VCC のレギュレーション電圧	I_{VCC} = 50mA	7.5	8	8.5	V
$V_{VCC(DO1)}$	VIN から VCC へのドロップアウト電圧	V_{IN} = 5V、I_{VCC} = 50mA		130		mV
$V_{VCC(DO2)}$	BIAS から VCC へのドロップアウト電圧	V_{VOUTF} = 5V、I_{VCC} = 50mA		110		mV
$I_{VCC(LIM)}$	VCC 電流制限	V_{CC} = 4V	80	220	367	mA
内部 LDO (VDDA)						
V_{VDDA}	VDDA のレギュレーション電圧	I_{VDD} = 5mA	4.75	5	5.25	V
$V_{VDDA(DO)}$	VCC から VDDA へのドロップアウト電圧	V_{IN} = 5V、I_{VDD} = 30mA		125		mV
$I_{VDDA-CL}$	VDDA 電流制限	V_{DDA} = 4.5V	36	50	67	mA
外部バイアス (VOUTF)						
$V_{BIAS-TH}$	V_{IN} から V_{VOUTF} への切り替え立ち上がりスレッショルド		4.85	4.92	4.98	V
$V_{BIAS-HYS}$	V_{IN} から V_{VOUTF} への切り替えヒステリシス			140		mV
アクティブ放電 (VOUTF)						

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

T_J = –40°C ～ +150°C。標準値は T_J = 25°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$I_{DISCHARGE}$	出力放電電流	0xD2[2:1] = 01b		24		mA
		0xD2[2:1] = 10b		48		mA
		0xD2[2:1] = 11b		72		mA
出力電圧 (VOUT)						
$V_{OUT(MIN)}$	最小出力電圧設定ポイント - 10mV ステップ	0xD1[7] = 0b、0x21 = 0x64h、T_J = –40°C ～ +85°C	0.96	1	1.04	V
$V_{OUT(MIN)}$	最小出力電圧設定ポイント - 20mV ステップ	0xD1[7] = 1b、0x21 = 0xA5h、T_J = –40°C ～ +85°C	3.24	3.3	3.36	V
$V_{OUT(DEFAULT)}$	デフォルトの出力電圧設定ポイント	0xD1[7] = 1b、0x21 = 0xFAh、T_J = –40°C ～ +85°C	4.95	5.0	5.05	V
$V_{OUT(MAX)}$	最大出力電圧設定ポイント - 10mV ステップ	0xD1[7]= 0b、0x21 = 0x960h、FPWM モード、T_J =–40°C ～ 85°C	23.76	24	24.24	V
$V_{OUT(MAX)}$	最大出力電圧設定ポイント - 20mV ステップ	0xD1[7]= 1b、0x21 = 0x960h、FPWM モード、T_J =–40°C ～ 85°C	47.4	48	48.6	V
V_{OUT_STEP}	出力電圧ステップ サイズ - 10mV	0xD1[7] = 0b		10		mV
	出力電圧ステップ サイズ - 20mV	0xD1[7] = 1b		20		mV
エラー アンプ (EXTCOMP)						
$g_{m-EXTERNAL}$	EA 相互コンダクタンス外部補償			1000		µS
パルス周波数変調 (PFM/SYNCIN)						
$V_{IL-SYNCIN}$	PFM/SYNCIN 入力スレッショルド Low		0.8			V
$V_{IH(SYNCIN)}$	PFM/SYNCIN 入力スレッショルド High				1.17	V
Δf_{SYNC}	同期周波数範囲		-20		20	%
$t_{SYNC-TON-MIN}$	外部同期信号の最小正パルス幅				25	ns
$t_{SYNC-TOFF-MIN}$	外部同期信号の最小負パルス幅				250	ns
スイッチング周波数 (SW)						
f_{SW1}	スイッチング周波数 1	0xD1[4:3] = 00b	180	200	225	kHz
f_{SW2}	スイッチング周波数 2	0xD1[4:3] = 01b	360	400	440	kHz
f_{SW3}	スイッチング周波数 3	0xD1[4:3] = 10b	540	600	660	kHz
f_{SW4}	スイッチング周波数 4	0xD1[4:3] = 11b	1.98	2.2	2.42	MHz
t_{ON-MIN}	最小オン時間(1)			25		ns
$t_{OFF-MIN}$	最小オフ時間			70	125	ns
デュアル ランダム スペクトラム拡散機能 (DRSS)						
Δf_{SS}	変調範囲			10		%
f_m	変調周波数	0xD1[5] = 0b		10		kHz
パワー グッド						
V_{PG-UV}	パワーグッド UV トリップ レベル	設定 V_{OUT} (5V) に対して立ち下がり、0xD9[3] = 0b、T_J = –40°C ～ +85°C	92.5	95	97	%
		設定 V_{OUT} (20V) に対して立ち下がり、0xD9[3] = 1b	88	90	92	%
V_{PG-OV}	パワーグッド OV トリップ レベル	設定 V_{OUT} (5V) に対して立ち上がり、0xD9[3] = 0b、T_J = –40°C ～ +85°C	102.5	105	107	%
		設定 V_{OUT} (20V) にして対立ち上がり、0xD9[3] = 1b	108	110	112	%
$V_{PG-UV-HYST}$	パワー グッド UV ヒステリシス	レギュレーション出力に応じて減少		1.1		%
$V_{PG-OV-HYST}$	パワー グッド OV ヒステリシス	レギュレーション出力に応じて増加		1.1		%
$t_{PG-DEGLITCH}$	パワー グッド グリッチ除去フィルタ時間	V_{OUT} の立ち下がりまたは立ち上がり		30		µs
過電圧保護 (nINT)						
V_{OV2}	過電圧保護	設定された V_{OUT} に対する立ち上がり、0xD5 = 60h		105		%

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

T_J = –40°C ～ +150°C。標準値は T_J = 25°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OV2}	過電圧保護	設定された V_{OUT} に対する立ち上がり、0xD5 = 7Fh		136		%
V_{OV2_HYST}	過電圧保護ヒステリシス	設定された V_{OUT} に対する立ち上がり		2		%
V_{OL_nINT}	nINT 電圧 Low	オープン コレクタ、I_{nFAULT} = 2mA			0.4	V
スタートアップ (ソフト スタート)						
SR_{SS}	内部ソフト スタート スルーレート	0xD2[0] = 0b、SEL_FB_DIV20 = 1b		5		V/ms
		0xD2[0] = 1b、SEL_FB_DIV20 = 1b		2.5		V/ms
パワー スイッチ						
$R_{DSON(HS)}$	ハイサイド MOSFET オン抵抗	T_J = 25°C、V_{IN} = 48V、$V_{BOOT-SW}$ = 8V、I_{SW}= 500mA		22		mΩ
$R_{DSON(LS)}$	ローサイド MOSFET オン抵抗	T_J = 25°C、V_{VCC} = 8V、I_{SW}= 500mA		18		mΩ
内部ヒカップ モード						
$t_{HIC-DLY}$	HICCUP モードの起動遅延	V_{ISNS+} - V_{VOUT} > 60mV		512		サイクル
$t_{HIC-DURATION}$	HICCUP モード障害	V_{ISNS+} - V_{VOUT} > 60mV		16384		サイクル
過電流保護 (OCP)						
V_{CS-TH}	CS 電圧スレッショルド	ISNS+ から VOUTS まで測定	54	60	66	mV
$t_{DELAY-CS}$	出力までの CS 遅延			85		ns
A_{CS}	CS アンプのゲイン(1)			10		V/V
$I_{BIAS-CS}$	CS アンプ入力バイアス電流(1)			0.3		µA
$V_{CS-TH-NEG}$	CS 負電圧スレッショルド	VOUTS から ISNS+ まで測定		30		mV
平均出力電流制限						
$I_{LIM(MIN)}$	最小平均電流制限設定ポイント	R_{SENSE} = 5mΩ、0xD0 = 0Ah、T_J = –40°C ～ +85°C	600	800	1000	mA
$I_{LIM(MIN)}$	最小平均電流制限設定ポイント	R_{SENSE} = 8mΩ、0xD0 = 0Ah、T_J = –40°C ～ +85°C	380	500	620	mA
$I_{LIM(MAX)}$	最大平均電流制限設定ポイント	R_{SENSE} = 5mΩ、0xD0 = 96h		12		A
$I_{LIM(TYP)}$	標準平均電流制限設定ポイント	R_{SENSE} = 8mΩ、0xD0 = 64h、T_J = –40°C ～ +85°C	4.85	5	5.15	A
$I_{LIM(MAX)}$	最大平均電流制限設定ポイント	R_{SENSE} = 8mΩ、0xD0 = 96h		7.5		A
I_{LIM_STEP}	平均電流制限ステップ サイズ	R_{SENSE} = 5mΩ		80		mA
I_{LIM_STEP}	平均電流制限ステップ サイズ	R_{SENSE} = 8mΩ		50		mA
出力電流モニタ (IMON)						
A_{IMON}	I_{OUT} 監視アンプの V_{CS} から V_{OUT} へのゲイン	T_J = –40°C ～ +85°C	24.5	25	25.5	V/V
V_{OFFSET}	I_{OUT} 監視アンプのオフセット電圧	T_J = –40°C ～ +85°C	0.98	1	1.02	V
ケーブル電圧降下補償 (CDC)						
A_{CDC}	最大ケーブル電圧降下補償ゲイン	0xD8[5:0] = 3Fh		62		V/V
A_{CDC_STEP}	ケーブル電圧降下補償ゲインのステップ サイズ			2		V/V
シリアル制御バス (SCL、SDA)						
V_{IH}	入力 HIGH レベル		2			V
V_{IL}	入力 LOW レベル				0.8	V
V_{HYST}	入力ヒステリシス			320		mV
V_{OL}	出力 Low レベル	I_{OL} = 3mA、標準モード/高速モード	0		0.4	V
V_{OL}	出力 Low レベル	I_{OL} = 20mA、高速モード プラス	0		0.4	V
I_{IH}	高入力電流	ピンから V_{I2C} への接続	-10		10	µA
I_{IL}	入力 Low 電流	ピンから GND への接続	-10		10	µA
C_{IN}	入力容量			5		pF
サーマル シャットダウン(TSD)						

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

T_J = –40°C ～ +150°C。標準値は T_J = 25°C (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
T_{J-SD}	サーマル シャットダウンのスレッショルド (1)	温度上昇		175		°C
T_{J-HYS}	サーマル シャットダウン ヒステリシス (1)			15		°C

(1) 設計により規定されています。実製品の検査は行っていません。

Copyright © 2026 Texas Instruments Incorporated

6.6 シリアル制御バスのタイミング要件

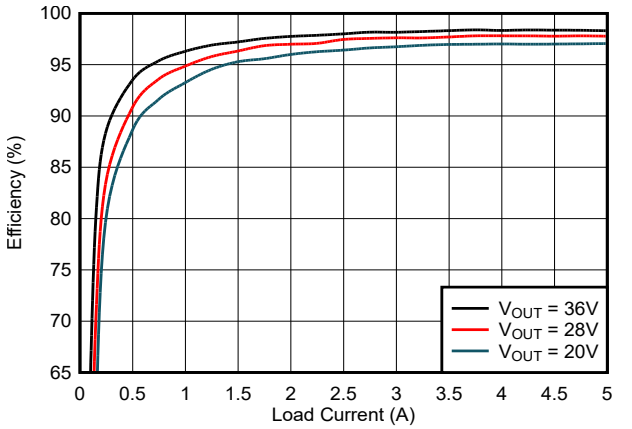
I²C の電源および温度範囲内 (特に記述のない限り)

			最小値	標準値	最大値	単位
f_{SCL}	SCL クロック周波数	スタンダード モード	> 0		100	kHz
		ファースト モード	> 0		400	kHz
		ファースト モード プラス	> 0		1	MHz
t_{LOW}	SCL の Low 期間	スタンダード モード	4.7			µs
		ファースト モード	1.3			µs
		ファースト モード プラス	0.5			µs
t_{HIGH}	SCL の High 期間	スタンダード モード	4.0			µs
		ファースト モード	0.6			µs
		ファースト モード プラス	0.26			µs
$t_{HD;STA}$	START または REPEAT-START 条件のホールド時間	スタンダード モード	4.0			µs
		ファースト モード	0.6			µs
		ファースト モード プラス	0.26			µs
$t_{SU;STA}$	START または REPEATED-START 条件のセットアップ時間	スタンダード モード	4.7			µs
		ファースト モード	0.6			µs
		ファースト モード プラス	0.26			µs
$t_{HD;DAT}$	データ ホールド時間	スタンダード モード	0			µs
		ファースト モード	0			µs
		ファースト モード プラス	0			µs
$t_{SU;DAT}$	データ セットアップ時間	スタンダード モード	250			ns
		ファースト モード	100			ns
		ファースト モード プラス	50			ns
$t_{SU;STO}$	停止条件のセットアップ時間	スタンダード モード	4.0			µs
		ファースト モード	0.6			µs
		ファースト モード プラス	0.26			µs
t_{BUF}	STOP と START 間のバス解放時間	スタンダード モード	4.7			µs
		ファースト モード	1.3			µs
		ファースト モード プラス	0.5			µs
t_r	SCL と SDA の立ち上がり時間	スタンダード モード			1000	ns
		ファースト モード			300	ns
		ファースト モード プラス			120	ns
t_f	SCL と SDA の立ち下がり時間	スタンダード モード			300	ns
		ファースト モード			300	ns
		ファースト モード プラス			120	ns
C_b	各バス ラインの容量性負荷	スタンダード モード			400	pF
		ファースト モード			400	pF
		ファースト モード プラス			550	pF
$t_{VD;DAT}$	データ有効時間	スタンダード モード			3.45	µs
		ファースト モード			0.9	µs
		ファースト モード プラス			0.45	µs
$t_{VD;ACK}$	データ有効アクノリッジ時間	スタンダード モード			3.45	µs
		ファースト モード			0.9	µs
		ファースト モード プラス			0.45	µs
t_{SP}	入力フィルタ	ファースト モード			50	ns
		ファースト モード プラス			50	ns

Copyright © 2026 Texas Instruments Incorporated

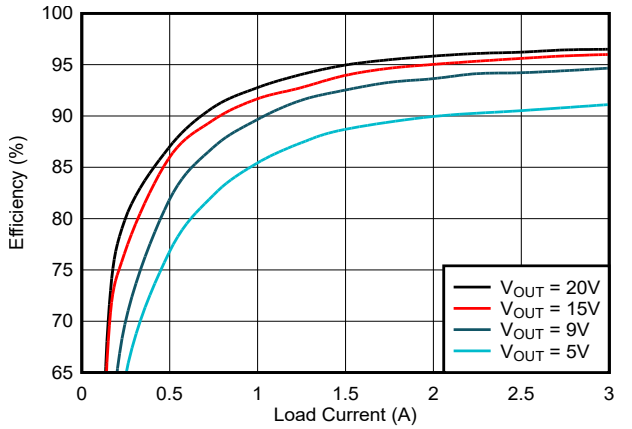
6.7 代表的特性

T_J = 25℃ (特に記述のない限り)



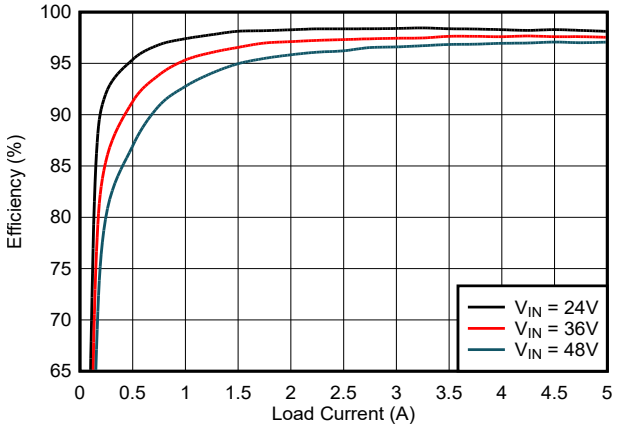
V_{IN} = 48V、R_S = 8mΩ　　FPWM モード
f_{SW} = 400kHz　　L_O = 22µH XGL1010

図 6-1. V_{IN} = 48V での効率



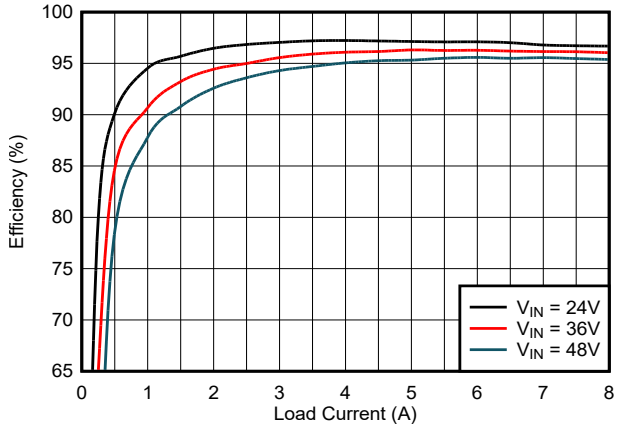
V_{IN} = 48V、R_S = 8mΩ　　FPWM モード
f_{SW} = 400kHz　　L_O = 22µH XGL1010

図 6-2. V_{IN} = 48V での効率



V_{OUT} = 20V、R_S = 8mΩ　　FPWM モード
f_{SW} = 400kHz　　L_O = 22µH XGL1010

図 6-3. V_{OUT} = 20V での効率



V_{OUT} = 12V、R_S = 5mΩ　　FPWM モード
f_{SW} = 400kHz　　L_O = 8.2µH XGL1010

図 6-4. V_{OUT} = 12V での効率

Copyright © 2026 Texas Instruments Incorporated

6.7 代表的特性 (続き)

T_J = 25℃ (特に記述のない限り)

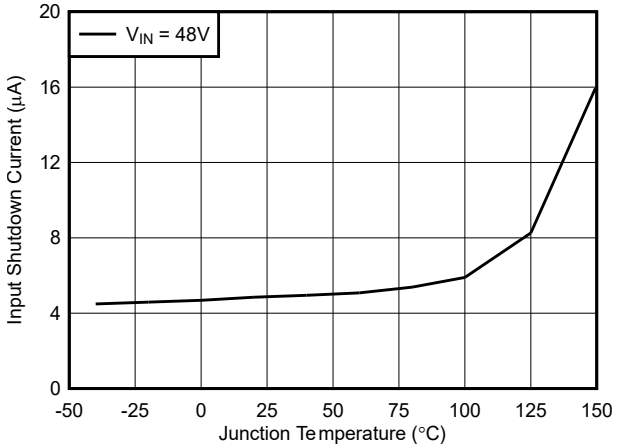


図 6-5. 入力シャットダウン電流と温度との関係

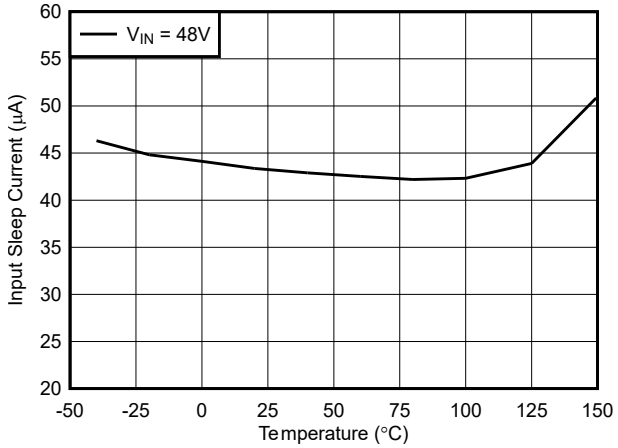


図 6-6. 入力スリープ電流と温度との関係、V_{OUT} = 5V

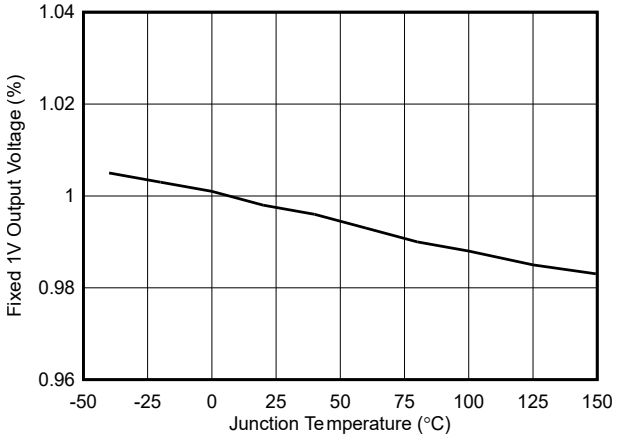


図 6-7. 固定出力電圧と温度との関係 (V_{OUT} = 1V)

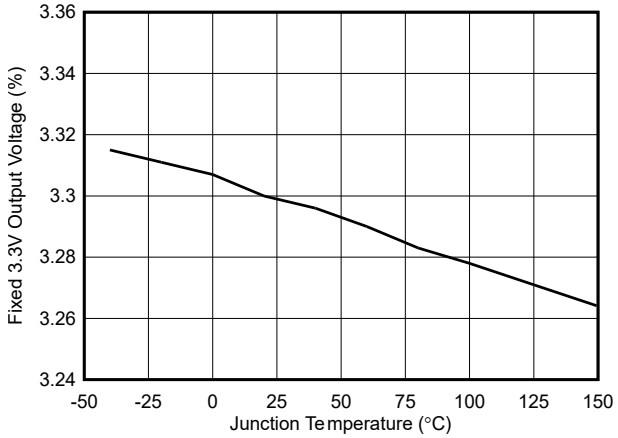


図 6-8. 固定出力電圧と温度との関係 (V_{OUT} = 3.3V)

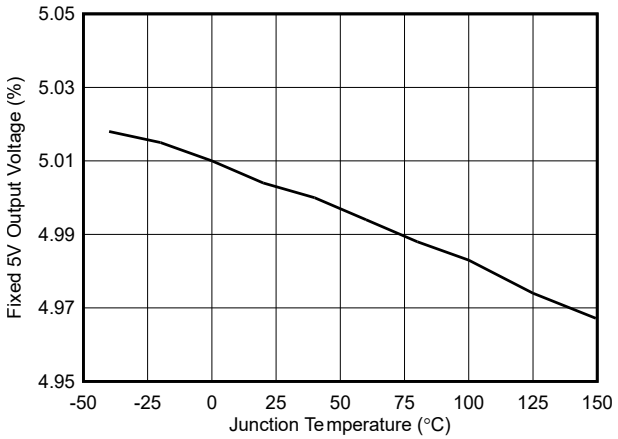


図 6-9. 固定出力電圧と温度との関係 (V_{OUT} = 5V)

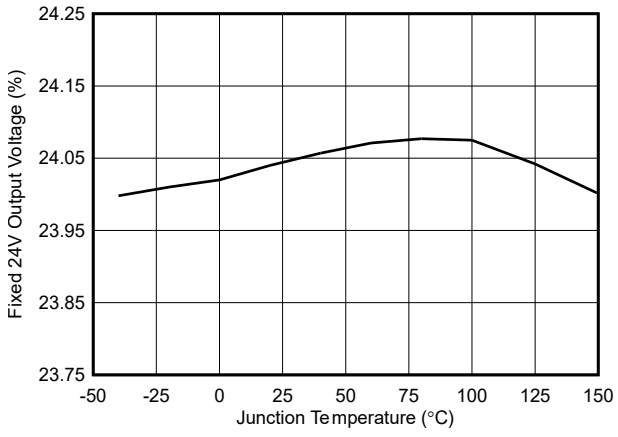


図 6-10. 固定出力電圧と温度との関係 (V_{OUT} = 24V)

Copyright © 2026 Texas Instruments Incorporated

6.7 代表的特性 (続き)

T_J = 25℃ (特に記述のない限り)

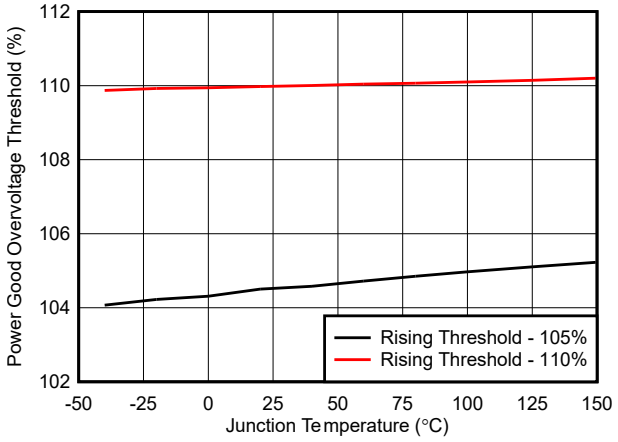


図 6-11. PG 過電圧スレッショルドと温度との関係

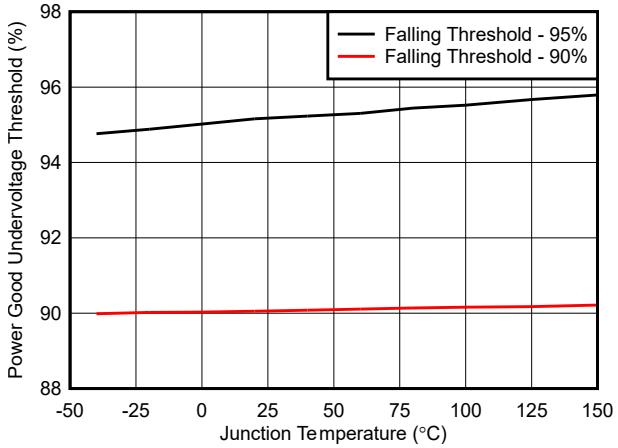


図 6-12. PG 低電圧スレッショルドと温度との関係

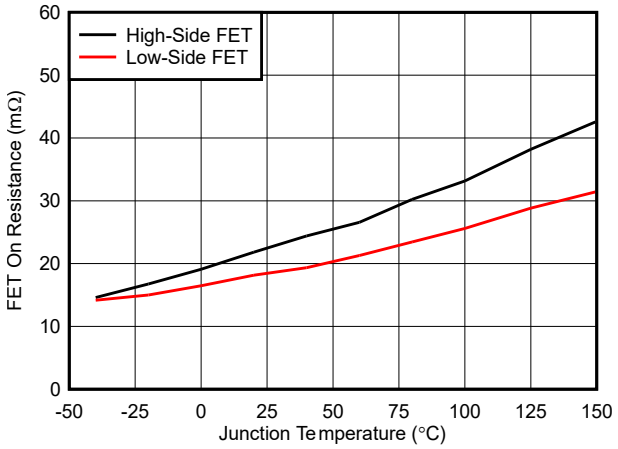


図 6-13. FET オン抵抗と温度との関係

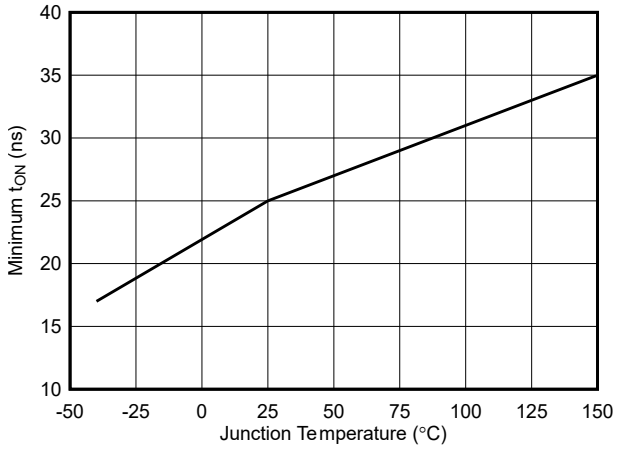


図 6-14. 最小オン時間と温度との関係

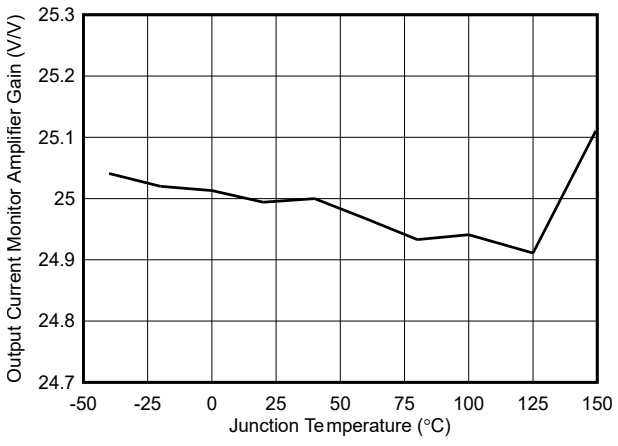


図 6-15. IMON モニタ アンプ ゲインと温度との関係

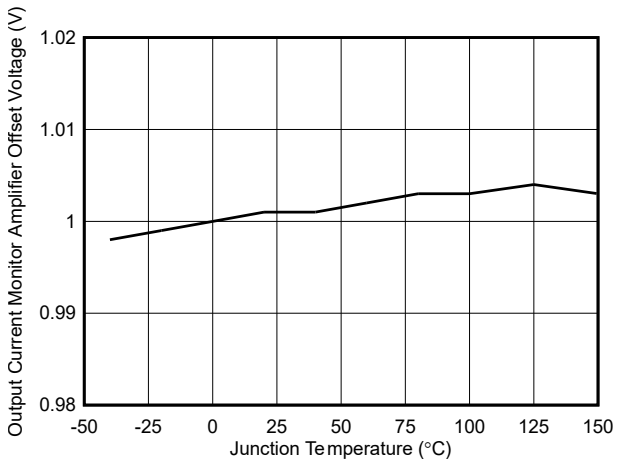


図 6-16. IMON アンプ電圧オフセットと温度との関係

7 詳細説明

7.1 概要

LM72880-Q1 は 、80V、超低消費電流 I_Q の同期整流降圧コンバータで、定電流定電圧（CC-CV）レギュレーションと I^2C インターフェイスを搭載しています。デバイスは、TPS2674X-Q1 ファミリの USB Type-C PD コントローラなど、互換性のある I^2C インターフェイスを備えた任意のマイコンと動作するよう設計されています。

本コンバータはピーク電流モード制御アーキテクチャを採用しているため、ループ補償が簡単で、過渡応答が高速であり、負荷および入力電圧レギュレーションが非常に優れています。高精度の CC-CV（定電流/定電圧）動作により、定電流モードと定電圧モード間をシームレスな遷移が可能になります。このデバイスには、デュアル入力 (VIN および VOUTF) VCC 電源レギュレータと、コンパニオン USB PD コントローラなどの外部負荷に電力を供給するためのオーバーサイズ VDDA レギュレータが内蔵されています。I^2C インターフェイスにより、10mV または 20mV 刻みの出力電圧、50mA 刻みでの平均出力電流制限に加えて、出力電圧スルーレート、スイッチング周波数、ソフトスタートのスルーレート、動作モード、電流ループ補償、出力アクティブ放電強度、ケーブル電圧降下補償ゲインをプログラムすることができます。

高入力電圧のアプリケーションでの効率を最大化するには、出力を VOUTF ピンに接続します。プログラマブルなダイオード エミュレーション機能により、不連続導通モード (DCM) 動作をイネーブルにして、軽負荷条件時の効率をさらに向上させ、消費電力を低減できます。

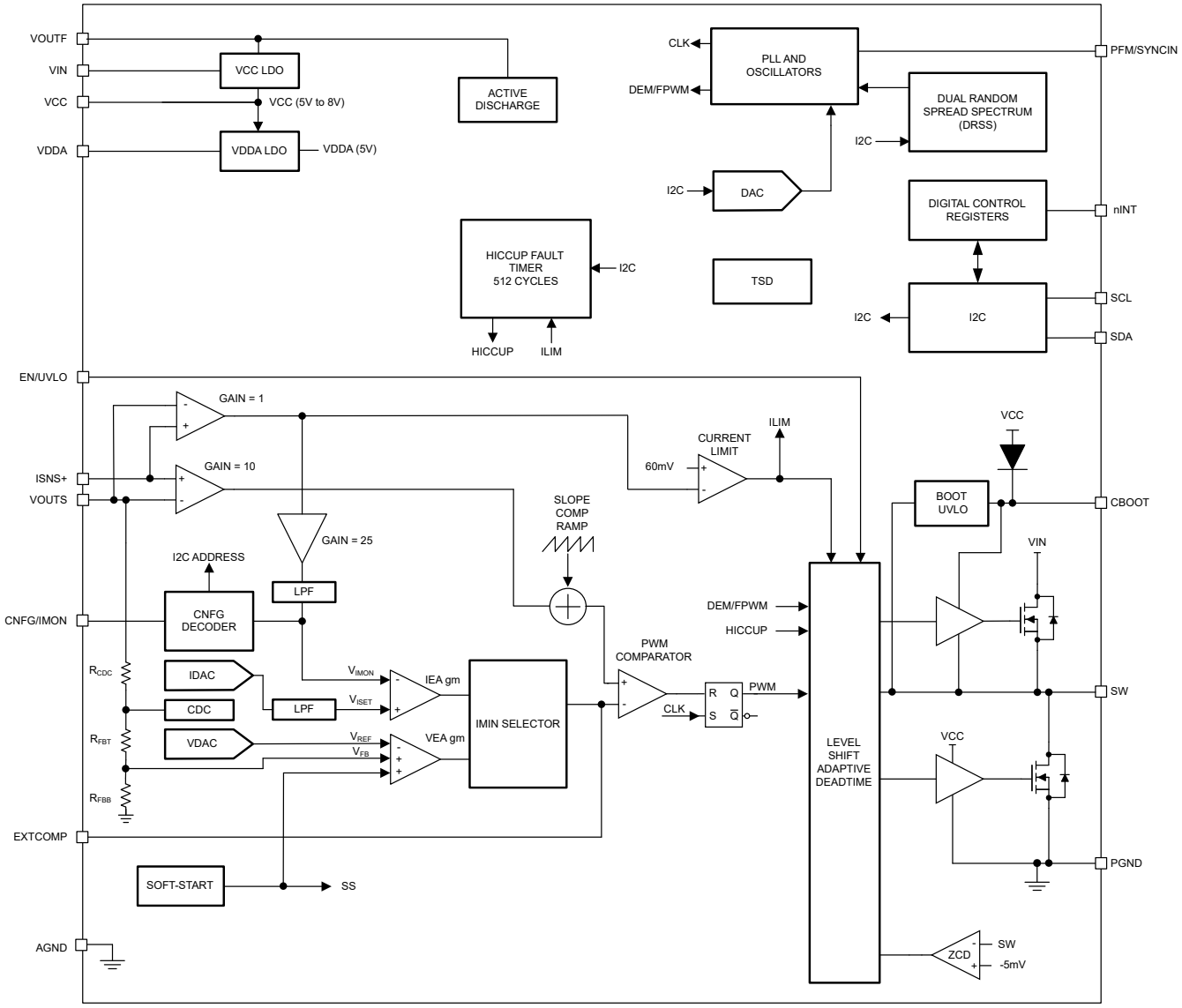
また LM72880-Q1 は、出力低電圧および過電圧保護とプログラマブルなスレッショルドによる過電流保護、プログラマブルなヒカップ モードによる過電流保護、サーマル シャットダウン、高精度イネーブル、障害およびステータス通知用のオープンドレイン nINT フラグなど、一連の安全機能も備えています。

LM72880-Q1 には、産業用 EMI 要件を定義する を定義する車載対応 CISPR 25 Class 5 など、さまざまな EMI 規格への準拠を容易にする機能が搭載されています。デュアル ランダム 拡散スペクトラム (DRSS) 手法により、ピーク高調波 EMI シグネチャを低減できます。

LM72880-Q1 は、放熱性を最大化するため、VIN、SW、PGND の露出パッドを備えた 29 ピン VQFN パッケージで供給されます。

Copyright © 2026 Texas Instruments Incorporated

7.2 機能ブロック図


VOUTF
VIN
VCC
VDDA
VCC LDO
VCC (5V to 8V)
VDDA LDO
VDDA (5V)
ACTIVE DISCHARGE
CLK
DEM/FPWM
PLL AND OSCILLATORS
PFM/SYNCIN
DUAL RANDOM SPREAD SPECTRUM (DRSS)
I2C
DAC
DIGITAL CONTROL REGISTERS
nINT
HICCUP FAULT TIMER 512 CYCLES
TSD
SCL
SDA
HICCUP
ILIM
EN/UVLO
GAIN = 1
GAIN = 10
GAIN = 25
ISNS+
VOUTS
CURRENT LIMIT
60mV
SLOPE COMP RAMP
BOOT UVLO
CBOOT
I2C ADDRESS
LPF
CNFG/IMON
CNFG DECODER
IDAC
CDC
VDAC
IEA gm
VEA gm
IMIN SELECTOR
PWM COMPARATOR
PWM
R Q
S Q̄
LEVEL SHIFT ADAPTIVE DEADTIME
SW
PGND
EXTCOMP
SOFT-START
SS
AGND
ZCD
-5mV

7.3 機能説明

7.3.1 入力電圧範囲 (V_{IN})

LM72880-Q1 の動作入力電圧範囲は 4.5V ～ 80V です。このデバイスは、12V、24V および 48V の車載電源レールからの降圧変換を目的としています。LM72880-Q1 は内部 LDO を使用して、5V ～ 8V の VCC バイアス レールと、ゲート駆動および制御回路に 5V の VDDA レールを供給します。

高入力電圧のアプリケーションでは、ラインまたは負荷遷移イベント中は、VIN ピンと SW ピンが 87.5V の絶対最大電圧定格を超えないように注意してください。これらのピンの絶対最大定格を超えて電圧が逸脱すると、IC が損傷する可能性があります。電圧のオーバーシュートとリンギングを最小限に抑えるには、PCB 基板レイアウトの推奨事項に従い、高品質な入力バイパス コンデンサを使用してください。

V_{IN} が V_{OUT} に近づくと、LM72880-Q1 は t_{OFF} サイクルをスキップして、コントローラがデューティサイクルを約 99% まで延長できるようにします。図 7-1 を参照してください。

LM72880-Q1 がドロップアウトモードに移行するタイミングを計算するには、式 1 を使用します。

$$V_{IN} = V_{OUT} \times \left(\frac{t_P}{t_P - t_{OFF}} \right) \quad (1)$$

- t_P = 発振器周期
- t_{OFF} = 最小オフ時間

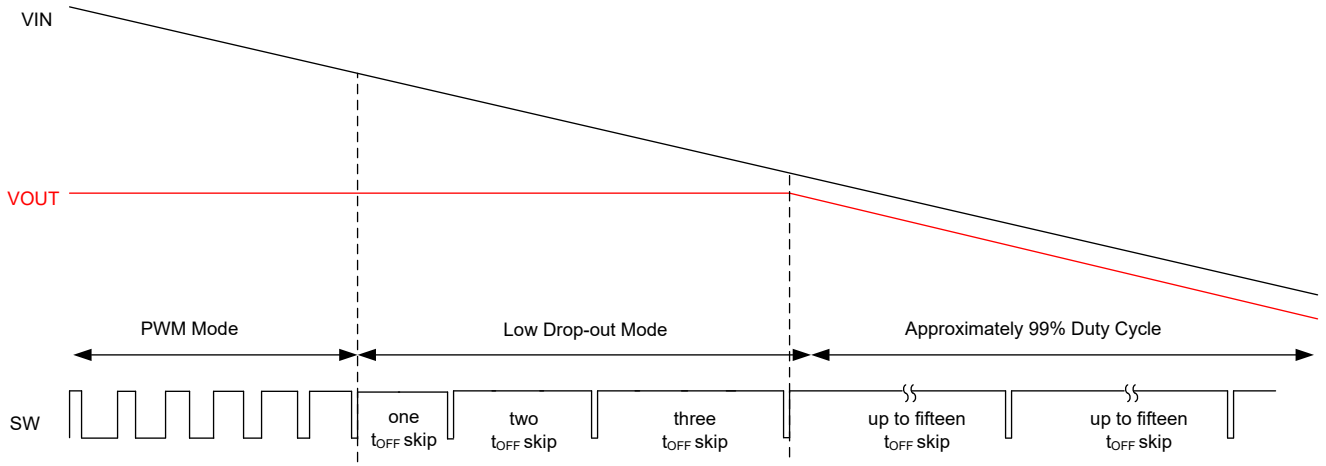


図 7-1. ドロップアウトモードでの動作

7.3.2 高電圧バイアス電源レギュレータ (VCC、VDDA)

LM72880-Q1 には、高電圧 VCC バイアス レギュレータが内蔵されており、外部 MOSFET 用ゲートドライバのバイアス電源を供給します。入力電圧ピン (VIN) は、最大 80V の入力電圧源に直接接続できます。ただし、入力電圧が VCC 設定ポイントレベルを下回っている場合、VCC 電圧は VIN からわずかな電圧降下を引いた値となります。

出力電圧が < 5V の場合、VCC バイアス レギュレータの出力電圧は 8V です。出力電圧が 5V ～ 8V で、かつ BIAS_EN ビットが設定されている場合、VCC バイアス レギュレータの出力電圧は出力電圧に追従します。出力電圧が ≥ 8V のとき、VCC のバイアス レギュレータの出力は 8V です。TI は、VCC ピンと PGND の間に 4.7µF コンデンサを接続することを推奨します。

また、LM72880-Q1 にはリニア レギュレータ (VDDA) も搭載されています。この VCC レギュレータの出力を入力として受け取り、5V 出力を生成します。VDDA は、デジタル ブロックを含む内部制御回路に電力を供給します。VDDA には 50mA (標準値) の電流制限があり、TPS2674X-Q1 などの外部コンパニオン USB Type-C コントローラ デバイスへの電力供給に使用できます。低ノイズの内部バイアス レールを実現するには、VDDA を 22µF のセラミック コンデンサでバイパスします。

Copyright © 2026 Texas Instruments Incorporated

7.3.3 イネーブル (EN/UVLO)

イネーブル ピンを最大 80V の電圧に接続します。EN ピンが 0.55V 未満の場合、LM72880-Q1 はシャットダウン状態になり、V_{IN} からの消費電流 I_Q は 4.7µA (標準値) になります。イネーブル電圧が 0.55V < EN < 1V の場合、LM72880-Q1 はスタンバイ モードになります。スタンバイ モードでは、VCC レギュレータが有効になり、デフォルトのレジスタと trim ビットがロードされます。デジタル ブロックは無効化され、デバイスはスイッチングされず、I_Q 電流は 310µA (標準値) です。イネーブル電圧が 1V を上回ると、LM72880-Q1 は 100µs (標準値) のイネーブルから準備完了遅延後、READY モードになります。READY モードでは、I^2C インターフェイスが利用可能で、デバイスはスイッチングを停止し、I_Q 電流は 1mA (標準値) です。OPERATION レジスタの CONV_EN ビットが設定されると、LM72880-Q1 は起動してアクティブ モードに移行します。

また、標準 CMOS ロジック ドライバを使用して LM72880-Q1 を有効にすることもできます。電圧が 2.0V 超で LM72880-Q1 が有効になり、0.4V 未満の電圧で LM72880-Q1 が無効になります。ただし、多くのアプリケーションでは、次の図に示すように、抵抗デバイダ R_{UV1} と R_{UV2} 使用することにより、高精度 UVLO レベルを確立できる利点があります。TI は、LM72880-Q1 への入力電源の立ち上がり時間がソフト スタート時間よりも大幅に遅くなる場合、入力電圧ターンオン スレッショルドを 4.5V 以上に設定することを推奨します。TI は、EN ピンをフローティングのままにすることを推奨しません。

式 2 を使用して、必要な入力ターンオン電圧が指定された UVLO 抵抗を計算します。EN 電圧ヒステリシス V_{EN-HYS} は、EN 電圧立ち上がりスレッショルド V_{EN-TH} の 100mV または 10% であるため、入力ターンオフ電圧は入力ターンオン電圧の 90% です。

$$R_{UV1} = \left(\frac{V_{IN(on)}}{V_{EN-TH}} - 1 \right) \times R_{UV2} \quad (2)$$

7.3.4 スイッチング周波数

表 7-1 に従って、MFR_DEVICE_CFG_D1 デバイス構成レジスタの FREQ ビットを設定することで、LM72880-Q1 発振器をプログラムします。

表 7-1. スイッチング周波数の選択

MFR_DEVICE_CFG_D1[4:3]	スイッチング周波数の選択
0b00	200kHz
0b01	400kHz (デフォルト)
0b10	600kHz
0b11	2.2MHz

注

他の降圧コンバータと同様、特に V_{IN} が高い場合、スイッチング周波数が高いとスイッチング損失が増加します。2.2MHz 動作は $V_{IN} \leq 36V$ に制限します。また、 に示されているように、最大出力電流のディレーティングを考慮してください。

ハイサイド MOSFET のどちらかのオン時間がプログラムされた発振器の周期を超えるような低 V_{IN} 状態では、PWM ラッチが電流センス ランプによってリセットされてコントローラの補償電圧を超えるまで、LM72880-Q1 のそのチャネルのスイッチング周期は延長されます。このような場合には、チャネルがプログラムされた周波数で出力レギュレーションを維持するまで、発振器は別々に非同期に動作します。

以下の式は、こうした現象が発生するおよその入力電圧レベルを示します。t_{SW} はスイッチング周期、$t_{OFF(min)}$ は最小オフ時間で 70ns です。

$$V_{IN(min)} = V_{OUT} \times \left(\frac{t_{SW}}{t_{SW} - t_{OFF(min)}} \right) \quad (3)$$

Copyright © 2026 Texas Instruments Incorporated

7.3.5 デュアル ランダム スペクトラム拡散機能 (DRSS)

LM72880-Q1 にはデュアル ランダム スペクトラム拡散 (DRSS) 機能があり、広い周波数範囲にわたって電源の EMI を低減します。DRSS 機能は、低周波数の三角波変調プロファイルと、高周波数のサイクル単位のランダム変調プロファイルを組み合わせたものです。低周波数の三角波変調は低い無線周波数帯域で性能を向上させ、高周波のランダム変調は高い無線周波数帯域で性能を向上させます。

スペクトラム拡散は、狭帯域信号を広帯域信号に変換し、エネルギーを複数の周波数にわたって拡散することで機能します。業界規格では、周波数帯域ごとに異なるスペクトラム アナライザの解像度の帯域幅 (RBW) の設定を要求しています。RBW はスペクトラム拡散の性能に影響を及ぼします。たとえば、CISPR-25 は、150kHz から 30MHz の周波数帯域で 9kHz の RBW を必要とします。30MHz を超える周波数の場合、必要な RBW は 120kHz です。図 7-2 に示されているように、DRSS は、低周波数の三角波変調と高周波数のサイクル単位ランダム変調により、高 RBW および低 RBW での EMI 性能を同時に向上します。DRSS 機能は、低周波数帯域 (150kHz ～ 30MHz) では伝導エミッションを最大 15dBµV、高周波数帯域 (30MHz ～ 108MHz) では最大 5dBµV 低減します。

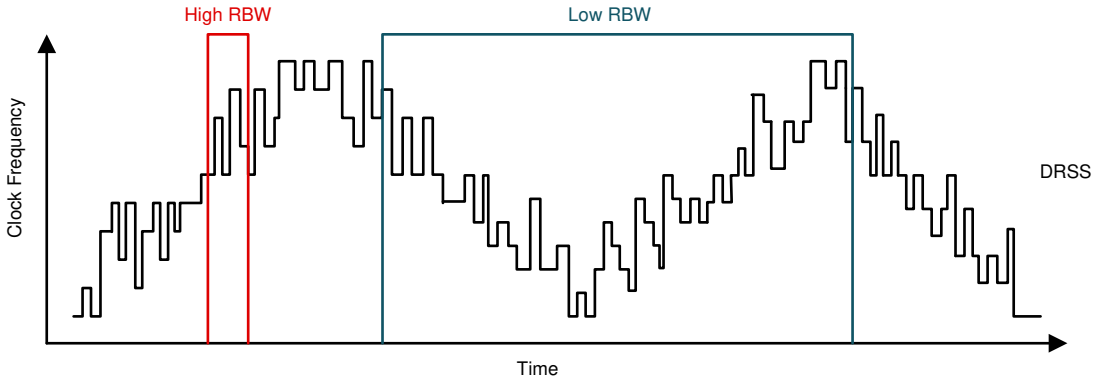


図 7-2. デュアル ランダム スペクトラム拡散機能の実装

DRSS_EN ビットを設定することで、DRSS 機能を有効化します。DRSS 機能が有効になっている場合、PFM/SYNCIN ピンによる外部クロック同期はできないことに注意してください。

また、LM72880-Q1 は 2 つの変調周波数もサポートしており、表 7-2 に従って周波数を選択します。

表 7-2. DRSS 変調周波数の選択

DRSS_FMOD	変調周波数
0b0	10kHz
0b1	2.5kHz

7.3.6 ソフト スタート

LM72880-Q1 には、ソフトスタートのスルーレートをプログラム可能です。ソフトスタート機能は、レギュレータを徐々に定常状態動作点へと到達させることで、起動時のストレスやサージを低減します。

表 7-3 に従って、SOFT_START_TIME ビットを使用して、ソフト スタート スルーレートを選択します。

表 7-3. ソフトスタート スルーレートの選択

SOFT_START_TIME	ソフトスタート スルーレート	
	20mV VOUT ステップ サイズ	10mV VOUT ステップ サイズ
0b0	5V/ms	2.5V/ms
0b1	2.5V/ms	1.25V/ms

Copyright © 2026 Texas Instruments Incorporated

7.3.7 出力電圧および出力電圧スルーレート

VOUT_COMMAND レジスタを設定することで、LM72880-Q1 の出力電圧を 1V ～ 24V の範囲では 10mV ステップで、3.3V ～ 48V の範囲では 20mV ステップでプログラム可能です。PFM モードで動作するときは、表 7-4 に従って出力電圧範囲を下げます。出力電圧を設定する前に、表 7-4 に従って出力電圧のステップ サイズを選択します。

表 7-4. 出力電圧ステップのサイズと範囲の選択

SEL_FB_DIV20	出力電力ステップ サイズ	動作モード	出力電圧範囲
0b0	10mV	PFM	1V～22.5V
		FPWM	1V～24V
0b1	20mV	PFM	3.3V ～ 45V
		FPWM	3.3V ～ 48V

注

PFM モードでは、MFR_DEVICE_CFG_D9 レジスタの OUT_OF_AUDIO ビットを設定すると、PFM モードにおいて最大出力電圧範囲を使用できるようになります。

出力電圧の上昇および下降時間を制御するには、表 7-5 に従って VOUT_SLEW_RATE ビットを設定することで、出力電圧のスルーレートを調整します。出力コンデンサの充電または放電時には、実効出力スルーレートが、平均、ピーク、負の電流制限の影響を受ける可能性があることに注意してください。PFM モードでは、出力電圧のスルーレートは負荷電流と設定されたアクティブ放電電流によって制限されます。

表 7-5. 出力電圧スルーレート選択

VOUT_SLEW_RATE	VOUT スルーレート	
	(20mV VOUT ステップ サイズ)	(10mV VOUT ステップ サイズ)
0b00	40mV/µs	20mV/µs
0b01	20mV/µs	10mV/µs
0b10	1mV/µs	0.5mV/µs
0b11	0.5mV/µs	0.25mV/µs

7.3.8 制御可能な最小オン時間

最小出力電圧の調整範囲には、LM72880-Q1 の電圧リファレンスと、制御可能なスイッチ ノードの最小パルス幅 $t_{ON(min)}$ という 2 つの制約があります。

$t_{ON(min)}$ は実質的に、指定されたスイッチング周波数における電圧降圧変換比 V_{OUT}/V_{IN} を制限します。固定周波数の PWM 動作の場合、電圧の変換比は次の 式 4 を満たす必要があります。

$$\frac{V_{OUT}}{V_{IN}} > t_{ON(min)} \times F_{SW} \quad (4)$$

ここで、

- $t_{ON(min)}$ は 25ns (標準値) です。
- F_{SW} はスイッチング周波数です。

目標とする電圧変換比が上記の条件を満たさない場合、LM72880-Q1 は固定スイッチング周波数動作モードからパルス スキッピング モードに遷移して、出力電圧のレギュレーションを維持します。

V_{IN} の範囲が広いアプリケーションで低出力電圧の場合、式 4 の要件を満たすためのもう 1 つの方法は、LM72880-Q1 のスイッチング周波数を下げることです。

Copyright © 2026 Texas Instruments Incorporated

7.3.9 デュアル ループ アーキテクチャ

LM72880-Q1 は 2 つの制御ループ (電圧ループと電流ループ) と、電圧ループ誤差アンプと電流ループ誤差アンプからの出力電流を比較する IMIN セレクタ ブロックを備えています。IMIN セレクタ ブロックは、定電圧 (CV) または定電流 (CC) レギュレーションの制御を行うために低電流を選択します。このブロックにより、CC と CV 動作間のシームレスな遷移が可能になります。次の図に示します。

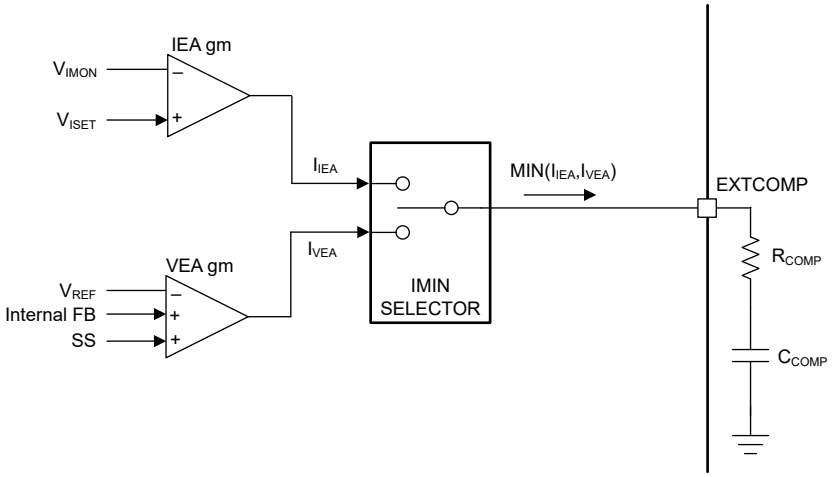


図 7-3. デュアル ループ アーキテクチャのブロック図

7.3.9.1 電圧ループ エラー アンプ

電圧制御ループ内で、LM72880-Q1 には高ゲインの相互コンダクタンス アンプがあり、内部帰還電圧とプログラマブル高精度リファレンス V_{REF} との間の差に比例した誤差電流を生成します。アンプの相互コンダクタンスは 1000µS です。電圧ループ エラー アンプは、内部の最小機能ブロック IMIN SELECTOR が電圧ループ エラー アンプからの電流を選択したときのみ、制御を行います。

Copyright © 2026 Texas Instruments Incorporated

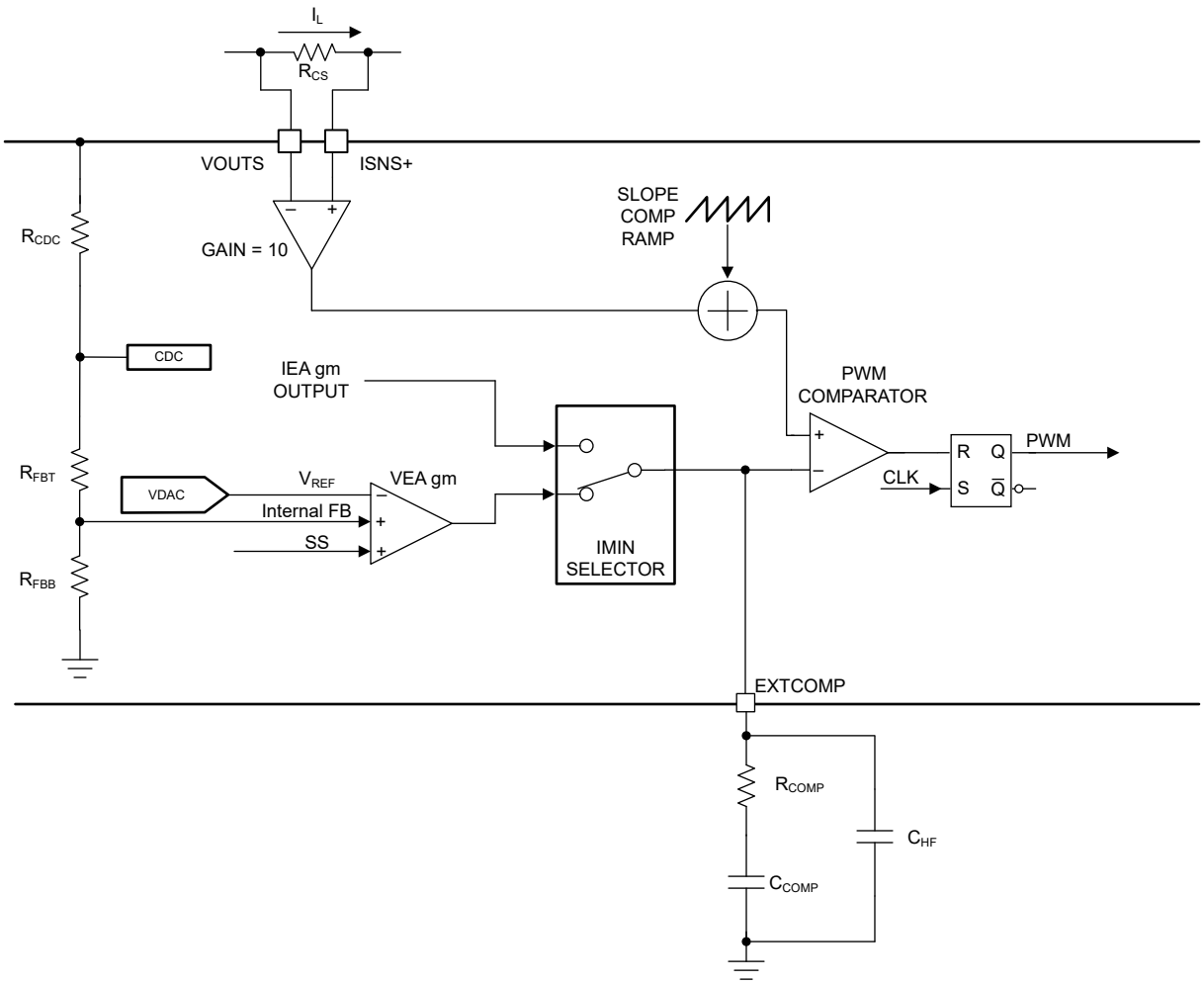


図 7-4. 電圧ループの機能ブロック図

電圧制御ループには、外部補償回路が必要です。TI では一般的に、ピーク電流モード制御用の type-II 補償ネットワークをお勧めしています。

7.3.9.2 電流ループ エラー アンプ

電流制御ループ内で、LM72880-Q1 には高ゲインの相互コンダクタンス アンプがあり、IMON 電圧、V_{IMON} とプログラマブル ISET リファレンス電圧、V_{ISET} との間の差に比例した誤差電流を生成します。アンプの相互コンダクタンスは 1000µS です。電流ループ エラー アンプは、内部の最小機能ブロック IMIN SELECTOR が電流ループ エラー アンプからの電流を選択した場合のみ、次の図に示すように制御を行います。

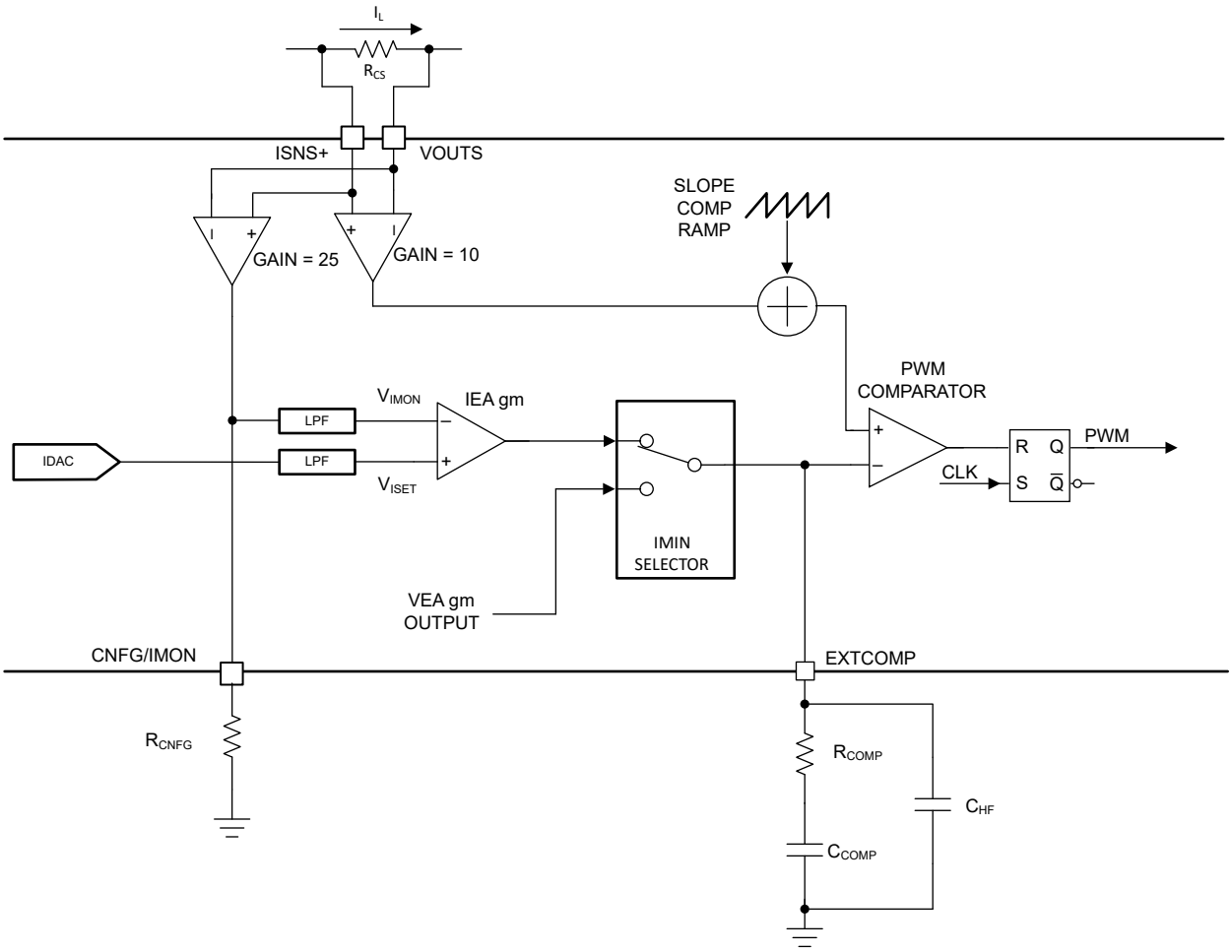


図 7-5. 電流ループの機能ブロック図

電流制御ループは、プログラマブル補償を備えています。補償時定数を設定するには、MFR_DEVICE_CFG_D1 レジスタの CC_COMP ビットを使用します。負荷によって定義される時定数値 (R_{OUT} および C_{OUT}) に最も近い補償時定数の値を選択します。

7.3.10 プログラマブル OVP

LM72880-Q1 は、プログラマブル出力過電圧保護機能を備えています。

デフォルトでは、LM72880-Q1 の OVP 検出が有効化されており、OVP スレッショルドは設定出力電圧より 110% 高い値に設定されます。出力電圧が OVP スレッショルドを超えると、デバイスはスイッチングを停止し、VOUT ノードを放電させ、STATUS_BYTE および STATUS_WORD レジスタの VOUT_OV ビットを設定します。

7.3.11 プログラマブル ILIM

LM72880-Q1 には、プログラム可能な平均出力電流制限機能が備わっています。

内部 8 ビット DAC をプログラムすることで、平均出力電流制限を設定します。推奨される 8mΩ (5mΩ) のセンス抵抗を使用して、レジスタ 0xD0 の AVG_ILIM_THRESHOLD フィールドを用いて、平均出力電流制限を 0.5A (0.8A) ～ 7.5A (12A) の範囲で、50mA (80mA) ステップで設定します。

LM72880-Q1 は MFI 機能も備えており、この機能を有効化し、かつ設定電流制限値が 3A 以下である場合、定電流レギュレーションの最初の 1ms 間、設定電流制限が 1.67 倍に増加します。この機能を有効にするには、レジスタ 0xD9 の MFI_EN ビットを使用します。

Copyright © 2026 Texas Instruments Incorporated

7.3.12 IOUT モニタ

コンバータが定電圧制御ループで動作している際、LM72880-Q1 の IMON ピンを、平均インダクタ電流またはコンバータ出力電流モニタとして使用します。式 5 を使用して、IMON ピンの電圧からインダクタの平均電流を読み取ります。

$$I_{AVG} = \frac{V_{IMON} - V_{OFFSET}}{A_{IMON} \times R_S} \quad (5)$$

ここで、

- V_{IMON} は、IMON ピンへの電圧です
- V_{OFFSET} は、出力電流モニタ アンプのオフセット電圧 1V (標準値) です
- A_{IMON} は、出力電流モニタ アンプのゲインで 25V/V (標準値) です
- R_S は、8mΩ のセンス抵抗 (標準値) です

7.3.13 ケーブル電圧降下補償

LM72880-Q1 には、ケーブル電圧降下補償 (CDC) 機能があります。CDC 機能は出力電流とプログラム可能な CDC ゲインに基づいて出力電圧を上昇させ、USB ケーブルでの電圧降下をオフセットします。CDC ゲインは、0V/V ～ 62V/V の範囲で 2V/V ステップでプログラム可能です。CDC ゲインは、ケーブル抵抗と検出抵抗 R_S の比に最も近い値に設定します。たとえば、ケーブル抵抗が 150mΩ で、選択したセンス抵抗が 8mΩ の場合、目的の CDC ゲインは 150mΩ / 8mΩ= 18.75 と計算されます。最も近いプログラム可能な CDC ゲイン値は 18V/V です。

ケーブル電圧降下補償を有効にするには、レジスタ 0xD8 の CDC_EN ビットを使用します。0xD8 レジスタの CDC_GAIN フィールドを使用して CDC ゲインを設定します。たとえば、CDC ゲインを 18V/V に設定するには、CDC_GAIN フィールドを 18V/V / 2V/V(LSB) = 9h に設定します。

7.3.14 スロープ補償

LM72880-Q1 には、ピーク電流モード制御と 50% を超えるデューティ サイクルで安定した動作を実現するスロープ補償が提供されています。スロープ補償への寄与がインダクタのダウンスロープの 1 倍に等しくなるよう、次の式を使用して降圧インダクタンスを計算します。

$$L_{O(sc)} = \frac{V_{OUT}[V] \times R_S[m\Omega]}{40 \times F_{SW}[MHz]} \quad (6)$$

- インダクタンスの値が低いほど、ピーク ツー ピークのインダクタ電流は増加します。これにより、一般的にサイズとコストは最小限に抑えられ、コア損失とピーク電流の増加によって軽負荷効率が下がる代わりに、過渡応答が向上します。
- インダクタンスの値が大きいほどピーク ツー ピークのインダクタ電流は低下します。これにより、一般的に負荷過渡仕様を満たすためにより大容量の出力コンデンサが必要となる代わりに、スイッチ ピークと RMS 電流が低下することによって全負荷効率は向上します。

7.3.15 シャント電流センシング

図 7-6 に、シャント抵抗を使用したインダクタ電流検出を示します。この構成では、インダクタ電流を継続的に監視して、動作温度範囲全体での正確な過電流保護を実現します。優れた電流センス精度と過電流保護を実現するためには、インダクタと出力の間に低インダクタンスで ±1% の許容誤差を持つシャント抵抗を使用して、LM72880-Q1 の電流センス アンプまでケルビン接続します。

ISNS+ から VOUTS までの間で検出されたピーク差動電流信号が の電流制限スレッショルドを超えた場合、電流制限コンパレータはサイクルごとの電流制限に適用可能なハイサイド ゲート ドライバ出力をただちに停止します。シャント抵抗を求めるには、以下の式を使用します。

$$R_S = \frac{V_{CS(TH)}}{I_{OUT(CL)} + \frac{\Delta I_L}{2}} \quad (7)$$

ここで、

Copyright © 2026 Texas Instruments Incorporated

- $V_{CS(TH)}$ は、の電流センス スレッショルドです。
- $I_{OUT(CL)}$ は過電流設定ポイントで、最大負荷電流より大きな値を設定して、負荷過渡中の過電流コンパレータのトリッピングを防止します。
- ΔI_L は、ピーク ツー ピークのインダクタ リップル電流です。

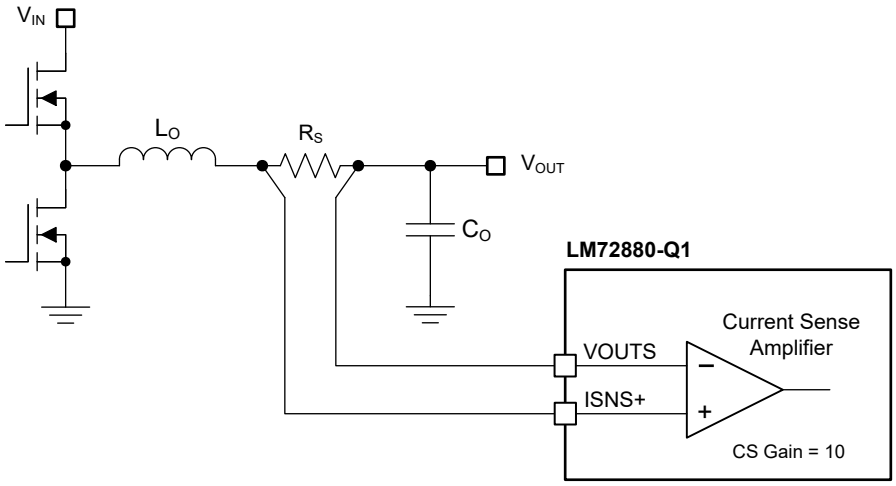


図 7-6. シャント電流センシングの実装

電流センス遅延 ($t_{DELAY(CS)}$) の標準値は 85ns です。次の式を使用して、結果として過電流スレッショルドを上回るインダクタ電流のオーバーシュートを計算します。

$$I_{L(overshoot)} = \frac{(V_{IN} - V_{OUT}) \times t_{DELAY(CS)}}{L_O} \quad (8)$$

過電流状態では、対応する SS 電圧は FB より 75mV 高い値でクランプされます。SS クランプは、8 つの過電流イベントが発生した後にのみ有効になります。この要件により、短い過電流イベント中は SS が Low にプルされるため、回復中の出力電圧のオーバーシュートが防止されます。

7.3.16 ヒカップ モード電流制限

LM72880-Q1 には内部ヒカップ モード保護機能が搭載されています。過負荷状態が発生すると、512 サイクル カウンタは内部ソフト スタート シーケンスの完了後、サイクル単位の電流制限インシデントの連続カウントを開始します。電流制限スレッショルドを超えないまま、スイッチングサイクルが連続 4 回発生すると、512 サイクルのカウンタはリセットされます。512 サイクル カウントが完了すると、内部ソフト スタートが Low になり、内部のハイサイドおよびローサイド ドライバが無効になります。その後、16384 カウンタが有効になります。カウンタが 16384 に達すると、内部ソフト スタートが有効になって出力が再開されます。ソフトスタート中、および出力電圧が設定電圧の 50% を超えるまでは、ヒカップ モードの電流制限は有効になりません。

HICCP_EN ビットを使用して、ヒカップ モードを有効化または無効化します。

7.3.17 デバイス構成 (CNFG)

LM72880-Q1 I2C アドレスの構成および IMON 機能の有効化は、表 7-6 に詳述されているように行われます。

VDDA が 3.8V (標準値) を上回ると、CNFG/IMON ピンがサンプリングされてラッチされます。構成は簡単に変更できません。LM72880-Q1 の入力電圧はリサイクルする必要があり、VCC は再構成を行う前に 3.65V を下回る必要があります。図 7-7 に、構成のタイミング図を示します。

Copyright © 2026 Texas Instruments Incorporated

表 7-6. デバイス設定

R_{CNFG}	I2C アドレス	IMON
3.01kΩ	0x6A	ディセーブル
9.53kΩ	0x6B	ディセーブル
19.1kΩ	0x6C	ディセーブル
29.4kΩ	0x6D	ディセーブル
41.2kΩ	0x6A	有効
54.9kΩ	0x6B	有効
71.5kΩ	0x6C	有効
90.9kΩ	0x6D	有効

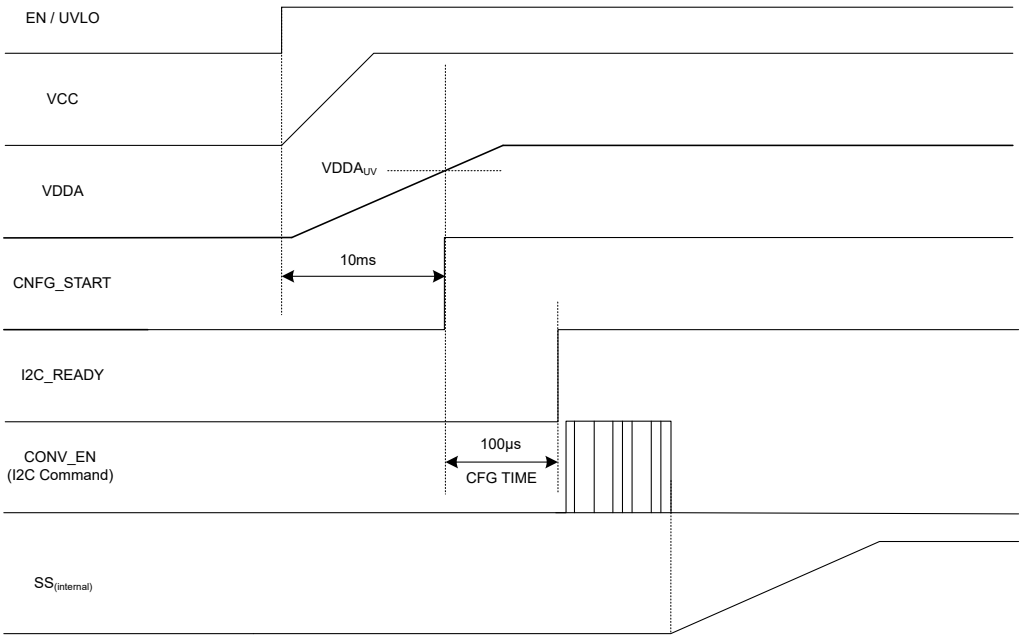


図 7-7. 構成のタイミング

7.3.18 パルス周波数変調 (PFM) / 同期

LM72880-Q1 にはダイオード エミュレーション機能があり、ローサイド MOSFET の逆 (ドレインからソース) 電流を防止します。ダイオード エミュレーション (DEM) 用に構成されている場合、ゼロクロス コンパレータを使用して SW 電圧を検出することによって逆電流が検出されると、ローサイド MOSFET はオフになります。この構成の利点は、軽負荷動作で電力損失が小さいことです。DEM 用にデバイスを構成すると、軽負荷動作時の負荷過渡に対する応答が遅くなる影響があります。

ダイオード エミュレーション機能は、PFM/SYNCIN ピンまたは OVERRIDE_PFM ビットおよび MODE ビットによって構成されます。軽負荷時にダイオード エミュレーションを有効化し、不連続導通モード (DCM) 動作を実現するには、PFM/SYNCIN を VDDA に接続するか、OVERRIDE_PFM および MODE ビットを設定します。強制パルス幅変調 (FPWM) または連続導通モード (CCM) での動作が必要な場合は、PFM/SYNCIN ピンを AGND に接続するか、OVERRIDE_PFM ビットを設定して MODE ビットをリセットします。ダイオード エミュレーションは、PFM におけるプリバイアスのスタートアップ条件中に逆電流が流れることを防止するため、自動的に動作します。起動時に、出力電圧がレギュレーション設定点に近づくと、DCM から CCM に徐々に変化するため、出力電圧のオーバーシュートが防止されます。動作モードを動的に変更することもできますが、変化率は 10Hz 未満にする必要があります。PFM 動作から FPWM 動作に遷移する時間は、出力負荷電流によって異なります。代表的なアプリケーションでは、出力電流が 100mA を超えると、PFM から FPWM への遷移動作が 1ms 未満で発生します。同様に、1mA 程度の出力電流の場合、一般に遷移は数十

Copyright © 2026 Texas Instruments Incorporated

ミリ秒で発生します。PFM と FPWM 間の遷移中に出力アクティブ放電機能を有効化して、遷移時間を短縮します。ACTIVE_DISCHARGE_STRENGTH ビットを使用して、24mA、48mA、72mA のアクティブ放電強度を選択します。

強制パルス幅変調 (FPWM) または連続導通モード (CCM) の動作が必要な場合は、PFM / SYNCIN を AGND に接続します。LM72880-Q1 は、LM72880-Q1 がリセットされるたびに PFM モードから FPWM モードに遷移することに注意してください。FPWM 動作への遷移時間は、出力負荷電流によって異なります。代表的なアプリケーションでは、出力電流が 100mA を超えると、PFM から FPWM への遷移動作が 1ms 未満で発生します。同様に、1mA 程度の出力電流の場合、一般に遷移は数十ミリ秒で発生します。

LM72880-Q1 を外部ソースと同期させるには、ロジック レベル クロック (2V より大きいもの) を PFM / SYNCIN ピンに印加します。LM72880-Q1 は、最大 2.2MHz のプログラムされた周波数の ±20% に同期できます。100kHz 未満の周波数で、デバイスを外部クロックに同期させないでください。低 V_{IN} 状態で最小オフ時間に達した場合、同期信号は無視され、スイッチング周波数を低減して、出力電圧レギュレーションを維持します。

FPWM モードでは、LM72880-Q1 が外部クロック周波数に同期する時間は約 100µs です。PFM モードでの動作中に、起動後に外部クロックが入力された場合、スイッチング周波数が同期するまでの時間は出力負荷電流によって異なります。代表的なアプリケーションでは、出力電流が 100mA を超えると、スイッチ同期と FPWM 動作は 1ms 未満で発生します。同様に、1mA またはそれ以上の同期の出力電流については一般に数十ミリ秒で発生します。PFM と FPWM 間の遷移中に出力アクティブ放電機能を有効化して、同期時間を短縮します。

7.3.19 Out-of-Audio™ 動作

軽負荷条件下において PFM モードで動作している場合、実効スイッチング周波数が可聴周波数範囲 (< 20kHz) に達する可能性があります。スイッチング周波数を可聴範囲外 (> 20kHz) にする必要のあるアプリケーション向けに、LM72880-Q1 は Out-of-Audio 動作の機能を備えています。これにより、最小限の負荷でスイッチング周波数を 20kHz に制限できます。

OUT_OF_AUDIO ビットを High (0xD9[2] = 1b) に設定することで、PFM モード時の Out-of-Audio 動作が有効になります。Out-of-Audio 動作を有効化すると、PFM スイッチングの最小インダクタ ピーク電流条件が無効になり、サイクルごとに出力に供給されるエネルギーが大幅に減少します。これにより、公称スイッチング周波数で連続的にスイッチングするために必要な最小出力電流が大幅に低減されます。また、スイッチング周波数が 200kHz に設定されている場合、ドロップアウト中にスキップされるオフ時間の最大回数が 16 倍から 8 倍に減少します。

7.3.20 サーマル シャットダウン (TSD)

LM72880-Q1 は、コントローラ ダイの内部接合部温度モニタを搭載しています。温度が 175°C (標準値) を超えると、サーマル シャットダウンが発生します。サーマル シャットダウンに入ると、デバイスは以下のように動作します。

1. ハイサイド MOSFET とローサイド MOSFET を停止します。
2. VCC レギュレータを停止します。
3. STATUS_BYTE レジスタおよび STATUS_WORD レジスタの TEMPERATURE ビットを設定します
4. ダイ温度がサーマル シャットダウン ヒステリシスの 15°C (標準値) だけ低下すると、ソフトスタート シーケンスが開始します。

この保護は非ラッチ保護のため、故障が継続していると、デバイスはサーマル シャットダウン状態の開始と終了を繰り返します。サーマル シャットダウン中に VCC または VDDA がそれぞれの UVLO スレッショルドを下回ると、LM72880-Q1 はサーマル シャットダウンの終了時に STATUS_BYTE および STATUS_WORD レジスタをクリアします。

動作条件によっては、ハイサイド FET またはローサイド FET のダイがコントローラのダイよりも高い温度になる可能性があることに注意してください。FET の接合部温度を定格制限内に維持するには、慎重に熱設計を行う必要があります。

7.4 デバイスの機能モード

7.4.1 シャットダウン モード

EN / UVLO ピンは、LM72880-Q1 のオン / オフ制御を行います。V_{EN} が 0.55V を下回ると、デバイスはシャットダウン モードになります。内部 LDO とスイッチング レギュレータの両方がオフになります。シャットダウン モードでの静止電流は、

Copyright © 2026 Texas Instruments Incorporated

4.7µA (標準値) まで減少します。LM72880-Q1 には、内部バイアス LDO の低電圧 (UV) 保護機能も搭載されています。内部バイアス電源電圧がその UV スレッショルドを下回ると、レギュレータはオフのままになります。

7.4.2 スタンバイ モード

内部バイアス LDO には、スイッチング レギュレータよりも低いイネーブル スレッショルドが設定されています。V_{EN} が 0.55V を超え、高精度イネーブル スレッショルド (標準値 1V) を下回ると、内部 VCC および VDDA LDO がイネーブルおよびレギュレーションされます。デフォルトのレジスタ値と TRIM ビットがロードされ、デジタル ブロックはディセーブルされ、デバイスはスイッチングせず、I_Q 電流は 310µA (標準値) です。

7.4.3 READY モード

イネーブル電圧が 1V を上回り、100µs (標準値) のイネーブルから READY までの遅延後、LM72880-Q1 は READY モードになります。READY モードでは、I^2C インターフェイスが利用可能で、デバイスはスイッチングを停止し、I_Q 電流は 1mA (標準値) です。

7.4.4 アクティブ モード

LM72880-Q1 は、V_{EN} が高精度のイネーブル スレッショルドを超えており、内部バイアス レールが UV スレッショルドを超えている場合で、OPERATION レジスタの CONV_EN ビットが設定されている場合にアクティブ モードになります。アクティブ モードでは、デバイスは負荷電流、入力電圧、出力電圧、PFM/SYNCIN ピンの構成に応じて、次の 2 つのモードのいずれかで動作します。

1. パルス幅変調 (FPWM) を強制します。この動作モードは、PFM / SYNCIN ピンを GND に接続するか、外部クロック ソースで駆動することにより構成されます。デバイスは、負荷電流に関係なく、固定スイッチング周波数で連続導通モード (CCM) で動作します。
2. パルス周波数変調 (PFM) モード。この動作モードは、VDDA/SYNCIN ピンを PFM に接続することにより構成されます。負荷電流がピーク ツー ピーク インダクタ電流の半分未満の場合、デバイスは不連続導通モード (DCM) で動作します。それ以外の場合、デバイスは連続導通モード (CCM) で動作します。CCM と DCM の間の遷移は自動的に行われます。

7.4.5 スリープ モード

LM72880-Q1 はピーク電流モード制御で動作するため、補償電圧はピーク インダクタ電流に比例します。無負荷または軽負荷状態では、出力コンデンサは非常にゆっくりと放電されます。その結果、補償電圧が低くなり、スイッチングが停止します。LM72880-Q1 のコントローラがスイッチングサイクルの検出に 16 回失敗すると、LM72880-Q1 はスリープ モードに入り、低 $I_{Q-SLEEP}$ 状態に切り替わって、入力から流れる電流を低減します。LM72880-Q1 をスリープ モードにするには、ダイオード エミュレーション用にデバイスを PFM モードにプログラムする必要があります。

Copyright © 2026 Texas Instruments Incorporated

7.5 プログラミング

7.5.1 I²C バス動作

I²C バスは、コントローラと一連のターゲット デバイスの間の通信リンクです。このリンクは、シリアル クロック信号 (SCL) とシリアル データ信号 (SDA) で構成される 2 線式バスを使用して確立されます。コントローラとターゲット端子との間のデータ通信で、シリアル データ ラインが双方向である場合、どの場合でも、シリアル クロックにはコントローラから電源が供給されます。各デバイスは、シリアル データ ライン (SDA) 上でデータを送信するためのオープン ドレイン出力を備えています。データ送信中にドレイン出力を High にするには、シリアルデータラインに外部プルアップ抵抗を配置します。このデバイスは、ターゲット I²C をホストします。標準モード、高速モード、高速モード プラス動作をサポートし、それぞれ最大 100kbit/s、400kbit/s、1000kbit/s のデータ レートで、I²C 標準 3.0 と互換性のある自動インクリメント アドレッシング機能を備えています。

このデバイスの 7 ビット ターゲット アドレスは、表 7-6 に従って CNFG ピンによって設定されます。

下図に示されているように、データ送信はコントローラのスタート ビットを使用して開始されます。START 条件は、SCL 信号の high 部分で SDA ラインが high から low に遷移するとき認識されます。スタート ビットを受信すると、デバイスは SDA 入力でシリアル データを受信し、有効なアドレスおよび制御情報をチェックします。ターゲット アドレス ビットがデバイスのために設定されている場合、デバイスはアクノリッジ パルスを発行し、レジスタ アドレスとデータの受信を準備します。データ送信は、停止条件の受信またはデバイスに送信されるデータワードの受信によって完了します。停止条件は、SCL 信号の high の間に SDA 入力が low から high に遷移することと認識されます。通信が有効になるためには、ターゲットの SDA ラインのそれ以外のすべての遷移は、SCL 信号の Low 部分の間に発生する必要があります。有効なアドレス、サブアドレス、データ ワードを受信した後、アクノリッジが発行されます。I ² C インターフェイスは、レジスタ アドレスを自動シーケンス処理し、特定の I²C 転送について複数のデータ ワードを送信できます。

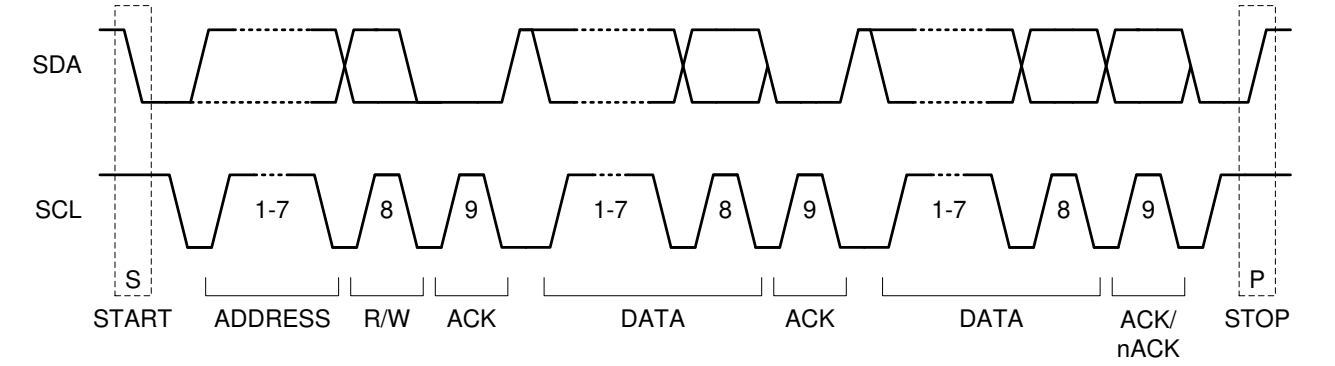


図 7-8. I²C スタート / ストップ / アクノリッジのプロトコル

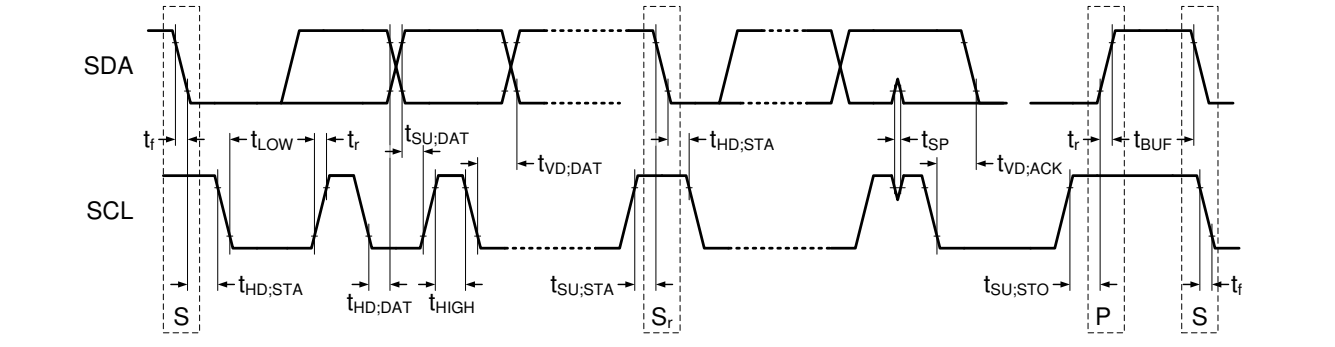


図 7-9. I²C データ送信タイミング

Copyright © 2026 Texas Instruments Incorporated

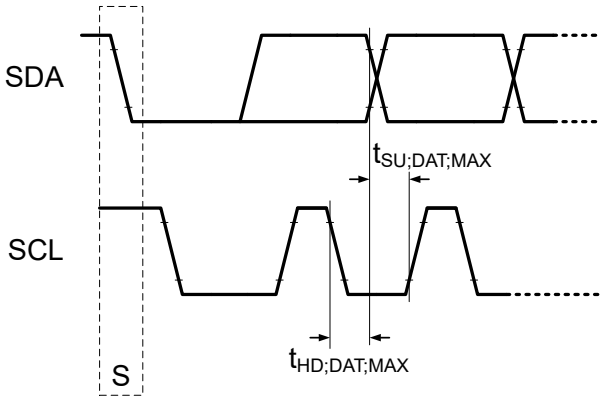


図 7-10. 最大立ち上がり / 立ち下がり時間の I²C データ送信タイミング

7.5.2 クロック ストレッチ

クロック ストレッチはサポートされていません。デバイスがビジーのときにアドレス指定され、受信したデータを処理できない場合、そのトランザクションはアクノリッジされません。I2C タイムアウト機能を備えた I2C システムでこのデバイスを使用することを推奨します。

7.5.3 データ転送フォーマット

このデバイスは、4 種類の読み取り/書き込み動作をサポートしています。

- 定義されたレジスタ アドレスからの単一読み取り
- 定義されたレジスタ アドレスへの単一書き込み
- 定義されたレジスタ アドレスから開始されるシーケンシャル読み出し
- 定義されたレジスタ アドレスから開始されるシーケンシャル書き込み

7.5.4 定義されたレジスタ アドレスからの単一読み取り

図 7-11 に、定義されたレジスタ アドレスから単一読み取りのフォーマットを示します。まず、コントローラは始動条件を発行してから、7 ビットの I²C アドレスを送信します。次に、コントローラは 0 を書き込んで、コントローラが書き込み操作を実行していることを示します。コントローラは、ターゲットからアクノリッジを受信すると、バス全体に 8 ビットのレジスタ アドレスを送信します。2 回目のアクノリッジ後、デバイスは内部 I²C レジスタ番号を定義された値に設定します。次に、コントローラが繰り返し始動条件を発行し、7 ビットの I²C アドレスに続いて 1 を発行し、コントローラが読み取り動作を実行していることを示します。3 回目のアクノリッジを受信すると、コントローラはバスをデバイスに解放します。その後、デバイスはバス上のレジスタから 8 ビットのデータ値を返します。コントローラはアクノリッジ (NACK) を返さず、停止条件を発行します。これにより、レジスタ読み出しは終了です。

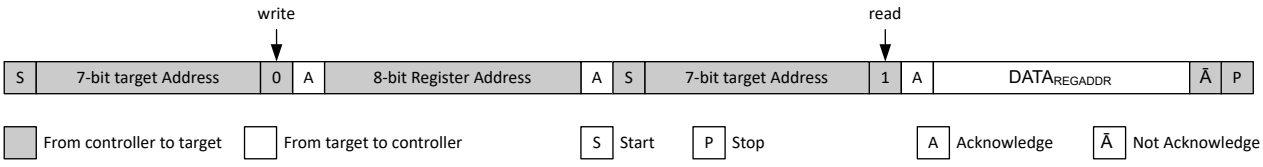


図 7-11. 定義されたレジスタ アドレスからの単一読み取り

7.5.5 定義されたレジスタ アドレスから開始されるシーケンシャル読み出し

図 7-12 に示されているように、シーケンシャル読み取り動作は、単一読み取りプロトコルを拡張したものです。コントローラはデータ バイトを受信したことをアクノリッジし、デバイスはレジスタ アドレスを自動的にインクリメントして、次のレジスタからデータを返します。データ転送は、最後のデータ バイトをアクノリッジせず、停止条件を送信することによって停止します。

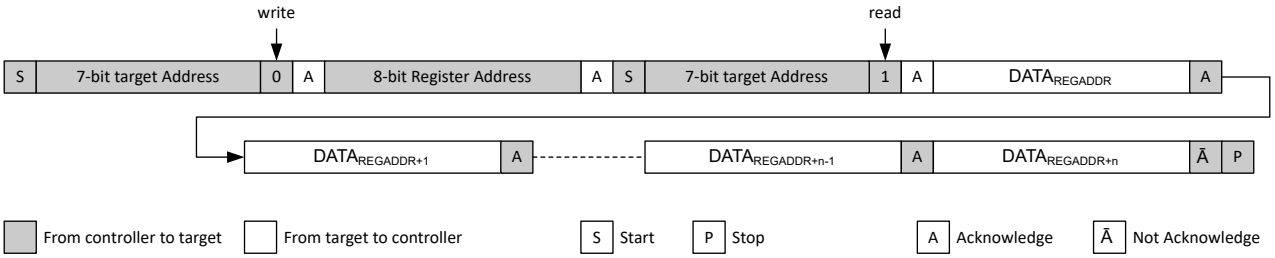


図 7-12. 定義されたレジスタ アドレスから開始されるシーケンシャル読み出し

7.5.6 定義されたレジスタ アドレスへの 単一書き込み

図 7-13 に、定義されたレジスタ アドレスへの 単一書き込みの形式を示します。まず、コントローラは始動条件を発行してから、7 ビットの I²C アドレスを送信します。次に、コントローラは書き込み操作実行を試みることを示すために 0 を書き込みます。コントローラは、ターゲットからアクノリッジを受信すると、バス全体に 8 ビットのレジスタ アドレスを送信します。2 回目のアクノリッジ後、デバイスは I²C レジスタ アドレスを定義された値に設定し、コントローラが 8 ビットのデータ値を書き込みます。3 回目のアクノリッジを受信すると、デバイスは I²C レジスタ アドレスを 1 ずつ自動インクリメントし、コントローラは停止条件を発行します。これにより、レジスタ書き込みは終了です。

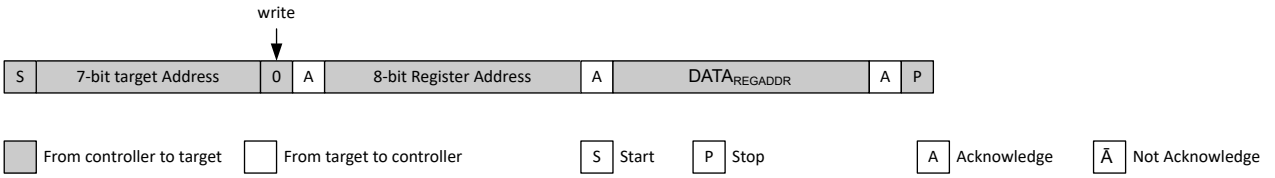


図 7-13. 定義されたレジスタ アドレスへの単一書き込み

7.5.7 定義されたレジスタ アドレスから開始されるシーケンシャル WRITE

シーケンシャル書き込み動作は、図 7-14 に示すように、単一書き込みプロトコルを拡張したものです。デバイスが ACK を発行した後にコントローラが停止条件を送信しない場合、デバイスはレジスタ アドレスを 1 つずつ自動的にインクリメントし、コントローラは次のレジスタに書き込みます。

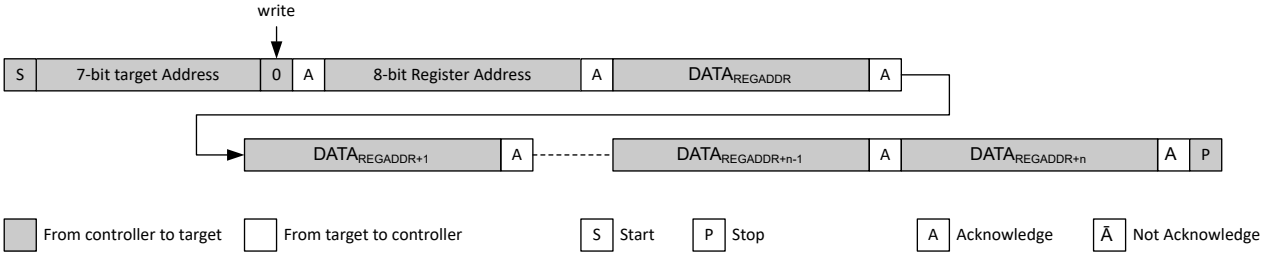


図 7-14. 定義されたレジスタ アドレスから開始されるシーケンシャル WRITE

Copyright © 2026 Texas Instruments Incorporated

8 LM72880-Q1 のレジスタ

LM72880-Q1 レジスタのメモリマップされたレジスタを、表 8-1 に示します。表 8-1 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 8-1. LM72880-Q1 のレジスタ

アドレス	略称	レジスタ名	セクション
1h	動作	動作レジスタ	セクション 8.1
3h	CLEAR_FAULTS	故障のクリア レジスタ	セクション 8.2
21h	VOUT_COMMAND	出力電圧設定レジスタ	セクション 8.3
78h	STATUS_BYTE	デバイス ステータス レジスタ	セクション 8.4
79h	STATUS_WORD	デバイス ステータス ワード	セクション 8.5
D0h	MFR_DEVICE_CFG_D0	平均出力電流制限の設定レジスタ	セクション 8.6
D1h	MFR_DEVICE_CFG_D1	デバイス構成レジスタ 1	セクション 8.7
D2h	MFR_DEVICE_CFG_D2	デバイス構成レジスタ 2	セクション 8.8
D5h	MFR_DEVICE_CFG_D5	デバイス構成レジスタ 3	セクション 8.9
D8h	MFR_DEVICE_CFG_D8	デバイス構成レジスタ 4	セクション 8.10
D9h	MFR_DEVICE_CFG_D9	デバイス構成レジスタ 5	セクション 8.11

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-2. LM72880-Q1 のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

8.1 OPERATION レジスタ (アドレス = 1h) [リセット = 00h]

動作を 表 8-3 に示します。

概略表に戻ります。

動作レジスタは、デバイスを有効または無効にするために使用されます。

表 8-3. OPERATION レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CONV_EN	R/W	0h	コンバータのイネーブル ビット。 0h = ディスエーブル 1h = イネーブル
6-0	予約済み	R	0h	予約済み。このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し動作中は、値 0 が返されます。

Copyright © 2026 Texas Instruments Incorporated

8.2 CLEAR_FAULTS レジスタ (アドレス = 3h) [リセット = 00h]

CLEAR_FAULTS を 表 8-4 に示します。

概略表に戻ります。

故障のクリア レジスタは、ステータス レジスタ 0x78h の故障ビットをクリアするために使用します。

表 8-4. CLEAR_FAULTS レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	CLEAR_FAULTS	R	0h	障害ビットをクリアします。 READ 動作により、STATUS_BYTE および STATUS_WORD レジスタがクリアされます。 それぞれの STATUS_BYTE ビットまたは STATUS_WORD ビットは、書き込み動作で 1 に設定することでクリアできることに注意してください。 電力をリサイクルまたは EN ピンをトグルすることにより、STATUS_BYTE レジスタおよび STATUS_WORD レジスタもクリアされます。

Copyright © 2026 Texas Instruments Incorporated

8.3 VOUT_COMMAND レジスタ (アドレス = 21h) [リセット= 00FAh]

VOUT_COMMAND を 表 8-5 に示します。

概略表に戻ります。

出力電圧設定レジスタは、目標出力電圧を設定するために使用します。

表 8-5. VOUT_COMMAND レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15-12	予約済み	R	0h	予約済み。このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し動作中は、値 0 が返されます。
11-8	VOUT_MSB	R/W	0h	出力電圧設定上位バイト。 下限:3.3V (1V) 上限:48V (24V) ステップ サイズ:20mV (10mV) SEL_FB_DIV20 = 1 (SEL_FB_DIV20 = 0) 0000h = 3.3V (1V) 0064h = 3.3V (1V) 00A5h = 3.3V (1.65V) 00FAh = 5V (2.5V) 01C2h = 9V (4.5V) 02EEh = 15V (7.5V) 03E8h = 20V (10V) 0578h = 28V (14V) 0708h = 36V (18V) 0960h = 48V (24V) FFFFh = 48V (24V)
7-0	VOUT_LSB	R/W	FAh	出力電圧設定下位バイト。 下限:3.3V (1V) 上限:48V (24V) ステップ サイズ:20mV (10mV) SEL_FB_DIV20 = 1 (SEL_FB_DIV20 = 0) 0000h = 3.3V (1V) 0064h = 3.3V (1V) 00A5h = 3.3V (1.65V) 00FAh = 5V (2.5V) 01C2h = 9V (4.5V) 02EEh = 15V (7.5V) 03E8h = 20V (10V) 0578h = 28V (14V) 0708h = 36V (18V) 0960h = 48V (24V) FFFFh = 48V (24V)

Copyright © 2026 Texas Instruments Incorporated

8.4 STATUS_BYTE レジスタ (アドレス = 78h) [リセット = 00h]

STATUS_BYTE を 表 8-6 に示します。

概略表に戻ります。

デバイス ステータス レジスタ。

表 8-6. STATUS_BYTE レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	BUSY	R/W	0h	デバイス ビジー ステータス ビット。設定されている場合、デバイスはビジー状態で、応答できません。 0h = 故障なし 1h = 故障
6	OFF	R/W	0h	デバイスのオン / オフ ステータス ビット。設定されている場合、デバイスは無効 / オフになります。 0h = 故障なし 1h = 故障
5	VOUT_OV	R/W	0h	デバイス出力過電圧ステータス ビット。設定されている場合、デバイスの出力電圧が設定された OVP スレッショルドを超えています。 0h = 故障なし 1h = 故障
4	IOUT_OC	R/W	0h	デバイス出力過電流ステータス ビット。設定されている場合、サイクル単位の電流制限がトリガされます。 0h = 故障なし 1h = 故障
3	予約済み	R	0h	予約済み。このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し動作中は、値 0 が返されます。
2	温度	R/W	0h	デバイス加熱ステータス ビット。設定されている場合、デバイス温度によってサーマルシャットダウン (TSD) スレッショルドがトリガされます。 0h = 故障なし 1h = 故障
1	CML	R/W	0h	デバイス通信、メモリ、またはロジック故障ステータス ビット。トリガされた場合、デバイス メモリ (パリティ) エラーが発生します。 0h = 故障なし 1h = 故障
0	NONE_OF_THE_ABOVE	R/W	0h	デバイスのその他の故障または警告ステータス ビット。設定されている場合、0x79[15:8] バイトに記載された故障または警告が発生しています。 0h = 故障なし 1h = 故障

Copyright © 2026 Texas Instruments Incorporated

8.5 STATUS_WORD レジスタ (アドレス = 79h) [リセット = 0000h]

STATUS_WORD を表 8-7 に示します。

概略表に戻ります。

デバイス ステータス ワード。

表 8-7. STATUS_WORD レジスタ フィールドの説明

ビット	フィールド	タイプ	リセット	説明
15	VOUT	R/W	0h	デバイス出力電圧ステータス ビット。設定されている場合、デバイス出力の電圧が設定された OVP スレッショルドまたは PG OV スレッショルドを超えています。 0h = 故障なし 1h = 故障
14	IOUT_POUT	R/W	0h	出力電流または出力電力の警告。 0h = 故障なし 1h = 故障
13	予約済み	R	0h	予約済み。このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し動作中は、値 0 が返されます。
12	CC_STATUS	R/W	0h	定電流 (CC) ステータス ビット。設定されている場合、デバイスは CC レギュレーション モードで動作します。それ以外の場合、デバイスは定電圧 (CV) レギュレーション モードで動作します。 0h = CV レギュレーション 1h = CC レギュレーション
11	nPG_STATUS	R	0h	パワー ノット グッド ステータス ビット。設定されている場合、デバイスの出力電圧によって PG UV または PG OV スレッショルドのいずれかがトリガされています。 0h = 故障なし 1h = 故障
10	予約済み	R	0h	予約済み。このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し動作中は、値 0 が返されます。
9	予約済み	R	0h	予約済み。このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し動作中は、値 0 が返されます。
8	予約済み	R	0h	予約済み。このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し動作中は、値 0 が返されます。
7	BUSY	R/W	0h	デバイス ビジー ステータス ビット。設定されている場合、デバイスはビジー状態で、応答できません。 0h = 故障なし 1h = 故障
6	OFF	R/W	0h	デバイスのオン / オフ ステータス ビット。設定されている場合、デバイスは無効 / オフになります。 0h = 故障なし 1h = 故障
5	VOUT_OV	R/W	0h	デバイス出力過電圧ステータス ビット。設定されている場合、デバイスの出力電圧が設定された OVP スレッショルドを超えています。 0h = 故障なし 1h = 故障
4	IOUT_OC	R/W	0h	デバイス出力過電流ステータス ビット。設定されている場合、サイクル単位の電流制限がトリガされます。 0h = 故障なし 1h = 故障
3	予約済み	R	0h	予約済み。このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し動作中は、値 0 が返されます。

Copyright © 2026 Texas Instruments Incorporated

表 8-7. STATUS_WORD レジスタ フィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	温度	R/W	0h	デバイス加熱ステータス ビット。設定されている場合、デバイス温度によってサーマルシャットダウン (TSD) スレッショルドがトリガされます。 0h = 故障なし 1h = 故障
1	CML	R/W	0h	デバイス通信、メモリ、またはロジック故障ステータス ビット。トリガされた場合、デバイス メモリ (パリティ) エラーが発生します。 0h = 故障なし 1h = 故障
0	NONE_OF_THE_ABOVE	R/W	0h	デバイスのその他の故障または警告ステータス ビット。設定されている場合、0x79[15:8] バイトに記載された故障または警告が発生しています。 0h = 故障なし 1h = 故障

8.6 MFR_DEVICE_CFG_D0 レジスタ (アドレス = D0h) [リセット = 0Ah]

MFR_DEVICE_CFG_D0 を表 8-8 に示します。

概略表に戻ります。

平均出力電流制限レジスタを設定します。

表 8-8. MFR_DEVICE_CFG_D0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7-0	AVG_ILIM_THRESHOLD	R/W	Ah	平均出力電流制限スレッショルドを設定します。8mΩ (5mΩ) センス抵抗が選択されていると想定しています。 下限:0.5A (0.8A) 上限:7.5A (12A) ステップ サイズ:50mA (80mA) 0h = 0.5A (0.8A) Ah = 0.5A (0.8A) 3Ch = 3A (4.8A) 64h = 5A (8A) 96h = 7.5A (12A) FFh = 7.5A (12A)

Copyright © 2026 Texas Instruments Incorporated

8.7 MFR_DEVICE_CFG_D1 レジスタ (アドレス = D1h) [リセット = 8Ah]

MFR_DEVICE_CFG_D1 を表 8-9 に示します。

概略表に戻ります。

デバイス構成レジスタ 1 は、FB デバイダの選択、DRSS 機能の構成、スイッチング周波数の設定、定電流ループの補償の選択に使用します。

表 8-9. MFR_DEVICE_CFG_D1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SEL_FB_DIV20	R/W	1h	FB デバイダを選択します。選択によって、出力電圧範囲とステップ サイズが決まります。 0h = DIV10 (10mV ステップ サイズ、1V ～ 24V の範囲) 1h = DIV20 (20mV ステップ サイズ、3.3V ～ 48V の範囲)
6	DRSS_EN	R/W	0h	DRSS 機能を有効にします。 0h = DRSS ディスエーブル 1h = DRSS イネーブル
5	DRSS_FMOD	R/W	0h	DRSS 三角波変調周波数を選択します。 0h = 10kHz 1h = 2.5kHz
4-3	FREQ	R/W	1h	スイッチング周波数を選択します。 0h = 200kHz 1h = 400kHz 2h = 600kHz 3h = 2.2MHz
2-1	CC_COMP	R/W	1h	CC 補償時定数を選択します。 0h = 0.1ms 1h = 0.2ms 2h = 0.3ms 3h = 0.4ms
0	予約済み	R	0h	予約済み。このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し動作中は、値 0 が返されます。

Copyright © 2026 Texas Instruments Incorporated

8.8 MFR_DEVICE_CFG_D2 レジスタ (アドレス = D2h) [リセット = C9h]

MFR_DEVICE_CFG_D2 を表 8-10 に示します。

概略表に戻ります。

デバイス構成レジスタ 2 を使用して、出力アクティブ放電、出力電圧スルーレートを構成し、ソフトスタート時間を選択します。

表 8-10. MFR_DEVICE_CFG_D2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	ACTIVE_DISCHARGE_CFG1	R/W	1h	VOUT High から Low への遷移中のアクティブ放電を有効にします。 0h = ディスエーブル 1h = イネーブル
6	ACTIVE_DISCHARGE_CFG2	R/W	1h	PFM から FPWM への遷移中のアクティブ放電を有効にします。 0h = ディスエーブル 1h = イネーブル
5	ACTIVE_DISCHARGE_CFG3	R/W	0h	連続アクティブ放電を有効にします。 0h = ディスエーブル 1h = イネーブル
4-3	VOUT_SLEW_RATE	R/W	1h	出力電圧スルーレートを選択します。 SEL_FB_DIV20 = 1/ (SEL_FB_DIV20 =0) 0h = 40mV/us (20mV/us) 1h = 20mV/us (10mV/us) 2h = 1mV/us (0.5mV/us) 3h = 0.5mV/us (0.25mV/us)
2-1	ACTIVE_DISCHARGE_STRENGTH	R/W	0h	アクティブ放電強度を選択します。 0h = ディスエーブル 1h = 24mA 2h = 48mA 3h = 72mA
0	SOFT_START_TIME	R/W	1h	ソフトスタート ランプ時間。 SEL_FB_DIV20 = 1/ (SEL_FB_DIV20 =0) 0h = 5V/ms (2.5V/ms) 1h = 2.5V/ms (1.25V/ms)

Copyright © 2026 Texas Instruments Incorporated

8.9 MFR_DEVICE_CFG_D5 レジスタ (アドレス = D5h) [リセット = 65h]

MFR_DEVICE_CFG_D5 を表 8-11 に示します。

概略表に戻ります。

デバイス構成レジスタ 3 は、過電圧保護 (OVP) 機能の有効化および構成、OVP スレッショルドの設定に使用します。

表 8-11. MFR_DEVICE_CFG_D5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み。このビットはハードウェアには実装されていません。書き込み動作中、このビットのデータは無視されます。読み出し動作中は、値 0 が返されます。
6	OVP_EN	R/W	1h	OVP 検出を有効にします。 0h = ディスエーブル 1h = イネーブル
5	OVP_CFG	R/W	1h	OVP 検出を構成します。 0h = OVP 検出からは、ステータス レジスタの更新のみが行われます 1h = OVP 検出は、スイッチングの割り込み、VOUT の放電、ステータス レジスタの VOUT_OV ビットの設定を行います
4-0	OVP_THRESHOLD	R/W	5h	OVP 立ち上がりスレッショルドを選択します。 下限:105% 上限:136% ステップ サイズ:1% 0h = 105% 5h = 110% Ah = 115% 1Fh = 136%

Copyright © 2026 Texas Instruments Incorporated

8.10 MFR_DEVICE_CFG_D8 レジスタ (アドレス = D8h) [リセット = CAh]

MFR_DEVICE_CFG_D8 を表 8-12 に示します。

概略表に戻ります。

デバイス構成レジスタ 4 は、NINT マスクの設定、VCC レギュレータ入力から VOUTF ピンへの接続の有効化、ケーブル電圧降下補償機能のゲインの構成に使用します。

表 8-12. MFR_DEVICE_CFG_D8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	NINT_MASK	R/W	1h	CC_STATUS ビットを除くすべてのステータス レジスタ ビットの NINT をマスクします。 0h = NINT はほとんどの STATUS BYTE/WORD 故障に対応。 1h = CC_STATUS ビットのみの NINT。
6	BIAS_EN	R/W	1h	VCC レギュレータのバイアス入力から VOUTF ピンへの接続を有効化します。 0h = ディスエーブル 1h = イネーブル
5	CDC_EN	R/W	0h	ケーブル電圧降下補償を有効にします。 0h = ディスエーブル 1h = イネーブル
4-0	CDC_GAIN	R/W	Ah	CDC ゲインを設定します。 下限:0V/V 上限:62V/V ステップ サイズ:2V/V 0h = 0V/V 1h = 2V/V Ah = 20V/V 1Fh = 62V/V

Copyright © 2026 Texas Instruments Incorporated

8.11 MFR_DEVICE_CFG_D9 レジスタ (アドレス = D9h) [リセット = 00h]

MFR_DEVICE_CFG_D9 を表 8-13 に示します。

概略表に戻ります。

デバイス構成レジスタ 5 は、MFI 機能の有効化、HICCUP モードの有効化、PFM ピンのオーバーライド モード選択、MODE 選択、パワー グッド (PG) 検出ウィンドウの設定に使用します。

表 8-13. MFR_DEVICE_CFG_D9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	MFI_EN	R/W	0h	MFI CC レギュレーションを有効化します (1ms の CC レギュレーションに 1.67xILIM)。 0h = ディスエーブル 1h = イネーブル
6	HICCUP_EN	R/W	0h	HICCUP 動作を有効にします。 0h = ディスエーブル 1h = イネーブル
5	OVERRIDE_PFM	R/W	0h	PFM ピンの設定をオーバーライドします。 0h = PFM ピンは動作モードを設定します 1h = MODE ビットは動作モードを設定します
4	モード	R/W	0h	動作モードを選択します。 0h = FPWM 1h = PFM
3	PG_10PCT	R/W	0h	PG ウィンドウを選択します。 0h = 5% 1h = 10%
2	OUT_OF_AUDIO	R/W	0h	Out-of-Audio 動作モードを有効化します。 0h = ディスエーブル 1h = イネーブル
1	SPARE1	R/W	0h	予備ビット #1 0h = ディスエーブル 1h = イネーブル
0	SPARE0	R/W	0h	予備ビット #0 0h = ディスエーブル 1h = イネーブル

Copyright © 2026 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI コンポーネントの仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

9.1.1 パワートレイン コンポーネント

同期整流降圧レギュレータの設計を成功に導くには、降圧レギュレータのパワートレイン コンポーネントを包括的に理解することが不可欠です。以下のセクションでは、出力インダクタ、入力および出力コンデンサ、EMI 入力フィルタ、補償部品について説明します。

9.1.1.1 降圧インダクタ

ほとんどのアプリケーションでは、標準的な入力電圧におけるインダクタのリップル電流 ΔI_L が最大 DC 出力電流の 30% ～ 50% の間になるように降圧インダクタンスを選択します。式 10 に示されるピーク インダクタ電流に基づき、式 9 を使用してインダクタンスを選択します。

$$L_O = \frac{V_{OUT}}{\Delta I_L \times F_{SW}} \times \left(1 - \frac{V_{OUT}}{V_{IN}}\right) \quad (9)$$

$$I_{L(PK)} = I_{OUT} + \frac{\Delta I_L}{2} \quad (10)$$

インダクタのデータシートを参照し、インダクタの飽和電流が特定の設計のピーク インダクタ電流よりも十分に大きいことを確認します。フェライトの設計はコア損失が非常に低く、高スイッチング周波数で好まれます。そのため、設計の目標を銅損と飽和の防止に集中することができます。低インダクタのコア損失は、無負荷の入力電流の低下と軽負荷時の効率の向上により明らかです。ただし、フェライトのコア素材は飽和特性が高く、飽和電流を超過するとインダクタンスは急激に低下します。この動作の結果、インダクタのリップル電流は急激に増加し、出力電圧リップルも上昇するため、当然効率は低下し、信頼性も損なわれます。一般的に、インダクタの飽和電流はコア温度が上がるにつれて減少することに注意してください。インダクタの飽和を防止するには正確な過電流保護が重要です。

9.1.1.2 出力コンデンサ

通常、レギュレータの出力コンデンサ エネルギーの保存と制御ループ応答の組み合わせは、出力電圧の整合性を動的 (過渡) 許容誤差の仕様範囲内に保つために規定されます。電源管理アプリケーションで出力コンデンサを制限する通常の境界は、限られた中で利用可能な PCB 面積、部品の取付面積とプロファイル、コストによって決まります。コンデンサの寄生 (等価直列抵抗 (ESR) と等価直列インダクタンス (ESL)) は、負荷ステップの振幅とスルーレートが増加するにつれて、レギュレータの負荷過渡応答の形成において優先度がより高くなります。

出力コンデンサ C_{OUT} はインダクタのリップル電流をフィルタリングして、ステップ負荷過渡イベントのために電荷を蓄積します。一般的に、セラミック コンデンサの ESR は非常に低いため、出力電圧リップルとノイズ スパイクは低減されますが、タンタル コンデンサと電解コンデンサは過渡負荷イベント用の比較的小さなフットプリントのものでも、バルク容量は非常に大きくなります。

ΔV_{OUT} で表される出力電圧リップルのピーク ツー ピーク値に関する静的仕様に基づき、以下の式で求められる値よりも大きな出力容量を選択してください。

$$C_{OUT} \geq \frac{\Delta I_L}{8 \times F_{SW} \sqrt{\Delta V_{OUT}^2 + \left(R_{ESR} \times \Delta I_L\right)^2}} \quad (11)$$

Copyright © 2026 Texas Instruments Incorporated

図 9-1 に、負荷の上昇遷移時と下降遷移時の関連電流の波形を概念的に表した図を示します。ここに示すように、インダクタ電流の大信号のスルーレートは、インダクタ電流が負荷過渡に伴い新しい負荷電流レベルに合うように上昇するにつれて制限されます。このスルーレートの制限により、出力コンデンサの電荷の損失はより大きくなります。そのため、負荷の上昇過渡時とその後はできる限り迅速に電荷を補充する必要があります。同様に、負荷の下降過渡時とその後は、インダクタ電流のスルーレートの制限により出力コンデンサの電荷が増大するため、できる限り早く放電する必要があります。

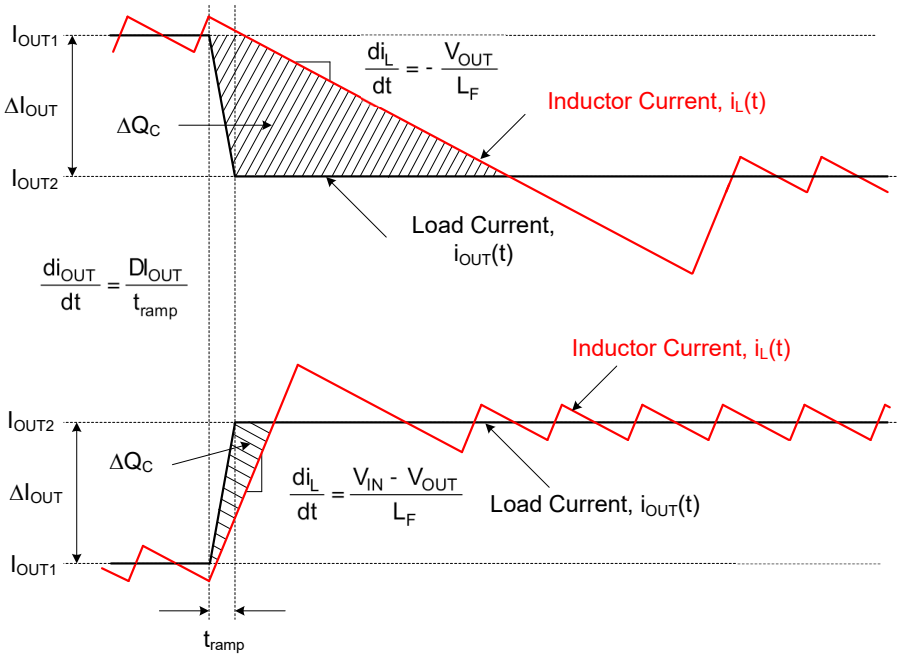


図 9-1. C_{OUT} の電荷の増大と損失を表す負荷過渡応答の図

低出力電圧 (3.3V など) への 12V 入力の標準的なレギュレータ アプリケーションでは、負荷オフ時の過渡は出力電圧の過渡偏差という点でワースト ケースになります。この変換比アプリケーションでは、定常状態のデューティ サイクルは約 28% で、デューティ サイクルがゼロに急減したときの大信号のインダクタ電流のスルーレートは約 $-V_{OUT}/L$ です。負荷オン過渡に比べると、インダクタ電流は必要なレベルに遷移するまでにかなり時間がかかります。出力コンデンサの電荷が過剰になると、出力電圧の深刻なオーバーシュートを引き起こします。実際に、出力コンデンサからこの過剰な電荷をできるだけ早く放電するには、負荷ステップに従い、インダクタ電流が公称レベルを下回るようにする必要があります。このシナリオでは、大きな出力容量を有効に活用して余剰電荷を吸収し、電圧のオーバーシュートを最小限に抑えています。

このような負荷オフ過渡時に、出力電圧のオーバーシュート ($\Delta V_{OVERSHOOT}$ と表記され、出力電流の段階的な減少は ΔI_{OUT} で与えられます) の動的要件に合わせるためには、出力容量を以下の式よりも大きくする必要があります。

$$C_{OUT} \geq \frac{L_O \times \Delta I_{OUT}^2}{\left(V_{OUT} + \Delta V_{OVERSHOOT}\right)^2 - V_{OUT}^2} \tag{12}$$

コンデンサの ESR は、メーカーのデータシートに仕様として明記、またはインピーダンスと周波数曲線の関係によって暗黙的に示されています。種類、サイズ、構造に応じて、電解コンデンサには 5mΩ 以上の非常に大きな ESR と 5nH～20nH の比較的大きな ESL が内蔵されています。PCB パターンは寄生抵抗とインダクタンスにも寄与します。対照的に、セラミック出力コンデンサは、スイッチング周波数における ESR と ESL への寄与が小さく、容量性インピーダンスの成分が優勢です。ただし、セラミック コンデンサのパッケージと電圧定格によっては、実効容量は印加された DC 電圧と動作温度で大幅に低下することがあります。

式 11 の ESR の項を無視すると、出力リップルの要件を満たすために必要な最小セラミック容量を簡単に見積もることができます。負荷オフ過渡のオーバーシュート要件を満たすために追加容量が必要かどうかを決定するには、式 12 を使用します。

Copyright © 2026 Texas Instruments Incorporated

セラミック コンデンサと電解コンデンサを混在させて実装することは、化学的性質が異なっていても性能補完が可能なコンデンサを並列に接続する理由になります。各コンデンサの周波数応答は累積的で、各コンデンサは周波数範囲の特定の部分で必要な性能を発揮します。セラミックは、低 ESR と ESL で優れた中域周波数と高周波数のデカップリング特性を実現し、スイッチング周波数の出力リップルを最小限に抑えます。一方、大きなバルク容量を持つ電解デバイスは低周波数でエネルギー保存を行うため、負荷過渡要求に対応します。

9.1.1.3 入力コンデンサ

入力コンデンサは、スイッチング周波数の AC 電流により、降圧出力段への入力リップル電圧を制限する必要があります。TI は、幅広い温度範囲で低インピーダンスと高い RMS 電流定格を実現する X7S または X7R 誘電セラミック コンデンサの使用を推奨しています。スイッチング ループの寄生インダクタンスを最小化するためには、入力コンデンサをハイサイド MOSFET のドレイン側とローサイド MOSFET のソース側のできる限り近くに配置します。以下の式を用いて、シングル チャネル降圧レギュレータの入力コンデンサ RMS 電流を計算します。

$$I_{CIN(rms)} = \sqrt{D \times \left(I_{OUT}^2 \times (1 - D) + \frac{{\Delta I_L}^2}{12} \right)} \quad (13)$$

入力コンデンサの RMS 電流の最大値は D = 0.5 のときに発生します。この時点で、入力コンデンサの RMS 電流定格は出力電流の半分を超えています。

入力電流の DC 成分は入力電圧源と入力フィルタ コンデンサによる AC 成分から供給されることが理想です。インダクタ リップル電流を無視すると、入力コンデンサは、D 間隔の間に振幅 (I_{OUT} – I_{IN}) の電流をソースし、1−D 間隔の間に I_{IN} をシンクします。そのため、入力コンデンサは、出力電流に等しいピーク ツー ピーク振幅の方形波電流を導通します。この結果、AC リップル電圧の合成容量成分は三角波になります。ESR に起因するリップル成分と合わせて、以下の式を用いて、ピーク ツー ピークのリップル電圧振幅を計算します。

$$\Delta V_{IN} = \frac{I_{OUT} \times D \times (1 - D)}{F_{SW} \times C_{IN}} + I_{OUT} \times R_{ESR} \quad (14)$$

以下の式を用いて、ΔV_{IN} の入力電圧リップル仕様に基づき、特定の負荷電流に必要な入力容量を計算します。

$$C_{IN} \geq \frac{D \times (1 - D) \times I_{OUT}}{F_{SW} \times (\Delta V_{IN} - R_{ESR} \times I_{OUT})} \quad (15)$$

レギュレータの入力におけるピーク時のフィルタリングを行うとともに、高 Q 値のセラミック コンデンサと入力の寄生インダクタンスとの共振による影響を緩和するためのダンピング効果を得るために、低 ESR セラミック コンデンサを、より大きな容量値を持つバルク コンデンサと並列に配置します。入力バルク コンデンサは、リップル電流定格と動作温度範囲に基づいて選択してください。

9.1.1.4 EMI フィルタ

スイッチング レギュレータは最小入力電圧において最小となる負の入力インピーダンスを示します。LC フィルタの減衰不足は、フィルタの共振周波数に対して出力インピーダンスが高いことを示しています。安定性のため、フィルタの出力インピーダンスはコンバータの入力インピーダンスの絶対値よりも小さくする必要があります。

$$Z_{IN} = \left| -\frac{V_{IN(min)}^2}{P_{IN}} \right| \quad (16)$$

EMI フィルタの設計手順は以下のとおりです。

- EMI フィルタに対して、スイッチング周波数で要求される減衰を計算します。ここで、C_{IN} はスイッチング コンバータの入力における既存の容量を表しています。
- 通常、入力フィルタ インダクタ L_{IN} は 1µH～10µH の間で選択されますが、大電流設計での損失を低減するために、さらに小さい値にすることも可能です。

Copyright © 2026 Texas Instruments Incorporated

- 入力フィルタ コンデンサ C_F を計算します。

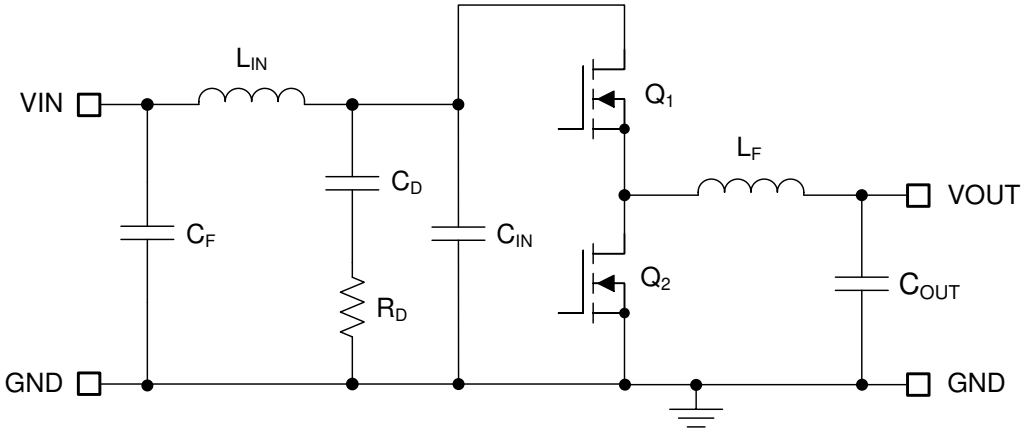


図 9-2. π 段 EMI フィルタ付き降圧レギュレータ

入力電流波形のフーリエ級数から最初に高調波電流を計算し、その値に入力インピーダンス (インピーダンスは既存の入力コンデンサ C_{IN} で定義) を乗算することにより、式 17 に示す必要な減衰を求める式が得られます。

$$\text{Attn} = 20\log\left(\frac{I_{L(PEAK)}}{\pi^2 \times F_{SW} \times C_{IN}} \times \sin(\pi \times D_{MAX}) \times \frac{1}{1\mu V}\right) - V_{MAX} \quad (17)$$

ここで、

- V_{MAX} は、適用可能な伝導 EMI 仕様に許容される dBµV ノイズ レベルです (例えば CISPR 25 クラス 5 など)。
- C_{IN} は、降圧レギュレータの既存の入力容量です。
- D_{MAX} は、最大デューティ サイクルです。
- I_{PEAK} は、ピーク インダクタ電流です。

フィルタ設計の目的のため、入力時の電流を方形波でモデリングすることができます。式 18 から EMI フィルタ容量 C_F を決定します。

$$C_F = \frac{1}{L_{IN}}\left(\frac{10^{\frac{|\text{Attn}|}{40}}}{2\pi \times F_{SW}}\right)^2 \quad (18)$$

スイッチング レギュレータに入力フィルタを追加すると、制御から出力への伝達関数が変更されます。フィルタの出力インピーダンスは、入力フィルタが降圧コンバータのループ ゲインに大きな影響を与えないように、十分小さくする必要があります。インピーダンスは、フィルタの共振周波数でピークになります。次の式を用いて、フィルタの共振周波数を計算します。

$$f_{res} = \frac{1}{2\pi \times \sqrt{L_{IN} \times C_F}} \quad (19)$$

R_D の目的は、共振周波数におけるフィルタのピーク出力インピーダンスを低減することです。コンデンサ C_D は、入力電圧の DC 成分をブロックして、R_D での過剰な電力消費を防止します。コンデンサ C_D は、入力コンデンサ C_{IN} より大きな容量で、共振周波数において R_D よりも低インピーダンスの必要があります。これにより、C_{IN} がメイン フィルタのカットオフ周波数に干渉することを防ぎます。共振周波数におけるフィルタの出力インピーダンスが高い場合は、ダンピングを追加する必要があります (L_{IN} と C_{IN} で形成されるフィルタの Q 値が大きすぎる場合)。式 20 に示されている値でのダンピングには、電解コンデンサ C_D を使用することができます。

$$C_D \geq 4 \times C_{IN} \quad (20)$$

Copyright © 2026 Texas Instruments Incorporated

式 21 を使用して、ダンピング抵抗 R_D を選択します。

$$R_D = \sqrt{\frac{L_{IN}}{C_{IN}}} \tag{21}$$

9.1.2 エラー アンプと補償

図 9-3 に、相互コンダクタンスのエラー アンプ (EA) を使用した Type-II 補償器を示します。式 22 に示すように、EA の開ループ ゲインの支配的なポールは、EA 出力抵抗 R_{OEA} と、実効帯域幅制限容量 C_{BW} で設定します。

$$G_{EA(openloop)}(s) = -\frac{g_m \times R_{OEA}}{1 + s \times R_{OEA} \times C_{BW}} \tag{22}$$

上の式では、EA の高周波ポールは無視されています。出力電圧から COMP ノードまでの補償器の伝達関数は、(内部または外部の) フィードバック抵抗ネットワークからのゲインの寄与を含めて 式 23 で計算されます。

$$G_c(s) = \frac{\hat{v}_c(s)}{\hat{v}_{out}(s)} = -\frac{V_{REF}}{V_{OUT}} \times \frac{g_m \times R_{OEA} \times \left(1 + \frac{s}{\omega_{z1}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right) \times \left(1 + \frac{s}{\omega_{p2}}\right)} \tag{23}$$

ここで、

- V_{REF} は帰還基準電圧です。
- g_m は、1mS の EA ゲイン相互コンダクタンスです。
- R_{O-EA} は、70MΩ のエラーアンプ出力インピーダンスです。

$$\omega_{z1} = \frac{1}{R_{COMP} \times C_{COMP}} \tag{24}$$

$$\omega_{p1} = \frac{1}{R_{OEA} \times (C_{COMP} + C_{HF} + C_{BW})} \cong \frac{1}{R_{OEA} \times C_{COMP}} \tag{25}$$

$$\omega_{p2} = \frac{1}{R_{COMP} \times (C_{COMP} \,||\, (C_{HF} + C_{BW}))} \cong \frac{1}{R_{COMP} \times C_{HF}} \tag{26}$$

EA の補償部品は、原点近くの極、ゼロ、高周波極を生成します。通常、R_{COMP} << R_{O-EA} かつ C_{COMP} >> C_{BW} かつ C_{HF} のため、近似値が有効です。図 9-3 ではポールを赤で囲み、ゼロを青で囲んでいます。

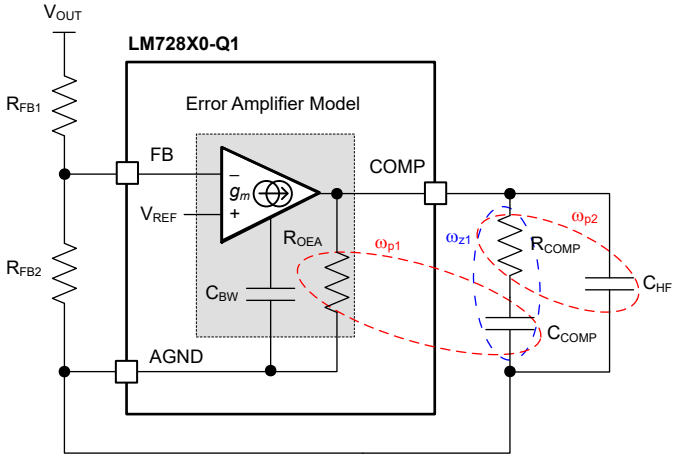


図 9-3. エラー アンプと補償ネットワーク

Copyright © 2026 Texas Instruments Incorporated

9.1.3 最大周囲温度

他の電力変換デバイスと同様に、LM72880-Q1 は動作中に内部で電力を消費します。この消費電力による影響は、コンバータの内部温度が周囲温度よりも上昇することです。内部のダイ温度 (T_J) は、以下の関数になります。

- 周辺温度
- 電力損失
- デバイスの実効熱抵抗 $R_{\theta JA}$
- PCB レイアウト

LM72880-Q1 の最大内部ダイ温度は、150°C に制限する必要があります。この制限により、デバイスの最大消費電力が制限され、それに伴って負荷電流も制限されます。式 27 に、重要なパラメータ間の関係を示します。周囲温度 (T_A) が高いほど、また、$R_{\theta JA}$ が大きいほど、利用可能な最大出力電流が低減されます。LM72880-Q1 クイックスタート設計ツールを使用して、コンバータの効率を推定できます。または、目的のアプリケーション要件に合わせて EVM を調整し、効率を直接測定することもできます。

$$I_{OUT}|_{MAX} = \frac{(T_J - T_A)}{R_{\theta JA}} \times \frac{\eta}{(1-\eta)} \times \frac{1}{V_{OUT}} \quad (27)$$

ここで、

- η = 効率
- T_A = 周囲温度
- T_J = 接合部温度
- $R_{\theta JA}$ = 主に PCB を経由した、IC 接合部から空気への実効熱抵抗

$R_{\theta JA}$ の正確な値を推定するのはより困難です。「半導体および IC パッケージの熱特性基準」アプリケーション ノートに記載されている通り、「熱に関する情報」に示されている JESD 51-7 値の $R_{\theta JA}$ は設計目的には適しておらず、実際のアプリケーションにおけるデバイスの熱性能を推定するために使用してはなりません。「熱に関する情報」に記載されている JESD 51-7 値は、実際のアプリケーションではほとんど実現されない特定の条件下で測定されたものです。

実効 $R_{\theta JA}$ は重要なパラメータであり、多くの要因に依存します。最も重要なパラメータは次のとおりです。

- 消費電力
- 空気温度
- エアフロー
- PCB 面積
- 銅箔ヒートシンク面積
- パッケージの下や近くにあるサーマル ビアの数
- 隣接する部品の配置

適切な熱レイアウトにおける最大出力電流と周囲温度との代表的な曲線は、「ディレーティング曲線」に示されています。

PCB の熱設計を行う際や、特定のアプリケーション環境における $R_{\theta JA}$ を推定する際には、「熱設計についてのリソース」をガイドとして活用してください。

9.1.3.1 ディレーティング曲線

このセクションのデータは、$R_{\theta JA}$ が約 19°C/W となるデバイスと PCB の組み合わせを用いた LM72880QEVM 評価ボード (LM72880-Q1 の BOM 更新済み) で取得したものです。特定のアプリケーションの実際の性能は、前述の要因によって異なります。PCB の熱設計を行う際や、特定のアプリケーション環境における $R_{\theta JA}$ を推定する際には、「熱設計についてのリソース」をガイドとして活用してください。

Copyright © 2026 Texas Instruments Incorporated

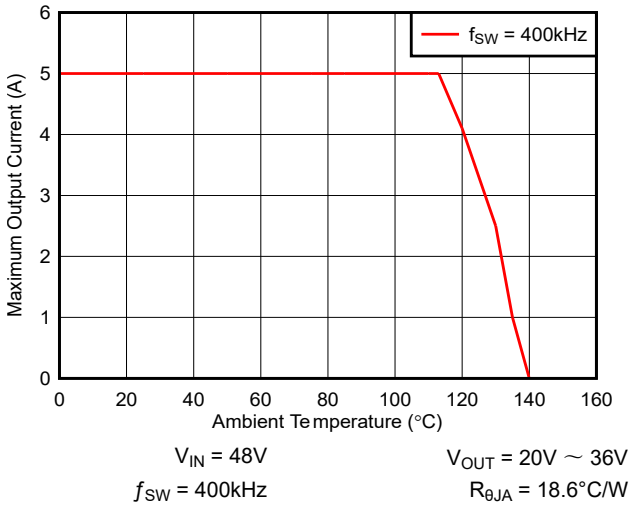


図 9-4. 最大出力電流と周囲温度との関係

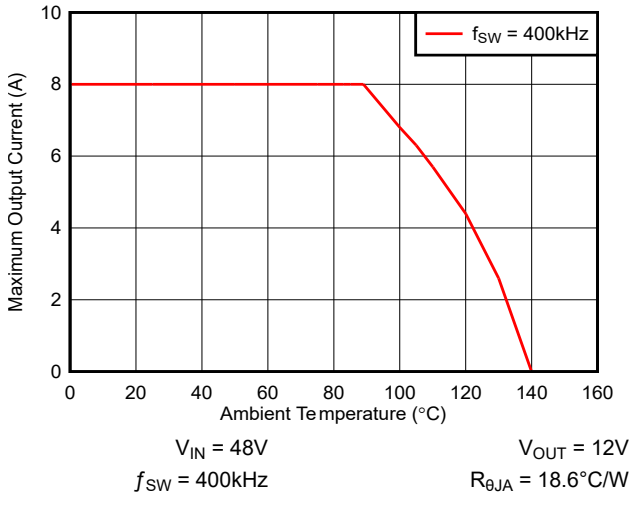


図 9-5. 最大出力電流と周囲温度との関係

9.2 代表的なアプリケーション

ステップバイステップの設計手順、回路図、部品表、PCB ファイル、シミュレーション、テスト結果については、TI Designs のリファレンス デザイン ライブラリを参照してください。

9.2.1 高効率、広い入力範囲、400kHz、同期整流降圧レギュレータ

図 9-6 に、I2C インターフェイスを備えた単一出力の同期整流降圧レギュレータの回路図を示しています。これは、最大出力電圧 20V および定格負荷電流 5A を実現します。この例では、24V および 48V 入力時の目標全負荷効率は、それぞれ 98.2% および 97.1% です。本レギュレータは、400kHz のスイッチング周波数に合わせて設計されています。

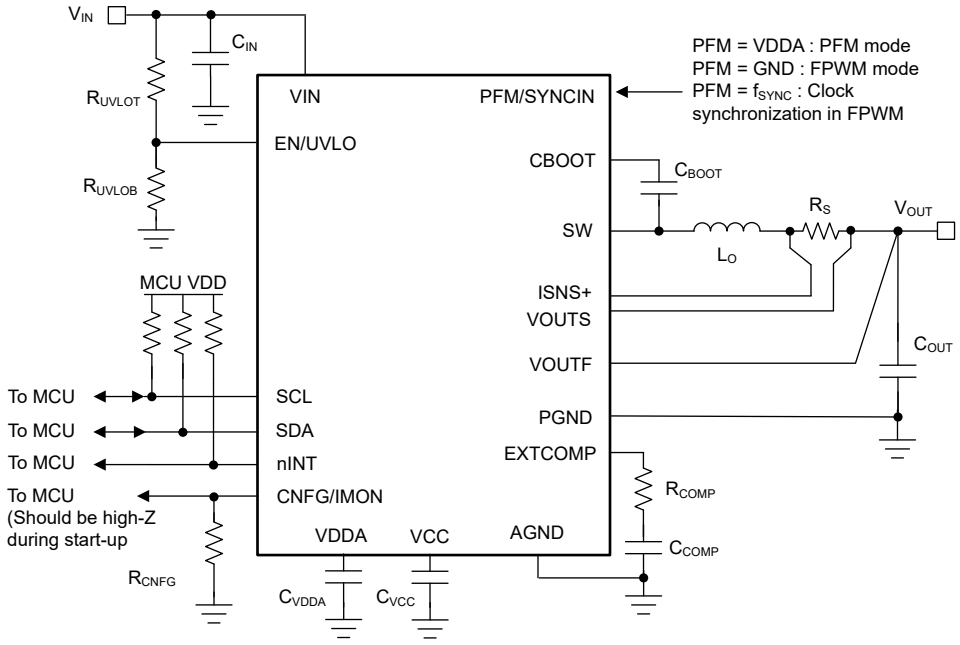


図 9-6. I2C インターフェイスを備えたアプリケーション回路

Copyright © 2026 Texas Instruments Incorporated

注

これ以降の設計例では、いくつかの異なるアプリケーションにおけるデバイスを紹介します。入力電源バスのソース インピーダンスによっては、特に低入力電圧と高出力電流の動作条件における安定性を確保するため、入力に電解コンデンサが必要になることがあります。詳細については、セクション 9.3 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

9.2.1.1 設計要件

表 9-1 に、この USB-C PD 設計例で意図されている入力、出力、性能パラメータを示します。

表 9-1. 設計パラメータ

設計パラメータ	値
入力電圧レンジ (定常状態)	24V ～ 70V
出力電圧	最大 20V
出力電流	定格 5A
スイッチング周波数	標準値 400kHz

スイッチング周波数、CV モードでの出力レギュレーション ターゲット、CC モードでの出力電流制限は、コンバータを有効化する前に I2C によってプログラムする必要があります。制御ループ性能について、対象のループ クロスオーバー周波数は 50°以上の位相マージンで 30kHz です。

選択した降圧レギュレータのパワートレイン部品を 表 9-2 に示します。ほとんどの部品は複数のベンダから入手可能です。この設計には、低 DCR のコンポジット インダクタが使用されています。

表 9-2. アプリケーション回路の材料一覧

リファレンス指定子	数量	仕様	製造元	部品番号
C_{IN}	4	4.7µF、100V、X7S、1210、セラミック	Murata	GCM32DC72A475KE02L
C_O	1	47µF、25V、±20%、SMD、アルミニウム ポリマー	Chemi-Con	HHXC250ARA470MF61G
	2	10µF、25V、X7R、1210、セラミック	TDK	CGA6P1X7R1E106M250AC
L_O	1	15µH、15.2mΩ、15.4A、シールド付き	Coilcraft	XGL1010-153MED
R_S	1	シャント、8mΩ、0508、1W	Susumu	KRL2012M-R008
U_1	1	I2C インターフェイス搭載 80V 降圧コンバータ	テキサス インスツルメンツ	LM72880-Q1

9.2.1.2 詳細な設計手順

9.2.1.2.1 WEBENCH® ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designer により、LM72880-Q1 デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

Copyright © 2026 Texas Instruments Incorporated

9.2.1.2.2 降圧インダクタ

1. 公称入力電圧における 40% のインダクタリップル電流に基づいて必要な降圧インダクタンスを計算するには、式 28 を使用します。

$$L_O = \frac{V_{OUT}}{\Delta I_{LO} \times F_{SW}} \times \left(1 - \frac{V_{OUT}}{V_{IN(nom)}}\right) = \frac{20V}{2.0A \times 400kHz} \times \left(1 - \frac{20V}{48V}\right) = 14.6\mu H \quad (28)$$

2. インダクタの標準値である 15µH を選択します。最大定常状態の入力電圧におけるピーク インダクタ電流を計算するには、式 29 を使用します。ピーク電流モード制御に対して、デューティ サイクルが 50% より大きいと分数調波振動が発生します。設計を簡略化するため、デバイスにはスイッチング周波数に比例した内部勾配補償ランプが内蔵されています。このスイッチング周波数は電流センス信号に追加され、分数調波振動が発生する性質を弱めます。

$$\begin{aligned} I_{LO(PK)} &= I_{OUT} + \frac{\Delta I_{LO}}{2} = I_{OUT} + \frac{V_{OUT}}{2 \times L_O \times F_{SW}} \times \left[1 - \frac{V_{OUT}}{V_{IN(max)}}\right] \\ &= 5A + \frac{20V}{2 \times 15\mu H \times 400kHz} \times \left[1 - \frac{20V}{70V}\right] \\ &= 6.19A \end{aligned} \quad (29)$$

3. 式 6 に基づき、式 30 を使用してインダクタンスのクロスチェックを行い、インダクタ電流の下り勾配の 1 倍に近い理想的な値となるようにスロープ補償を設定します。

$$L_{O(sc)} = \frac{V_{OUT} \times R_S}{40 \times F_{SW}} = \frac{20V \times 8m\Omega}{40 \times 0.4MHz} = 10\mu H \quad (30)$$

9.2.1.2.3 電流センス抵抗

1. 全負荷時のピーク インダクタ電流より少なくとも 20% ～ 25% 高い最大ピーク電流能力に基づいて電流センス抵抗を計算し、スタートアップ中と負荷オンでの過渡時に十分なマージンを提供します。式 31 を使用して、電流センス抵抗を計算します。

$$R_S = \frac{V_{CS(TH)}}{1.2 \times I_{LO(PK)}} = \frac{60mV}{1.2 \times 6.19} = 8.0m\Omega \quad (31)$$

ここで、

$V_{CS(TH)}$ は、60mV の電流制限スレッショルドです。

2. シャントに、標準抵抗値 8mΩ を選択します。広範なアスペクト比の終端設計による 0508 フットプリント部品により、1W の電力定格、低い寄生直列インダクタンス、コンパクトな PCB レイアウトを実現しています。レイアウト ガイドラインをよく読み、ノイズと DC 誤差によって ISNS+ ピンと VOUTS ピンの間で測定する差動電流センス電圧に誤りが発生しないように注意してください。
3. インダクタの近くにシャント抵抗を配置します。
4. ケルビン検出接続を使用し、シャントからデバイスまでの差動を取るように配線します。
5. ISNS から出力までの伝搬遅延 (電流制限コンパレータ、内部ロジックと電力 MOSFET ゲート ドライバが要因) により、ピーク電流は計算した電流制限スレッショルドを超えて増加します。合計伝搬遅延 $t_{ISNS(delay)}$ が 85ns の場合は、式 32 を使用して、出力が短絡した状態でのワーストケースのピーク インダクタ電流を計算してください。

$$I_{LOPK(SC)} = \frac{V_{CS(TH)}}{R_S} + \frac{V_{IN(max)} \times t_{ISNS(delay)}}{L_O} = \frac{60mV}{8m\Omega} + \frac{70V \times 85ns}{15\mu H} = 7.89A \quad (32)$$

6. この結果に基づき、全動作温度範囲で飽和電流が 8A より大きくなるインダクタを選択します。

9.2.1.2.4 出力コンデンサ

1. 式 33 を使用して、負荷オフ遷移 (全負荷から無負荷まで遷移) 中の出力電圧のオーバーシュートを管理するために必要な出力容量を見積ります。このときの前提として、負荷遷移偏差仕様は 1% (20V 出力で 200mV) です。

$$C_{OUT} \geq \frac{L_O \times \Delta I_{OUT}^2}{\left(V_{OUT} + \Delta V_{OVERSHOOT}\right)^2 - V_{OUT}^2} = \frac{15\mu H \times (5A)^2}{(20V + 200mV)^2 - 20V^2} = 47\mu F \quad (33)$$

2. 印加された電圧で実効容量が大幅に減少するセラミック コンデンサの電圧係数を考慮して、10µF、25V、X7R、1210 セラミック出力コンデンサを 2 つ、47µF、25V アルミニウム ポリマー コンデンサを 1 つ選択します。通常、負荷オフ過渡応答の要件を満たすために十分な容量を使用する場合、無負荷から全負荷への過渡時の電圧アンダーシュートも十分要件を満たします。
3. 式 34 を使用して、公称入力電圧時におけるピーク ピーク出力電圧リップルを見積ります。

$$\Delta V_{OUT} = \sqrt{\left(\frac{\Delta I_{LO}}{8 \times F_{SW} \times C_{OUT}}\right)^2 + \left(R_{ESR} \times \Delta I_{LO}\right)^2} = \sqrt{\left(\frac{1.94A}{8 \times 400kHz \times 61\mu F}\right)^2 + \left(4m\Omega \times 1.94A\right)^2} = 13mV \quad (34)$$

ここで、

- R_{ESR} は、出力コンデンサの実効等価直列抵抗 (ESR) です。
- 61µF は、合計実効 (ディレーティングした) 出力容量です。

4. 式 35 を使用して、出力コンデンサの RMS リップル電流を計算し、リップル電流がコンデンサのリップル電流定格内に収まっていることを確認します。

$$I_{CO(RMS)} = \frac{\Delta I_{LO}}{\sqrt{12}} = \frac{1.94A}{\sqrt{12}} = 0.56A \quad (35)$$

9.2.1.2.5 入力コンデンサ

一般的に、スイッチング周波数における電源入力のソース インピーダンスは比較的高くなります。入力リップル電圧を制限するには、高品質な入力コンデンサが必要です。

1. 入力コンデンサを選択する場合は、十分な電圧と RMS リップル電流定格を持つものにしてください。
2. ワーストケースのデューティ サイクル動作ポイントが 50% と想定し、式 36 を使用して、入力コンデンサの RMS リップル電流を計算します。

$$I_{CIN(rms)} = I_{OUT} \times \sqrt{D \times (1 - D)} = 5A \times \sqrt{0.5 \times (1 - 0.5)} = 2.5A \quad (36)$$

3. 式 37 を使用して、必要な入力容量を求めます。

$$C_{IN} \geq \frac{D \times (1 - D) \times I_{OUT}}{F_{SW} \times (\Delta V_{IN} - R_{ESR} \times I_{OUT})} = \frac{0.5 \times (1 - 0.5) \times 5A}{400kHz \times (480mV - 2m\Omega \times 5A)} = 6.6\mu F \quad (37)$$

ここで、

- ΔV_{IN} は、入力ピーク ツー ピーク リップル電圧の仕様です。
- R_{ESR} は、入力コンデンサの ESR です。

4. セラミック コンデンサの電圧係数から、4 つの 4.7µF、100V、X7S、1210 セラミック入力コンデンサを選択します。これらのコンデンサは、VIN および PGND ピンに隣接して配置します。
5. MOSFET のスイッチング遷移時に発生する高い di/dt 電流を供給するため、VIN ピンおよび PGND ピンの近傍に 100nF、100V、X7R、0603 のセラミック コンデンサを配置します。このコンデンサにより、高い自己共振周波数 (SRF) と 100MHz 以上での低実効インピーダンスが実現します。この結果、電源ループの寄生インダクタンスはさらに低下し、スイッチノードの電圧オーバーシュートとリンギングが最小限に抑えて、伝導および放射 EMI シグネチャを低減できます。詳細については、*セクション 9.4.1* を参照してください。

9.2.1.2.6 補償部品

以下の手順に従って、安定した制御ループの補償部品を選択します。

1. 規定されたループ ゲイン クロスオーバー周波数 f_C の 30kHz に基づき、実効出力容量を 61µF と想定し、次の式を使用して R_{COMP} を計算します。R_{COMP} の標準値 18.2kΩ を選択します。V_{STEP} が 10mV の場合、V_{REF} は V_{OUT}/10 です。V_{STEP} が 20mV の場合、V_{REF} は V_{OUT}/20 です。

Copyright © 2026 Texas Instruments Incorporated

$$R_{COMP} = 2 \times \pi \times f_C \times \frac{V_{OUT}}{V_{REF}} \times \frac{R_S \times G_{CS}}{gm} \times C_{OUT} = 2 \times \pi \times 30kHz \times \frac{20V}{1V} \times \frac{8m\Omega \times 10}{1000\mu S} \times 61\mu F = 18.4k\Omega \quad (38)$$

2. クロスオーバー時に十分な位相ブーストを実現し、負荷またはライン過渡時に高速なセトリングタイムを確保するには、(1) クロスオーバー周波数の 1/10 または (2) 負荷ポールのうち高いほうにゼロが配置されるように C_{COMP} を選択します。C_{COMP} の標準値として 2.7nF を選択します。

$$C_{COMP} = \frac{10}{2 \times \pi \times f_C \times R_{COMP}} = \frac{10}{2 \times \pi \times 30kHz \times 18.4k\Omega} = 2.9nF \quad (39)$$

3. C_{HF} を計算して、ESR ゼロの位置にポールを作成し、COMP ピンにおける高周波ノイズを減衰させます。C_{BW} は、エラー アンプの帯域幅制限容量です。負の C_{HF} は、この設計では無視できます。しかし、ノイズの多い環境、特に V_{IN} が High で、負荷電流が高い場合、追加の容量によってノイズを除去できます。

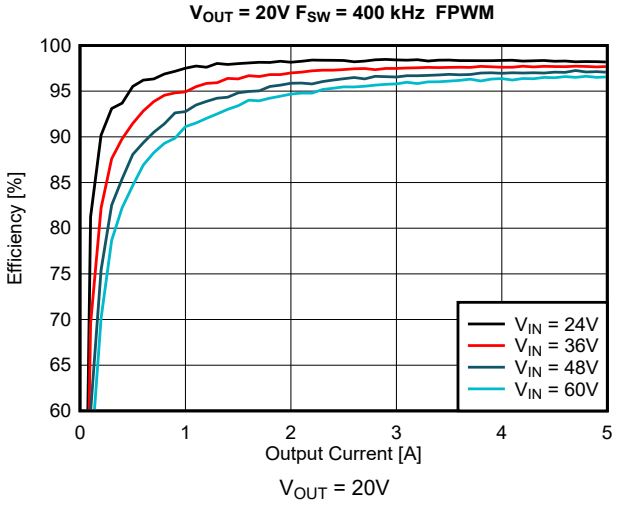
$$C_{HF} = \frac{1}{2 \times \pi \times f_{ESR} \times R_{COMP}} - C_{BW} = \frac{1}{2 \times \pi \times 650kHz \times 18.4k\Omega} - 15pF = -2pF \quad (40)$$

注

高い R_{COMP} と低い C_{COMP} 値で高速ループを設定して、ドロップアウト状態の動作から復帰するときの応答を改善します。

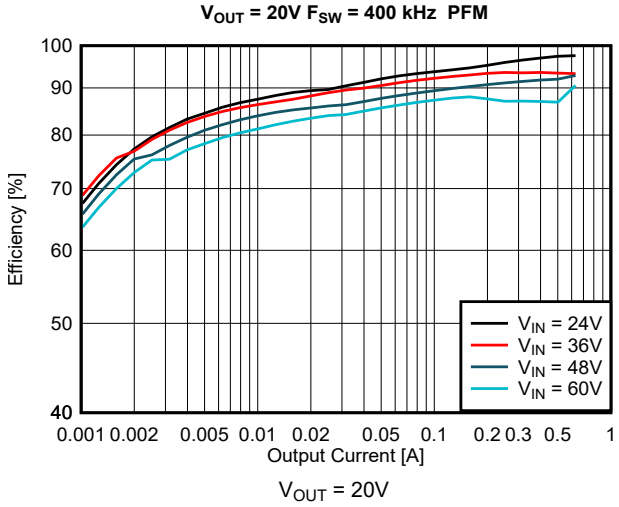
Copyright © 2026 Texas Instruments Incorporated

9.2.1.3 アプリケーション曲線



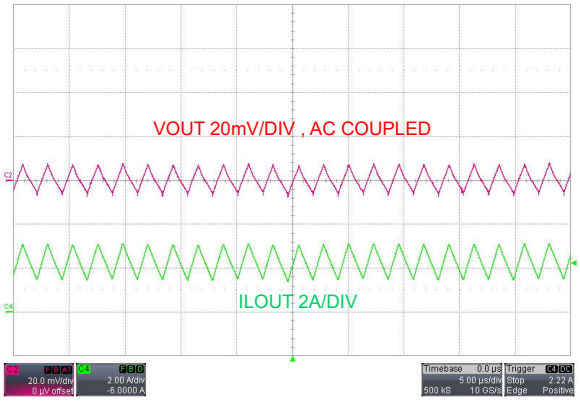
V_{OUT} = 20V

図 9-7. 効率と I_{OUT} との関係



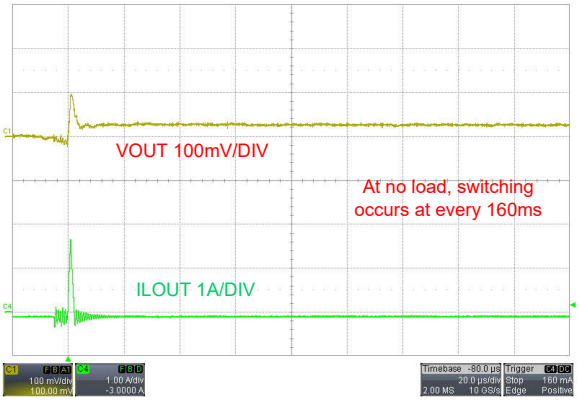
V_{OUT} = 20V

図 9-8. 効率と I_{OUT} との関係、対数スケール



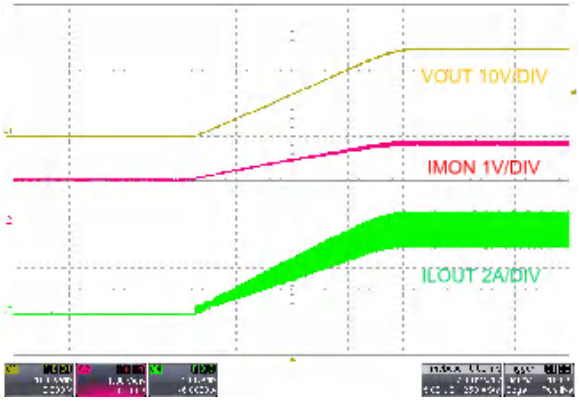
出力 20V、負荷 2A

図 9-9. V_{OUT} リップル



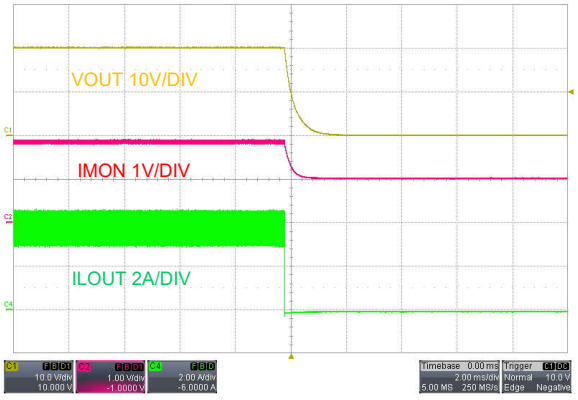
無負荷

図 9-10. PFM スイッチング



V_{IN} = 48V　　抵抗性負荷 4A

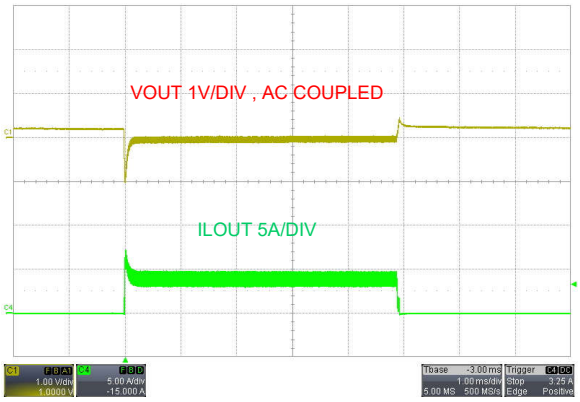
図 9-11. スタートアップ



V_{IN} = 48V　　抵抗性負荷 4A

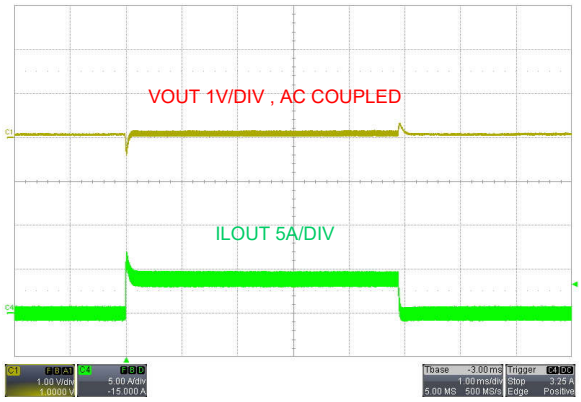
図 9-12. シャットダウン

Copyright © 2026 Texas Instruments Incorporated



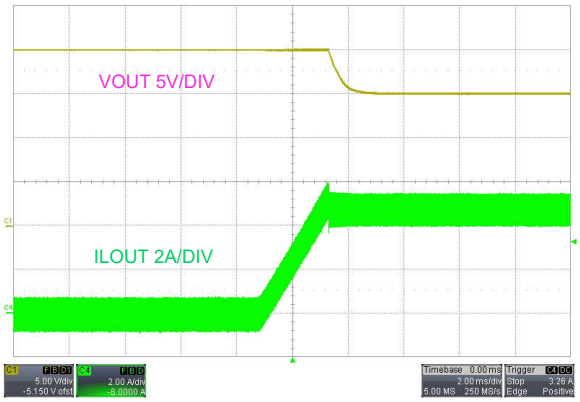
V_{IN} = 48V　　0A ～ 4A

図 9-13. 負荷過渡 (PFM)



V_{IN} = 48V　　0A ～ 4A

図 9-14. 負荷過渡 (FPWM)



V_{IN} = 48V　　V_{OUT} 20V ～ 15V

図 9-15. CV モードから CC モードへの遷移

9.3 電源に関する推奨事項

デバイスは、広い入力電圧範囲で動作するよう設計されています。入力電源は、ワイド入力電圧範囲を超えた全負荷時のレギュレータに必要な入力電流を供給できる必要があります。平均入力電流を推定するには、次の式を使用します。

$$I_{IN} = \frac{P_{OUT}}{V_{IN} \times \eta} \tag{41}$$

ここで、

η は効率です。

デバイスが高インピーダンスを持つ長い配線や PCB パターンを経由して入力電源に接続されている場合は、安定した性能を実現するために特に注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、コンバータの動作に悪影響を及ぼすおそれがあります。寄生インダクタンスと低 ESR セラミック入力コンデンサを組み合わせることで、不足減衰共振回路が形成されます。この回路は、入力電源がオンとオフを周期的に切り替わるたびに、VIN で過電圧過渡が発生する可能性があります。寄生抵抗により、負荷過渡中に入力電圧が低下する場合があります。こうした問題を解決する最善策は、入力電源からレギュレータまでの距離を短くして、セラミックと並列にアルミニウム製やタンタル製の入力コンデンサを使用することです。電解コンデンサの ESR は比較的低いため、入力共振回路は減衰し、電圧オーバーシュートを低減することができます。通常、容量の範囲が 10µF ～ 47µF であれば並列入力を減衰させるのに十分であり、大きな負荷過渡中も入力電圧を安定した状態に保持できます。

Copyright © 2026 Texas Instruments Incorporated

レギュレータの前に EMI 入力フィルタを使用することがあります。ただし、設計に留意しなければ、これにより不安定な状態が起きる、または前述のような影響を及ぼすおそれがあります。『*AN-2162 DC/DC コンバータ向け伝導 EMI の簡単な成功事例*』アプリケーションノートでは、スイッチングレギュレータの入力フィルタを設計する際に役立つ提案を紹介しています。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

信頼性の高いデバイス動作と設計の堅牢性を実現するために、大電流、高速の (大電流で電圧スルーレートが大きい) スイッチング コンバータ回路では、適切な PCB 設計とレイアウトが重要です。さらに、コンバータの EMI 性能は、PCB レイアウトによって大きく異なります。

降圧レギュレータの電力段における高周波電力ループは、図 9-16 で赤色で示されています。降圧レギュレータのトポロジ上の構成により、特に高い di/dt を持つ電流が、図中で網掛けされたループ内の部品を流れることになります。そのため、実効ループ面積を最小化することで、このループの寄生インダクタンスを低減することが不可欠となります (図 9-16)。

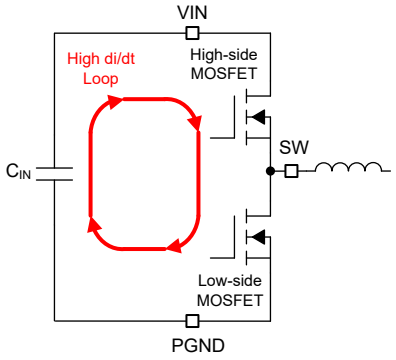


図 9-16. 入力電流ループ

次のリストは、熱および EMI の特性を含めて DC/DC モジュールの性能を最適化するための、PCB レイアウトと部品の配置に関する重要なガイドラインを要約したものです。図 9-17 に、L デバイスの推奨レイアウトと、最適化された電力段および小信号部品の配置および配線を示します。

- セラミック入力コンデンサは、入力電源ピンにできる限り近づけて配置してください。VIN ピンと PGND ピンは互いに近接して (空間距離を広げるために間にギャップを設けて) 、入力コンデンサの配置を簡単にできます。
  - VIN から PGND の間に、X7R または X7S 誘電体を使用した低 ESR セラミック コンデンサを使用します。図 9-17 に示されているように、高周波バイパス用に 0402 または 0603 コンデンサを VIN の近くに配置します。バルク容量を確保するために、追加の 1206 または 1210 コンデンサを使用します。
  - 入力コンデンサと出力コンデンサのグランド帰路はいずれも、PGND ピンに接続される局所的な最上面プレーンで構成される必要があります。
- IC とともに最上層の下にある PCB 層のベタのグランド プレーンを使用します。このプレーンはノイズ シールドとして機能し、放熱経路として機能します。IC の直下にある PCB 層を使用すると、スイッチング ループ内の電流に関連する磁界が最小化され、寄生インダクタンスと、スイッチ電圧のオーバーシュートとリンギングが低減されます。内部銅プレーンへのヒートシンクのため、VIN および PGND の近傍に多数のサーマル ビアを配置します。
- VIN、VOUT、および GND のバス接続は、可能な限り幅を広くしてください。コンバータの入力または出力経路での電圧降下を低減し、効率を最大化するためには、これらの配線は可能な限り幅を広く、かつ直線的にする必要があります。
- 降圧インダクタは SW1、SW2、SW3 ピンの近くに配置します。コンバータの SW ピンからインダクタまで、短く幅の広い接続パターンを使用します。同時に、この高 dv/dt 表面の長さ (と面積) を最小化して、容量性結合と放射 EMI を低減します。インダクタの点線付きの端子を SW ピンに接続します。
- VCC および BOOT コンデンサは、それぞれのピンの近くに配置してください。VCC および BOOT コンデンサは、それぞれ内部のローサイドおよびハイサイド MOSFET ゲートドライバの電源を表し、高周波電流を伝送します。C_{VCC}

Copyright © 2026 Texas Instruments Incorporated

は VCC ピンの近くに配置し、リターン端子に GND ビアを配置して GND プレーンに接続し、露出パッドで IC GND に戻します。C_{BOOT} は、CBOOT および SW4 ピンのできるだけ近くに接続します。

- 適切な放熱のために十分な PCB 面積を確保してください。十分な銅面積を使用して、最大負荷電流および周囲温度条件に対応する低熱インピーダンスを実現します。接合部温度を 150°C 未満に維持するために、デバイスには十分なヒートシンクを用意してください。全定格負荷で動作する場合、上面のグランド プレーンは重要な放熱面積になります。ヒートシンク ビアのアレイを使用して、パッケージの露出したパッド (GND) を PCB グランド プレーンに接続します。PCB に複数の銅層がある場合は、これらのサーマル ビアを内部層のグランド プレーンに接続します。PCB 層の上部と下部は 2 オンスの銅厚 (最低でも 1 オンス以上) を推奨します。鉛フリー半田を使用します。

9.4.1.1 熱設計およびレイアウト

DC/DC コンバータを特定の温度範囲で使用できるようにするには、パッケージは接合部温度を定格制限内に維持しながら、発生する熱を効率的に除去する必要があります。デバイスは、幅広いアプリケーション要件に対応できるように、小型の 6mm × 6mm 29 ピン VQFN IC パッケージで供給されます。

放熱を促進するには、サーマル パッドから内部プレーンや半田面側のプレーンに接続される多数のビアが不可欠となります。マルチレイヤ PCB 設計では、通常は電源部品の下の PCB 層にソリッドなグランドプレーンを配置します。このプレーンの配置には、電力段の電流を流すためだけでなく、熱を生成するデバイスから熱伝導経路を離す役割もあります。

9.4.2 レイアウト例

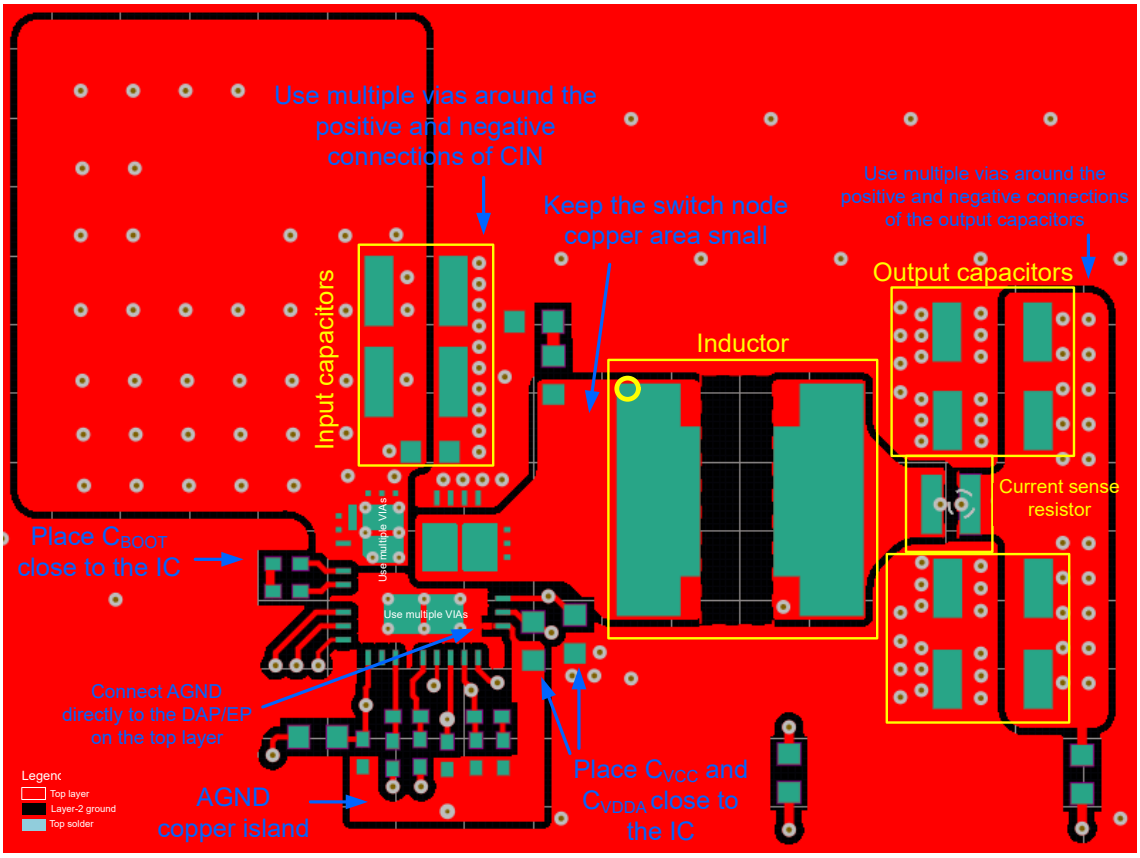


図 9-17. PCB の最上層

10 デバイスおよびドキュメントのサポート

10.1 デバイス サポート

10.1.1 開発サポート

開発サポートについては、以下を参照してください。

- LM72XX0-Q1 *クイック スタート カリキュレータ*
- テキサス・インスツルメンツのリファレンス デザイン ライブラリについては、TI Designs を参照してください。
- テキサス・インスツルメンツの WEBENCH 設計環境については、WEBENCH® 設計センターをご覧ください
- TI デザイン:
  - 車載向け EMI と放熱を最適化した同期整流降圧コンバータのリファレンス デザイン
  - *LM5141-Q1 を採用した、車載用大電流、広い V_{IN} の同期整流降圧コントローラのリファレンス デザイン*
  - 2.2MHz 動作、25W 車載スタート / ストップのリファレンス デザイン
  - 車載クラスタ向け同期整流降圧コンバータのリファレンス デザイン
  - ストレージ サーバ向け 137W ホールドアップ コンバータのリファレンス デザイン
  - 3.3V @ 12.0A、車載向け同期整流降圧のリファレンス デザイン
  - 車載向け同期整流降圧のリファレンス デザイン
  - 周波数スペクトラム拡散機能搭載、入力範囲の広い同期整流降圧コンバータのリファレンス デザイン
  - *車載用の幅広い V_{IN}、デジタル コックピット処理ユニット向けのフロントエンド リファレンス デザイン*
- 技術関連ブログ記事:
  - 『DC/DC コンバータの高密度 PCB レイアウト』
  - *『広い V_{IN} 性能と柔軟性を持つ同期整流降圧コントローラ ソリューション』*
  - 『EMI 制御用スルーレートの使用方法』

10.1.1.1 WEBENCH® ツールによるカスタム設計

ここをクリックすると、WEBENCH® Power Designer により、LM72880-Q1 デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

10.2 ドキュメントのサポート

10.2.1 関連資料

関連資料については、以下を参照してください。

- アプリケーション ノート:
  - テキサス インスツルメンツ、*出力段レイアウトを最適化して、コストをかけずに大電流 DC/DC レギュレータの性能を改善*
  - テキサス・インスツルメンツ、『AN-2162 DC-DC コンバータからの伝導 EMI への簡単な対処方法』

Copyright © 2026 Texas Instruments Incorporated

  - テキサス・インスツルメンツ、『LM5140-Q1 デュアル同期整流降圧コントローラによる車載用コールドクランク中の出力電圧レギュレーションの維持』
- Analog Design Journal：
  - テキサス・インスツルメンツ、『誘導性寄生の最小化による降圧コンバータの EMI と電圧ストレスの低減』
- ホワイト ペーパー：
  - テキサス・インスツルメンツ、『電源の伝導 EMI 仕様の概要』
  - テキサス・インスツルメンツ、『電源の放射 EMI 仕様の概要』
  - テキサス・インスツルメンツ、『コスト効率が高く要求品質の高いアプリケーション用の広範な V_{IN}、低 EMI 同期整流降圧回路の評価』

10.2.1.1 PCB レイアウトについてのリソース

- アプリケーション ノート:
  - テキサス・インスツルメンツ、『最適化された出力段レイアウトによる大電流 DC/DC レギュレータのコストなしでの性能向上』
  - テキサス・インスツルメンツ、『AN-1149 スイッチング電源のレイアウトのガイドライン』
  - テキサス インスツルメンツ、*AN-1229 SIMPLE SWITCHER ®の PCB レイアウト ガイドライン*
  - テキサス・インスツルメンツ、『LM4360x および LM4600x による低放射 EMI レイアウトの簡単な設計』
- セミナー：
  - テキサス・インスツルメンツ、『独自電源の構築 - レイアウトの考慮事項』

10.2.1.2 熱設計についてのリソース

- アプリケーション ノート:
  - テキサス インスツルメンツ、『AN-2020 過去ではなく、現在の識見による熱設計』
  - 『AN-1520A 露出パッド パッケージで最良の熱抵抗を実現するための基板レイアウト ガイド』
  - テキサス インスツルメンツ、『半導体および IC パッケージの熱評価基準』
  - テキサス インスツルメンツ、『LM43603 および LM43602 を使用した簡単な熱設計』
  - テキサス インスツルメンツ、『放熱特性に優れた PowerPAD™パッケージ』
  - テキサス インスツルメンツ、『*PowerPAD™ の簡単な使用法*』
  - テキサス インスツルメンツ、『新しい熱評価基準の解説』

10.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.5 商標

Out-of-Audio™, PowerPAD™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
USB Type-C® is a registered trademark of USB Implementers Forum, Inc..
WEBENCH® and SIMPLE SWITCHER ® are registered trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

Copyright © 2026 Texas Instruments Incorporated

10.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.7 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (December 2025) to Revision B (October 2026) **Page**

- データシート RTM 全体の最初の公開リリース 1
- 誤字を修正し、「機能と説明」セクションを整理 1
- 「関連製品」を更新し、リストに Q グレードのデバイス オプションのみを含めるようにした 4
- 「ピンの構成と機能」セクションにおいて、CONFIG/IMON ピンを CNFG/IMON ピンに変更 5
- 「ピン構成および機能」セクションで、EXTCOMP ピンの 2M Ω の放電抵抗の要件を削除 5
- 「ピン構成および機能」セクションのいくつかのピンのピン タイプを更新 5
- 「推奨動作条件」に、PFM および FPWM モードに個別の VOUT 範囲を追加。 7
- シャットダウン電流の仕様に VIN 条件を追加、標準値および最大値の仕様を更新。 8
- スリープ電流仕様に最大制限値を追加。 8
- イネーブル電圧立ち上がりスレッショルドの制限値を更新。 8
- すべての VOUT 仕様のテスト条件に、TJ = –40°C ～ +85°C を追加。 8
- スイッチング周波数制限を更新。 8
- PG の UV/OV 限界値を更新し、テスト条件に TJ = –40°C ～ +85°C を追加。 8
- 平均電流制限設定点制限値を更新、テスト条件に TJ =–40°C ～ 85°C を追加。 8
- 出力電流モニタの仕様に関するテスト条件に、TJ = –40°C ～ +85°C を追加。 8
- 「代表的特性」セクションを追加 13
- 「高電圧バイアス電源レギュレータ」のセクションにおいて、出力電圧が 5V 未満の場合の VCC レギュレータの出力電圧値を 5V から 8V に変更 18
- 「イネーブル (EN/UVLO)」セクションの EN/UVLO スレッショルド値を更新 19
- 「スイッチング周波数」のセクションに、2.2MHz での動作を V_{IN} ≤ 36V に制限する旨の注記を追加 19
- 「デュアル ランダム スプレッド スペクトラム (DRSS)」セクションに、DRSS が有効な場合、外部同期が不可能である旨の注記を追加 20
- 表 7-3 に「ソフト スタート スルー レート (10mV ステップ)」列を追加 20
- 「出力電圧範囲」表に、PFM および FWPM 動作モードごとの出力電圧範囲を個別に追加 21
- 「電流ループ誤差増幅器」セクションに、CC ループ補償の選択に関する注釈を追加 23
- 「プログラマブル OVP」のセクションを追加 24
- 「スロープ補償」セクションのバック インダクタ式において、スロープ補償係数を 24 から 40 に変更 25
- 表 7-6 を更新 (CNFG ピンは CC レギュレーションにもはや影響を与えません) 26
- 「パルス周波数変調 (PFM) / 同期」セクションに、モード変化率を 10Hz 未満に制限することに関する注釈を追加 27
- 「Out-of-Audio™ 動作」のセクションを追加 28
- 「プログラミング」セクションとサブセクションを追加 30
- 誤字およびレジスタ アクセス タイプを更新し、「LM72880-Q1 レジスタ」のレジスタの説明を更新 32
- 「エラー アンプおよび補償」のセクションを追加 50
- 「最大周囲温度」セクションを追加 51
- 「ディレーティング曲線」のセクションを追加 51

Copyright © 2026 Texas Instruments Incorporated

- 「WEBENCH® ツールを使用したカスタム設計」セクションを追加 54
- 「レイアウト ガイドライン」セクションの誤字を修正 60
- 「WEBENCH® ツールを使用したカスタム設計」セクションを追加 62

Changes from Revision * (April 2025) to Revision A (December 2025)	Page
• ドキュメントのステータスを「事前情報」から「量産データ」に更新	1

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM72880QRRXRQ1	Active	Production	VQFN (RRX) | 29	3000 | LARGE T&R	ROHS Exempt	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	72880Q
PLM72880QRRXRQ1	Active	Preproduction	VQFN (RRX) | 29	490 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 150	
PLM72880QRRXRQ1.A	Active	Preproduction	VQFN (RRX) | 29	490 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 150	
PLM72880QRRXRQ1.B	Active	Preproduction	VQFN (RRX) | 29	490 | JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 150	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

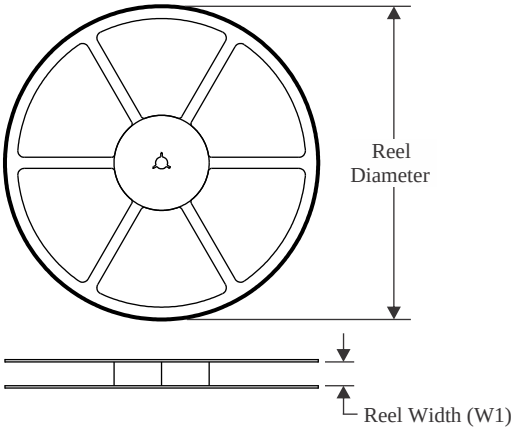
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

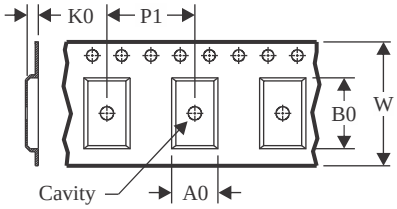
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

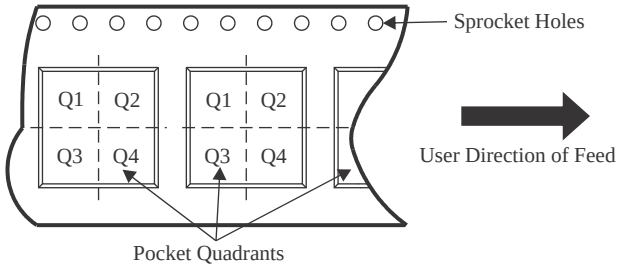


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

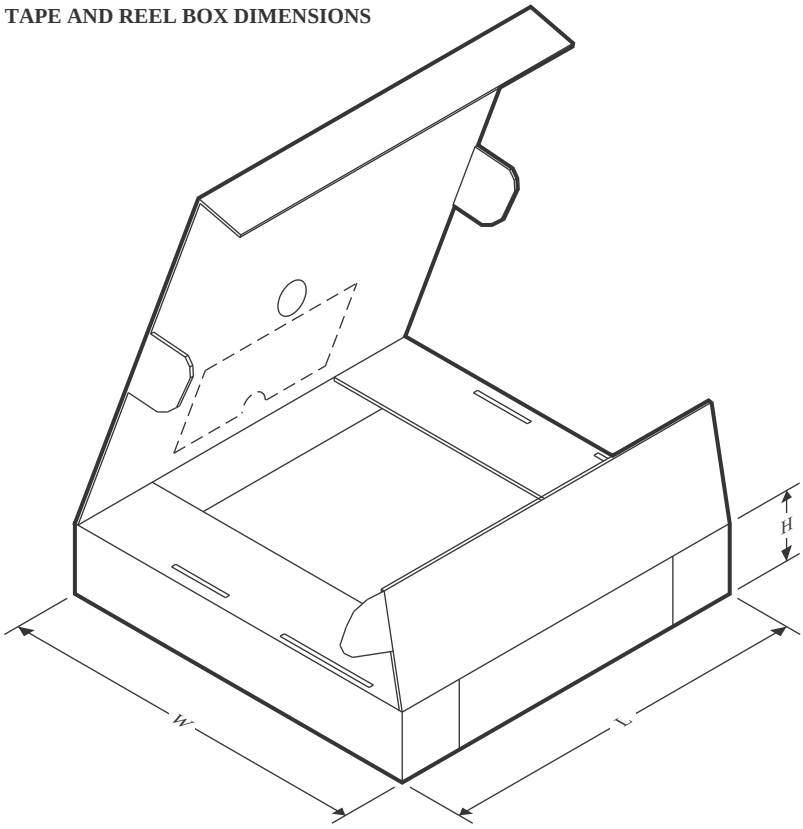
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM72880QRRXRQ1	VQFN	RRX	29	3000	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

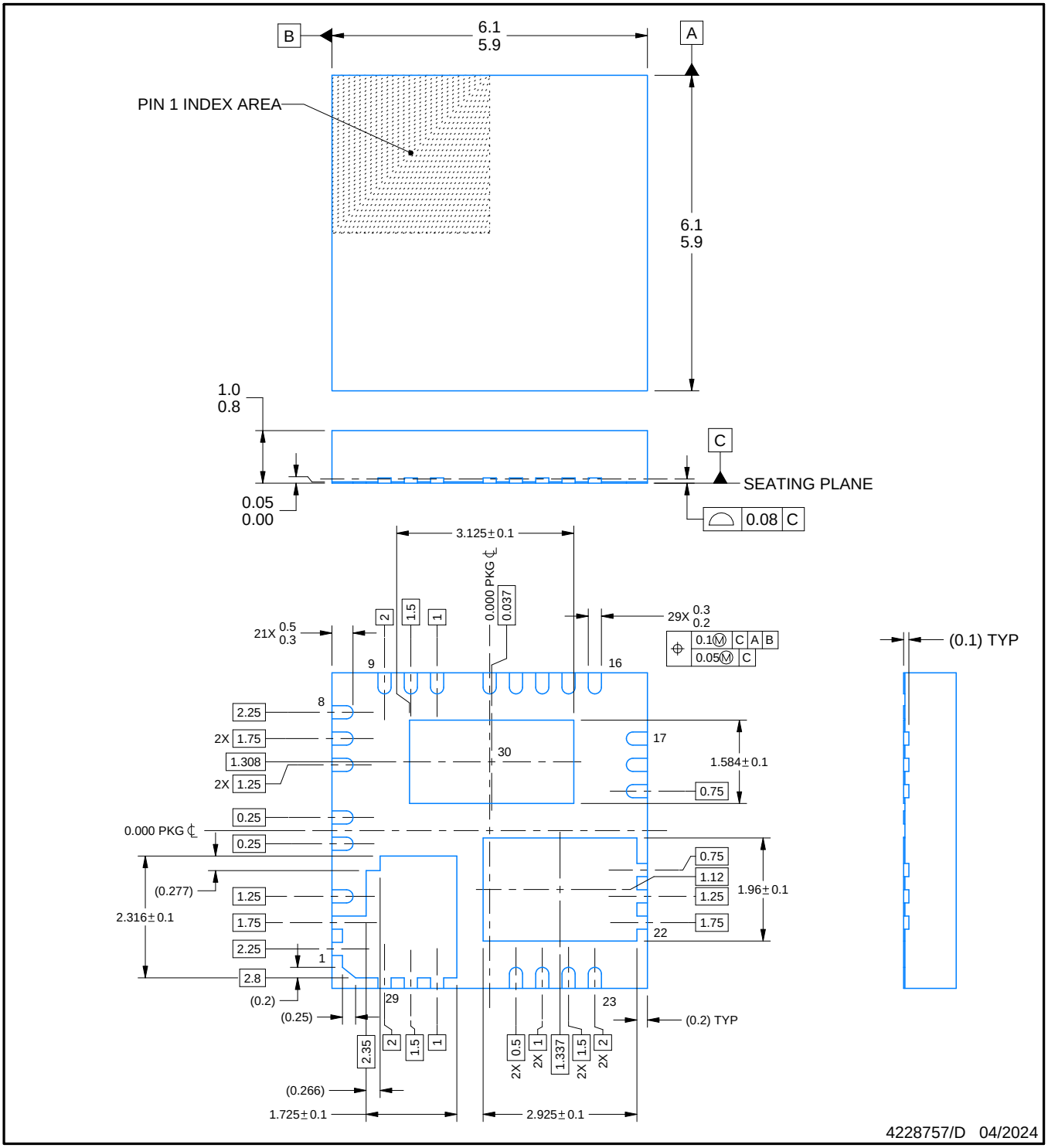
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM72880QRRXRQ1	VQFN	RRX	29	3000	367.0	367.0	38.0

PACKAGE OUTLINE

RRX0029B

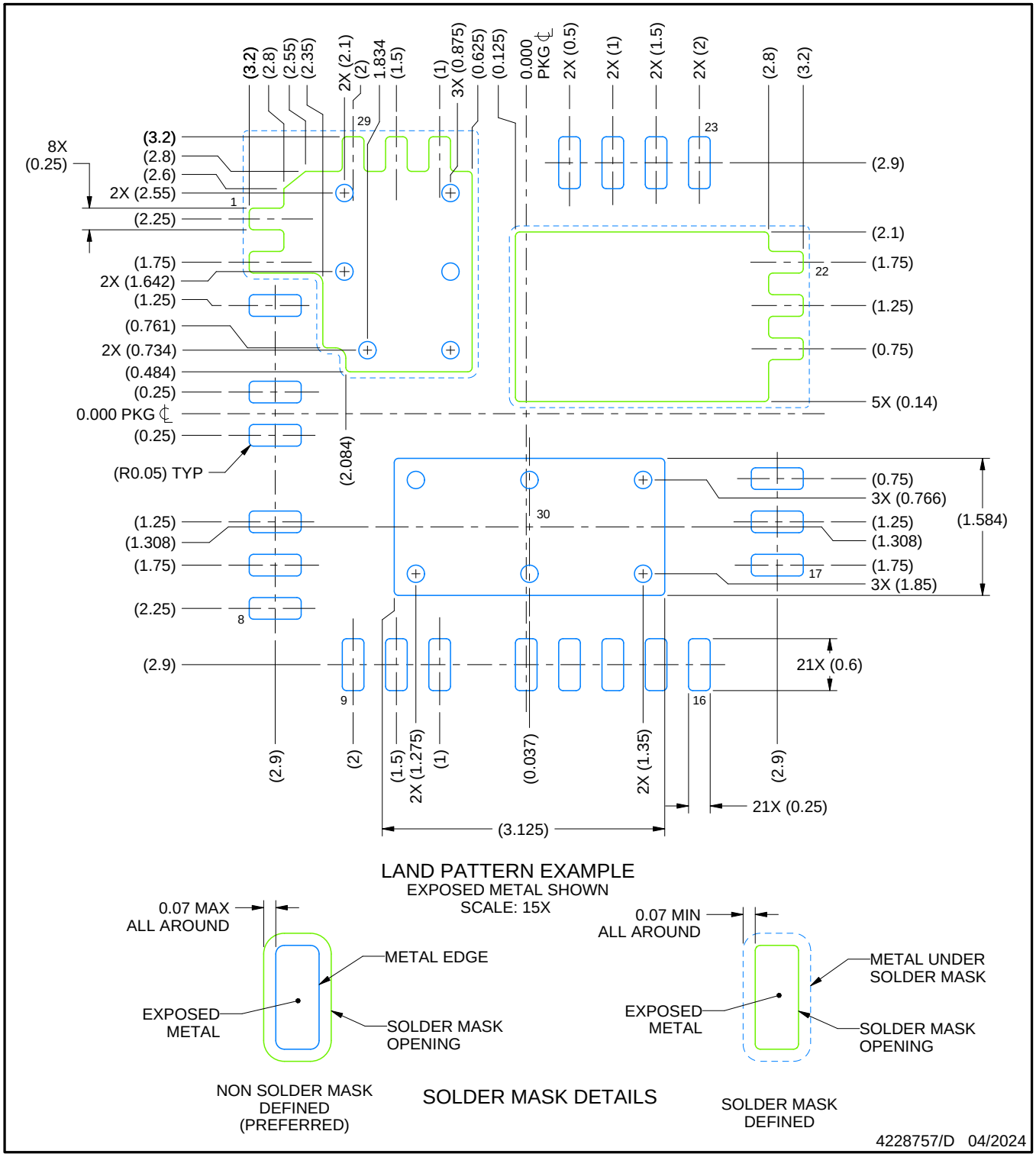
VQFN - 1.0 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



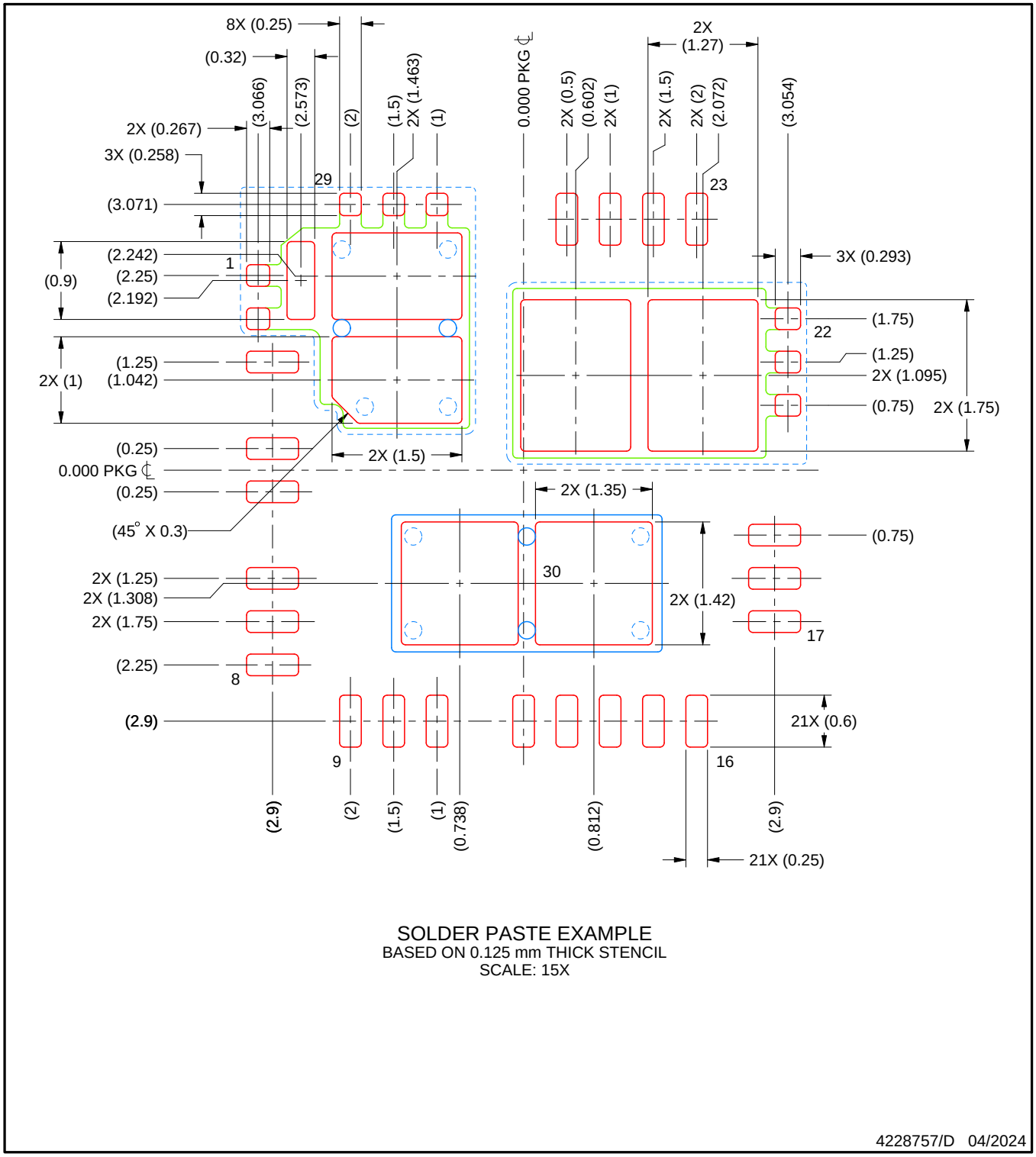
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 15X

4228757/D 04/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月