

LM7311 3.5V ~ 23V、33mΩ、5A eFuse、真の逆電流ブロック機能付き

1 特長

- 広い動作時入力電圧範囲: 3.5V ~ 23V
 - 絶対最大電圧 28V
 - 最大 -1V までの出力負電圧をサポートは
- 低オン抵抗のバック ツー バック FET を内蔵: $R_{ON} = 33m\Omega$ (標準値)
- 5A の連続電流
- 15A のピーク電流 (10ms 間、2% デューティ サイクル)
- アクティブ High のイネーブル入力、低電圧誤動作防止 (UVLO) を調整可能
- 真の逆電流ブロッキング (RCB) を実現する理想ダイオード動作
- デバウンス時間付き固定過電圧 (OVLO) 保護
- 起動時および定常状態での短絡保護
- 可変の出力スルー レート (dVdt) 制御
- 過熱保護
- デジタル出力: 故障表示 ($\overline{FLT}$)
- 小さい占有面積: DFN 3mm × 3mm

2 アプリケーション

- アダプタとチャージャの入力保護
- USB PD 保護: スマートフォン、タブレット、PC、ノート PC、モニタ、ドック
- パワー マルチプレクシングと OR 接続

3 説明

LM7311x ファミリーは、高集積の回路保護およびパワー マネージメント デバイスで、小型パッケージで提供されます。このデバイスは、少ない数の外付け部品で複数の保護モードを提供し、過負荷、短絡、電圧サージ、過剰な突入電流に対して堅牢な保護を行います。双方向 FET が内蔵されており、出力から入力への逆電流が常にブロックされるため、このデバイスをパワー マルチプレクサや OR 接続アプリケーション向けに設計することができます。また、このデバイスは入力電源に障害が発生した場合に負荷側のエネルギーをバックアップ電源にする必要があるシステムにも適しています。これらのデバイスは、リニア OR 接続ベースの方式を採用して DC 逆電流をほぼゼロに維持するとともに、順方向電圧降下と消費電力を最小限にした理想ダイオード動作をエミュレートできます。

出力のスルー レートと突入電流は、単一の外付けコンデンサを使用して調整できます。入力が過電圧スレッシュホールド (調整可能) を上回った場合は、出力を遮断することにより負荷を入力過電圧状態から保護します。

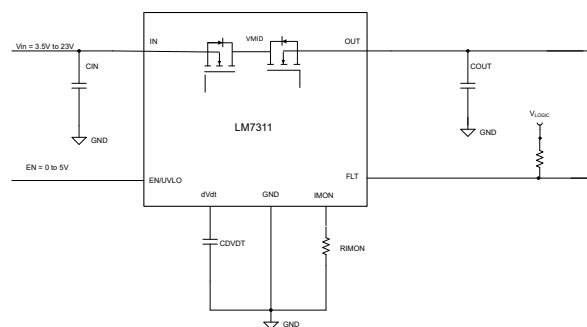
これらのデバイスは、3mm × 3mm のパッケージで供給され、放熱性能の向上とシステムのフットプリント削減に役立ちます。

これらのデバイスは、-40°C ~ +125°C の接合部温度範囲で動作が規定されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
LM7311x	(DFN, 12)	3mm × 3mm

- 利用可能なすべてのバリエーションについては、このデータシートの末尾にある注文情報を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略回路図



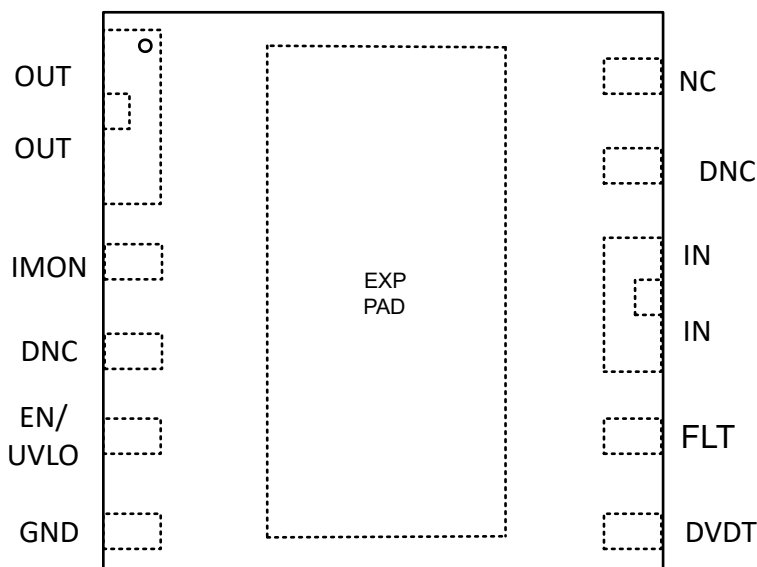
目次

1 特長.....	1	8.1 使用上の注意.....	17
2 アプリケーション.....	1	8.2 シングル デバイス、自己制御型.....	17
3 説明.....	1	8.3 代表的なアプリケーション.....	18
4 デバイス比較表.....	3	8.4 アクティブ OR 接続.....	20
5 ピン構成および機能.....	4	8.5 電源に関する推奨事項.....	22
6 仕様.....	5	8.6 レイアウト.....	23
6.1 絶対最大定格.....	5	9 デバイスおよびドキュメントのサポート.....	25
6.2 ESD 定格.....	5	9.1 ドキュメントのサポート.....	25
6.3 推奨動作条件.....	5	9.2 ドキュメントの更新通知を受け取る方法.....	25
6.4 熱に関する情報.....	6	9.3 サポート・リソース.....	25
6.5 電気的特性.....	6	9.4 商標.....	25
6.6 タイミング要件.....	7	9.5 静電気放電に関する注意事項.....	25
6.7 代表的特性.....	8	9.6 用語集.....	25
7 詳細説明.....	10	10 改訂履歴.....	25
7.1 概要.....	10	11 メカニカル、パッケージ、および注文情報.....	26
7.2 機能ブロック図.....	11	11.1 リファレンス.....	26
7.3 機能説明.....	12	11.2 付録: パッケージ オプション.....	29
7.4 デバイスの機能モード.....	16	11.3 テープおよびリール情報.....	31
8 アプリケーションと実装.....	17		

4 デバイス比較表

部品番号	TSD 故障への応答
LM7311L	ラッチオフ
LM7311A	自動再試行

5 ピン構成および機能



LM7311

図 5-1. LM7311 パッケージ、12 ピン DFN (上面図)

表 5-1. ピンの機能

ピン		タイプ	説明
名称	番号		
OUT	1.2	電源	電力出力。放熱のため、出力電源プレーンに均一に半田付けする必要があります
IMON	3	入力	GND に抵抗が接続されている場合、ピンは正確なアナログ出力負荷電流モニタ信号として機能します。未使用の場合は、フローティングのままにしておくことも可能です。EXP PAD に接続しても、デバイスの性能には影響しません。
DNC	4	-	接続しないでください。受動部品を接続しても、デバイスの性能には影響しません。
EN/UVLO	5	入力	アクティブ High イネーブル入力。抵抗デバイダまたは電圧源を接続して、デバイスを有効にします。このピンには内部電源への弱いプルアップがあり、自動ターン オンのためのフローティングをサポートします。
GND	6	グラウンド	デバイスのグラウンドリファレンスピン。システムグラウンドに接続します
DVDT	7	入力 / 出力	IN から OUT への起動時の出力スルーレート制御ピン。このピンをオープンのままにすると、最速の起動が可能です。コンデンサを GND に接続することで、スルーレートを低下させ、突入電流を管理します
FLT	8	入力 / 出力	故障出力外付けプルアップ抵抗を接続します。故障イベント時にプルダウンされます。このピンには、内部電源への弱いプルアップがあります。
IN	9.10	電源	電源入力。適切な放熱のため、入力電源プレーンに均一に半田付けする必要があります
DNC	11	-	接続禁止
NC	12	-	無接続
EXP PAD	EXP PAD	-	電力散逸用サーマルパッド。最良の放熱性能を得るには、複数のビアを介して基板上のフローティング銅プレーンに接続し、電気的に絶縁する必要があります。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

パラメータ		ピン	最小値	最大値	単位
VIN	最大入力電圧範囲、 $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$	IN	-0.3	28	V
VOU	最大出力電圧範囲、 $-40^{\circ}\text{C} \leq T_J \leq 125^{\circ}\text{C}$	OUT	-1	28	
VEN/UVLO	イネーブル ピンの最大電圧範囲	EN/UVLO	-0.3	6.5	V
VdVdT	dVdT ピンの最大電圧範囲	dVdt	-0.3	6.5	V
VFLTB	FLTB ピンの最大電圧範囲	FLTB	-0.3	6.5	V
VIMON	IMON ピンの最大電圧範囲	IMON	6.5		V
IMAX	最大連続スイッチ電流	IN から OUT	5		A
T _J	接合部温度		-40	125	°C
TLEAD	最大リード温度			300	°C
T _{stg}	保存温度		-65	150	°C

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
V _(ESD)	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン ⁽¹⁾	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠、すべてのピン ⁽²⁾	±500	

- (1) JEDEC ドキュメント JEP155 では、500V HBM であれば標準的な ESD 管理プロセスの予防措置により、安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。[次の文はオプション、wiki を参照。]必要な予防措置をとれば、CDM の ESD 耐圧が 250V 未満でも製造可能です。[次の文はオプション、wiki を参照。]±YYY V や ±ZZZ V と記載されたピンは、実際にはより高い性能を備えている場合があります。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		ピン	最小値	最大値	単位
VIN	入力電圧範囲	IN	3.5	23	V
VOU	出力電圧範囲	OUT	3.5	23	V
VEN/UVLO	イネーブル ピン電圧範囲	EN/UVLO		5	V
VdVdT	dVdT コンデンサの電圧定格	dVdt		内部的に制限	V
VFLTB	FLTB ピンの電圧範囲	FLTB		5	V
RIMON	IMON ピンの抵抗	IMON	420	3360	Ω
IMAX	連続スイッチ電流、 $T_J \leq 125^{\circ}\text{C}$	IN から OUT		5	A
T _J	接合部温度		-40	125	°C

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		LM7311x	単位
		DRR(QFN)	
		12 ピン	
R _{θJA}	接合部から周囲への熱抵抗	43.9	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

6.5 電気的特性

V_{IN} = 20V、E_N = 5V、C_{IN} = 10μF、CDVDT = 5.6nF (特に記述のない限り)。

動作周囲温度範囲全域 (特に記述のない限り)

試験パラメータ	説明	最小値	標準値	最大値	単位
入力電源 (IN)					
IQ(ON)	V _{IN} から電力供給時の、IN 電源の静止電流		460		μA
IQ(OFF,UVLO)	IN オフ状態時電流 (VSD < E _N < VUVLO)		93		μA
ISD	IN シャットダウン時電流 (E _N < VSD)		10		μA
VUVP(R)	IN 電源 UVP 立ち上がりスレッシュホールド V _{IN}		3.42		V
VUVP(F)	IN 電源 UVP 立ち下がりスレッシュホールド V _{IN}		3.32		V
VUVPHYS	IN 電源 UVP ヒステリシス V _{IN}		100		mV
オン抵抗 (IN - OUT)					
RON	V _{IN} = 12V、I _{out} = 5A、T _J = 25°C 時のオン抵抗		33		mΩ
RON	V _{IN} = 12V、I _{out} = 5A、T _J = -40 ≤ T _J ≤ 125°C 時のオン抵抗		33		mΩ
イネーブル / 低電圧誤動作防止 (EN/UVLO)					
VUVLO(R)	UVLO 立ち上がりスレッシュホールド		1.2		V
VUVLO(F)	UVLO 立ち下がりスレッシュホールド		1.09		V
VUVLOHYS	UVLO ヒステリシス		100		mV
VSD(F)	VSD スレッシュホールド (立ち下がり)		0.77		V
VSD(R)	VSD スレッシュホールド立ち上がり		0.78		V
IENLKG	E _N のリーク電流			1	μA
過電圧誤動作防止 (OVLO)					
POVP	OVP スレッシュホールド		24		
逆電流ブロッキング (IN - OUT)					
VFWD	V _{IN} - V _{OUT} 順方向レギュレーション電圧		12		mV
VREVTH	BFET の高速ターンオフのための V _{OUT} - V _{IN} スレッシュホールド (逆電流ブロックを開始)。		50		mV
IREVLKG	RCB 時の逆リーク電流		0.5		μA
VFWDTH	BFET の高速ターンオンのための V _{IN} - V _{OUT} スレッシュホールド (逆電流ブロックを終了)		100		mV
出力負荷電流モニタ (IMON)					
GIMON	電流モニタ ゲイン (IMON:IOUT) IOUT = 1A		142		μA/A
GIMON	電流モニタ ゲイン (IMON:IOUT) IOUT = 3A		142		μA/A
GIMON	電流モニタ ゲイン (IMON:IOUT) IOUT = 5A		142.5		μA/A
短絡保護 (OUT)					
ILIM	起動時 ILIM (VOUT > VFB)		6.5		A

VIN = 20V、EN = 5V、CIN = 10μF、CDVDT = 5.6nF (特に記述のない限り)。
動作周囲温度範囲全域 (特に記述のない限り)

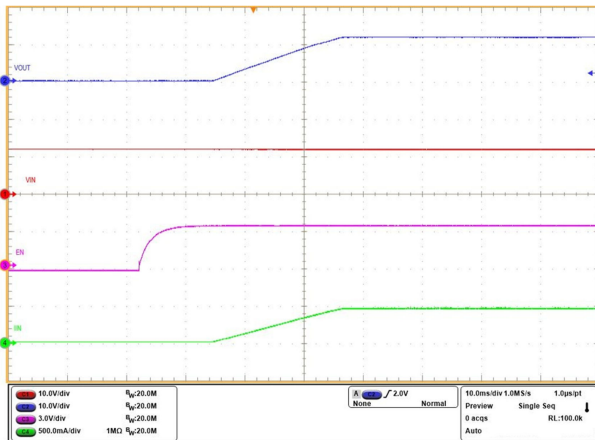
試験パラメータ	説明	最小値	標準値	最大値	単位
ISFT	スケーラブルな高速トリップ スレッシュホルド (ISFT):ILIM 比 (起動時)		200		%
IFFT	固定高速トリップ スレッシュホルド (FFT)		18		A
VFB	I _{HOLD} フォールドバック電圧		2.78		V
故障表示 (FLTb)					
IFLT _{LKG}	FLT リーク電流と VIN の関係			1	μA
RFLT	FLTb 内部プルダウン抵抗		13.5		Ω
過熱保護 (OTP)					
TSD	サーマル シャットダウン立ち上がりスレッシュホルド		152		°C
TSDHYS	サーマル シャットダウンのヒステリシス		12		°C
DVDT					
Gdvdt	dVdt ゲイン		22		V/V
ldvdt	dVdt ピンの充電電流		2.5		μA
VDSCLAMP					
VDSCLAMP activation	VDS クランプ起動電圧		25.4		V
VOCLAMP	VDS クランプ後の出力電圧		12		V

6.6 タイミング要件

VIN = 20V、EN = 5V、CIN = 10μF、CDVDT = 5.6nF、特に記述のない限り

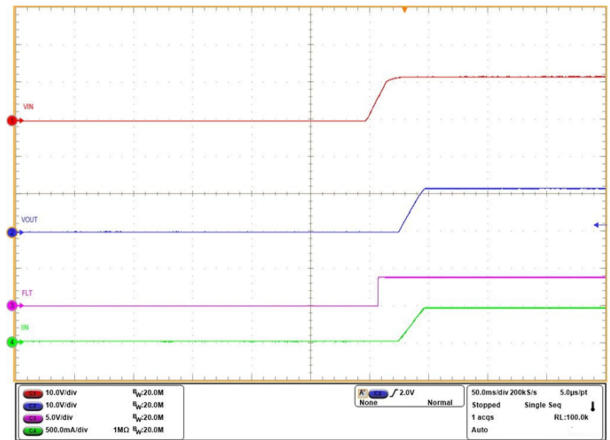
パラメータ		テスト条件	最小値	標準値	最大値	単位
td_on	EN > UVLO 時の挿入遅延	EN > UVLO から VOUT 立ち上がりまで		8		ms
tOVLOdeb	過電圧保護のデバウンス時間	VIN > OV		512		us
tSC	起動時の短絡応答時間	IOUT > 3 x ILIM から出力電流オフまで		500		ns
tSC	定常状態での短絡応答時間	IOUT > IFFT から出力電流オフまで		500		ns
tREV	逆電流ブロックのコンパレータの応答時間	(VOUT - VIN) > V _{REVTH} + 30% から BFET オフまで		1		μs
tSWRCB	逆電流ブロックのコンパレータの復帰時間	(VIN - VOUT) > V _{FWDTH} から VOUT 立ち上がりまで		50		μs
tTSD、RST	サーマル シャットダウン自動再試行間隔	デバイスがイネーブル、かつ TJ < TSD - TSDHYS		64		ms

6.7 代表的特性



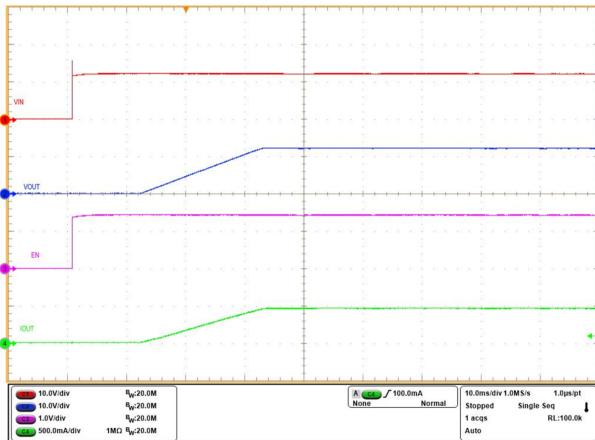
$V_{IN} = 12V$, $C_{OUT} = 11\mu F$, $R_{OUT} = 23\Omega$, $C_{dVdt} = 100nF$, $V_{EN/UVLO}$ は 3.5V までステップ アップ

図 6-1. イネーブル状態での起動



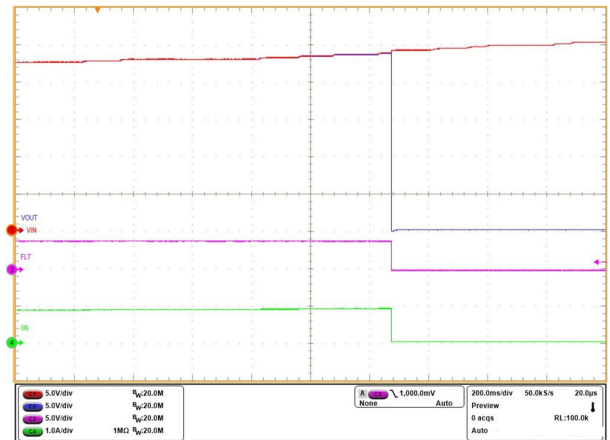
V_{IN} から GND への、 $R_1 = 1M\Omega$ (V_{EN} から GND), $R_2 = 124k\Omega$ (V_{IN} から V_{EN}) の抵抗分圧器を介して $V_{EN/UVLO} = 10.7V$, $C_{OUT} = 11\mu F$, $R_{OUT} = 23\Omega$, $C_{dVdt} = 100nF$, V_{IN} は 12V までランプ アップ

図 6-2. 電源と EN を抵抗分圧器で接続した状態での起動



$C_{IN} = 0.1\mu F$, $C_{OUT} = 11\mu F$, $R_{OUT} = 23\Omega$, $C_{dVdt} = 100nF$, $EN/UVLO$ を抵抗ラダー経由で IN に接続、IN に 12V をホットプラグ

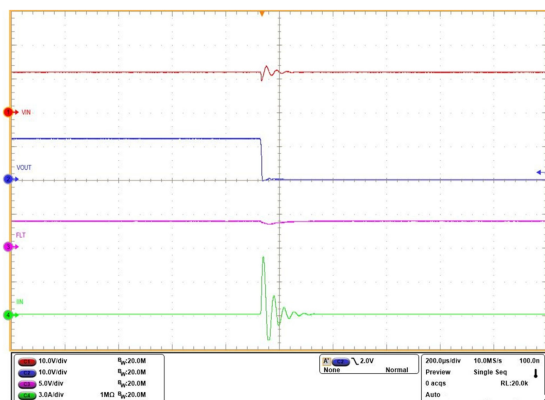
図 6-3. 入力ホットプラグ



V_{IN} 過電圧スレッシュホールドは内部で 24V に固定、 V_{IN} を 23V から 25V にランプ アップ

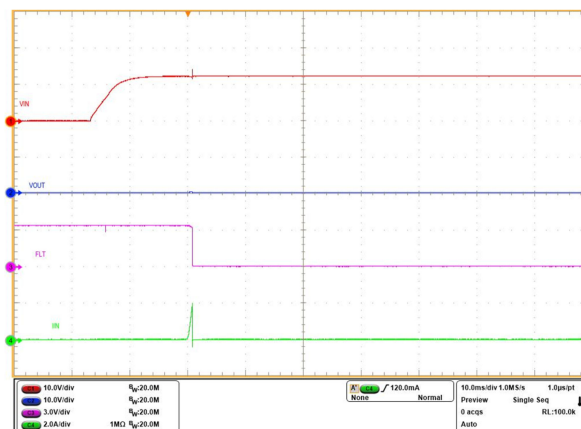
図 6-4. 過電圧誤動作防止の応答

6.7 代表的特性 (続き)



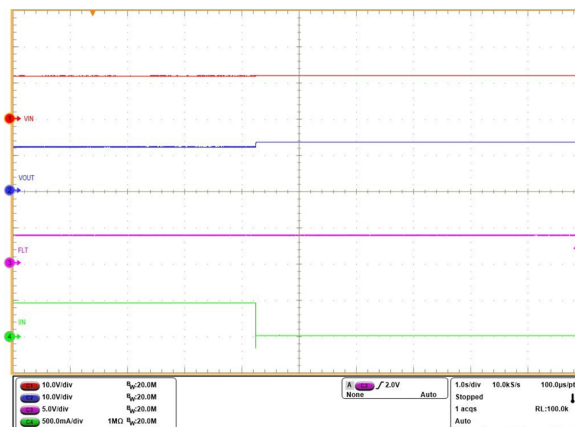
$V_{IN} = V$ 、 $V_{EN/UVLO} = 3V$ 、OUT をオープン状態から GND への短絡状態へステップ

図 6-5. 定常状態時の出力短絡保護



$V_{IN} = 12V$ 、OUT を GND へ短絡、 I_{LIM} は内部で 6.5A に設定

図 6-6. 短絡時の電源立ち上げ



$V_{IN} = 12V$ 、OUT を $13V$ に上昇。RCB 前の $I_{LOAD} = 500mA$

圖 6-7. 逆電流保護

7 詳細説明

7.1 概要

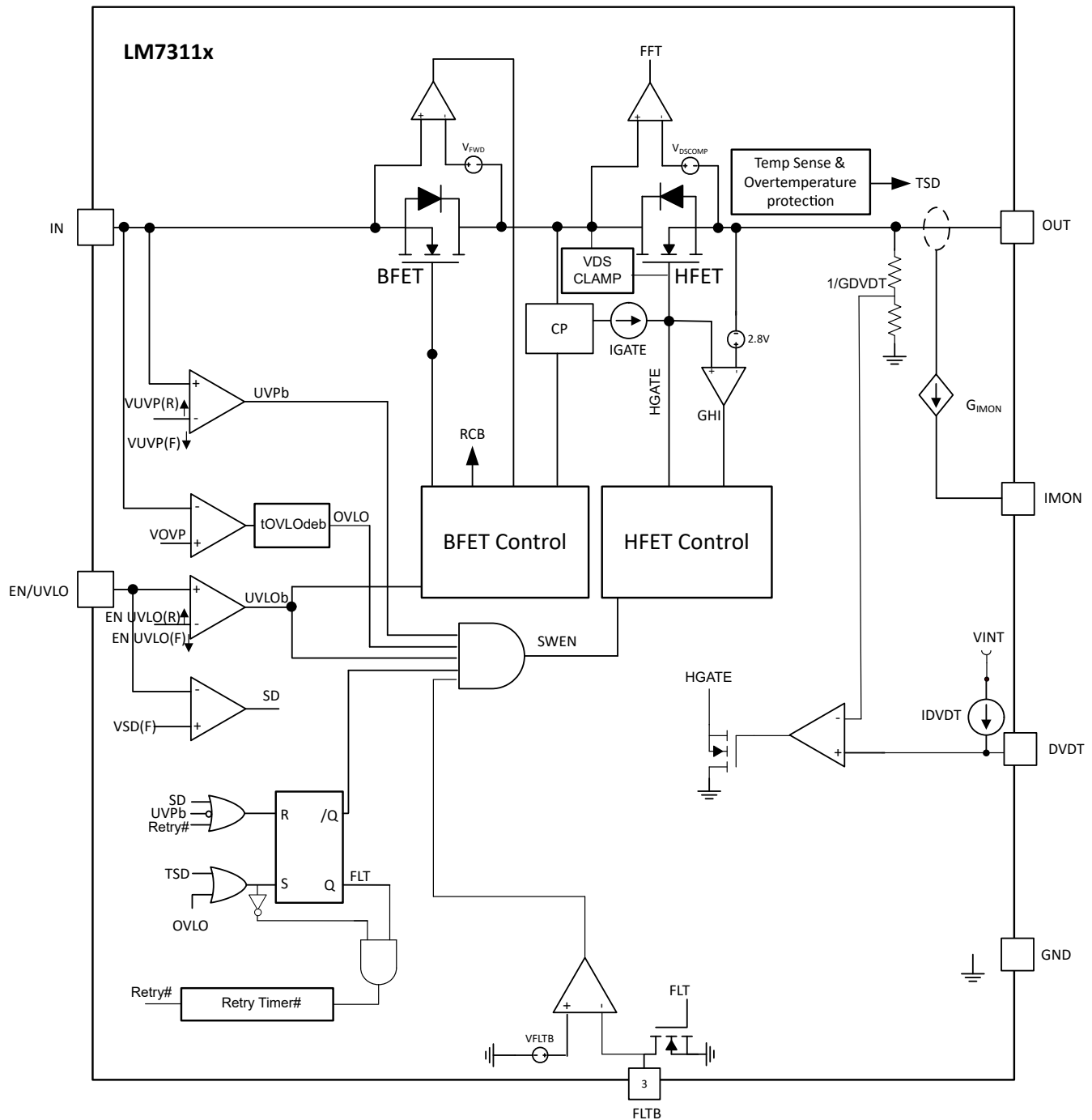
LM7311 は、システム内で安全な電力供給を維持するために使用される eFuse です。本デバイスは、IN パスを監視することで動作を開始します。入力電源電圧 (VIN) が低電圧保護スレッショルド (VUVP) を上回ると、デバイスは EN/UVLO ピンをサンプリングします。このピンが High レベル ($> VUVLO(R)$) になると、内部パワー パス (BFET+HFET) が導通し始め、電流が IN から OUT に流れることができるようになります。EN/UVLO ピンが Low ($< VUVLO(F)$) に保持されると、内部パワー パスがオフになります。

起動シーケンスが成功した後、デバイスは負荷電流と入力電圧をアクティブに監視し、内部 HFET を制御して高速トリップ スレッショルド (IFT) を超過しないように維持し、ユーザーが調整可能な過電圧誤動作防止スレッショルド (VOVLO) を超過した過電圧スパイクをカットオフします。これにより、有害なレベルの電圧や電流からシステムを安全な状態に保つことができます。

このデバイスには理想ダイオードのように動作する逆電流ブロック FET (BFET) が内蔵されています。BFET は、順方向の導通モードで一定の小さな順方向電圧降下 (VFWD) を維持するようリニアに安定化され、出力電圧が入力電圧を超えると、OUT から IN への逆電流をブロックするため完全にオフになります。

このデバイスには、デバイスの温度 (T_J) が推奨動作条件を超えた場合にデバイス自体を保護するため、サーマル センサベースのシャットダウン メカニズムも内蔵されています。

7.2 機能ブロック図



only in LM7311A (Auto-Retry Variant)

図 7-1. LM7311x のブロック図

ADVANCE INFORMATION

7.3 機能説明

LM7311 eFuse は、小型で機能豊富な電力管理デバイスであり、システム故障発生時の検出、保護、および表示報告を行います。

7.3.1 低電圧誤動作防止 (UVLO および UVP)

LM7311 は、印加された電圧が低くなりすぎて、システムまたはデバイスが正常に動作できない場合に備えて、IN に低電圧誤動作防止を実装しています。低電圧保護のデフォルト誤動作防止スレッショルド **VUVP** は、内部で固定されています。これとは別に、EN/UVLO ピンに UVLO コンパレータを搭載しているため、外部から低電圧保護スレッショルドをユーザー定義の値に調整できます。以下の図 7-1 および式 1 に、抵抗デバイダを使用して、特定の電源電圧に対して UVLO 設定ポイントを設定する方法を示します。

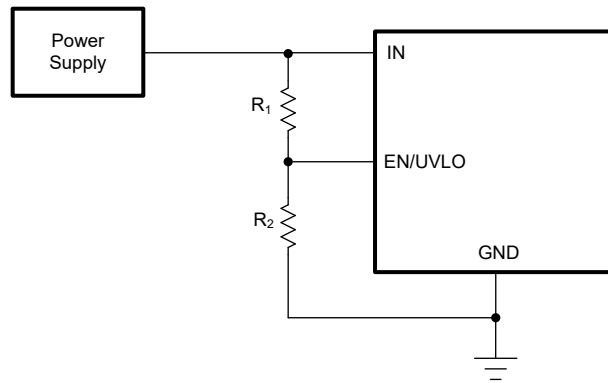


図 7-2. 可変低電圧保護

$$VIN(UV) = VUVP(F) \times \frac{R1 + R2}{R2} \quad (1)$$

7.3.2 過電圧誤動作防止 (OVLO)

LM7311 は固定過電圧ロックアウト機能を実装しており、入力過電圧状態から負荷を保護します。VIN ピンの電圧が OVLO 立ち上がりスレッショルド **VOV(R)** を超えると、デバイスは **tOVLOdeb** のデバウンス時間後に出力への電力供給を停止します。

デバイスがオフになると、EN サイクルが適用されて再起動するまで、ラッチ オフ状態が維持されます。

デバイスの VIN 電圧が **VDSCLAMP** 起動スレッショルドを超えた場合、本デバイスは追加保護機構の **VDS** クランプを作動させます。ここでは、デバイスが部分的にオンになり、出力を **VOCLAMP** 電圧まで充電することで、**VDS** (VIN - VOUT) の絶対最大定格違反からデバイス自身を保護します。この保護機能は、TVS ダイオードでサージをデバイスの **VDS** 絶対最大定格以下にクランプできない場合、過渡サージ時にデバイス自身を保護するのに役立ちます。

7.3.3 突入電流、過電流および短絡保護

LM7311 には、過電流を処理する 4 つの機構が組み込まれています。

1. 起動時における突入電流制御のための調整可能なスルーレート (dVdt)。
2. 起動時の過電流発生時における固定電流制限 (I_{LIM})。
3. 起動時のハード出力短絡に対する迅速な保護を目的とした、高速トリップ応答用固定スレッショルド (I_{SFT})。
4. 定常状態時のハード出力短絡に対する迅速な保護を目的とした、高速トリップ応答用固定スレッショルド (I_{FFT})。

7.3.3.1 スルー レート (dVdt) および突入電流制御

ホットプラグ イベント時や起動時の大きな出力キャパシタンスの充電中に、大きな突入電流が発生する可能性があります。突入電流を適切に管理しないと、突入電流により入力コネクタが損傷し、システム電源が低下することがあります。そ

の結果、システムの他の場所で予期しない再起動が発生する可能性があります。ターンオン時の突入電流は、負荷容量と立ち上がりスルーレートに正比例します。

式 2 を使用して、与えられた負荷容量 (C_{OUT}) について突入電流 (I_{INRUSH}) を制限するのに必要なスルーレート (SR) を計算できます。

$$I_{INRUSH} \text{ (mA)} = C_{OUT} \text{ (}\mu\text{F)} \times SR_{ON} \text{ (V/ms)} \quad (2)$$

dVdt ピンにコンデンサを接続することで、立ち上がりスルーレートを制御し、ターンオン時の突入電流を低減できます。特定のスルーレートを生成するために必要な C_{dVdt} 容量は、次の式を使用して計算できます。

$$SR_{ON} \text{ (V/ms)} = GDVDT \text{ (V/V)} \times \frac{IDVDT \text{ (}\mu\text{A)}}{CDVDT \text{ (}\mu\text{F)}} \quad (3)$$

dVdt ピンをオープンのままにし、最も高速な出力スルーレートを実現できます。

7.3.3.2 短絡保護

特定のシステム障害中、本デバイスに流れる電流が非常に急速に増加する可能性があります。このような場合、デバイスは、定常状態時には固定スレッショルド I_{FFT} 、起動時には I_{SFT} によって高速トリップ応答を実現します。電流がこれらのスレッショルドを超えると、HFET は t_{SC} 以内に完全にオフになります。その後、デバイスはグリッチ除去期間 (30 μ s) の後、dVdt によって制限された方法ではなく、電流制限された方法で HFET をオンに戻すように試みます。これにより、過渡過電流イベントが発生した後に HFET は迅速に復帰し、出力電圧のドループを最小化できます。ただし、故障が持続する場合、デバイスは電流制限状態のままになり、接合部温度が上昇し、最終的にはサーマル シャットダウンに移行します。過熱に対するデバイスの応答の詳細については、「過熱保護 (OTP)」セクションを参照してください。

7.3.3.3 起動時の電流制限

LM7311x は、DVDT コンデンサで設定された出力電流が I_{LIM} を超えるものの I_{SFT} ($2 \times I_{LIM}$) 未満に維持される場合、起動時の過電流状態に反応して、固定制限値 I_{LIM} に電流を制限します。電流制限回路は、フォールドバック メカニズムを採用しています。フォールドバック領域 ($0V < V_{OUT} < V_{FB}$) の電流制限スレッショルドは、起動時の電流制限スレッショルド (I_{LIM}) よりも低くなります。この期間中、デバイスの電力損失によって内部デバイス温度 (T_J) がサーマル シャットダウン スレッショルド (TSD) を超えると、TSD 故障によりデバイスがシャットオフします。TSD 故障中、FLTb ピンがアサートされます。ラッチ オフ バージョンでは、デバイスが十分に冷却されて TSD ヒステリシス (TSDHYS) レベルを下回ると、ラッチ オフ状態を維持するか、固定遅延 (t_{TSD} , RST) 後に再起動します。

7.3.4 アナログ負荷電流モニタ

デバイスでは、FET を流れる電流に比例したアナログ電流センス出力を IMON ピンに供給することにより、システムが出力負荷電流を正確に監視できるようになります。ユーザーは、RIMON 両端での電圧 (VIMON) を検出し、出力負荷電流の測定値を取得できます。

$$I_{LOAD} \text{ (A)} = \frac{VIMON \text{ (}\mu\text{V)}}{RILM \text{ (}\Omega) \times GIMON \text{ (}\mu\text{A/A)}} \quad (4)$$

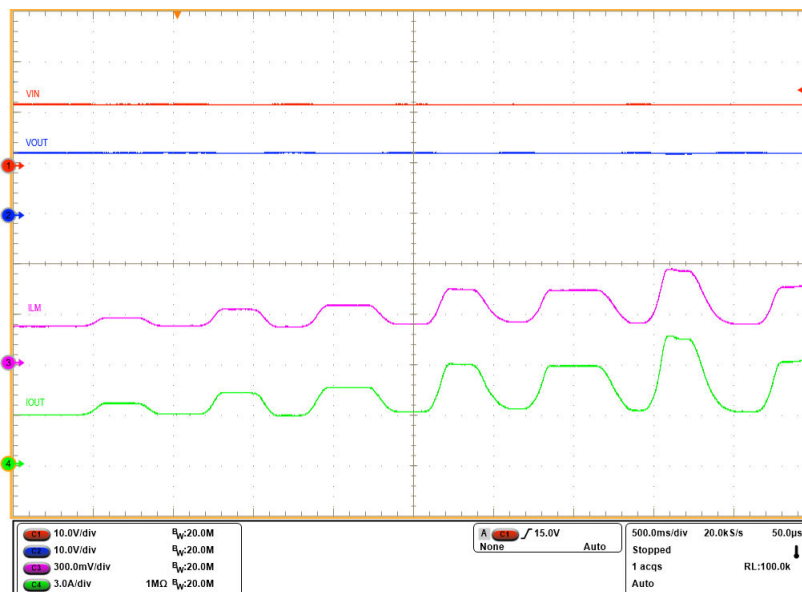


図 7-3. アナログ負荷電流モニタ応答

7.3.5 逆電流保護

LM73100 は、理想ダイオードのように機能し、あらゆる状態の下で OUT から IN へ逆電流が流れるのをブロックします。このデバイスには、共通ドレイン構成で接続された双方向 MOSFET が内蔵されています。IN ピンと OUT ピンの間の電圧降下は絶えず監視され、順方向電圧降下を VFWD にレギュレートするために、必要に応じてブロック FET (BFET) のゲートドライブが調整されます。この閉ループ レギュレーション方式により、逆電流発生時に MOSFET を穏やかにオフにし、DC 逆電流が流れないようにできます。

また、このデバイスは、過渡逆電流に対する高速応答を実現するために、従来のコンパレータ (VREVTH) ベースの逆方向ブロッキング機構も採用しています。デバイスが逆電流ブロック状態に移行すると、(VIN - VOUT) の順方向降下が VFWDTH を超えるまで待機してから、高速に復帰して完全な順方向導通状態に達します。これにより、電源ノイズやリップルが逆電流ブロック応答に影響を与えないようにするための、十分なヒステリシスが得られます。逆電流ブロックからの復帰は非常に高速です (tSWRCB)。これにより電源電圧の低下を最小限に抑えられ、パワー マルチプレクサ / OR 接続などのアプリケーションで役立ちます。

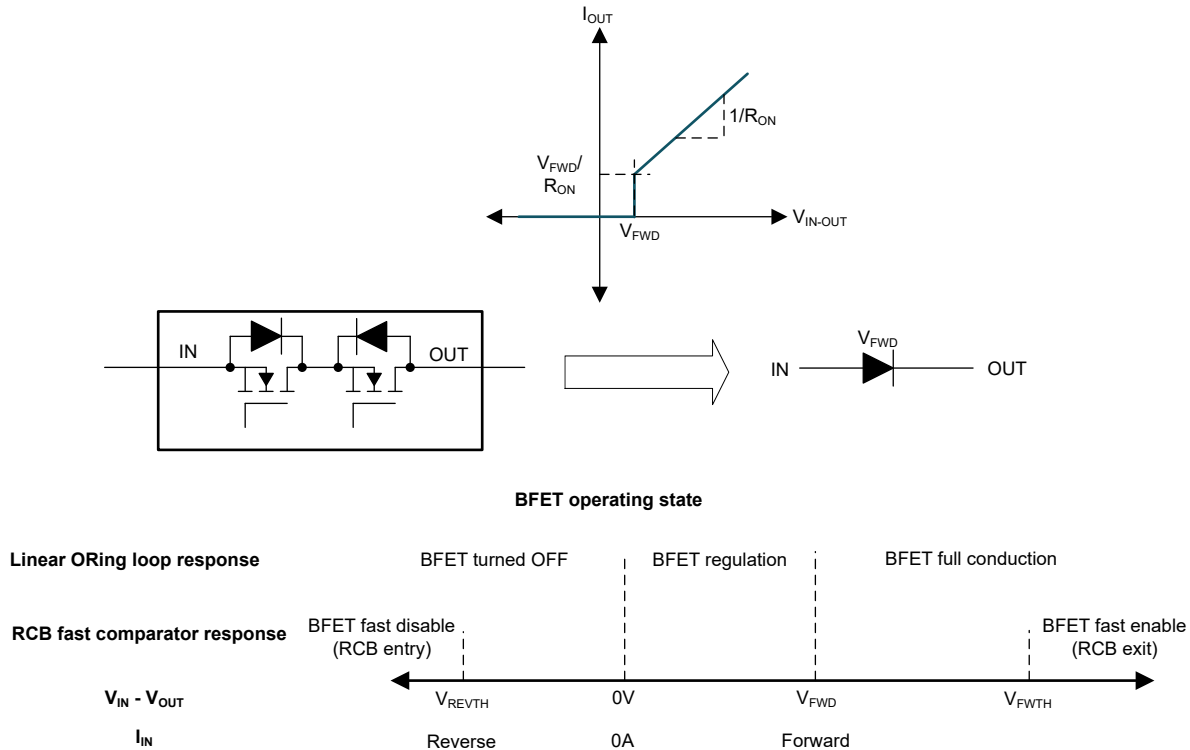


図 7-4. 逆電流ブロック応答

出力ストレージ素子 (バルク キャパシタまたはスーパー キャパシタ) が最大電圧まで充電されている間に入力電源がドループしたり接続解除されたりした場合、リニア OR 接続方式により、OUT から IN への自己放電が最小化されます。これにより、重要な電源バックアップ アプリケーションで、出力ストレージ素子の最大ホールドアップ時間を確保できます。

また、入力電圧を検知して電源が接続されているかどうかを検出するアプリケーションでの電源の存在の誤表示も防止します。

7.3.6 過熱保護 (OTP)

LM73100 は内部ダイ温度 (T_J) を常に監視し、温度が安全動作レベル (TSD) を超えると即座にデバイスをシャットダウンして、デバイスを損傷から保護します。LM7311A (自動再試行) は、接合部が十分に冷却するまで、すなわちダイ温度が ($TSD - TSD_{HYS}$) を下回るまで再びオンになりません。

LM7311L (ラッチオフ バリエント) が熱的過負荷を検出すると、デバイスはシャットダウンし、電源の再投入または再有効化が行われるまで、ラッチオフ状態を維持します。LM7311A (自動再試行バリエント) が熱的過負荷を検出すると、デバイスは温度が TSD_{HYS} だけ冷却されるまでオフ状態を維持します。その後、デバイスは t_{RST} の追加の遅延時間オフのまま維持され、その後デバイスがイネーブルのままなら、デバイスは自動的にオンを試みます。

表 7-1. サーマル シャットダウン

デバイス	TSD 開始	TSD 終了
LM7311L (ラッチオフ)	$T_J \geq TSD$	$T_J < TSD - TSD_{HYS}$ V_{IN} が $0V$ にサイクルされ、 $V_{UVP(R)}$ を上回る、または $EN/UVLO$ が $V_{SD(F)}$ より低くトグルされる
LM7311A (自動再試行)	$T_J \geq TSD$	$T_J < TSD - TSD_{HYS}$ V_{IN} が $0V$ にサイクルされ、 $V_{UVP(R)}$ を上回る、または $EN/UVLO$ が $V_{SD(F)}$ より低くトグルされる、あるいは RST タイマが期限切れになる

7.3.7 フォルト応答および表示 ($\overline{FLT}$)

次の表は、各種故障条件に対するデバイスの応答をまとめたものです。

表 7-2. 故障のまとめ

イベント	保護応答	内部でラッチされた故障	$\overline{FLT}$ ピンのステータス	故障解消後のデバイスの動作
過熱	TSD スレッシュホールド到達後にシャットダウンし	Y	L	自動再試行 (LM7311A) ラッチ オフ (LM7311L)
VIN または EN の低電圧 (UVP または UVLO)	シャットダウン	N	H	最初からやり直します
入力過電圧	T _{OVP} 後にシャットダウン	Y	L	ラッチ オフ
GND への出力短絡	電流制限によるサーキットブレーカ	N	H	自動再試行。
		TSD 後の Y	TSD 後の L	電流制限中に TSD が作動した場合、デバイスの動作は、バリエーションに応じて自動再試行 (LM7311A) またはラッチ オフ (LM7311L) となります
逆電流 ((V _{OUT} - V _{IN}) > V _{REVTH})	逆電流保護	N	H	最初からやり直します

内部でラッチされていない故障は、トリガ条件が解消されると自動的にクリアされ、その後、外部からの介入なしでデバイスが復帰します。内部でラッチされた故障は、デバイスの電源をサイクルする (VIN を 0V にプルし、VUVP(R) を超えるまで上げる) か、EN/UVLO ピンの電圧を VSD(F) 未満にプルすることでクリアできます。

7.4 デバイスの機能モード

このデバイスには、推奨動作条件内で動作した場合に適用される 1 つの動作モードがあります

8 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI 部品の仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

LM7311 は、3.5V ~ 23V、5A の eFuse であり、逆電流ブロック機能を備え、一般に電源レールの保護用途に使用されます。LM7311 は、3.5V ~ 23V で動作し、調整可能な低電圧保護および、24V の固定過電圧保護機能を備えています。LM7311 は、突入電流を制御する機能と、逆電流状態に対する保護機能を備えています。LM7311 は、アダプタやチャージャの入力保護、スマートフォン、タブレット、PC、ノート PC、モニタ、ドック、サーバーおよび PC のマザーボードにおける USB PD 保護、アドオンカード、エンタープライズストレージ (RAID/HBA/SAN/eSSD)、パワーマルチプレクシング / OR 接続など、各種のシステムで使用できます。以降のセクションで説明する設計手順を使用すると、アプリケーションの要件に基づいてサポート部品の値を選択できます。

8.2 シングル デバイス、自己制御型

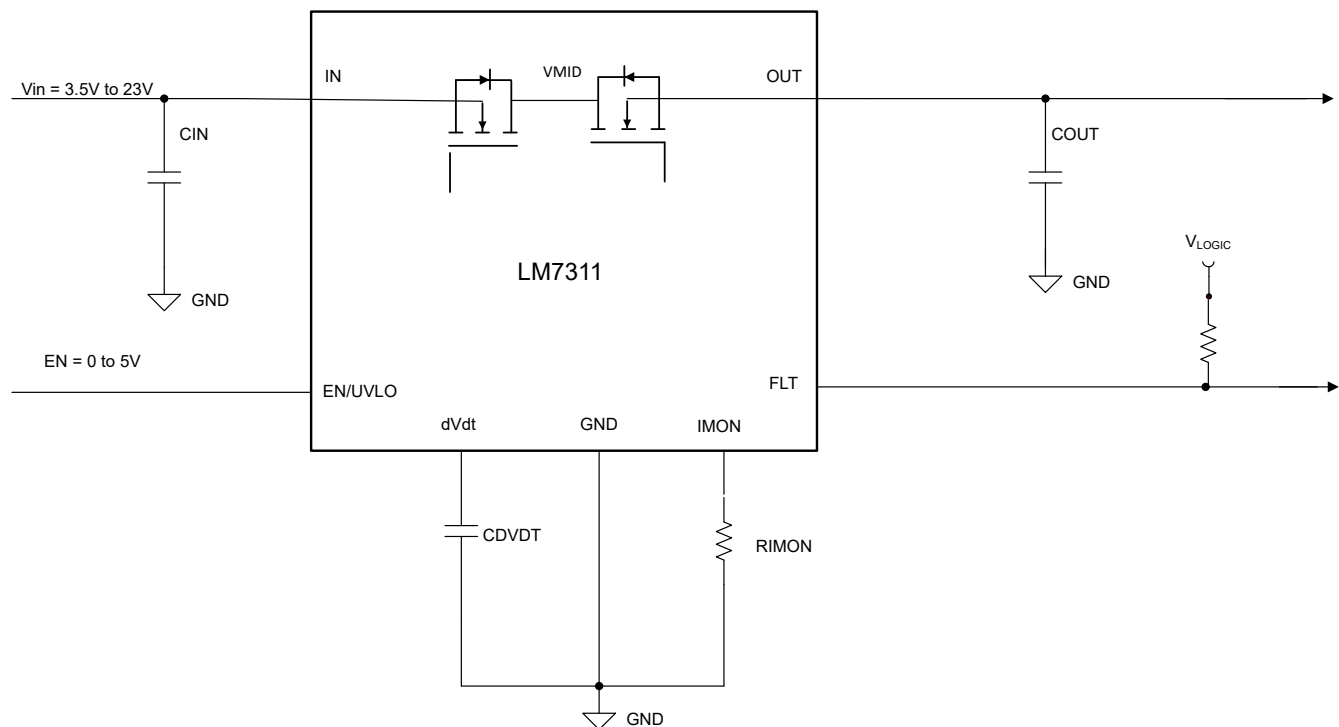


図 8-1. シングル デバイス、自己制御型

その他のバリエーション:

ホスト マイコン制御システムでは、EN/UVLO をホスト GPIO から駆動して、デバイスを制御することもできます。電流監視の目的で、IMON ピンをマイコンの ADC 入力に接続できます。

注

安定した動作を確保するために、IMON ピンの寄生容量を 50pF 未満に保つことを推奨します。

8.3 代表的なアプリケーション

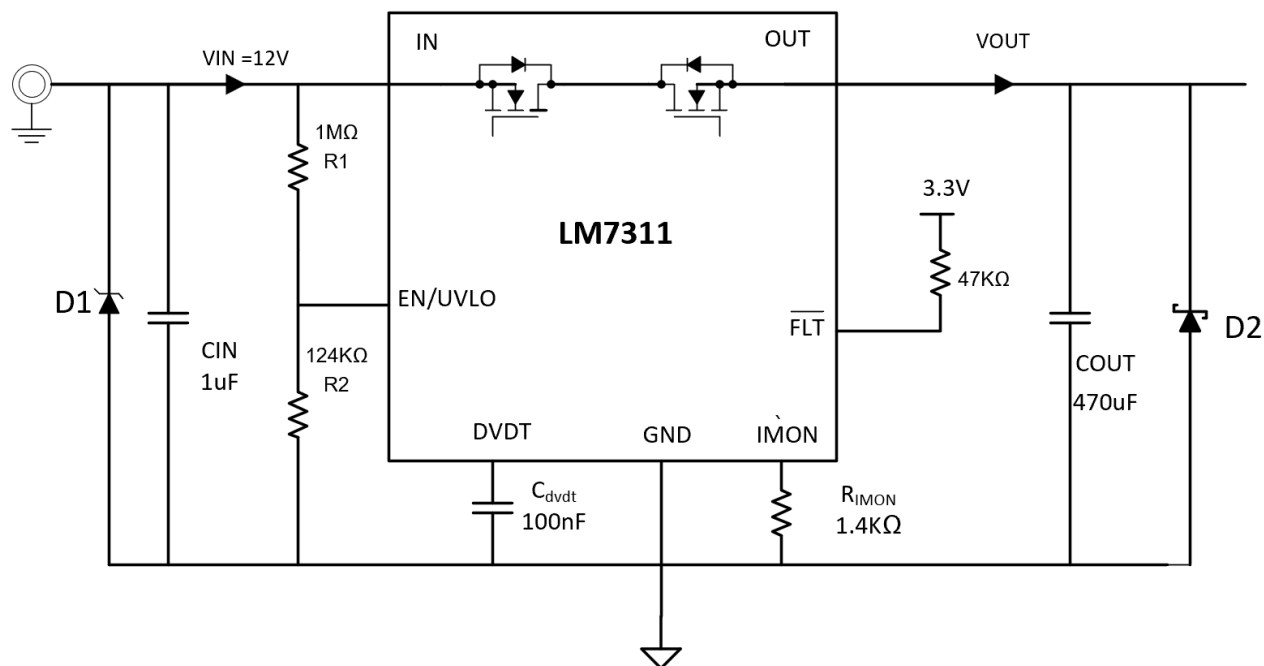


図 8-2. AC-DC アダプタ給電システム – バレル ジャック入力保護

* 入力および出力インダクタンスに応じた過渡保護のために必要な、オプションの回路部品。詳細については、「[過渡保護](#)」セクションを参照してください

8.3.1 設計要件

表 8-1. 設計パラメータ

パラメータ	値
充電時のバス電圧 (V_{IN})	12V
充電時の固定過電圧保護スレッシュホールド ($V_{IN(ov)}$)	24V
充電時の低電圧保護スレッシュホールド ($V_{IN(uv)}$)	10.8V
最大連続充電電流	5A
出力キャパシタンス (C_{OUT})	470μF
出力立ち上がり時間 (t_R)	24ms
アナログ負荷電流モニタ電圧範囲 ($V_{IMONmax}$)	1V

8.3.2 詳細な設計手順

8.3.2.1 低電圧スレッシュホールドの設定

電源の低電圧スレッシュホールドは、抵抗 R_1 および R_2 を使用して設定します。これらの値は次のようにして計算できます。

$$V_{IN(uv)} = \frac{V_{UVLO(R)} \times (R_1 + R_2)}{R_2} \quad (5)$$

ここで $V_{UVLO(R)}$ は UVLO の立ち上がりスレッショルドです。R1、R2 は入力電源 V_{IN} から電流をリークするため、入力電源 V_{IN} からのリーク電流の許容範囲を考慮して、これらの抵抗を選択する必要があります。電源から R1、R2 によって引き込まれた電流は、 $IR12 = V_{IN} / (R1 + R2)$ です。ただし、この抵抗列に外部のアクティブ部品が接続されたことによるリーク電流は、これらの計算に誤差を生じさせる可能性があります。したがって、抵抗列電流 $IR12$ は、UVLO ピンで予測されるリーク電流の 20 倍になるよう選択する必要があります。

デバイスの電氣的仕様では、UVLO のリーク電流は $0.1\mu A$ (最大)、 $V_{UV(R)} = 1.2V$ で、設計要件では $V_{IN(UV)} = 10.8V$ です。式を解くには、まず $R1 = 1M\Omega$ の値を選択し、上式を用いて $R2 = 125k\Omega$ を求めます。

最も近い標準 1% 抵抗の値を使用すると、 $R1 = 1M\Omega$ 、 $R2 = 124k\Omega$ となります。

8.3.2.2 出力電圧立ち上がり時間の設定 (t_R)

適切な設計には、動的 (起動) 条件と定常状態条件の両方において、デバイスの接合部温度を絶対最大定格よりも低く維持する必要があります。動的な電力ストレスは安定しているストレスよりも数桁大きいため、適切な起動時間とシステム容量に必要な突入電流制限を決定して、起動時のサーマル シャットダウンを防止することが重要です。

適切な出力立ち上がり時間を実現するために必要なスルーレート (SR) は、次のようにして計算できます。

$$SR (V/ms) = \frac{V_{IN} (V)}{t_R (ms)} = \frac{12 V}{24 ms} = 0.5 V/ms \quad (6)$$

このスルーレートを実現するために必要な C_{dVdt} は、次のように計算できます。

$$C_{dVdt} (nF) = \frac{55}{SR (V/ms)} = \frac{55}{0.5} = 110 nF \quad (7)$$

コンデンサの最も近い標準値として $110nF$ を選択します。

このスルーレートの場合、突入電流は次のように計算できます。

$$I_{INRUSH} (mA) = SR (V/ms) \times C_{OUT} (\mu F) = 0.5 \times 470 = 235 mA \quad (8)$$

突入時の部品内部での平均消費電力は、次のように計算できます。

$$P_{DINRUSH} (W) = \frac{I_{INRUSH} (A) \times V_{IN} (V)}{2} = \frac{0.235 \times 12}{2} = 1.41 W \quad (9)$$

起動時の障害を避けるため、与えられた消費電力に対して、デバイスのサーマル シャットダウン時間をランプアップ時間 t_R よりも長くする必要があります。

8.3.2.3 アナログ電流モニタ電圧 (IMON) 範囲の設定

アナログ電流モニタの電圧範囲は、RIMON 抵抗を使用して設定できます。この抵抗の値は、次のように計算できます。

$$R_{IMON} = \frac{V_{IMONmax}(V) \times 10^{(6)}}{I_{OUTmax}(A) \times G_{IMON}(\mu A/A)} = \frac{1 \times 10^{(6)}}{5 \times 142.8} = 1400.5 \Omega \quad (10)$$

1430Ω として、最も近い 1% 標準抵抗値を選択します。

8.3.2.4

8.3.3 アプリケーション曲線

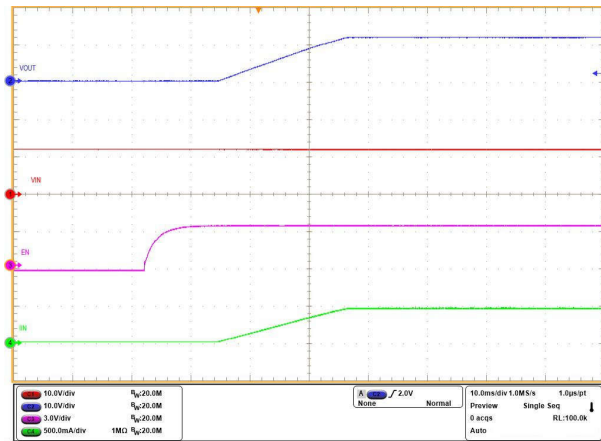


図 8-3. パワーアップ

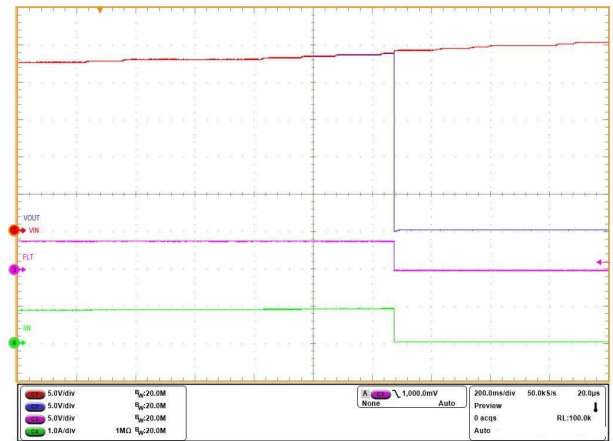


図 8-4. 過電圧保護

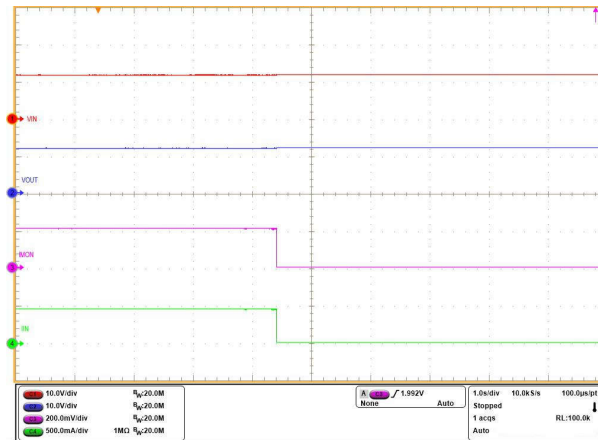


図 8-5. アナログ負荷電流モニタ出力

8.4 アクティブ OR 接続

一般的な冗長電源構成を以下に示します (図 8-6)。ショットキー OR 接続ダイオードは、バッテリーを使用する壁面アダプタやホールドアップ ストレージ コンデンサの並列動作など、並列電源の接続に一般的に使用されています。OR 接続ダイオードを使用した場合の短所は、高い電圧降下と関連する電力損失です。低抵抗の双方向 FET を備えた LM7311 は、シンプルで効率的なソリューションを提供します。図 8-6 は、LM7311 デバイスを使用したアクティブ OR 接続の実装を示します。

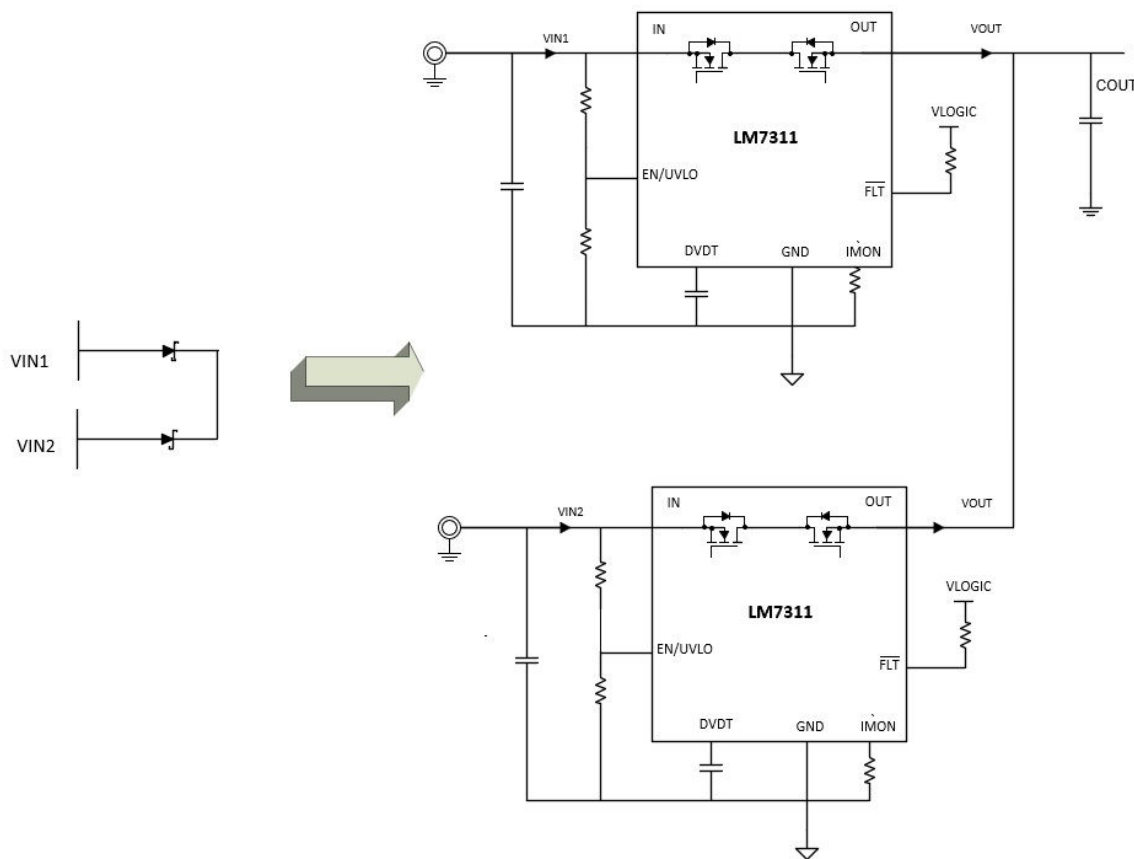


図 8-6. 2 つのデバイス、アクティブ OR 接続構成

LM7311 のリニア OR 接続メカニズムにより、どちらかの電源で高速または低速のランプが発生したときに、一方の電源からもう一方の電源に逆電流が流れないように維持されます。

以下の波形は、電源レールが順にランプ アップされたときのアクティブ OR 接続動作を示しています。

図 8-7. アクティブ OR 接続応答

バス電圧 (IN1 および IN2) が一致していると、各バスのデバイスは順方向の電圧降下を検出し、オンになって負荷電流を供給します。この期間中、電流は、各デバイス間の差動電圧降下比に応じてレール間で共有されます。

電源の OR 接続に加えて、このデバイスは過電圧、過剰な突入電流、過負荷、短絡故障から常にシステムを保護します。

注

OR 接続は、類似した 2 つのレール間、または類似していないレール間で実行できます。電圧に差がある組み合わせでの OR 接続の場合、dVdt ピンのコンデンサ定格は、2 つの電源のうち高い方に基づいて選択する必要があります。詳細については、「推奨動作条件」の表を参照してください。

8.5 電源に関する推奨事項

LM7311 デバイスは、 $3.5V \leq V_{IN}$ または $V_{OUT} \leq 23V$ の電源電圧範囲向けに設計されています。入力電源がデバイスから数インチ以上離れている場合は、 $0.1\mu F$ を超える入力セラミック バイパス コンデンサを推奨します。過電流および短絡状態での電圧ドループを防止するため、電源の定格は設定された電流制限値よりも高く設定する必要があります。

8.5.1 過渡保護

デバイスが電流フローに割り込むタイミングで、短絡および過負荷電流による制限が発生した場合、入力インダクタンスによって入力に正の電圧スパイクが生成され、出力インダクタンスによって出力に負の電圧スパイクが生成されます。電圧スパイク (過渡現象) のピーク振幅は、デバイスの入力または出力に存在する直列インダクタンスの値に依存します。この問題に何等かの策を講じない場合は、上記の過渡現象によって、デバイスの絶対最大定格を超える可能性があります。過渡現象に対処する一般的な方法は、以下のとおりです。

- デバイスの入出力において、リード長を短くしインダクタンスを最小限に抑えます。
- PCB には、大きい GND プレーンを使用します。
- 負のスパイクを吸収するために、OUT ピン接地からショットキー ダイオードを接続します。
- デバイスのすぐ近くの OUT ピンに $1\mu F$ より大きい低 ESR コンデンサを接続します。
- 低値のセラミック コンデンサ ($C_{IN} = 1\mu F$) を使用して、エネルギーを吸収し、過渡現象を減衰させます。誘導性リング時の正の電圧変動に耐えるため、コンデンサの電圧定格は入力電源電圧の少なくとも 2 倍である必要があります。

入力容量の近似値は、次の式を使用して推定できます。

$$V_{SPIKE(ABSOLUTE)} = V_{IN} + I_{LOAD} \times \sqrt{\frac{L_{IN}}{C_{IN}}} \quad (11)$$

ここで、

- V_{IN} は公称電源電圧です。
- I_{LOAD} は負荷電流です。
- L_{IN} はソースから見た実効インダクタンスに等しい値です。
- C_{IN} は入力に存在する容量です。
- 一部のアプリケーションでは、過渡状態においてデバイスの絶対最大定格を超えないように、過渡電圧サプレッサ (TVS) を追加する必要があります。場合によっては、過渡の最大振幅がデバイスの絶対最大定格を下回った場合でも、TVS は過度のエネルギー ダンプを吸収し、IC の入力電源ピンに非常に高速な過渡電圧が生じて内部制御回路に結合し、予期しない動作を引き起こすのを防ぐのに役立ちます。
- USB-C ポートなど、通電中のケーブルをデバイスの出力に接続できるアプリケーションでは、OUT から IN への過度の電圧ストレスが発生し、デバイスの絶対最大定格を超える可能性があります。電圧を安全なレベルにクランプするため、OUT から IN の間に TVS ダイオードを追加することを推奨します。

オプションの保護部品を使用した回路実装例を、[図 8-8](#) に示します。

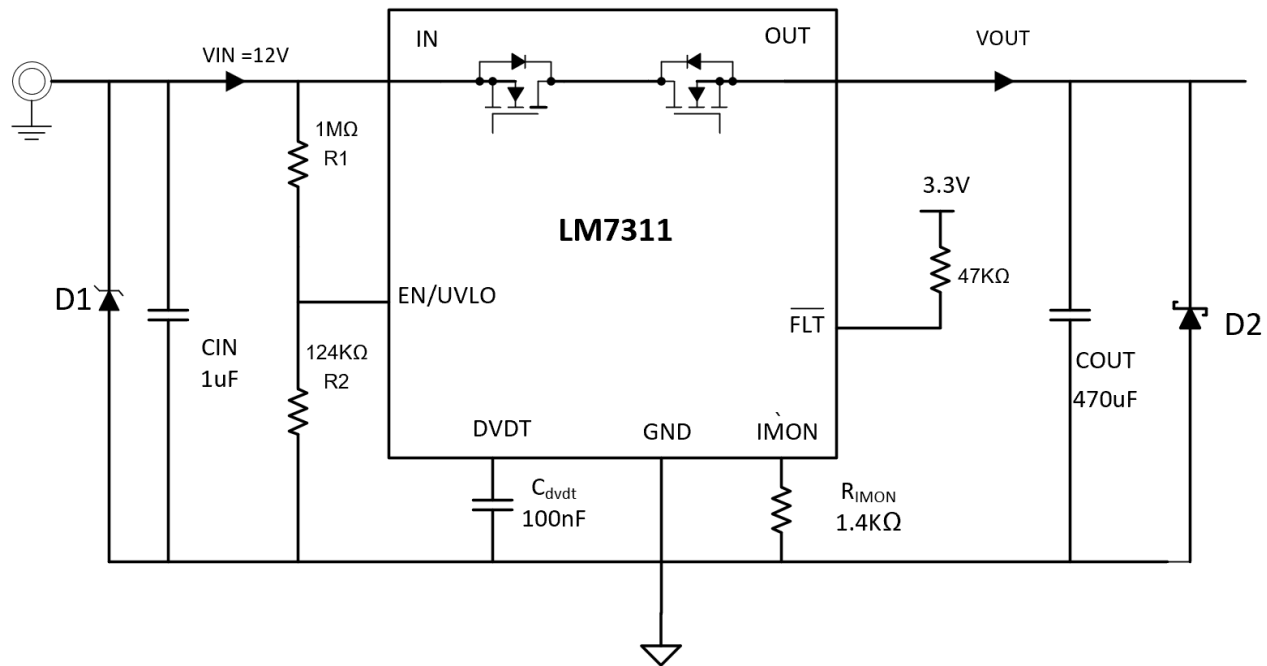


図 8-8. オプションの保護部品を使用した回路実装

8.5.2 出力短絡測定

再現可能で同様の短絡テスト結果を得るということは困難です。結果のばらつきの原因には、次のようなものがあります。

- ソース バイパス
- 入力リード線
- 回路レイアウト
- 部品選定
- 出力短絡方法
- 短絡の相対位置
- 計測機器

実際の短絡は、微視的に接点が跳ねたりアーク放電が発生したりするため、ある程度のランダム性を伴います。現実的な結果を得るために、同じ構成と方法が使用されるようにします。すべての設定は異なっているため、このデータシートの波形とまったく同じような波形が見られることを期待しないでください。

8.6 レイアウト

8.6.1 レイアウトのガイドライン

- すべての用途に対して、0.1μF 以上のセラミック デカップリング コンデンサを、IN 端子と GND 端子の間に使用することを推奨します。
- デカップリング コンデンサは、デバイスの IN および GND 端子の最も近くに配置することが望ましいです。バイパス コンデンサ接続、IN 端子、および IC の GND 端子によって形成されるループ領域を最小限に抑えるように注意する必要があります。
- 大電流を流すパワー パス接続はできる限り短くし、全負荷電流の 2 倍以上が流れるようにサイズを調整する必要があります。

- GND 端子は、IC の端子で極力短いパターンを使用して PCB グランド プレーンに接続する必要があります。PCB の接地は、基板上の銅プレーンまたはアイランドである必要があります。TI は、eFuse には個別のグランド プレーン アイランドを配置することを推奨します。このプレーンは高い電流を流さず、eFuse の重要なアナログ信号のすべてに対して、低ノイズのグランド基準としての役割を果たします。本デバイスのグランド プレーンは、スター接続を使用してシステムの電源グランド プレーンに接続する必要があります。
- IN および OUT パッドを使用して放熱を行います。サーマルビアを使って、PCB 層の上層と下層にある、できるだけ多くの銅の面積に接続します。デバイスの下にあるビアは、IN および OUT パッドの両端の電圧勾配を最小限に抑え、デバイス全体で電流を均一に分配するのにも役立ちます。これは、最良のオン抵抗と電流センスの精度を実現するために不可欠です。
- 次のサポート部品を接続ピンの近くに配置します。
 - C_{dVdT}
 - EN/UVLO ピン用の抵抗
- 部品のもう一方の端を、最短のパターン長でデバイスの GND ピンに接続します。 C_{dVdT} 部品からデバイスまでのパターンは、ソフト スタート時間への寄生効果を低減するため、できるだけ短くする必要があります。これらのトレースは基板上のスイッチング信号と結合しないください。
- TVS、スナバ、コンデンサ、ダイオードなどの保護デバイスは、保護対象となるデバイスの近くに物理的に配置する必要があります。インダクタンスを減らすため、これらの保護デバイスは短いパターンで配線する必要があります。たとえば、誘導性負荷のスイッチングによる負の過渡に対処するためには、保護ショットキー ダイオードを推奨します。TI では、OUT と GND の間に、 $1\mu\text{F}$ 以上のセラミック デカップリング コンデンサを追加することも推奨しています。このような部品は、OUT ピンに物理的に近い場所に配置する必要があります。ショットキー ダイオード / バイパス コンデンサ 接続、OUT ピン、および IC の GND 端子によって形成されるループ領域を最小限に抑えるように注意する必要があります。

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- LM7311 評価基板ユーザー ガイド

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

[テキサス・インスツルメンツ用語集](#)

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

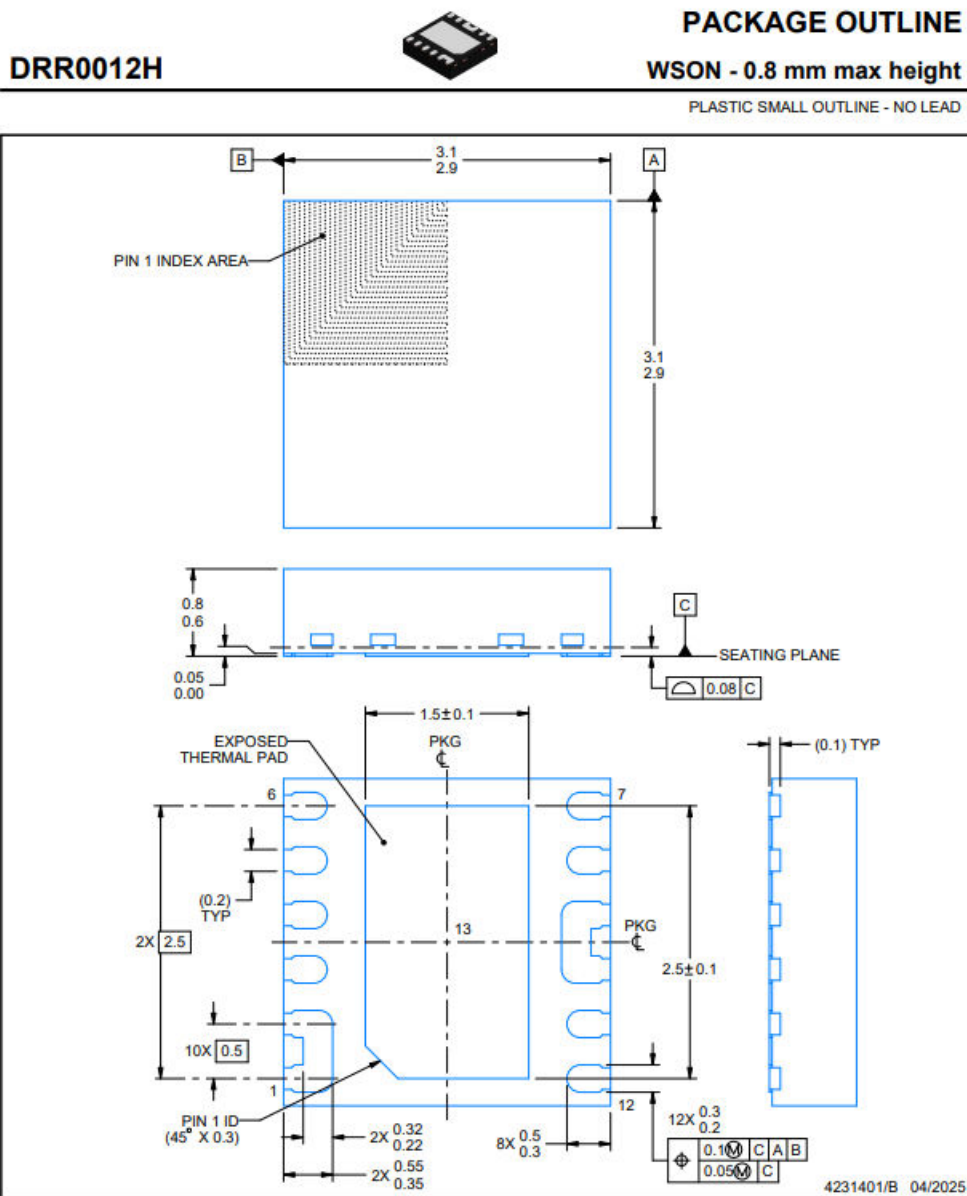
資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

DATE	改訂	注
August 2026	*	初版リリース

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

11.1 リファレンス

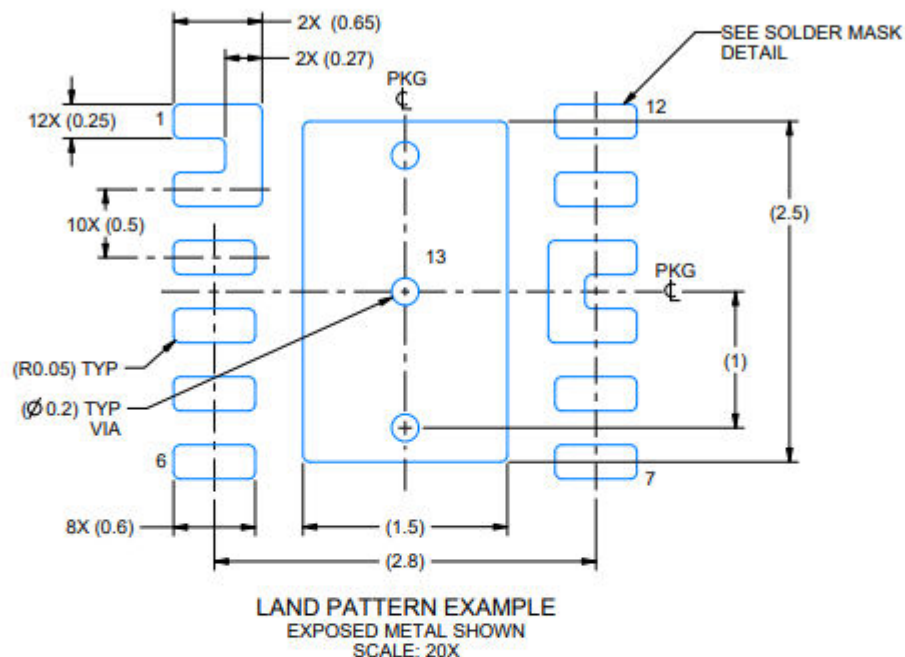


EXAMPLE BOARD LAYOUT

DRR0012H

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



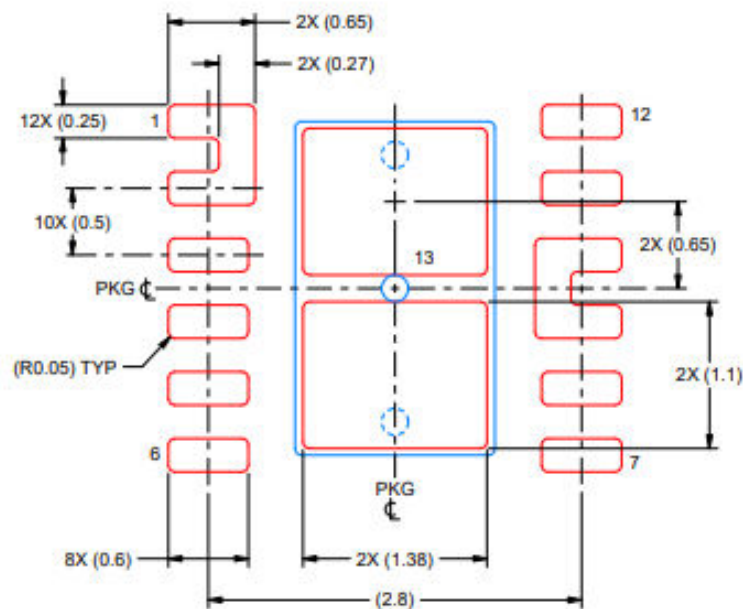
NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DRR0012H
WSN - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.125 MM THICK STENCIL
 SCALE: 20X

EXPOSED PAD 13
 81% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4231401/B 04/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

11.2 付録 : パッケージ オプション

パッケージ情報

発注可能なデバイス	ステータス ⁽¹⁾	パッケージ タイプ	パッケージ図	ピン	パッケージの数量	エコ プラン ⁽²⁾	リード / ボール 仕上げ ⁽⁶⁾	MSL ピーク温度 ⁽³⁾	動作温度 (°C)	デバイス マーキング ^{(4) (5)}	
PLM7311A00 DRRR	プレビュー	WSON	DRR	12	-	RoHS & グリーン	TI までお問い合わせください	TI までお問い合わせください	-40～125	PLM7311	
LM7311A00D RRR	プレビュー	WSON	DRR	12	-	RoHS & グリーン	TI までお問い合わせください	TI までお問い合わせください	-40～125	LM7311	
PLM7311L00 DRRR	プレビュー	WSON	DRR	12	-	RoHS & グリーン	TI までお問い合わせください	TI までお問い合わせください	-40～125	PLM7311	
LM7311L00D RRR	プレビュー	WSON	DRR	12	-	RoHS & グリーン	TI までお問い合わせください	TI までお問い合わせください	-40～125	LM7311	

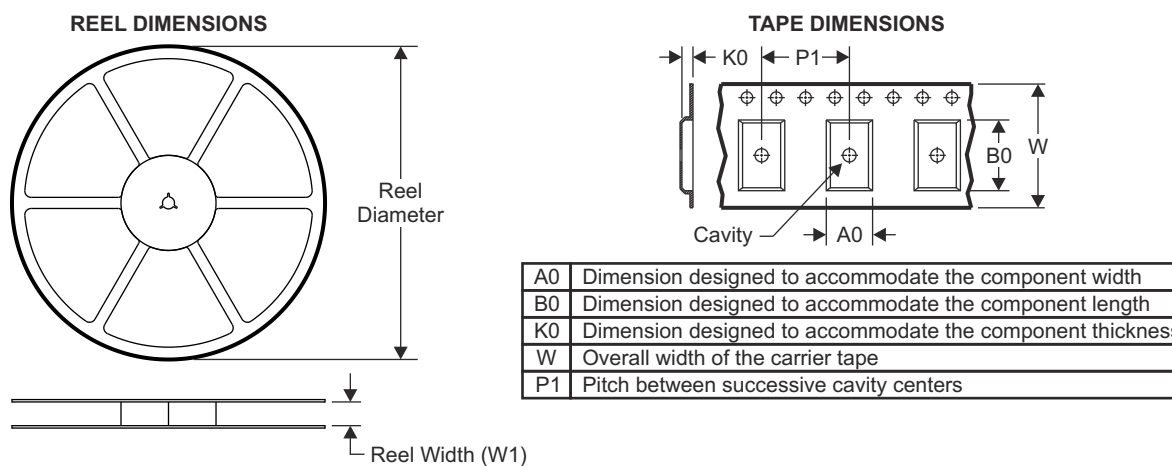
- (1) マーケティング ステータスの値は次のように定義されています。
供給中: 新しい設計への使用が推奨される量産デバイス。
最終受注中: TI はデバイスの生産終了を発表しており、現在最終受注期間中です。
非推奨品: 新規設計には推奨しません。デバイスは既存の顧客をサポートするために生産されていますが、テキサス・インスツルメンツでは新規設計にこの部品を使用することを推奨していません。
量産開始前: 量産されていない、市販されていない、またはウェブで発表されていない未発表デバイスで、サンプルは提供されていません。
プレビュー: デバイスは発表済みですが、まだ生産は開始されていません。サンプルが提供される場合と提供されない場合があります。
生産中止品: TI は、このデバイスの生産を終了しました。
- (2) エコ プラン - 環境に配慮した計画的な分類: 鉛フリー (RoHS)、鉛フリー (RoHS 適用除外)、またはグリーン (RoHS 準拠、Sb/Br 非含有) があります。最新情報、および製品内容の詳細については、<http://www.ti.com/productcontent> でご確認ください。
未定: 鉛フリー / グリーン転換プランが策定されていません。
鉛フリー (RoHS): テキサス・インスツルメンツにおける「Lead-Free」または「Pb-Free」(鉛フリー) は、6 つの物質すべてに対して現在の RoHS 要件を満たしている半導体製品を意味します。これには、同種の材質内で鉛の重量が 0.1% を超えないという要件も含まれます。高温はんだに対応した テキサス・インスツルメンツ鉛フリー製品は、鉛フリー仕様プロセスでの使用に適しています。
鉛フリー (RoHS 適用除外): この部品は、1) ダイとパッケージとの間に鉛ベース フリップ チップのはんだバンプ使用、または 2) ダイとリードフレームとの間に鉛ベースの接着剤を使用、のいずれかについて、RoHS が免除されています。この部品はそれ以外の点では、上記の定義の鉛フリー (RoHS 準拠) の条件を満たしています。
グリーン (RoHS および Sb/Br 非含有): テキサス・インスツルメンツにおける「グリーン」は、鉛フリー (RoHS 準拠) に加えて、臭素 (Br) およびアンチモン (Sb) をベースとした難燃材を含まない (均質な材質中の Br または Sb 重量が 0.1% を超えない) ことを意味しています。
- (3) MSL、ピーク温度-- JEDEC 業界標準分類に従った耐湿性レベル、およびピークはんだ温度です。
- (4) ロゴ、ロットトレース コード情報、または環境カテゴリに関する追加マークがデバイスに表示されることがあります。
- (5) 複数のデバイス マーキングが、括弧書きされています。カッコ内に複数のデバイス マーキングがあり、「~」で区切られている場合、その中の 1 つだけがデバイスに表示されます。行がインデントされている場合は、前行の続きということです。2 行合わせたものが、そのデバイスのデバイス マーキング全体となります。
- (6) リード / ボール仕上げ - 発注可能なデバイスには、複数の材料仕上げオプションが用意されていることがあります。複数の仕上げオプションは、縦罫線で区切られています。リード / ボール仕上げの値が最大列幅に収まらない場合は、2 行にまたがります。

重要なお知らせと免責事項: このページに掲載されている情報は、発行日現在のテキサス・インスツルメンツの知識および見解を示すものです。テキサス・インスツルメンツの知識および見解は、第三者によって提供された情報に基づいており、そのような情報の正確性について何らの表明および保証も行うものではありません。第三者からの情報をより良く統合するための努力は続けております。テキサス・インスツルメンツでは、事実を適切に表す正確な情報を提供すべく妥当な手順を踏み、引き続きそれを継続してゆきますが、受け入れる部材および化学物質に対して破壊試験や化学分析は実行していない場合があります。テキサス・インスツルメンツおよび テキサス・インスツルメンツのサプライヤは、特定の情報を機密情報として扱っているため、CAS 番号やその他の制限された情報が公開されない場合があります。

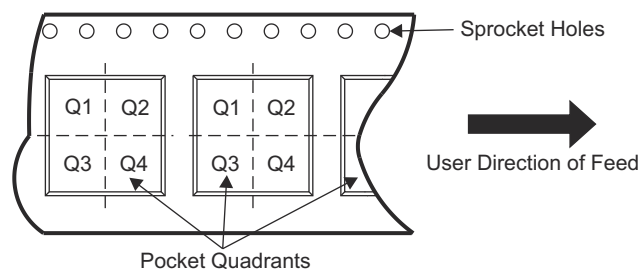
いかなる場合においても、そのような情報から生じた TI の責任は、このドキュメント発行時点での TI 製品の価格に基づく TI からお客様への合計購入価格 (年次ベース) を超えることはありません。

ADVANCE INFORMATION

11.3 テープおよびリール情報

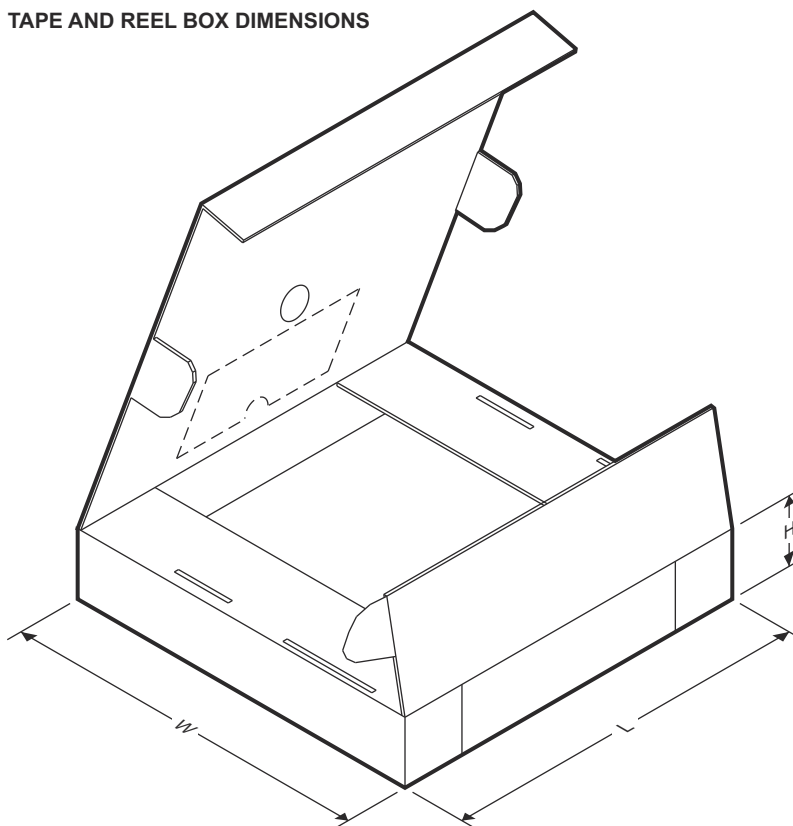


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



デバイス	パッケージ タイプ	パッケージ 図	ピン	SPQ	リール 直径 (mm)	リール 幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の 象限
PLM7311A00DRR	WS0N	DRR	12	3000	330	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LM7311A00DRR	WS0N	DRR	12	3000	330	12.4	3.3	3.3	1.1	8.0	12.0	Q2
PLM7311L00DRR	WS0N	DRR	12	3000	330	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LM7311L00DRR	WS0N	DRR	12	3000	330	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PLM7311DRRR	Active	Preproduction	WSON (DRR) 12	3000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

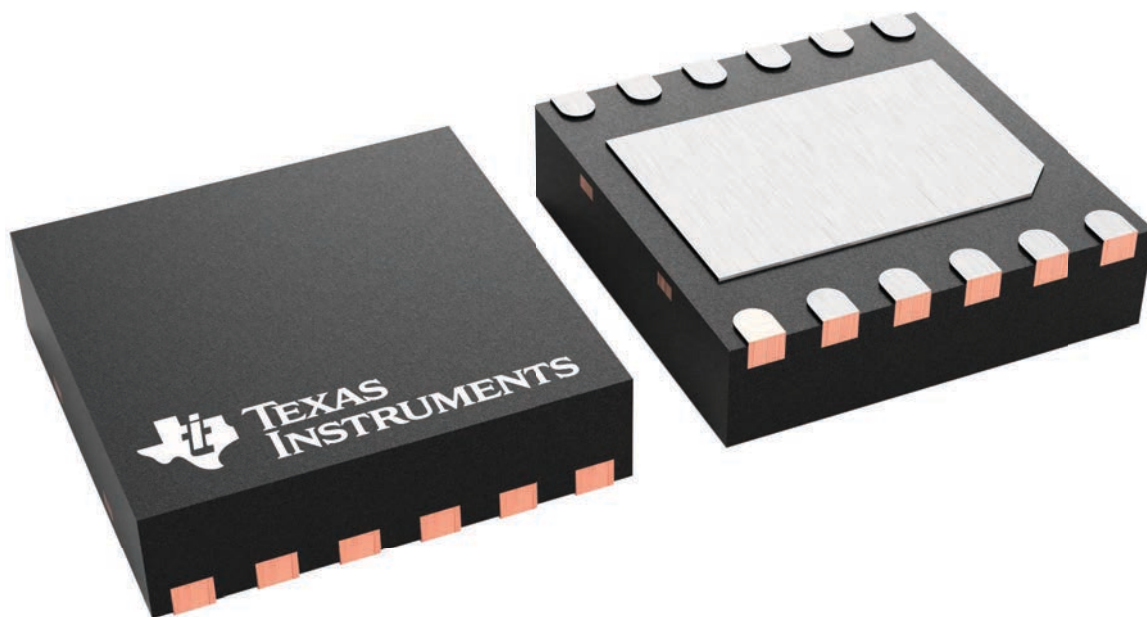
DRR 12

WSON - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4223490/B

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月