LM7321x シングルおよび LM7322x デュアル レール ツー レール入出力 ±15V、大出力電流、無制限の容量性負荷オペアンプ

1 特長

- (V_S = ±15、T_A = 25°C、特に記述のない限り標準値)。
- 広い電源電圧範囲:2.7V ～ 32V
- 出力電流:±125mA
- ゲイン帯域幅積:24MHz
- スルーレート:35V/µs
- 無制限の容量性負荷耐性
- 入力同相電圧:レールの 0.1V 外まで
- 入力電圧ノイズ:12nV/√Hz
- 入力電流ノイズ:1pA/√Hz
- 電源電流 / チャネル 1.35mA
- 歪み THD+ ノイズ:-113dB
- 温度範囲:–40℃ ～ 125℃
- LM732xx は、AEC-Q100 グレード 1 認定取得済みの車載グレード製品です

2 アプリケーション

- MOSFET とパワー トランジスタの駆動
- 静電容量式近接センサ
- アナログ フォトカプラの駆動
- ハイサイド センシング
- 地中電流検出
- フォトダイオードのバイアス
- PLL におけるバラクタ ダイオードの駆動
- 広範な電圧範囲の電源
- 車載
- 海外対応電源

3 説明

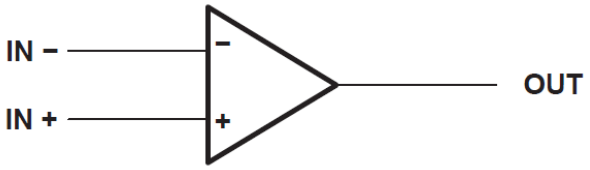
LM732xx デバイスは、広い動作電圧範囲と大出力電流に対応するレール ツー レール入出力アンプです。LM732xx ファミリは効率的で、35V/µs のスルーレートと 24MHz ユニティ ゲイン帯域幅を実現すると同時に、オペアンプ 1 つあたりの消費電流は 1.35mA のみで済みます。LM732xx デバイスの性能は、2.7V、±5V、±15V で完全に動作が規定されています。

LM732xx デバイスは、発振することなく無制限の容量性負荷を駆動できるように設計されています。この広い電圧範囲にわたって同相信号除去が 90dB で、レール ツー レールの入力同相電圧範囲を超えることから、ハイサイドとローサイドの両方のセンシングが可能です。ほとんどのデバイス パラメータは電源電圧の影響を受けないため、車載電気システムやバッテリ動作装置など、電源電圧が変化する可能性がある場合でも部品を簡単に使用できます。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
LM7321	D (SOIC、8)	4.90mm × 3.90mm
	DBV (SOT-23、5)	2.90mm × 1.60mm
LM7322	DGK (VSSOP、8)	3.00mm × 3.00mm
	D (SOIC、8)	4.90mm × 3.90mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



シンボル (各アンプ)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 1
2 アプリケーション 1
3 説明 1
4 ピン構成および機能 3
5 仕様 4
5.1 絶対最大定格 4
5.2 ESD 定格 4
5.3 推奨動作条件 4
5.4 熱に関する情報 4
5.5 電気的特性 5
5.6 代表的特性 7
6 詳細説明 17
6.1 概要 17
6.2 機能ブロック図 17
6.3 機能説明 17
6.4 デバイスの機能モード 19
7 アプリケーションと実装 22
7.1 代表的なアプリケーション 22
7.2 レイアウト 22
8 電源に関する推奨事項 24
9 デバイスおよびドキュメントのサポート 25
9.1 ドキュメントの更新通知を受け取る方法 25
9.2 サポート・リソース 25
9.3 商標 25
9.4 静電気放電に関する注意事項 25
9.5 用語集 25
10 改訂履歴 25
11 メカニカル、パッケージ、および注文情報 26

Copyright © 2026 Texas Instruments Incorporated

4 ピン構成および機能

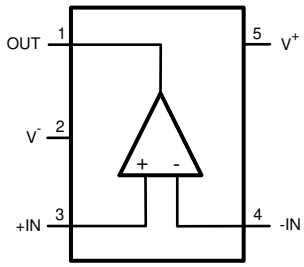


図 4-1. DBV パッケージ 5 ピン SOT-23 上面図

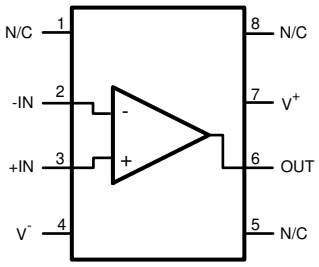


図 4-2. D パッケージ 8 ピン SOIC 上面図

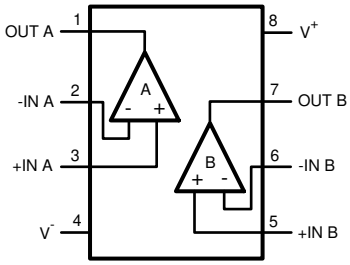


図 4-3. DGK パッケージ 8 ピン VSSOP または SOIC 上面図

表 4-1. ピンの機能

ピン				タイプ(1)	説明
名称	SOT-23 番号	SOIC 番号	VSSOP、SOIC 番号		
OUT	1	6	—	O	出力
OUT A	—	—	1	O	アンプ A の出力
OUT B	—	—	7	O	アンプ B の出力
V+	5	7	8	P	正の電源
V-	2	4	4	P	負電源
+IN	3	3	—	I	非反転入力
–IN	4	2	—	I	反転入力
+IN A	—	—	3	I	アンプ A の非反転入力
-IN A	—	—	2	I	アンプ A の反転入力
+IN B	—	—	5	I	アンプ B の非反転入力
-IN B	—	—	6	I	アンプ B の反転入力
N/C	—	1、5、8	—	—	内部接続なし。

(1) I = 入力、O = 出力、P = 電源

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電源電圧、V_S = (V+) - (V-)		0	33	V
信号入力ピン	同相電圧(3)	(V–) –0.5	(V+) +0.5	V
	差動電圧(4)		±10	V
	電流(3)		±10	mA
出力短絡(2)		連続		
接合部温度、T_J			150	°C
保管温度、T_{stg}		-65	150	°C

(1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、デバイスは完全に機能するとは限らず、このことがデバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) グランドへの短絡、パッケージあたり 1 台のアンプ。短絡電流が長時間流れると、特に電源電圧が高い場合、過熱や最終的な破壊が発生する可能性があります。
(3) 入力ピンは、電源レールに対してダイオード クランプされています。入力信号のスイングが 0.5V より大きく電源レールを超える可能性がある場合は、電流を 10mA 以下に制限する必要があります。
(4) 入力保護のため、入力ピンは双方向ダイオードを介して接続します。差動入力電圧が 0.5V を超える場合は、入力電流が 10mA 以下に制限されます。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電(3)	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±1000	
		マシン モデル	200	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(3) 人体モデル、適用規格:MIL-STD-883、Method 3015.7。マシン モデル、適用規格:JESD22-A115-A (JEDEC の ESD MM 標準)。磁場誘起荷電デバイス モデル、適用規格:JESD22-C101-C (JEDEC の ESD FICDM 標準)。

5.3 推奨動作条件

	最小値	最大値	単位
電源電圧 ($V_S = V^+ – V^–$)	2.7	32	V
温度範囲(1)	-40	125	°C

(1) 最大消費電力は、$T_{J(MAX)}$ と $R_{\theta JA}$ の関数です。最大許容消費電力と周囲温度の関係式は、$P_D = (T_{J(MAX)}) – T_A)/ R_{\theta JA}$ です。すべての数値は、PCB に直接半田付けするパッケージに適用されます。

5.4 熱に関する情報

熱評価基準(2)		LM732x			単位
		D (SOIC)	DBV (SOT)	DGK (VSSOP)	
		8 ピン	5 ピン	8 ピン	
$R_{\theta JA}$ (1)	接合部から周囲への熱抵抗	133.5	185.4	169.6	°C/W

(1) 最大消費電力は、$T_{J(MAX)}$ と $R_{\theta JA}$ の関数です。最大許容消費電力と周囲温度の関係式は、$P_D = (T_{J(MAX)}) – T_A)/ R_{\theta JA}$ です。すべての数値は、PCB に直接半田付けするパッケージに適用されます。

Copyright © 2026 Texas Instruments Incorporated

(2) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

V_S = (V+) – (V–) = 2.7V ～ 32V (±1.35V ～ ±16V)、T_A = 25°C、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 の場合、特に記述のない限り。

パラメータ		テスト条件		最小値	標準値	最大値	単位
V_{OS}	入力オフセット電圧	V_{CM} = V–		-5	±0.35	+5	mV
			T_A = –40°C ～ +125°C	-6		+6	
TC V_{OS}	入力オフセット電圧の温度ドリフト	V_{CM} = V–			±2.5		µV/°C
I_B	入力バイアス電流			-2	0.4		µA
			T_A = –40°C ～ +125°C	-2.5			
					0.4	1	
			T_A = –40°C ～ +125°C			1.5	
I_{OS}	入力オフセット電流				7	200	nA
			T_A = –40°C ～ +125°C			300	
CMRR	同相信号除去比	V_S = 32V、V– < V_{CM} < (V+) – 2V (メイン入力ペア)	T_A = –40°C ～ 125°C	109	125		dB
		V_S = 5V、V– < V_{CM} < (V+) – 2V (メイン入力ペア)(1)	T_A = –40°C ～ 125°C	93	111		
		V_S = 2.7V、V– < V_{CM} < (V+) – 2V (メイン入力ペア)	T_A = –40°C ～ 125°C		114		
		V_S = 2.7 – 32V、(V+) – 1V < V_{CM} < V+ (補助入力ペア)	T_A = –40°C ～ 125°C		77		
		(V+) - 2V < V_{CM} < (V+) - 1V	T_A = –40°C ～ 125°C	オフセット電圧と同相電圧との関係 (新しいダイ) を参照			
PSRR	電源除去比	V_{CM} = V–、V_S = 5V ～ 32V	T_A = –40°C ～ 125°C	78	104		dB
		V_{CM} = V–、V_S = 2.7V ～ 32V	T_A = –40°C ～ 125°C	74			
V_{CM}	同相入力電圧範囲			(V-) - 0.1		(V+) + 0.1	V
A_{VOL}	開ループ電圧ゲイン	V_S = 32V、V_{CM} = V_S / 2、(V–) + 1V < V_O < (V+) – 1V		75	87		dB
			T_A = –40°C ～ 125°C	70	87		
		V_S = 5V、V_{CM} = V_S / 2、(V–) + 1V < V_O < (V+) – 1V(1)		74	80		
			T_A = –40°C ～ 125°C	70	80		
		V_S = 2.7V、V_{CM} = V_S / 2、(V–) + 1V < V_O < (V+) – 1V(1)		65	80		
			T_A = –40°C ～ 125°C	62	80		
V_{OUT}	出力電圧スイング High	V_{ID} = 100mV			50	150	各レールからの mV
			T_A = –40°C ～ +125°C			160	
		R_L = 2kΩ V_{ID} = 100mV			50	250	
			T_A = –40°C ～ +125°C			280	
	出力電圧スイング Low	V_{ID} = -100mV			50	120	
			T_A = –40°C ～ +125°C			150	
		R_L = 2kΩ V_{ID} = -100mV			50	120	
			T_A = –40°C ～ +125°C			150	

Copyright © 2026 Texas Instruments Incorporated

5.5 電気的特性 (続き)

V_S = (V+) – (V–) = 2.7V ～ 32V (±1.35V ～ ±16V)、T_A = 25°C、R_L = 10kΩ を V_S/2 に接続、V_{CM} = V_S/2、V_{OUT} = V_S/2 の場合、特に記述のない限り。

パラメータ		テスト条件		最小値	標準値	最大値	単位
I_{OUT}	出力電流	V_S = 32V		±40	±125		mA
		V_S = 5V(1)		±35	±85		
			T_A = –40°C ～ +125°C	±20			
		V_S = 2.7V(1)		±30	±60		
			T_A = –40°C ～ +125°C	±20			
I_S	電源電流 (チャネルあたり)				1.35	1.93	mA
			T_A = –40°C ～ +125°C			2.23	
SR	スルーレート	A_V = +1、V_I = 10V ステップ			35		V/µs
f_u	ユニティ ゲイン周波数	R_L = 2kΩ、C_L = 20pF			11		MHz
GBW	ゲイン帯域幅	f = 50kHz			24		MHz
e_n	入力換算電圧ノイズ密度	f = 2kHz			11.9		nV/√Hz
i_n	入力換算電流ノイズ密度	f = 2kHz			0.5		pA/√Hz
THD+N	全高調波歪 + ノイズ	V^+ = 1.9V、V^- = −0.8V f = 1kHz、R_L = 100kΩ、A_V = +2 V_{OUT} = 210mV_{PP}			-113		dB
CT Rej.	クロストーク除去	f = 100kHz、Driver R_L = 10kΩ			60		dB

(1) 特性評価のみによって規定されています。

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性

従来のダイ:特に記述のない限り:T_A = 25°C。新しいダイ:T_A = 25°C、vs = ±16V、V_{CM} = vs/2、R_L = 10kΩ (特に記述のない限り)

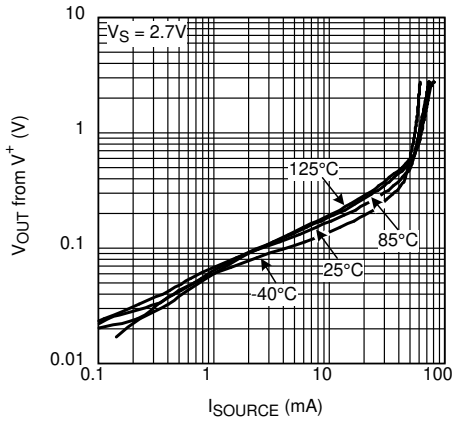


図 5-1. 出力スイングとソース電流との関係、従来のダイ

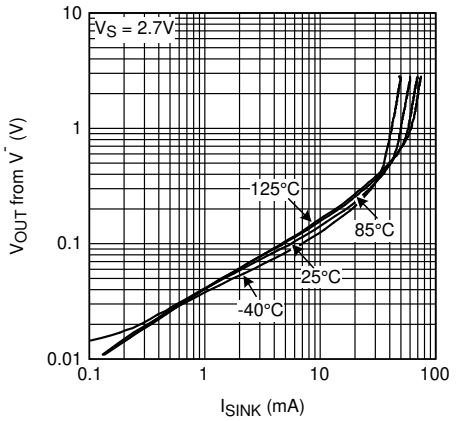


図 5-2. 出力スイングとシンク電流との関係、従来のダイ

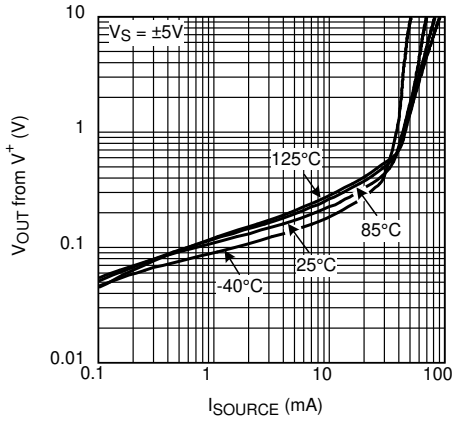


図 5-3. 出力スイングとソース電流との関係、従来のダイ

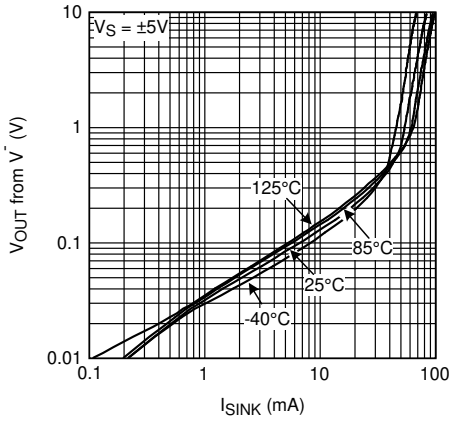


図 5-4. 出力スイングとシンク電流との関係、従来のダイ

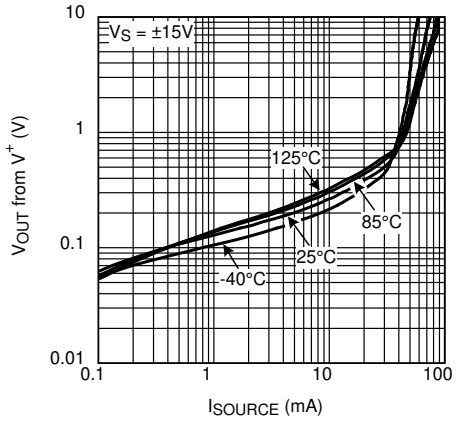


図 5-5. 出力スイングとソース電流との関係、従来のダイ

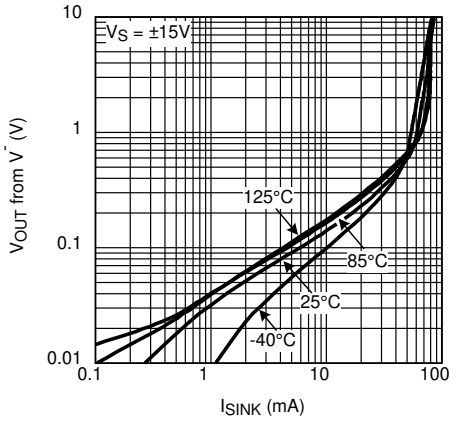


図 5-6. 出力スイングとシンク電流との関係、従来のダイ

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

従来のダイ:特に記述のない限り:T_A = 25°C。新しいダイ:T_A = 25°C、vs = ±16V、V_{CM} = vs/2、R_L = 10kΩ (特に記述のない限り)

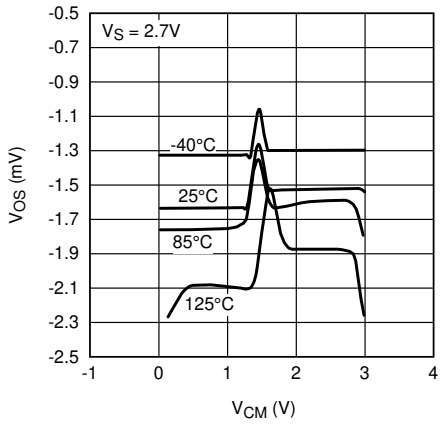


図 5-7. V_{OS} と V_{CM} との関係 (ユニット 1)、従来のダイ

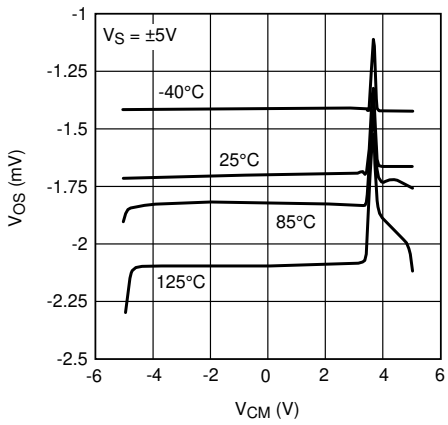


図 5-8. V_{OS} と V_{CM} との関係 (ユニット 1)、従来のダイ

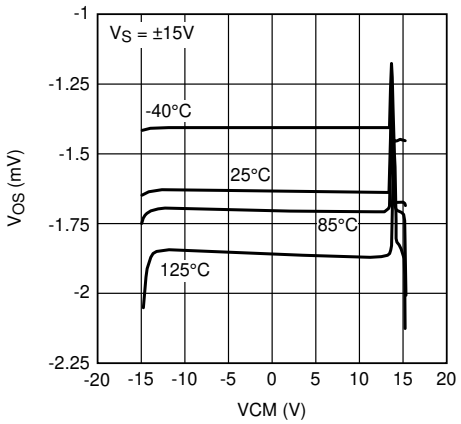


図 5-9. V_{OS} と V_{CM} との関係 (ユニット 1)、従来のダイ

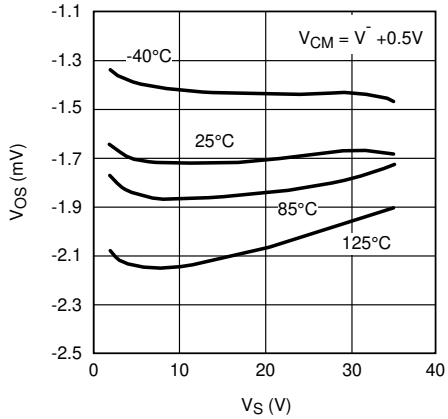


図 5-10. V_{OS} と (ユニット 1) との関係、従来のダイ

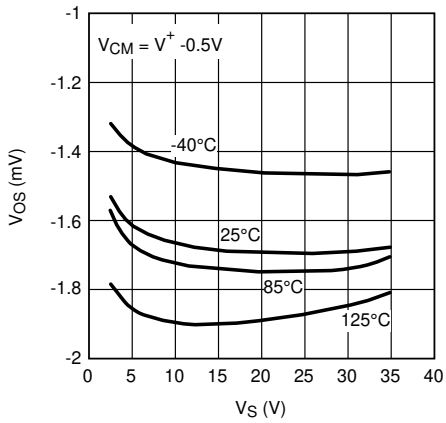


図 5-11. V_{OS} と (ユニット 1) との関係、従来のダイ

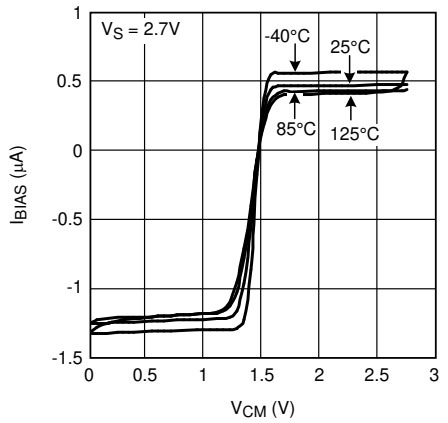


図 5-12. I_{BIAS} と V_{CM} との関係、従来のダイ

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

従来のダイ:特に記述のない限り:T_A = 25°C。新しいダイ:T_A = 25°C、vs = ±16V、V_{CM} = vs/2、R_L = 10kΩ (特に記述のない限り)

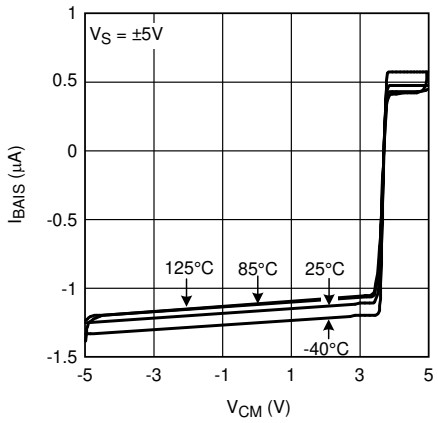


図 5-13. I_{BIAS} と V_{CM} との関係、従来のダイ

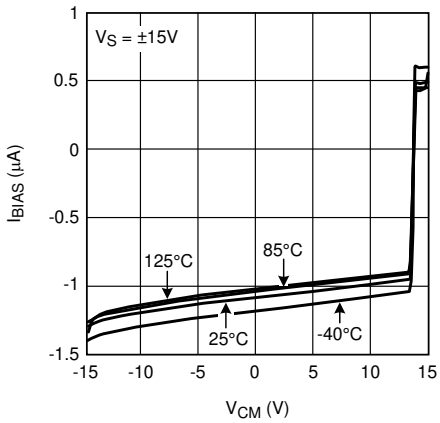


図 5-14. I_{BIAS} と V_{CM} との関係、従来のダイ

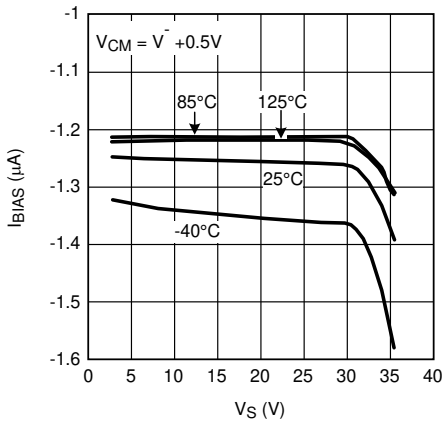


図 5-15. I_{BIAS} と従来のダイとの関係

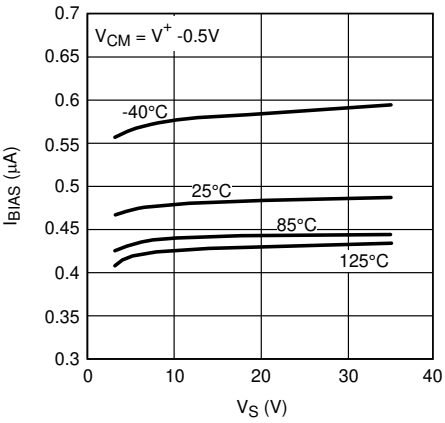


図 5-16. I_{BIAS} と従来のダイとの関係

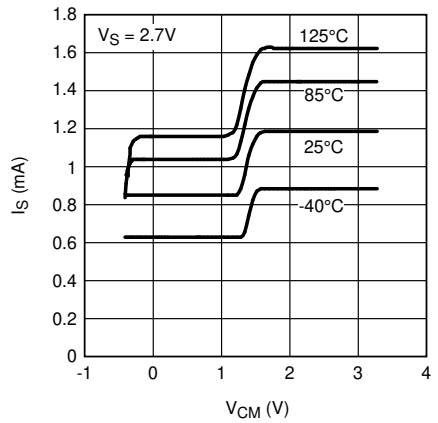


図 5-17. I_S と V_{CM} との関係 (LM7321)、従来のダイ

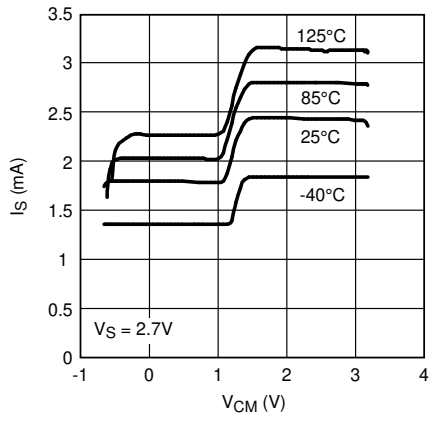


図 5-18. I_S と V_{CM} との関係 (LM7322)、従来のダイ

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

従来のダイ:特に記述のない限り:T_A = 25°C。新しいダイ:T_A = 25°C、vs = ±16V、V_{CM} = vs/2、R_L = 10kΩ (特に記述のない限り)

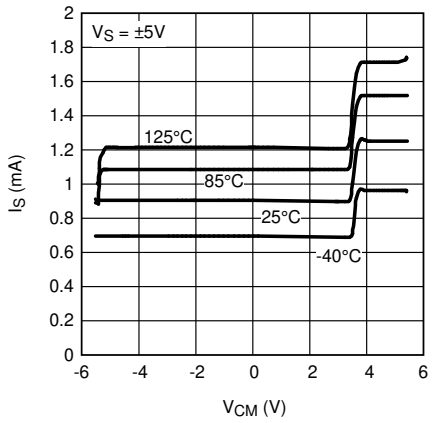


図 5-19. I_S と V_{CM} との関係 (LM7321)、従来のダイ

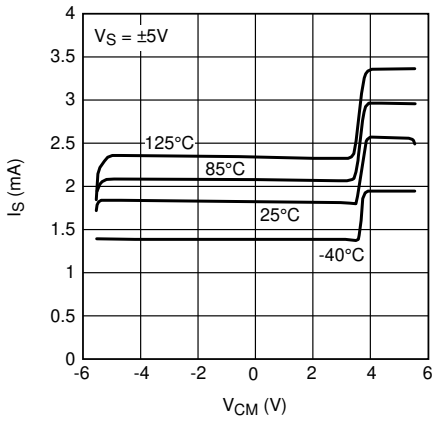


図 5-20. I_S と V_{CM} との関係 (LM7322)、従来のダイ

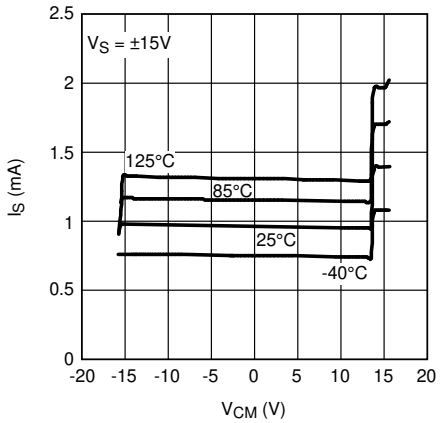


図 5-21. I_S と V_{CM} との関係 (LM7321)、従来のダイ

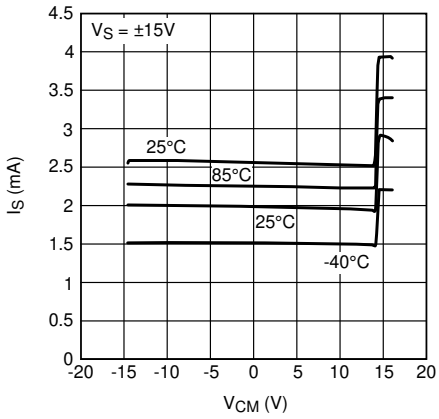


図 5-22. I_S と V_{CM} との関係 (LM7322)、従来のダイ

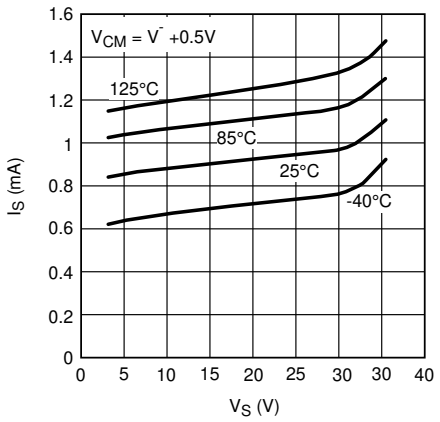


図 5-23. I_S と (LM7321) との関係、従来のダイ

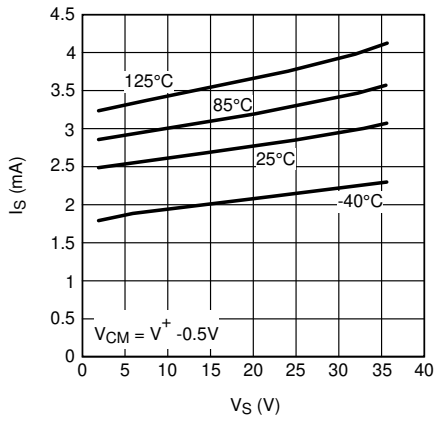


図 5-24. I_S と (LM7322) との関係、従来のダイ

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

従来のダイ:特に記述のない限り:T_A = 25°C。新しいダイ:T_A = 25°C、vs = ±16V、V_{CM} = vs/2、R_L = 10kΩ (特に記述のない限り)

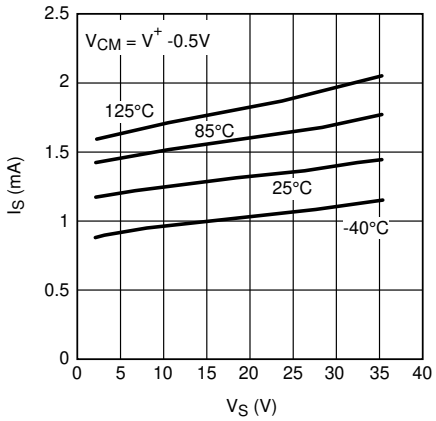


図 5-25. I_S と (LM7321) との関係、従来のダイ

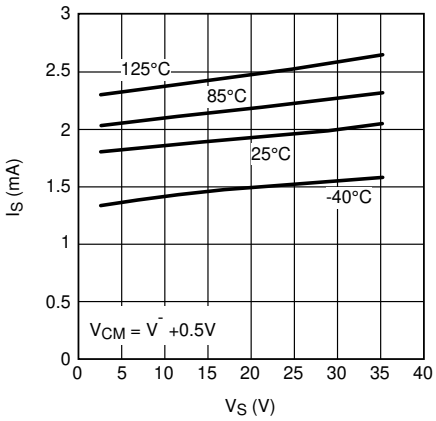


図 5-26. I_S と (LM7322) との関係、従来のダイ

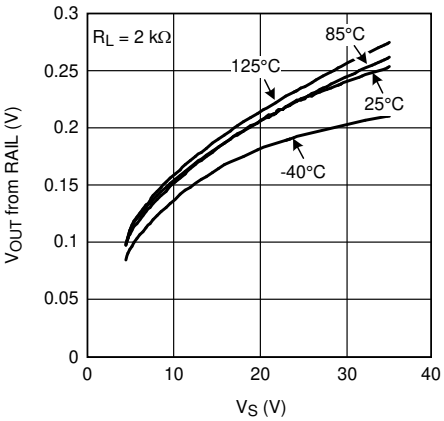


図 5-27. 正の出力スイングと電源電圧との関係、従来のダイ

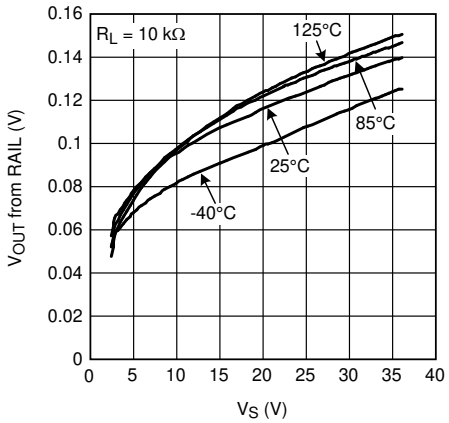


図 5-28. 正の出力スイングと電源電圧との関係、従来のダイ

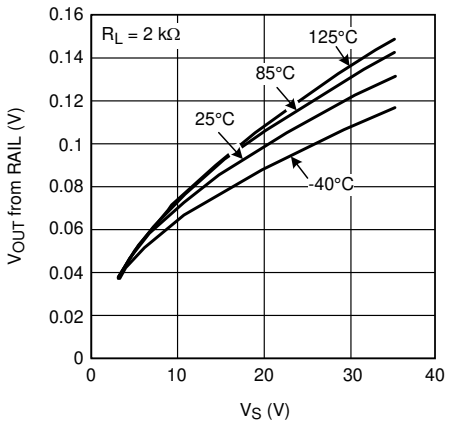


図 5-29. 負の出力スイングと電源電圧との関係、従来のダイ

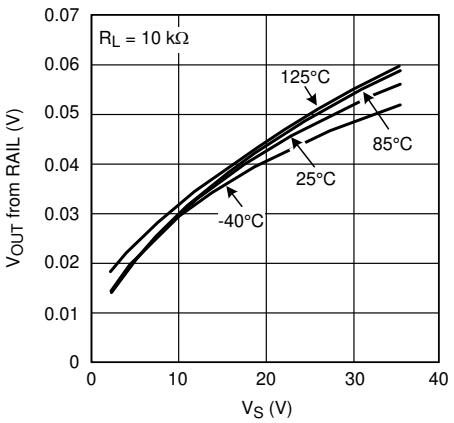


図 5-30. 負の出力スイングと電源電圧との関係、従来のダイ

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

従来のダイ:特に記述のない限り:T_A = 25°C。新しいダイ:T_A = 25°C、vs = ±16V、V_{CM} = vs/2、R_L = 10kΩ (特に記述のない限り)

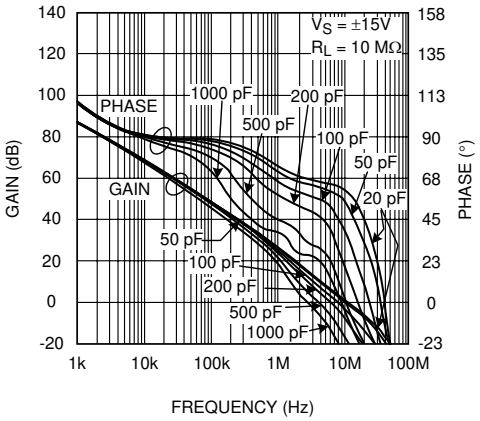


図 5-31. さまざまな容量性負荷における開ループ周波数応答、従来のダイ

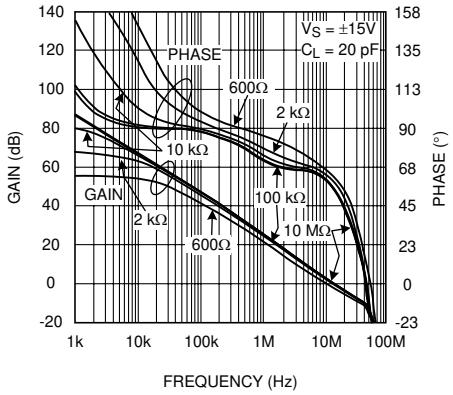


図 5-32. さまざまな抵抗性負荷における開ループ周波数応答、従来のダイ

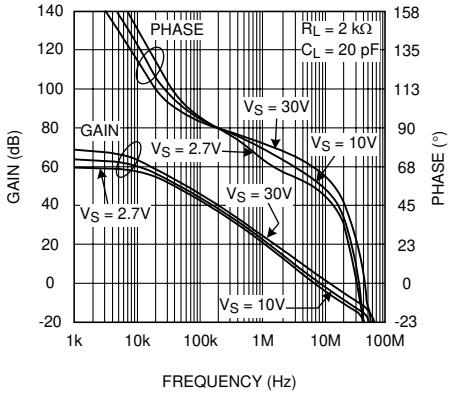


図 5-33. さまざまな電源電圧における開ループ周波数応答、従来のダイ

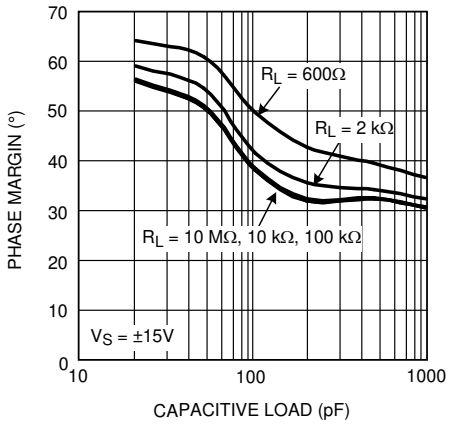


図 5-34. 位相マージンと容量性負荷との関係、従来のダイ

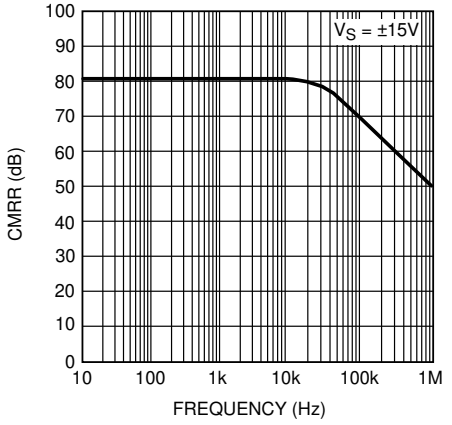


図 5-35. 同相信号除去比と周波数との関係、従来のダイ

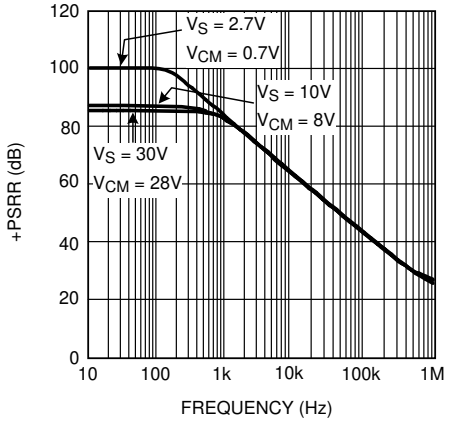


図 5-36. +PSRR と周波数との関係、従来のダイ

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

従来のダイ:特に記述のない限り:T_A = 25°C。新しいダイ:T_A = 25°C、vs = ±16V、V_{CM} = vs/2、R_L = 10kΩ (特に記述のない限り)

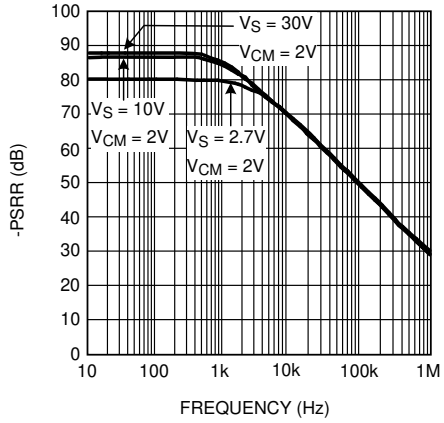


図 5-37. −PSRR と周波数との関係、従来のダイ

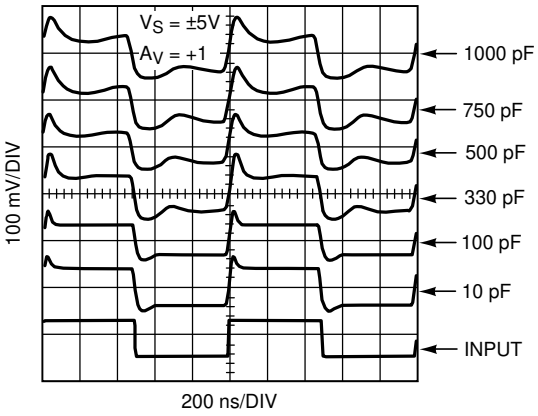


図 5-38. 小信号ステップ応答、従来のダイ

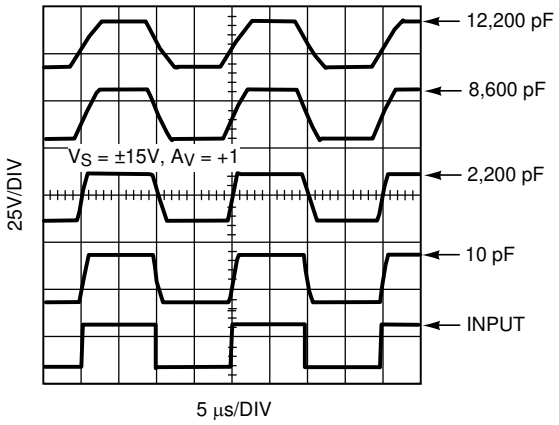


図 5-39. 大信号ステップ応答、従来のダイ

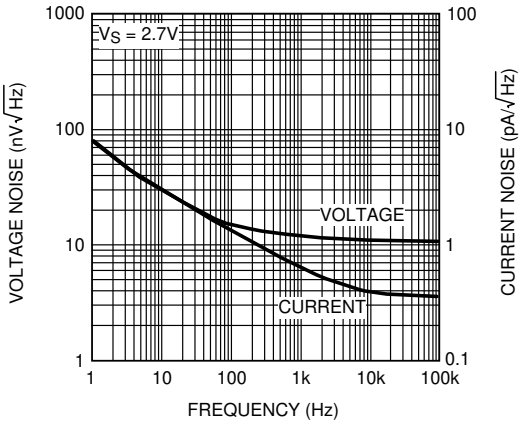


図 5-40. 入力換算ノイズ密度と周波数との関係、従来のダイ

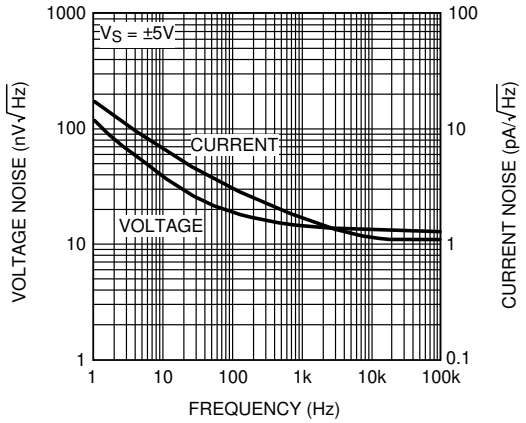


図 5-41. 入力換算ノイズ密度と周波数との関係、従来のダイ

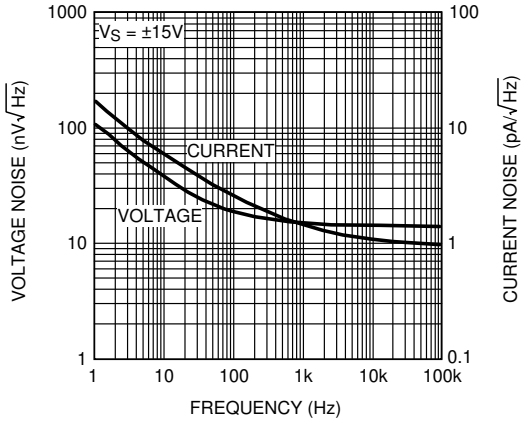


図 5-42. 入力換算ノイズ密度と周波数との関係、従来のダイ

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

従来のダイ:特に記述のない限り:T_A = 25°C。新しいダイ:T_A = 25°C、vs = ±16V、V_{CM} = vs/2、R_L = 10kΩ (特に記述のない限り)

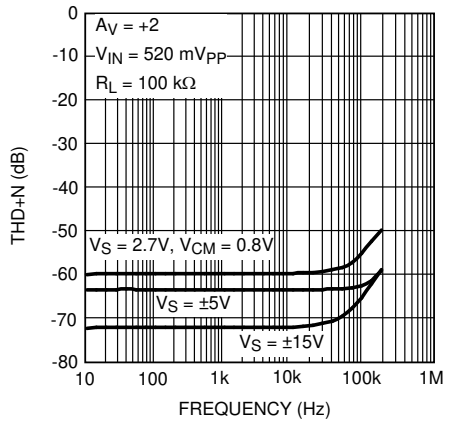


図 5-43. THD+N と周波数との関係、従来のダイ

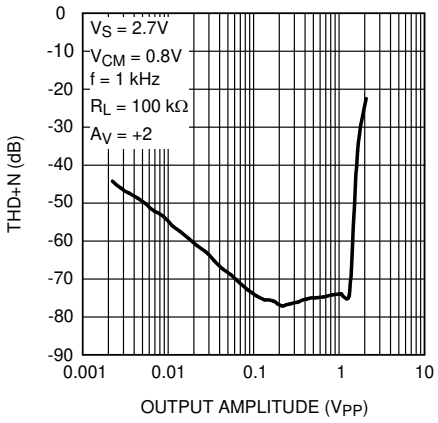


図 5-44. THD+N と出力振幅との関係、従来のダイ

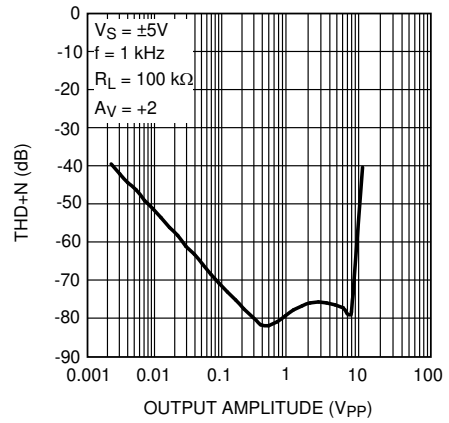


図 5-45. THD+N と出力振幅との関係、従来のダイ

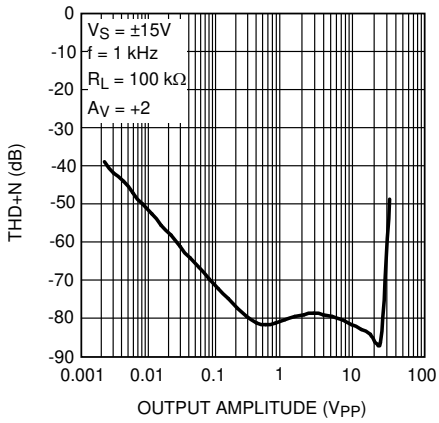


図 5-46. THD+N と出力振幅との関係、従来のダイ

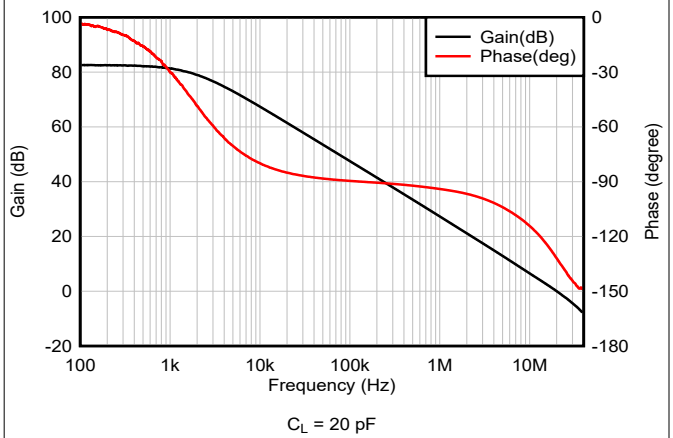


図 5-47. 開ループ ゲインおよび位相と周波数との関係、新しいダイ

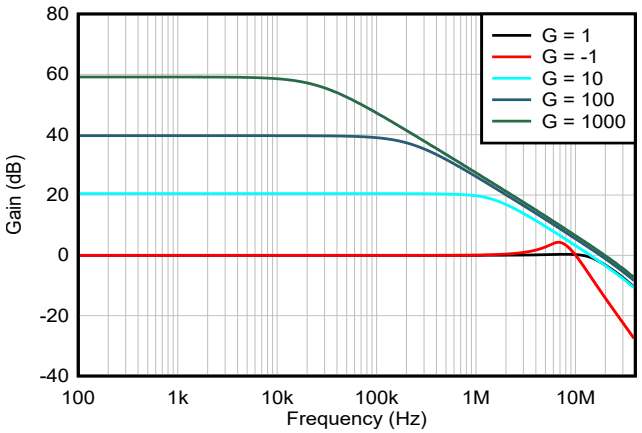


図 5-48. 閉ループ ゲインと周波数との関係、新しいダイ

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

従来のダイ:特に記述のない限り:T_A = 25°C。新しいダイ:T_A = 25°C、vs = ±16V、V_{CM} = vs/2、R_L = 10kΩ (特に記述のない限り)

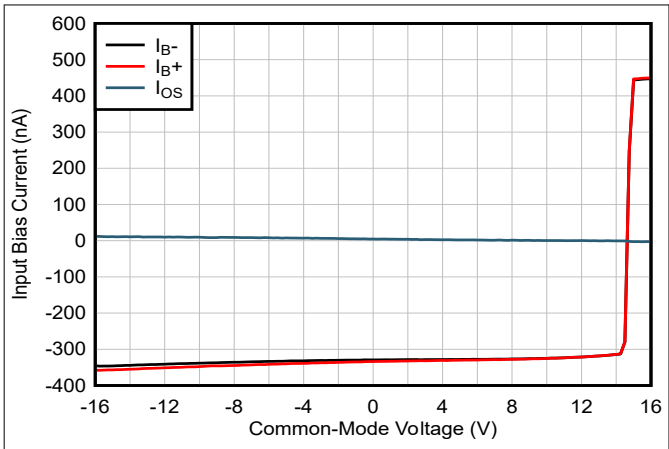


図 5-49. 入力バイアス電流およびオフセット電流と同相温度との関係、新しいダイ

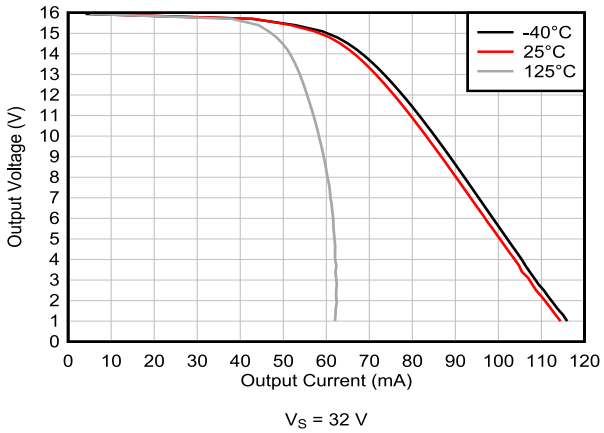


図 5-50. 出力電圧スイングと出力電流との関係 (ソース)、新しいダイ

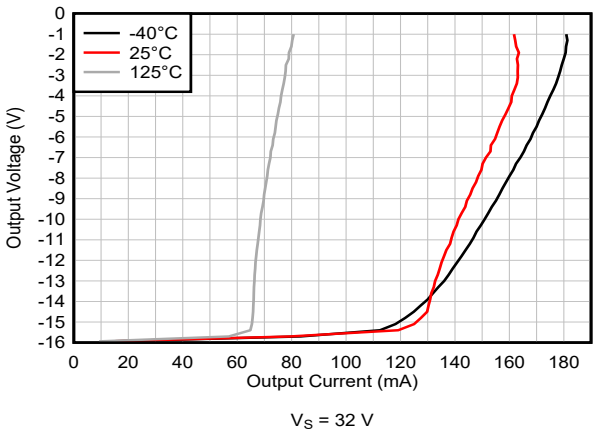


図 5-51. 出力電圧スイングと出力電流との関係 (シンク)、新しいダイ

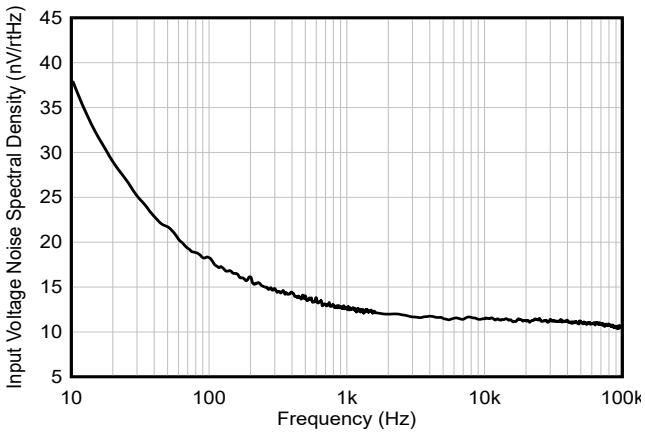


図 5-52. 入力電圧ノイズのスペクトル密度と周波数との関係、新しいダイ

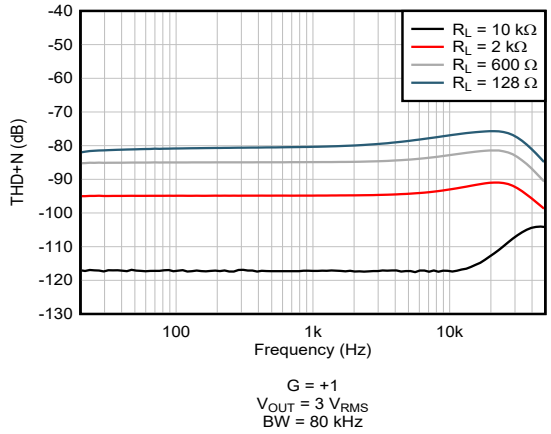


図 5-53. THD+N 比と周波数との関係、新しいダイ

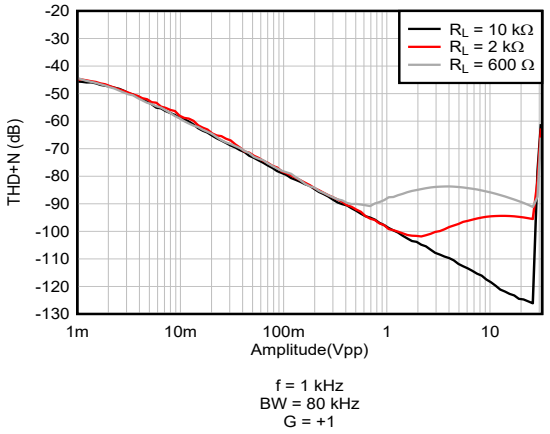


図 5-54. THD+N と出力振幅との関係、新しいダイ

Copyright © 2026 Texas Instruments Incorporated

5.6 代表的特性 (続き)

従来のダイ:特に記述のない限り:T_A = 25°C。新しいダイ:T_A = 25°C、vs = ±16V、V_{CM} = vs/2、R_L = 10kΩ (特に記述のない限り)

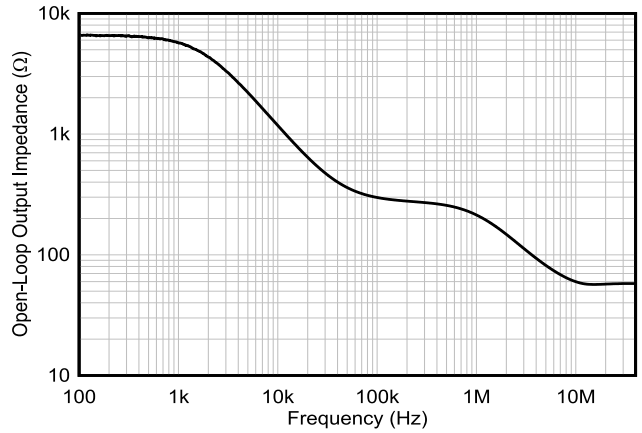


図 5-55. 開ループ出力インピーダンスと周波数の関係、新しいダイ

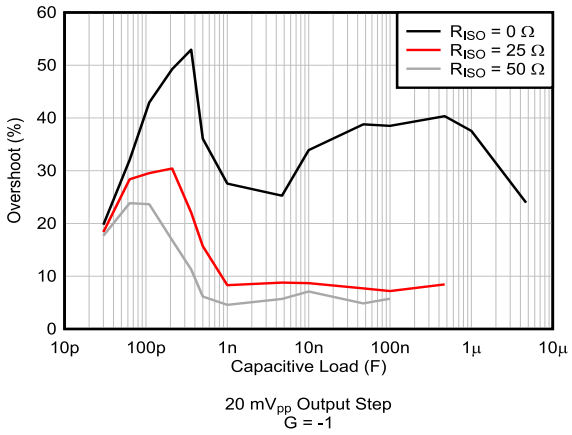


図 5-56. 小信号オーバーシュートと容量性負荷との関係、新しいダイ

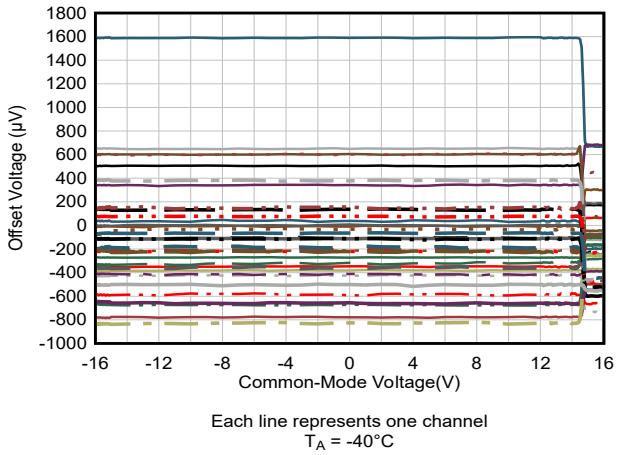


図 5-57. オフセット電圧と同相電圧との関係 (新しいダイ)

Copyright © 2026 Texas Instruments Incorporated

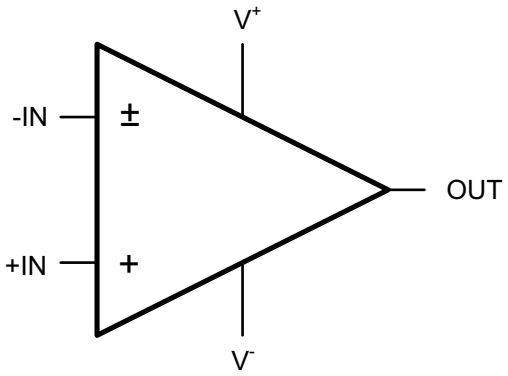
6 詳細説明

6.1 概要

LM732xx デバイスは、広い動作電圧範囲と大出力電流に対応するレール ツー レール入出力アンプです。LM732xx ファミリは効率的で、35V/µs のスルーレートと 24MHz ゲイン帯域幅を実現すると同時に、オペアンプ 1 つあたりの消費電流は 1.35mA のみで済みます。LM732xx デバイスの性能は、2.7V ～ 32V で完全に動作が規定されています。

LM732xx デバイスは、発振することなく無制限の容量性負荷を駆動できるように設計されています。この広い電圧範囲にわたって同相信号除去が 90dB で、レール ツー レールの入力同相電圧範囲を超えることから、ハイサイドとローサイドの両方のセンシングが可能です。ほとんどのデバイス パラメータは電源電圧の影響を受けないため、車載電気システムやバッテリ動作装置など、電源電圧が変化する可能性がある場合でも部品を簡単に使用できます。

6.2 機能ブロック図



6.3 機能説明

6.3.1 出力短絡電流および損失の問題

LM732xx の出力段は最大出力電流能力を実現するように設計されています。出力が瞬間的にグランドに短絡しても、すべての動作電圧においていずれかの電源が許容されますが、短絡が長時間続く条件下では、特に電源電圧が高い場合に接合部温度がデバイスの絶対最大定格を超える可能性があります。電源電圧が 6V を下回ると、出力短絡状態は無制限に許容されます。

オペアンプを負荷に接続する場合、デバイスの消費電力には、負荷電流に起因する消費電力だけでなく、デバイスに流れる電源電流に起因する静止消費電力も含まれます。電力の負荷の一部には、平均値 (DC 負荷電流による) と AC 成分が含まれる可能性があります。出力電圧オフセットがある場合、出力 AC 平均電流がゼロでない場合、または出力が線形動作の範囲内のどこかで維持される単一電源アプリケーションでオペアンプが動作している場合、DC 負荷電流が流れます。

したがって、次のようになります。

$$P_{TOTAL} = P_Q + P_{DC} + P_{AC} \quad (1)$$

オペアンプの静止消費電力は次のように計算されます。

$$P_Q = I_S \times V_S \quad (2)$$

ここで、

- I_S：電源電流
- V_S：全電源電圧 ($V^+ - V^-$)

DC 負荷電力は次のように計算されます。

$$P_{DC} = I_O \times (V_r - V_o) \quad (3)$$

ここで、

- V_O：平均出力電圧
- V_r：ソース電流は V^+、シンク電流は V^-

AC 負荷電力は P_{AC} として算出されます (表 6-1 を参照)。

表 6-1 に、標準的な正弦波、三角波、方形波において、オペアンプで消費される負荷電力の最大 AC 成分を示します。

表 6-1. 標準波形における出力段で正規化された AC 消費電力

P_{AC} (W.Ω/V^2)		
正弦波	三角波	方形波
50.7 × 10^{-3}	46.9 × 10^{-3}	62.5 × 10^{-3}

表の項目は $V_S{}^2/R_L$ に正規化されています。消費電力の AC 負荷電流成分を把握するには、出力波形に相当する表の項目を係数 $V_S{}^2/R_L$ で乗算します。たとえば、±12V 電源、600Ω 負荷、三角波の出力段の消費電力は次のように計算されます。

$$P_{AC} = \left(46.9 \times 10^{-3}\right) \times \left(\frac{576}{600}\right) = 45.0\text{mW} \quad (4)$$

特定の温度において許容される最大消費電力は、許容される最大ダイ接合部温度 ($T_{J(MAX)}$)、周囲温度 Ta、および接合部 $_A$、および接合部 周囲間のパッケージ熱抵抗 θ_{JA} の関数となります。

$$P_{D(MAX)} = \frac{T_{J(MAX)} - T_A}{\theta_{JA}} \quad (5)$$

LM732xx の場合、許容される最大接合部温度は 150°C で、消費電力は許容されません。25°C の電力能力は次の計算で求められます。

VSSOP パッケージ (デュアル チャネル) の場合：

$$P_{D(Max)} = \frac{150°C - 25°C}{169.6°C} = 0.737\text{W} \quad (6)$$

SOIC パッケージ (シングル チャネル) の場合：

$$P_{D(Max)} = \frac{150°C - 25°C}{133.5°C} = 0.936\text{W} \quad (7)$$

同様に、125°C の電力能力は次の計算で求められます。

VSSOP パッケージ (デュアル チャネル) の場合：

Copyright © 2026 Texas Instruments Incorporated

$$P_{D(Max)} = \frac{150°C - 125°C}{169.6°C} = 0.147W \quad (8)$$

SOIC パッケージ (シングル チャネル) の場合:

$$P_{D(Max)} = \frac{150°C - 125°C}{124°C} = 0.202W \quad (9)$$

大電力が必要で、周囲温度を低減できない場合、熱抵抗を低減するための効果的なアプローチはエアフローを提供することです。そのため、電力能力を向上させることができます。

6.4 デバイスの機能モード

6.4.1 容量性負荷の駆動

図 6-1 に示されているように、LM732xx は、発振することなく無制限の容量性負荷を駆動できるように特別に設計されています

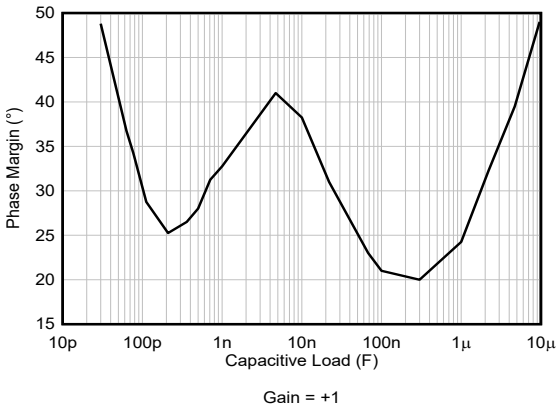


図 6-1. 位相マージンと容量性負荷との関係

さらに、このデバイスの出力電流処理能力により、大きな容量性負荷でも良好なスルー特性が得られます。これらの機能を組み合わせることで、TFT フラット パネル バッファや A/D コンバータ入力アンプなどのアプリケーションに実用的なものとなります。

ただし、大半のオペアンプと同様に、オペアンプと容量性負荷の間に直列絶縁抵抗を追加すると、セトリングおよびオーバーシュートの性能が向上します。許容可能な位相マージンを維持するために、無制限の容量性負荷駆動デバイスは、より大きな容量性負荷の下でゲイン帯域幅積を減少させます。LM732x は、大きな容量性負荷がない場合、24MHz のゲイン帯域幅積を持つように規定されていますが、この値は、従来型のアンプが不安定になり始める時点から低下し始めます。このトレードオフこそが、出力駆動能力を拡張するものです。LM732x は、容量性負荷の大きい多くの汎用アプリケーションで十分なヘッドルームを確保できるように、広いゲイン帯域幅積を持つように設計されています。

Copyright © 2026 Texas Instruments Incorporated

6.4.2 電気的オーバーストレス

設計者は多くの場合、オペアンプが電気的オーバーストレス (EOS) にどの程度耐えられるのかという質問をします。これらの質問は、主にデバイスの入力に関するものですが、電源電圧ピンや、さらに出力ピンにも関係する場合があります。これらの各ピンの機能には、特定の半導体製造プロセスの電圧ブレークダウン特性と、ピンに接続された特定の回路とで決まる電気的ストレスの制限値があります。また、これらの回路には内部静電気放電 (ESD) 保護機能が組み込まれており、製品の組み立て前と組み立て中の両方で、偶発的な ESD イベントから保護します。

この基本的な ESD 回路と、それが電気的オーバーストレス事象とどのように関連しているかを十分に理解しておくことは有益です。LM732x に含まれる ESD 回路の図を、代表的な回路アプリケーションと比較して等価な内部 ESD 回路 に示します (破線で囲まれている部分)。ESD 保護回路には、いくつかの電流ステアリング ダイオードが含まれており、これらは入力ピンや出力ピンから接続され、内部の電源ラインに戻るようルーティングされます。これらのダイオードは、オペアンプ内部の吸収デバイスや電源 ESD セルで接続されます。この ESD 保護機能は、双方向入力ダイオードも内蔵されており、入力トランジスタを大きな差動信号から保護することを目的としています。この保護回路は、通常の回路動作中は非アクティブに保たれるよう設計されます。

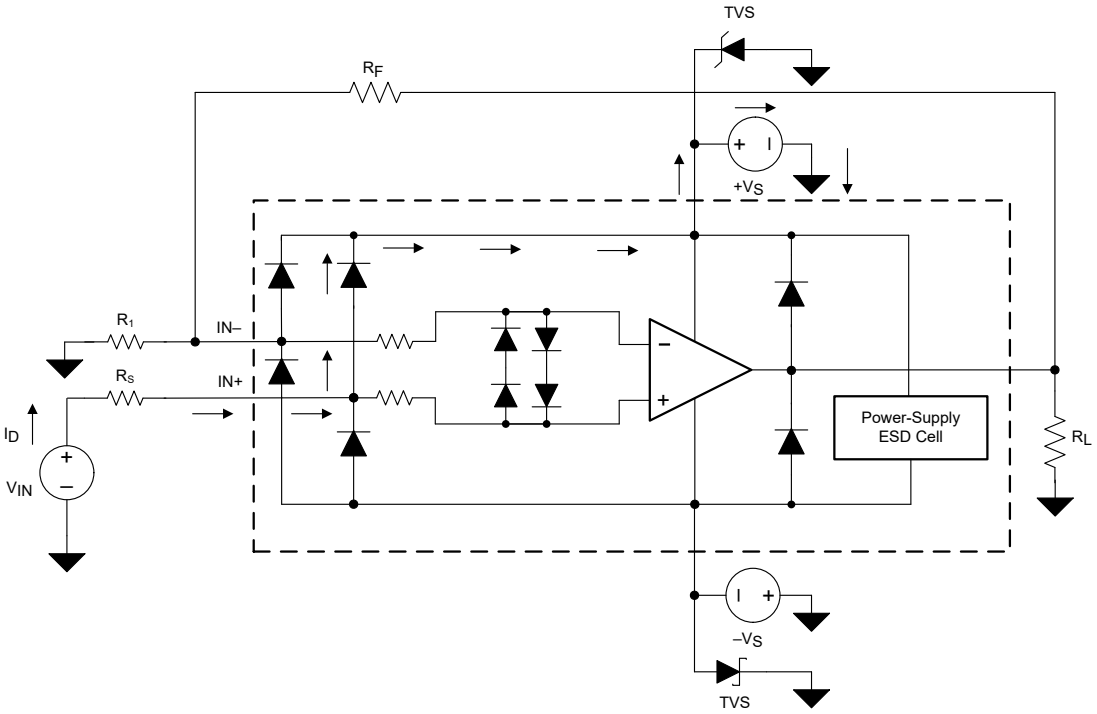


図 6-2. 代表的な回路アプリケーションと比較して等価な内部 ESD 回路

Copyright © 2026 Texas Instruments Incorporated

ESD イベントがあると、短時間の高電圧パルスが発生し、それが半導体デバイスを通って放電する際に、短時間の大電流パルスに変わります。ESD 保護回路は、オペアンプ コアを迂回する電流経路を提供して、損傷を防止するように設計されています。保護回路によって吸収されたエネルギーは、熱として放散されます。

ESD 電圧がアンプの複数の端子間に発生すると、1 つ以上のステアリング ダイオードを通じて電流が流れます。電流が流れる経路に応じて、吸収デバイスがアクティブになります。吸収デバイスは、LM732x の通常動作電圧より高く、かつデバイスのブレークダウン電圧レベルより低いトリガ電圧 (スレッショルド電圧) を備えています。このスレッショルドを超えると、吸収デバイスが迅速にアクティブになり、電源レールの電圧を安全なレベルにクランプします。

オペアンプを回路に接続したとき (代表的な回路アプリケーションと比較して等価な内部 ESD 回路 参照)、ESD 保護部品は非アクティブのままであり、アプリケーション回路の動作に関与しません。このデバイスをコンパレータ構成で使用すると、差動信号が大きい場合に双方向入力ダイオードをアクティブにできます。印加される電圧が特定の端子の動作電圧範囲を超える状況が発生することがあります。この状況が発生した場合、一部の内部 ESD 保護回路がオンになって電流が流れるリスクがあります。このような電流の流れは、ステアリング ダイオード パスを経由して発生し、吸収デバイスが関係することはほとんどありません。

代表的な回路アプリケーションと比較して等価な内部 ESD 回路は、入力電圧 (V_{IN}) が正電源電圧 ($+V_S$) を 500mV 以上上回る具体的な例を示しています。この回路で発生する現象の多くは、電源の特性によって異なります。$+V_S$ が電流をシンクできる場合、上側の入力ステアリング ダイオードの 1 つが導通し、電流を $+V_S$ へ導きます。V_{IN} が高くなると、非常に高いレベルの電流が流れる可能性があります。その結果、データシートの仕様では、アプリケーションが入力電流を 10mA に制限することを推奨しています。

電源が電流をシンクできない場合、V_{IN} はオペアンプへの電流ソースを開始し、その後、正の電源電圧供給を引き継ぐことができます。この場合の危険は、電圧がオペアンプの絶対最大定格を超えるレベルまで上昇する可能性があることです。

もう 1 つのよくある疑問は、電源 $+V_S$ または $–V_S$ が 0V の状態で入力に信号が印加された場合、アンプに何が起こるのかという点です。ここでも、電源が 0V または入力信号の振幅より低いレベルにあるときの電源特性によって状況が変わります。見かけ上、電源のインピーダンスが高い場合、オペアンプの電流は入力ソースから電流ステアリング ダイオードを経由して供給されます。この状態は正常なバイアス状態ではありません。アンプは正常に動作しない可能性がきわめて高くなります。電源のインピーダンスが低い場合には、ステアリング ダイオードを流れる電流が非常に大きくなる可能性があります。電流レベルは、入力ソースが電流を供給できる能力と、入力パスに存在する抵抗によって異なります。

この電流を吸収する電源の能力が不確実である場合は、外部ツェナー ダイオードを電源端子に追加します (代表的な回路アプリケーションと比較して等価な内部 ESD 回路を参照)。通常動作中にダイオードがオンにならないようなツェナー電圧を選択します。ただし、電源端子が安全な動作電源電圧レベルを超えそうになった場合にはツェナー ダイオードが導通する程度に、ツェナー電圧を低くする必要があります。

LM732x の入力端子は、バック ツー バック ダイオードにより、過剰な差動電圧から保護されています (代表的な回路アプリケーションと比較して等価な内部 ESD 回路を参照)。ほとんどの回路アプリケーションでは、入力保護回路は何の影響も及ぼしません。ただし、低ゲインまたは G = 1 の回路では、アンプの出力が入力ランプに十分な速さで応答できないため、これらのダイオードに高速ランプ入力信号によって順バイアスがかかる可能性があります。入力信号が十分に速く、この順バイアスの状況が発生する場合は、入力信号電流を 10mA 以下に制限してください。入力信号電流が本質的に制限されていない場合は、入力直列抵抗を使用して入力信号電流を制限できます。この入力直列抵抗は、LM732x の低ノイズ性能を低下させます。代表的な回路アプリケーションと比較して等価な内部 ESD 回路 に、電流を制限する帰還抵抗を実装する構成例を示します。

6.4.3 従来のダイと新しいダイの比較

このデータシートの改訂 F 版の発行時点で、テキサス インスツルメンツは、LM732x のダイの製造を最新の製造拠点に移動しました。このドキュメントでは、2 つの異なるダイを「古い」(以前の製造拠点) および「新しい」ダイと呼びます。ダイの原点は、配送情報の「チップ ソース オリジン」(CSO) パラメータから分離することができます。古いダイ CSO は「GF6」で、新しいダイ CSO は「RFB」です。このデータシートでは、比較のため、古いダイの情報を保持していますが、新しい製造はすべて新しいダイに移行しています。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 代表的なアプリケーション

図 7-1 に、TFT LCD フラット パネルで採用される V_{COM} 信号のバッファ アンプとして LM732xx を使用する代表的なアプリケーションを示します。

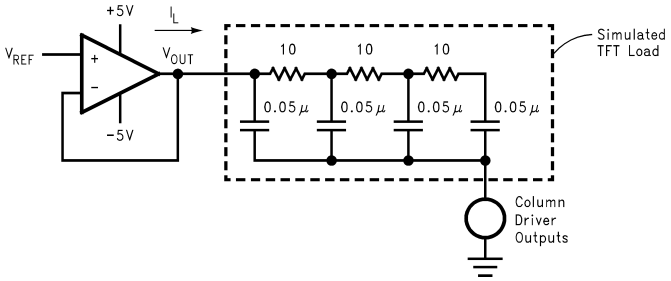


図 7-1. V_{COM} ドライバ アプリケーションの回路図

7.2 レイアウト

7.2.1 レイアウトのガイドライン

電源ピンとグランド間のバイパス コンデンサ接続によって形成されるループ面積を最小限に抑えるよう注意してください。デバイスの下のグランド プレーンを推奨します。グランドへのバイパス部品は、グランド プレーンへの近くにビアを配置する必要があります。最適なバイパス コンデンサの配置は、対応する電源ピンのできるだけ近くに配置する必要があります。バイパス コンデンサから対応する電源ピンまでのパターンが太いため、電源のインダクタンスが減少し、電源の安定性が向上します。

浮遊寄生成分を最小限に抑えるため、フィードバック部品はデバイスの可能な限り近くに配置する必要があります。

Copyright © 2026 Texas Instruments Incorporated

7.2.2 レイアウト例

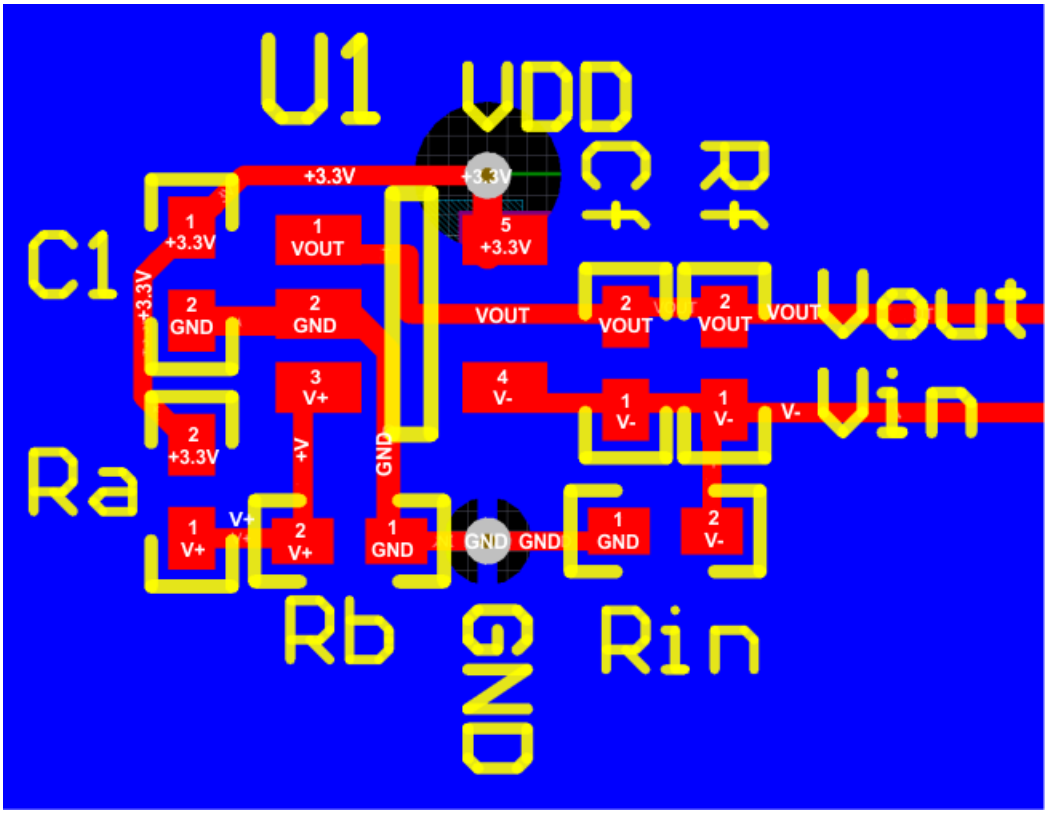


図 7-2. LM732xx のレイアウト例

8 電源に関する推奨事項

ほとんどのアプリケーションでは、電源デカップリングを使用する必要があります。大半の比較的高速または大出力電流のオペアンプと同様、最良の結果が得られるのは、各電源ラインが 2 つのコンデンサでデカップリングされているときです。大きな値のタンタルまたはアルミニウム (> 4.7µF) に加えて、電源リードのすぐ近くに小さな値のセラミック コンデンサ (約 0.01µF) を配置します。必要に応じて、大容量コンデンサを複数のデバイスで共有できます。小型のセラミック コンデンサは高周波で低い電源インピーダンスを維持し、大容量のコンデンサはオペアンプ出力で高速負荷電流スパイクの電荷「バケット」として機能します。これらのコンデンサを組み合わせると電源のデカップリングが可能になり、どのような負荷がある場合でもオペアンプの発振を防止できます。

Copyright © 2026 Texas Instruments Incorporated

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision E (September 2015) to Revision F (March 2022)	Page
• 新しいダイの仕様に合わせて「特長」セクションを更新	1
• 新しいダイの仕様に合わせて「説明」セクションを更新	1
• 新しいダイの仕様に基づき、「絶対最大定格」セクションを更新	4
• 電源電圧の最小値を「2.5V」から「2.7V」に更新	4
• 接合部 周囲間の熱抵抗を「165°C/W」、「325°C/W」、「235°C/W」から「133.5°C/W」、「185.4°C/W」、「169.6°C/W」にそれぞれ更新	4
• 入力オフセット電圧の標準値を「±0.7mV」から「±0.35mV」に更新	5
• 入力オフセット電圧の温度ドリフトの標準値を「±2µV/°C」から「2.5µV/°C」に更新	5
• 入力バイアス電流の標準値を「−1.2µA」から「0.4µA」に、および「0.45µA」から「0.4µA」に更新	5
• 入力オフセット電流を「20nA」から「7nA」に更新	5
• R_L= 2kΩ V_{ID}= 100mV の出力電圧スイング High の標準値を「100mV」から「50mV」に更新	5
• V_{ID}= −100mV の出力電圧スイング Low の標準値を「20mV」から「50mV」に更新	5
• R_L= 2kΩ V_{ID}= −100mV の出力電圧スイング Low の標準値を「40mV」から「50mV」に更新	5
• 電源電流の標準値を「0.95mA」から「1.35mA」に、T_A= –40°C ～ +125°C の最大値を「1.9mA」から「2.23mA」に、最大値を「1.3mA」から「1.93mA」に更新	5
• スルーレートを 8.5V/µs から 35V/µs に更新	5
• ユニティ ゲイン周波数を「7.5MHz」から「11MHz」に更新	5

- ユニティ ゲイン帯域幅を「16MHz」から「24MHz」に変更 5
- 全高調波歪み＋ノイズを「−77dB」から「−113dB」に更新 5
- CMRR テスト条件、標準値および最小値を「70dB」から「109dB」に更新 5
- CMVR パラメータ 20mV ～ 50mV を削除 5
- V_{CM} パラメータを追加。 5
- A_{VOL} テスト条件と標準値を「65dB」から「75dB」に更新 5
- A_{VOL} テスト条件と標準値を「62dB」から「70dB」に更新 5
- A_{VOL} テスト条件と標準値を「59dB」から「65dB」に更新 5
- A_{VOL} テスト条件と標準値を「55dB」から「62dB」に更新 5
- I_{OUT} テスト条件と最小値を「30mA」から「±40mA」に更新 5
- I_{OUT} テスト条件と最小値を「20mA」から「±35mA」に更新 5
- I_{OUT} テスト条件と最小値を「40mA」から「±20mA」に更新 5
- I_{OUT} テスト条件と最小値を「30mA」から「±20mA」に更新 5
- $_{OUT}$ テスト条件と標準値を「48mA」から「±85mA」に更新 5
- $_{OUT}$ テスト条件と標準値を「65mA」から「±60mA」に更新 5
- 「±5-V 電気的特性」セクションを削除 5
- 「±15-V 電気的特性」セクションを削除 5
- 新しいダイの仕様に合わせて「代表的特性」セクションを更新 7
- 「出力電圧スイングの推定」セクションを削除 17
- 「出力短絡電流および損失の問題」を更新 17
- 「電気的オーバーストレス」セクションを追加 20
- 「従来のダイと新しいダイの比較」セクションを追加 21

Changes from Revision D (March 2013) to Revision E (September 2015) **Page**

- 「ピン構成および機能」セクション、「ESD 定格」の表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 1

Changes from Revision C (May 2008) to Revision D (March 2013) **Page**

- ナショナル セミコンダクタのデータシートのレイアウトを TI の形式に変更 1

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM7321MA/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	LM732 1MA
LM7321MAX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	LM732 1MA
LM7321MAX/NOPB.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LM732 1MA
LM7321MF/NOPB	Obsolete	Production	SOT-23 (DBV) | 5	-	-	Call TI	Call TI	-40 to 125	AU4A
LM7321MFX/NOPB	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AU4A
LM7321MFX/NOPB.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AU4A
LM7321QMF/NOPB	Obsolete	Production	SOT-23 (DBV) | 5	-	-	Call TI	Call TI	-40 to 125	AR8A
LM7321QMFE/NOPB	Obsolete	Production	SOT-23 (DBV) | 5	-	-	Call TI	Call TI	-40 to 125	AR8A
LM7321QMFX/NOPB	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AR8A
LM7321QMFX/NOPB.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AR8A
LM7321QMFX/NOPB.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AR8A
LM7322MA/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	LM732 2MA
LM7322MAX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	LM732 2MA
LM7322MAX/NOPB.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LM732 2MA
LM7322MM/NOPB	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AZ4A
LM7322MM/NOPB.B	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AZ4A
LM7322MME/NOPB	Obsolete	Production	VSSOP (DGK) | 8	-	-	Call TI	Call TI	-40 to 125	AZ4A
LM7322QMA/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	LM732 2QMA
LM7322QMAX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(7322Q, LM732) 2QMA
LM7322QMAX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(7322Q, LM732) 2QMA
LM7322QMAX/NOPB.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(7322Q, LM732) 2QMA

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LM7321, LM7321-Q1, LM7322, LM7322-Q1 :

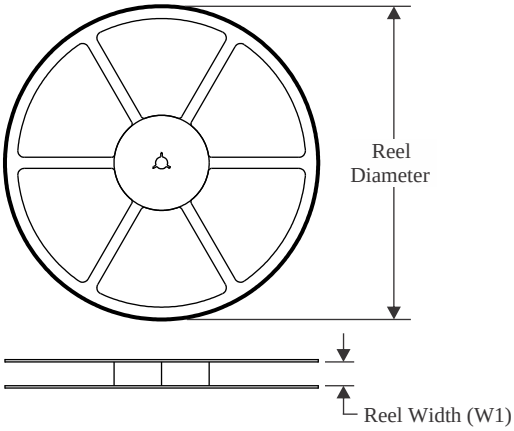
- Catalog : LM7321, LM7322
- Automotive : LM7321-Q1, LM7322-Q1

NOTE: Qualified Version Definitions:

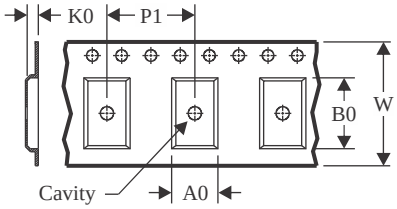
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

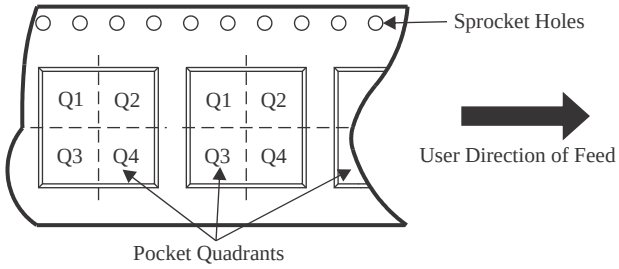


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

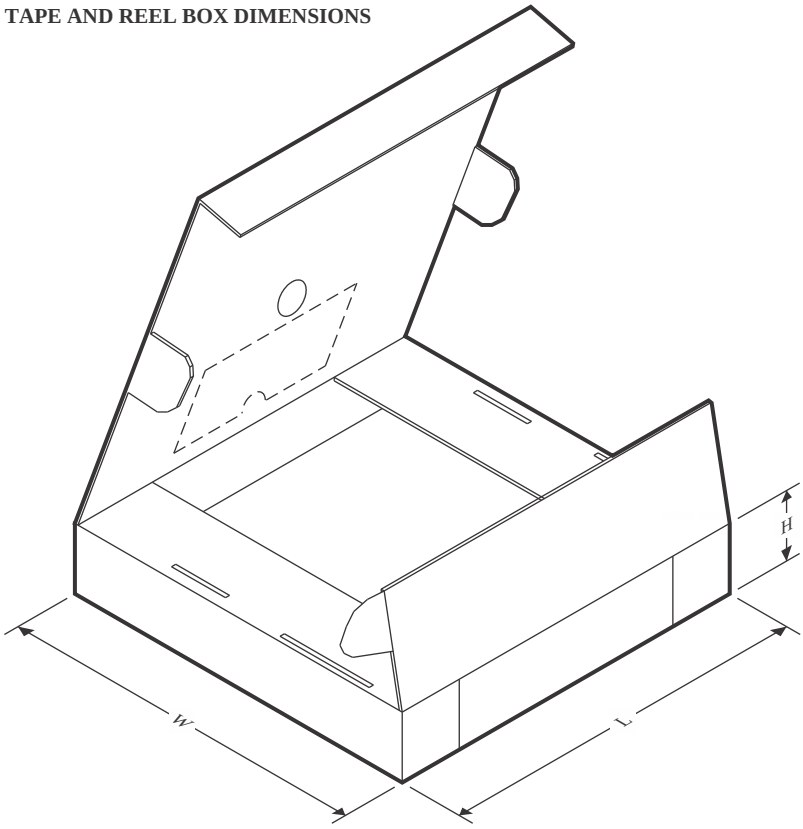
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM7321MAX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM7321MFX/NOPB	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LM7321QMFX/NOPB	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LM7321QMFX/NOPB	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
LM7322MAX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM7322MAX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LM7322MM/NOPB	VSSOP	DGK	8	1000	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LM7322MM/NOPB	VSSOP	DGK	8	1000	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
LM7322QMAX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

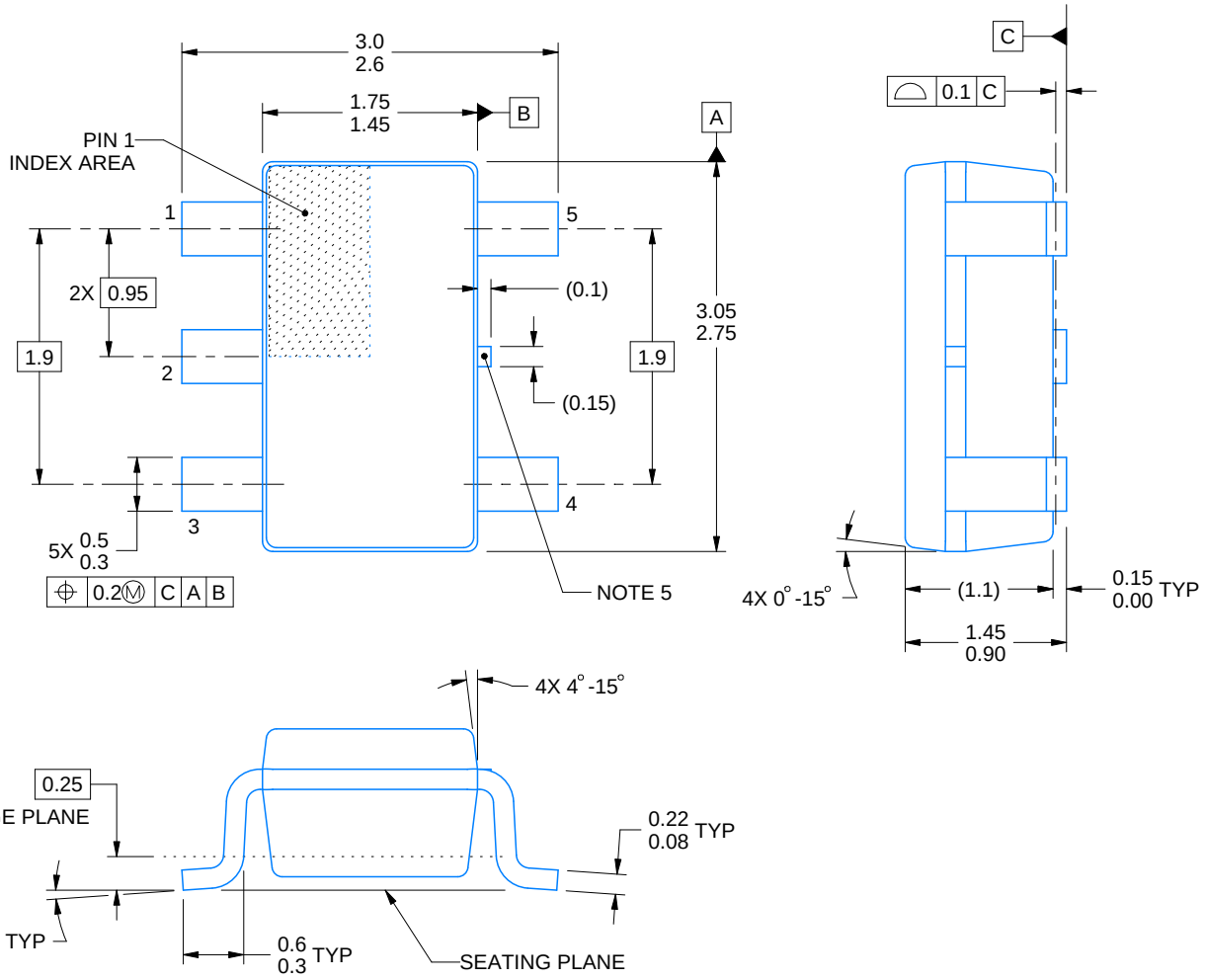
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM7321MAX/NOPB	SOIC	D	8	2500	353.0	353.0	32.0
LM7321MFX/NOPB	SOT-23	DBV	5	3000	210.0	185.0	35.0
LM7321QMFX/NOPB	SOT-23	DBV	5	3000	208.0	191.0	35.0
LM7321QMFX/NOPB	SOT-23	DBV	5	3000	210.0	185.0	35.0
LM7322MAX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LM7322MAX/NOPB	SOIC	D	8	2500	353.0	353.0	32.0
LM7322MM/NOPB	VSSOP	DGK	8	1000	208.0	191.0	35.0
LM7322MM/NOPB	VSSOP	DGK	8	1000	366.0	364.0	50.0
LM7322QMAX/NOPB	SOIC	D	8	2500	353.0	353.0	32.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

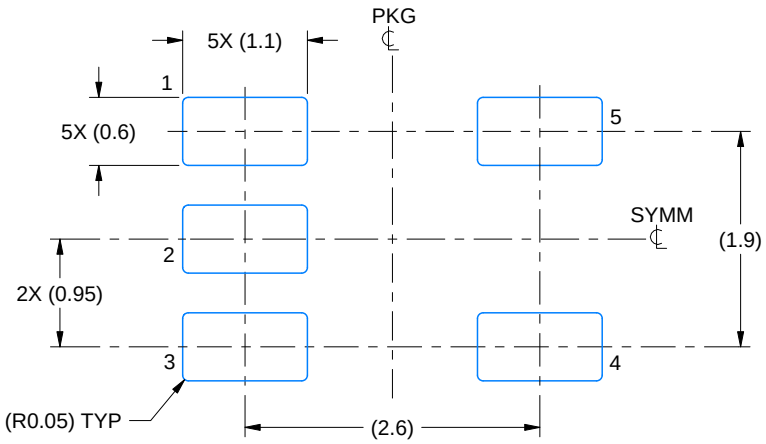
SMALL OUTLINE TRANSISTOR



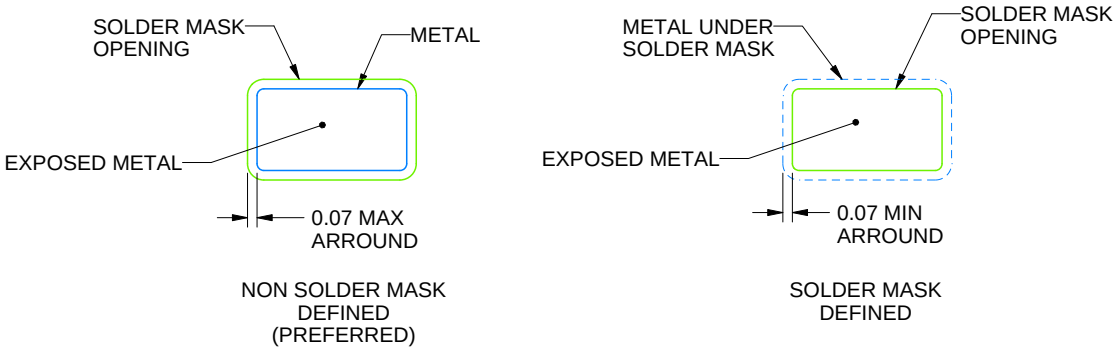
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

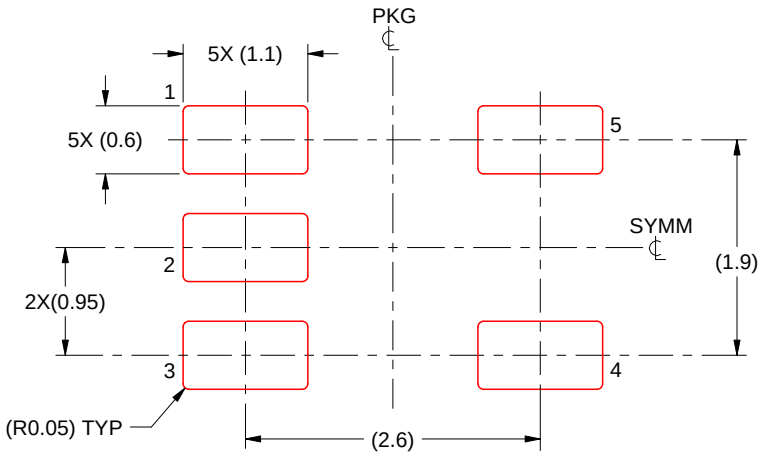


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

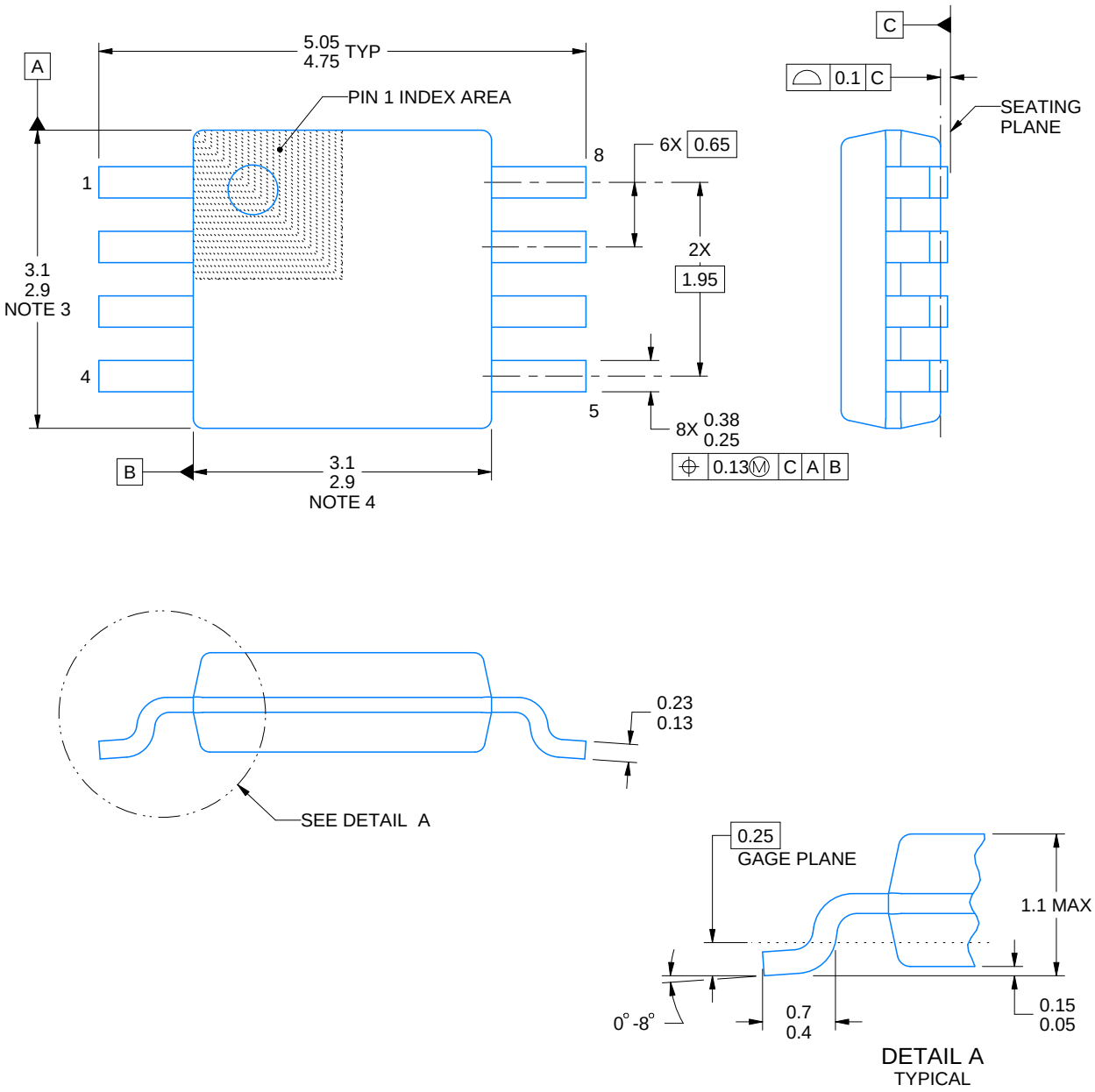
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

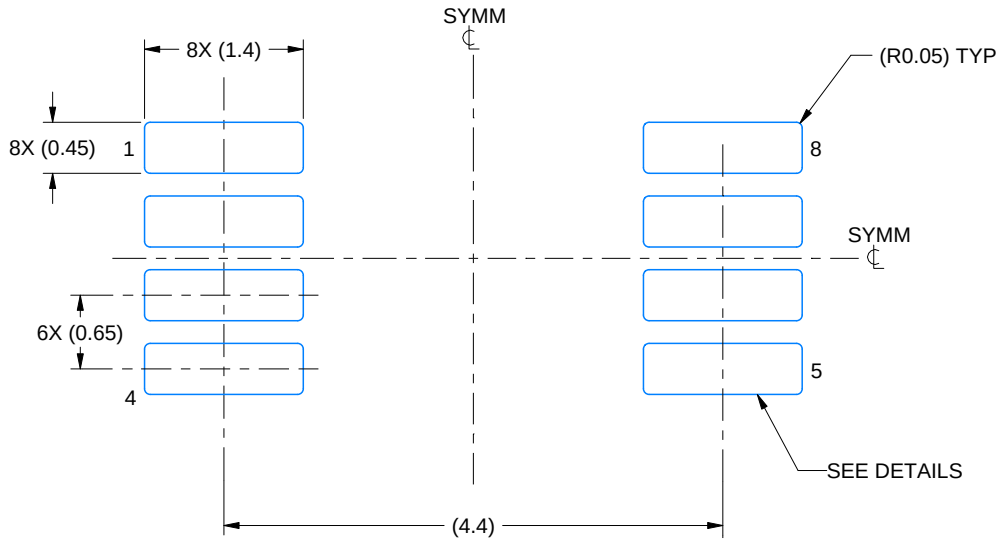
SMALL OUTLINE PACKAGE



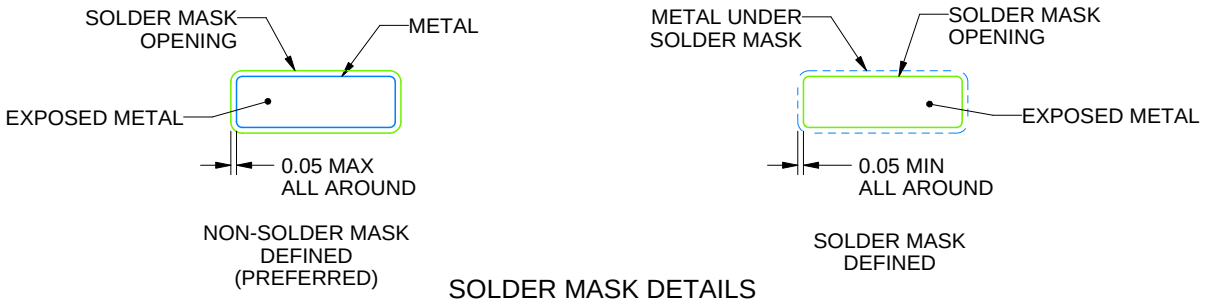
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

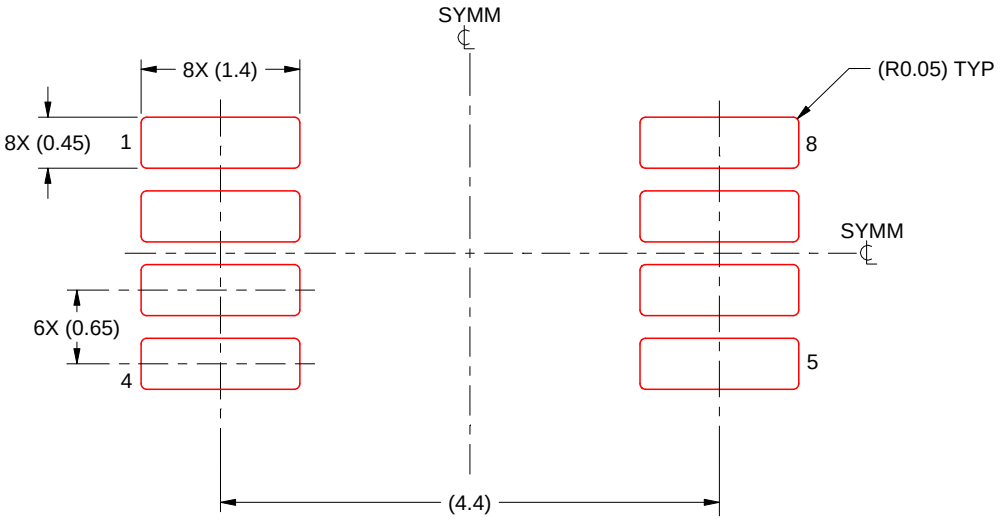


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

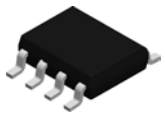


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

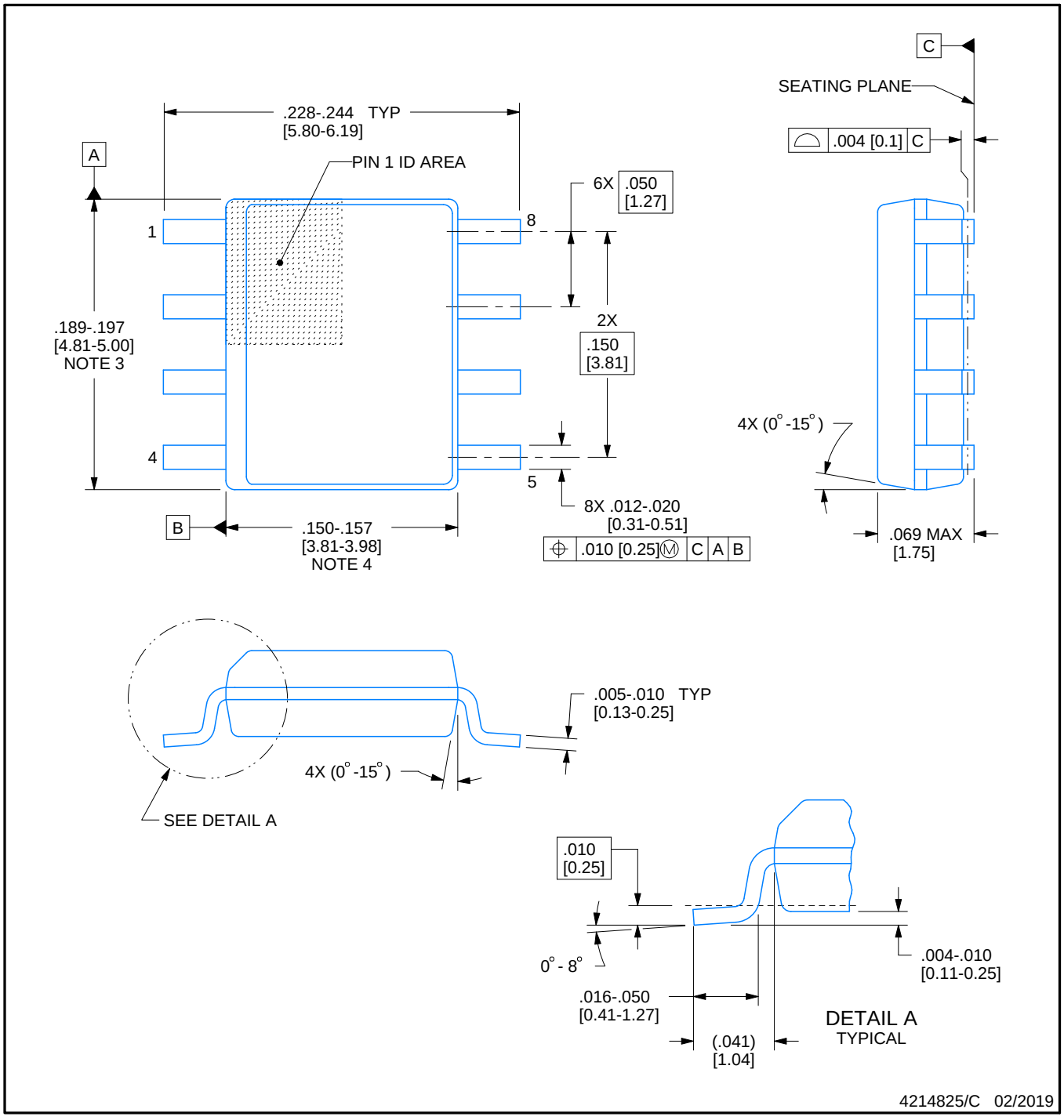


PACKAGE OUTLINE

D0008A

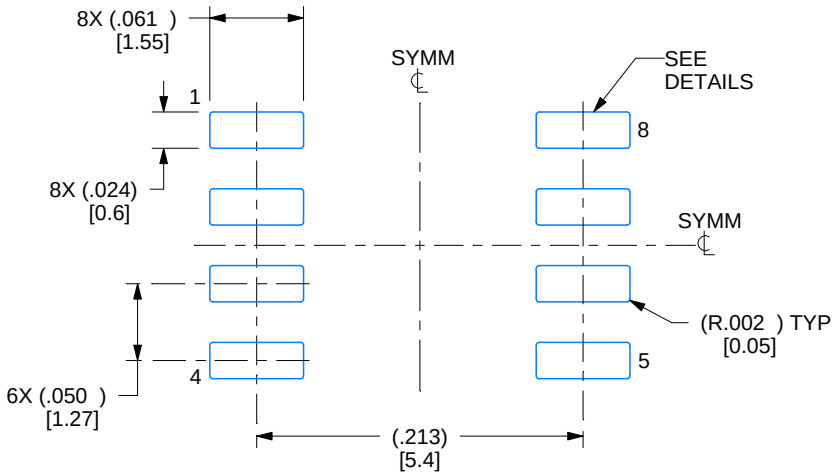
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

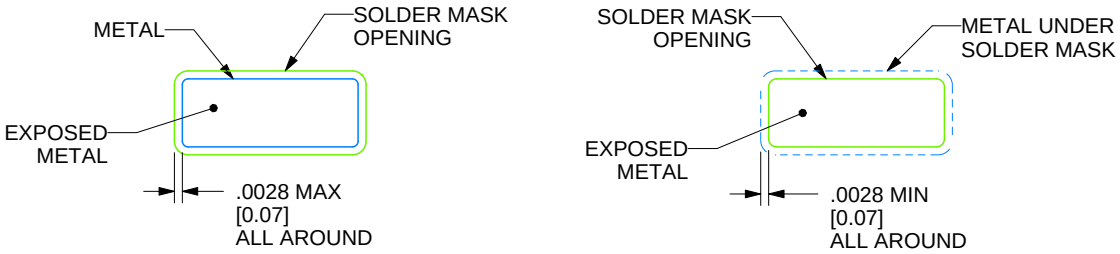


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

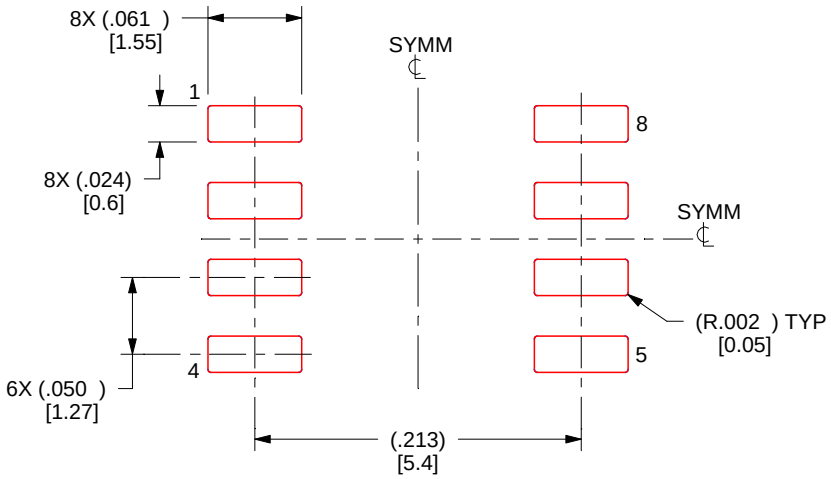
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月