LMC555 CMOS タイマ

1 特長

- 3MHz の高速な非安定周波数
- 業界最小の 8 バンプ DSBGA パッケージ (1.43mm × 1.41mm) で供給
- 5V 電源時の標準的な消費電力は 1mW 未満
- 1.5V の電源動作電圧仕様
- 5V 電源時、TTL および CMOS ロジック完全互換の出力
- -10mA および 50mA の出力電流レベルでテスト済み
- 出力遷移時の電源電流スパイクを低減
- 非常に低いリセット、トリガ、スレッショルド電流
- 非常に優れた温度安定性
- 555 シリーズのタイマとピン互換

2 アプリケーション

- 高精度のタイミング
- パルス生成
- シーケンシャル タイミング
- 時間遅延の生成
- パルス幅変調 (Pulse width modulation)
- パルス位置変調
- リニア ランプ生成器

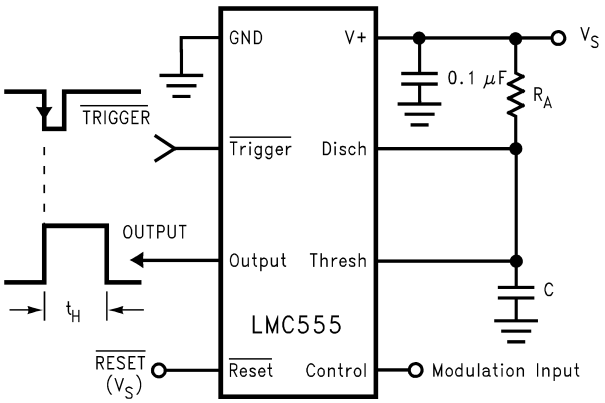
3 概要

LMC555 デバイスは、業界標準である 555 シリーズの汎用タイマの CMOS バージョンです。標準の SOIC、VSSOP、PDIP パッケージに加えて、LMC555 は、TI の DSBGA パッケージ テクノロジを使用する、チップ サイズの 8 バンプ DSBGA パッケージでも供給されます。LMC555 は、LM555 と同様に正確な時間遅延および周波数を生成する能力がありますが、消費電力がはるかに少なく、電源電流スパイクも大幅に小さくなっています。ワンショットで動作するときは、単一の外付け抵抗およびコンデンサによって時間遅延が正確にコントロールされます。非安定モードでは、発振周波数とデューティ サイクルが、2 つの外付け抵抗と 1 つのコンデンサにより正確に設定されます。TI の LMCMOS プロセスを使用することで、周波数範囲と低電源能力の両方が拡張されています。

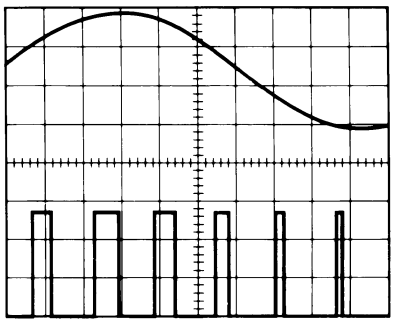
パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
LMC555	D (SOIC、8)	4.9mm × 6mm
	DGK (VSSOP、8)	3mm × 4.9mm
	P (PDIP、8)	9.81mm × 9.43mm
	YBF (DSBGA、8)	1.75mm × 1.75mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



パルス幅変調器



パルス幅変調波形：
上の波形—変調
下の波形—出力電圧

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報.....4
5.5 電気的特性.....5
5.6 スイッチング特性.....5
6 パラメータ測定情報.....6
7 詳細説明.....7
7.1 概要.....7
7.2 機能ブロック図.....7
7.3 機能説明.....8
7.4 デバイスの機能モード.....9
8 アプリケーションと実装.....12
8.1 アプリケーション情報.....12
8.2 代表的なアプリケーション.....12
8.3 電源に関する推奨事項.....17
8.4 レイアウト.....17
9 デバイスおよびドキュメントのサポート.....18
9.1 ドキュメントの更新通知を受け取る方法.....18
9.2 サポート・リソース.....18
9.3 商標.....18
9.4 静電気放電に関する注意事項.....18
9.5 用語集.....18
10 改訂履歴.....18
11 メカニカル、パッケージ、および注文情報.....19

Copyright © 2024 Texas Instruments Incorporated

4 ピン構成および機能

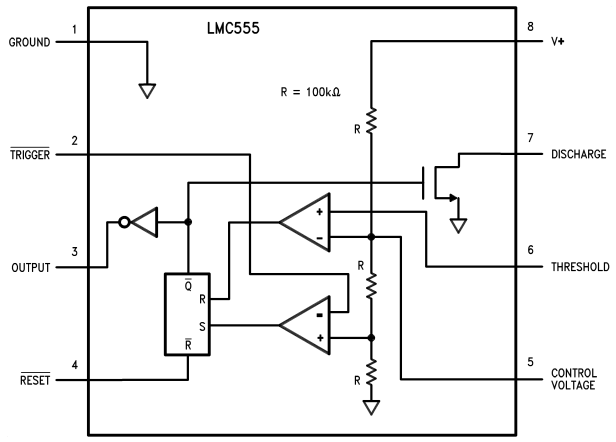


図 4-1. D パッケージ、8 ピン SOIC、DGK パッケージ、8 ピン VSSOP、P パッケージ、8 ピン PDIP (上面図)

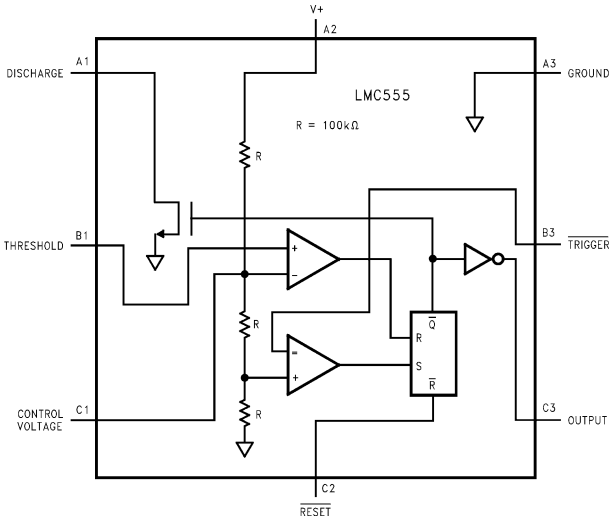


図 4-2. YPB パッケージ、8 ピン DSBGA (上面図)

表 4-1. ピンの機能

ピン			タイプ	説明
名称	番号			
	D (SOIC)、DGK (VSSOP)、P (PDIP)	YPB (DSBGA)		
CONTROL VOLTAGE	5	C1	入力	制御電圧は、スレッショルドおよびトリガ レベルを制御します。このピンにより、出力波形のパルス持続時間が決定されます。このピンに印加された外部電圧を使用して、出力波形を変調することもできます。
DISCHARGE	7	A1	入力	休止時間中 (出力と同相) にコンデンサを放電するオープン コレクタ出力。このピンの電圧が電源電圧 (V+) の 2/3 に達したとき、出力は HIGH から LOW に切り替わります。
グランド	1	A3	電源	グランド基準電圧
出力	3	C3	出力	出力駆動波形
$\overline{\text{RESET}}$	4	C2	入力	このピンに負のパルスを印加すると、タイマがディセーブルまたはリセットされます。リセット目的で使用しない場合は、誤トリガを防止するため、このピンを V+ に接続します。
スレッショルド	6	B1	入力	このピンに印加された電圧を 2/3 V+ の基準電圧と比較します。このピンに印加される電圧の振幅によって、フリップ フロップの設定状態が決まります。
$\overline{\text{TRIGGER}}$	2	B3	入力	フリップ フロップのセットからリセットへの遷移を行います。タイマの出力は、このピンに印加される外部トリガパルスの振幅に依存します。
V+	8	A2	電源	グランドを基準とした電源電圧

Copyright © 2024 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1) (2) (3)

		最小値	最大値	単位
電圧	電源		15	V
	入力	-0.3	(V+) + 0.3	
	出力		15	
電流	出力		100	mA
保管温度、T_{stg}		-65	150	℃

(1) 「絶対最大定格」を上回るストレスが加わった場合、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートのセクション 5.3 に示された値を超える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。
(2) DSBGA の考慮事項については、AN-1112 (SNVA009) を参照してください。
(3) 防衛または航空宇宙仕様のデバイスをお求めの場合は、供給状況および仕様についてテキサス・インスツルメンツの営業所または販売代理店にお問い合わせください。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±1500	V

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
温度	LMC555IM	-40		125	℃
	LMC555CM、MM、N、TP	-40		85	
25°C での最大許容消費電力	PDIP-8			1126	mW
	SOIC-8			740	
	VSSOP-8			555	
	8 バンプの DSBGA			568	

5.4 熱に関する情報

熱評価基準(1)		LMC555				単位
		D (SOIC)	DGK (VSSOP)	P (PDIP)	YPB (DSBGA)	
		8 ピン	8 ピン	8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	138.9	188.3	93.1	102.3	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	78.8	78.8	82.5	0.9	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	87.9	110.2	69.6	31.2	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	23.2	18.5	52.0	0.5	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	86.9	108.6	69.2	31.2	℃/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	該当なし	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2024 Texas Instruments Incorporated

5.5 電気的特性

テスト回路、T = 25°C 、すべてのスイッチがオープン、$\overline{RESET}$ には V_S (特に記述のない限り)(1)

パラメータ		テスト条件	最小値	代表値	最大値	単位
I_S	電源電流	V_S = 1.5 V		130	200	μA
		V_S = 5 V		180	250	
		V_S = 12 V		220	400	
V_{CTRL}	制御電圧	V_S = 1.5 V	0.8	1.0	1.2	V
		V_S = 5 V	2.9	3.3	3.8	
		V_S = 12 V	7.4	8.0	8.6	
V_{DIS}	放電飽和電圧	V_S = 1.5V、I_S = 1mA		75	150	mV
		V_S = 5 V、I_S = 10 mA		150	300	
V_{OL}	出力電圧 (low)	V_S = 1.5 V、I_O = 1 mA		0.2	0.4	V
		V_S = 5 V、I_O = 8 mA		0.3	0.6	
		V_S = 12 V、I_O = 50 mA		1.0	2.0	
V_{OH}	出力電圧 (high)	V_S = 1.5 V、I_O = -0.25 mA	1.0	1.25		V
		V_S = 5 V、I_O = -2 mA	4.4	4.7		
		V_S = 12 V、I_O = -10 mA	10.5	11.3		
V_{TRIG}	トリガ電圧	V_S = 1.5 V	0.4	0.5	0.6	V
		V_S = 12 V	3.7	4.0	4.3	
I_{TRIG}	トリガ電流	V_S = 5 V		10		pA
V_{RES}	リセット電圧	V_S = 1.5V (2)	0.4	0.7	1.0	V
		V_S = 12 V	0.4	0.75	1.1	
I_{RES}	リセット電流	V_S = 5V 、V_{RES} = V_S		10		pA
		V_S = 5V 、V_{RES} = 0V		5.9		μA
I_{THRESH}	スレッショルド電流	V_S = 5 V		10		pA
I_{DIS}	放電漏れ電流	V_S = 12 V		1.0	100	nA

(1) 特に指定のない限り、すべての電圧値はグランドピンを基準に測定しています。
(2) $\overline{RESET}$ ピンを −20°C 以下の温度で使用する場合は、V_S を 2.0V 以上にします。

5.6 スイッチング特性

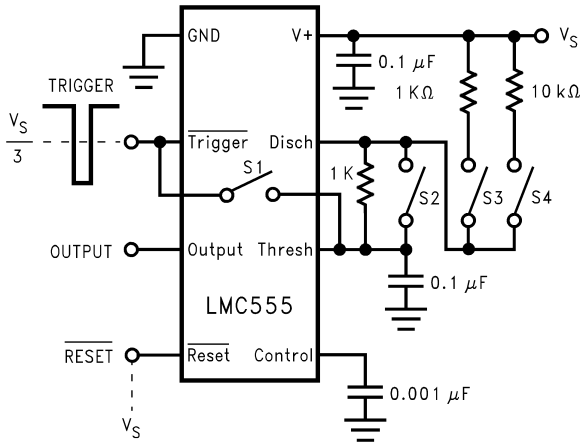
テスト回路、T = 25°C、すべてのスイッチがオープン、$\overline{RESET}$ には V_S (特に記述のない限り)。(1)特性値は、設計、特性評価、またはその両方によって規定されます。

パラメータ		テスト条件		最小値	代表値	最大値	単位
t	タイミング精度	SW 2、4 閉	V_S = 1.5 V	0.9	1.1	1.25	ms
			V_S = 5 V	1.0	1.1	1.20	
			V_S = 12 V	1.0	1.1	1.25	
$\Delta t/\Delta V_S$	電源によるタイミング シフト	V_S = 5V ± 1V			0.3		%/V
$\Delta t/\Delta T$	温度によるタイミングシフト	V_S = 5 V			75		ppm/°C
f_A	非安定周波数	SW 1、3 閉、V_S = 12V		4.0	4.8	5.6	kHz
f_{MAX}	最大周波数	最大周波数テスト回路、V_S = 5V			3.0		MHz
t_R、t_F	出力の立ち上がりおよび立ち下がり時間	最大周波数テスト回路 V_S = 5V、C_L = 10pF			15		ns
t_{PD}	トリガの伝搬遅延	V_S = 5V、トリガから出力までの遅延を測定			100		ns

(1) 特に指定のない限り、すべての電圧値はグランドピンを基準に測定しています。

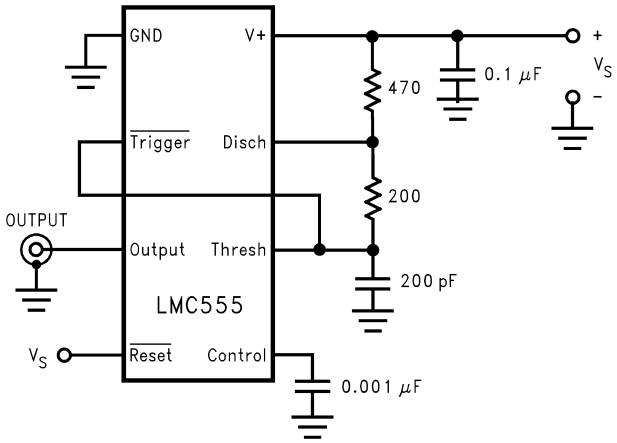
Copyright © 2024 Texas Instruments Incorporated

6 パラメータ測定情報



デバイスのピン配置については、セクション 4 を参照してください。

図 6-1. テスト回路



デバイスのピン配置については、セクション 4 を参照してください。

図 6-2. 最大周波数テスト回路

Copyright © 2024 Texas Instruments Incorporated

7 詳細説明

7.1 概要

LMC555 デバイスは、業界標準 555 シリーズ 汎用タイマの CMOS バージョンです。標準の SOIC、VSSSOP、PDIP パッケージに加えて、LMC555 は、TI の DSBGA パッケージ テクノロジを使用する、チップ サイズ パッケージ (8 バンプ DSBGA) でも供給されます。LMC555 は、LM555 と同様に正確な時間遅延および周波数を生成する能力がありますが、消費電力がはるかに少なく、電源電流スパイクも大幅に小さくなっています。ワンショットで動作するときは、単一の外付け抵抗およびコンデンサによって時間遅延が正確にコントロールされます。非安定モードでは、発振周波数とデューティ サイクルが、2 つの外付け抵抗と 1 つのコンデンサにより正確に設定されます。TI の LMCMOS プロセスを使用することで、周波数範囲と低電源能力の両方が拡張されています。

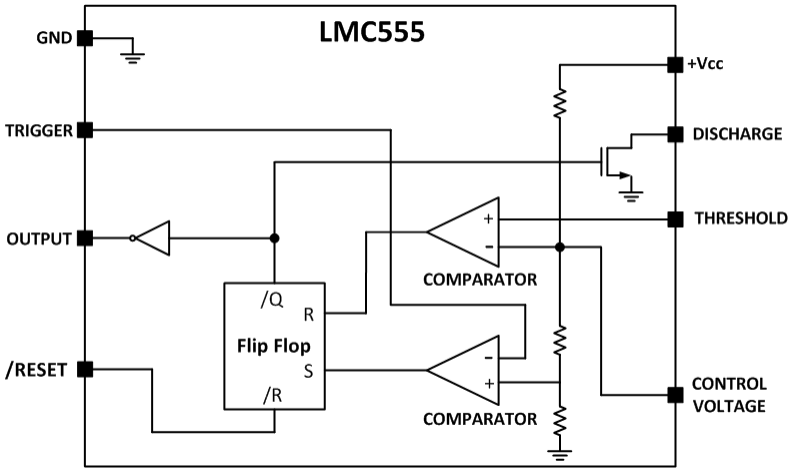
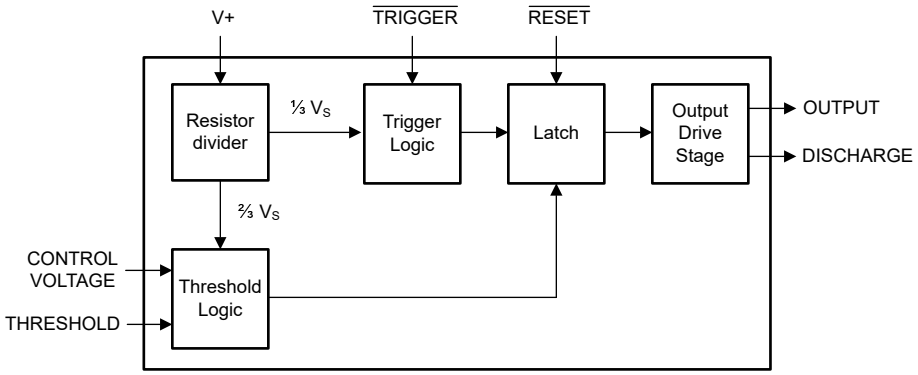


図 7-1. 概略回路図

7.2 機能ブロック図



7.3 機能説明

7.3.1 低消費電力

LMC555 は、LM555 と同様に正確な時間遅延および周波数を生成する能力がありますが、消費電力がはるかに少なくなっています。1.5V の動作電源電圧で 0.2mW 未満、5V の動作電源電圧で 1mW 未満の消費電力を実現できます。TI の LMCMOS プロセスを使用しているため、この小さい電源電流および電圧能力が得られます。また、出力遷移時の電源電流スパイクが低減し、リセット、トリガ、スレッショルド電流が非常に小さいことも、LMC555 の低消費電力という利点の要因です。

7.3.2 さまざまなパッケージおよび互換性

LMC555 を使用するためのさまざまなパッケージが用意されています。標準のパッケージ (8 ピン SOIC、VSSSOP、PDIP) に加えて、LMC555 は、チップ サイズ パッケージ (8 バンプ DSBGA)でも供給されます。LMC555 の PDIP、SOIC、VSSOP パッケージは、555 シリーズのタイマ (NE555/SE555/LM555) とピン互換なので、柔軟な設計が可能であり、PCB の回路図やレイアウトの変更は不要です。

7.3.3 非安定および単安定の両方のモードで動作

LMC555 は、アプリケーションの要件に応じて、非安定モードでも単安定モードでも動作できます。

- 単安定モード:LMC555 タイマは「ワンショット」パルス ジェネレータとして動作します。このパルスは、LMC555 タイマが電源電圧の 1/3 を下回る信号をトリガ入力で受信したときに始まります。出力パルスの幅は、RC 回路の時定数によって決まります。コンデンサの電圧が電源電圧の 2/3 に等しくなると、出力パルスは終了します。出力パルス幅は、アプリケーションに応じて R および C の値を調整することにより延長または短縮できます。
- 非安定 (フリーランニング) モード:LMC555 タイマは発振器として動作し、指定された周波数を持つ方形波パルスの連続ストリームを出力します。パルス ストリームの周波数は、RA、RB、C の値に依存します。

Copyright © 2024 Texas Instruments Incorporated

7.4 デバイスの機能モード

7.4.1 単安定動作

この動作モードでは、タイマはワンショットとして機能します (図 7-2)。外付けコンデンサは、最初は内部回路によって放電された状態に保持されます。1/3 V_S より低い負のトリガ パルスを $\overline{\text{TRIGGER}}$ ピンに印加すると、フリップフロップがセットされ、コンデンサの短絡が解放され、出力が HIGH に駆動されます。

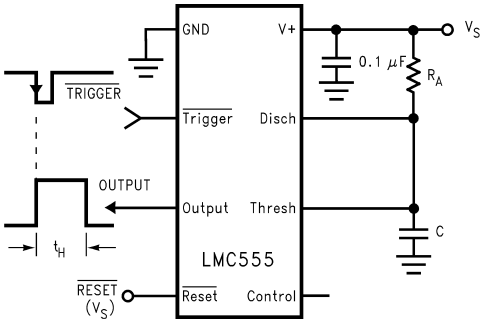
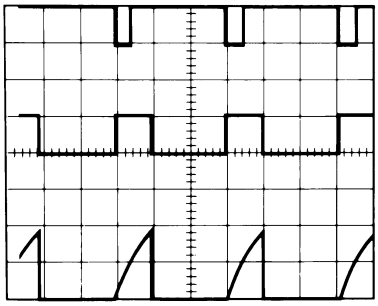


図 7-2. 単安定 (ワンショット)

このとき、コンデンサの両端の電圧は、t_H = 1.1 R_AC の間、指数関数的に増加します。この期間は出力が HIGH に維持される時間でもあり、この期間の終了時には電圧は 2/3 V_S に等しくなります。その後、コンパレータはフリップ フロップをリセットします。これによりコンデンサが放電され、出力が LOW 状態に駆動されます。この動作モードで生成される波形を図 7-3 に示します。コンパレータの充電レベルとスレッショルドレベルはどちらも電源電圧に正比例するため、内部タイミングは電源に依存しません。



V_S = 5 V
時間 = 0.1ms/div
上のトレース: 入力 5V/div
中央のトレース: 出力 5V/div
下のトレース: コンデンサ電圧 2V/div
R_A = 9.1 kΩ
C = 0.01µF

図 7-3. 単安定波形

$\overline{\text{RESET}}$ は、$\overline{\text{TRIGGER}}$ をオーバーライドします。トリガは、THRESHOLD をオーバーライドできます。したがって、トリガ パルスは、目的の t_H よりも短くなるようにしてください。$\overline{\text{TRIGGER}}$ の最小パルス幅は 20ns、$\overline{\text{RESET}}$ の最小パルス幅は 400ns です 。出力が HIGH のタイミング サイクル中に、さらにトリガ パルスを印加しても、タイミング期間終了の少なくとも 10µs 前にトリガ入力が HIGH に復帰していれば、回路に影響しません。ただし、この期間中に $\overline{\text{RESET}}$ ピンに負のパルスを印加すると、回路をリセットできます 。トリガ パルスが再度印加されるまで、出力は LOW 状態のままです。

Copyright © 2024 Texas Instruments Incorporated

リセット機能を使用しないときは、誤トリガの可能性を避けるため、$\overline{\text{RESET}}$ ピンを V+ に接続します。図 7-4 は、さまざまな時間遅延に対する RC 値を簡単に決定するための計算図表です。

注

単安定動作では、タイミング サイクルが終了する前にトリガを HIGH に駆動します。

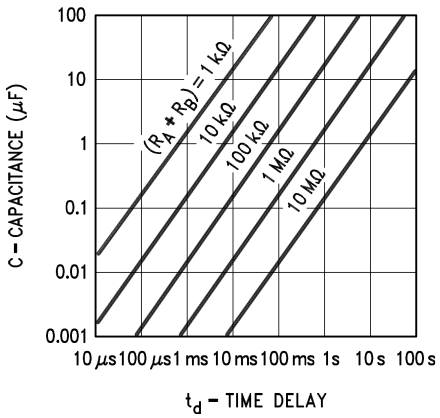


図 7-4. 時間遅延

7.4.2 非安定動作

図 7-5 に示すように回路が接続されている場合 ($\overline{\text{TRIGGER}}$ ピンと THRESHOLD が互いに接続されている場合)、回路がトリガされて、マルチバイブレータとしてフリーランニングします。外付けコンデンサは $R_A + R_B$ 経由で充電され、R_B 経由で放電されます。したがって、デューティ サイクルは、これら 2 つの抵抗の比によって正確に設定できます。

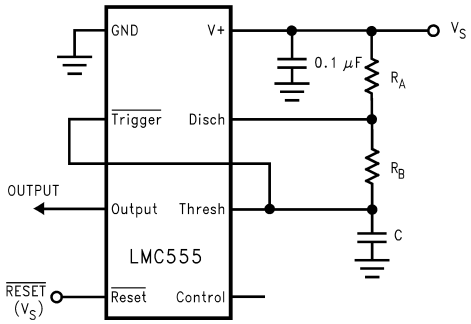
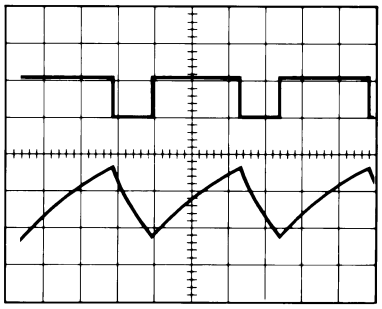


図 7-5. 非安定 (可変デューティサイクル発振器)

この動作モードでは、コンデンサは 1/3 V_S と 2/3 V_S の間で充放電されます。トリガ モードと同様に、充電時間および放電時間は電源電圧に依存せず、したがって、周波数も電源電圧に依存しません。

この動作モードで生成される波形を 図 7-6 に示します。

Copyright © 2024 Texas Instruments Incorporated



V_S = 5 V
時間 = 20 µs/div
上のトレース: 出力 5V/div
下のトレース: コンデンサ電圧 1V/div
R_A = 1.78kΩ
R_B = 4.12kΩ
C = 0.01µF

図 7-6. 非安定波形

充電時間 (出力 High) は次の式で与えられます。

$$t_1 = 0.693\ (R_A + R_B)C \quad (1)$$

放電時間 (出力 Low) は次の式で与えられます。

$$t_2 = 0.693\ (R_B)C \quad (2)$$

したがって、合計周期は次のようになります。

$$T = t_1 + t_2 = 0.693\ (R_A + 2R_B)C \quad (3)$$

発振周波数は次のとおりです。

$$f = \frac{1}{T} = \frac{1.44}{(R_A + 2R_B)C} \quad (4)$$

図 7-7 を使って、これらの RC 値を迅速に決定できます。デューティ サイクルは、全期間のうち出力が LOW になる期間の割合として、次のようになります。

$$D = \frac{R_B}{R_A + 2R_B} \quad (5)$$

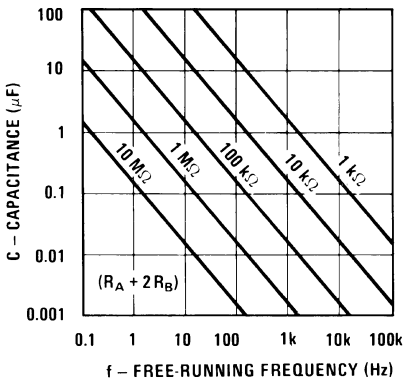


図 7-7. フリーランニング周波数

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

LMC555 タイマはさまざまな構成で使用できますが、最も一般的に使用される構成は単安定モードです。LMC555 タイマを単安定モードで使用する代表的なアプリケーションは、一定の時間だけ LED をオンにすることです。押しボタンをトリガとして使って、トリガ ピンに LOW のパルスが入力されたときに HIGH パルスを出力するようにします。このシンプルなアプリケーションは、あらゆるアプリケーション要件に合わせて変更できます。

8.2 代表的なアプリケーション

8.2.1 単安定モードでの LED の点滅

図 8-1 に、LED を単安定モードで点滅させる LMC555 の回路図を示します。

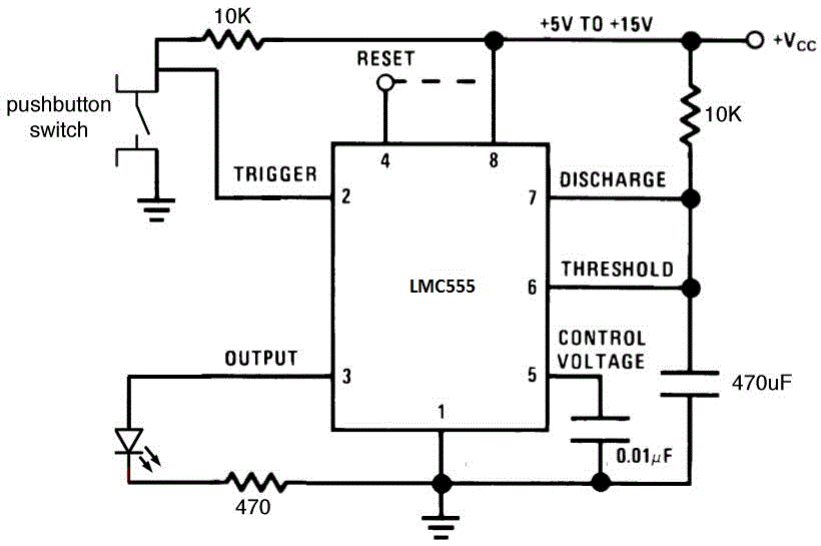


図 8-1. LED を点滅させる単安定モードの回路図

8.2.1.1 設計要件

このアプリケーションの主な設計要件では、出力が HIGH に維持される時間を計算する必要があります。時間の長さは R と C の値（図 7-4 を参照）に依存し 、次の式で計算されます。

$$t = 1.1 \times R \times C \text{ seconds} \quad (6)$$

Copyright © 2024 Texas Instruments Incorporated

8.2.1.2 詳細な設計手順

LED がある程度の時間点灯するように、このアプリケーションでは 5 秒の遅延時間を選択しました。式 6 により、R × C は 4.545 になります。

R を 100kΩ として選択すると、C = 45.4µF になります。抵抗とコンデンサの標準値に基づいて、R = 100 kΩ および C = 47µF の値を選択しました。

グランドに接続されたモーメンタリ押しボタン スイッチをトリガ入力に接続し、10kΩ 電流制限抵抗を使用して電源電圧にプルアップします。押しボタンを押すと、$\overline{\text{TRIGGER}}$ ピンが GND になります。LED は OUTPUT ピンに接続され、LMC555 の出力と GND との間に電流制限抵抗を直列に接続します。$\overline{\text{RESET}}$ ピンは使用せず、電源電圧に接続します。

8.2.1.3 アプリケーション曲線

図 8-2 に示すデータは 、「代表的なアプリケーション」セクションで使用した回路で収集したものです。LMC555 は 5.17s の遅延時間を持つ単安定モードに構成されています。波形は次のとおりです。

- 上の波形 (青) – コンデンサ電圧
- 中央の波形 (紫) – $\overline{\text{TRIGGER}}$
- 下の波形 (緑) – OUTPUT

$\overline{\text{TRIGGER}}$ ピンが Low にパルスされると、コンデンサ電圧は充電を開始し、出力が High になります。コンデンサ電圧が電源電圧の 2/3、すなわち R と C の値で設定される遅延時間に達すると、出力は直ちに LOW になります。この例では、遅延時間は 5.17 秒です。

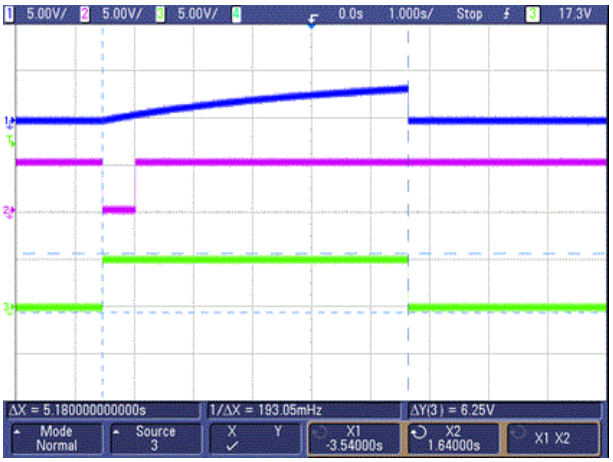


図 8-2. 単安定モードでの $\overline{\text{TRIGGER}}$、コンデンサ電圧、OUTPUT 波形

8.2.2 周波数分周器

図 8-3 の単安定回路は、タイミング サイクルの長さを調整することにより、周波数分周器として使用できます。3 分周の回路で生成される波形を 図 8-4 に示します。

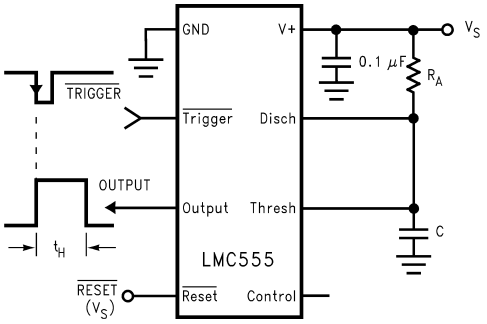


図 8-3. 単安定 (ワンショット)

8.2.2.1 設計要件

タイミング サイクルの長さを調整して、周波数分周器を設計します。

8.2.2.2 アプリケーション曲線

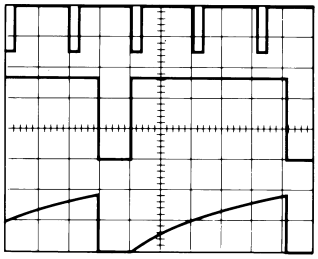


図 8-4. 周波数分周器の波形

8.2.3 パルス幅変調器

タイマを単安定モードに接続し、連続パルス列でトリガすると、制御電圧端子に印加される信号によって出力パルス幅を変調できます。図 8-5 に回路を示します。図 8-6 に波形の例をいくつか示します。

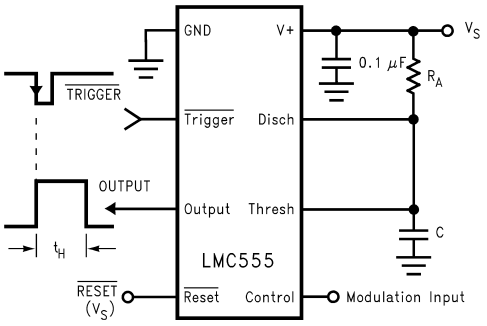


図 8-5. パルス幅変調器

8.2.3.1 設計要件

制御電圧端子に印加される信号によって出力パルス幅を変調。

Copyright © 2024 Texas Instruments Incorporated

8.2.3.2 アプリケーション曲線

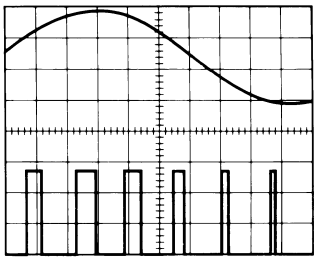


図 8-6. パルス幅変調波形

8.2.4 パルス位置変調

このアプリケーションでは、図 8-7 に示すように、非安定動作用に接続されたタイマを使用します。ここでも、制御電圧端子に変調信号を印加します。スレッショルド電圧が変化し、それに伴って時間遅延が変化するため、パルス位置はその変調信号によって変化します。図 8-8 に、三角波変調信号で生成される波形を示します。

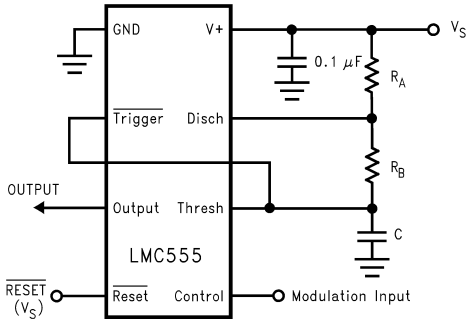


図 8-7. パルス位置変調

8.2.4.1 設計要件

非安定動作を使用し、制御電圧端子に変調信号を印加してパルスの位置を変化させます。

8.2.4.2 アプリケーション曲線

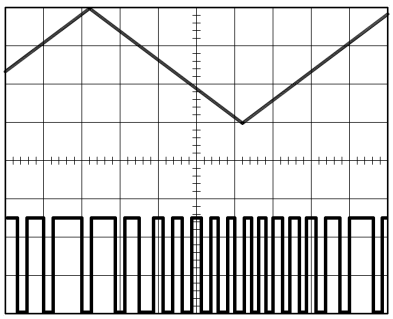


図 8-8. パルス位置変調波形

8.2.5 50% デューティ サイクルの発振器

発振周波数は次のとおりです。

$$f = 1/(1.4\ R_C C) \quad (7)$$

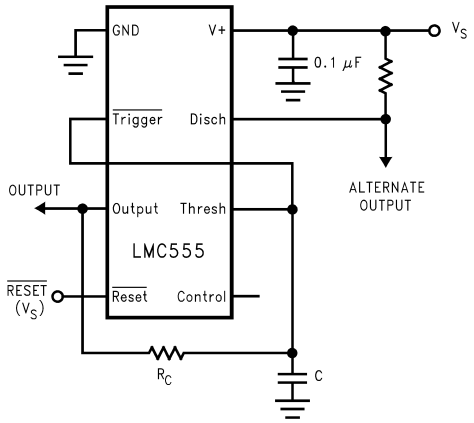


図 8-9. 50% デューティ サイクルの発振器

8.2.5.1 設計要件

50% デューティ サイクル出力の発振器。

Copyright © 2024 Texas Instruments Incorporated

8.3 電源に関する推奨事項

LMC555 には、1.5V～15V の範囲の電源電圧が必要です。関連する回路を保護するために、適切な電源バイパスが必要です。少なくとも 0.1µF を 1µF 電解コンデンサと並列に接続することを推奨します。バイパス コンデンサは、LMC555 にできる限り近づけて配置し、パターン長を最短にします。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

LMC555 の配線には、標準 PCB ルールが適用されます。0.1µF コンデンサを 1µF 電解コンデンサと並列にして、LMC555 のできるだけ近くに配置します。遅延時間に使用するコンデンサは、DISCHARGE ピンのできるだけ近くに配置します。下層にグランド プレーンを使用すると、ノイズ耐性とシグナル インテグリティが向上します。

8.4.2 レイアウト例

以下の図は、さまざまなアプリケーションの基本的なレイアウトを示しています。

- C1 – 時間遅延計算に基づく
- C2 – 制御電圧ピンの 0.01µF バイパス コンデンサ
- C3、0.1µF バイパス セラミック コンデンサ
- C4 – 1µF 電解バイパス コンデンサ
- R1 – 時間遅延計算に基づく
- U1～LMC555

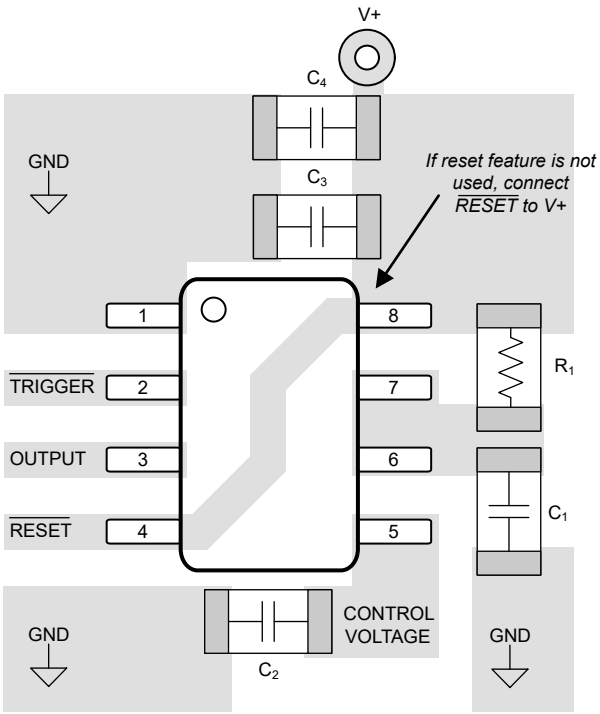


図 8-10. PCB レイアウト

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.2 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.3 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.4 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.5 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision M (July 2016) to Revision N (March 2024)	Page
• ドキュメント全体にわたって表、図、相互参照の採番方法を更新	1
• 「特長」の箇条書き項目の表現を明確化のため更新	1
• 「ピン構成および機能」のグランドおよび V+ ピンのタイプを更新	3
• 「ピン構成および機能」で、V_{CC} を V+ に変更	3
• 「ピン構成および機能」の放電の説明に (V+) を追加	3
• 「熱に関する情報」で、$R_{\theta JA}$ を更新し、すべてのパッケージの詳細な熱特性を追加	4
• タイミング精度、電源によるタイミング シフト、温度によるタイミングシフト、非安定周波数、最大周波数、出力の立ち上がりおよび立ち下がり時間、トリガの伝搬遅延パラメータを「電気的特性」から「スイッチング特性」に移動	5
• 「電気的特性」で、電源電流 (I_S) の標準値を V_S = 1.5V で 50µA から 130µA に、V_S = 1.5 V で 100µA から 180µA に、V_S = 12V で 150µA から 220µA に変更	5
• 「電気的特性」で、電源電流 (I_S) の最大値を V_S = 1.5V で 150µA から 200µA に変更	5
• 「電気的特性」で、リセット電流 (I_{RES}) のテスト条件を V_{RES} = V_S に変更	5
• 「電気的特性」で、テスト条件 V_{RES} = 0V に新しいリセット電流 (I_{RES}) の標準値を追加	5
• 「スイッチング特性」を更新し、設計、特性評価、またはその両方で値が規定されることを明確化	5
• 「スイッチング特性」で、温度によるタイミング シフトの単位を %V から %/V に変更（誤字）	5
• 機能ブロック図を簡素化した回路図に変更し、「概要」に移動	7
• *機能ブロック図*を更新	7

Copyright © 2024 Texas Instruments Incorporated

- 図 7-6 で、R_A の値を 3.9kΩ から 1.78kΩ に、R_B を 9kΩ から 4.12kΩ に変更 10
- 「代表的なアプリケーション」の「LM555」を「LMC555」に変更 (誤字) 12
- 「レイアウト例」の図を更新 17

Changes from Revision L (February 2016) to Revision M (July 2016) **Page**

- 「特長」の順序を変更 1
- 「安定」を「非安定」に変更 (誤字) 1
- 「安定」を「非安定」に誤字訂正。 7
- 誤字を変更。 8
- LM555 から LMC555 に変更 (誤字)。 12
- LM555 から LMC555 に変更 (誤字)。 12
- 新しいアプリケーションを追加。 14

Changes from Revision K (January 2015) to Revision L (February 2016) **Page**

- 温度範囲を 185 から 85 に変更 (誤字) 4

Changes from Revision J (March 2013) to Revision K (October 2014) **Page**

- 「ピン構成および機能」、「ESD 定格」、「機能説明」、「デバイスの機能モード」、「アプリケーションと実装」、「電源に関する推奨事項」、「レイアウト」、「デバイスおよびドキュメントのサポート」、「メカニカル、パッケージ、および注文情報」の各セクションを追加 1

Changes from Revision I (March 2013) to Revision J (March 2013) **Page**

- ナショナル セミコンダクターのデータシートのレイアウトを テキサス・インスツルメンツ形式に変更 17

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMC555CM/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	LMC 555CM
LMC555CMM/NOPB	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	ZC5
LMC555CMM/NOPB.A	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	ZC5
LMC555CMMX/NOPB	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	ZC5
LMC555CMMX/NOPB.A	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	ZC5
LMC555CMMX/NOPB.B	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	ZC5
LMC555CMX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	(LM555C, LMC) 555CM
LMC555CMX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(LM555C, LMC) 555CM
LMC555CMX/NOPB.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(LM555C, LMC) 555CM
LMC555CN/NOPB	Active	Production	PDIP (P) | 8	40 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	(LMC, LMC555CN) 555CN
LMC555CN/NOPB.A	Active	Production	PDIP (P) | 8	40 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	(LMC, LMC555CN) 555CN
LMC555CN/NOPBG4	Active	Production	PDIP (P) | 8	40 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	LMC555CN
LMC555CN/NOPBG4.A	Active	Production	PDIP (P) | 8	40 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	LMC555CN
LMC555CTP/NOPB	Active	Production	DSBGA (YPB) | 8	250 | SMALL T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	F 02
LMC555CTP/NOPB.A	Active	Production	DSBGA (YPB) | 8	250 | SMALL T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	F 02
LMC555CTP/NOPB.B	Active	Production	DSBGA (YPB) | 8	250 | SMALL T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	F 02
LMC555CTPX/NOPB	Active	Production	DSBGA (YPB) | 8	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	F 02
LMC555CTPX/NOPB.A	Active	Production	DSBGA (YPB) | 8	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	F 02
LMC555CTPX/NOPB.B	Active	Production	DSBGA (YPB) | 8	3000 | LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	F 02

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMC555IM/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	LMC 555IM
LMC555IMX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	(LM555I, LMC) 555IM
LMC555IMX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(LM555I, LMC) 555IM
LMC555IMX/NOPB.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(LM555I, LMC) 555IM

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

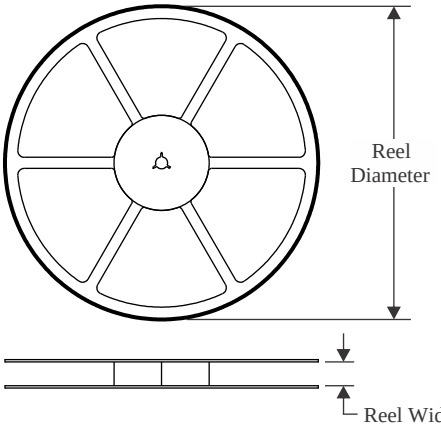
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

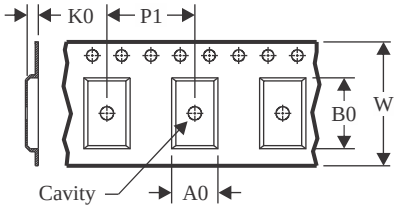
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

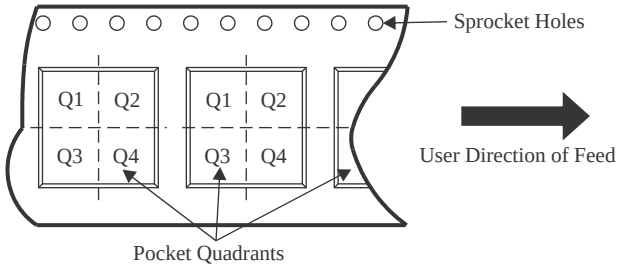


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

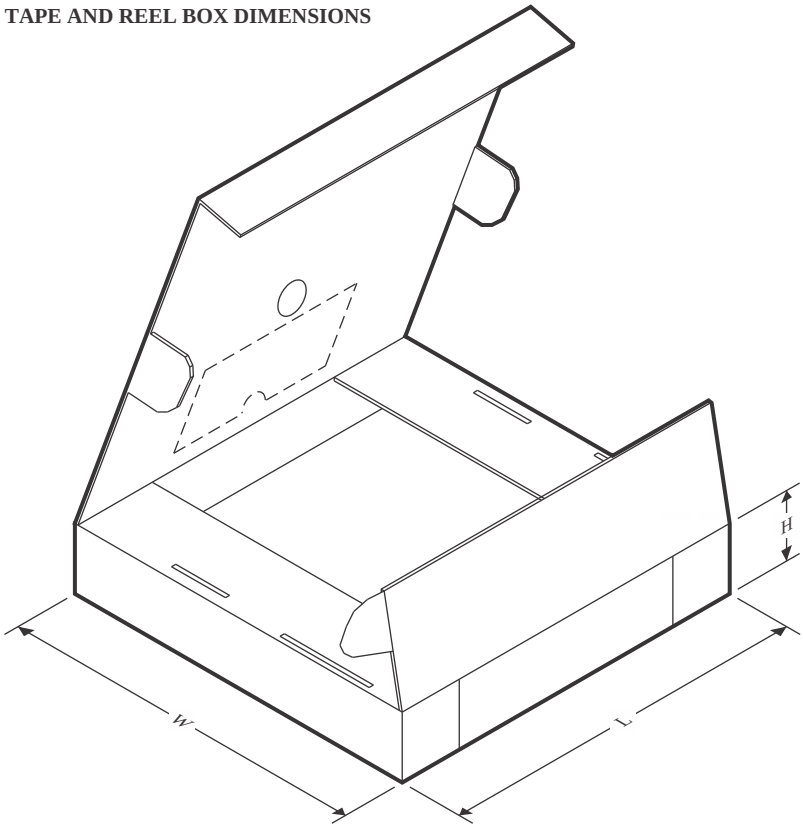
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMC555CMM/NOPB	VSSOP	DGK	8	1000	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMC555CMMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMC555CMMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
LMC555CMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMC555CTP/NOPB	DSBGA	YPB	8	250	178.0	8.4	1.5	1.5	0.66	4.0	8.0	Q1
LMC555CTPX/NOPB	DSBGA	YPB	8	3000	178.0	8.4	1.5	1.5	0.66	4.0	8.0	Q1
LMC555IMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1

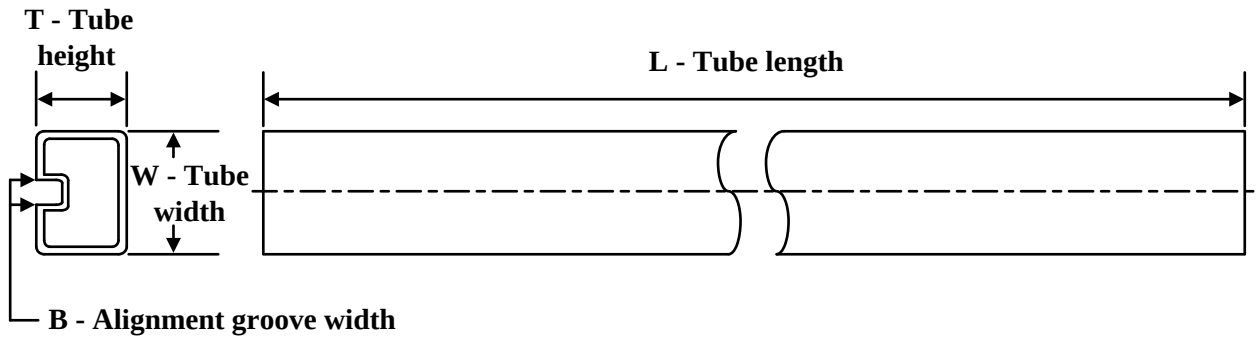
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMC555CMM/NOPB	VSSOP	DGK	8	1000	208.0	191.0	35.0
LMC555CMMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0
LMC555CMMX/NOPB	VSSOP	DGK	8	3500	366.0	364.0	50.0
LMC555CMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMC555CTP/NOPB	DSBGA	YPB	8	250	208.0	191.0	35.0
LMC555CTPX/NOPB	DSBGA	YPB	8	3000	208.0	191.0	35.0
LMC555IMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0

TUBE



*All dimensions are nominal

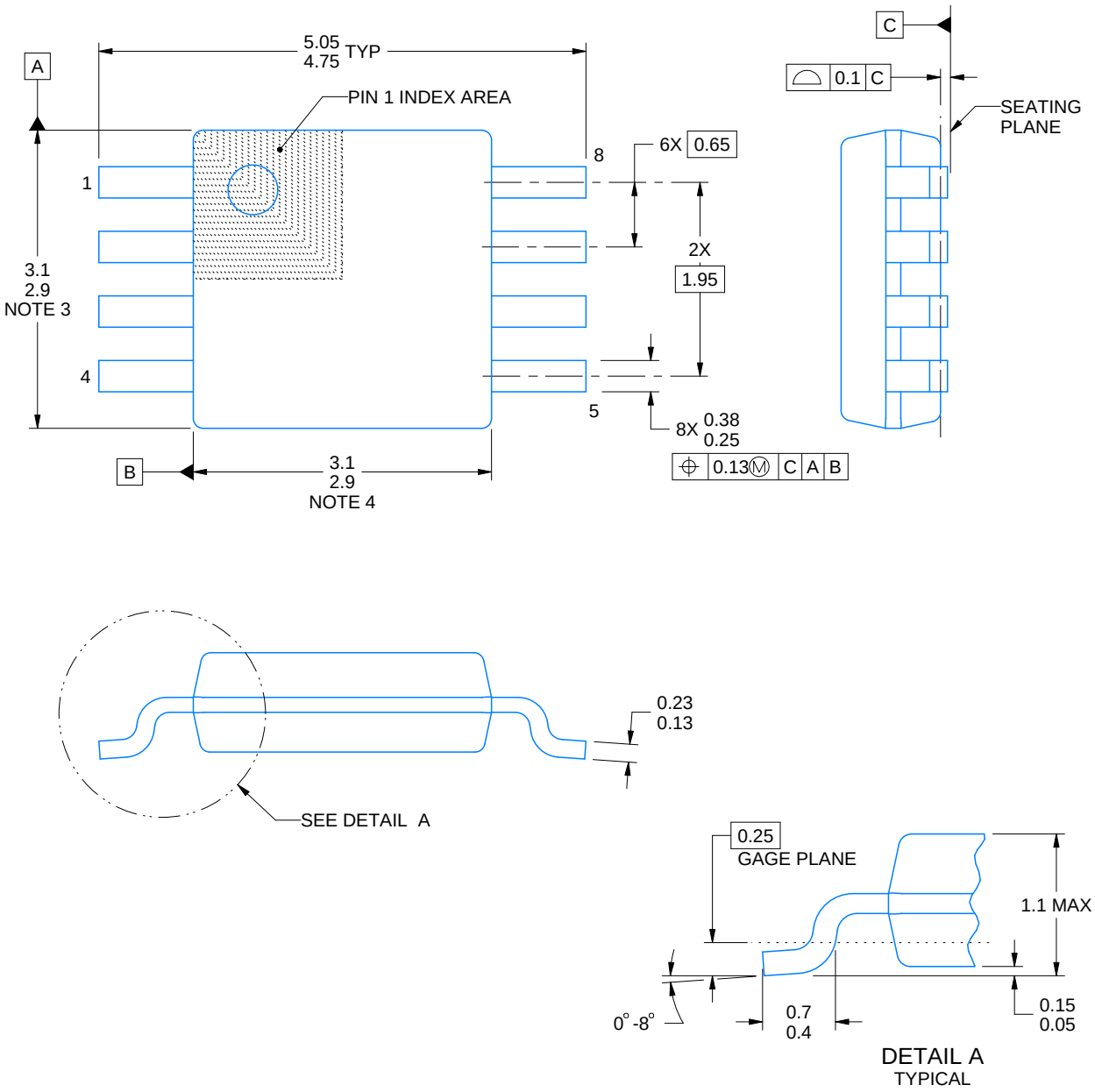
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
LMC555CN/NOPB	P	PDIP	8	40	506	13.97	11230	4.32
LMC555CN/NOPB	P	PDIP	8	40	506	13.97	11230	4.32
LMC555CN/NOPB	P	PDIP	8	40	502	14	11938	4.32
LMC555CN/NOPB	P	PDIP	8	40	506	13.97	11230	4.32
LMC555CN/NOPB.A	P	PDIP	8	40	506	13.97	11230	4.32
LMC555CN/NOPB.A	P	PDIP	8	40	502	14	11938	4.32
LMC555CN/NOPB.A	P	PDIP	8	40	506	13.97	11230	4.32
LMC555CN/NOPB.A	P	PDIP	8	40	506	13.97	11230	4.32
LMC555CN/NOPBG4	P	PDIP	8	40	506	13.97	11230	4.32
LMC555CN/NOPBG4.A	P	PDIP	8	40	506	13.97	11230	4.32

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

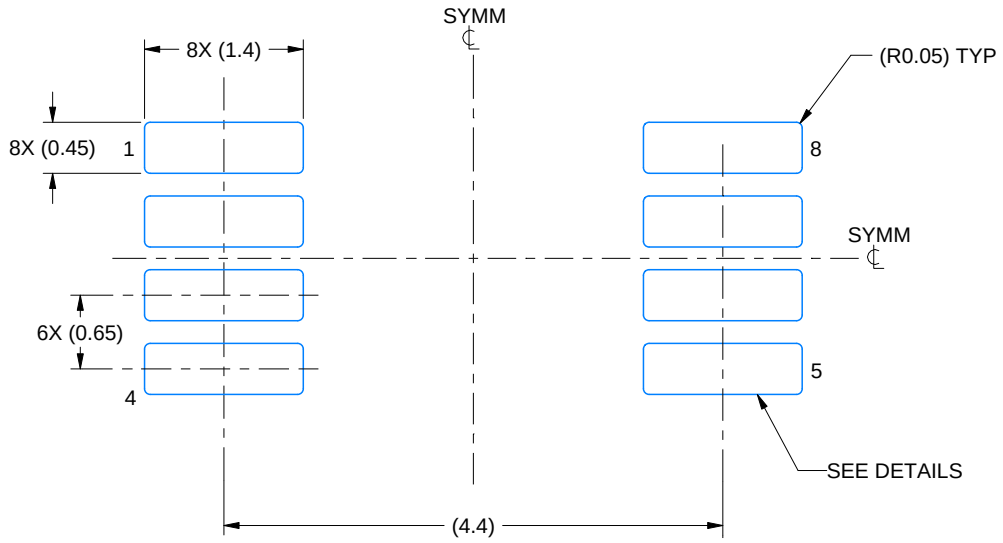
SMALL OUTLINE PACKAGE



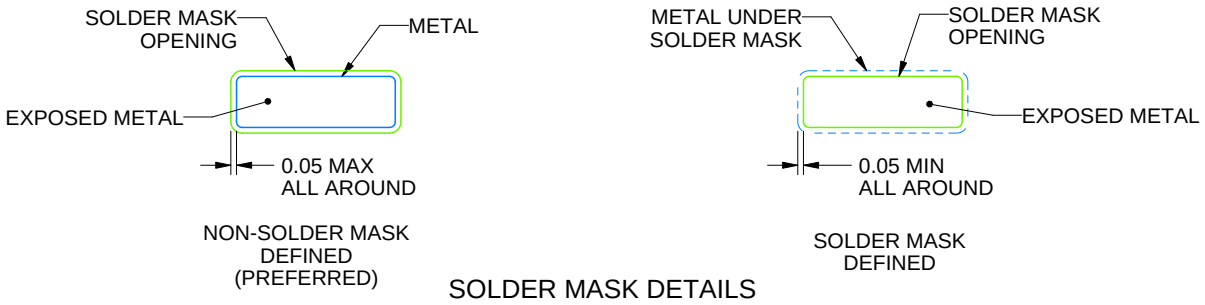
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

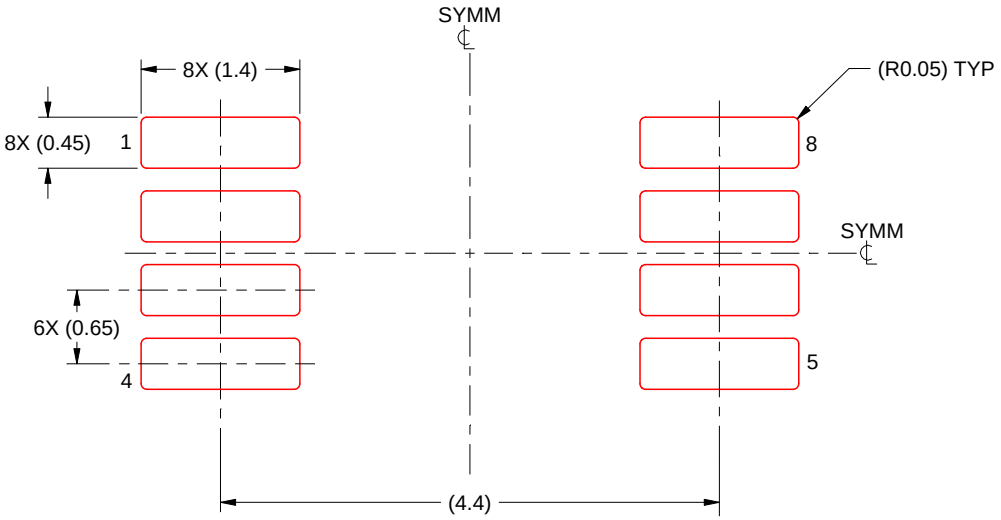


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

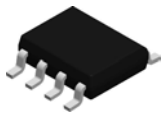


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

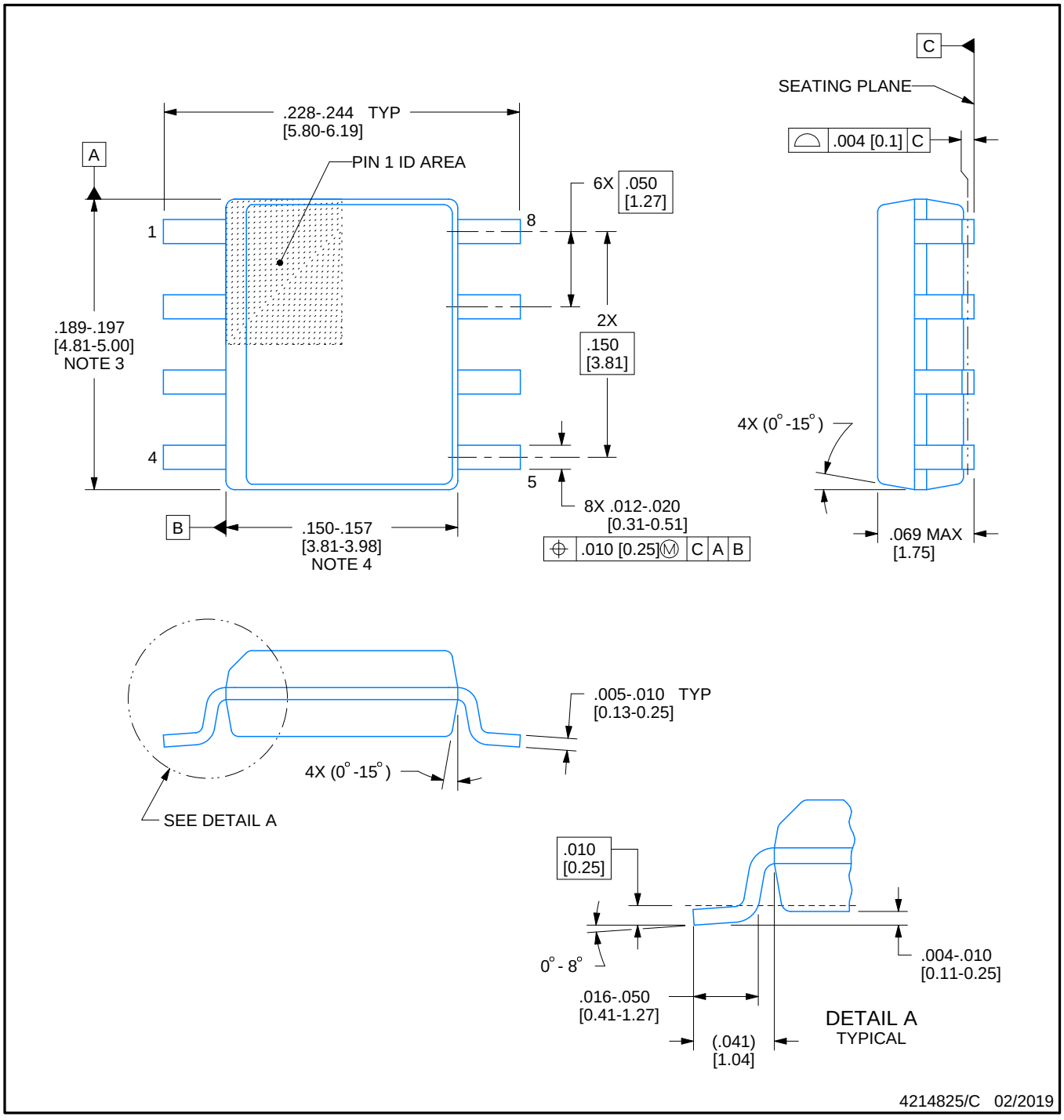


PACKAGE OUTLINE

D0008A

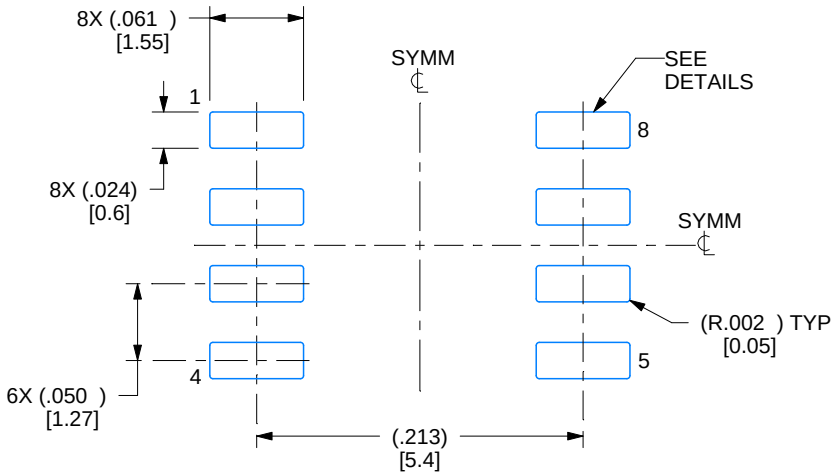
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

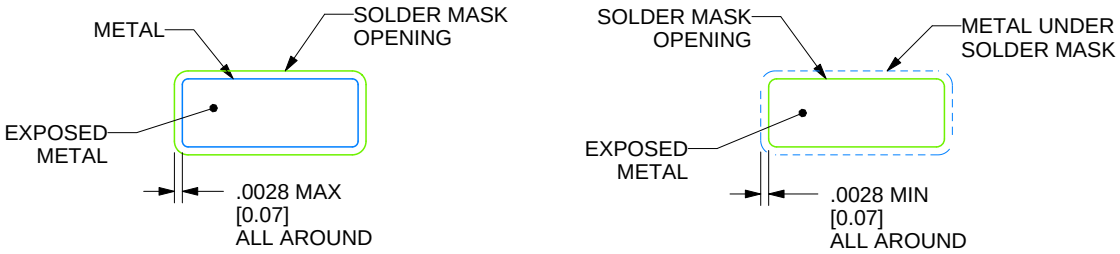


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

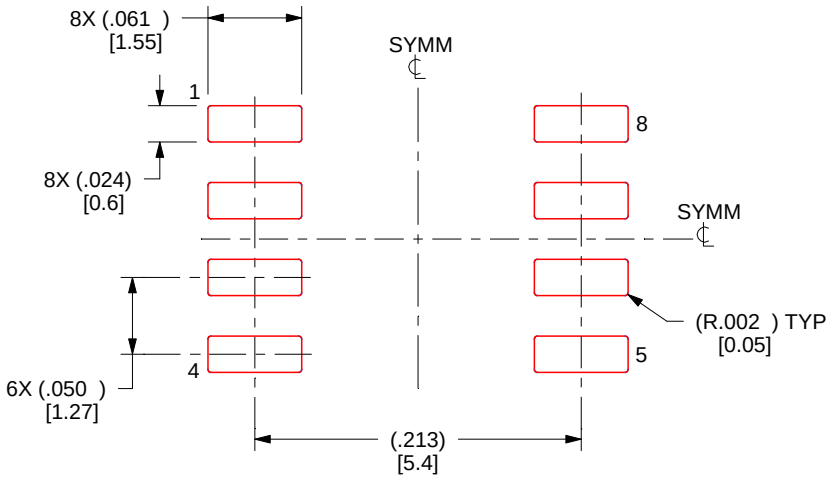
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



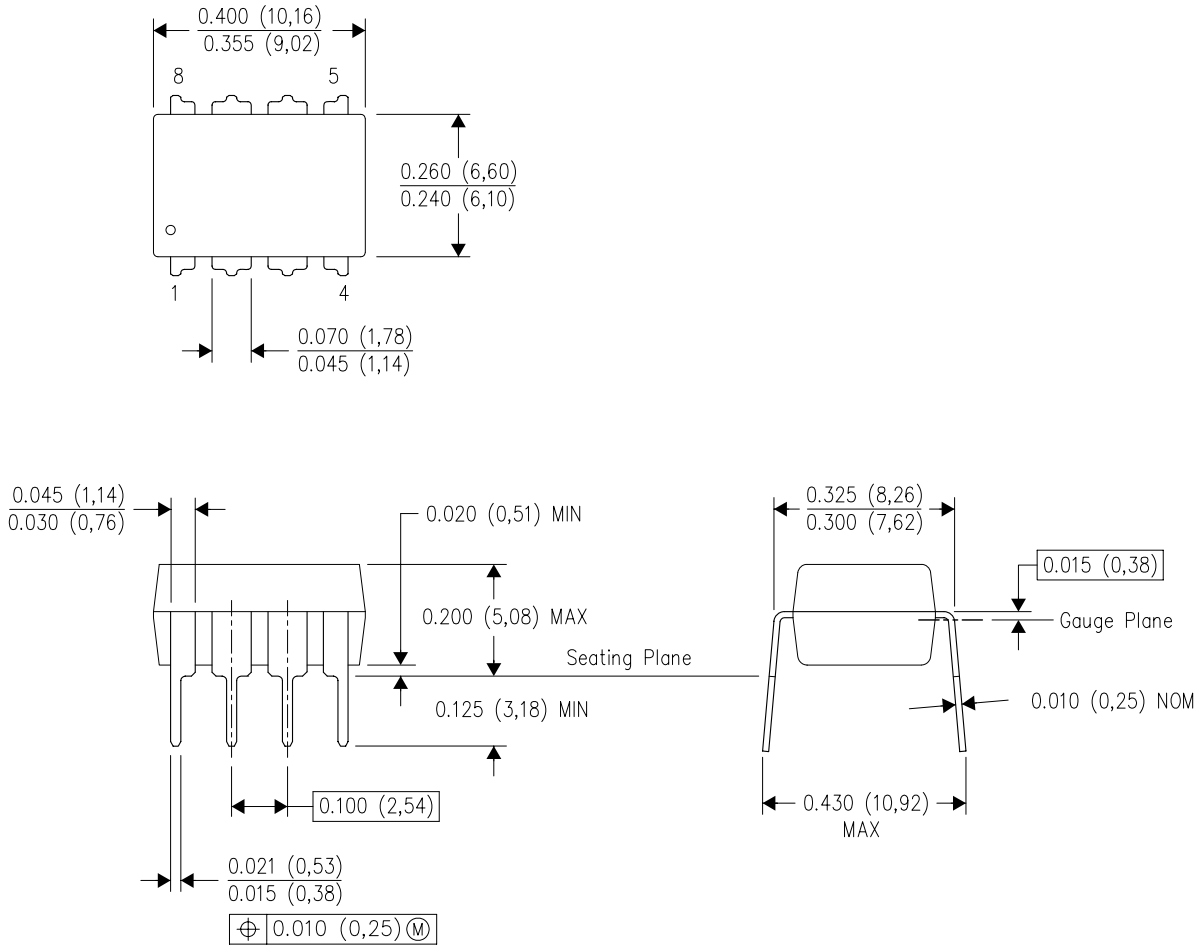
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE



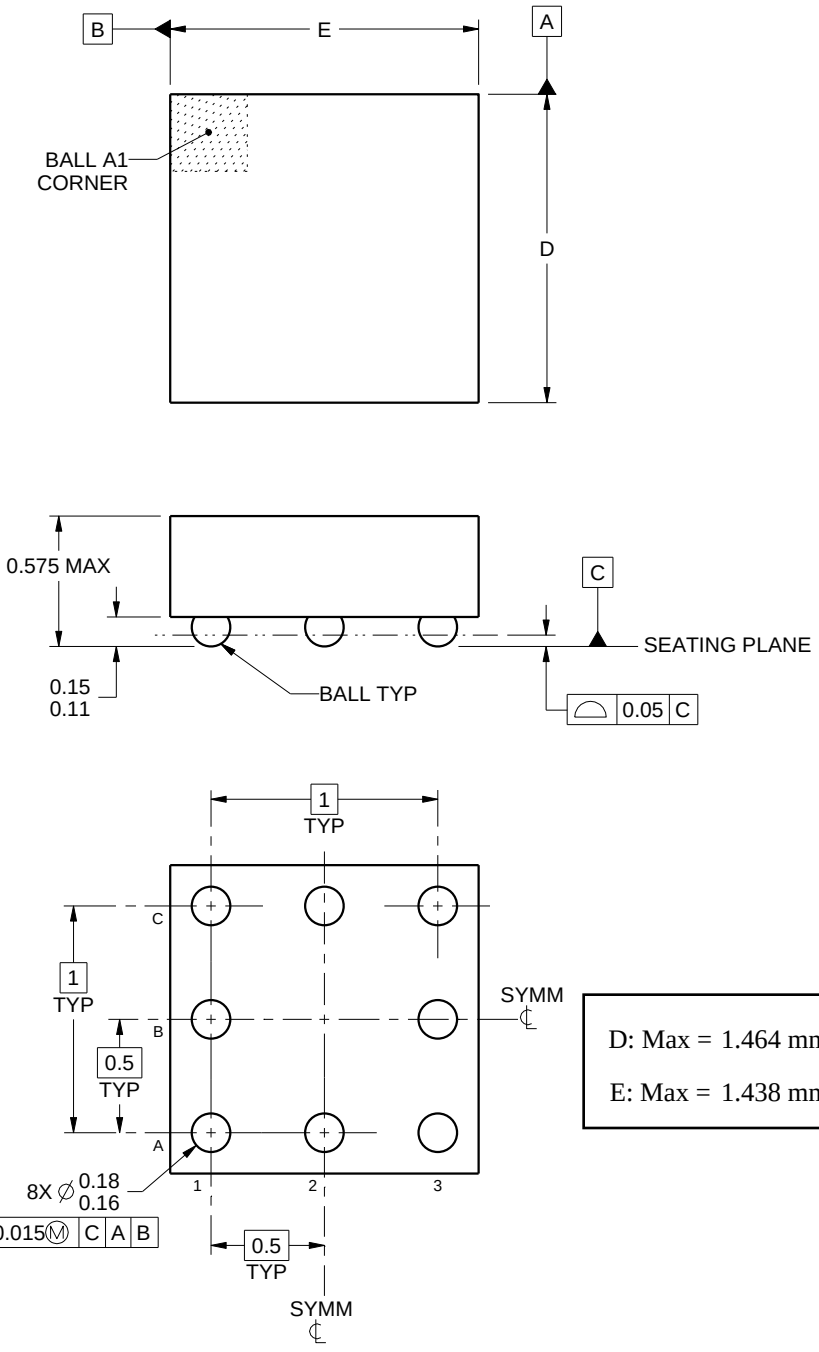
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

PACKAGE OUTLINE

YPB0008

DSBGA - 0.575 mm max height

DIE SIZE BALL GRID ARRAY



NOTES:

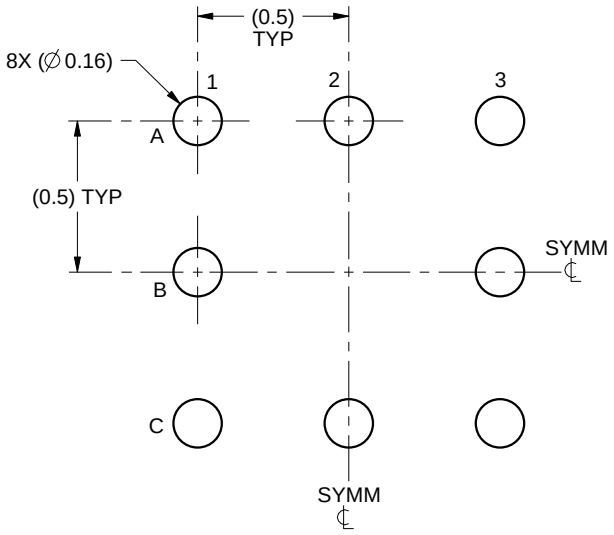
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

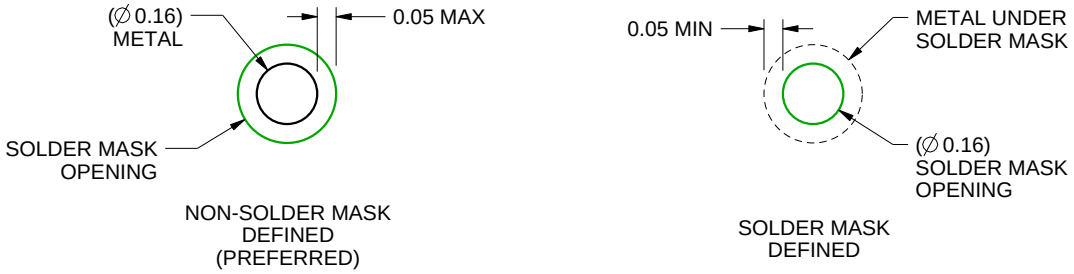
YPB0008

DSBGA - 0.575 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
SCALE:40X

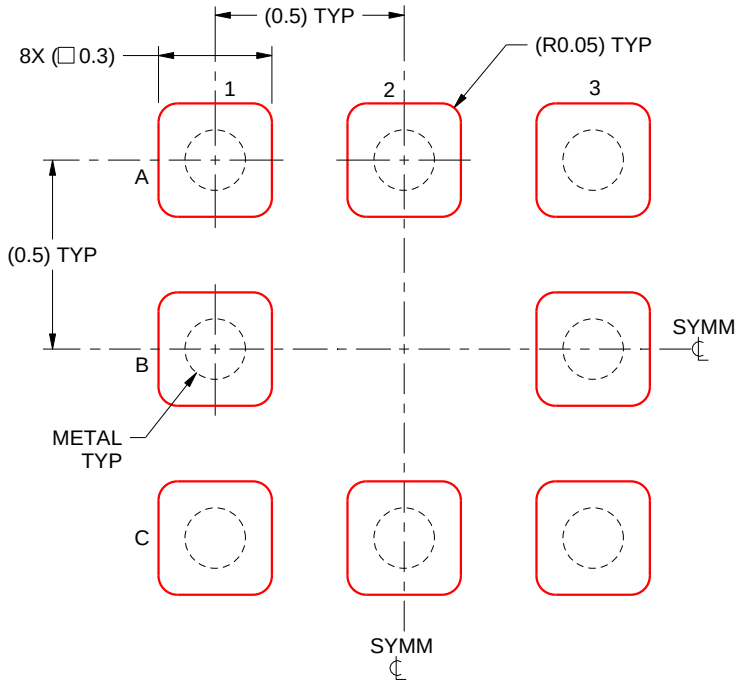


SOLDER MASK DETAILS
NOT TO SCALE

4215100/B 07/2016

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
   See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).



SOLDER PASTE EXAMPLE
BASED ON 0.125mm THICK STENCIL
SCALE:50X

4215100/B 07/2016

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月