LMC648x CMOS レール ツー レール入出力オペアンプ

1 特長

- レール ツー レールの入力同相電圧範囲 (全温度範囲で規定)
- レール ツー レールの出力スイング (電源レールの 20mV 以内、100kΩ 負荷)
- 3V、5V、15V で性能を規定
- 優れた CMRR および PSRR：82dB
- 超低入力電流：20fA
- 2kΩ および 600Ω 負荷について動作を規定
- TLC272、TLC277 の改良版

2 アプリケーション

- データ・アクイジション (DAQ)
- 貨幣計数機
- オシロスコープ (DSO)
- DC 内の相互接続 (都市部)
- マクロ・リモート無線ユニット (RRU)
- マルチパラメータ・メディカル・モニタ
- 商用テレコム整流器
- 列車制御 / 管理
- プロセス分析 (pH、ガス、濃度、力、湿度)
- 3 相 UPS

3 概要

LMC6482 と LMC6484 (LMC648x) デバイスは、同相範囲が両方の電源レールまで拡張されています。レール ツー レール性能と、高い CMRR による非常に優れた精度から、レール ツー レール入力アンプの中でも出色の製品です。このデバイスは、データ アクイジションなど、広い入力信号範囲を必要とするシステムに最適です。また、LMC648x は、TLC272、TLC274、TLC277、TLC279 などの同相範囲の限られたアンプを使用する回路のアップグレードとしても優れています。

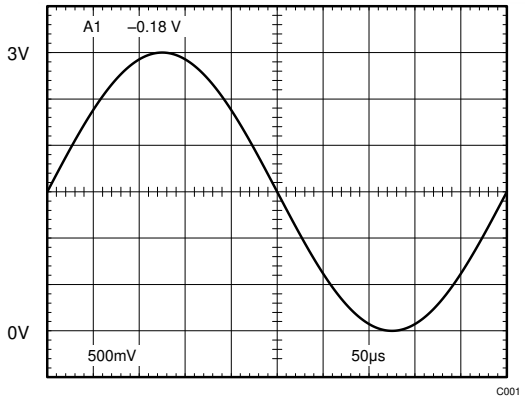
LMC648x のレール ツー レール出力スイングにより、低電圧および単一電源のシステムで最大のダイナミック信号範囲を確保できます。レール ツー レール出力スイングは、600Ω までの負荷に対して可能です。規定の低電圧特性と低消費電力により、LMC648x はバッテリ駆動システムに最適です。

LMC648x デバイスは、PDIP、SOIC、VSSOP パッケージで供給されます。

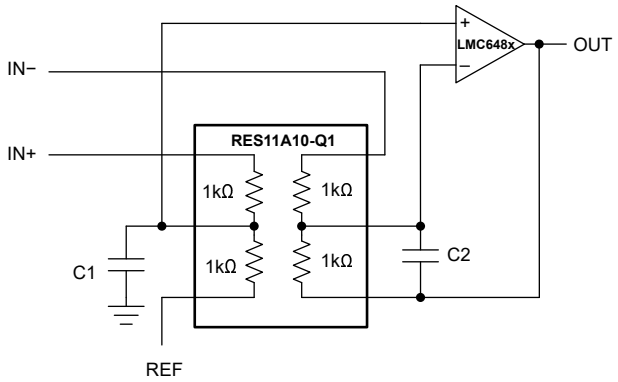
製品情報

部品番号	チャネル数	パッケージ (1)
LMC6482	デュアル	D (SOIC、8)
		DGK (VSSOP、8)
		P (PDIP、8)
LMC6484	クワッド	D (SOIC、14)
		N (PDIP、14)

(1) 詳細については、セクション 10 を参照してください。



レール ツー レール入力 (V_S = 3V)



ユニティ ゲイン差動アンプ

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 概要.....1
4 ピン構成および機能.....2
5 仕様.....4
5.1 絶対最大定格.....4
5.2 ESD 定格.....4
5.3 推奨動作条件.....4
5.4 熱に関する情報 (LMC6482).....5
5.5 熱に関する情報 (LMC6484).....5
5.6 電気的特性:V_S = 5V.....6
5.7 電気的特性:V_S = 3V.....9
5.8 代表的特性.....10
6 詳細説明.....17
6.1 概要.....17
6.2 機能ブロック図.....17
6.3 機能説明.....17
6.4 デバイスの機能モード.....18
7 アプリケーションと実装.....19
7.1 アプリケーション情報.....19
7.2 代表的なアプリケーション.....21
7.3 電源に関する推奨事項.....28
7.4 レイアウト.....28
8 デバイスおよびドキュメントのサポート.....30
8.1 デバイス サポート.....30
8.2 ドキュメントの更新通知を受け取る方法.....31
8.3 サポート・リソース.....31
8.4 商標.....31
8.5 静電気放電に関する注意事項.....31
8.6 用語集.....31
9 改訂履歴.....31
10 メカニカル、パッケージ、および注文情報.....33

4 ピン構成および機能

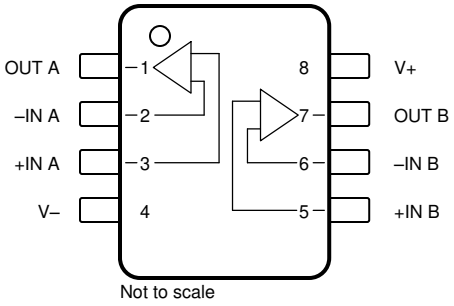


図 4-1. LMC6482：D パッケージ、8 ピン SIOIC、DGK パッケージ、8 ピン VSSOP、P パッケージ、8 ピン PDIP (上面図)

表 4-1. ピンの機能：LMC6482

ピン		タイプ	説明
番号	名称		
1	OUT A	出力	アンプ A の出力
2	-IN A	入力	アンプ A の反転入力
3	+IN A	入力	アンプ A の非反転入力
4	V-	電源	負電源電圧入力
5	+IN B	入力	アンプ B の非反転入力
6	-IN B	入力	アンプ B の反転入力
7	OUT B	出力	アンプ B の出力
8	V+	電源	正電源電圧入力

Copyright © 2024 Texas Instruments Incorporated

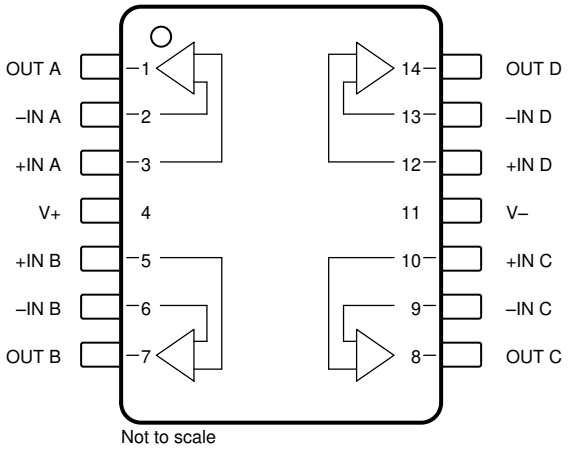


図 4-2. LMC6484：D パッケージ、14 ピン SOIC、N パッケージ、14 ピン PDIP (上面図)

表 4-2. ピンの機能：LMC6484

ピン		タイプ	説明
番号	名称		
1	OUT A	出力	アンプ A の出力
2	-IN A	入力	アンプ A の反転入力
3	+IN A	入力	アンプ A の非反転入力
4	V+	電源	正電源電圧入力
5	+IN B	入力	アンプ B の非反転入力
6	-IN B	入力	アンプ B の反転入力
7	OUT B	出力	アンプ B の出力
8	OUT C	出力	アンプ C の出力
9	-IN C	入力	アンプ C の反転入力
10	+IN C	入力	アンプ C の非反転入力
11	V-	電源	負電源電圧入力
12	+IN C	入力	アンプ D の反転入力
13	+IN C	入力	アンプ D の非反転入力
14	OUT C	出力	アンプ D の出力

Copyright © 2024 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1) (2)

		最小値	最大値	単位
	差動入力電圧		±電源電圧	
	入力 / 出力ピンの電圧	(V-) - 0.3	(V+) + 0.3	V
V_S	電源電圧、V_S = (V+) - (V-)		16	V
	入力ピンの電流(3)	-5	5	mA
	出力ピンの電流(4) (5)	-30	30	mA
	電源ピンの電流		40	mA
T_J	接合部温度 (6)		150	℃
T_{STG}	保存温度	-65	150	℃
	リード温度 (半田付け、10 秒)		260	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。
(2) 防衛または航空宇宙仕様のデバイスをお求めの場合は、供給状況および仕様についてテキサス・インスツルメンツの営業所または販売代理店にお問い合わせください。
(3) 入力ピン電流の制限は、入力電圧が絶対最大定格を超える場合にのみ必要です。
(4) 単一電源と分割電源での両方の動作に適用されます。高い周囲温度で連続的に短絡動作させると、150℃の最大許容接合部温度を超える可能性があります。
長時間にわたって出力電流が ±30mA を超えると、信頼性に悪影響を及ぼす可能性があります。
(5) V+ が 13V を上回っている場合は、出力を V+ に短絡させないでください。短絡させると、信頼性が低下します。
(6) 最大消費電力は、$T_{J(max)}$、$R_{\theta JA}$、T_A の関数です。最大許容消費電力と周囲温度の関係式は、
$P_D = (T_{J(max)} – T_A)/\theta_{JA}$ です。すべての数値は、プリント基板 (PCB) に直接半田付けするパッケージに適用されます。

5.2 ESD 定格

			値	単位
LMC6482				
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±1500	V
LMC6484				
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_S	電源電圧、V_S = (V+) - (V-)	3		15.5	V
T_J	接合部温度	-40		85	℃

Copyright © 2024 Texas Instruments Incorporated

5.4 熱に関する情報 (LMC6482)

熱評価基準(1)		LMC6482			単位
		D (SOIC)	DGK (VSSOP)	P (PDIP)	
		8 ピン	8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	128.9	169.5	76.2	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	68.6	60.9	65.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	72.4	91.2	52.7	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	19.7	8.3	35.3	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	71.6	89.6	52.2	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

5.5 熱に関する情報 (LMC6484)

熱評価基準(1)		LMC6484		単位
		D (SOIC)	N (PDIP)	
		14 ピン	14 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	83.0	53.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	42.7	32.0	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	42.4	26.0	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	7.0	10.0	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	42.0	25.5	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	該当なし	該当なし	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション レポートを参照してください。

Copyright © 2024 Texas Instruments Incorporated

5.6 電気的特性：V_S = 5V

T_J = +25℃、V+ = 5V、V– = 0V、V_{CM} = V_{OUT} = V+/2、R_L > 1MΩ (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
DC 仕様							
V_{OS}	入力オフセット電圧	LMC648xAI			±0.11	±0.75	mV
			T_A = –40℃～+85℃			±1.35	
		LMC648xI			±0.11	±3	
			T_A = –40℃～+85℃			±3.7	
dV_{OS}/dT	入力オフセット電圧ドリフト	T_A = –40℃～+85℃			±1		µV/℃
I_B	入力バイアス電流				±0.02		pA
		T_A = –40℃～+85℃				±4	
I_{OS}	入力オフセット電流				±0.01		pA
		T_A = –40℃～+85℃				±2	
C_{IN}	同相入力キャパシタンス				3		pF
R_{IN}	入力抵抗				10		TΩ
CMRR	同相除去比	LMC648xAI 0V ≦ V_{CM} ≦ 15V、V+ = 15V		70	82		dB
			T_A = –40℃～+85℃	67			
		LMC648xI 0V ≦ V_{CM} ≦ 15V、V+ = 15V		65	82		
			T_A = –40℃～+85℃	62			
		LMC648xAI 0V ≦ V_{CM} ≦ 5V、V+ = 5V		70	82		
			T_A = –40℃～+85℃	67			
		LMC648xI 0V ≦ V_{CM} ≦ 5V、V+ = 5V		60	82		
			T_A = –40℃～+85℃	58			
+PSRR	正の電源電圧変動除去比	LMC648xAI 5V ≦ V+ ≦ 15V、V- = 0V、 V_O = 2.5V		70	82		dB
			T_A = –40℃～+85℃	67			
		LMC648xI 5V ≦ V+ ≦ 15V、V- = 0V、 V_O = 2.5V		65	82		
			T_A = –40℃～+85℃	62			
-PSRR	負の電源電圧変動除去比	LMC648xAI -5V ≦ V- ≦ -15V、V+ = 0V、 V_O = -2.5V		70	82		dB
			T_A = –40℃～+85℃	67			
		LMC648xI -5V ≦ V- ≦ -15V、V+ = 0V、 V_O = -2.5V		65	82		
			T_A = –40℃～+85℃	62			
V_{CM}	入力同相電圧	V+ = 5V および 15V、 CMRR ≧ 50dB の場合	Low		(V-) - 0.3	-0.25	V
			Low、T_A = -40℃～+85℃			0	
			High	(V+) + 0.25	(V+) + 0.3		
			High、T_A = -40℃～+85℃	(V+)			

Copyright © 2024 Texas Instruments Incorporated

5.6 電気的特性：V_S = 5V (続き)

T_J = +25℃、V+ = 5V、V– = 0V、V_{CM} = V_{OUT} = V+/2、R_L > 1MΩ (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
A_V	大信号電圧ゲイン	LMC648xAI ソース、R_L = 2kΩ を 7.5V に接続、 V+ = 15V、7.5V ≦ V_O ≦ 11.5V		140	666		V/mV
			T_A = –40℃～+85℃	84			
		LMC648xI ソース、R_L = 2kΩ を 7.5V に接続、 V+ = 15V、7.5V ≦ V_O ≦ 11.5V		120	666		
			T_A = –40℃～+85℃	72			
		LMC648xAI シンク、R_L = 2kΩ を 7.5V に接続、 V+ = 15V、3.5V ≦ V_O ≦ 7.5V		35	75		
			T_A = –40℃～+85℃	20			
		LMC648xI シンク、R_L = 2kΩ を 7.5V に接続、 V+ = 15V、3.5V ≦ V_O ≦ 7.5V		35	75		
			T_A = –40℃～+85℃	20			
		LMC648xAI ソース、R_L = 600Ω を 7.5V に接続、 V+ = 15V、7.5V ≦ V_O ≦ 11.5V		80	300		
			T_A = –40℃～+85℃	48			
		LMC648xI ソース、R_L = 600Ω を 7.5V に接続、 V+ = 15V、7.5V ≦ V_O ≦ 11.5V		50	300		
			T_A = –40℃～+85℃	30			
		LMC648xAI シンク、R_L = 600Ω を 7.5V に接続、 V+ = 15V、3.5V ≦ V_O ≦ 7.5V		20	35		
			T_A = –40℃～+85℃	13			
		LMC648xI シンク、R_L = 600Ω を 7.5V に接続、 V+ = 15V、3.5V ≦ V_O ≦ 7.5V		15	35		
			T_A = –40℃～+85℃	10			
V_O	電圧出力スイング	V+ = 5V、R_L = 2kΩ を V+/2 に接続	スイング High	4.8	4.9		V
			スイング High、 T_A = -40℃～+85℃	4.7			
			スイング Low		0.1	0.18	
			スイング Low、 T_A = -40℃～+85℃			0.24	
		V+ = 5V、R_L = 600Ω を V+/2 に接続	スイング High	4.5	4.7		
			スイング High、 T_A = -40℃～+85℃	4.24			
			スイング Low		0.3	0.5	
			スイング Low、 T_A = -40℃～+85℃			0.65	
		V+ = 15V、R_L = 2kΩ を V+/2 に接続	スイング High	14.4	14.7		
			スイング High、 T_A = -40℃～+85℃	14.2			
			スイング Low		0.16	0.32	
			スイング Low、 T_A = -40℃～+85℃			0.45	
		V+ = 15V、R_L = 600Ω を V+/2 に接続	スイング High	13.4	14.1		
			スイング High、 T_A = -40℃～+85℃	13			
			スイング Low		0.5	1	
			スイング Low、 T_A = -40℃～+85℃			1.3	

Copyright © 2024 Texas Instruments Incorporated

5.6 電気的特性：V_S = 5V (続き)

T_J = +25℃、V+ = 5V、V– = 0V、V_{CM} = V_{OUT} = V+/2、R_L > 1MΩ (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
I_{SC}	出力短絡電流	V+ = 5V、ソース、V_O = 0V		16	20		mA
			T_A = –40℃～+85℃	12			
		V+ = 5V、シンク、V_O = 5V		11	15		
			T_A = –40℃～+85℃	9.5			
		V+ = 15V、ソース、V_O = 0V		28	30		
			T_A = –40℃～+85℃	22			
		V+ = 15V、シンク、V_O = 12V(1)		30	30		
			T_A = –40℃～+85℃	24			
I_S	電源電流	アンプごと、V+ = 5V、V_O = V+/2			0.5	0.7	mA
			T_A = –40℃～+85℃			0.9	
		アンプごと、V+ = 15V、V_O = V+/2	LMC6482		0.65	0.8	
			LMC6484		0.65	0.75	
			T_A = –40℃～+85℃			0.95	
AC 仕様							
SR	スルーレート(2)	LMC648xAI V+ = 15V、10V ステップ		1	1.3		V/µs
			T_A = –40℃～+85℃	0.7			
		LMC648xI V+ = 15V、10V ステップ		0.9	1.3		
			T_A = –40℃～+85℃	0.63			
GBW	ゲイン帯域幅	V+ = 15V			1.5		MHz
Θ_m	位相マージン				50		度
G_m	ゲイン マージン				15		dB
	アンプ間の絶縁	V+ = 15V、R_L= 100kΩ を 7.5V に接続、V_O = $12V_{PP}$、f = 1kHz			150		dB
e_n	入力換算電圧ノイズ	f = 1kHz、V_{CM} = 1V			37		nV/√Hz
i_n	入力電流ノイズ密度	f = 1kHz			0.03		pA/√Hz
THD	全高調波歪	f = 10kHz、A_V= -2、R_L= 10kΩ	V_O = $8.5V_{PP}$		0.01		%
			V+ = 10V、V_O = $4.1V_{PP}$		0.01		

(1) V+ が 13V を上回っている場合は、出力を V+ に短絡させないでください。短絡させると、信頼性が低下します。
(2) 複数のロットにわたるデバイスの母集団ベンチ システムの測定から確立された仕様。指定された数値は、正と負のスルーレートのうち、遅い方を示しています。

Copyright © 2024 Texas Instruments Incorporated

5.7 電気的特性：V_S = 3V

T_J = +25℃、V+ = 3V、V- = 0V、V_{CM} = V_{OUT} = V+/2、R_L > 1MΩ (特に記述のない限り)

パラメータ		テスト条件		最小値	標準値	最大値	単位
DC 仕様							
V_{OS}	入力オフセット電圧	LMC648xAI			±0.9	±2	mV
			T_A = –40℃～+85℃			±2.7	
		LMC648xI			±0.9	±3	
			T_A = –40℃～+85℃			±3.7	
dV_{OS}/dT	入力オフセット電圧ドリフト	T_A = –40℃～+85℃			±2		µV/℃
I_B	入力バイアス電流				±0.02		pA
I_{OS}	入力オフセット電流				±0.01		pA
CMRR	同相除去比	0V < V_{CM} < 3V	LMC648xAI	60	74		dB
			LMC648xI	55	74		
PSRR	電源除去比	3V < V+ < 15V、V– = 0V	LMC648xAI	68	80		dB
			LMC648xI	60	80		
V_{CM}	入力同相電圧	CMRR ≧ 50dB のとき	Low		(V-) - 0.25	0	V
			High	(V+)	(V+) + 0.25		
V_O	電圧出力スイング	R_L = 2kΩ を V+/2 に接続	スイング High		2.8		V
			スイング Low		0.2		
		R_L = 600Ω を V+/2 に接続	スイング High	2.5	2.7		
			スイング Low		0.37	0.6	
I_S	電源電流	アンプ 1 個あたり	LMC6482		0.4125	0.6	mA
			LMC6484		0.4125	0.625	
			T_A = –40℃～+85℃			0.75	
AC 仕様							
SR	スルーレート(1)	電圧フォロワ、2V ステップ			0.9		V/µs
GBW	ゲイン帯域幅				1		MHz
THD	全高調波歪	f = 10kHz、A_V = -2、R_L = 10kΩ、V_O = $2V_{PP}$			0.02		%

(1) 指定された数値は、正と負のスルーレートのうち、遅い方を示しています。

Copyright © 2024 Texas Instruments Incorporated

5.8 代表的特性

V_S = 15V、単一電源、T_A = 25℃ (特に記述のない限り)

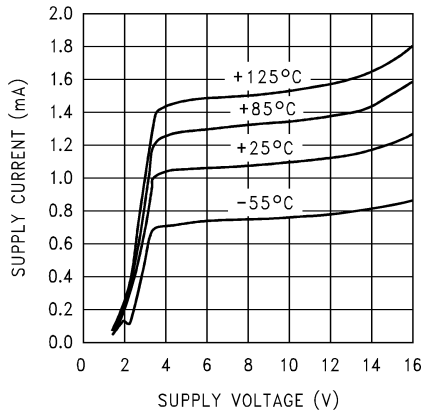


図 5-1. 電源電流と電源電圧との関係

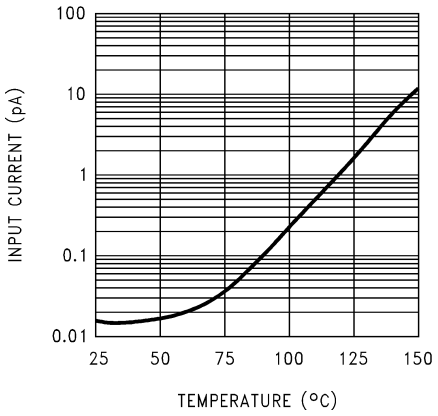


図 5-2. 入力電流と温度との関係

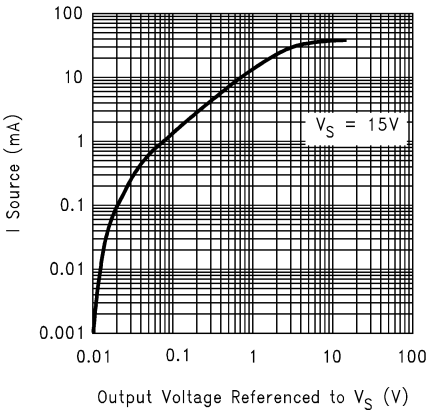


図 5-3. ソース電流と出力電圧との関係

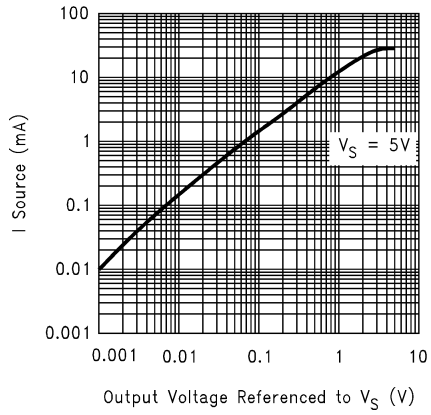


図 5-4. ソース電流と出力電圧との関係

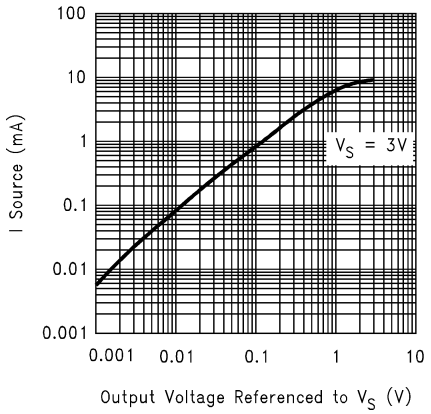


図 5-5. ソース電流と出力電圧との関係

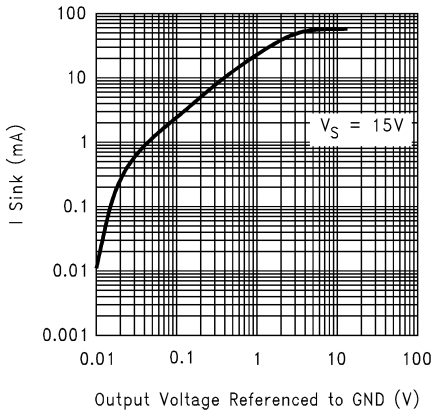


図 5-6. シンク電流と出力電圧との関係

Copyright © 2024 Texas Instruments Incorporated

5.8 代表的特性 (続き)

V_S = 15V、単一電源、T_A = 25℃ (特に記述のない限り)

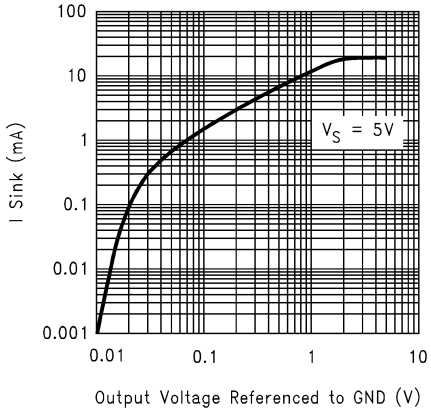


図 5-7. シンク電流と出力電圧との関係

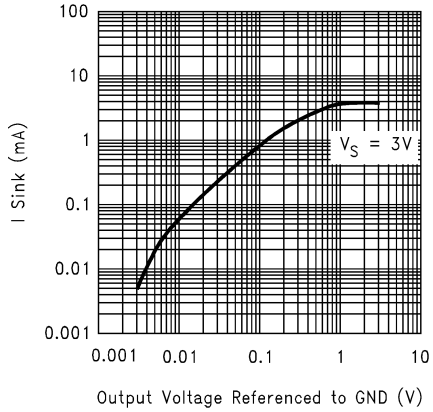


図 5-8. シンク電流と出力電圧との関係

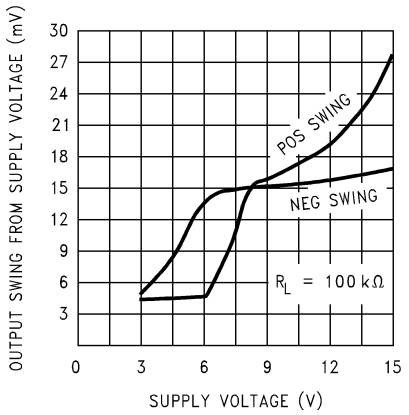


図 5-9. 出力電圧スイングと電源電圧との関係

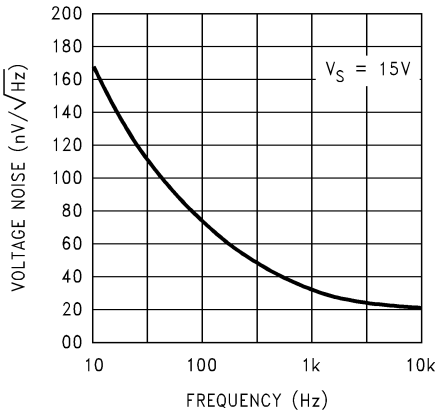


図 5-10. 入力電圧ノイズと周波数との関係

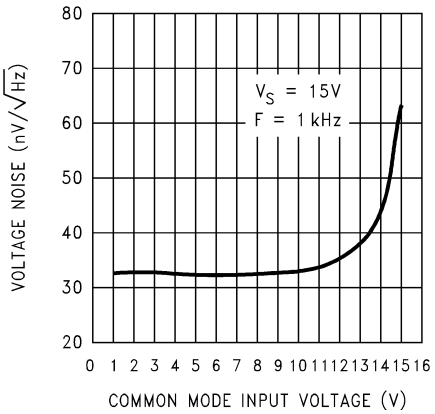


図 5-11. 入力電圧ノイズと入力電圧との関係

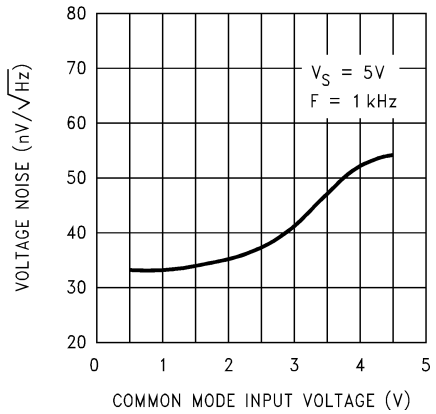


図 5-12. 入力電圧ノイズと入力電圧との関係

Copyright © 2024 Texas Instruments Incorporated

5.8 代表的特性 (続き)

V_S = 15V、単一電源、T_A = 25℃ (特に記述のない限り)

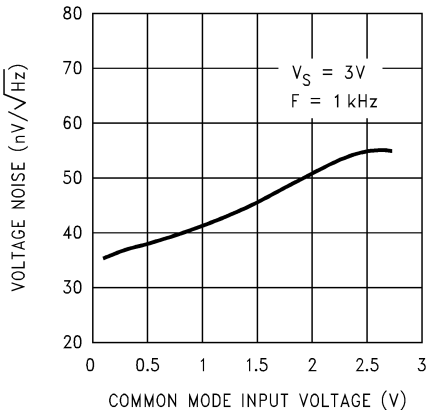


図 5-13. 入力電圧ノイズと入力電圧との関係

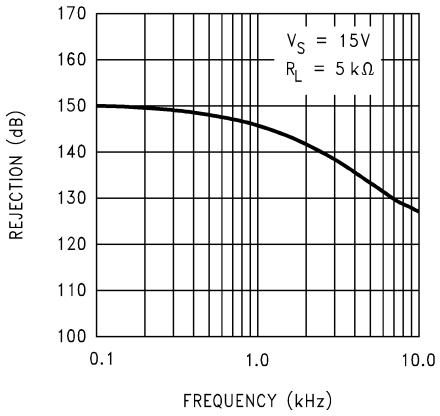


図 5-14. クロストーク除去と周波数との関係

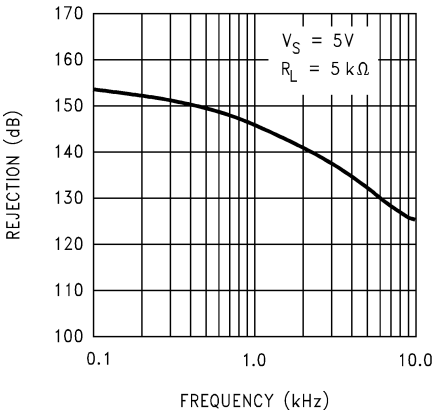


図 5-15. クロストーク除去と周波数との関係

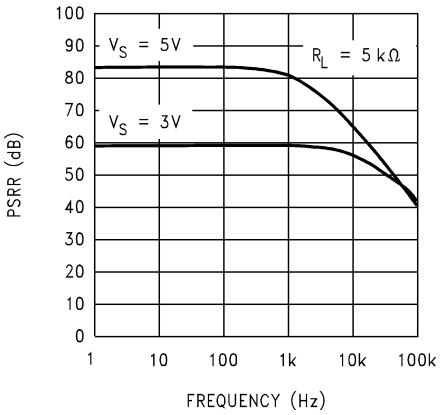


図 5-16. 正の PSRR と周波数との関係

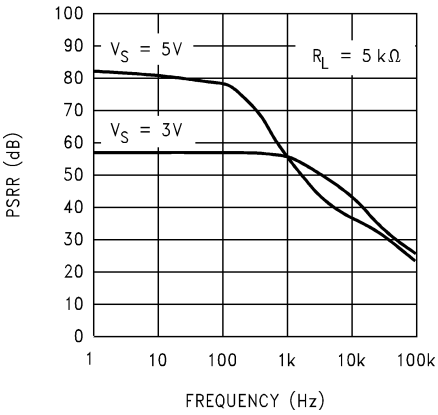


図 5-17. 負の PSRR と周波数との関係

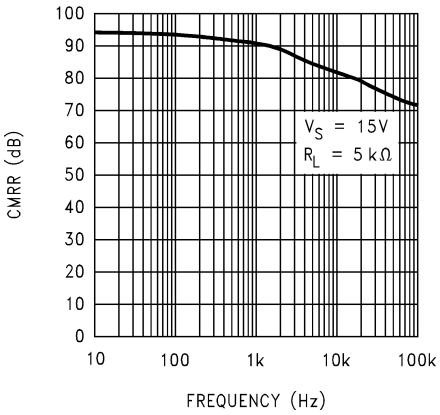


図 5-18. CMRR と周波数との関係

Copyright © 2024 Texas Instruments Incorporated

5.8 代表的特性 (続き)

V_S = 15V、単一電源、T_A = 25℃ (特に記述のない限り)

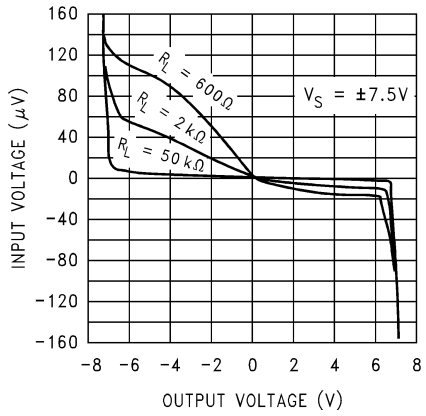


図 5-19. 入力電圧と出力電圧との関係

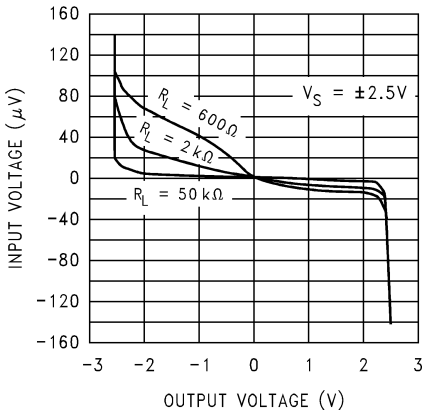


図 5-20. 入力電圧と出力電圧との関係

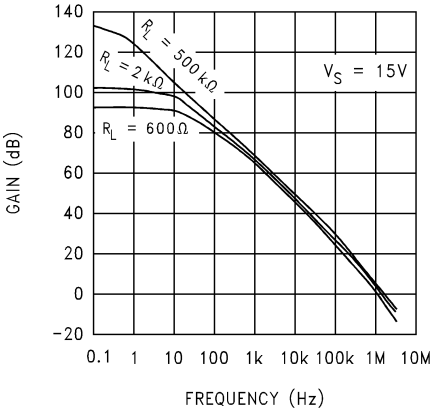


図 5-21. 開ループの周波数応答

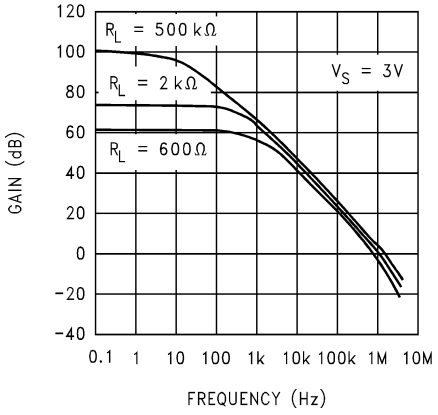


図 5-22. 開ループの周波数応答

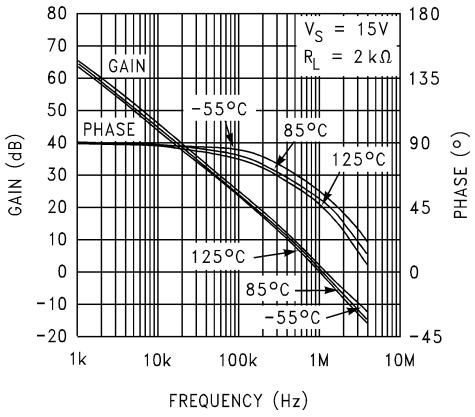


図 5-23. 開ループの周波数応答と温度との関係

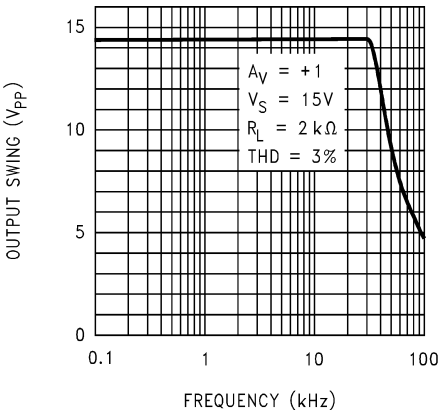


図 5-24. 最大出力スイングと周波数との関係

5.8 代表的特性 (続き)

V_S = 15V、単一電源、T_A = 25℃ (特に記述のない限り)

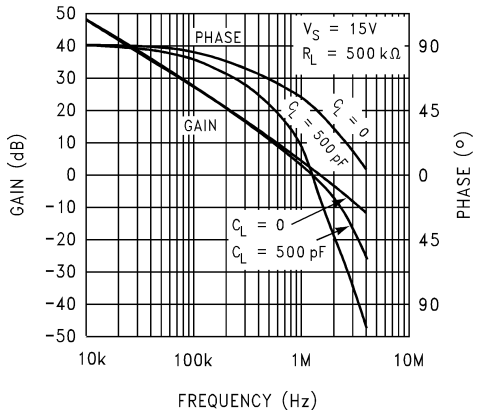


図 5-25. ゲインおよび位相と容量性負荷との関係

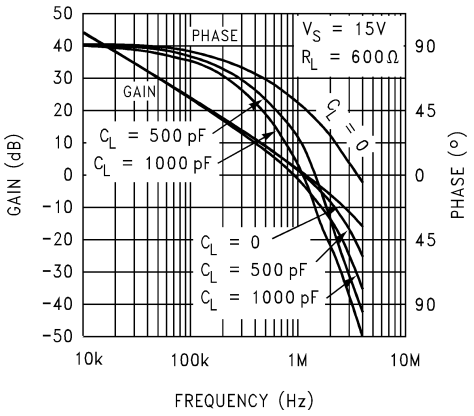


図 5-26. ゲインおよび位相と容量性負荷との関係

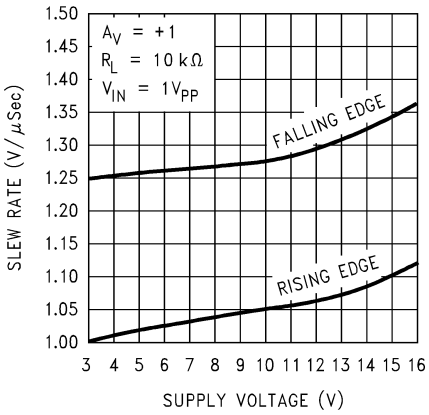


図 5-27. スルーレートと電源電圧との関係

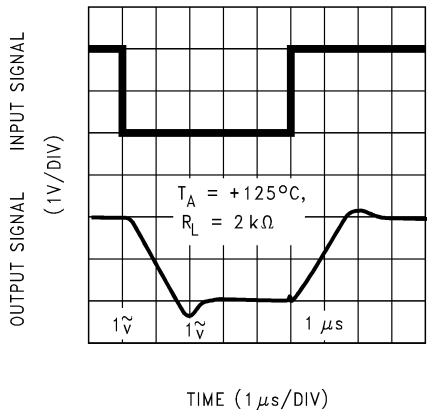


図 5-28. 非反転型の大信号パルス応答

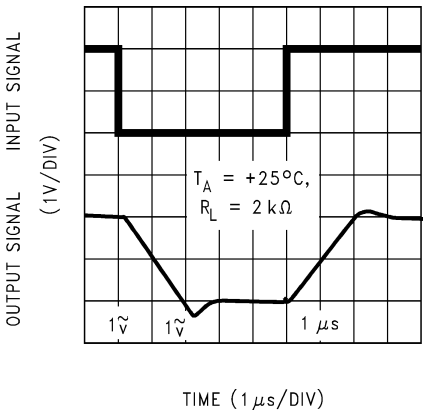


図 5-29. 非反転型の大信号パルス応答

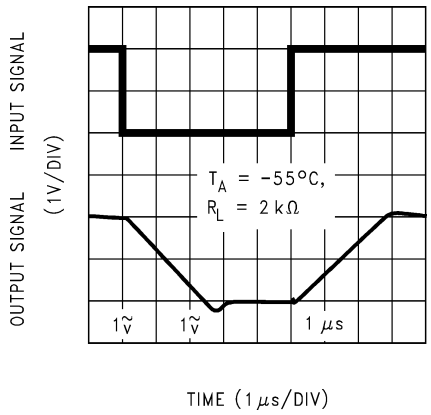


図 5-30. 非反転型の大信号パルス応答

Copyright © 2024 Texas Instruments Incorporated

5.8 代表的特性 (続き)

V_S = 15V、単一電源、T_A = 25℃ (特に記述のない限り)

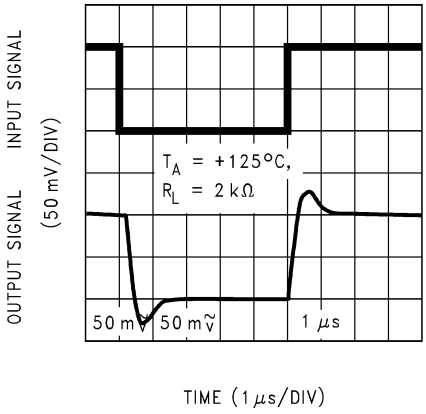


図 5-31. 非反転型の小信号パルス応答

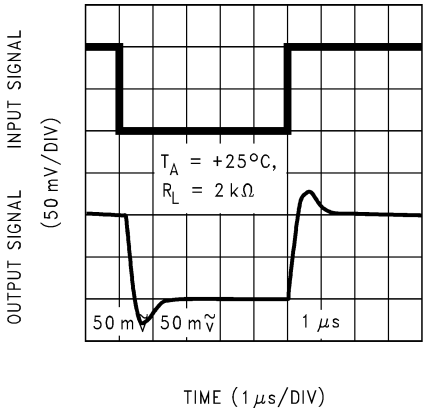


図 5-32. 非反転型の小信号パルス応答

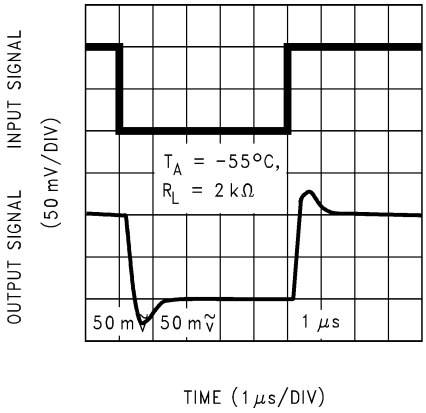


図 5-33. 非反転型の小信号パルス応答

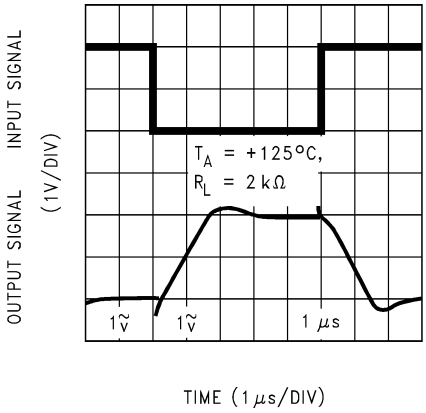


図 5-34. 反転型の大信号パルス応答

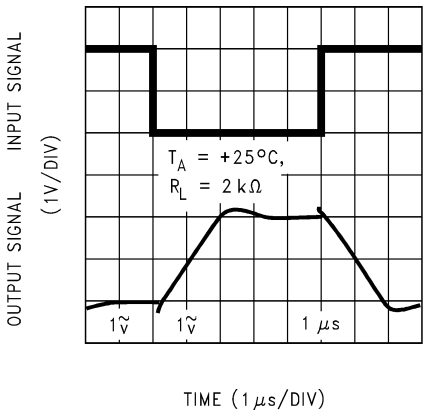


図 5-35. 反転型の大信号パルス応答

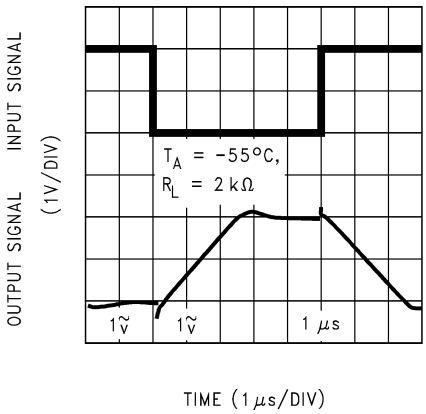


図 5-36. 反転型の大信号パルス応答

Copyright © 2024 Texas Instruments Incorporated

5.8 代表的特性 (続き)

V_S = 15V、単一電源、T_A = 25℃ (特に記述のない限り)

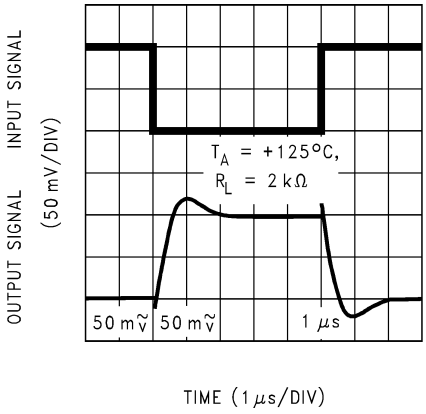


図 5-37. 反転型の小信号パルス応答

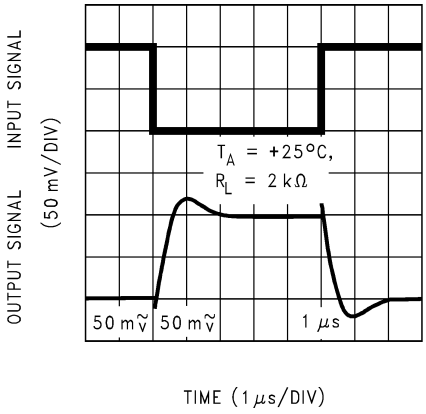


図 5-38. 反転型の小信号パルス応答

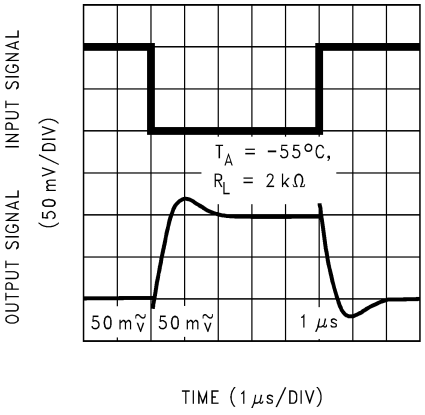


図 5-39. 反転型の小信号パルス応答

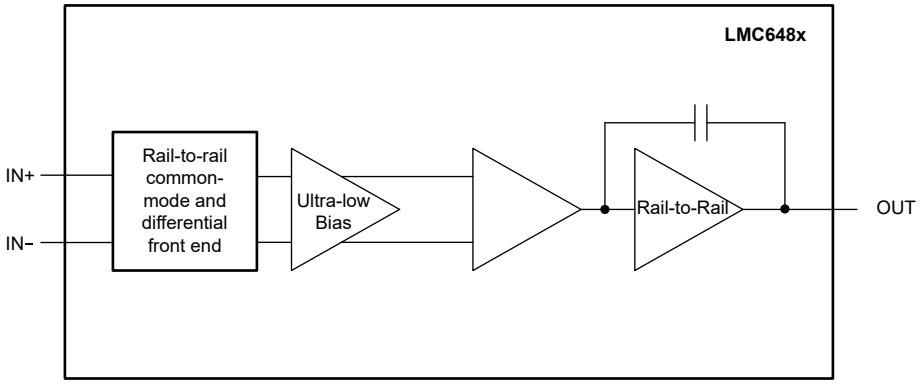
Copyright © 2024 Texas Instruments Incorporated

6 詳細説明

6.1 概要

LMC648x は、レール ツー レールの入力と出力をサポートする CMOS オペアンプです。このデバイスは、デュアル電源モードと単一電源モードの両方で動作します。

6.2 機能ブロック図



6.3 機能説明

6.3.1 アンプ トポロジ

LMC648x は、真のレール ツー レール入力オペアンプで、入力同相範囲が両方の電源レールから 300mV まで拡張されています。入力同相電圧が正のレールから約 3V までスイングすると、一部の DC 仕様 (オフセット電圧) がわずかに低下する可能性があります。図 6-1 に、この動作を示します。LMC648x には、他のレール ツー レール入力アンプに見られる固有の精度問題を低減するため、特別に設計された入力段が組み込まれています。LMC648x の入力段の設計は、大きな負荷を駆動する場合でも、レール ツー レール出力スイングを達成可能な出力段によって補完されています。

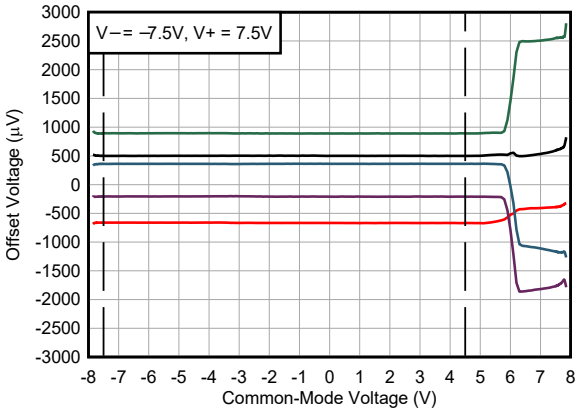
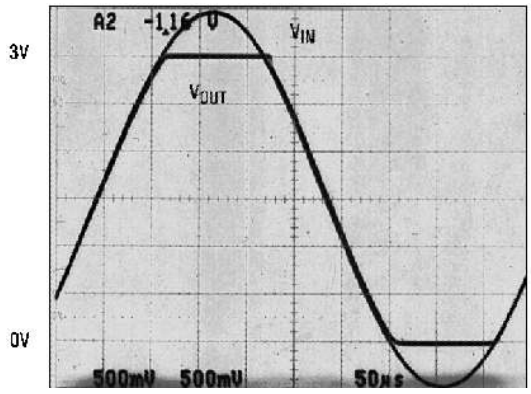


図 6-1. 入力オフセット電圧と同相電圧との関係

6.3.2 入力同相電圧範囲

Bi-FET アンプ設計とは異なり、LMC648x では、入力電圧が負の電源電圧を超えても位相は反転しません。図 6-2 は、入力電圧が両方の電源を超えても、出力の位相が反転しないことを示しています。

室温での絶対最大入力電圧は、どちらかの電源レールを 300mV 超えた値です。図 6-3 に示すように、電圧がこの絶対最大定格を大幅に超えると、過剰な電流が入力ピンに流入または入力ピンから流出する原因となり、信頼性に影響を及ぼす可能性があります。



入力電圧信号が LMC6482 の電源電圧を超えても、出力の位相は反転しません。

図 6-2. 入力電圧

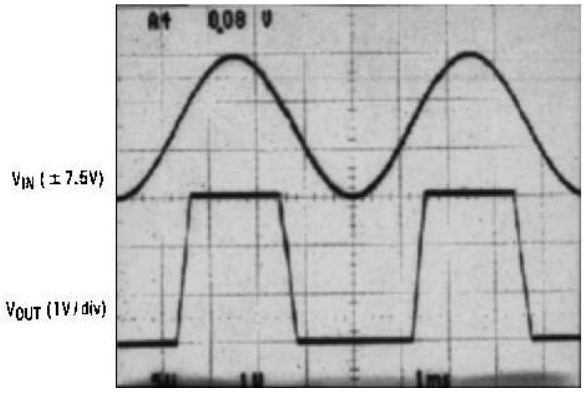
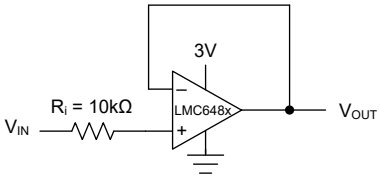


図 6-4 では ±7.5V の入力信号は 3V 電源電圧を大幅に上回りますが、R_I により位相は反転しません。

図 6-3. 入力信号

この定格を超えるアプリケーションでは、図 6-4 に示すように、入力抵抗 (R_I) を使用して、最大入力電流を外部的に ±5mA に制限する必要があります。



注：電源電圧を超える電圧に対する R_I を使用した入力電流保護。

図 6-4. 電源電圧を超える電圧に対する R_I を使用した入力電流保護

6.3.3 レール ツー レール出力

LMC648x の出力は、両方の電源電圧の数百 mV 以内までスイングできます。さまざまなソースおよびシンク条件における出力抵抗の概算値を計算するには、規定の出力スイング仕様を使用します。計算された出力抵抗を使用して、負荷の関数である最大出力電圧スイングを推定します。

6.4 デバイスの機能モード

LMC648x は、各アンプ チャネルが独立して使用されるアプリケーション、またはチャネルがカスケード接続されているアプリケーションで使用できます。詳細については「セクション 7.2」を参照。

Copyright © 2024 Texas Instruments Incorporated

7 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 アプリケーション情報

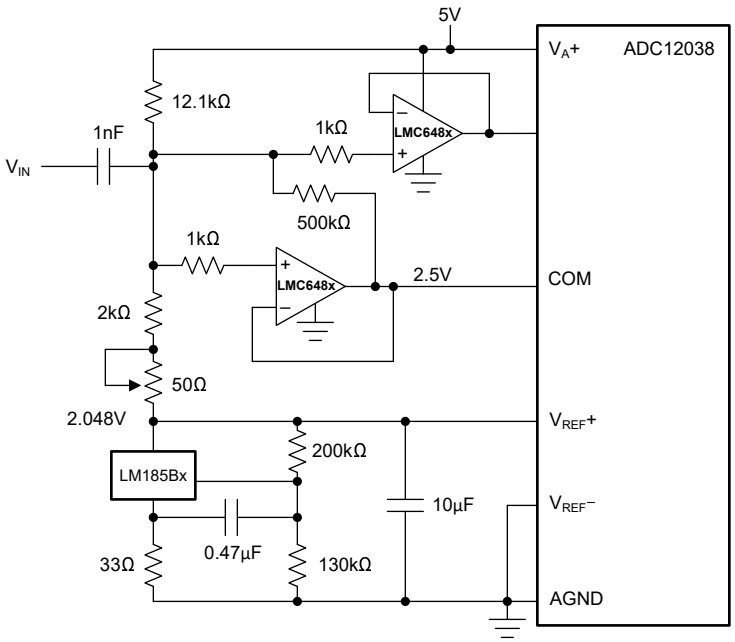
7.1.1 アプリケーションのアップグレード

LMC648x は、既存のアプリケーションに後付けするため、業界標準のピン配置を備えています。LMC648x の機能により、システム性能を大幅に向上できます 。LMC648x を使用して設計する主な利点は、線形信号範囲が広いことです。ほとんどのオペアンプでは、入力同相範囲は制限されています。この範囲を超える信号では非線形の出力応答が生成され、入力信号が同相範囲に戻った後も長時間その状態が続きます。

信号のピークが入力同相範囲を超えて出力の位相反転や大きな歪みが発生する可能性があるフィルタなどのアプリケーションでは、線形信号範囲が極めて重要です。

7.1.2 データ アクイジション システム

図 7-1 に、LMC648x を使用して ADC12038 をバッファリングすることで実現される、低消費電力、単一電源データ アクイジション システムを示し ます。LMC648x は電源電圧範囲全体を使用できるため、限られた同相電圧範囲に収めるために入力信号をスケールダウンする必要はありません。LMC648x の CMRR は 82dB であり、12 ビットのデータ アクイジション システムの積分直線性を ±0.325LSB に維持します。CMRR が 50dB である他のレール ツー レール入力アンプでは、データ アクイジション システムの精度が 8 ビットに低下する可能性があります。



注:LMC648x と ADC12038 に同じ電源電圧を供給して動作させると、このバッファリングにより非常に高い精度を維持できます。

図 7-1. LMC648x を使用して ADC12038 をバッファリング

7.1.3 計測回路

LMC648x は、計測回路の設計に必要な高い入力インピーダンス、広い同相範囲、高い CMRR を特長としています。LMC648x を使用して設計された計測回路は、ほとんどの計測アンプよりも広い範囲の同相信号を除去できます。このため、LMC648x を使用して設計された計測回路は、ノイズの多い産業環境において非常に優れた選択肢となります。これらの特長は、分析医療機器、磁界検出器、ガス検出器、シリコン ベースのトランスデューサなどのアプリケーションでもメリットがあります。

値の小さいポテンショメータを R_G と直列に使用して、図 7-2 の 3 オペアンプ計測回路の差動ゲインを設定します。値の大きいポテンショメータ 1 つの代わりにこの組み合わせを使用するのは、ゲイン トリム精度を高め、振動による誤差を低減するためです。RES11A マッチング抵抗ペア シリーズを使用すると、精度の向上、コストの削減、基板面積の削減に役立つ改良された設計を実現できます。

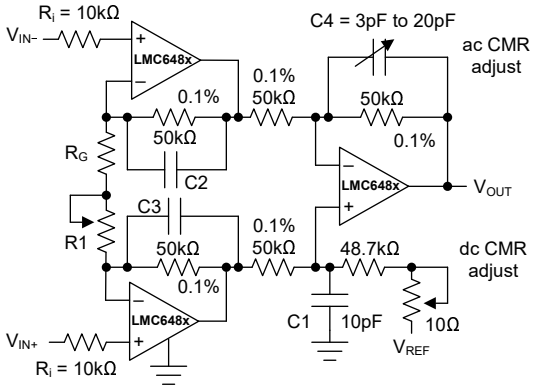


図 7-2. 低消費電力、3 オペアンプ計測アンプ

図 7-3 に、2 つのマッチング抵抗ペアを使用して、高精度、高 CMRR 、低ドリフトの計測アンプを実現する方法を示します。1:4 の比率を使用すると、36V/V のゲインを簡単に実装できます。利用可能なさまざまな比を使用することで、他のゲイン オプションも実現可能です。図 7-2 の元の実装には、非常に高い同相信号除去比とゲイン精度を実現するには、性能が非常に高い 0.01% の抵抗と 2 つのポテンショメータが必要であるという欠点があります。高精度の抵抗は非常に高価で、基板レイアウトのサイズと複雑さが増大する可能性があります。もう 1 つの欠点は、ディスクリート抵抗の温度ドリフトによりゲイン誤差が増加することで、これは容易に補償できません。

RES11A マッチング抵抗ペアは、0.05% 未満の優れたマッチングにより、高い同相除去性能とゲイン誤差性能を実現します。これらの抵抗は同じ基板上にあるため、ドリフト方向が同じになり、ゲイン誤差ドリフトなどの温度に関連する誤差を最小限に抑えることができます。ディスクリート抵抗と比較した RES11A の利点の詳細な分析については、『高精度のマッチング分圧抵抗ペアを使用した差動アンプ回路の CMRR の最適化』アプリケーション ノートを参照してください。

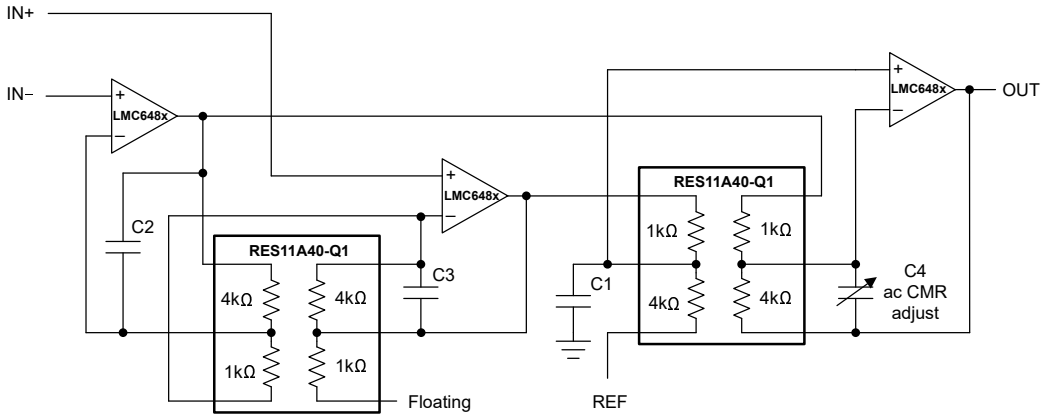


図 7-3. RES11A を使用して改良した低消費電力、 3 オペアンプ計測アンプ

Copyright © 2024 Texas Instruments Incorporated

図 7-4 に、100V/V のゲイン用に設計された 2 オペアンプ計測アンプを示し ます。オフセット電圧、CMRR、ゲインについて、低感度のトリミングが行われています。低コストと低消費電力が、この 2 オペアンプ回路の主な利点です。図 7-5 には、この回路に RES11A を使用した 10V/V のゲイン用の代替回路を示します。

より周波数が高く、同相範囲が広いアプリケーションでは、3 オペアンプ計測アンプが最適です。

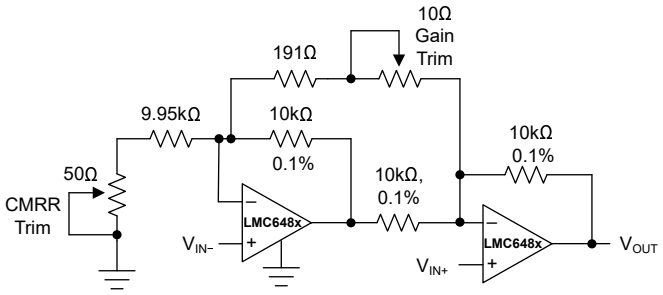


図 7-4. 低消費電力、2 オペアンプ計測アンプ

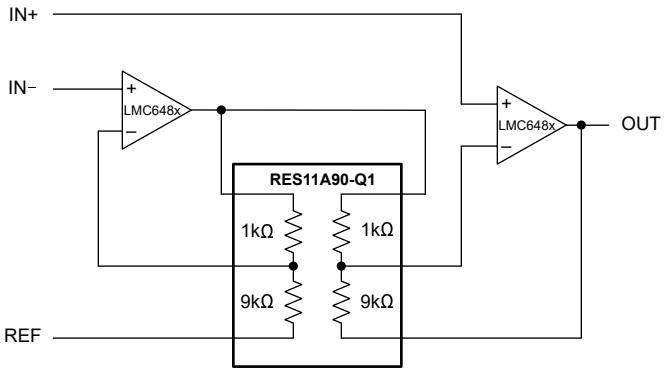


図 7-5. RES11A を使用した低消費電力、2 オペアンプ計測アンプ

7.2 代表的なアプリケーション

7.2.1 3V 単一電源バッファ回路

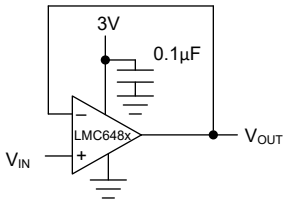


図 7-6. 3V 単一電源バッファ回路

7.2.1.1 設計要件

最高の性能を得るには、入力電圧スイングが V+ と V- の間にあることを確認します。

また、入力が同相入力電圧範囲を超えないことを確認してください。

出力が不安定になるリスクを低減するため、容量性負荷を駆動するときは出力に抵抗性絶縁を使用します (セクション 7.2.1.2 を参照)。

大きな帰還抵抗を使用する場合、必要に応じて入力の寄生容量を補償します。セクション 7.2.1.2 を参照してください。

Copyright © 2024 Texas Instruments Incorporated

7.2.1.2 詳細な設計手順

7.2.1.2.1 容量性負荷補償

LMC648x は、容量性負荷を直接駆動するための堅牢な出力段を備えています。容量性負荷はアンプの出力インピーダンスと相互作用して極を形成し、これが不安定性を引き起こす可能性があります。容量性負荷を駆動する際は、アンプの閉ループ帯域幅と出力インピーダンスを考慮してください。図 7-7 に、LMC648x の開ループ出力インピーダンスを示します 。

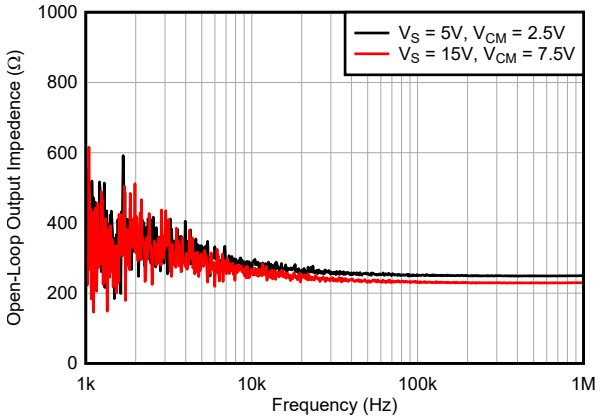


図 7-7. 開ループ出力インピーダンス

一部のアプリケーションでは、大きな容量性負荷の駆動が必要で、追加の補償が必要になります。容量性負荷補償は、図 7-8 に示すように、抵抗性絶縁を使用して実現できます。このシンプルな手法は、マルチプレクサと A/D コンバータ (ADC) の容量性入力を絶縁するのに役立ちます。

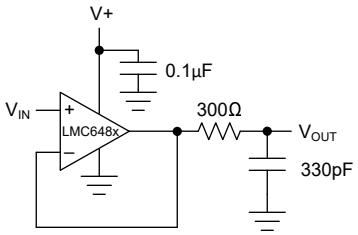


図 7-8. 330pF 容量性負荷の抵抗性絶縁

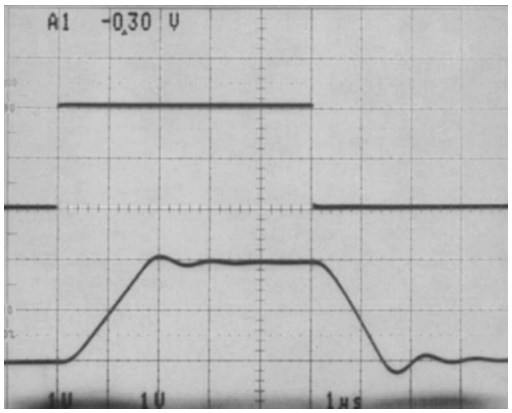


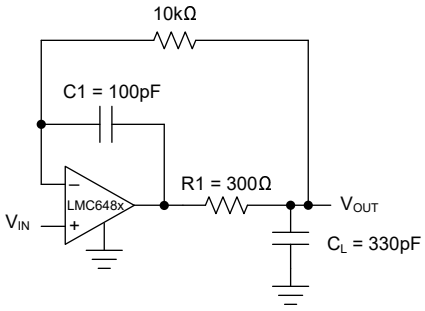
図 7-9. 図 7-8 の LMC6482 回路のパルス応答

Copyright © 2024 Texas Instruments Incorporated

7.2.1.2.2 容量性負荷の許容誤差

LMC648x は通常、V_S = 15V、ユニティ ゲイン で 100pF の負荷を発振なしで直接駆動できます 。ユニティ ゲイン フォロワが最も敏感な構成です。容量性負荷を直接接続すると、アンプの位相マージンが減少します。アンプの出力インピーダンスと容量性負荷の組み合わせにより、位相遅れが生じます。その結果、パルス応答または発振を十分に減衰できなくなります。

図 7-10 に、容量性負荷を間接的に駆動することによって周波数応答を改善する方法を示します。



注：330pF の容量性負荷に対応できるよう補償されています。

図 7-10. LMC648x 非反転アンプ

R1 と C1 は、出力信号の高周波成分をアンプの反転入力にフィードバックすることで位相マージンの損失を相殺するため、フィードバック ループ全体の位相マージンが維持されます。R1 と C1 の値は、目的のパルス応答に合わせて実験的に決定されます。図 7-11 に、結果のパルス応答を示します。

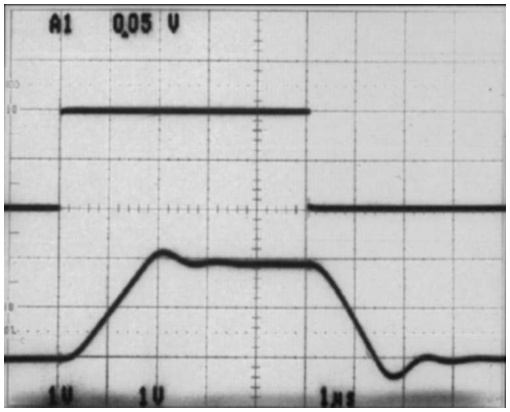


図 7-11. 図 7-10 の LMC6482 回路のパルス応答

7.2.1.2.3 入力容量の補償

LMC648x のように入力電流が非常に小さいアンプでは、帰還抵抗値を大きくするのが一般的です。帰還抵抗値を大きくすると、トランスデューサ、フォトダイオード、回路基板の寄生成分による小さな入力容量と反応して、位相マージンが減少することがあります。

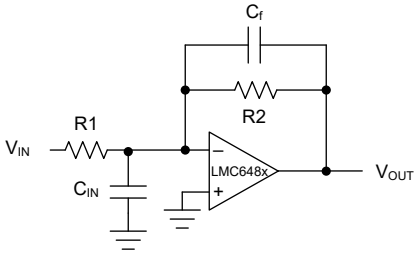


図 7-12. 入力容量の影響の相殺

入力容量の影響は、帰還コンデンサを追加することで補償できます。帰還コンデンサ (図 7-12 を参照) C_f は、最初次の式で推定されます。

$$\frac{1}{2\pi R1 C_{IN}} \geq \frac{1}{2\pi R2 C_f} \quad (1)$$

または

$$R1\ C_{IN} \leq R2\ C_f \quad (2)$$

通常これでは、大幅に過補償されます。

プリント基板の浮遊容量は、ブレッド基板の浮遊容量よりも大きいことも小さいこともあるため、実際の C_f の最適値はこれとは異なる場合があります。実際の回路の C_f 値を確認してください。詳細については、LMC660 クワッド CMOS アンプのデータシートを参照してください。

7.2.1.2.4 オフセット電圧の調整

図 7-13 と図 7-14 に、オフセット電圧調整回路を示します。どちらの構成も V_S = ±5V で、消費電力を低減するために値の大きい抵抗とポテンショメータを使用しており、入力を基準とした調整範囲は通常 ±2.5mV となります。

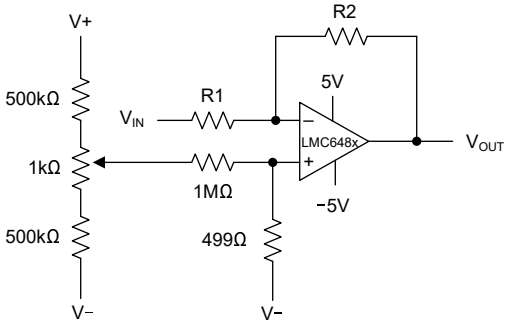


図 7-13. 反転構成のオフセット電圧調整

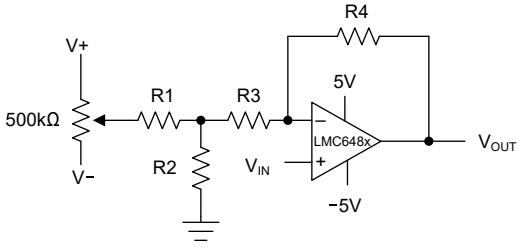


図 7-14. 非反転構成のオフセット電圧調整

Copyright © 2024 Texas Instruments Incorporated

7.2.1.3 アプリケーション曲線

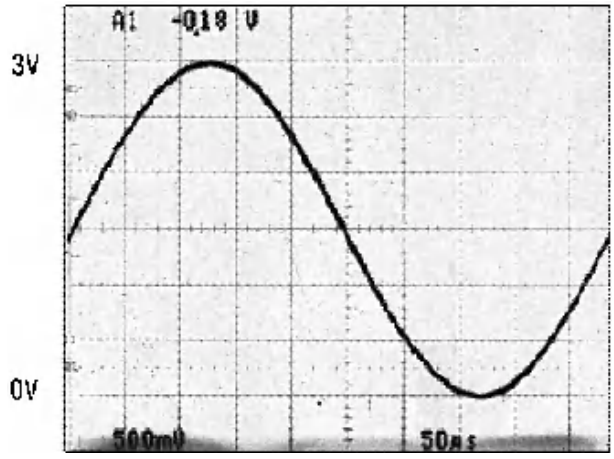


図 7-15. レール ツー レール入力

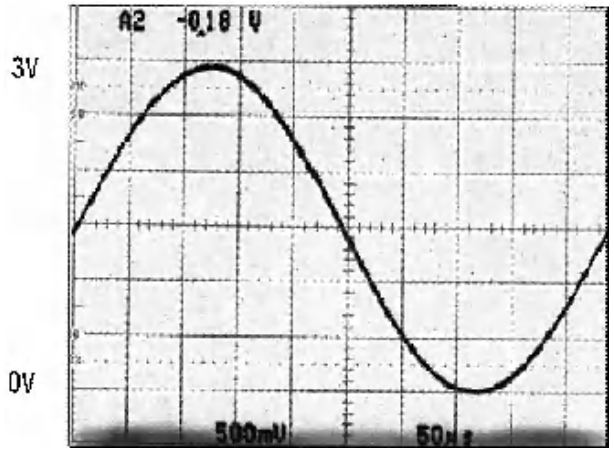


図 7-16. レール ツー レール出力

7.2.2 代表的な単一電源アプリケーション

図 7-17 の回路は、単一電源を使用して、正弦波をグランドを中心に半波整流します。R_I は、入力電圧が電源電圧を超えたときに発生するアンプへの電流を制限します。全波整流は、図 7-19 の回路で実現されます。

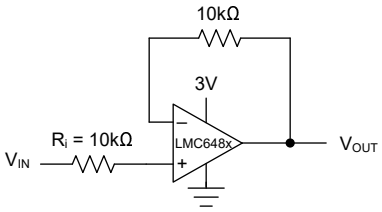


図 7-17. 半波整流器、入力電流保護 (R_I) 付き

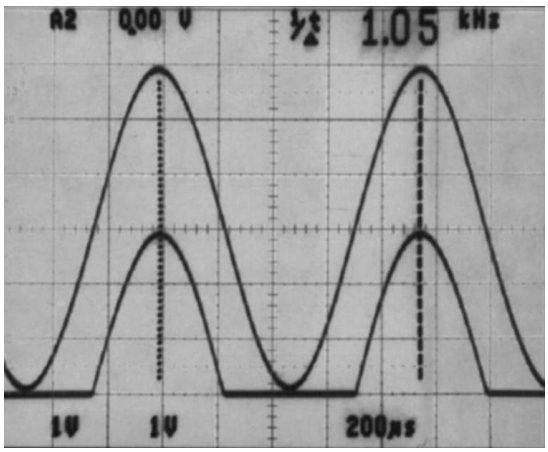


図 7-18. 半波整流波形

図 7-23 では、ポリスチレンまたはポリエチレン製のホールド コンデンサを使用することで、誘電体の吸収およびリーク電流を最小限に抑えています。ドループ率は主に、C_{HOLD} とダイオードのリーク電流の値によって決定されます。LMC648x は入力電流が非常に小さいため、ドループへの影響は無視できます。入力バイアス電流を非常に小さくする必要のあるアプリケーションの場合は、OPA928 をご覧ください。

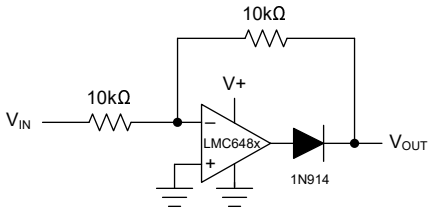


図 7-19. 全波整流器、 入力電流保護 (R_I) 付き

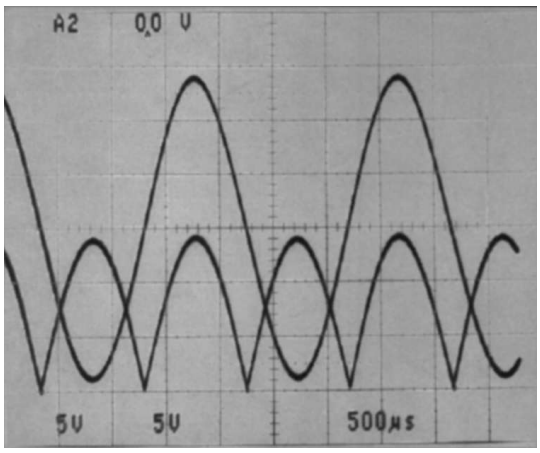


図 7-20. 全波整流波形

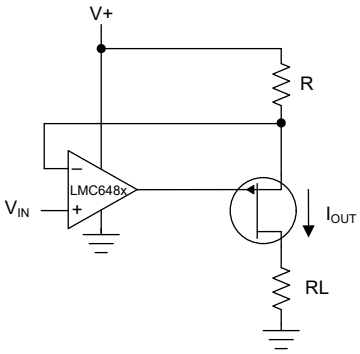


図 7-21. コンプライアンス範囲の広い電流源

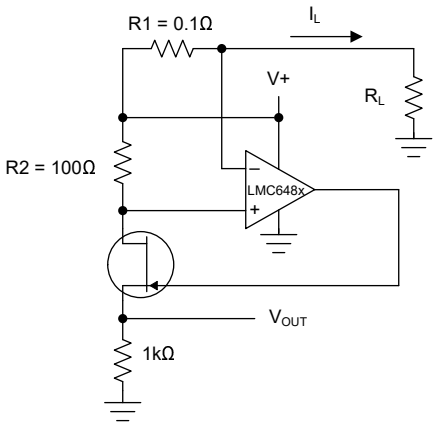


図 7-22. 正の電源電流の検出

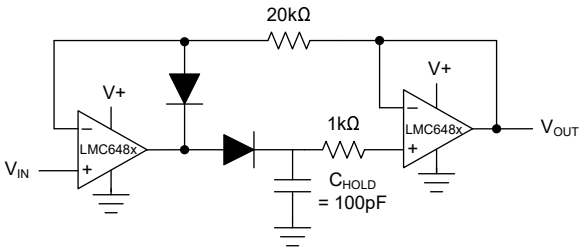


図 7-23. レール ツー レールのピーク キャプチャ範囲を持つ低電圧ピーク検出器

LMC648x は CMRR が高い (82dB) ため、回路のレール ツー レールのダイナミック キャプチャ範囲全体にわたって非常に優れた精度が得られます。

Copyright © 2024 Texas Instruments Incorporated

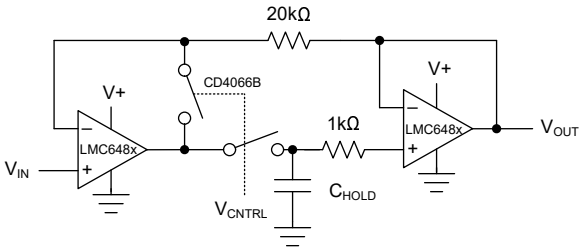


図 7-24. レール ツー レールのサンプル アンド ホールド回路

図 7-25 のローパス フィルタ回路は、ADC と同じ電源電圧を持つアンチエイリアシング フィルタとして使用できます。

フィルタ設計では、入力電流が非常に小さい LMC648x を利用することもできます。入力電流が非常に低いため、値の大きい抵抗を使用した場合でも、オフセット誤差は無視できるほど小さくなります。その結果、より小さい値のコンデンサを使用して、ボード面積とコストを削減できます。

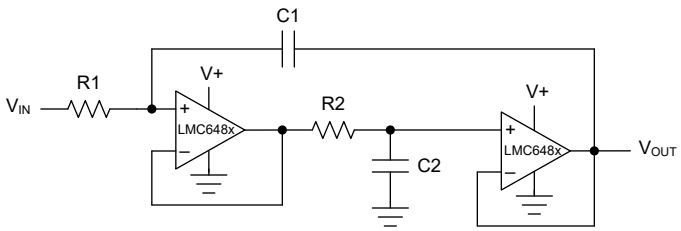


図 7-25. レール ツー レール、単一電源ローパス フィルタ

$$R1 = R2,\ C1 = C2,\ f = \frac{1}{2\pi R1C1},\ DF = \frac{1}{2}\sqrt{\frac{C2}{C1}}\sqrt{\frac{R2}{R1}} \quad (3)$$

7.3 電源に関する推奨事項

LMC648x は、3V～15.5V の電源電圧範囲で動作します。アプリケーションに適したノイズ耐性を実現するには、電源レールとプレーンに適切なプリント基板 (PCB) レイアウト手法を使用し、電源ピンとグランドの間にバイパス コンデンサを接続します。

7.4 レイアウト

7.4.1 レイアウトのガイドライン

一般的に、1000pA 未満のリーク電流で動作する必要のある回路には、プリント基板の特別なレイアウトが必要です。LMC648x は入力電流が非常に低く、通常は 20fA 未満です。その利点を活かすには、優れたレイアウトが不可欠です。幸いなことに、低リーク電流を実現する手法は非常にシンプルです。まず、リーク電流が小さく許容範囲内であるように見えるとしても、PCB の表面リーク電流を無視しないでください。高湿度、ほこり、汚染の条件では、表面リーク電流が大きくなる可能性があります。

表面のリーク電流の影響を最小限に抑えるため、図 7-26 に示すように、LMC648x の入力と、アンプの入力に接続されているコンデンサ、ダイオード、導体、抵抗、リレー端子などの周囲を完全に取り囲む金属箔のリングを配置します。大きな効果を得るには、PCB の上面と底面の両方にガード リングを配置します。同じ電位の 2 点間にはリーク電流は流れないため、この PC 箔をアンプ入力と同電位の電圧に接続する必要があります。たとえば、$10^{12}\Omega$ の PCB トレース - パッド間抵抗は、通常は非常に大きな抵抗と見なされますが、そのトレースが入力パッドに隣接する 5V バスである場合、5pA のリーク電流が発生する可能性があります。このリーク電流により、LMC648x の性能が通常の 250 分の 1 に低下する可能性があります。ただし、ガード リングが入力の 5mV 以内に保持されている場合、$10^{11}\Omega$ の抵抗であっても、わずか 0.05pA のリーク電流しか発生しません。図 7-27～図 7-29 に、標準オペアンプ構成でのガードリングの一般的な接続を示します。

少数の回路のために PCB をレイアウトするのが実用的ではない場合、PCB 上にガード リングを配置するよりも別の手法を使用するほうが適切です。アンプの入力ピンを PCB に挿入せず、ピンを空中で上に曲げ、空気のみを絶縁体として使用します。空気は優れた絶縁体です。この場合、PCB 構造の利点の一部が失われますが、ポイント ツー ポイントの空中配線を使用する労力に見合った十分な利点が得られることがあります。図 7-30 を参照してください。

7.4.2 レイアウト例

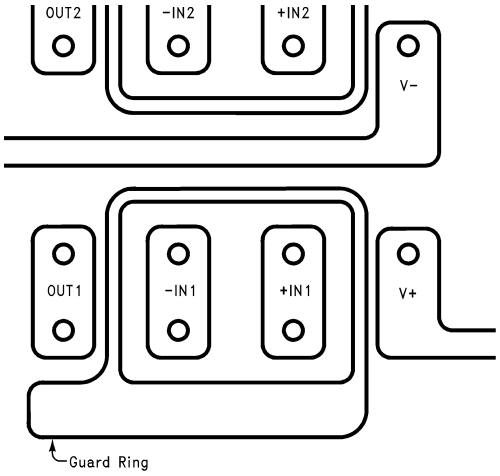


図 7-26. PCB レイアウトでのガード リングの代表的な接続例

Copyright © 2024 Texas Instruments Incorporated

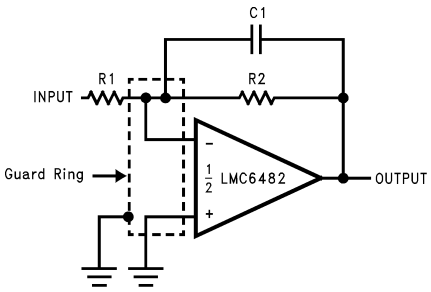


図 7-27. 反転アンプのガード リングの代表的な接続

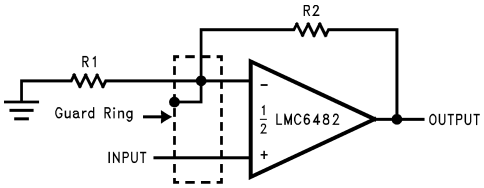


図 7-28. 非反転アンプのガード リングの代表的な接続

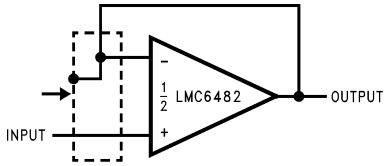
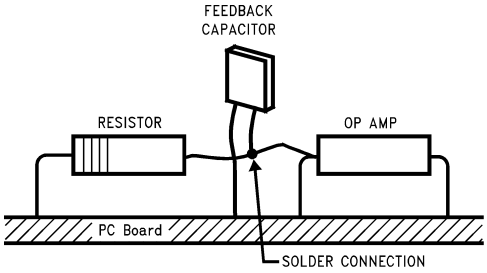


図 7-29. フォロワのガード リングの代表的な接続



入力ピンは PCB から持ち上げて部品に直接半田付けします。他のすべてのピンは PCB に接続されています。

図 7-30. 空中配線

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

8.1.1.1 SPICE マクロモデル

LMC648x の SPICE マクロモデルが利用できます。このモデルには、以下の正確なシミュレーションが含まれます。

- 入力同相電圧範囲
- 周波数および過渡応答
- ゲイン帯域幅 (GBW) の負荷条件依存性
- 静止および動的電源電流
- 出力スイングの負荷条件依存性

8.1.1.2 PSpice® for TI

PSpice® for TI は、アナログ回路の性能評価に役立つ設計およびシミュレーション環境です。レイアウトと製造に移る前に、サブシステムの設計とプロトタイプ・ソリューションを作成することで、開発コストを削減し、市場投入までの期間を短縮できます。

8.1.1.3 TINA-TI™シミュレーション ソフトウェア (無償ダウンロード)

TINA-TI™ シミュレーション ソフトウェアは、SPICE エンジンをベースにした単純かつ強力な、使いやすい回路シミュレーション プログラムです。TINA-TI シミュレーション ソフトウェアは、TINA™ ソフトウェアのすべての機能を持つ無償バージョンで、パッシブ モデルとアクティブ モデルに加えて、マクロモデルのライブラリがプリロードされています。TINA-TI シミュレーション ソフトウェアには、SPICE の標準的な DC 解析、過渡解析、周波数ドメイン解析などの全機能に加え、追加の設計機能が搭載されています。

TINA-TI シミュレーション ソフトウェアは設計およびシミュレーション ツール Web ページから無料でダウンロードでき、ユーザーが結果をさまざまな形式で処理できる、広範な後処理機能を備えています。仮想計測器により、入力波形を選択し、回路ノード、電圧、および波形をプローブして、動的なクイック スタート ツールを作成できます。

注

これらのファイルを使用するには、TINA ソフトウェアまたは TINA-TI ソフトウェアがインストールされている必要があります。TINA-TI™ ソフトウェア フォルダから、無償の TINA-TI シミュレーション ソフトウェアをダウンロードしてください。

8.1.1.4 DIP アダプタ評価基板

DIP アダプタ評価基板は、オペアンプの迅速なプロトタイプ製作とテストを可能にする評価基板です。小型の表面実装デバイスとのインターフェイスを迅速、容易、低コストで実現します。付属の Samtec 端子ストリップか、直接配線により既存の回路へサポートされているオペアンプを接続します。DIP アダプタ評価基板キットは、以下の業界標準パッケージをサポートしています。D または U (SOIC-8)、PW (TSSOP-8)、DGK (VSSOP-8)、DBV (SOT-23-6、SOT-23-5、および SOT-23-3)、DCK (SC70-6 および SC70-5)、および DRL (SOT563-6)。

8.1.1.5 DIYAMP-EVM

DIYAMP-EVM は、実際のアンプ回路を提供する独自の評価基板 (EVM) であり、設計コンセプトの迅速な評価とシミュレーションの検証を実現します。この評価基板は、3 つの業界標準パッケージ (SC70、SOT23、SOIC) で供給されており、シングル / デュアル電源向けに、アンプ、フィルタ、安定性補償、コンパレータの各構成など、12 の一般的なアンプ構成が可能です。

8.1.1.6 TI のリファレンス・デザイン

TI のリファレンス・デザインは、TI の高精度アナログ・アプリケーション専門家により作成されたアナログ・ソリューションです。TI のリファレンス・デザインは、動作原理、部品の選択、シミュレーション、完全な PCB 回路図およびレイアウト、部品

Copyright © 2024 Texas Instruments Incorporated

表、測定済みの性能を提供します。TI のリファレンス・デザインは、http://www.ti.com/ww/en/analog/precision-designs/ からオンラインで入手できます。

8.1.1.7 Analog Filter Designer

Analog Filter Designer は、設計およびシミュレーション ツール Web ページから Web ベースのツールとして利用でき、包括的な複数段アクティブ フィルタ ソリューションの設計、最適化、シミュレーションをわずか数分で行います。

8.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.4 商標

TINA-TI™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
TINA™ is a trademark of DesignSoft, Inc.
PSpice® is a registered trademark of Cadence Design Systems, Inc.
すべての商標は、それぞれの所有者に帰属します。

8.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

8.6 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision I (February 2024) to Revision J (September 2024)	Page
• 先頭ページの図、ユニティゲイン差動アンプを更新し IN+ と IN- を入れ替え	1
• LMC648xI の同相信号除去比の最小値を 5V 電源で 65dB から 60dB に、3V 電源で 60dB から 55dB に変更	6
• LMC648xI の同相信号除去比の T_A = –40°C～+85°C での 最小値を 60dB から 58dB に変更	6
• 3V 電源について、LMC648xAI の同相信号除去比の最小値を 64dB から 60dB に変更	9
• 図 7-17「入力電流保護 (R_I) 付き半波整流器」を更新し、正しい回路を示しています	25

Changes from Revision H (November 2023) to Revision I (February 2024)	Page
• LMC6484 とそれに関連する内容を追加	1

Copyright © 2024 Texas Instruments Incorporated

- このデータシート (SNOS674I) の「リビジョン G (2020 年 4 月) からリビジョン H (2023 年 11 月) への変更点」に記載されているように、以前の LMC6484 データシート (SNOS675D) から内容を更新 1
- 「熱に関する情報」に最新のモデル標準に基づいて LMC6482 および LMC6484 の値を追加 5
- このデータシートの「リビジョン G (2020 年 4 月) からリビジョン H (2023 年 11 月) への変更点」に記載されているように、LMC6484 の「電気的特性」の形式を更新 6
- 次のセクションで、LMC6484 に一致するよう CMRR を 62dB から 60dB に変更：電気的特性：V_S = 5 V 6
- 次のセクションで、スルーレートの最小値の規定方法を説明する脚注 (2) を更新：電気的特性：V_S = 5 V 6
- 次のセクションで、THD を 0.01% から 0.02% に変更：電気的特性：V_S = 3 V 9

Changes from Revision G (April 2020) to Revision H (November 2023) **Page**

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 1
- 「特長」から標準値、高電圧ゲイン、パワー グッド出力の仕様を削除 1
- データシートから M バージョンのデバイスを削除。詳細については、LMC6482QML を参照 1
- 「概要」の最初のページの図を更新 1
- 「ピン構成および機能」を更新 2
- 「電気的特性」で、入力オフセット電圧、入力オフセット電圧ドリフト、入力バイアス電流、入力オフセット電流に ± を追加 6
- 「電気的特性」全体にわたって、一貫性のためパラメータ名を更新 6
- 「電気的特性」から注 1、2、3 を削除 6
- 「電気的特性」の電源電流仕様を合計からアンプ 1 個あたりに変更 6
- 図 11～13、図 19～23、図 32～33、図 47～52 を削除 10
- 機能ブロック図を更新 17
- 「アンプ トポロジ」の入力段の説明を更新 17
- 「アンプ トポロジ」に、入力オフセット電圧と同相電圧との関係を示すグラフを追加 17
- 「レール ツー レール出力」の説明を更新 18
- 「計測回路」に改良した計測アンプ回路を追加 20
- 「容量性負荷補償」に図 7-7 「開ループ出力インピーダンス」および関連の内容を追加 22
- 「代表的な単一電源アプリケーション」に、推奨される OPA928 フェムトアンペア入力バイアス電流オペアンプを追加 25
- 「SPICE マクロモデル」のライブラリ ディスクへの参照を削除 30

Changes from Revision F (April 2020) to Revision G (April 2020) **Page**

- 「電気的特性」の V+ = 5V の表から古い注 4 を削除 6

Changes from Revision E (April 2015) to Revision F (April 2020) **Page**

- 「推奨動作条件」表で接合部温度の最大値を -85°C から 85°C に変更 (誤記) 4

Changes from Revision D (March 2013) to Revision E (April 2015) **Page**

- 「ピン構成および機能」セクション、「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「アプリケーションと実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文情報」セクションを追加 1

Copyright © 2024 Texas Instruments Incorporated

Changes from Revision C (March 2013) to Revision D (March 2013) **Page**

- ナショナル セミコンダクターのデータシートのレイアウトを テキサス・インスツルメンツ形式に変更..... 25

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2024 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMC6482AIM/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	LMC64 82AIM
LMC6482AIMX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	(6482AI, LMC64) 82AIM
LMC6482AIMX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(6482AI, LMC64) 82AIM
LMC6482AIMX/NOPB.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(6482AI, LMC64) 82AIM
LMC6482AIN/NOPB	Active	Production	PDIP (P) | 8	40 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	(6482AI, LMC64) 82AIN
LMC6482AIN/NOPB.A	Active	Production	PDIP (P) | 8	40 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	(6482AI, LMC64) 82AIN
LMC6482AIN/NOPB.B	Active	Production	PDIP (P) | 8	40 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	(6482AI, LMC64) 82AIN
LMC6482IMM/NOPB	Obsolete	Production	VSSOP (DGK) | 8	-	-	Call TI	Call TI	-40 to 85	A10
LMC6482IMMX/NOPB	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	A10
LMC6482IMMX/NOPB.A	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	A10
LMC6482IMMX/NOPB.B	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	A10
LMC6482IMX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LMC64 82IM
LMC6482IMX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LMC64 82IM
LMC6482IN/NOPB	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	LMC6482IN
LMC6482IN/NOPB.A	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	LMC6482IN
LMC6482IN/NOPBG4	Active	Production	PDIP (P) | 8	40 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	LMC6482IN
LMC6482IN/NOPBG4.A	Active	Production	PDIP (P) | 8	40 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	LMC6482IN
LMC6484AIM/NOPB	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	LMC6484 AIM
LMC6484AIMX/NOPB	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	(LMC6484, LMC6484AIM) AIM

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMC6484AIMX/NOPB.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(LMC6484, LMC6484AIM) AIM
LMC6484AIN/NOPB	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	LMC6484AIN
LMC6484AIN/NOPB.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	LMC6484AIN
LMC6484IM/NOPB	Obsolete	Production	SOIC (D) | 14	-	-	Call TI	Call TI	-40 to 85	LMC6484IM
LMC6484IMX/NOPB	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LMC6484IM
LMC6484IMX/NOPB.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	LMC6484IM
LMC6484IN/NOPB	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	LMC6484IN
LMC6484IN/NOPB.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	Level-1-NA-UNLIM	-40 to 85	LMC6484IN

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

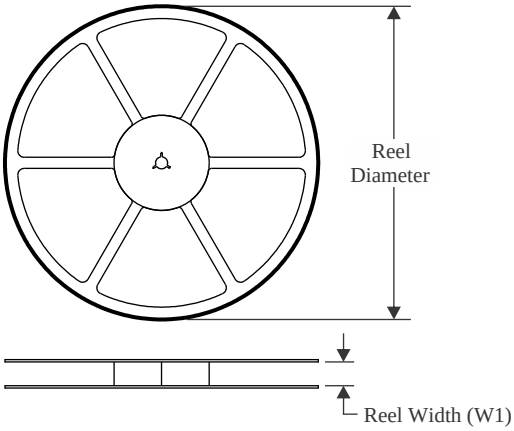
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

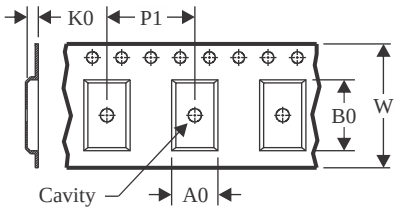
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

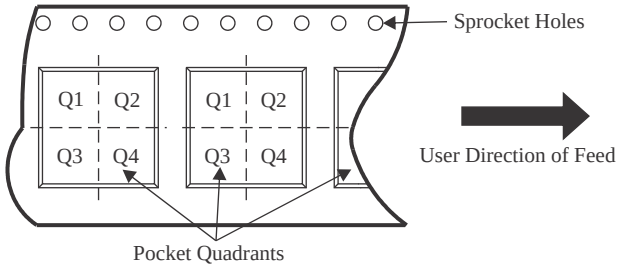


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

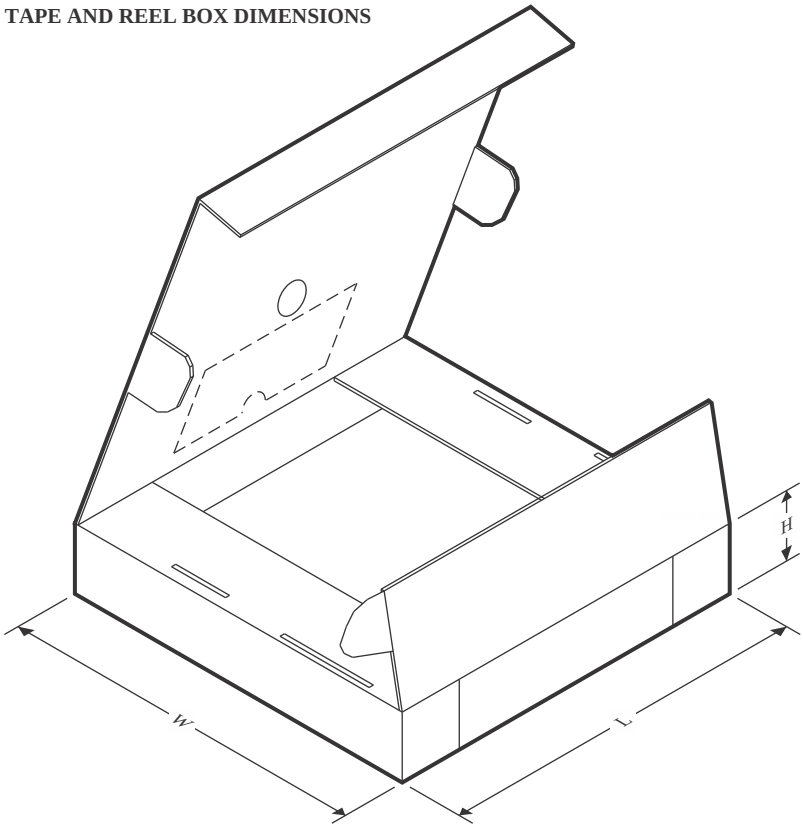
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMC6482AIMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMC6482AIMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMC6482IMMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMC6482IMMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMC6482IMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMC6484AIMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.35	2.3	8.0	16.0	Q1
LMC6484AIMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
LMC6484IMX/NOPB	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

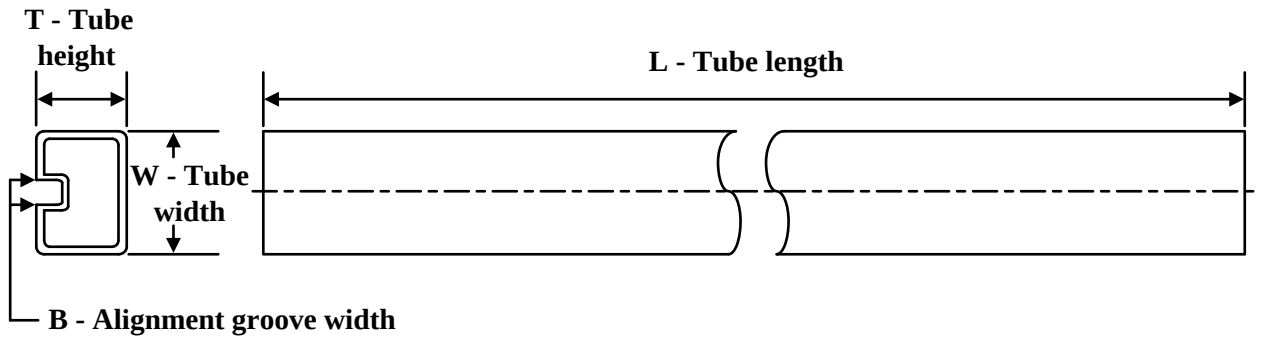
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

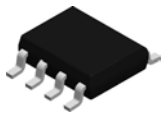
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMC6482AIMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMC6482AIMX/NOPB	SOIC	D	8	2500	353.0	353.0	32.0
LMC6482IMMX/NOPB	VSSOP	DGK	8	3500	353.0	353.0	32.0
LMC6482IMMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0
LMC6482IMX/NOPB	SOIC	D	8	2500	353.0	353.0	32.0
LMC6484AIMX/NOPB	SOIC	D	14	2500	367.0	367.0	35.0
LMC6484AIMX/NOPB	SOIC	D	14	2500	353.0	353.0	32.0
LMC6484IMX/NOPB	SOIC	D	14	2500	353.0	353.0	32.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
LMC6482AIN/NOPB	P	PDIP	8	40	506	13.97	11230	4.32
LMC6482AIN/NOPB	P	PDIP	8	40	502	14	11938	4.32
LMC6482AIN/NOPB.A	P	PDIP	8	40	502	14	11938	4.32
LMC6482AIN/NOPB.A	P	PDIP	8	40	506	13.97	11230	4.32
LMC6482AIN/NOPB.B	P	PDIP	8	40	506	13.97	11230	4.32
LMC6482AIN/NOPB.B	P	PDIP	8	40	502	14	11938	4.32
LMC6482IN/NOPB	P	PDIP	8	50	506	13.97	11230	4.32
LMC6482IN/NOPB.A	P	PDIP	8	50	506	13.97	11230	4.32
LMC6482IN/NOPBG4	P	PDIP	8	40	506	13.97	11230	4.32
LMC6482IN/NOPBG4.A	P	PDIP	8	40	506	13.97	11230	4.32
LMC6484AIN/NOPB	N	PDIP	14	25	502	14	11938	4.32
LMC6484AIN/NOPB.A	N	PDIP	14	25	502	14	11938	4.32
LMC6484IN/NOPB	N	PDIP	14	25	502	14	11938	4.32
LMC6484IN/NOPB.A	N	PDIP	14	25	502	14	11938	4.32

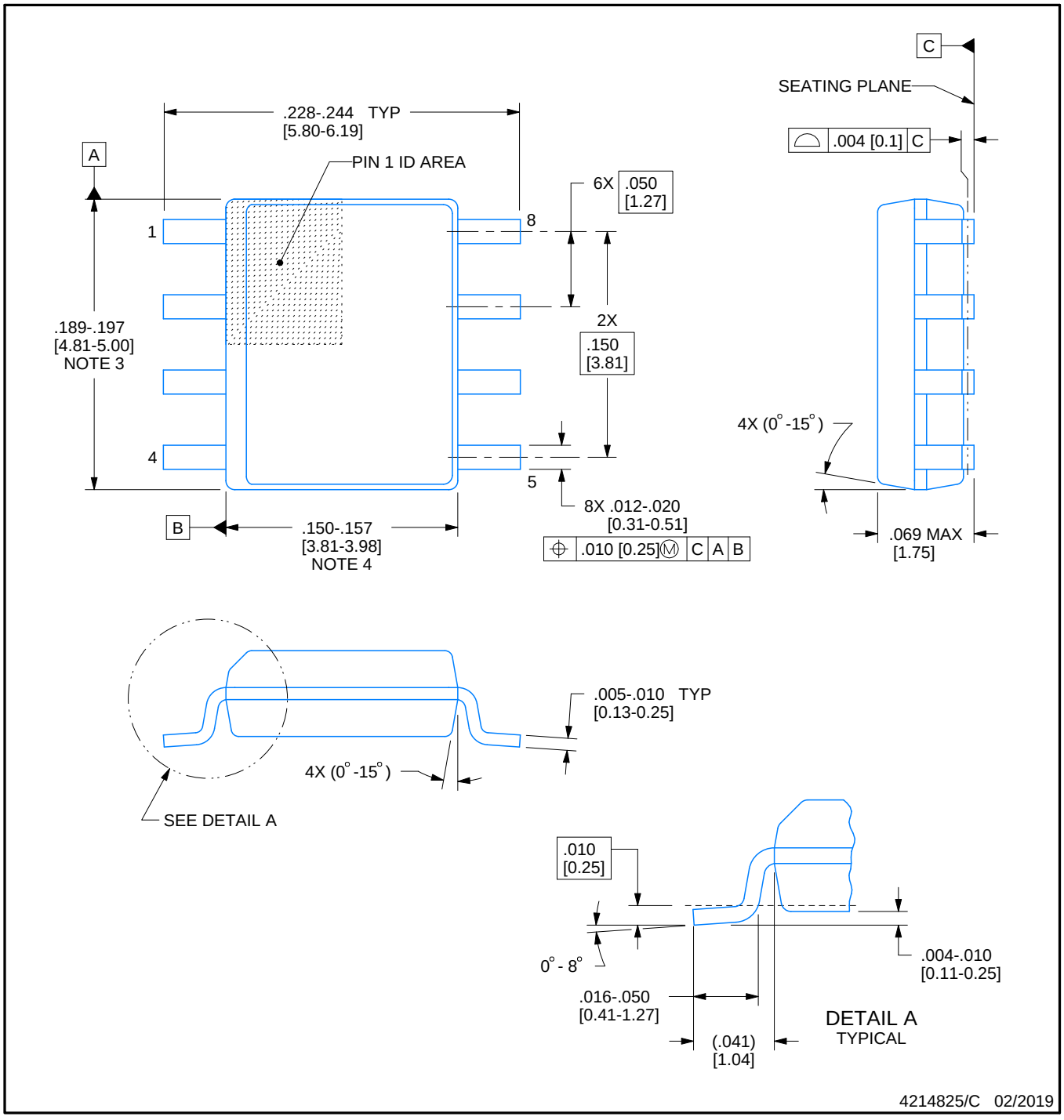


PACKAGE OUTLINE

D0008A

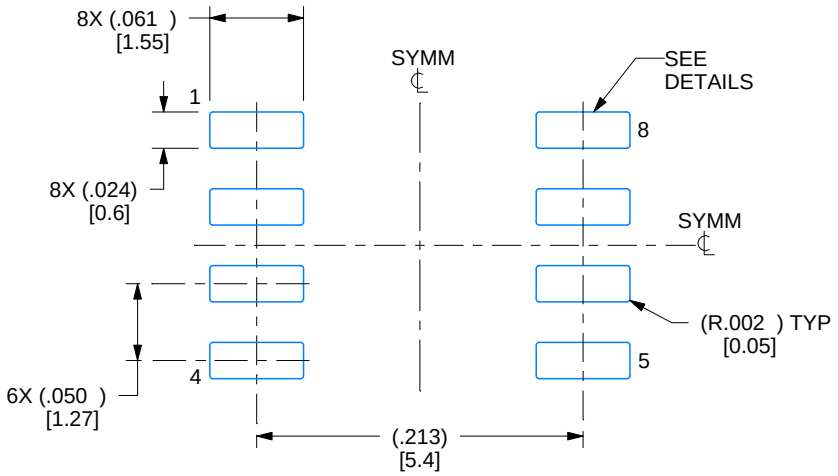
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

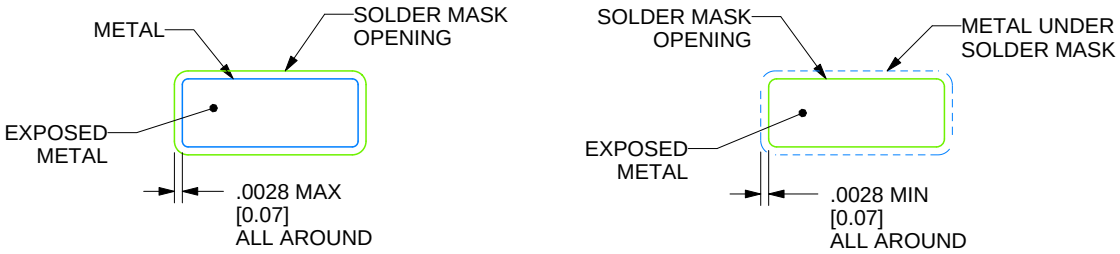


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

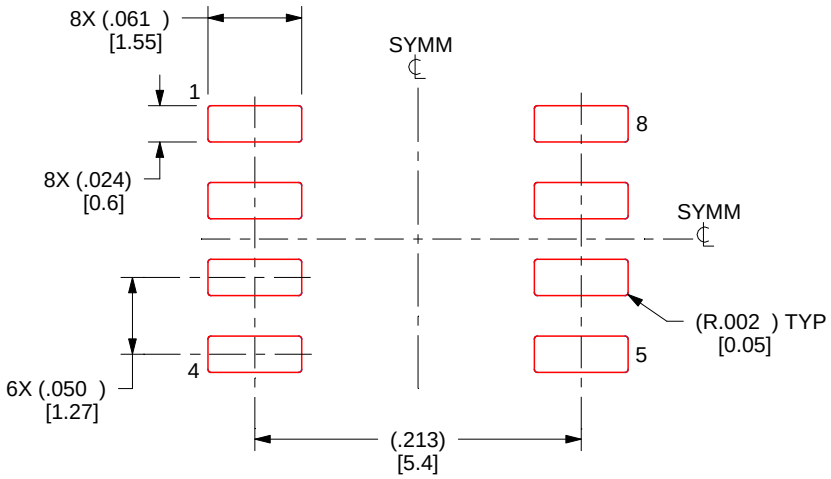
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



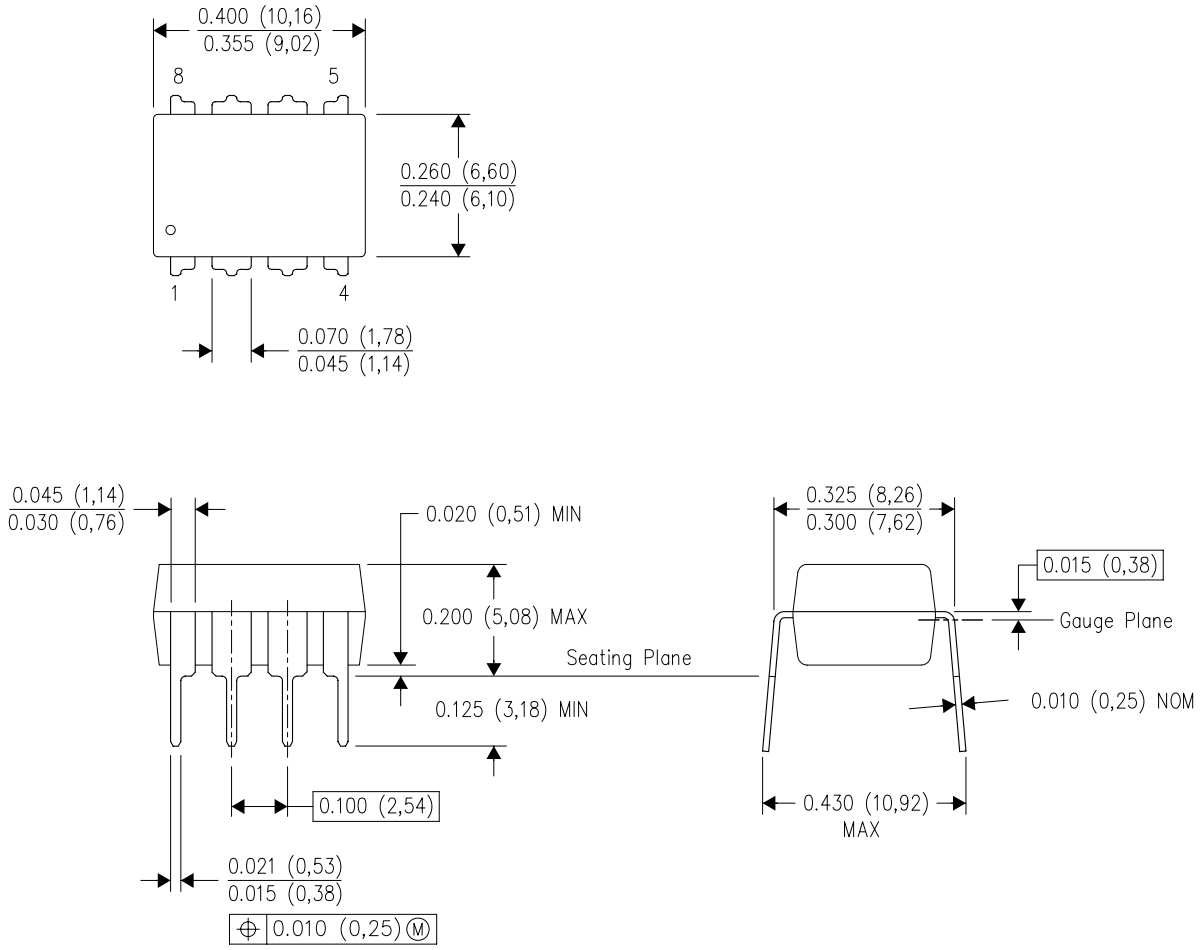
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE

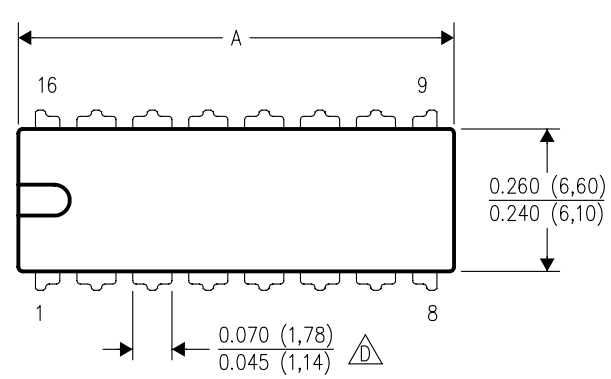


NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

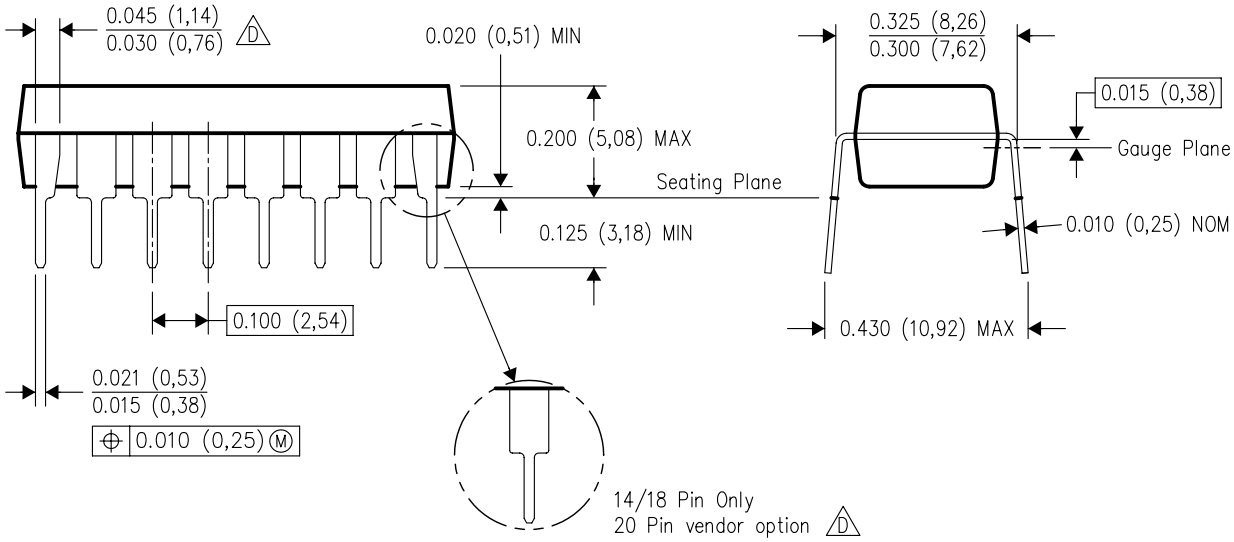
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

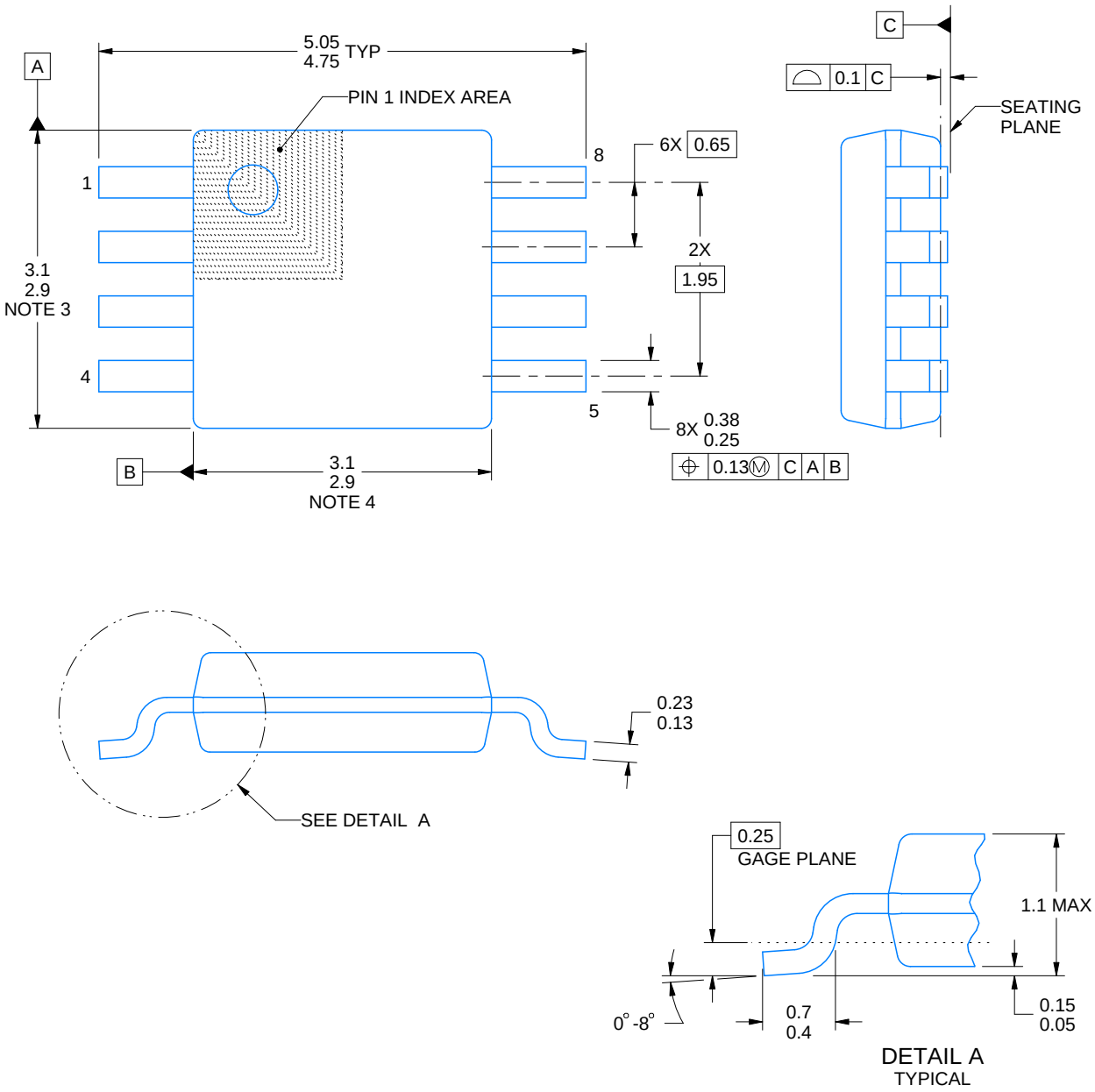
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

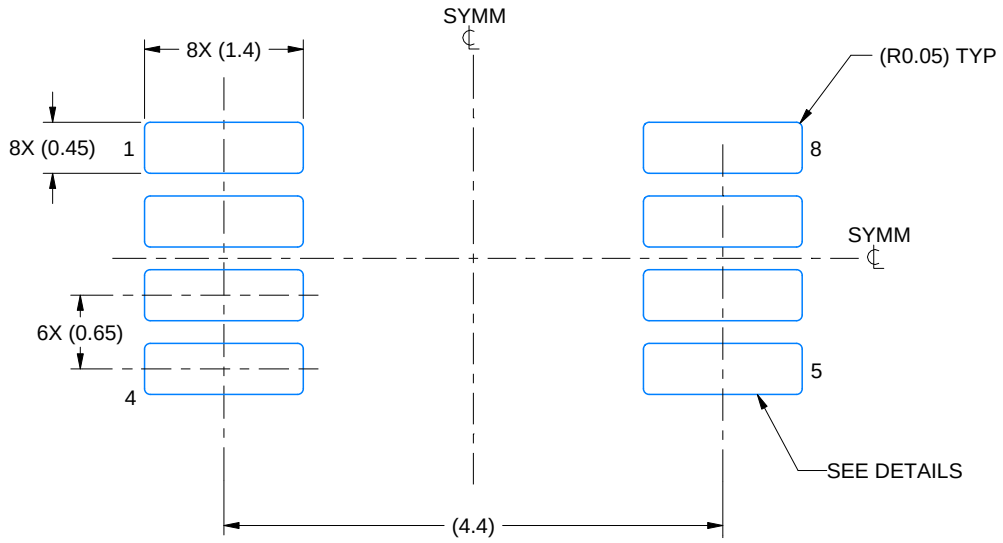
SMALL OUTLINE PACKAGE



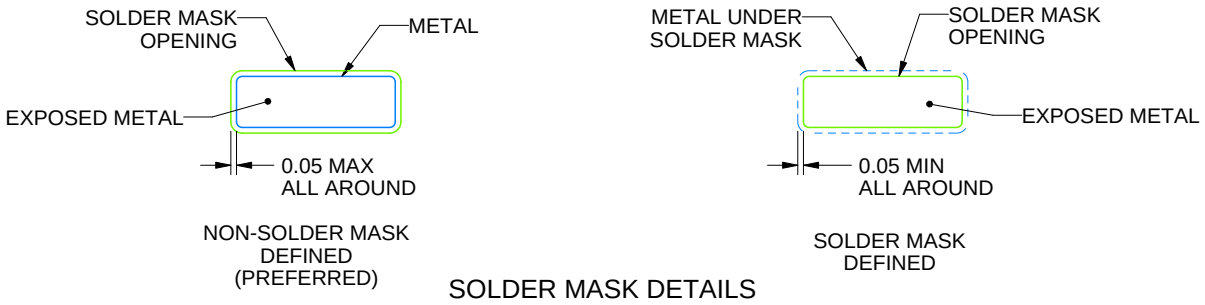
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

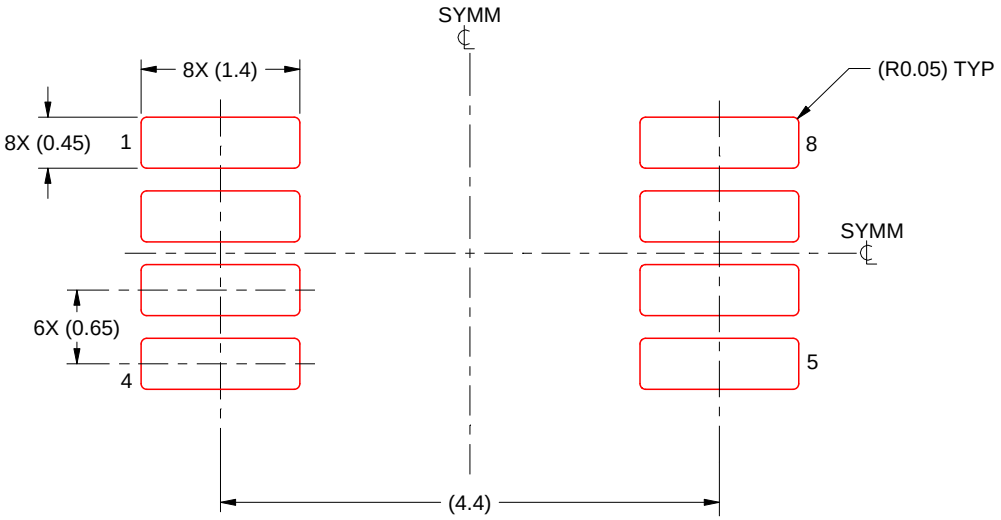


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

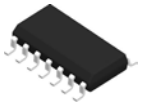


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

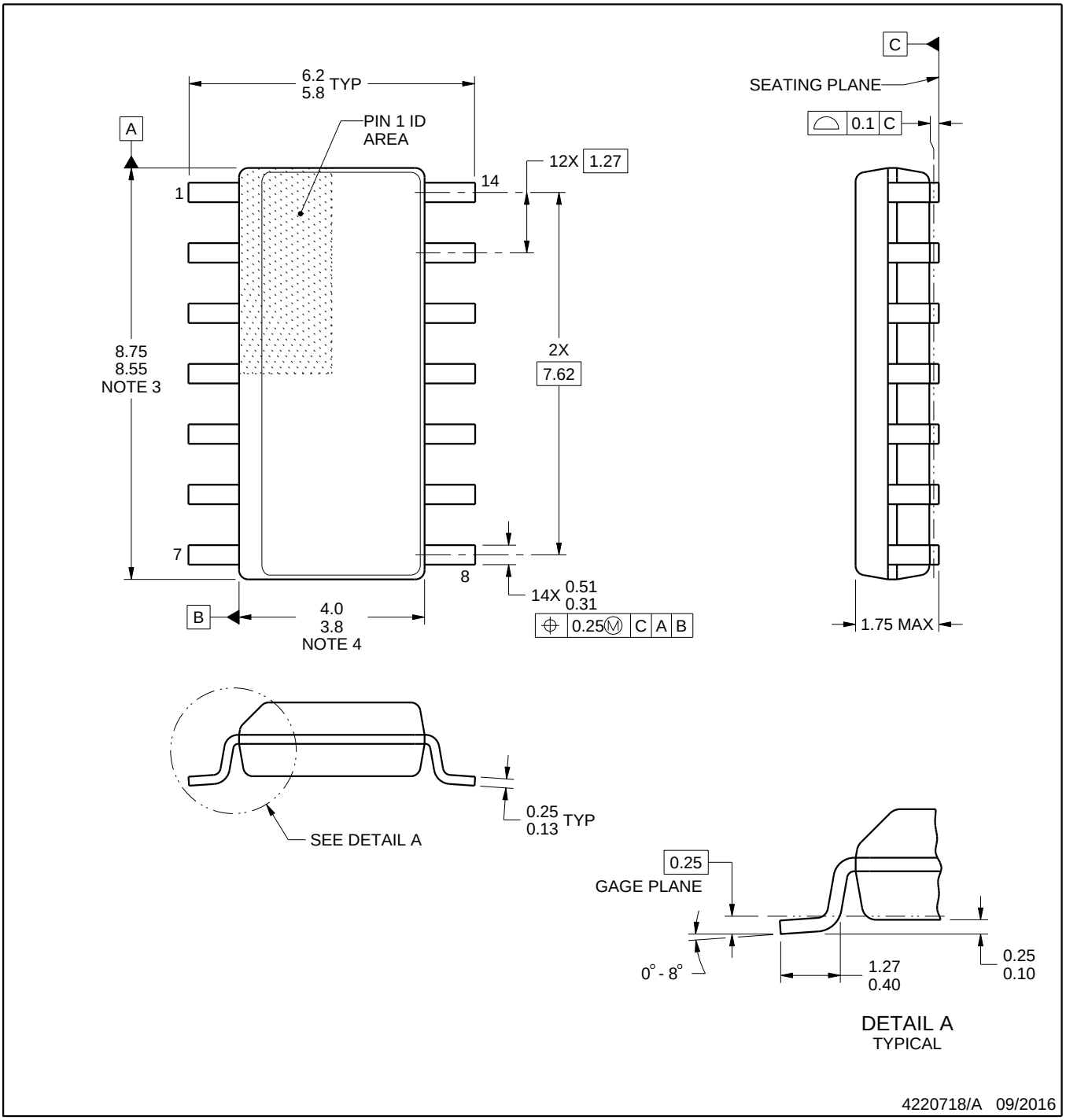


PACKAGE OUTLINE

D0014A

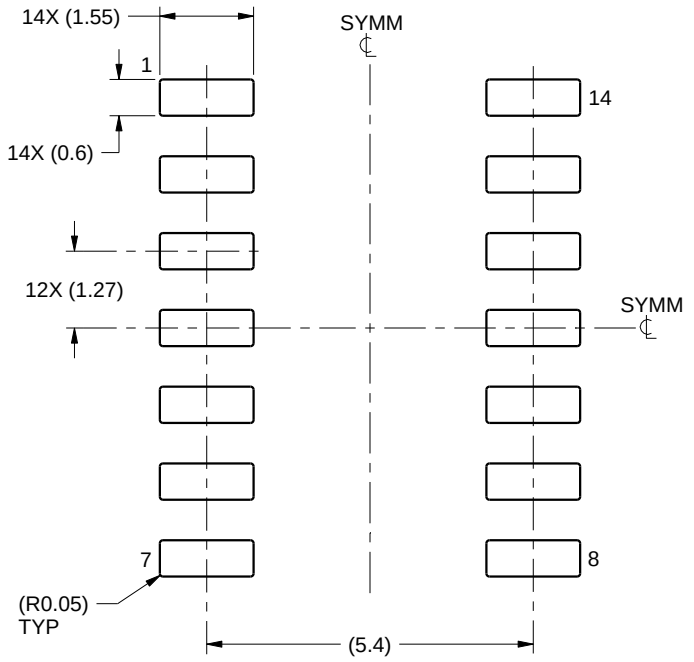
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

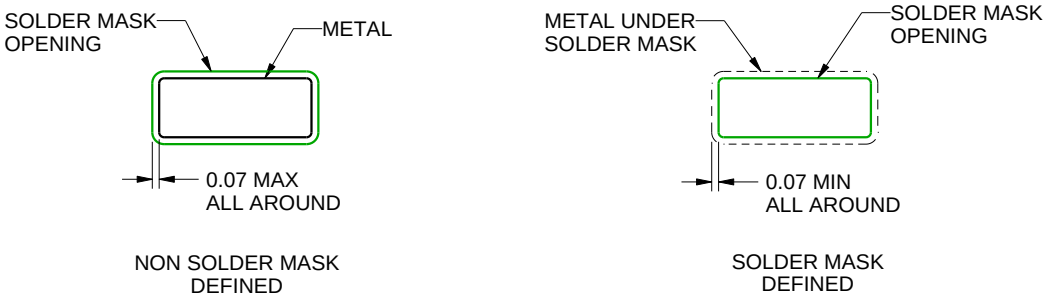


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

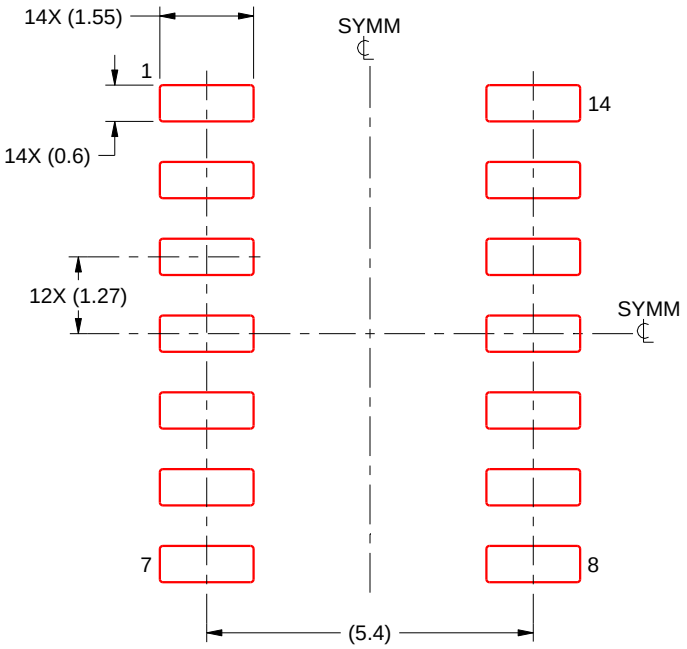
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月