デュアル マイクロパワー、レール ツー レール入力 CMOS コンパレータ、オープン ドレイン出力付

1 特長

- 低消費電力 (最大値):I_S = 10µA
- 広い電源電圧範囲:2.7V ～ 15V
- レール ツー レール入力同相電圧範囲
- オープン ドレイン出力
- 短絡保護回路:40mA
- 伝搬遅延 (V_S = 5V、100mV オーバードライブ): 420ns
- LMC6772Q は AEC-Q 認定済み
- LMC6772Q の温度範囲は −40°C ～ 125°C

2 アプリケーション

- ノート PC
- 携帯電話 / スマートフォン
- メータリング システム
- ハンドヘルド エレクトロニクス
- RC タイマ
- アラームおよび監視回路
- ウィンドウ コンパレータ、マルチバイブレータ

3 説明

LMC6772 は、最大電源電流が 10µA の超低消費電力デュアル コンパレータです。コンパレータは、広い電源電圧範囲で動作するように設計されており、最小電源電圧は 2.7V です。

LMC6772 の同相電圧範囲は正と負の両方の電源レールを超えて動作するため、単一電源アプリケーションで大きな利点となります。LMC6772 のオープン ドレイン出力により、ワイヤード OR 構成が可能です。オープン ドレイン出力は、LMC6772 の電源電圧に依存せず、最大 15V の任意の電圧レールまで出力をプルアップできるという利点もあります。

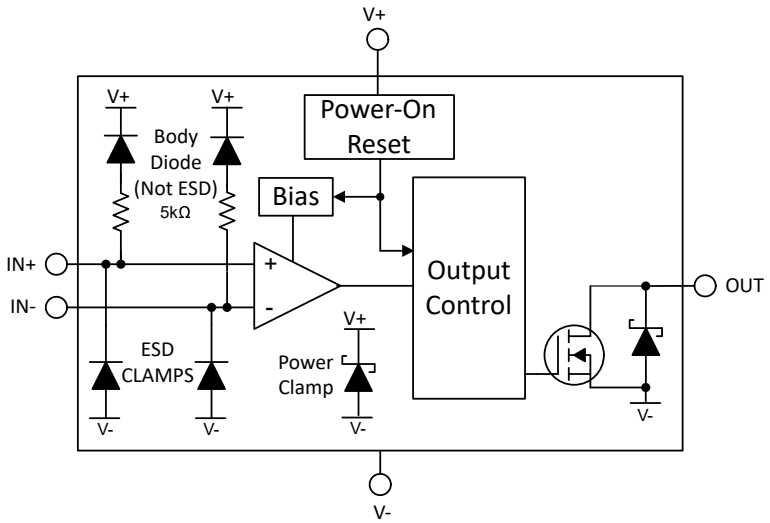
LMC6772 は、低消費電力が重要なパラメータとなるシステムを対象としています。電源電圧 2.7V での動作を保証し、レール ツー レール性能を達成しているため、このコンパレータはバッテリ駆動の用途に最適です。

このデバイスのプッシュプル出力段バージョンについては、LMC6762 データシートを参照してください。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
LMC6772x	SOIC (8)	3.91mm × 4.90mm
	VSSOP (8)	3.00mm × 3.00mm

(1) 詳細については、セクション 9 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



機能ブロック図

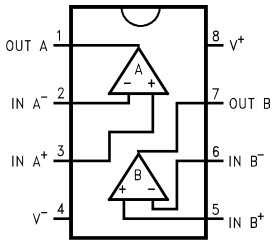
このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....4
5.1 絶対最大定格.....4
5.2 動作定格.....4
5.3 2.7V の電気的特性.....5
5.4 5.0V および 15.0V の電気的特性.....6
5.5 AC の電気的特性.....7
5.6 代表的特性.....8
6 アプリケーション情報.....9
6.1 アプリケーション情報に関する免責事項.....9
6.2 入力同相電圧範囲.....9
6.3 低電圧動作.....9
6.4 出力短絡電流.....10
6.5 ヒステリシス.....10
6.6 SPICE マクロモデル.....10
6.7 代表的なアプリケーション.....10
7 デバイスおよびドキュメントのサポート.....14
7.1 ドキュメントのサポート.....14
7.2 商標.....14
7.3 静電気放電に関する注意事項.....14
7.4 用語集.....14
8 改訂履歴.....14
9 メカニカル、パッケージ、および注文情報.....14

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能



8 ピン PDIP/SOP/VSSOP — 上面図

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

	値(1)	単位
ESD 耐性(2)	1.5	kV
差動入力電圧	(V+) + 0.3V ～ (V−) − 0.3	V
入力 / 出力ピンの電圧	(V+) + 0.3V ～ (V−) − 0.3	V
電源電圧 (V+–V−)	16	V
入力ピンの電流(6)	±5	mA
出力ピンの電流(3) (5)	±30	mA
電源ピンの電流、LMC6772	40	mA
リード温度 (半田付け、10 秒)	260	°C
保管温度範囲	-65℃ ～ 150	°C
接合部温度(4)	150	°C

(1) 絶対最大定格は、それらを超えるとデバイスに損傷を与える可能性がある制限値を示します。動作定格は、デバイスが機能することを意図した条件を示しますが、特定の性能を保証するものではありません。保証される仕様とテスト条件については「電気的特性」を参照してください。
(2) 人体モデル、1.5kΩ と 100pF を直列に接続します。2 つのコンパレータ (ピン 1 とピン 7) の出力ピンの ESD 耐性は 1.5kV です。その他のピンの ESD 耐性は 2kV です。
(3) 単一電源と分割電源での両方の動作に適用されます。高い周囲温度で連続的に短絡動作させると、150℃の最大許容接合部温度を超える可能性があります。長時間にわたって ±30mA を超える出力電流は、信頼性に悪影響を及ぼす可能性があります。
(4) 最大消費電力は、TJ(MAX)、θJA、TA の関数です。最大許容消費電力と周囲温度の関係式は、PD = (TJ(MAX) – TA)/θJA です。すべての数値は、プリント基板に直接半田付けされたパッケージに適用されます。
(5) V+ が 12V を超える場合、出力を V+ に短絡しないでください。さもないと、信頼性に悪影響が出ます。
(6) 入力ピン電流の制限は、入力電圧が絶対最大定格を超える場合にのみ必要です。

5.2 動作定格

	値(1)	単位
電源電圧	$2.7 \le V_S \le 15$	V
接合部温度範囲		
LMC6772AI、LMC6772BI	$-40℃ \le T_J \le 85$	°C
LMC6772Q	$-40℃ \le T_J \le 125$	°C
熱抵抗 (θ_{JA})		
8 ピン SOP	136	℃/W

(1) 絶対最大定格は、それらを超えるとデバイスに損傷を与える可能性がある制限値を示します。動作定格は、デバイスが機能することを意図した条件を示しますが、特定の性能を保証するものではありません。保証される仕様とテスト条件については「電気的特性」を参照してください。

Copyright © 2025 Texas Instruments Incorporated

5.3 2.7V の電気的特性

特に記述のない限り、すべての制限値は T_J = 25°C、V^+ = 2.7V、V^- = 0V、V_{CM} = V^+/2 に保証されています。極端な温度下では制限値が適用されます。

記号	パラメータ	条件	標準値 (1)	LMC6772AI 制限値(2)	LMC6772BI 制限値(2)	LMC6772Q 制限値(2)	単位
V_{OS}	入力オフセット電圧		3	5 **8**	15 **18**	10 **13**	mV max
TCV_{OS}	入力オフセット電圧の温度ドリフト		2.0				µV/°C
I_B	入力電流		0.02				pA
I_{OS}	入力オフセット電流		0.01				pA
CMRR	同相除去比		75				dB
PSRR	電源除去比	±1.35V < V_S < ±7.5V	80				dB
A_V	電圧ゲイン	(計画的)	100				dB
V_{CM}	入力同相電圧範囲	CMRR > 55dB	3.0	2.9 **2.7**	2.9 **2.7**	2.9 **2.7**	V min
			-0.3	-0.2 **0.0**	-0.2 **0.0**	-0.2 **0.2**	V max
V_{OL}	出力電圧 Low	I_{LOAD} = 2.5mA	0.2	0.3 **0.4**	0.3 **0.4**	0.3 **0.45**	V max
I_S	電源電流	両方のコンパレータ用 (出力 Low)	12	20 **25**	20 **25**	20 **25**	µA max
$I_{Leakage}$	出力リーク電流	V_{IN}(+) = 0.5V、 V_{IN}(−) = 0V、V_O = 15V	0.1	500	500	500 **1000**	nA

(1) 標準値は、最も可能性の高いパラメータの標準値を表します。
(2) すべての制限はテストまたは統計解析により規定されています。

Copyright © 2025 Texas Instruments Incorporated

5.4 5.0V および 15.0V の電気的特性

特に記述のない限り、すべての制限値は T_J = 25°C、V^+ = 5.0V および 15.0V、V^- = 0V、V_{CM} = V^+/2 に保証されています。極端な温度下では制限値が適用されます。

記号	パラメータ	条件	標準値 (1)	LMC6772AI 制限値(2)	LMC6772BI 制限値(2)	LMC6772Q 制限値(2)	単位
V_{OS}	入力オフセット電圧		3	5 **8**	15 **18**	10 **13**	mV max
TCV_{OS}	入力オフセット電圧の温度ドリフト	V^+ = 5V	2.0				µV/°C
		V^+ = 15V	4.0				
I_B	入力電流	V = 5V	0.04				pA
I_{OS}	入力オフセット電流	V^+ = 5V	0.02				pA
CMRR	同相除去比	V^+ = 5V	75				dB
		V^+ = 15V	82				
PSRR	電源除去比	±2.5V < V_S < ±5V	80				dB
A_V	電圧ゲイン	(計画的)	100				dB
V_{CM}	入力同相電圧範囲	V^+ = 5.0V CMRR > 55dB	5.3	5.2 **5.0**	5.2 **5.0**	5.2 **5.0**	V min
			-0.3	-0.2 **0.0**	-0.2 **0.0**	-0.2 **0.0**	Vmax
		V^+ = 15V CMRR > 55dB	15.3	15.2 **15.0**	15.2 **15.0**	15.2 **15.0**	V min
			-0.3	-0.2 **0.0**	-0.2 **0.0**	-0.2 **0.0**	V max
V_{OL}	出力電圧 Low	V^+ = 5V I_{LOAD} = 5mA	0.2	0.4 **0.55**	0.4 **0.55**	0.4 **0.55**	V max
		V^+ = 15V I_{LOAD} = 5mA	0.2	0.4 **0.55**	0.4 **0.55**	0.4 **0.55**	V max
I_S	電源電流	両方のコンパレータ用 (出力 Low)	12	20 **25**	20 **25**	20 **25**	µA max
I_{SC}	短絡電流	V^+ = 15V、シンク、V_O = 12V(3)	45				mA

(1) 標準値は、最も可能性の高いパラメータの標準値を表します。
(2) すべての制限はテストまたは統計解析により規定されています。
(3) V+ が 12V を超える場合、出力を V+ に短絡しないでください。さもないと、信頼性に悪影響が出ます。

Copyright © 2025 Texas Instruments Incorporated

5.5 AC の電気的特性

特に記述のない限り、すべての制限値は T_J = 25°C、V^+ = 5V、V^- = 0V、V_{CM} = V_O = V^+/2 に保証されています。極端な温度下では制限値が適用されます。

記号	パラメータ	条件		標準値 (1)	LMC6772AI 制限値(2)	LMC6772BI 制限値(2)	単位
t_{RISE}	立ち上がり時間	f = 10kHz、C_L = 50pF、オーバードライブ = 10mV(3)		15			ns
t_{FALL}	立ち下がり時間	f = 10kHz、C_L = 50pF、オーバードライブ = 10mV(3)		15			ns
t_{PHL}	伝搬遅延 (High ～ Low)	f = 10kHz、C_L = 50pF(3)	10mV	900			ns
			100mV	450			ns
t_{PLH}	伝搬遅延 (Low ～ High)	f = 10kHz、C_L = 50pF(3)	10mV	900			ns
			100mV	420			ns

(1) 標準値は、最も可能性の高いパラメータの標準値を表します。
(2) すべての制限はテストまたは統計解析により規定されています。
(3) C_L にはプローブと治具の容量が含まれます。立ち上がり時間、立ち下がり時間、伝搬遅延は、2V 入力ステップで測定されます。

Copyright © 2025 Texas Instruments Incorporated

5.6 代表的特性

T_A = 25℃、V_S = 12V、R_{PULLUP} = 2.5k、C_L = 20pF、V_{CM} = 0V、$V_{UNDERDRIVE}$ = 100mV、$V_{OVERDRIVE}$ = 100mV (特に記述のない限り)。

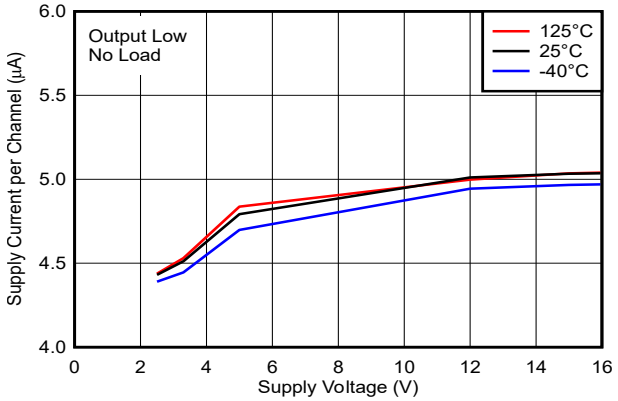


図 5-1. チャネルごとの電源電流と電源電圧の関係 (出力 "Low")

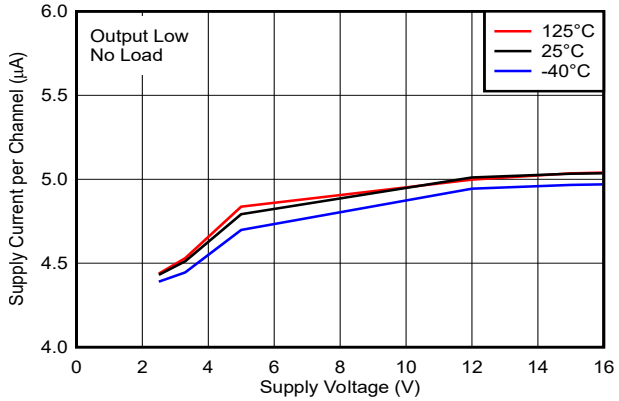


図 5-2. チャネルごとの電源電流と電源電圧の関係 (出力 "High")

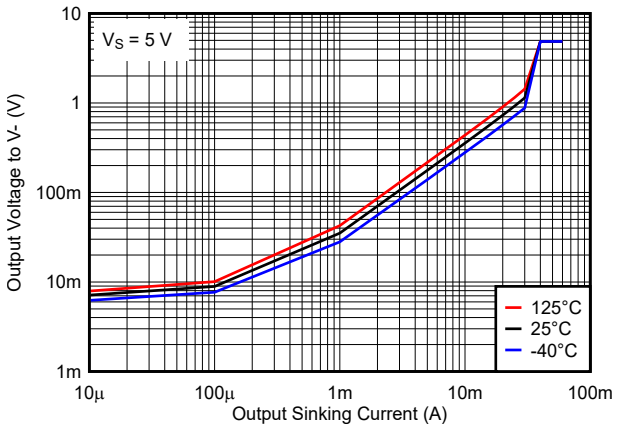


図 5-3. 出力電圧と出力シンク電流の関係、5V

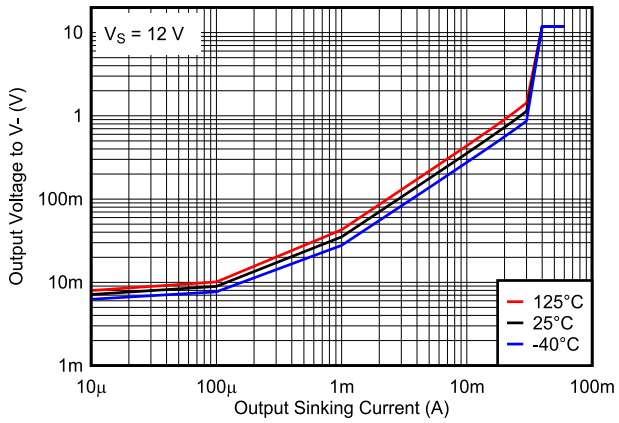


図 5-4. 出力電圧と出力シンク電流の関係、12V

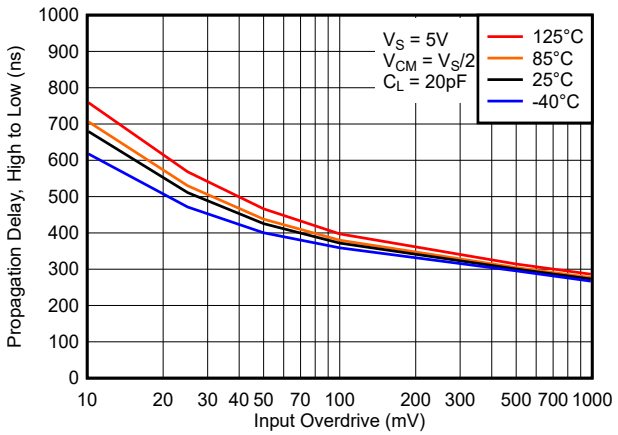


図 5-5. 伝搬遅延、"High" から "Low"、5V

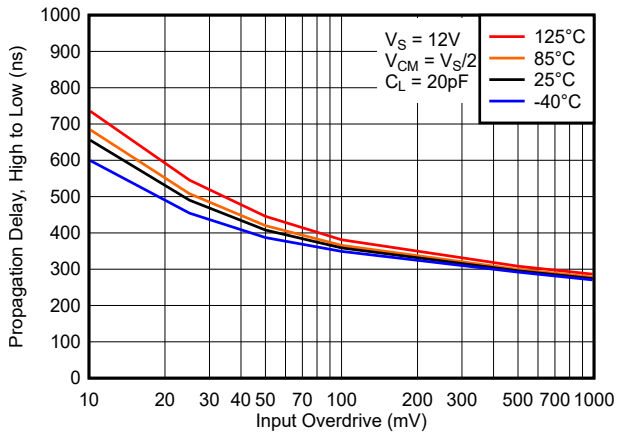


図 5-6. 伝搬遅延、"High" から "Low"、12V

Copyright © 2025 Texas Instruments Incorporated

6 アプリケーション情報

6.1 アプリケーション情報に関する免責事項

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

6.2 入力同相電圧範囲

電源電圧が 2.7V、5V、15V では、LMC6772 の入力同相電圧範囲が両方の電源電圧を超えます。オペアンプの場合と同様に、CMVR は、デバイスの同相範囲全体にわたるコンパレータの V_{OS} シフトによって定義されます。75dB (標準値) の CMRR ($\Delta V_{OS}/\Delta V_{CM}$) は、デバイスの同相範囲全体にわたってシフトが 1mV 未満であることを意味します。V^+ = 5V での絶対最大入力電圧は、どちらかの電源レールを 200mV 超えた値です。

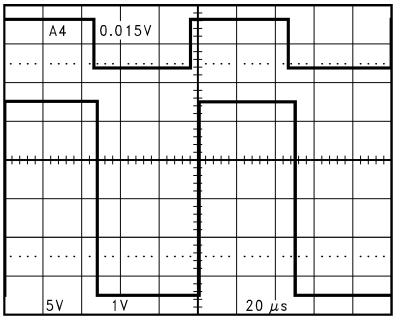


図 6-1. 位相反転なしで、入力信号が LMC6772 の電源電圧を超過

入力電圧範囲が広いため、このコンパレータを使用して、グランドおよび電源と近い信号を検出できます。これは、電源監視回路では非常に便利な機能です。

LMC6772 は、電源範囲を超える入力同相電圧、入力電流 20fA (標準値)、および高い入力インピーダンスを備えており、センサ用途に最適です。LMC6772 は、アンプもバイアス回路も使用せずに、センサと直接接続できます。数十から数百ミリボルトの出力を生成するセンサを備えた回路では、LMC6772 は、センサ信号を適切に小さいリファレンス電圧と比較できます。このリファレンス電圧は、グランドまたは正電源レールに近い状態にすることができます。

6.3 低電圧動作

コンパレータは、アナログ信号がデジタル回路とインターフェイスする一般的なデバイスです。LMC6772 は、性能を犠牲にせずに 3V デジタル システムの要求を満たすため、2.7V の電源電圧で動作するよう設計されています。

電源電圧が 2.7V の場合、同相電圧範囲は負電源よりも 200mV (保証) 下まで拡張されます。この機能は、コンパレータが正のレール付近の信号を検出できることに加え、低電圧アプリケーションで非常に有用です。

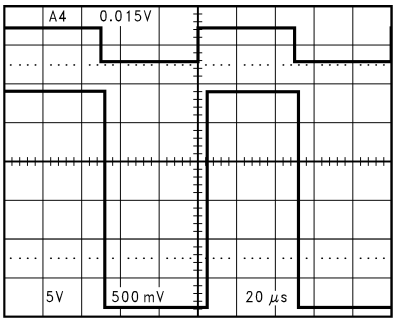


図 6-2. 2.7V の低電源電圧でも、電源電圧を超える入力信号は出力で位相反転なし

Copyright © 2025 Texas Instruments Incorporated

V^+ = 2.7V の場合、伝搬遅延は 100mV のオーバードライブで t_{PLH} = 420ns および t_{PHL} = 450ns です。より詳細な特性については、性能曲線を参照してください。

6.4 出力短絡電流

LMC6772 は 40mA の短絡保護回路を備えています。ただし、コンパレータは、連続短絡、過渡的な電圧 / 電流のスパイク、あるいは電源電圧を超える電圧への短絡に耐えるようには設計されていません。出力に直列に抵抗を入れることで、短絡の影響を低減できます。プリント基板から信号を送信する出力には、電源レールへのダイオードやバリスタなどの外部保護デバイスを使用してください。

6.5 ヒステリシス

入力信号のノイズが非常に多い場合、入力信号がスレッショルドを繰り返し通過するにつれて、コンパレータの出力が数回トリップすることがあります。以下に示すように、この問題はヒステリシスを利用することで対処できます。

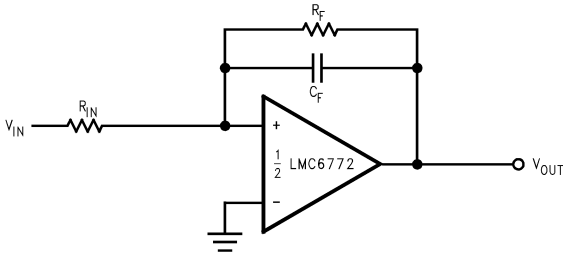


図 6-3. 入力容量の影響の相殺

帰還抵抗の両端にコンデンサを追加すると、スイッチング速度が向上し、短期的なヒステリシスが得られます。これにより、回路のノイズ耐性が向上します。

6.6 SPICE マクロモデル

LMC6772 の Spice マクロモデルが利用できます。モデルには、以下のシミュレーションが含まれています。

- 入力同相電圧範囲
- 静止および動的電源電流
- 入力オーバードライブ特性

そして、マクロモデル ディスクに記載されたその他の多くの特性も含まれます。

このオペアンプおよび他の多くのオペアンプの SPICE マクロモデルは、www.ti.com の WEBENCH Design Center Team から無償で入手可能です。

6.7 代表的なアプリケーション

6.7.1 ユニバーサル ロジック レベル シフタ

LMC6772 の出力は、出力 NMOS トランジスタの未接続ドレインです。多数のドレインを互いに接続することで、出力の OR 接続機能を実現できます。出力プルアップ抵抗は、許容される電源範囲内の任意の電源電圧に接続できます。

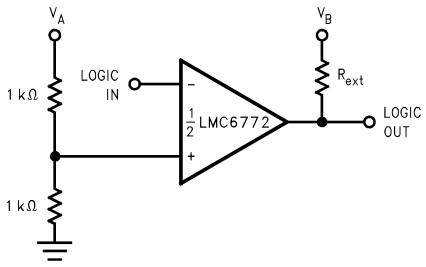


図 6-4. ユニバーサル ロジック レベル シフタ

Copyright © 2025 Texas Instruments Incorporated

2 つの 1kΩ 抵抗により、入力が電源電圧の半分にバイアスされます。プルアップ抵抗は、出力ロジック電源に接続されます。動作範囲が広いため、LMC6772 はロジック レベル シフト用途に最適です。

6.7.2 ワンショット マルチバイブレータ

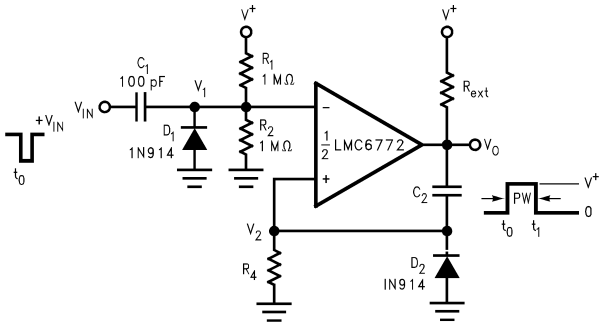


図 6-5. ワンショット マルチバイブレータ

モノステーブル マルチバイブレータは、外部トリガにより別の準安定状態に遷移するまで、1 つの安定状態を無期限に維持します。したがって、モノステーブル マルチバイブレータにより、任意の幅のパルスを生成できます。

必要なパルス幅は、C_2 と R_4 の値を調整して設定します。R_1 と R_2 の分圧抵抗を使用して、入力トリガ パルスの大きさを決定できます。$V_1 < V_2$ のとき、LMC6772 の状態が変化します。ダイオード D_2 は、パルスの終了時にリセットされるコンデンサ C_2 の急速放電パスを提供します。また、このダイオードは、非反転入力がグランドより低い電圧に駆動されることを防止します。

6.7.3 双安定マルチバイブレータ

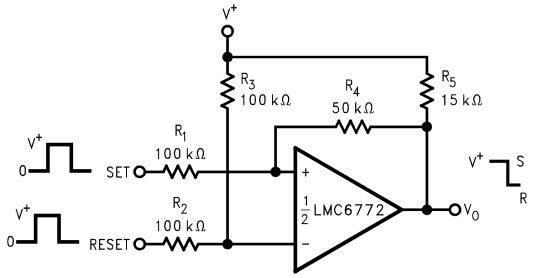


図 6-6. 双安定マルチバイブレータ

双安定マルチバイブレータには、2 つの安定状態があります。基準電圧は、R_2 と R_3 の分圧器によって設定されます。SET 端子に印加されるパルスによって、コンパレータの出力が "High" に切り替わります。R_1、R_4、R_5 の分圧抵抗回路は、非反転入力を基準電圧より高い電圧にクランプします。RESET に印加されたパルスにより、出力が "Low" に切り替わります。

Copyright © 2025 Texas Instruments Incorporated

6.7.4 ゼロ交差検出器

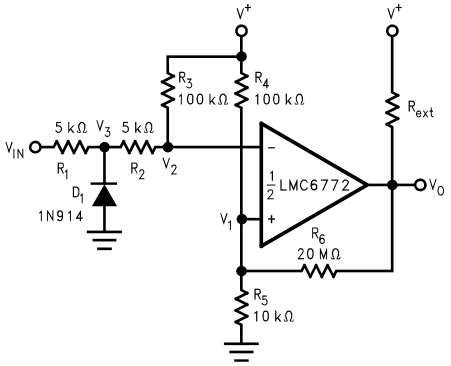


図 6-7. ゼロ交差検出器

R_4 および R_5 の分圧器により、非反転入力に基準電圧 V_1 が設定されます。R_1 と R_2 の直列抵抗を R_5 と等しくすると、コンパレータは V_{IN} = 0 のときにスイッチングします。ダイオード D_1 は V_3 が -0.7V を下回らないようにします。R_2 および R_3 の分圧器により、V_2 がグランドより低くなるのを防止します。出力電圧の迅速な遷移を保証するために、小さなヒステリシスが設定されます。

6.7.5 発振器

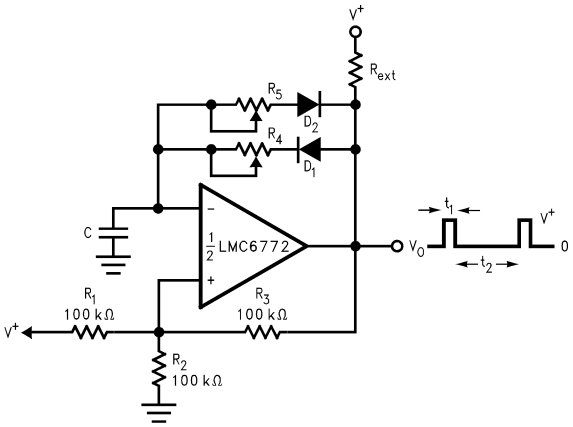


図 6-8. 方形波ジェネレータ

図 6-8 に、方形波ジェネレータ回路での LMC6772 のアプリケーションを示します。ループの合計ヒステリシスは、R_1、R_2、R_3 によって設定されます。R_4 および R_5 は、コンデンサ C に個別の充電パスと放電パスを提供します。充電パスは、R_4 および D_1 を通じて設定されます。したがって、パルス幅 t_1 は、R_4 および C の RC 時定数によって決まります。同様に、コンデンサの放電パスは、R_5 および D_2 によって設定されます。そのため、パルス間の時間 t_2 は R_5 を変化させることで変更でき、パルス幅は R_4 によって変更できます。出力の周波数は、R_4 と R_5 の両方を変化させることで変更できます。

Copyright © 2025 Texas Instruments Incorporated

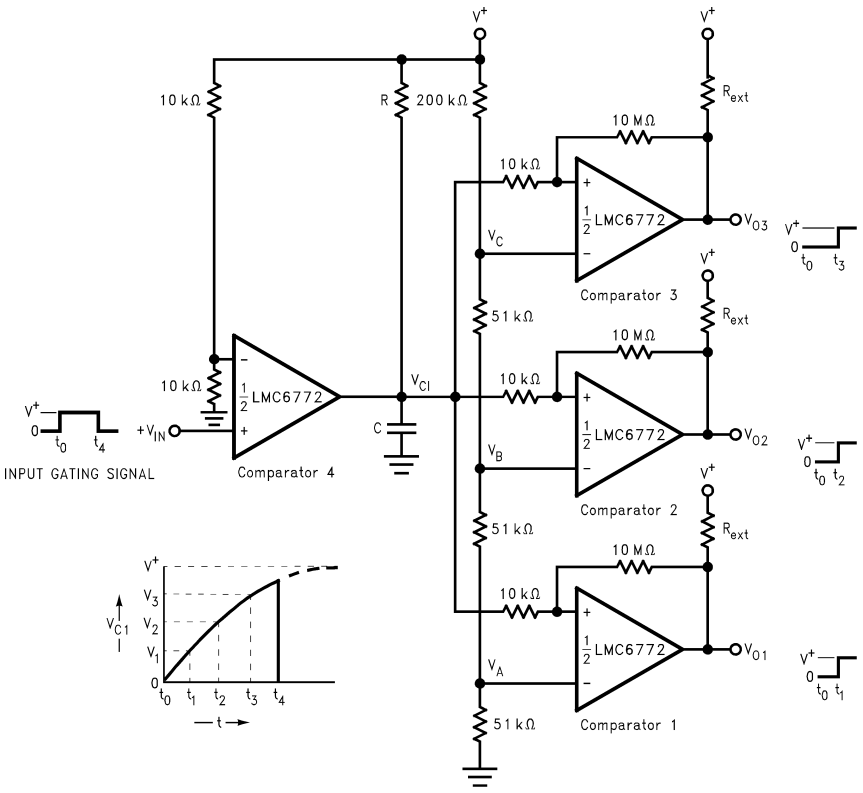


図 6-9. 時間遅延ジェネレータ

上記に示す回路は、基準時間からの所定の時間間隔で出力信号を提供し、入力がグランドに戻った時点で自動的に出力をリセットします。V_{IN} = 0 の場合を考えます。コンパレータ 4 の出力も接地されています。これは、コンパレータ 1、2、3 の出力も接地されていることを意味します。入力信号が印加されると、コンパレータ 4 の出力が High にスイングし、C は R を通じて指数関数的に充電されます。これは上記に示します。V_{C1} がリファレンス電圧 V_A、V_B、V_C を上回ると、コンパレータ 1、2、3 の出力電圧は High 状態に切り替わります。小さなヒステリシスが設定され、遅延時間が長くなる RC 時定数を選択した場合でも高速スイッチングが保証されます。

Copyright © 2025 Texas Instruments Incorporated

7 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

7.1 ドキュメントのサポート

7.2 商標

すべての商標は、それぞれの所有者に帰属します。

7.3 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

7.4 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

8 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision F (March 2013) to Revision G (November 2025)	Page
• データシートを現行基準に沿って更新。*機能ブロック図* と *パッケージ情報* の表を追加。	1
• *電気的特性* の経時的な入力オフセット電圧ドリフトの標準値を削除	5
• *電気的特性* を更新	7
• 標準的な性能曲線を更新	8

Changes from Revision E (March 2013) to Revision F (March 2013)	Page
• ナショナル データシートのレイアウトを TI 形式に変更	12

9 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMC6772AIM	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	LMC67 72AIM
LMC6772AIM/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	LMC67 72AIM
LMC6772AIMM	Obsolete	Production	VSSOP (DGK) | 8	-	-	Call TI	Call TI	-40 to 85	C21
LMC6772AIMM/NOPB	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	C21
LMC6772AIMM/NOPB.A	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	C21
LMC6772AIMMX/NOPB	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	C21
LMC6772AIMMX/NOPB.A	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	C21
LMC6772AIMMX/NOPB.B	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	C21
LMC6772AIMX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	(6772AI, LMC67) 72AIM
LMC6772AIMX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(6772AI, LMC67) 72AIM
LMC6772AIMX/NOPB.B	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(6772AI, LMC67) 72AIM
LMC6772BIM	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	LMC67 72BIM
LMC6772BIM/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	LMC67 72BIM
LMC6772BIMX	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 85	LMC67 72BIM
LMC6772BIMX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(6772BI, LMC67) 72BIM
LMC6772BIMX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(6772BI, LMC67) 72BIM
LMC6772BIN/NOPB	Obsolete	Production	PDIP (P) | 8	-	-	Call TI	Call TI	-	LMC6772 BIN
LMC6772QMM/NOPB	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AX5A
LMC6772QMM/NOPB.A	Active	Production	VSSOP (DGK) | 8	1000 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AX5A
LMC6772QMMX/NOPB	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	AX5A
LMC6772QMMX/NOPB.A	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AX5A

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMC6772QMMX/NOPB.B	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AX5A

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LMC6772, LMC6772-Q1 :

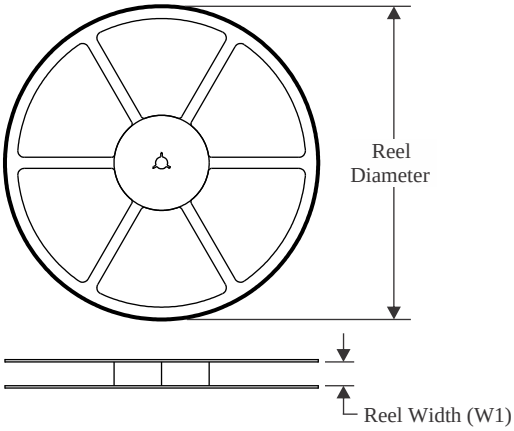
- Catalog : LMC6772
- Automotive : LMC6772-Q1

NOTE: Qualified Version Definitions:

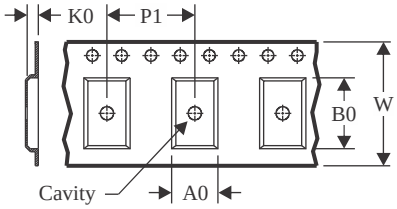
- Catalog - TI's standard catalog product
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

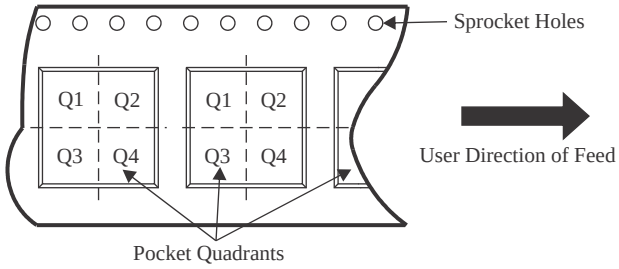


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

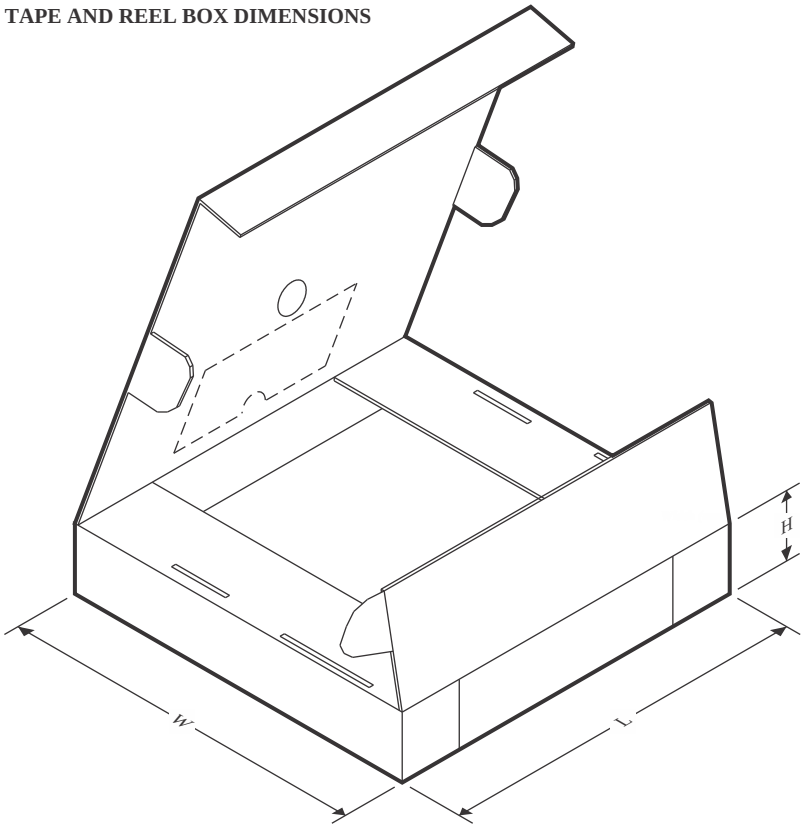
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

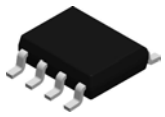
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMC6772AIMM/NOPB	VSSOP	DGK	8	1000	177.8	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMC6772AIMM/NOPB	VSSOP	DGK	8	1000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMC6772AIMMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMC6772AIMMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMC6772AIMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMC6772AIMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.5	5.4	2.0	8.0	12.0	Q1
LMC6772BIMX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMC6772QMM/NOPB	VSSOP	DGK	8	1000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMC6772QMMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMC6772QMMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMC6772AIMM/NOPB	VSSOP	DGK	8	1000	208.0	191.0	35.0
LMC6772AIMM/NOPB	VSSOP	DGK	8	1000	353.0	353.0	32.0
LMC6772AIMMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0
LMC6772AIMMX/NOPB	VSSOP	DGK	8	3500	353.0	353.0	32.0
LMC6772AIMX/NOPB	SOIC	D	8	2500	353.0	353.0	32.0
LMC6772AIMX/NOPB	SOIC	D	8	2500	367.0	367.0	35.0
LMC6772BIMX/NOPB	SOIC	D	8	2500	353.0	353.0	32.0
LMC6772QMM/NOPB	VSSOP	DGK	8	1000	353.0	353.0	32.0
LMC6772QMMX/NOPB	VSSOP	DGK	8	3500	353.0	353.0	32.0
LMC6772QMMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0

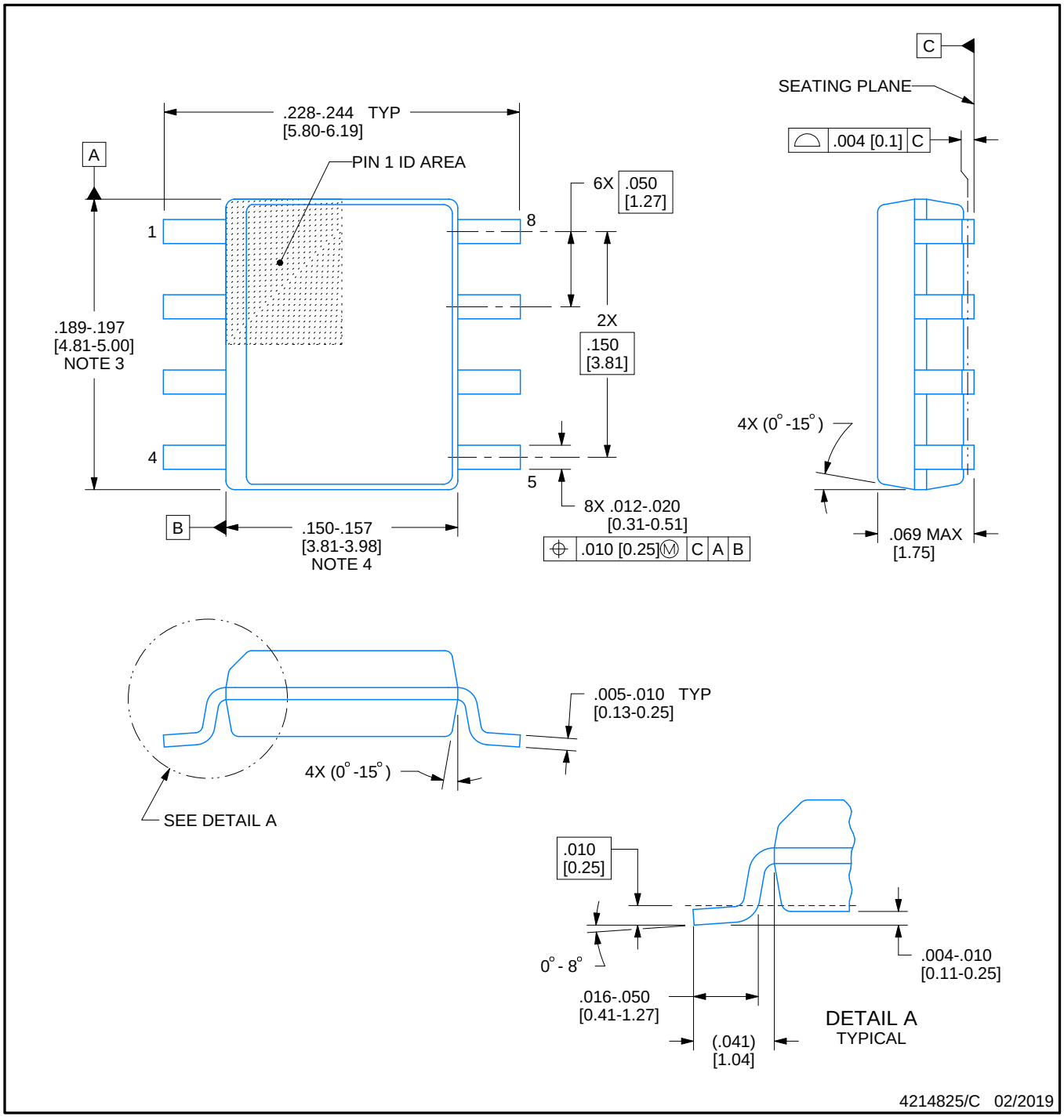


PACKAGE OUTLINE

D0008A

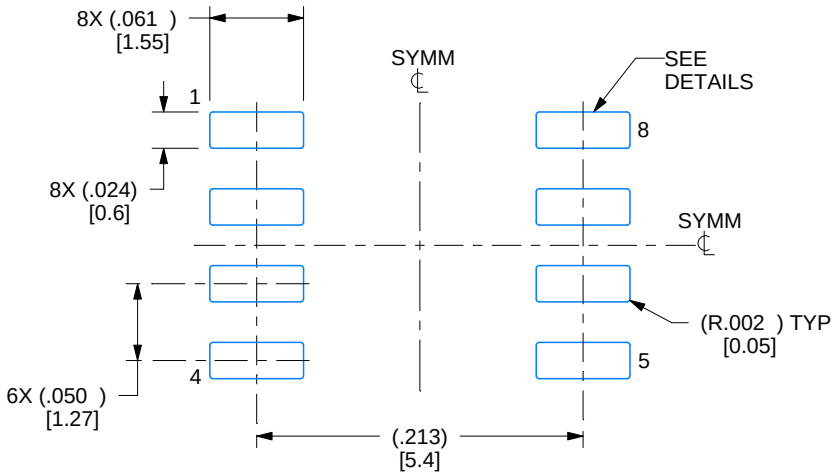
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

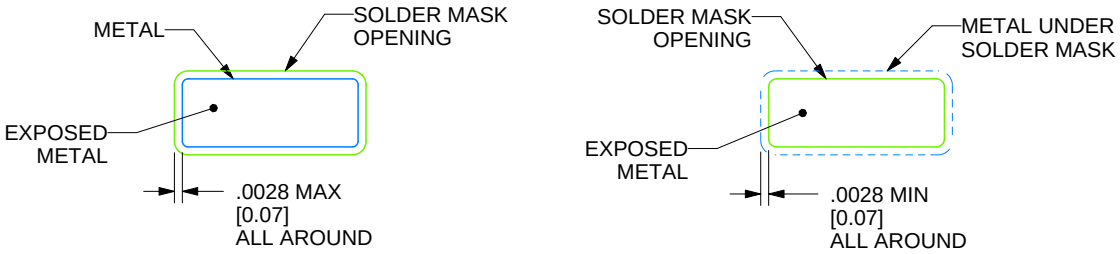


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

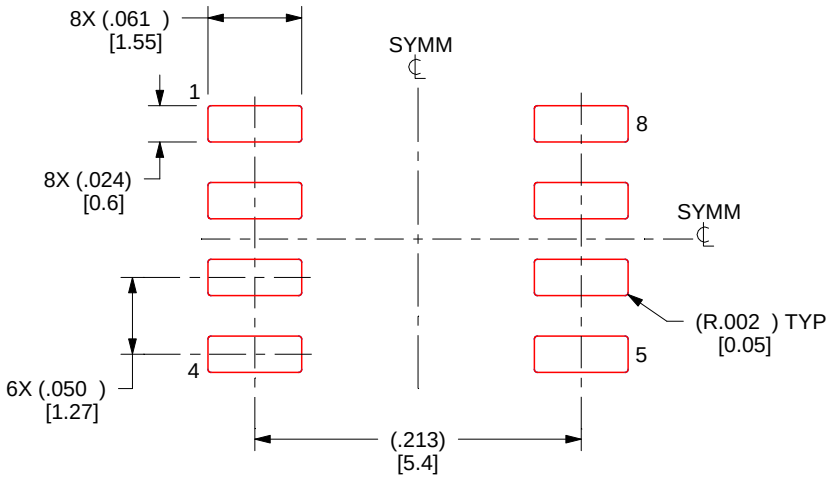
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



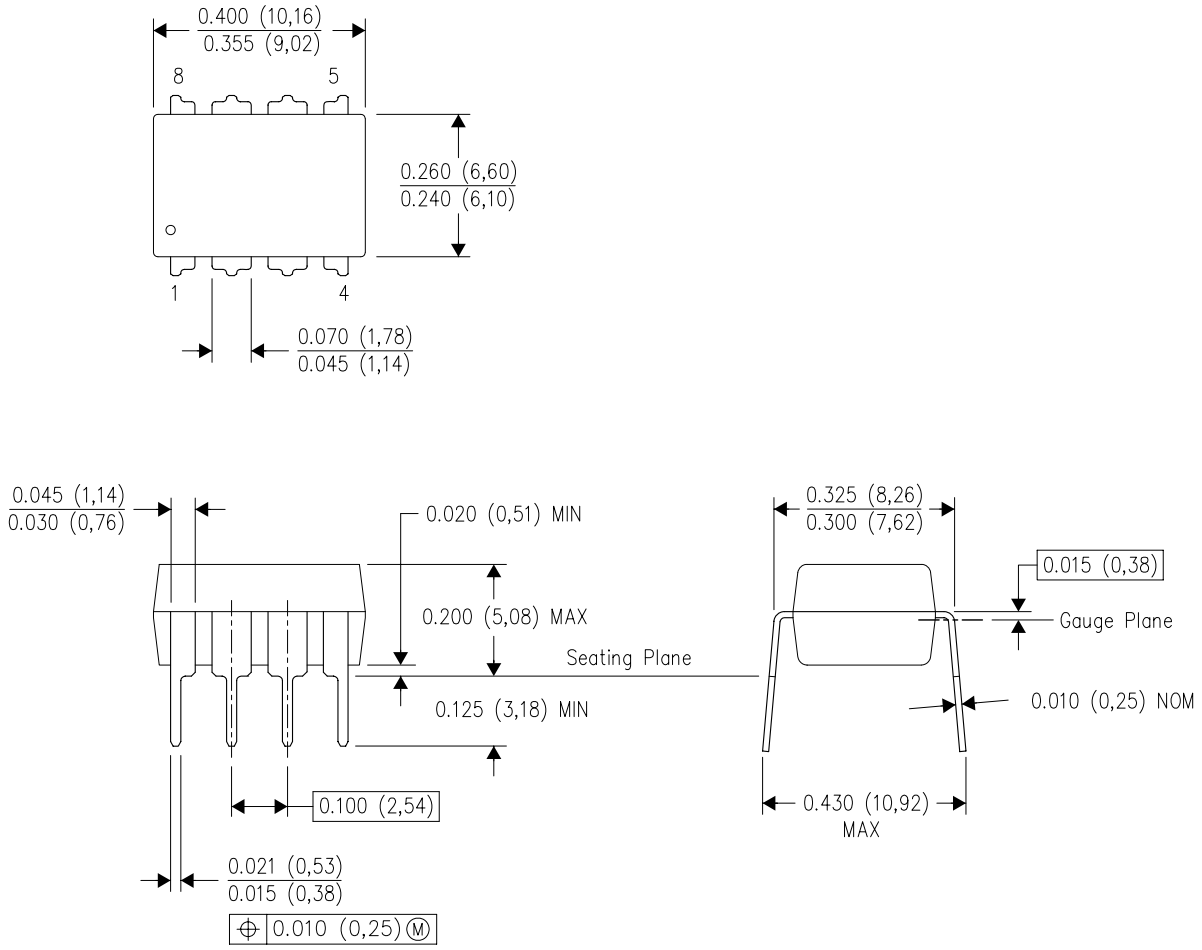
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE



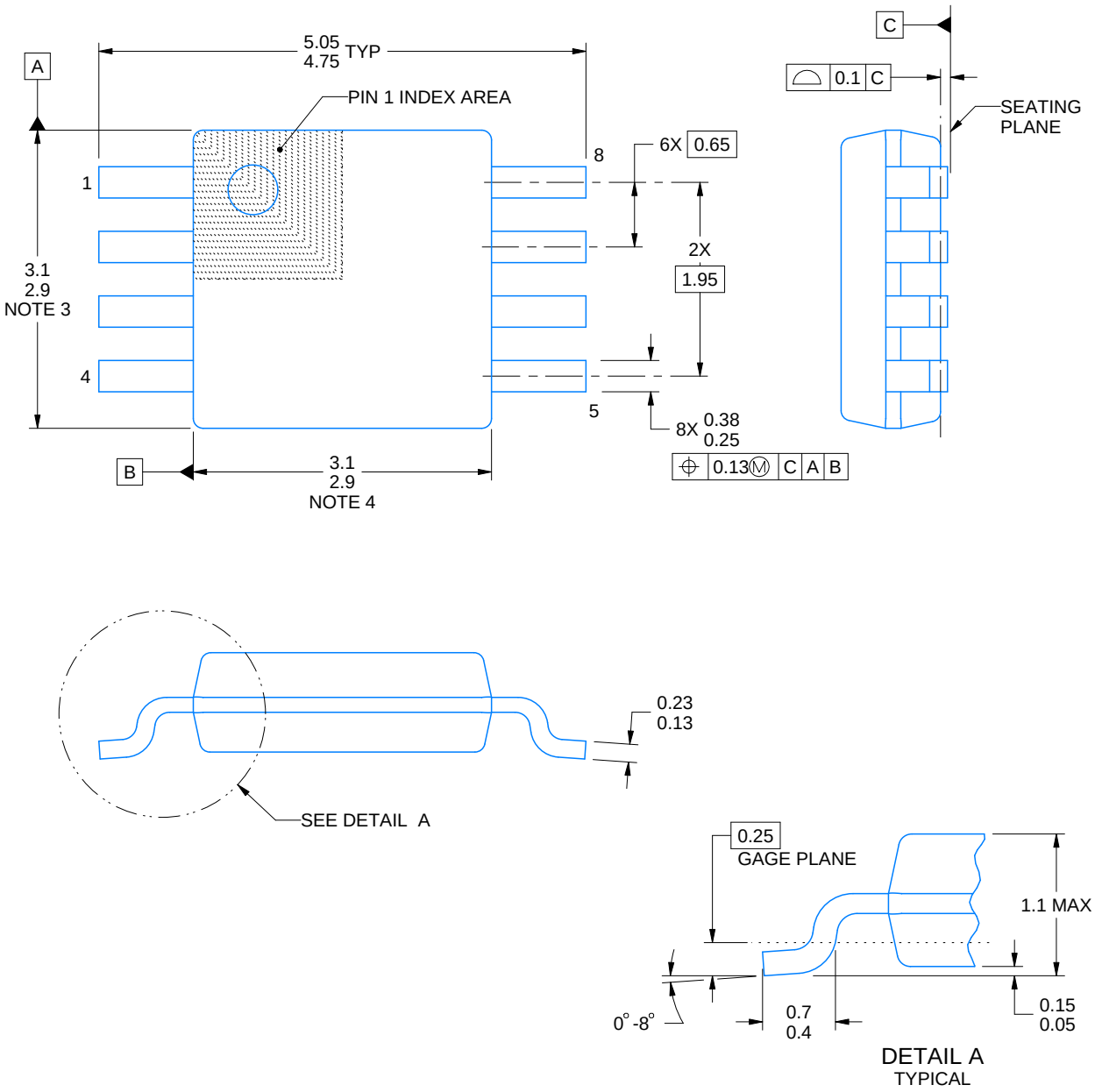
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

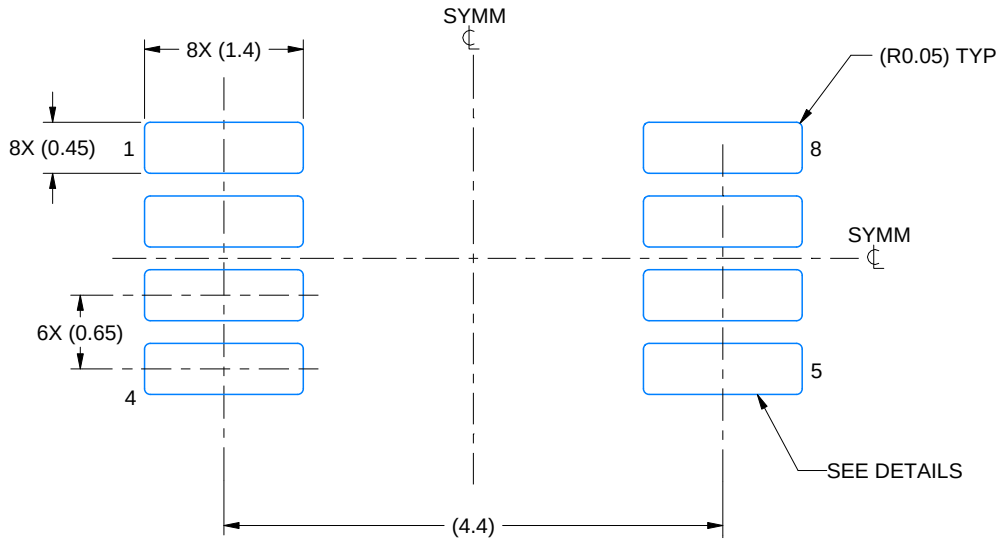
SMALL OUTLINE PACKAGE



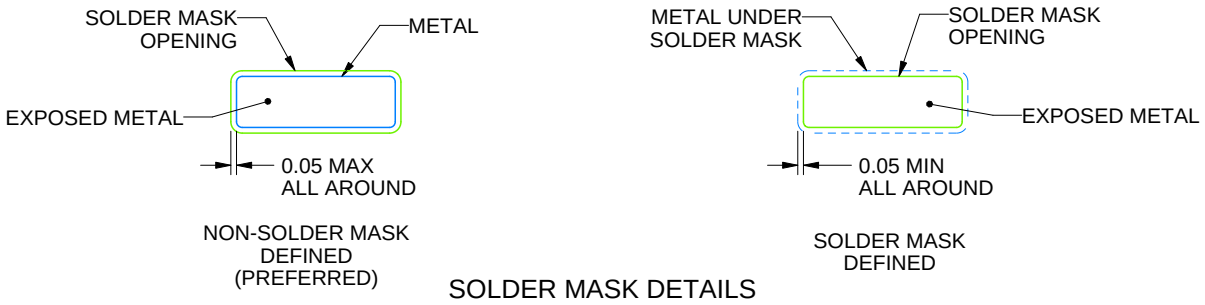
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

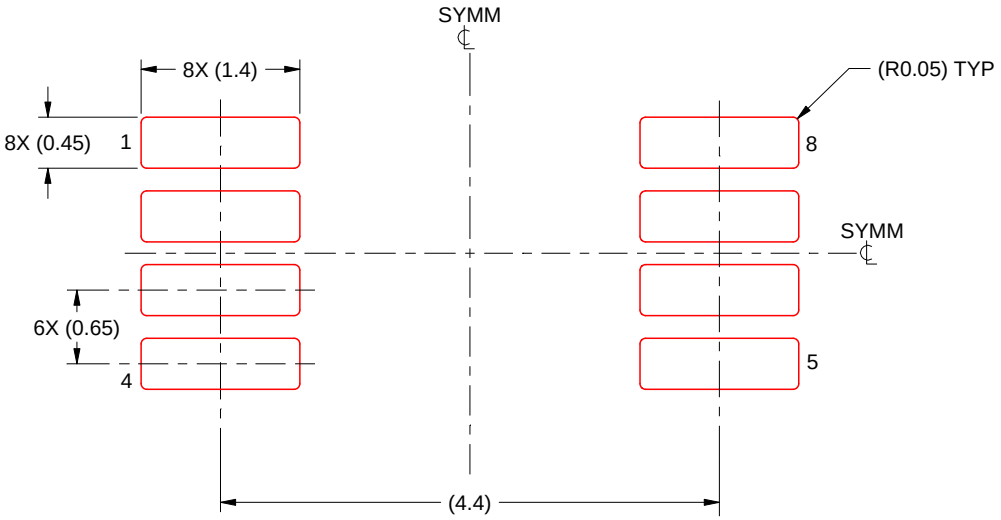


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月