LMG3100R017 (126A)、LMG3100R044 (46A) 100V、ドライバ内蔵 GaN FET

1 特長

- 内蔵の 1.7mΩ (LMG3100R017) または 4.4mΩ (LMG3100R044) GaN FET およびドライバ
- 電圧定格：連続 100V、パルス 120V
- ハイサイドのレベル シフトとブートストラップを内蔵
- 2 つの LMG3100 でハーフ ブリッジを形成
  - 外付けのレベル シフタが不要
- 5V の外部バイアス電源
- 3.3V および 5V の入力ロジック レベルをサポート
- 低リンギングで、高スルーレートのスイッチング
- ゲートドライバは最高 10MHz のスイッチングが可能
- 内部的なブートストラップ電源電圧クランピングにより、GaN FET オーバードライブを防止
- 電源レールの低電圧誤動作防止保護
- 低消費電力
- 簡単に PCB をレイアウトするよう最適化されたパッケージ
- 上面冷却用の露出上面 QFN パッケージ
- 底面に底面冷却用の大型露出パッド

2 アプリケーション

- 降圧、昇圧、昇降圧コンバータ
- LLC コンバータ
- 太陽光インバータ
- テレコムとサーバー電源
- モータードライブ
- 電動工具
- Class-D オーディオ アンプ

3 概要

LMG3100 デバイスはドライバを内蔵した、100V 連続、120V パルス、窒化ガリウム (GaN) FET です。このデバイスには、2 つの RDS (on) と最大電流バリアント (126A/1.7mΩ (LMG3100R017) および 46A/4.4mΩ (LMG3100R044)) があります。このデバイスは、高周波 GaN FET ドライバによって駆動される 100V の GaN FET で構成されています。LMG3100 には、ハイサイドのレベル シフタとブートストラップ回路が組み込まれているので、追加のレベル シフタなしで、2 つの LMG3100 デバイスを使用してハーフ ブリッジを形成できます。

GaN FET は逆方向回復時間がゼロで、入力容量 C_{ISS} および出力容量 C_{OSS} が非常に小さいため、電力変換において大きな利点があります。ドライバおよび GaN FET は、ボンド ワイヤを一切使用しないパッケージ プラットフォームに取り付けられ、パッケージの寄生要素は最小限に抑えられます。LMG3100 デバイスは、6.5mm × 4mm × 0.89mm の鉛フリー パッケージで供給され、簡単に PCB へ取り付けできます。

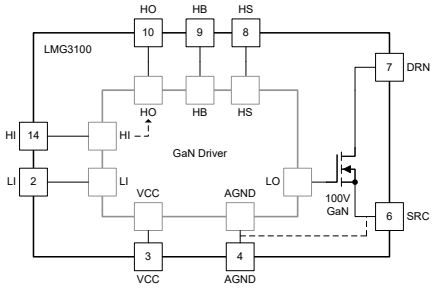
TTL ロジック互換の入力は、VCC 電圧にかかわらず 3.3V および 5V のロジック レベルをサポートできます。独自のブートストラップ電圧クランピング技法により、エンハンスメント モード GaN FET のゲート電圧が安全な動作範囲内であることが保証されます。

このデバイスは、ディスクリート GaN FET に対してより使いやすいインターフェイスを提供し、その利点を拡大します。小さなフォーム ファクタで高周波数、高効率の動作が必要なアプリケーションに理想的なソリューションです。

パッケージ情報

部品番号	パッケージ(1)	パッケージ サイズ(2)
LMG3100R017	VBE (VQFN、15)	6.50mm × 4.0mm
LMG3100R044		

(1) 供給されているすべてのパッケージについては、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略ブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 1
2 アプリケーション 1
3 概要 1
4 ピン構成および機能 3
5 仕様 4
5.1 絶対最大定格 4
5.2 ESD 定格 4
5.3 推奨動作条件 4
5.4 熱に関する情報 5
5.5 熱に関する情報 5
5.6 電気的特性 5
5.7 代表的特性 8
6 パラメータ測定情報 11
6.1 伝搬遅延とミスマッチ測定 11
7 詳細説明 13
7.1 概要 13
7.2 機能ブロック図 13
7.3 機能説明 14
7.4 デバイスの機能モード 16
8 アプリケーションと実装 16
8.1 アプリケーション情報 16
8.2 代表的なアプリケーション 16
8.3 電源に関する推奨事項 21
8.4 レイアウト 21
9 デバイスおよびドキュメントのサポート 24
9.1 ドキュメントのサポート 24
9.2 ドキュメントの更新通知を受け取る方法 24
9.3 サポート・リソース 24
9.4 商標 24
9.5 静電気放電に関する注意事項 24
9.6 用語集 24
10 改訂履歴 24
11 メカニカル、パッケージ、および注文情報 25
11.1 パッケージ情報 25

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

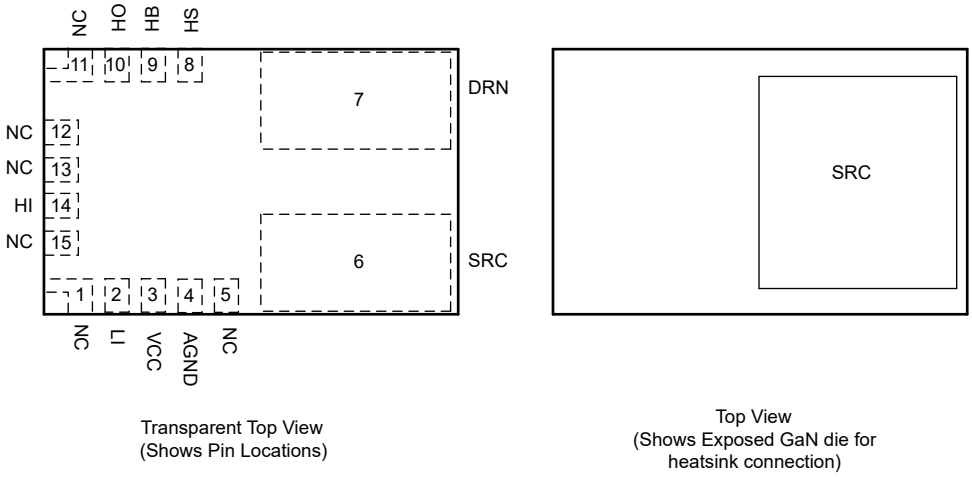


図 4-1. VBE パッケージ、 15 ピン VQFN (上面図)

表 4-1. ピンの機能

ピン		I/O(1)	説明
名称	番号		
NC	1、5、11 ～ 13、15	—	内部未接続。フローティングのままにします。
LI	2	I	ローサイド ゲートドライバの制御入力。
VCC	3	P	5V デバイス電源。
AGND	4	G	アナログ グランド。
SRC	6	P	GaN FET のソース。AGND に内部接続します。
DRN	7	P	GaN FET のドレイン。
HS	8	P	ブートストラップ電圧の接地基準。
HB	9	P	HS を接地基準として使用するハイサイド ゲートドライバのブートストラップ レール。
HO	10	O	レベル シフトされたハイサイド ゲートドライバ制御出力。
HI	14	I	ハイサイド ゲートドライバの制御入力。

(1) I = 入力、O = 出力、G = グランド、P = 電源

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

(1) を参照

	最小値	最大値	単位
DRN ～ SRC		100	V
DRN ～ SRC (150°C で最大 10,000 個の 5ms のパルス)		120	V
HB ～ AGND	-0.3	100	V
HS ～ AGND		93	V
HI ～ AGND	-0.3	6	V
LI ～ AGND	-0.3	6	V
HI ～ AGND、10ns 過渡、500khz 未満の周波数 (2)	-1.5	6	V
LI ～ AGND、10ns 過渡、500khz 未満の周波数 (2)	-1.5	6	V
VCC から AGND へ	-0.3	6	V
HB から HS	-0.3	6	V
HB ～ VCC	0	93	V
IOUT、DRN/SRC ピン (連続)、T_J = 125℃、LMG3100R017		126	A
IOUT、DRN/SRC ピン (パルス、300µs)、T_J = 25℃、LMG3100R017		350	A
IOUT、DRN/SRC ピン (連続)、T_J = 125℃、LMG3100R044		46	A
IOUT、DRN/SRC ピン (パルス、300µs)、T_J = 25℃、LMG3100R044		125	A
接合部温度、T_J	-40	175	℃
保存温度、T_{stg}	-40	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) -1.5V は持続時間 10ns の方形波パルスの振幅です

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電気放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±500	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠(2)	±500	V

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

特に記述のない限り、電圧は AGND を基準にしています

	最小値	公称値	最大値	単位
VCC	4.75	5	5.25	V
LI または HI 入力	0		5.5	V
HB	V_{HS}+ 4		V_{HS}+ 5.25	V
HS、SW スルーレート(1)			50	V/ns

(1) 設計および特性評価を通じて決定されます。量産時にはテストを行っていません。

Copyright © 2025 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		LMG3100R017 QFN 15 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	29.3	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	0.39	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	5.4	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.5	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	5.4	℃/W
$R_{\Theta JC(bot)}$	接合部からケース (底面) への熱抵抗	3.1	℃/W

(1) 従来および新しい熱評価基準の詳細については、『*IC パッケージの熱評価基準*』アプリケーション レポート、SPRA953 を参照してください。

5.5 熱に関する情報

熱評価基準(1)		LMG3100R044 QFN 15 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗		℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗		℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗		℃/W
Ψ_{JT}	接合部から上面への特性パラメータ		℃/W
Ψ_{JB}	接合部から基板への特性パラメータ		℃/W
$R_{\Theta JC(bot)}$	接合部からケース (底面) への熱抵抗		℃/W

(1) 従来および新しい熱評価基準の詳細については、『IC パッケージの熱評価基準』アプリケーション レポート、SPRA953 を参照してください。

5.6 電気的特性

特に記載のない限り、電圧は AGND を基準とし、-40℃≤ T_J ≤125℃(1) です

パラメータ		テスト条件	最小値	標準値	最大値	単位
電力段 R017						
$R_{DS(ON)}$	GaN FET オン抵抗	LI=VCC=5V、HI=0V、I(DRN-SRC)=45A、T_J = 25℃		1.7	2.2	mΩ
V_{SD}	GaN の第 3 象限伝導電圧降下	I_{SD} = 500 mA、V_{VCC} = 5 V、HI = LI = 0V		1.5		V
$I_{L-DRN-SRC}$	GaN FET がオフのときの DRN から SRC へのリーケージ	DRN = 80V、HI = LI = 0V、V_{VCC} = 5V、T_J=25℃		12	200	µA
C_{OSS}	GaN FET の出力キャパシタンス	V_{DS}=50V、V_{GS}= 0V (HI = LI = 0V)		1035	1423	pF
$C_{OSS(ER)}$	GaN FET の出力キャパシタンス - エネルギーに関連	V_{DS}=0 to 50V、V_{GS}= 0V (HI = LI = 0V)		1223		pF
$C_{OSS(TR)}$	GaN FET の出力キャパシタンス - 時間に関連	V_{DS}=0 to 50V、V_{GS}= 0V (HI = LI = 0V)		1547		pF
Q_G	GaN FET の総ゲート電荷	V_{DS}=50V、I_D= 45A、V_{GS}= 5V		20	29	nC
Q_{GD}	GaN FET のゲートドレイン間電荷	V_{DS} = 50V、I_D = 45A		2		nC
Q_{GS}	GaN FET のゲートソース間電荷	V_{DS} = 50V、I_D = 45A		6.7		nC
Q_{OSS}	出力電荷量	V_{DS}=50V、VGS = 0 V		77	104	nC
Q_{RR}	ソースドレイン間の逆方向復帰電荷	内部ドライバ ブートストラップ ダイオードは含まれていません		0		nC
t_{HIPLH}	伝搬遅延:HI 立ち上がり(2)	LI=0V、VCC=5V、HB-HS=5V、VIN=48V	38	70	120	ns
t_{HIPHL}	伝搬遅延:HI 立ち下がり(2)	LI=0V、VCC=5V、HB-HS=5V、VIN=48V	38	70	120	ns
t_{LIPLH}	伝搬遅延:LI 立ち上がり(2)	HI=0V、VCC=5V、HB-HS=5V、VIN=48V	19	40	65	ns
t_{LIPHL}	伝搬遅延:LI 立ち下がり(2)	HI=0V、VCC=5V、HB-HS=5V、VIN=48V	19	40	65	ns

Copyright © 2025 Texas Instruments Incorporated

5.6 電気的特性 (続き)

特に記載のない限り、電圧は AGND を基準とし、-40℃≤ T_J ≤125℃[1] です

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{MON}	遅延マッチング:LI ハイと HI ロー[2]		4	30	55	ns
t_{MOFF}	遅延マッチング:LI ローと HI ハイ[2]		4	30	55	ns
t_{PW}	出力を変化させる最小入力パルス幅			10		ns
電力段 R044						
$R_{DS(ON)}$	GaN FET オン抵抗	LI=VCC=5V、HI=0V、I(DRN-SRC)=16A、T_J = 25℃		4.4	5.7	mΩ
V_{SD}	GaN の第 3 象限伝導電圧降下	I_{SD} = 500 mA、V_{CC} = 5 V、HI = LI = 0V		1.5		V
$I_{L-DRN-SRC}$	GaN FET がオフのときの DRN から SRC へのリーケージ	DRN = 80V、HI = LI = 0V、V_{CC} = 5V、T_J=25℃		4	80	µA
C_{OSS}	GaN FET の出力キャパシタンス	V_{DS}=50V、V_{GS}= 0V (HI = LI = 0V)		364	478	pF
$C_{OSS(ER)}$	GaN FET の出力キャパシタンス - エネルギーに関連	V_{DS}=0 to 50V、V_{GS}= 0V (HI = LI = 0V)		441		pF
$C_{OSS(TR)}$	GaN FET の出力キャパシタンス - 時間に関連	V_{DS}=0 to 50V、V_{GS}= 0V (HI = LI = 0V)		548		pF
Q_G	GaN FET の総ゲート電荷	V_{DS}=50V、I_D= 16A、V_{GS}= 5V		7.3	9.3	nC
Q_{GD}	GaN FET のゲートドレイン間電荷	V_{DS} = 50V、I_D = 16A		0.7		nC
Q_{GS}	GaN FET のゲート ソース間電荷	V_{DS} = 50V、I_D = 16A		2.8		nC
Q_{OSS}	出力電荷量	V_{DS} = 50V、I_D = 16A		27	35	nC
Q_{RR}	ソースドレイン間の逆方向復帰電荷	内部ドライバ ブートストラップ ダイオードは含まれていません		0		nC
t_{HIPLH}	伝搬遅延:HI 立ち上がり[2]	LI=0V、VCC=5V、HB-HS=5V、VIN=48V	40	66	100	ns
t_{HIPHL}	伝搬遅延:HI 立ち下がり[2]	LI=0V、VCC=5V、HB-HS=5V、VIN=48V	40	66	100	ns
t_{LPLH}	伝搬遅延:LI 立ち上がり[2]	HI=0V、VCC=5V、HB-HS=5V、VIN=48V	20	36	55	ns
t_{LPHL}	伝搬遅延:LI 立ち下がり[2]	HI=0V、VCC=5V、HB-HS=5V、VIN=48V	20	36	55	ns
t_{MON}	遅延マッチング:LI ハイと HI ロー[2]		10	30	50	ns
t_{MOFF}	遅延マッチング:LI ローと HI ハイ[2]		10	30	50	ns
t_{PW}	出力を変化させる最小入力パルス幅			10		ns
入力ピン HI、LI						
V_{IH}	ハイ レベル入力電圧スレッショルド	立ち上がりエッジ	1.87	2.06	2.22	V
V_{IL}	ロー レベル入力電圧スレッショルド	立ち下がりエッジ	1.48	1.66	1.76	V
V_{HYS}	立ち上がりスレッショルドと立ち下がりスレッショルド間のヒステリシス			350		mV
R_I	入力プルダウン抵抗		100	200	300	kΩ
出力ピン HO						
V_{OL}	Low レベル出力電圧	I_{OL} = 10mA			0.03	V
V_{OH}	High レベル出力電圧	I_{OL} = -10mA	V_{HB}-0.06			V
低電圧保護						
V_{CCR}	V_{CC} 立ち上がりエッジ スレッショルド	立ち上がり	3.2	3.8	4.5	V
V_{CCF}	V_{CC} 立ち下がりエッジ スレッショルド		3.0	3.6	4.3	V
$V_{CC(hyst)}$	V_{CC} UVLO スレッショルドのヒステリシス			210		mV
V_{HBR}	HB 立ち上がりエッジ スレッショルド	立ち上がり	2.5	3.2	3.9	V
V_{HBF}	HB 立ち下がりエッジ スレッショルド		2.3	3.0	3.7	V
$V_{HB(hyst)}$	HB UVLO スレッショルドのヒステリシス			220		mV
ブートストラップ ダイオード						
V_{DL}	低電流順方向電圧	I_{VDD-HB} = 100µA		0.45	0.65	V
V_{DH}	高電流順方向電圧	I_{VDD-HB} = 100mA		0.9	1.2	V
R_D	動的抵抗	I_{VDD-HB} = 100mA		1.85		Ω
	HB-HS クランプ	レギュレーション電圧	4.65	5	5.2	V

Copyright © 2025 Texas Instruments Incorporated

5.6 電気的特性 (続き)

特に記載のない限り、電圧は AGND を基準とし、-40℃≤ T_J ≤125℃(1) です

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{BS}	ブートストラップ ダイオードの逆回復時間	I_F = 100 mA、IR = 100 mA		40		ns
Q_{RR}	ブートストラップ ダイオードの逆回復電荷	V_{VIN} = 50V		2		nC
供給電流						
I_{CC}	VCC 静止時電流	LI = HI = 0V、VCC = 5V		0.08	0.125	mA
I_{CC}	VCC 静止時電流	LI=VCC=5V、HI=0V、LMG3100R017		0.17	5	mA
I_{CC}	VCC 静止時電流	LI=VCC=5V、HI=0V、LMG3100R044		0.17	5	mA
I_{CCO}	VCC の総動作電流	f = 500 kHz、50% デューティ サイクル、V_{IN} = 48V、LMG3100R017		10	20	mA
I_{CCO}	VCC の総動作電流	f = 500 kHz、50% デューティ サイクル、V_{IN} = 48V、LMG3100R044		5	10	mA
I_{HB}	HB 静止時電流	LI = HI = 0V、VCC = 5V、HB-HS = 4.6V		0.1	0.150	mA
I_{HB}	HB 静止時電流	LI=0V、HI=VCC=5V、HB-HS=4.6V、VIN=48V、LMG3100R017		0.16	0.25	mA
I_{HB}	HB 静止時電流	LI=0V、HI=VCC=5V、HB-HS=4.6V、VIN=48V、LMG3100R044		0.16	0.25	mA
I_{HBO}	HB 動作電流	f = 500 kHz、50% デューティ サイクル、V_{DD} = 5V、V_{IN} = 48V、ハーフ ブリッジ構成におけるローサイド デバイス向け、LMG3100R017、HB-HS = 4.6V (外部供給)		1.5	2.5	mA
I_{HBO}	HB 動作電流	f = 500 kHz、50% デューティ サイクル、V_{DD} = 5V、V_{IN} = 48V、ハーフ ブリッジ構成におけるローサイド デバイス向け、HB-HS = 4.6V (外部供給) LMG3100R044		1.5	2.5	mA

(1) 標準値のみを示すパラメータは設計によって決定され、本番環境ではテストされていない場合があります
(2) 「*伝搬遅延とミスマッチ測定*」セクションを参照してください

Copyright © 2025 Texas Instruments Incorporated

5.7 代表的特性

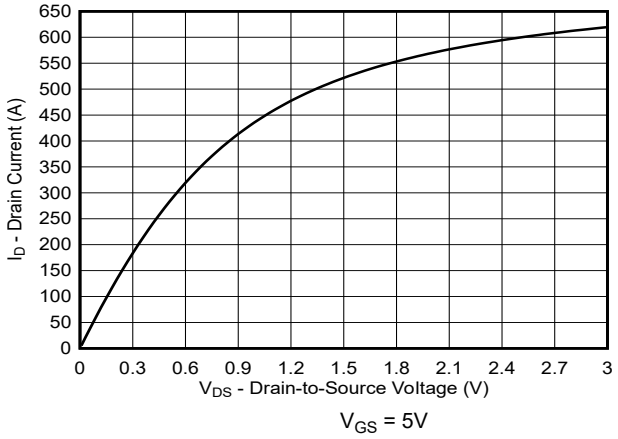


図 5-1. LMG3100R017 の代表的特性

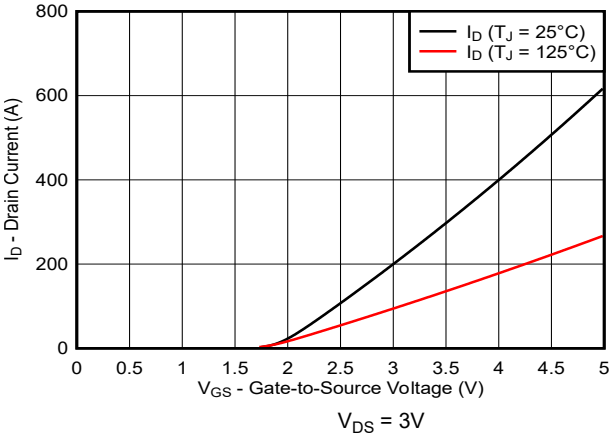


図 5-2. LMG3100R017 の代表的な転送特性

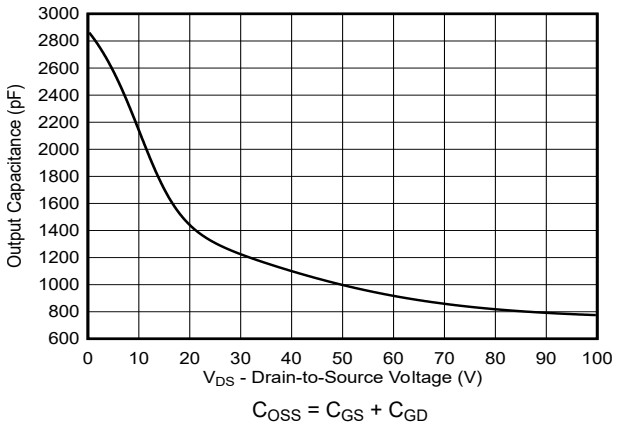


図 5-3. LMG3100R017 の代表的なキャパシタンス (リニア スケール)

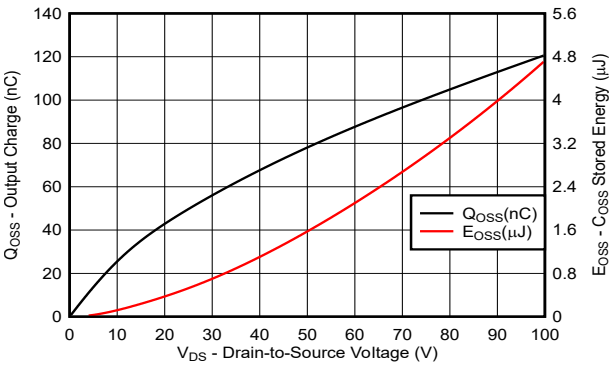


図 5-4. LMG3100R017 の代表的な出力電荷量および C_{OSS} の蓄積エネルギー

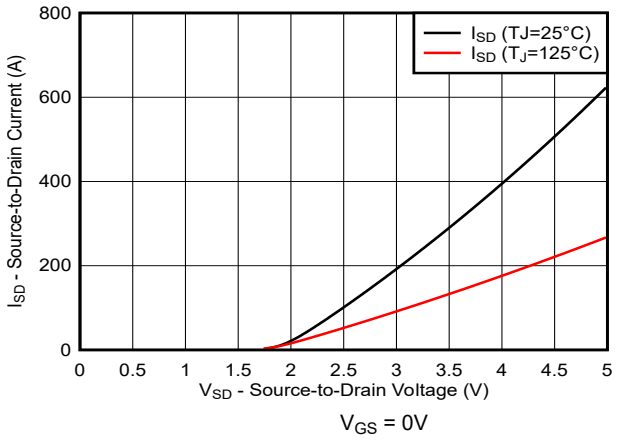


図 5-5. LMG3100R017 の逆ドレイン ソース間特性

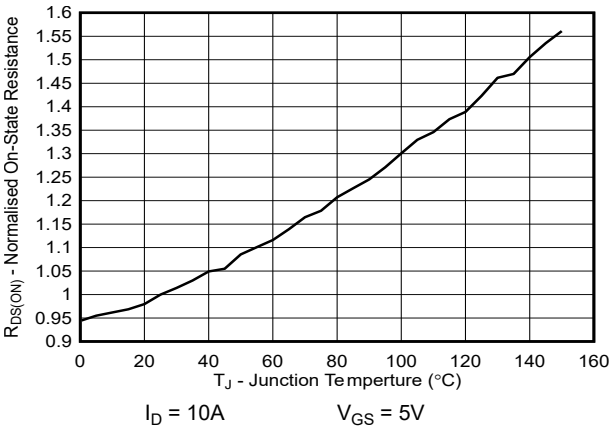


図 5-6. LMG3100R017 の通常のオン状態抵抗と接合部温度との関係

Copyright © 2025 Texas Instruments Incorporated

5.7 代表的特性 (続き)

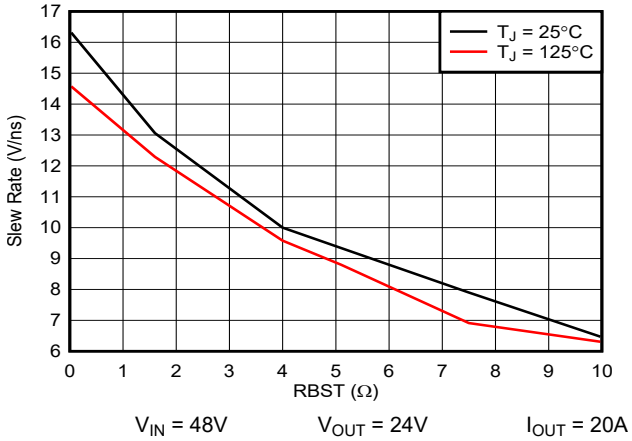


図 5-7. LMG3100R017 の R_{BST} を使用する降圧コンバータのスルーレート制御

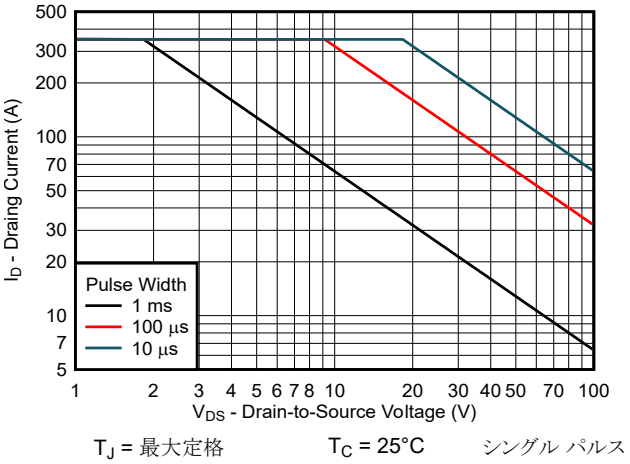


図 5-8. LMG3100R017 の安全動作領域

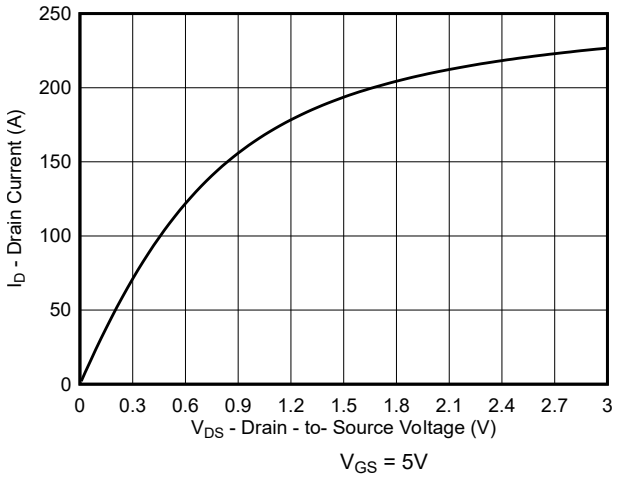


図 5-9. LMG3100R044 の代表的特性

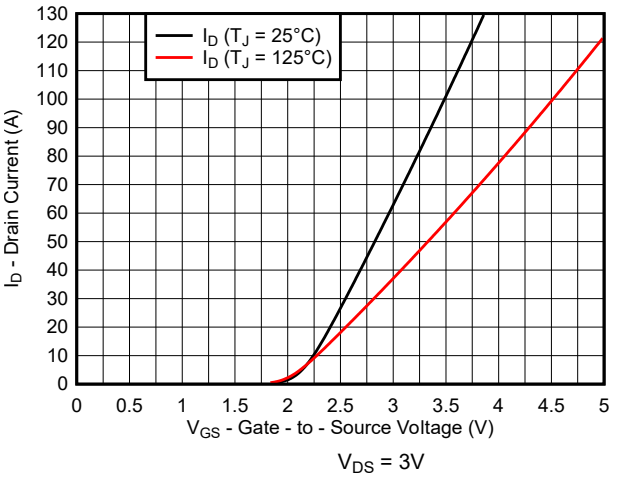


図 5-10. LMG3100R044 の代表的な転送特性

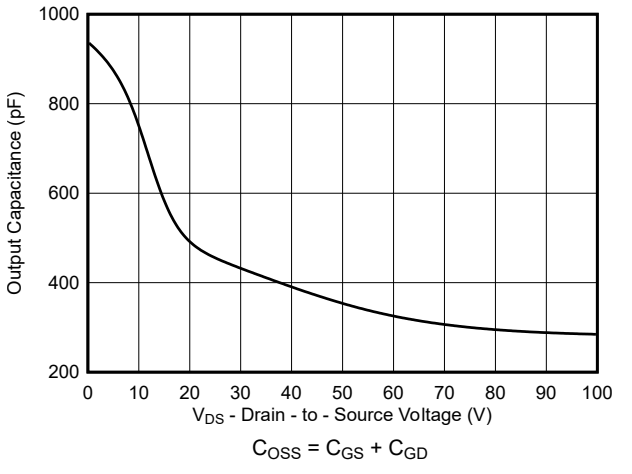


図 5-11. LMG3100R044 の代表的なキャパシタンス (リニア スケール)

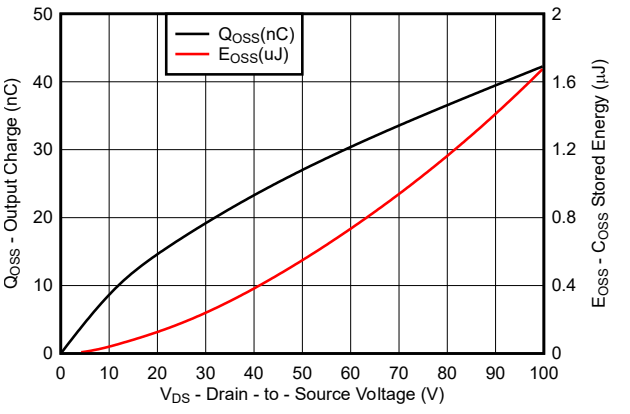


図 5-12. LMG3100R044 の代表的な出力電荷量および C_{OSS} の蓄積エネルギー

5.7 代表的特性 (続き)

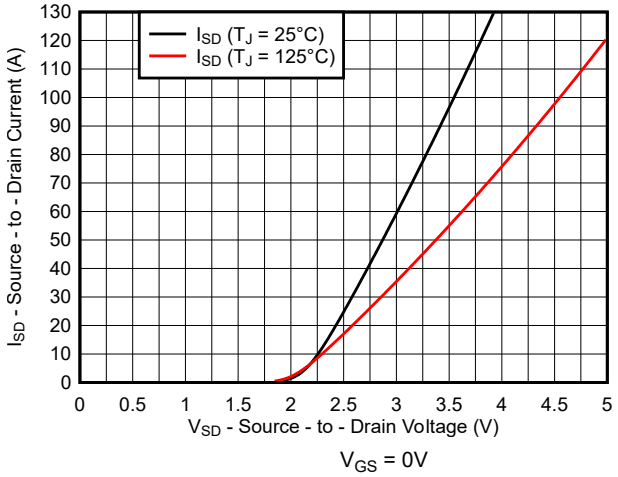


図 5-13. LMG3100R044 の逆ドレイン ソース間特性

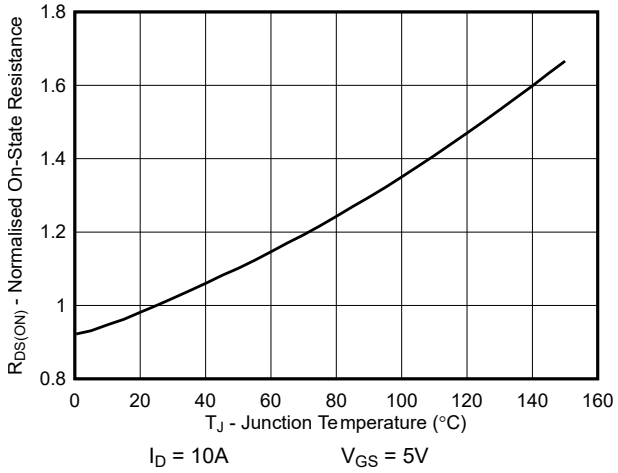


図 5-14. LMG3100R044 の通常のオン状態抵抗と接合部温度との関係

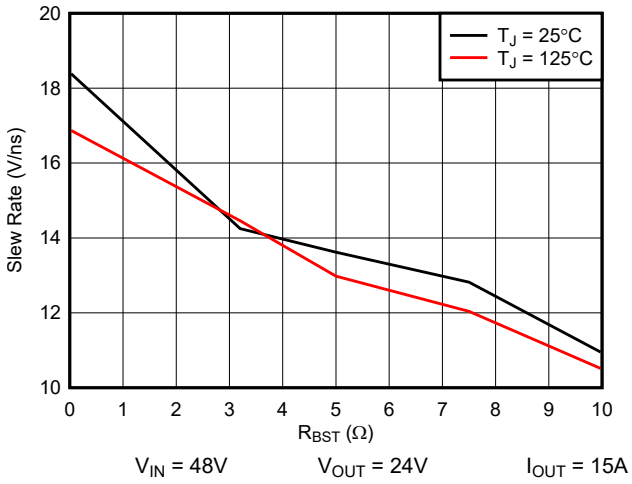


図 5-15. LMG3100R044 の R_{BST} を使用する降圧コンバータのスルー レート制御

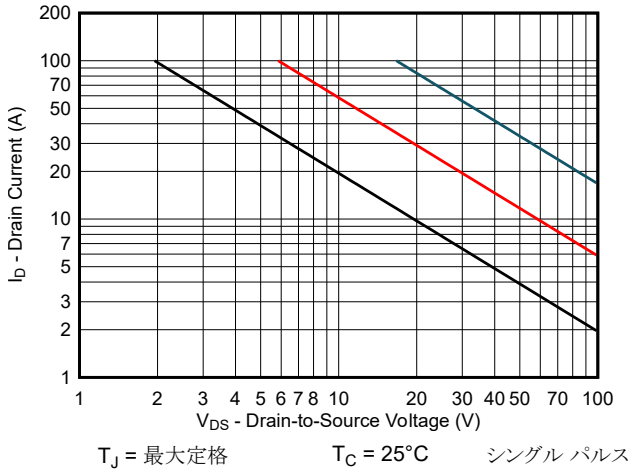


図 5-16. LMG3100R044 の安全動作領域

Copyright © 2025 Texas Instruments Incorporated

6 パラメータ測定情報

6.1 伝搬遅延とミスマッチ測定

図 6-1 は伝搬の不一致を測定するために使用する一般的なテスト設定を示しています。ゲートドライブにはアクセスできないため、このテスト回路のプルアップ抵抗とプルダウン抵抗を使用して、ローサイド GaN FET がオンになり、ハイサイド GaN FET がオフになるタイミング、またはその逆のタイミングを示す、t_{MON} および t_{MOFF} パラメータを測定します。この回路でプルアップ抵抗およびプルダウン抵抗に使用する抵抗値は 1kΩ 程度で、使用する電流源は 2A です。

図 6-2 ～ 図 6-5 は伝搬遅延測定波形を示しています。ターンオン伝搬遅延の測定では、電流源を使用しません。ターンオフ時間の測定では、電流源を 2A に設定しれ、$VIN_{(CLAMP)}$ と呼ばれる電圧クランプ制限も設定します。ハイサイド部品のターンオフ遅延時間を測定するときは、ハイサイド FET の両端の電流源がオンになり、ローサイド FET の両端の電流源がオフになり、HI がハイからローに遷移し、出力電圧が V_{IN} から $V_{IN(CLAMP)}$ に遷移します。同様に、ローサイド部品のターンオフ伝搬遅延測定では、ハイサイド部品の電流源がオフになり、ローサイド部品の電流源がオンになり、LI がハイからローに遷移し、出力が GND 電位から $V_{IN(CLAMP)}$ に遷移します。LI の遷移から出力変化までの時間は、伝搬遅延時間です。

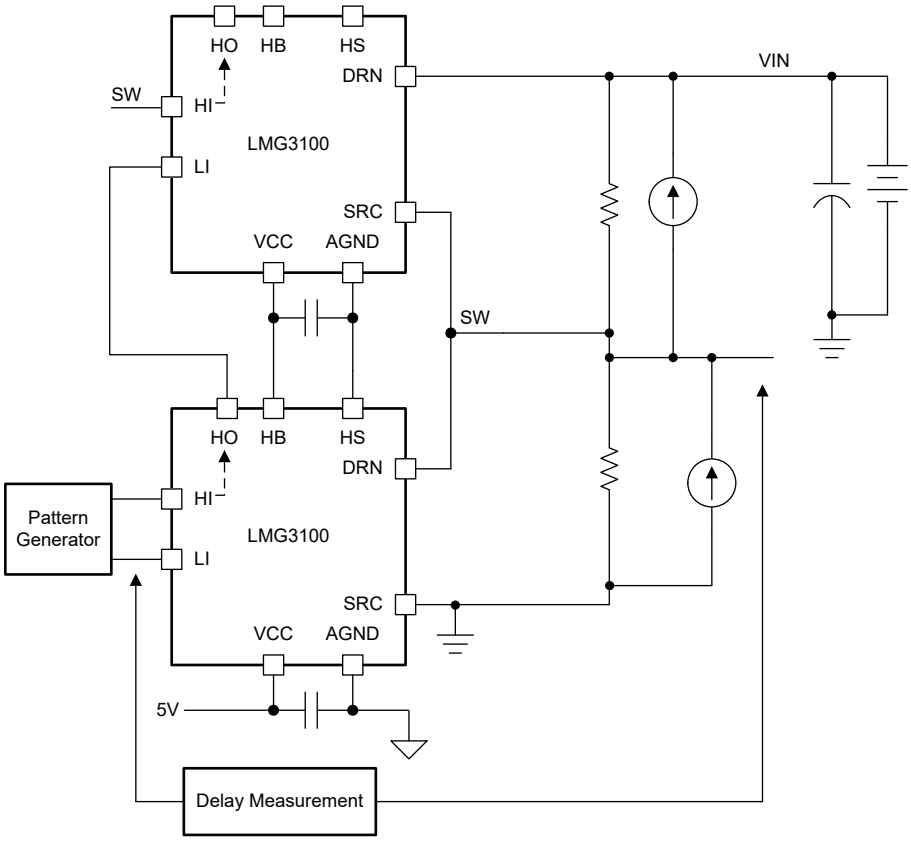


図 6-1. 伝搬遅延と伝搬ミスマッチ測定

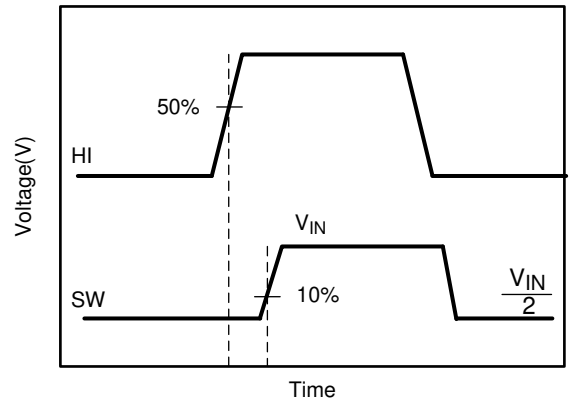


図 6-2. ハイサイド ゲート ドライバのターンオン

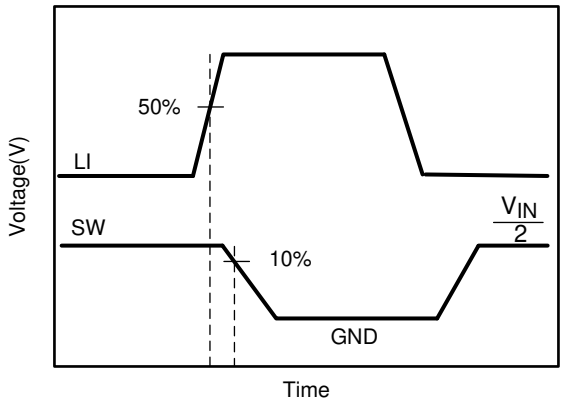


図 6-3. ローサイド ゲート ドライバのターンオン

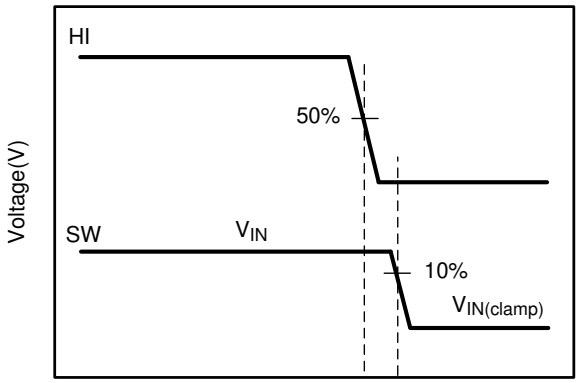


図 6-4. ハイサイド ゲート ドライバのターンオフ

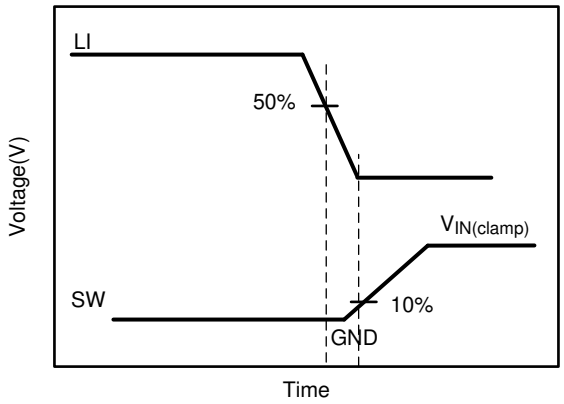


図 6-5. ローサイド ゲート ドライバのターンオフ

Copyright © 2025 Texas Instruments Incorporated

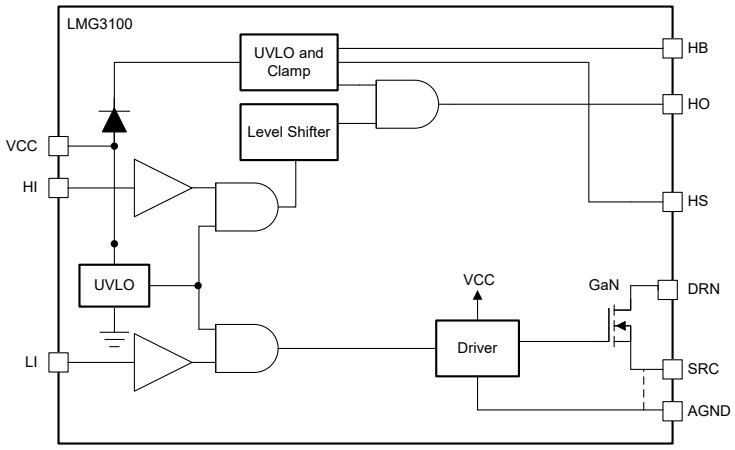
7 詳細説明

7.1 概要

セクション 7.2 は、ゲート ドライバ、ハイサイド レベル シフト、ブートストラップ回路を搭載した LMG3100 GaN FET を示しています。これには、UVLO 保護回路と過電圧クランプ回路が内蔵されています。クランプ回路は、ハイサイド ゲート ドライバのオーバードライブが 5.4V を超えないようにするため、ブートストラップ リフレッシュ動作を制限します。本デバイスは、LMG3100R017 用の 1.7mΩ GaN FET と LMG3100R044 用の 4.4mΩ GaN FET を内蔵しており、外部のレベル シフタなしで 2 つの LMG3100 を使用してハーフ ブリッジを形成できます。このデバイスは多くの絶縁型および非絶縁型トポロジで使用できるため、非常に簡単に内蔵可能です。ターンオンおよびターンオフの駆動強度は、ゲートや電源ループに過剰なリンギングを発生させずに高電圧のスルーレートを実現するよう最適化されています。

7.2 機能ブロック図

GaN FET とドライバ、ハイサイド レベル シフト、ブートストラップ回路を統合した LMG3100 デバイスの機能ブロック図。



7.3 機能説明

LMG3100 デバイスは、沿面距離と空間距離の要件を維持しながら、アンダーフィルを使用せずに高電力密度の基板を簡単に設計できます。GaN FET をドライバと共同パッケージ化することで、共通ソースのインダクタンスを最小限に抑えることができます。このようにインダクタンスを最小化すると、ハード スイッチング トポロジの性能が大きく影響を受けます。

クランプ付きの内蔵ブートストラップ回路により、外部回路を追加しなくても、ハイサイド ゲート ドライブが GaN FET の最大ゲート ソース間電圧 (VGS) を超えるのを防止します。内蔵ドライバは、VCC およびブートストラップ (HB-HS) レールの低電圧誤動作防止 (UVLO) 機能を備えています。VCC 電圧が UVLO スレッショルド電圧を下回ると、デバイスは HI 信号と LI 信号の両方を無視して、GaN FET が部分的にオンになるのを防止します。UVLO 未満で、十分な電圧が得られる場合 (V_{VCC} > 2.5V)、ドライバはハイサイドとローサイドのゲート ドライバの出力をアクティブにローにプルします。200mV の UVLO スレッショルド ヒステリシスにより、電圧スパイクによるチャタリングや不要なターンオンが防止されます。1µF 以上の値の外付け VCC バイパス コンデンサを使用します。ピンまでのパターン長を最小限に抑えるため、0402 のサイズを推奨します。バイパス コンデンサとブートストラップ コンデンサは、寄生インダクタンスを最小限に抑えるため、デバイスにできる限り近づけて配置してください。

7.3.1 制御入力

LMG3100 の入力ピンは TTL 入力スレッショルドで個別に制御され、VCC 電圧に関係なく 3.3V および 5V ロジック レベルをサポートできます。

設計ニーズに応じてデッドタイムを柔軟に最適化できるようにするため、LMG3100 には重複保護機能は実装されていません。HI と LI の両方がアサートされると、ハイサイドとローサイドの両方の GaN FET がオンになります。シュートスルー状態を回避するため、制御入力には細心の注意を払う必要があります。

7.3.2 起動と UVLO

LMG3100 は、V_{CC} と HB (ブートストラップ) の両方の電源に UVLO を備えています。V_{CC} 電圧がスレッショルド電圧の 3.8V を下回ると、HI 入力と LI 入力の両方が無視され、GaN FET が部分的にオンになるのを防止します。また、V_{CC} 電圧が不十分な場合、UVLO はハイサイドおよびローサイドの GaN FET ゲートをアクティブにローにプルします。HB から HS へのブートストラップ電圧が UVLO スレッショルド 3.2V を下回ると、ハイサイド GaN FET ゲートのみがローになります。どちらの UVLO スレッショルド電圧も、チャタリングを防止するために 200mV のヒステリシスを備えています。

表 7-1. V_{CC} UVLO 機能のロジック動作

条件 (以下のすべての場合において $V_{HB-HS} > V_{HBR}$)	HI	LI	SW
デバイス起動時は $V_{CC} - V_{SS} < V_{CCR}$	H	L	ハイ インピーダンス
デバイス起動時は $V_{CC} - V_{SS} < V_{CCR}$	L	H	ハイ インピーダンス
デバイス起動時は $V_{CC} - V_{SS} < V_{CCR}$	H	H	ハイ インピーダンス
デバイス起動時は $V_{CC} - V_{SS} < V_{CCR}$	L	L	ハイ インピーダンス
デバイス起動後は $V_{CC} - V_{SS} < V_{CCR} - V_{CC(hyst)}$	H	L	ハイ インピーダンス
デバイス起動後は $V_{CC} - V_{SS} < V_{CCR} - V_{CC(hyst)}$	L	H	ハイ インピーダンス
デバイス起動後は $V_{CC} - V_{SS} < V_{CCR} - V_{CC(hyst)}$	H	H	ハイ インピーダンス
デバイス起動後は $V_{CC} - V_{SS} < V_{CCR} - V_{CC(hyst)}$	L	L	ハイ インピーダンス

表 7-2. V_{HB-HS} UVLO 機能のロジック動作

条件 (以下のすべての場合において $V_{CC} > V_{CCR}$)	HI	LI	SW
デバイス起動中、$V_{HB-HS} < V_{HBR}$	H	L	ハイ インピーダンス
デバイス起動中、$V_{HB-HS} < V_{HBR}$	L	H	PGND
デバイス起動中、$V_{HB-HS} < V_{HBR}$	H	H	PGND
デバイス起動中、$V_{HB-HS} < V_{HBR}$	L	L	ハイ インピーダンス
デバイス起動後は $V_{HB-HS} < V_{HBR} - V_{HB(hyst)}$	H	L	ハイ インピーダンス
デバイス起動後は $V_{HB-HS} < V_{HBR} - V_{HB(hyst)}$	L	H	PGND

Copyright © 2025 Texas Instruments Incorporated

表 7-2. V_{HB-HS} UVLO 機能のロジック動作 (続き)

条件 (以下のすべての場合において $V_{CC} > V_{CCR}$)	HI	LI	SW
デバイス起動後は $V_{HB-HS} < V_{HBR} - V_{HB(hyst)}$	H	H	PGND
デバイス起動後は $V_{HB-HS} < V_{HBR} - V_{HB(hyst)}$	L	L	ハイ インピーダンス

7.3.3 ブートストラップ電源電圧クランプ

ハイサイド バイアス電圧はブートストラップ技法を使用して生成され、内部的に 5V (標準値) にクランプされます。このクランプは、ゲート電圧が拡張モード GaN FET の最大ゲート ソース間電圧定格を超過するのを防止します。

7.3.4 レベル シフト

レベル シフト回路は、ハイサイド入力 HI から、スイッチ ノード (HS) を基準とするハイサイド ドライバ段へのインターフェイスです。レベル シフトにより、HS ピンを基準とするハイサイド GaN FET ゲートドライバ出力を制御できます。

7.4 デバイスの機能モード

LMG3100 は、通常モードおよび UVLO モードで動作します。UVLO の動作モードについては、「*セクション 7.3.2*」を参照してください。通常モードでは、出力の状態は HI ピンと LI ピンの状態に依存します。表 7-3 に、各種入力ピンの組み合わせの出力状態を示します。HI と LI の両方がアサートされると、電力段の両方の GaN FET がオンになることに注意してください。この状態を回避するため、制御入力を慎重に検討する必要があります。シュート スルー状態が発生してデバイスに永続的な損傷を与える可能性があるためです。

表 7-3. 真理値表

HI	LI	ハイサイド GaN FET	ローサイド GaN FET	SW
L	L	オフ	オフ	ハイ インピーダンス
L	H	オフ	オン	PGND
H	L	オン	オフ	VIN
H	H	オン	オン	- - -

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

LMG3100 GaN の電力は、さまざまなタイプの高周波、スイッチ モード電源アプリケーション向けの汎用構成要素です。パッケージに統合された高性能ゲート ドライバ IC により寄生容量を最小限に抑え、GaN FET の非常に高速なスイッチングを実現するのに役立ちます。本デバイスの設計は、同期整流式降圧コンバータや、その他のハーフ ブリッジ構成向けに高度に最適化されています。

8.2 代表的なアプリケーション

図 8-1 は、デジタル PWM コントローラを使用する同期整流降圧コンバータ アプリケーションを示しています。デジタル コントローラから供給されるハイサイド LMG3100 用の制御信号は、ローサイド LMG3100 経由でレベル シフトされ、追加のレベル シフタを使用せずにハーフ ブリッジが完成します。電源ループ (VIN コンデンサから PGND へのループ インピーダンス) を最適化することが重要です。電源ループインダクタンスが大きいと、SW ノードに大きなリンギングが発生し、関連する電力損失も発生します。

Copyright © 2025 Texas Instruments Incorporated

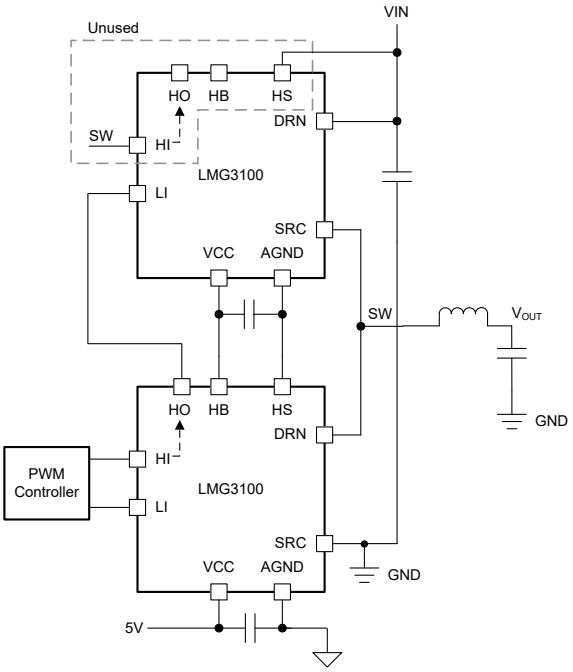


図 8-1. 同期整流降圧コンバータの代表的な接続図

8.2.1 設計要件

LMG3100 電力段を搭載した同期整流降圧コンバータ アプリケーションを設計する場合は、最適な選択を行うために、まず設計上の検討事項をいくつか評価する必要があります。これらの検討事項には、入力電圧、受動部品、動作周波数、コントローラの選択があります。*表 8-1* は、一般的なアプリケーションのサンプル値を示しています。LMG3100 の他の主要な設計上の検討事項については、「*セクション 8.3*」、「*セクション 8.4*」、「*セクション 8.2.2.5*」を参照してください。

表 8-1. 設計パラメータ

パラメータ	サンプル値
ハーフ ブリッジの入力電源電圧、V_{IN}	48 V
出力電圧、V_{OUT}	12 V
出力電流	8A
V_{HB-HS} ブートストラップ コンデンサ	0.3uF、X7R
スイッチング周波数	1 MHz
インダクタ	4.7µH
コントローラ	LM5148

8.2.2 詳細な設計手順

この手順では、同期整流降圧コンバータで LMG3100 を使用する設計上の検討事項について概説します。設計の詳細については、「*セクション 9.1.1*」を参照してください。

8.2.2.1 V_{CC} バイパス コンデンサ

V_{CC} バイパス コンデンサはローサイド トランジスタおよびハイサイド トランジスタのゲート電荷を供給し、ブートストラップ ダイオードの逆方向回復電荷です。必要なバイパスキャパシタンスの値は、式 1 で計算できます。

$$C_{VCC} = (2 \times Q_G + Q_{RR}) / \Delta V \quad (1)$$

Q_G は、ハイサイドとローサイドの各 GaN FET の、それぞれの等しいゲート電荷です。Q_{RR} はブートストラップ ダイオードの逆方向回復電荷です。ΔV は、バイパス コンデンサの両端で許容される最大電圧降下です。1µF 以上の値の、良質のセラミック コンデンサを推奨します。バイパス コンデンサを、デバイスの V_{CC} および AGND ピンにできるだけ近づけて配置し、寄生インダクタンスを最小限に抑えます。

8.2.2.2 ブートストラップ コンデンサ

ブートストラップコンデンサは、ハイサイドゲート駆動用のゲート電荷、HB UVLO 回路用の直流バイアス電力、ブートストラップダイオードの逆方向回復電荷を提供します。必要なバイパス キャパシタンスの値は、式 2 で計算できます。

$$C_{BST} = (Q_G + Q_{RR} + I_{CC} * t_{ON(max)}) / \Delta V \quad (2)$$

ここで、

- I_{CC} はハイサイド デバイスの静止電流です
- t_{ON}(最大) は、ハイサイド ゲートドライバの最大オン時間周期です
- Q_{RR} はブートストラップ ダイオードの逆方向回復電荷です
- Q_G はハイサイド GaN FET のゲート電荷量です
- ΔV はブートストラップ コンデンサの許容リップルです (100mV 未満、標準値)

0.3µF、16V、0402 セラミック コンデンサは大半のアプリケーションに適しています。ブートストラップ コンデンサを HB および HS ピンにできるだけ近づけて配置してください。

8.2.2.3 スルー レート制御

図 8-2 は、抵抗 R_{VCCL} および R_{VCCH} を使用してスイッチ ノードのスルーレートを制御可能なスイッチング アプリケーションを示しています。R_{VCCL} を使用するとローサイド GaN FET のターンオン時間を低速化でき、R_{VCCH} を使用するとハイサイド GaN FET のターンオン時間を低速化できます。これらの抵抗を使用すると、システム エンジニアは高効率 (スルーレートの高速化) とリンギングの低減 (スルー レートの低速化) の間のトレードオフを最適化できます。

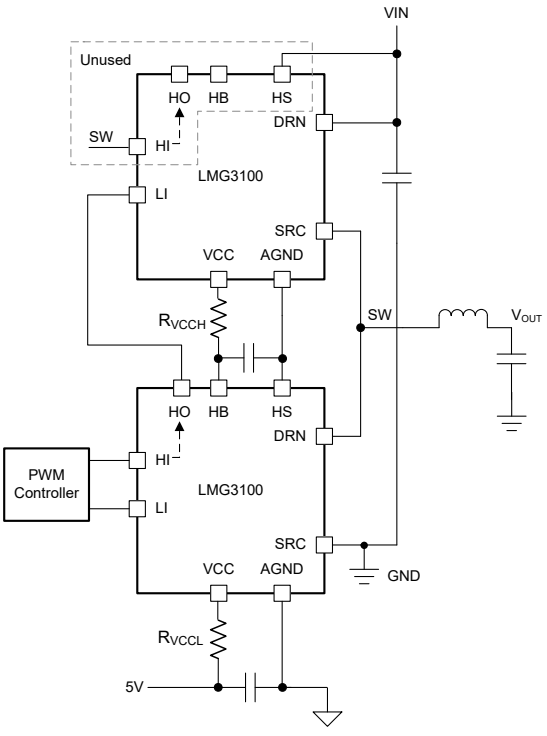


図 8-2. R_{VCCL} 抵抗と R_{VCCH} 抵抗のスルー レート制御

Copyright © 2025 Texas Instruments Incorporated

8.2.2.4 アナログ コントローラと組み合わせて使用

図 8-3 は、スイッチ ノードを基準にレベル シフトするハイサイド制御を実行するアナログ コントローラを使用した、同期整流降圧コンバータ アプリケーションを示します。アナログ コントローラはブートストラップ電圧も生成します。この使用事例では、コントローラからのレベル シフトされたハイサイド制御出力の HO を、ハイサイド LMG3100 の入力ピン LI に直接接続できます。ローサイド LMG3100 の内蔵レベル シフタとブートストラップ回路は未使用のままです。

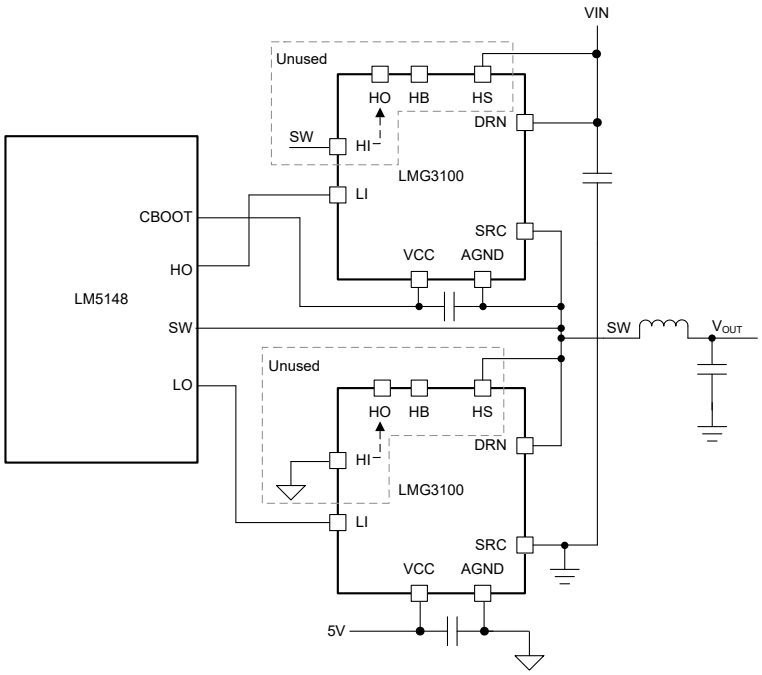


図 8-3. レベル シフト機能を内蔵したアナログ コントローラと併用

8.2.2.5 電力散逸

ドライバと GaN FET の電力損失が、動作温度におけるパッケージの最大消費電力制限を下回っていることを確認してください。ドライバと GaN FET の電力損失が小さいほど、アプリケーションで実現できる最大動作周波数が高くなります。LMG3100 デバイスの総消費電力は、FET のゲート ドライバ損失、ブートストラップ ダイオードの電力損失、スイッチング損失、導通損失の合計です。

ゲートドライバ損失は、容量性負荷の充放電によって発生します。これは 式 3 を使用して概算できます。

$$P = 2 \times Q_G \times VCC \times f_{SW} \quad (3)$$

ここで、

- Q_G はゲート電荷量
- VCC はバイアス電源です
- f_{SW} はスイッチング周波数

ゲートドライバには、出力のバッファに使用される内部 CMOS 段に起因する損失がさらに発生します。

ブートストラップ ダイオードの電力損失は、ブートストラップ コンデンサの充電中に発生する順バイアス電力損失と、逆回復中に発生する逆バイアス電力損失の合計です。これらの各イベントはサイクルごとに 1 回発生するため、ダイオードの電力損失は動作周波数に比例します。ハーフ ブリッジへの入力電圧 (V_{IN}) が高い場合も、逆回復の損失が大きくなります。

GaN FET に起因する電力損失は、導通損失とスイッチング損失に分けることができます。導通損失は抵抗性損失であり、式 4 を使用して計算できます。

$$P_{COND} = \left[(I_{RMS(HS)})^2 \times RDS_{(on)HS} \right] + \left[(I_{RMS(LS)})^2 \times RDS_{(on)LS} \right] \quad (4)$$

ここで、

- $R_{DS(on)HS}$ はハイサイド GaN FET オン抵抗
- $R_{DS(on)LS}$ はローサイド GaN FET オン抵抗
- $I_{RMS(HS)}$ はハイサイド GaN FET RMS 電流
- $I_{RMS(LS)}$ はローサイド GaN FET RMS 電流

スイッチング損失は 1 次まで計算できます。t_{TR} は V_{IN} を 25V/ns で割ることで概算できますが、これはスイッチ ノードのスルーレートの控えめな見積もりです。式 5.

$$P_{SW} = V_{IN} \times I_{OUT} \times t_{TR} \times f_{SW} + V_{IN} \times V_{IN} \times C_{OSS(ER)} \times f_{SW} \quad (5)$$

ここで、

- t_{TR} は、スイッチノードがオンからオフ、およびオフからオンへ遷移する時間の合計
- $C_{OSS(ER)}$ は各 GaN FET の出力キャパシタンス

ローサイド FET がこの損失の影響を受けないことに注意してください。この 1 次損失計算では、ローサイド デバイスの第 3 象限の損失は無視されます。

すでに説明したように、スイッチング周波数はデバイスの消費電力に直接影響します。LMG3100 デバイスのゲート ドライバは最大 10MHz の周波数で GaN FET を駆動できますが、デバイスの動作条件が推奨動作温度仕様を満たすように、細心の注意を払う必要があります。特に、ハード スイッチング トポロジは、ソフト スイッチ アプリケーションに比べて損失と自己発熱が大きい傾向があります。

GaN FET のドライバ損失、ブートストラップ ダイオード損失、スイッチング損失、導通損失の合計が、デバイスの総電力損失になります。パワー パッド (VIN および PGND) の近くに十分な量のサーマル ビアを配置する慎重な基盤レイアウトに

Copyright © 2025 Texas Instruments Incorporated

より、パッケージからの電力消費を最適化できます。上面にエアフロー付きのヒートシンクを取り付けると、パッケージの消費電力も改善されます。

8.2.3 アプリケーション曲線

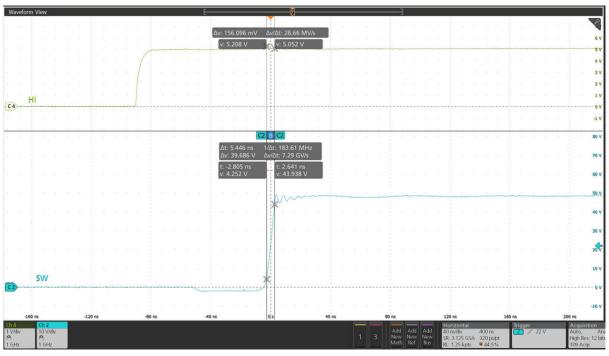


図 8-4. 降圧構成における R_{BST} = 3Ω のデッドタイムと立ち上がり時間を示す SW ノードの動作

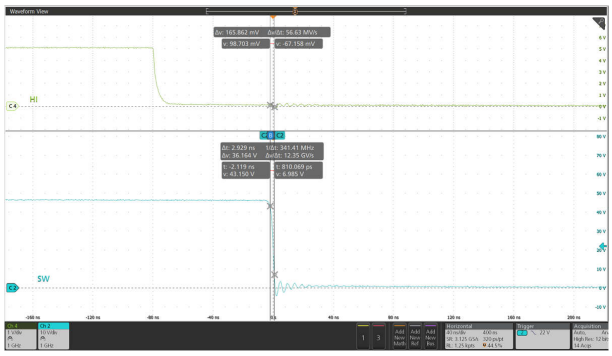


図 8-5. 降圧構成における SW ノードの立ち下がり動作

8.3 電源に関する推奨事項

LMG3100 の推奨バイアス電源電圧範囲は、4.75V ～ 5.25V です。この範囲の下限は、V_{CC} 電源回路の内部低電圧誤動作防止 (UVLO) 保護機能によって決まります。この範囲の上限は、V_{CC} の絶対最大電圧定格である 6V によって決まります。ローサイド GaN FET のゲート電圧は内部でクランプされていないことに注意してください。したがって、ローサイド GaN トランジスタのゲート ブレークダウン電圧を超えないように、V_{CC} バイアス電源を推奨動作範囲内に保つことが重要です。

UVLO 保護機能は、ヒステリシス機能も備えています。これは、デバイスが通常モードで動作し始めた後に V_{CC} 電圧が降下した場合、電圧降下がヒステリシス仕様値 $V_{CC(hyst)}$ を超えない限り、デバイスは通常モードで動作を継続することを意味します。電圧降下がヒステリシスの仕様値を超える場合、デバイスはシャットダウンします。したがって、4.5V またはそれに近い範囲の電圧で動作しているときは、デバイスのシャットダウンがトリガされないように、補助電源出力の電圧リップルを LMG3100 のヒステリシス仕様値よりも小さくする必要があります。

VCC ピンと AGND ピンの間にローカル バイパス コンデンサを配置します。このコンデンサは、できる限りデバイスに近づけて配置する必要があります。低 ESR の表面実装型セラミック コンデンサを推奨します。テキサス・インスツルメンツでは、VCC と GND の間に 2 つのコンデンサを使用することを推奨します。1 つは 100nF の表面実装型セラミック コンデンサで、高周波フィルタリングのために VCC ピンと GND ピンのすぐ近くに配置します。もう 1 つは IC のバイアス要件に対応する 220nF ～ 10µF の表面実装型コンデンサです。

8.4 レイアウト

8.4.1 レイアウトのガイドライン

高速スイッチングの効率上の利点を最大にするには、電源ループのインピーダンスが最小限になるように基板レイアウトを最適化することが非常に重要です。多層基板 (2 層以上) を使用する場合は、入力コンデンサへの帰路 (VIN と PGND 間) を小さくして、最初の層の直下に配置することで、電源ループの寄生インピーダンスを最小限に抑えることができます (図 8-6 と 図 8-7 を参照)。帰還電流が真下を反対方向に流れてフラックスをキャンセルするため、ループ インダクタンスが減少します。

上記の電源ループ レイアウトのガイドラインに十分な注意を払わないと、スイッチ ノードで過度のオーバーシュートとアンダーシュートが発生する可能性があります。

Copyright © 2025 Texas Instruments Incorporated

また、VCC コンデンサとブートストラップ コンデンサをデバイスのできるだけ近くの、最初の層に配置することが重要です。LMG3100 デバイスの AGND 接続を注意深く検討してください。PGND に直接接続することはできません。PGND ノイズが AGND を直接シフトして、HI と LI 信号に入るノイズによるスプリアス スイッチング イベントが発生することを避けるため、PGND に直接接続しないでください。

8.4.2 レイアウト例

図 8-6 に示す配置と 図 8-7 の断面は、VIN、ブートストラップ コンデンサ (HS と HB) および VCC コンデンサなどの敏感な受動部品に対して推奨されるデバイスの配置を示しています。レイアウト内の適切な間隔を使用して沿面距離を減らし、アプリケーションの汚染レベルに応じて空間距離の要件を維持します。内部の層 (存在する場合) では汚染がごくわずかなので、間隔をより狭くできます。

レイアウトは SW ノードの容量を最小限に抑えるよう設計する必要があります。デバイスの SW ピンは、できるだけ小さな銅の領域を使って、インダクタ、トランス、その他の出力負荷に接続します。さらに、グランド プレーンや他の銅プレーンに切り欠きがあり、SW ノード重ならないことを確認してください。これにより、プリント基板上に効果的にコンデンサを形成できます。このノードにキャパシタンスを追加すると、LMG3100 の高度なパッケージング手法の利点が減り、性能が低下する可能性があります。

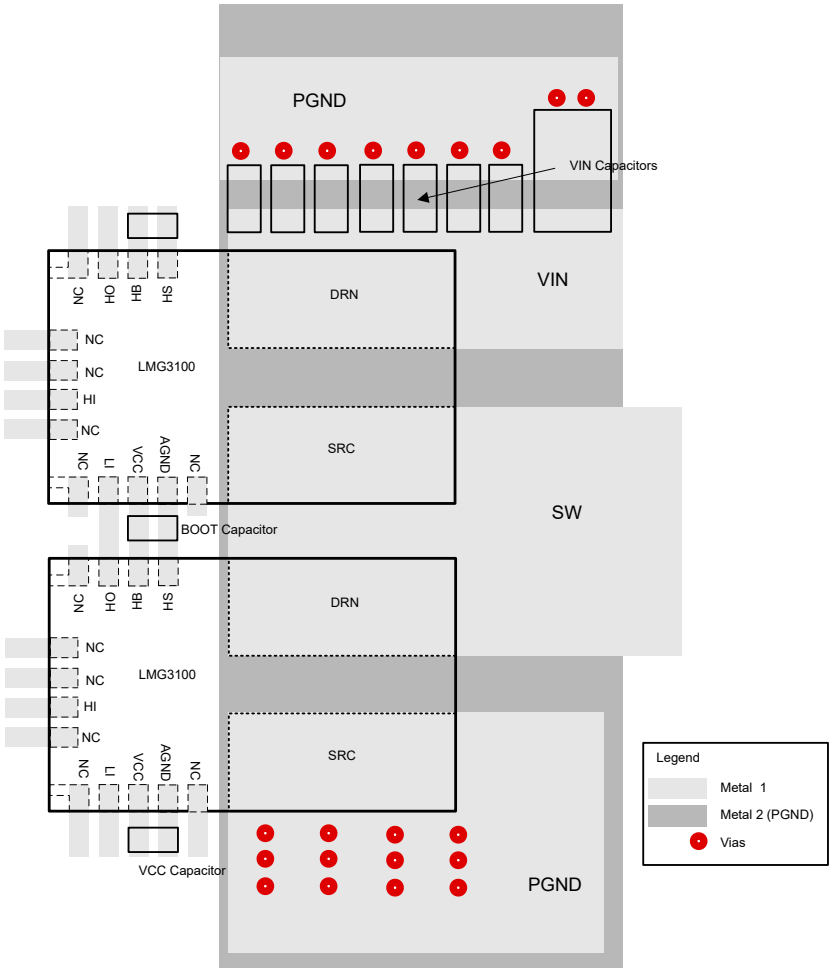


図 8-6. 外付け部品の配置 (多層基板)

Copyright © 2025 Texas Instruments Incorporated

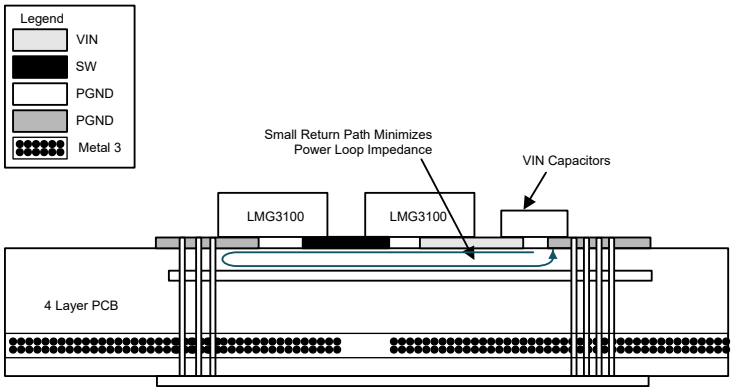


図 8-7. 電源ループの直下に帰路を配置した 4 層基板の断面図

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

『*LMG3100 GaN 電力ステージ モジュールのレイアウト ガイドライン*』

『*LMG3100 の使用法:』『GaN ハーフ ブリッジ電力モジュールの評価基板*』

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (November 2024) to Revision C (March 2025)	Page
• 過渡状態の HI LI ピンに関する注記を「*絶対最大定格*」セクションに追加	4
• LMG3100R044 のパッケージ図を追加	25

Changes from Revision A (July 2024) to Revision B (November 2024)	Page
• 図 8-6 の部品番号の誤字を変更	22

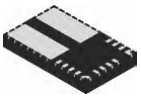
Copyright © 2025 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

11.1 パッケージ情報

LMG3100 デバイスのパッケージは MSL3 パッケージ (湿度感度レベル 3) に分類されています。MSL3 パッケージに固有の取り扱いおよび処理の推奨事項については、*『AN-2029 取り扱いおよび処理の推奨事項』*アプリケーション レポートを参照してください。

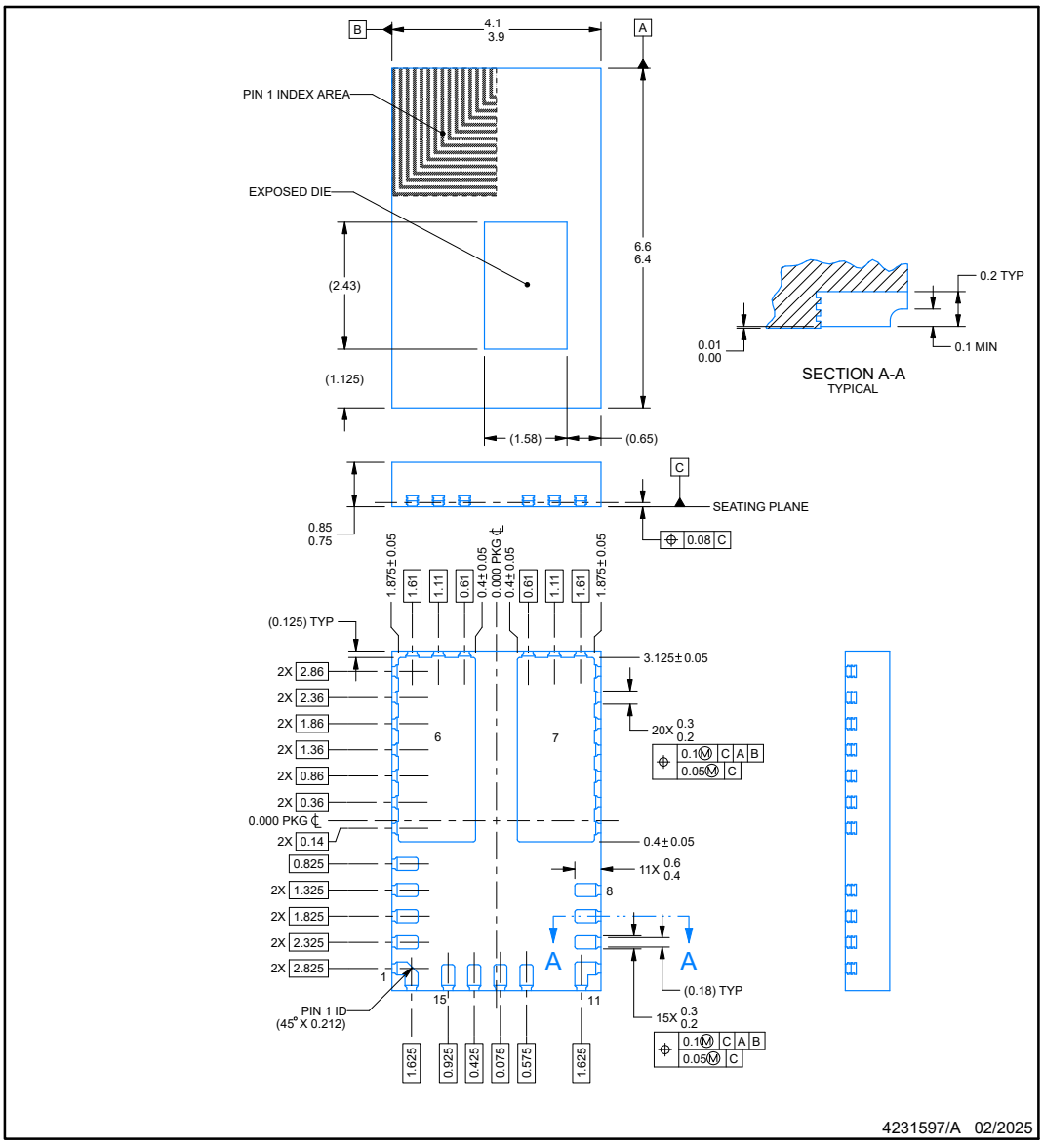


PACKAGE OUTLINE

VBE0015A-C01

VQFN-FCRLF - 0.85 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

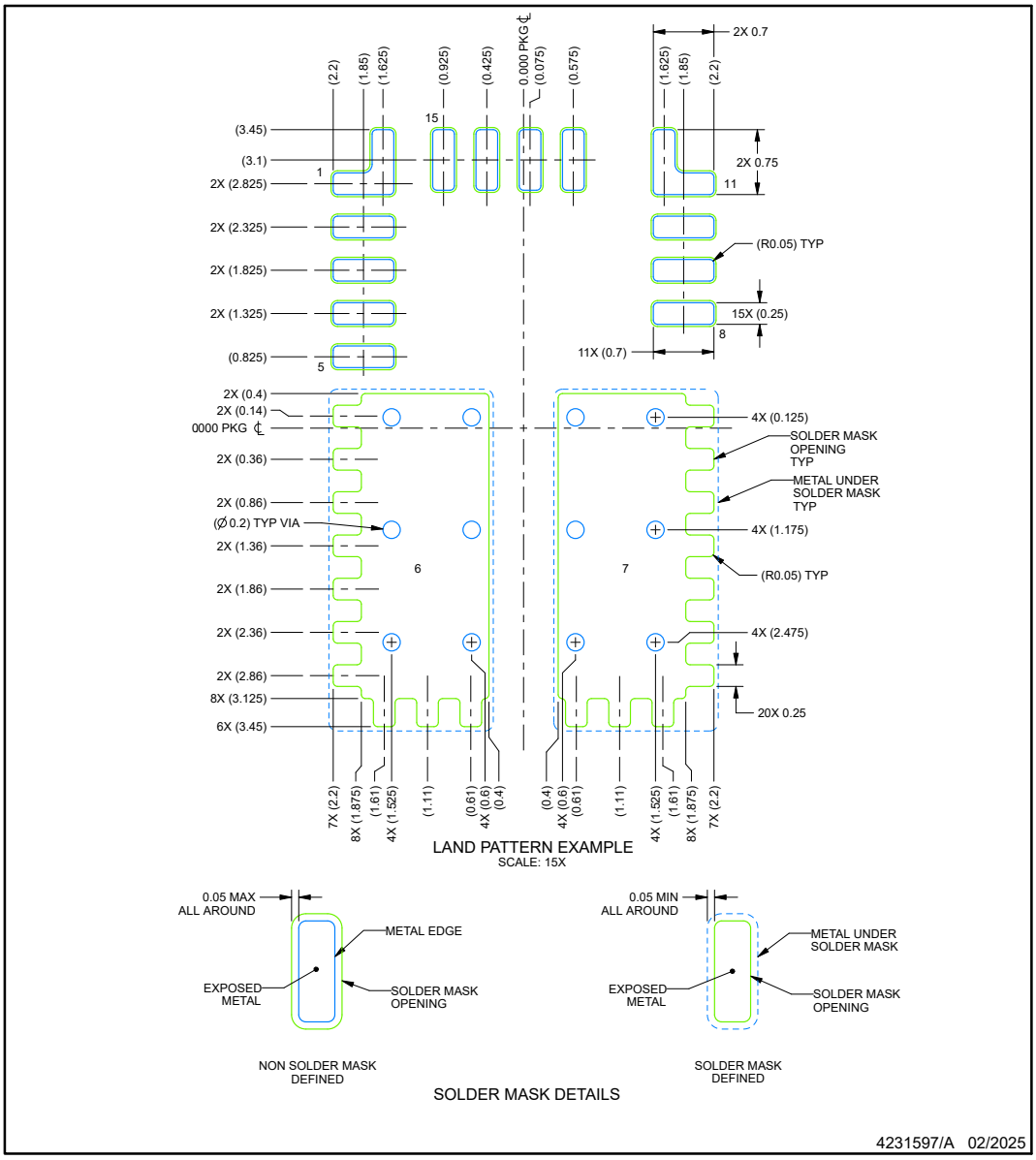
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

VBE0015A-C01

VQFN-FCRLF - 0.85 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

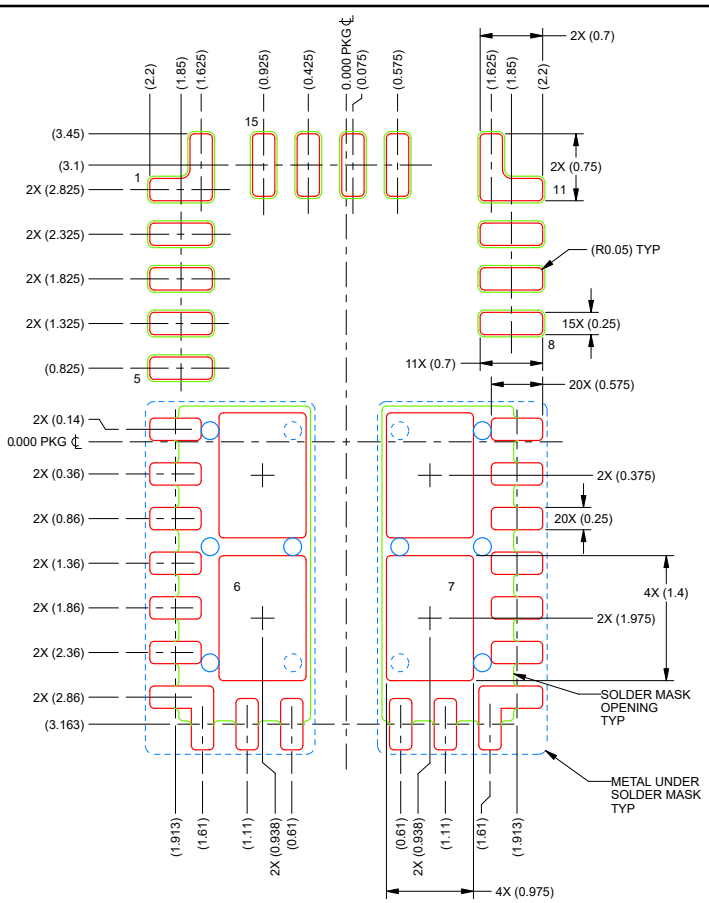
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

VBE0015A-C01 — **VQFN-FCRLF - 0.85 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 15X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PADS 6 & 7: 74%

4231597/A 02/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2025 Texas Instruments Incorporated

重要なお知らせと免責事項

テキサス・インスツルメンツは、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、テキサス・インスツルメンツ製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した テキサス・インスツルメンツ製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている テキサス・インスツルメンツ製品を使用するアプリケーションの開発の目的でのみ、テキサス・インスツルメンツはその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。テキサス・インスツルメンツや第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、テキサス・インスツルメンツおよびその代理人を完全に補償するものとし、テキサス・インスツルメンツは一切の責任を拒否します。

テキサス・インスツルメンツの製品は、テキサス・インスツルメンツの販売条件、または ti.com やかかる テキサス・インスツルメンツ製品の関連資料などのいずれかを通じて提供する適用可能な条項の下で提供されています。テキサス・インスツルメンツがこれらのリソースを提供することは、適用されるテキサス・インスツルメンツの保証または他の保証の放棄の拡大や変更を意味するものではありません。

お客様がいかなる追加条項または代替条項を提案した場合でも、テキサス・インスツルメンツはそれらに異議を唱え、拒否します。

郵送先住所:Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2025, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMG3100R017VBER	Active	Production	VQFN-FCRLF (VBE) | 15	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	3100R17
LMG3100R017VBER.A	Active	Production	VQFN-FCRLF (VBE) | 15	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 150	3100R17
LMG3100R044VBER	Active	Production	VQFN-FCRLF (VBE) | 15	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	3100R4
LMG3100R044VBER.A	Active	Production	VQFN-FCRLF (VBE) | 15	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	See LMG3100R044VBER	3100R4
XLMG3100R017VBER	Active	Preproduction	VQFN-FCRLF (VBE) | 15	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XLMG3100R017VBER.A	Active	Preproduction	VQFN-FCRLF (VBE) | 15	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

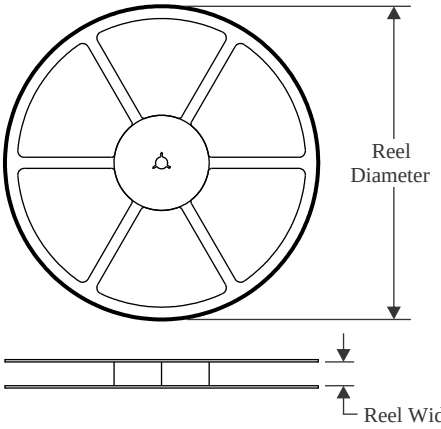
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

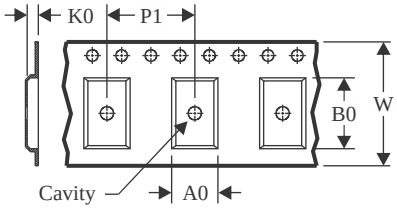
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

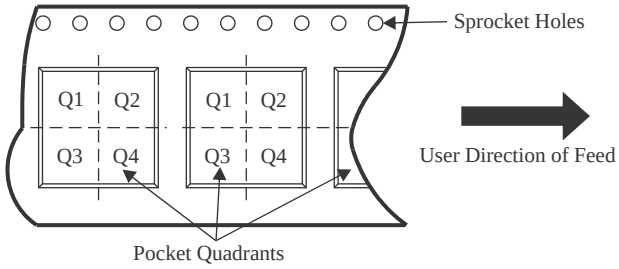


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

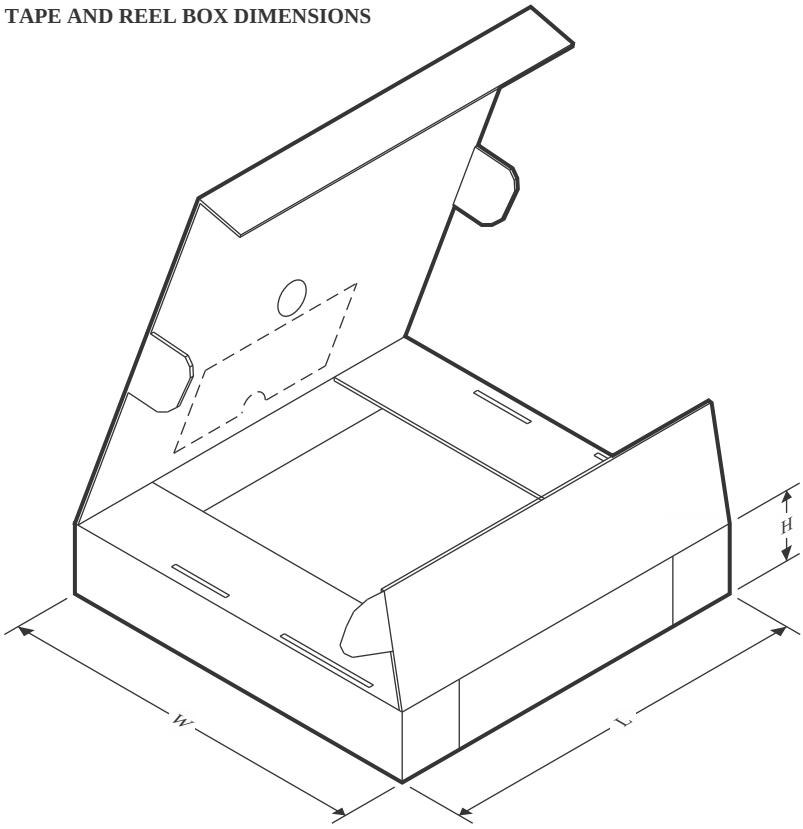
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMG3100R017VBER	VQFN-FCRLF	VBE	15	2500	330.0	16.4	4.3	6.8	1.1	8.0	16.0	Q1
LMG3100R044VBER	VQFN-FCRLF	VBE	15	2500	330.0	16.4	4.3	6.8	1.1	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMG3100R017VBER	VQFN-FCRLF	VBE	15	2500	367.0	367.0	38.0
LMG3100R044VBER	VQFN-FCRLF	VBE	15	2500	367.0	367.0	38.0

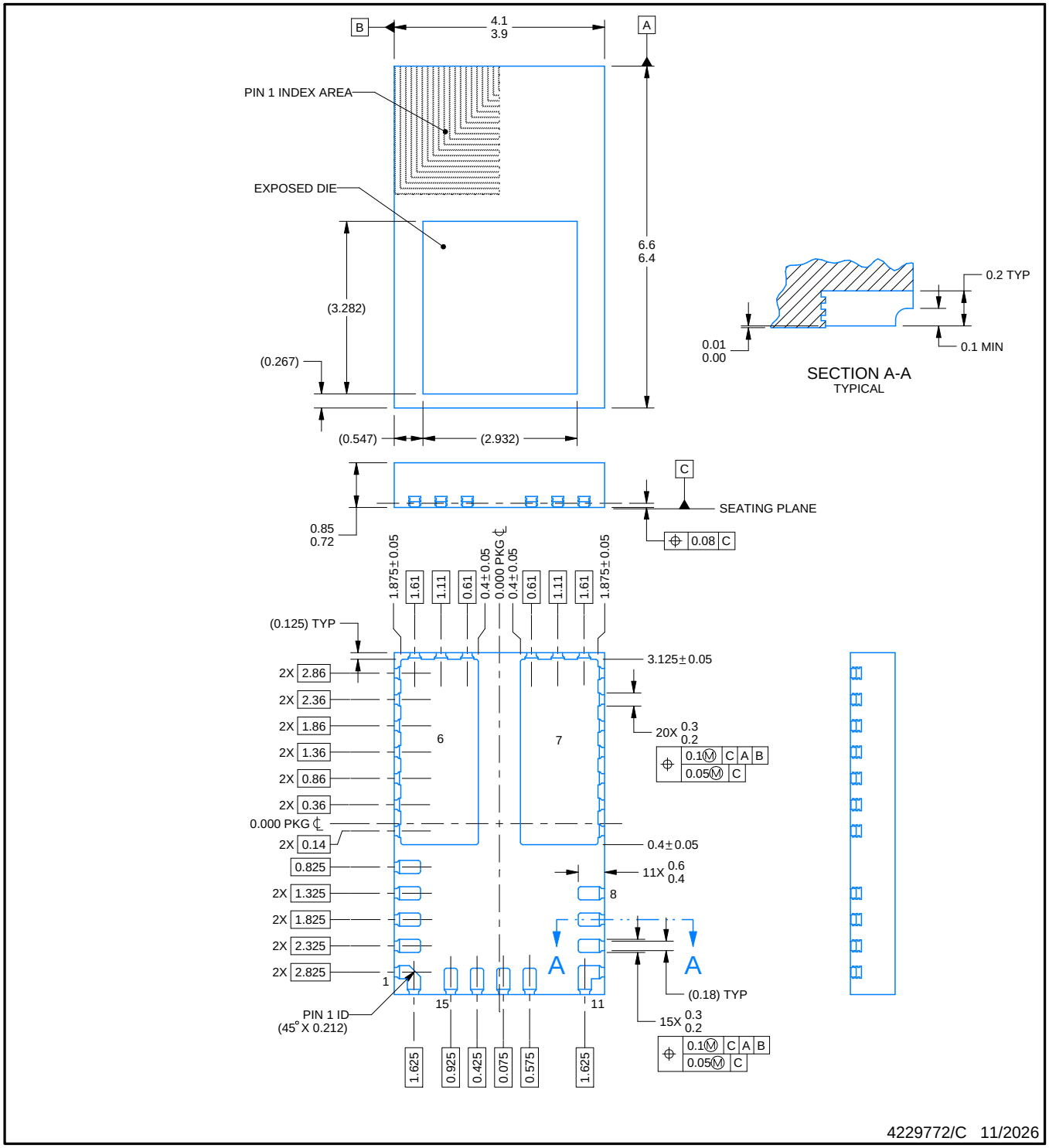


PACKAGE OUTLINE

VBE0015A

VQFN-FCRLF - 0.85 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4229772/C 11/2026

NOTES:

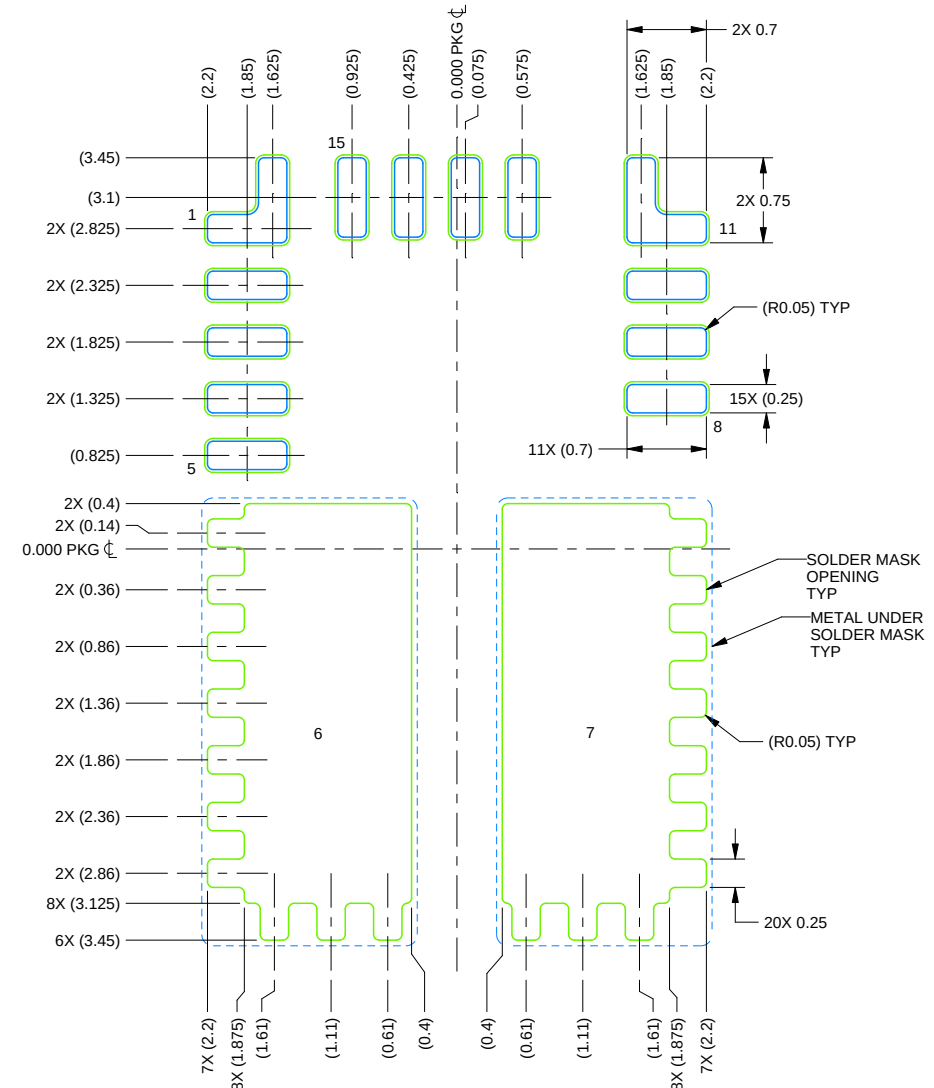
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

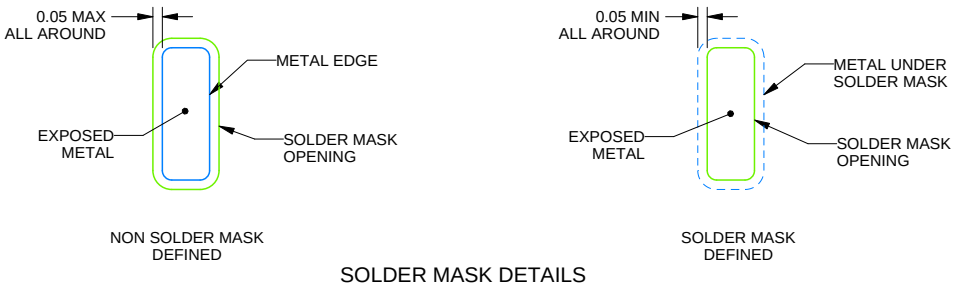
VBE0015A

VQFN-FCRLF - 0.85 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE: 15X



SOLDER MASK DETAILS

4229772/C 11/2026

NOTES: (continued)

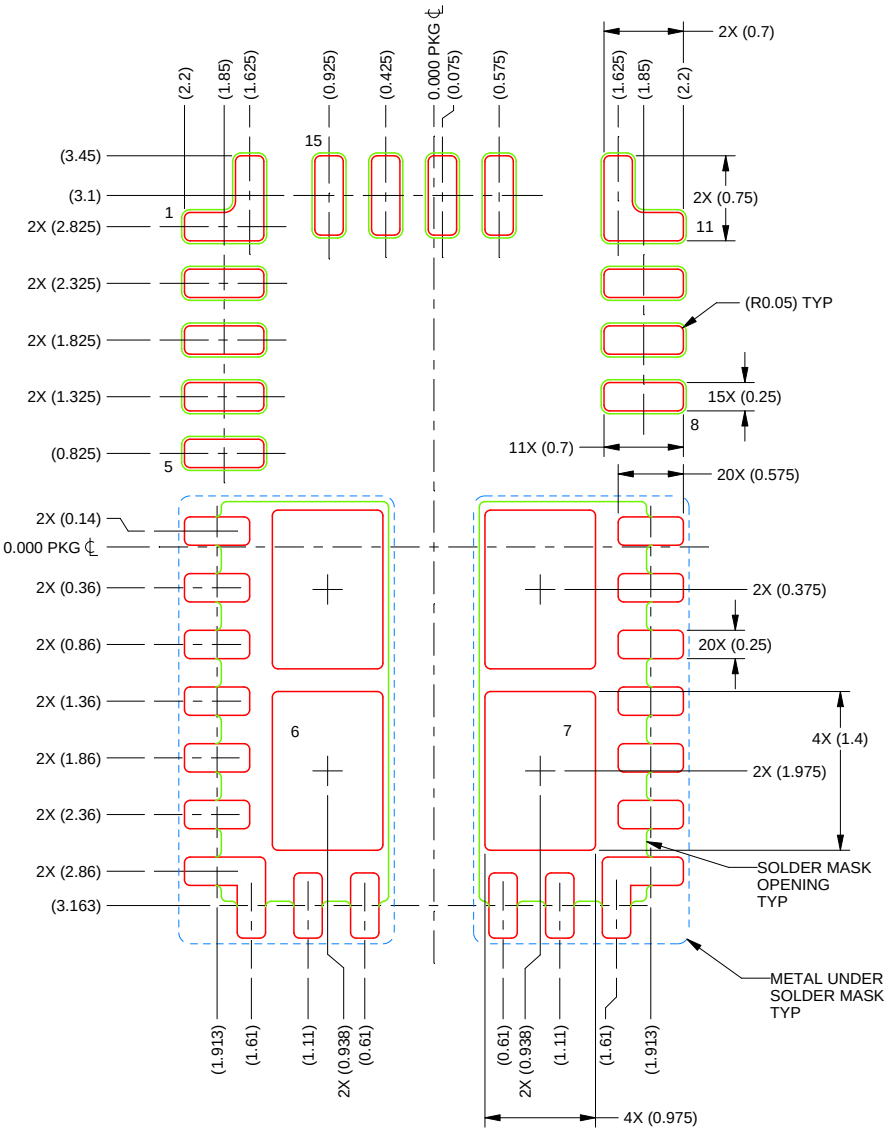
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

VBE0015A

VQFN-FCRLF - 0.85 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 15X

PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PADS 6 & 7: 74%

4229772/C 11/2026

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月