LMH5485-SP 放射線耐性 硬化保証、負レール入力、レール ツー レール出力、高精度、850MHz 完全差動アンプ

1 特長

- QMLV (QML Class V) MIL-PRF-38535 認定済み、SMD 5962R1920401VXC
  - すべてのウェハー ロットについて最大 100krad (Si) の吸収線量 (TID) を保証
  - 単一イベント ラッチアップ (SEL) 耐性: LET = 77MeV-cm2/mg
  - 防衛用温度範囲全体で認定: –55℃ ～ +125℃
- ゲイン帯域幅積 (GBWP):850MHz
- スルーレート:1400V/µs
- HD2、HD3:–111dBc、–149dBc (100kHz、$2V_{PP}$)
- 入力電圧ノイズ:2.4nV/√Hz
- 小さいオフセット ドリフト:±0.5µV/℃ (標準値)
- 負のレール入力(NRI)、レール ツー レール出力(RRO)
- 電源:
  - 電源電圧範囲:2.7V～5.4V
  - 静止電流:10.1mA
  - パワーダウン機能:2µA (標準値)

2 アプリケーション

- 低消費電力、高性能の ADC ドライバ:
  - SAR、ΔΣ、パイプライン
- 差動 DAC 出力ドライバ
- コマンドとデータの処理
- 自動車起動システム
- 宇宙用画像処理システム:
  - 光学画像処理ペイロード
  - レーダー画像処理ペイロード
  - 熱画像処理カメラ

3 説明

LMH5485-SP は、放射線硬化保証、低消費電力、電圧帰還型の完全差動アンプ (FDA) です。このデバイスは、850MHz の高ゲイン帯域幅積 (GBWP) を達成できるため、広い範囲の周波数にわたって優れた歪み性能を維持できます。また、この広い帯域幅範囲は、10.1mA の比較的低い消費電力と 2.4nV/√Hz の広帯域電圧ノイズによっても実現されています。これらの特長により、LMH5485-SP は、最高の信号対雑音比 (SNR) とスプリアス フリー ダイナミック レンジ (SFDR) の両方を必要とする、10MHz を超える周波数を持つ電力に敏感なデータ収集システムに最適な選択肢です。

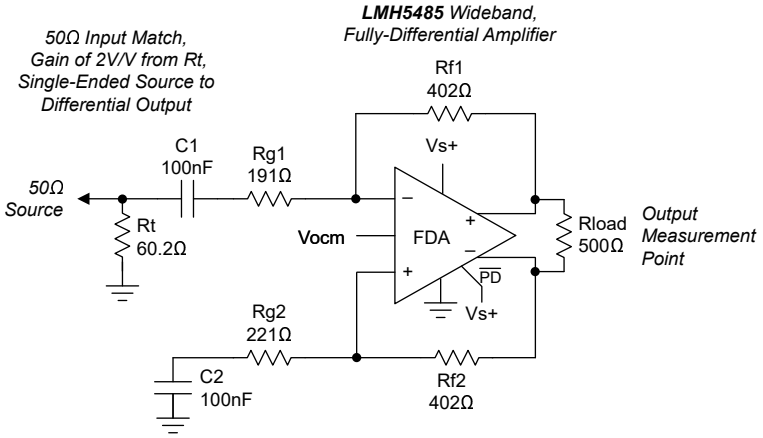
LMH5485-SP の特長は、dc 結合、グランド中心、ソース信号のインターフェイスに必要とされる負のレール入力です。このレール ツー レール出力を備えた負のレール入力を使うことで、シングルエンド、グランド基準のバイポーラ信号源とさまざまな逐次比較レジスタ (SAR)、デルタ シグマ (ΔΣ)、またはパイプライン ADC との間を 2.7V ～ 5.4V の単一電源を使用して簡単に接続できます。また、LMH5485-SP は、オフセット電圧ドリフトが ±0.5µV/℃ と低いため、–55℃ ～ +125℃ の広い温度範囲にわたって優れた dc 性能を維持できます。

製品情報

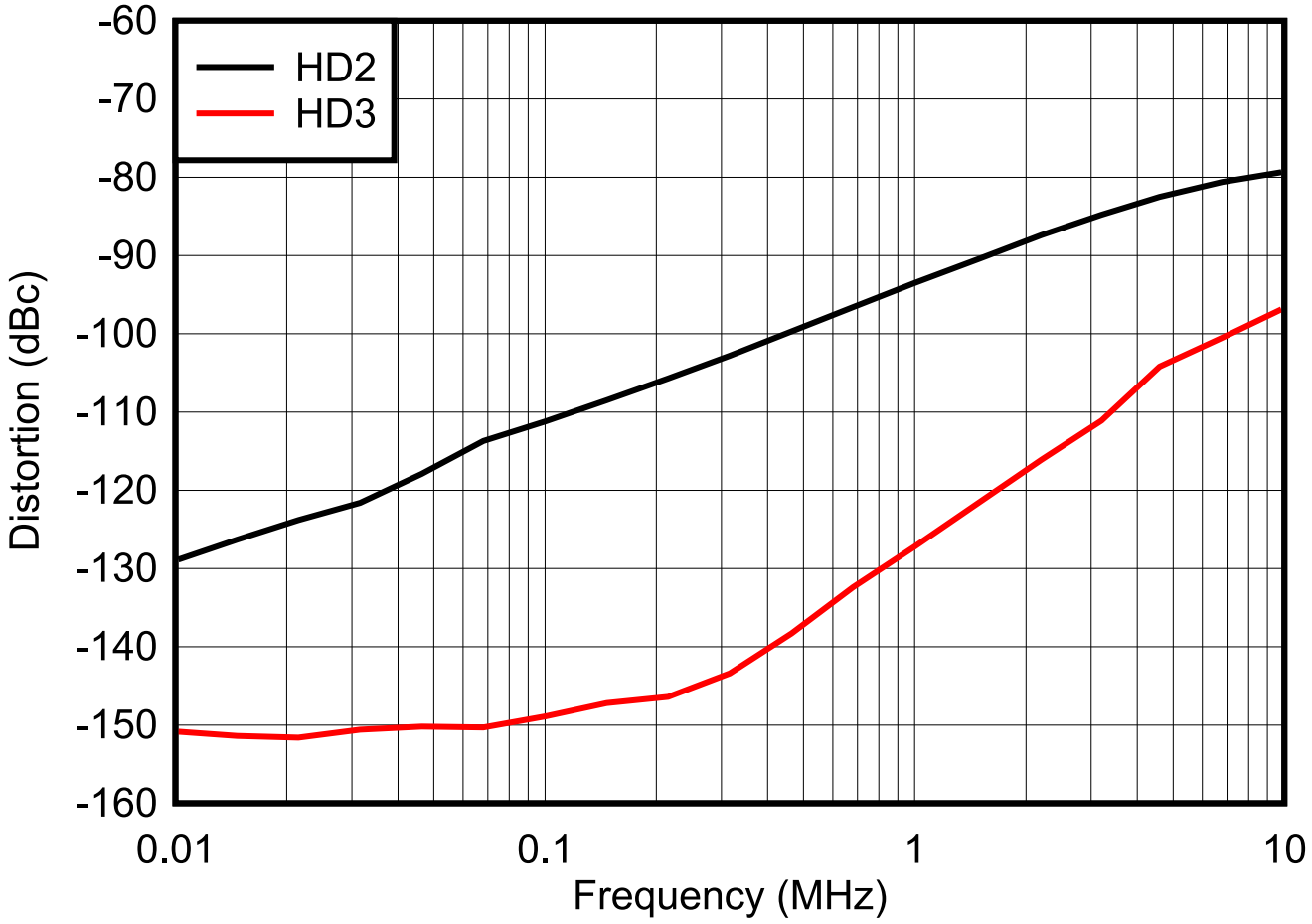
部品番号 (1)	グレード (2)	パッケージ
5962R1920401VXC(4)	放射線耐性保証 (RHA)	セラミック CFP HKX (8) 6.5mm × 6.5mm
LMH5485HKX/EM	エンジニアリング サンプル (3)	

(1) セクション 4 を参照してください。
(2) 詳細については、セクション 12 を参照してください。
(3) これらのユニットは、技術的な評価のみを目的としています。これらのユニットは、標準とは異なるフローに従って処理されています。これらのユニットは、認定、量産、放射線テスト、航空での使用には設計されていません。部品は、MIL に規定されている温度範囲全体 (-55℃～+125℃) にわたる性能も動作寿命全体にわたる性能も保証されていません。
(4) 製品プレビュー。

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。



概略回路図



高調波歪みと周波数との関係

Copyright © 2026 Texas Instruments Incorporated

目次

1 特長 1
2 アプリケーション 1
3 説明 1
4 関連製品 3
5 ピン構成および機能 3
6 仕様 4
6.1 絶対最大定格 4
6.2 ESD 定格 4
6.3 推奨動作条件 4
6.4 熱に関する情報 4
6.5 電気的特性:V_S = 5V 5
6.6 電気的特性:V_S = 3V 7
6.7 品質適合検査 9
6.8 代表的特性:5V シングル電源 10
6.9 代表的特性:3V シングル電源 11
6.10 代表的特性:電源電圧範囲:3V ～ 5V 12
7 パラメータ測定情報 16
7.1 特性評価回路の例 16
8 詳細説明 17
8.1 概要 17
8.2 機能ブロック図 17
8.3 機能説明 18
8.4 デバイスの機能モード 19
9 アプリケーションと実装 22
9.1 アプリケーション情報 22
9.2 代表的なアプリケーション 22
9.3 電源に関する推奨事項 23
9.4 レイアウト 24
10 デバイスおよびドキュメントのサポート 26
10.1 ドキュメントのサポート 26
10.2 ドキュメントの更新通知を受け取る方法 26
10.3 サポート・リソース 26
10.4 商標 26
10.5 静電気放電に関する注意事項 26
10.6 用語集 26
11 改訂履歴 26
12 メカニカル、パッケージ、および注文情報 27

4 関連製品

デバイス	耐放射線	GBWP (MHz)	I_Q (mA)	HD2/HD3 (dBc) $2V_{PP}$、10MHz の時	入力ノイズ (nV/√Hz)	レール ツー レール
LMH5485-SP	100kRad TID	850	10.1	-79 / -97	2.4	負のレール入力/出力
LMH5485-SEP	30kRad TID	850	10.1	-90 / -102	2.4	負のレール入力/出力
THS4513-SP	150kRad TID	3000	37.7	-106 / -108	2.2	なし
LMH5401-SP	100kRad TID	6500	60	-99 / -100	1.25	なし

5 ピン構成および機能

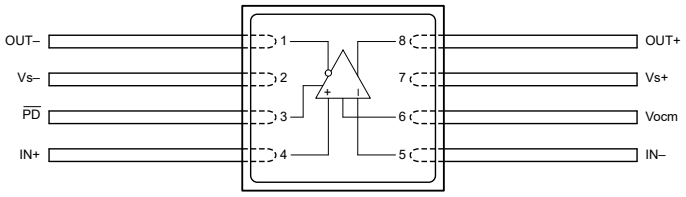


図 5-1. HKX パッケージ、8 ピン CFP (上面図)

表 5-1. ピンの機能

ピン		タイプ	説明
名称	番号		
IN+	4	入力	非反転 (正) アンプ入力
IN-	5	入力	反転 (負) アンプ入力
OUT+	8	出力	非反転 (正) アンプ出力
OUT–	1	出力	反転 (負) アンプ出力
$\overline{PD}$	3	入力	パワーダウン。$\overline{PD}$ = 論理 Low = 電源オフ モード、$\overline{PD}$ = 論理 high = 通常動作。
Vocm	6	入力	同相モード電圧入力
Vs+	7	電源	正電源入力
Vs–	2	電源	負電源入力

6 仕様

6.1 絶対最大定格

動作周囲温度範囲内 (特に記述のない限り)[1]

			最小値	最大値	単位
V_S	電源電圧 (Vs+) - (Vs–)	$\overline{PD}$ = 論理 high		5.5	V
		$\overline{PD}$ ピン = ロジック low		5.25	
V_{IN}	入力電圧		(Vs–) – 0.5	(Vs+) + 0.5	V
V_{OUT}	出力電圧		(Vs–) – 0.5	(Vs+) + 0.5	V
V_{ID}	差動入力電圧			±1	V
I_I	連続入力電流			±20	mA
I_O	連続出力電流			±80	mA
	連続消費電力		*「熱に関する情報」*および*「熱解析」*セクションを参照してください		
T_J	接合部温度			150	°C
T_A	周囲温度		-55	125	°C
T_{stg}	保存温度		-65	150	°C

(1) *「絶対最大定格」*外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを暗に示すものではありません。「*絶対最大定格*」の範囲内であっても「*推奨動作条件*」の範囲外で使用した場合、本デバイスは完全に機能するとは限らず、このことが本デバイスの信頼性、機能、性能に影響を及ぼし、本デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠[1]	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 [2]	±750	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

			最小値	公称値	最大値	単位
Vs+	単一電源電圧	$\overline{PD}$ = ロジック high	2.7	5	5.4	V
		$\overline{PD}$ ピン = ロジック low	2.7	5	5.1	V
T_A	周囲温度		-55	25	125	°C

6.4 熱に関する情報

熱評価基準[1]		LMH5485-SP HKX (CFP) 8 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	145.7	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	67.6	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	128.1	°C/W
ψ_{JT}	接合部から上面への特性パラメータ	61.1	°C/W
ψ_{JB}	接合部から基板への特性パラメータ	122.1	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	55.8	°C/W

(1) 従来および最新の熱評価基準の詳細については、『*半導体および IC パッケージの熱評価基準*』アプリケーション レポートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性：V_S = 5V

以下に示す仕様は、特に記述のない限り、それぞれ識別されたサブグループの温度 (セクション 6.7 を参照) に対応しています。Vocm = オープン (デフォルトは中間電位)、V_{OUT} = 2V、V_{PP}、Rf = 402Ω、Rload = 499Ω、50Ω 入力マッチング、G = 2V/V、シングルエンド入力、差動出力、および $\overline{PD}$ = Vs+ (特段の記載がない限り)。2V/V の ac 結合ゲインを持つテスト回路と、2V/V セクション 7.1 の dc 結合ゲインについては、セクション 7.1 を参照してください

パラメータ		テスト条件		サブグループ[1]	最小値	標準値	最大値	単位
AC 特性								
	小信号帯域幅	V_{OUT} = 100mV_{PP}	G = 1			530		MHz
			G = 2			490		
			G = 5			240		
			G = 10			125		
GBWP	ゲイン帯域幅積	V_{OUT} = 100mV_{PP}、G = 20				1200		MHz
	大信号帯域幅	V_{OUT} = 2V_{PP}				315		MHz
	0.1dB の平坦度に対する帯域幅	V_{OUT} = 2 V_{PP}				50		MHz
	スルーレート[2]	V_{OUT} = 2V_{PP}、FPBW				1400		V/µs
	立ち上がりおよび立ち下がり時間	V_{OUT} = 2V ステップ、入力 ≤ 0.5ns t_r				1.4		ns
	セトリング タイム	V_{OUT} = 2V ステップ、t_r = 2ns	1% まで			5.4		ns
			0.1% まで			10		
	オーバーシュートとアンダーシュート	V_{OUT} = 2V ステップ、入力 ≤ 0.3ns t_r				24%		
	高調波歪み	100kHz、V_{OUT} = 2V_{PP}	HD2			-111		dBc
			HD3			-149		
		10MHz、V_{OUT} = 2V_{PP}	HD2			-79		
			HD3			-97		
	2 次相互変調歪	f = 10MHz、100kHz トーン間隔、V_{OUT} エンベロープ = 2V_{PP} (トーンあたり 1V_{PP})				-90		dBc
	3 次相互変調歪					-85		dBc
	入力電圧ノイズ	f > 100kHz				2.4		nV/√Hz
	入力電流ノイズ	f > 1MHz				1.9		pA/√Hz
	オーバードライブの復帰時間	2 倍の出力オーバードライブ、どちらの極性にも対応				20		ns
	閉ループ出力インピーダンス	f = 10MHz (差動)				0.1		Ω
DC 特性								
A_{OL}	開ループ電圧ゲイン			[1、2、3]	97	119		dB
	入力換算オフセット電圧			[1、2、3]	-900	±100	900	µV
	入力オフセット電圧ドリフト[3]				-4	±0.5	4	µV/°C
	入力バイアス電流	ノードから外方向		[1、2、3]	0.4	10	15	µA
	入力バイアス電流ドリフト[3]					6	15	nA/°C
	入力オフセット電流			[1、2、3]	-1200	±150	1200	nA
	入力オフセット電流ドリフト[3]				-1.5	±0.3	1.5	nA/°C
入力								
	コモン モード入力 Low	中間電位からの同相信号除去比の劣化は 3dB 未満です		[1、2、3]		(Vs–) – 0.2	Vs–	V
	コモン モード入力 High	中間電位からの同相信号除去比の劣化は 3dB 未満です		[1、2、3]	(Vs+) – 1.3	(Vs+) – 1.2		V
	同相除去比	中間電圧の入力ピン		[1、2、3]	82	100		dB
	入力インピーダンス差動モード	中間電圧の入力ピン				110 || 1.25		kΩ || pF
出力								
	出力電圧 Low			[1、2、3]		(Vs–) + 0.2	(Vs–) + 0.25	V
	出力電圧 High			[1、2、3]	(Vs+) – 0.25	(Vs+) – 0.2		V
	出力電流駆動			[1、2、3]	±70	±100		mA
電源								
	静止時動作電流			[1、2、3]	9.2	10.1	11	mA
PSRR	電源除去比	どちらかの電源ピンから差動 V_{OUT} まで		[1、2、3]	82	100		dB
パワーダウン								
	電圧スレッショルド有効化			[1、2、3]	(Vs–) + 1.7			V

6.5 電気的特性：V_S = 5V (続き)

以下に示す仕様は、特に記述のない限り、それぞれ識別されたサブグループの温度 (セクション 6.7 を参照) に対応しています。Vocm = オープン (デフォルトは中間電位)、V_{OUT} = 2V、V_{PP}、Rf = 402Ω、Rload = 499Ω、50Ω 入力マッチング、G = 2V/V、シングルエンド入力、差動出力、および $\overline{PD}$ = Vs+ (特段の記載がない限り)。2V/V の ac 結合ゲインを持つテスト回路と、2V/V セクション 7.1 の dc 結合ゲインについては、セクション 7.1 を参照してください

パラメータ		テスト条件		サブグループ[1]	最小値	標準値	最大値	単位
	電圧スレッショルド無効化			[1、2、3]			(Vs–) + 0.7	V
	ディスエーブルピンのバイアス電流	$\overline{PD}$ = Vs– → Vs+		[1、2、3]		20	50	nA
	パワーダウン静止時電流	$\overline{PD}$ = (Vs–) + 0.7V	T_A = 25℃	[1、2、3]		6	30	μA
			T_A = –40°C ～ +125°C				100	
		$\overline{PD}$ = Vs–	T_A = 25℃	[1、2、3]		2	8	
			T_A = –40°C ～ +125°C				30	
	ターンオン遅延	$\overline{PD}$ = low から V_{OUT} = 最終値の 90% になるまでの時間				100		ns
	ターンオフ遅延時間	$\overline{PD}$ = low から V_{OUT} = 最終値の 10% になるまでの時間				60		ns
出力コモン モード電圧制御[4]								
	小信号帯域幅	Vocm = 100mV_{PP}				150		MHz
	スルーレート[2]	Vocm = 2V ステップ				400		V/μs
	ゲイン			[1、2、3]	0.975	0.982	0.995	V/V
	入力バイアス電流	ノードから外方向を正とする		[1、2、3]	-0.9	0.1	0.9	μA
	入力インピーダンス	Vocm ピンを中電圧に駆動				47 || 1.2		kΩ || pF
	中電圧からのデフォルト電圧オフセット	Vocm ピンはオープン		[1、2、3]	-50	±8	50	mV
CM V_{OS}	コモン モード オフセット電圧	Vocm ピンを中電圧に駆動		[1、2、3]	-8	±2	8	mV
	CM V_{OS} ドリフト[3]	Vocm ピンを中電圧に駆動			-20	±4	+20	μV/℃
	負電源までのコモン モード ループ電源のヘッドルーム	中間電位 CM V_{OS} から ±15mV 未満のシフト		[1、2、3]	0.94			V
	正電源までのコモン モード ループ電源のヘッドルーム	中間電位 CM V_{OS} から ±15mV 未満のシフト		[1、2、3]	1.2			V

(1) サブグループの定義については、セクション 6.7 を参照してください
(2) このスルーレートは、大信号帯域幅から以下の式によって推定される立ち上がり時間と立ち下がり時間の平均です。$(V_P/\sqrt{2}) \times 2\pi \times f_{-3dB}$。
(3) 入力オフセット電圧ドリフト、入力バイアス電流ドリフト、入力オフセット電流ドリフト、および Vocm ドリフトは、環境温度エンドポイントの最大範囲で取得したデータを使用して差を算出し、温度範囲で割った平均値です。
(4) 仕様は、入力 Vocm ピンから差動出力の平均電圧までです。

Copyright © 2026 Texas Instruments Incorporated

6.6 電気的特性：V_S = 3V

以下に示す仕様は、特に記述のない限り、それぞれ識別されたサブグループの温度 (セクション 6.7 を参照) に対応しています。Vocm = オープン (デフォルトは中間電位)、V_{OUT} = 2V、V_{PP}、Rf = 402Ω、Rload = 499Ω、50Ω 入力マッチング、G = 2V/V、シングルエンド入力、差動出力、および $\overline{PD}$ = Vs+ (特段の記載がない限り)。2V/V の ad 結合ゲインを持つテスト回路と、2V/V の dc 結合ゲインを持つテスト回路については セクション 7.1、セクション 7.1 を参照してください

パラメータ		テスト条件		サブグループ[1]	最小値	標準値	最大値	単位
AC 特性								
	小信号帯域幅	V_{OUT} = 100 mV_{PP}	G = 1			510		MHz
			G = 2			475		
			G = 5			240		
GBWP	ゲイン帯域幅積	V_{OUT} = 100mV_{PP}、G = 20				850		MHz
	大信号帯域幅	V_{OUT} = 2 V_{PP}				300		MHz
	0.1dB の平坦度に対する帯域幅	V_{OUT} = 2 V_{PP}				50		MHz
	スルーレート[2]	V_{OUT} = 2V ステップ、FPBW				1200		V/µs
	立ち上がりおよび立ち下がり時間	V_{OUT} = 2V ステップ、入力 ≤ 0.5ns t_r				1.6		ns
	セトリング タイム	V_{OUT} = 2V ステップ、t_r = 2ns	1% まで			5		ns
			0.1% まで			9		
	オーバーシュートとアンダーシュート	V_{OUT} = 2V ステップ、入力 ≤ 0.3ns t_r				25%		
	高調波歪み	100kHz、V_{OUT} = 2V_{PP}	HD2			-111		dBc
			HD3			-150		
		10MHz、V_{OUT}= 2V_{PP}	HD2			-80		
			HD3			-96		
	2 次相互変調歪	f = 10MHz、100kHz トーン間隔、V_{OUT} エンベロープ = 2V_{PP} (トーンあたり 1V_{PP})				-89		dBc
	3 次相互変調歪					-87		dBc
	入力電圧ノイズ	f > 100kHz				2.4		nV/√Hz
	入力電流ノイズ	f > 1MHz				1.9		pA/√Hz
	オーバードライブの復帰時間	2 倍の出力オーバードライブ、どちらの極性にも対応				20		ns
	閉ループ出力インピーダンス	f = 10MHz (差動)				0.1		Ω
DC 特性								
A_{OL}	開ループ電圧ゲイン			[1、2、3]	97	119		dB
	入力換算オフセット電圧			[1、2、3]	-900	±100	900	µV
	入力オフセット電圧ドリフト[3]				-4	±0.5	4	µV/℃
	入力バイアス電流	ノードから外方向		[1、2、3]	0.4	9	15	µA
	入力バイアス電流ドリフト[3]					5	15	nA/℃
	入力オフセット電流			[1、2、3]	-1200	±150	1200	nA
	入力オフセット電流ドリフト[3]				-4	±0.3	4	nA/℃
入力								
	コモン モード入力 Low	中間電位からの同相信号除去比の劣化は 3dB 未満です		[1、2、3]		(Vs–) – 0.2	Vs–	V
	コモン モード入力 High	中間電位からの同相信号除去比の劣化は 3dB 未満です		[1、2、3]	(Vs+) – 1.3	(Vs+) – 1.2		V
	同相除去比	中間電圧の入力ピン		[1、2、3]	82	100		dB
	入力インピーダンス差動モード	中間電圧の入力ピン				110 || 1.25		kΩ || pF
出力								
	出力電圧 Low			[1、2、3]		(Vs–) + 0.2	(Vs–) + 0.25	V
	出力電圧 High			[1、2、3]	(Vs+) – 0.25	(Vs+) – 0.2		V
	出力電流駆動			[1、2、3]	±49	±60		mA
電源								
	静止時動作電流			[1、2、3]	8.9	9.7	10.6	mA
PSRR	電源除去比	どちらかの電源ピンから差動 V_{OUT} まで		[1、2、3]	82	100		dB
パワーダウン								
	電圧スレッショルド有効化			[1、2、3]	(Vs–) + 1.7			V
	電圧スレッショルド無効化			[1、2、3]			(Vs–) + 0.7	V

6.6 電気的特性：V_S = 3V (続き)

以下に示す仕様は、特に記述のない限り、それぞれ識別されたサブグループの温度 (セクション 6.7 を参照) に対応しています。Vocm = オープン (デフォルトは中間電位)、V_{OUT} = 2V、V_{PP}、Rf = 402Ω、Rload = 499Ω、50Ω 入力マッチング、G = 2V/V、シングルエンド入力、差動出力、および $\overline{PD}$ = Vs+ (特段の記載がない限り)。2V/V の ad 結合ゲインを持つテスト回路と、2V/V の dc 結合ゲインを持つテスト回路については セクション 7.1、セクション 7.1 を参照してください

パラメータ		テスト条件	サブグループ(1)	最小値	標準値	最大値	単位
	ディスエーブルピンのバイアス電流	$\overline{PD}$ = Vs– → Vs+	[1、2、3]		20	50	nA
	パワーダウン静止時電流	$\overline{PD}$ = (Vs–) + 0.7V	[1、2、3]		2	33	µA
		$\overline{PD}$ = Vs–	[1、2、3]		1	8	µA
	ターンオン遅延	$\overline{PD}$ = low から V_{OUT} = 最終値の 90% になるまでの時間			100		ns
	ターンオフ遅延時間	$\overline{PD}$ = low から V_{OUT} = 最終値の 10% になるまでの時間			60		ns
出力コモン モード電圧制御(4)							
	小信号帯域幅	Vocm = 100mV_{PP}			140		MHz
	スルーレート(2)	Vocm = 1V ステップ			350		V/µs
	ゲイン		[1、2、3]	0.975	0.987	0.991	V/V
	入力バイアス電流	ノードから外方向を正とする	[1、2、3]	-0.8	0.1	0.8	µA
	入力インピーダンス	Vocm ピンを中電圧に駆動			47 || 1.2		kΩ || pF
	中電圧からのデフォルト電圧オフセット	Vocm ピンはオープン	[1、2、3]	-50	±10	50	mV
CM V_{OS}	コモン モード オフセット電圧	Vocm ピンを中電圧に駆動	[1、2、3]	-8	±2	8	mV
	CM V_{OS} ドリフト(3)	Vocm ピンを中電圧に駆動		-22	±4	22	µV/°C
	負電源までのコモン モード ループ電源のヘッドルーム	中間電位 CM V_{OS} から ±15mV 未満のシフト	[1、2、3]	0.94			V
	正電源までのコモン モード ループ電源のヘッドルーム	中間電位 CM V_{OS} から ±15mV 未満のシフト	[1、2、3]	1.2			V

(1) サブグループの定義については、セクション 6.7 を参照してください
(2) このスルーレートは、大信号帯域幅から以下の式によって推定される立ち上がり時間と立ち下がり時間の平均です。$(V_P/\sqrt{2}) \times 2\pi \times f_{-3dB}$。
(3) 入力オフセット電圧ドリフト、入力バイアス電流ドリフト、入力オフセット電流ドリフト、および Vocm ドリフトは、環境温度エンドポイントの最大範囲で取得したデータを使用して差を算出し、温度範囲で割った平均値です。最大ドリフトは、デバイスの多数のサンプリングの分布により設定されます。ドリフトは、テスト、または QA サンプル テストでは規定されません。
(4) 仕様は、入力 Vocm ピンから差動出力平均電圧までとなります。

Copyright © 2026 Texas Instruments Incorporated

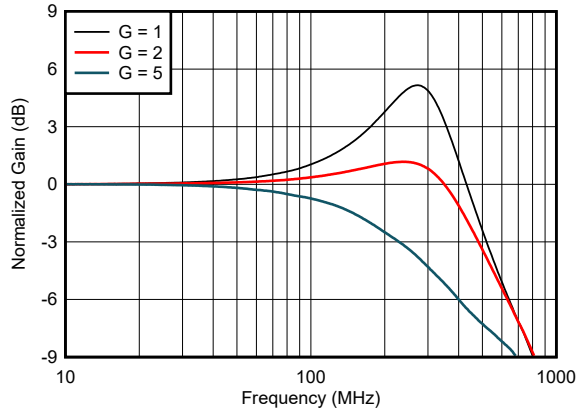
6.7 品質適合検査

MIL-STD-883、方法 5005 - グループ A

サブグループ	説明	温度 (℃)
1	静的テスト	25
2	静的テスト	125
3	静的テスト	-55
4	動的テスト	25
5	動的テスト	125
6	動的テスト	-55
7	機能テスト	25
8A	機能テスト	125
8B	機能テスト	-55

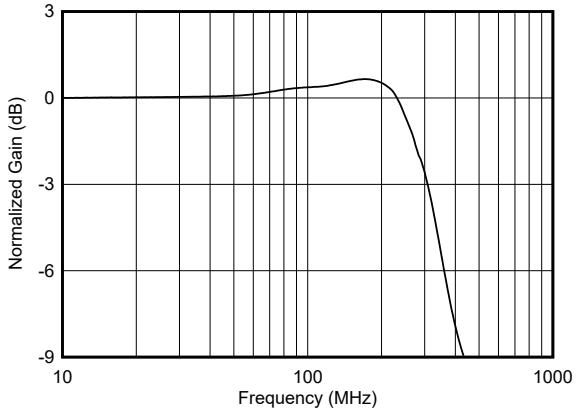
6.8 代表的特性：5V シングル電源

Vs+ = 5V、Vs– = GND、R_F = 402Ω、Vocm はオープン、50Ω シングルエンド入力から差動出力、ゲイン = 2V/V、Rload = 500Ω、T_A ≈ 25℃ (特に記述のない限り)



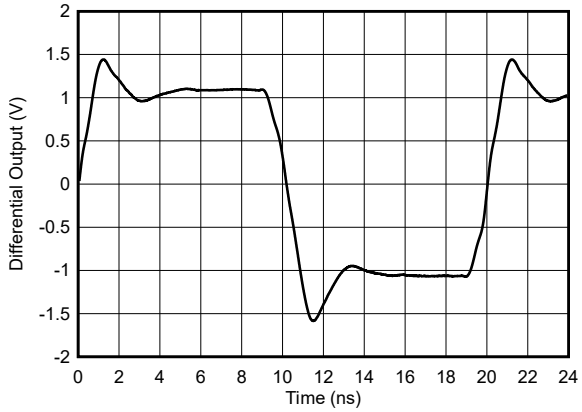
V_{OUT} = 100 mV_{PP}

図 6-1. 小信号周波数応答とゲインとの関係



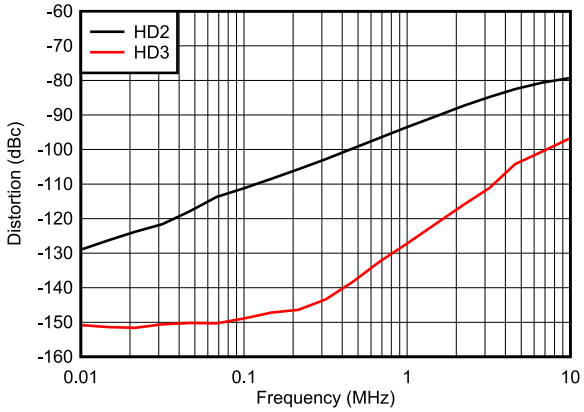
V_{OUT} = 2 V_{PP}

図 6-2. 大信号周波数応答



50MHz 入力、0.5ns 入力エッジ レート、シングルエンドから差動出力、dc 結合、図 7-2 を参照

図 6-3. 大信号ステップ応答



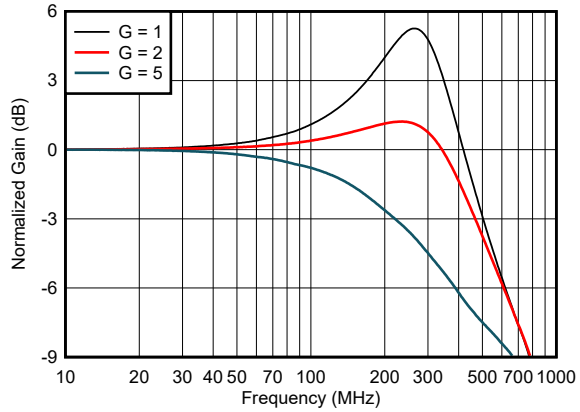
$2V_{PP}$ 出力、図 7-1 を参照

図 6-4. 全周波数帯域の高調波歪み

Copyright © 2026 Texas Instruments Incorporated

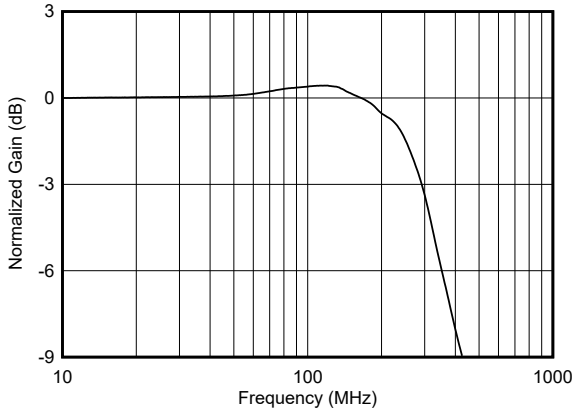
6.9 代表的特性：3V シングル電源

Vs+ = 3V、Vs– = GND、Vocm はオープン、50Ω シングルエンド入力から差動出力、ゲイン = 2V/V、Rload = 500Ω、T_A ≅ 25℃ (特に記述のない限り)



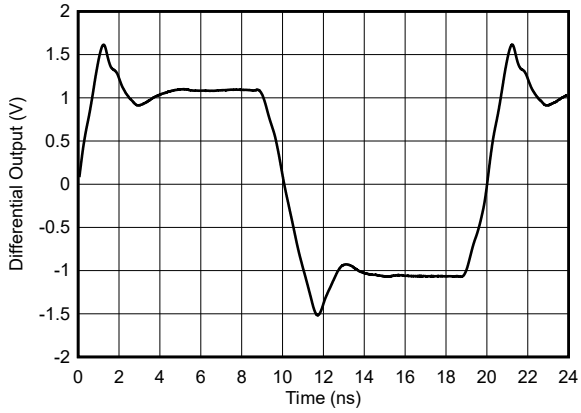
Rf = 402Ω、V_{OUT} = 100mV_{PP}

図 6-5. 小信号周波数応答とゲインとの関係



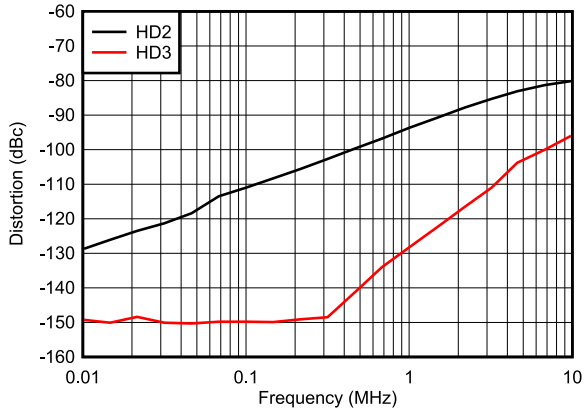
Rf = 402Ω、V_{OUT} = 2V_{PP}

図 6-6. 大信号周波数応答



50MHz 入力、0.5ns 入力エッジ レート、シングルエンド入力から差動出力、分立電源、DC 結合、図 7-2 を参照

図 6-7. 大信号ステップ応答



2V_{PP} 出力、図 7-1 を参照 (Vs+ = 3V、Vocm = 1.5V)

図 6-8. 全周波数帯域の高調波歪み

6.10 代表的特性：電源電圧範囲：3V ～ 5V

Vs+ = 3V および 5V、Vs– = GND、Vocm はオープン、50Ω シングルエンド入力から差動出力、ゲイン = 2V/V、Rload = 500Ω、T_A ≅ 25℃ (特に記述のない限り)

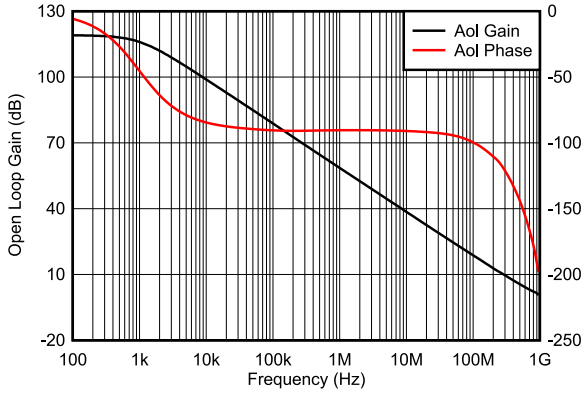
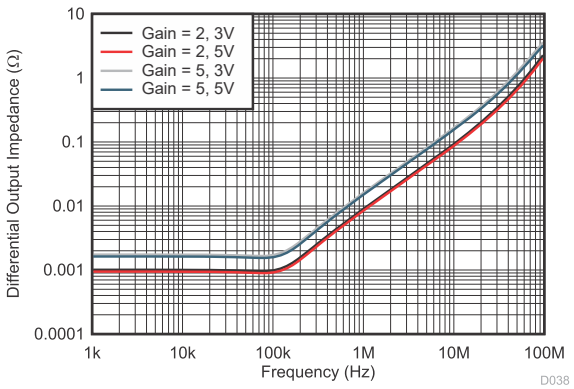


図 6-9. メイン アンプ差動開ループ ゲインおよび位相と周波数との関係



シングルエンド入力から差動出力、差動出力インピーダンスのシミュレーション、図 7-1 を参照

図 6-10. 閉ループ出力インピーダンス

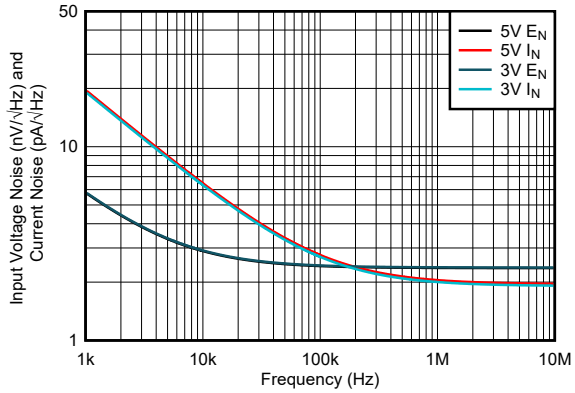
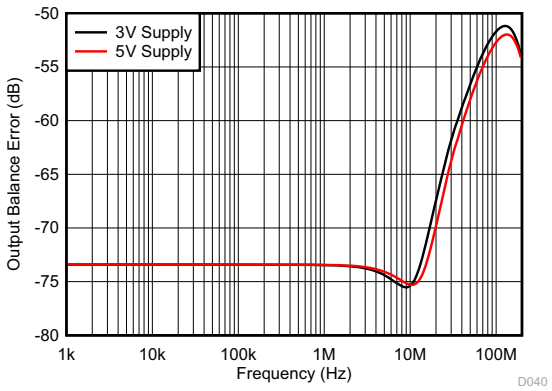


図 6-11. 全周波数帯域の入力スポット ノイズ



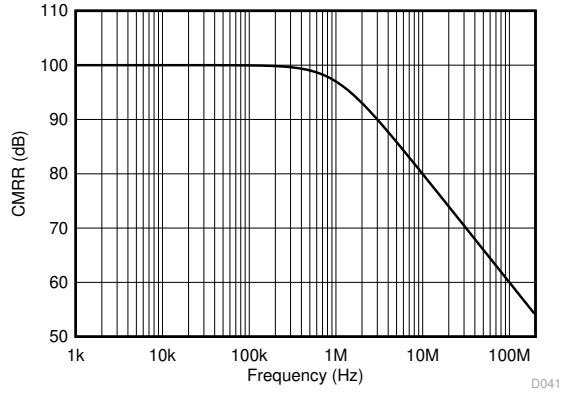
シングルエンド入力から差動出力、ゲイン = 2 (図 7-1 を参照)、1% 抵抗のシミュレーション、ワーストケースのミスマッチ

図 6-12. 全周波数帯域の出力バランス誤差

Copyright © 2026 Texas Instruments Incorporated

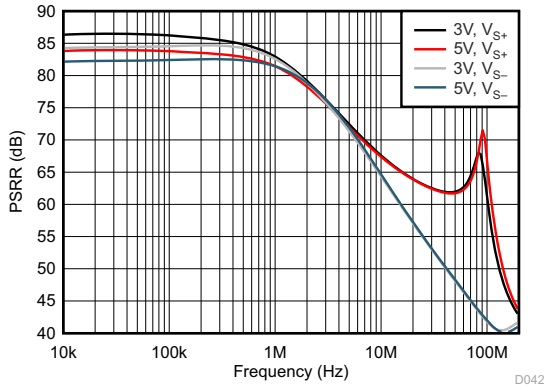
6.10 代表的特性：電源電圧範囲：3V ～ 5V (続き)

Vs+ = 3V および 5V、Vs– = GND、Vocm はオープン、50Ω シングルエンド入力から差動出力、ゲイン = 2V/V、Rload = 500Ω、T_A ≅ 25℃ (特に記述のない限り)



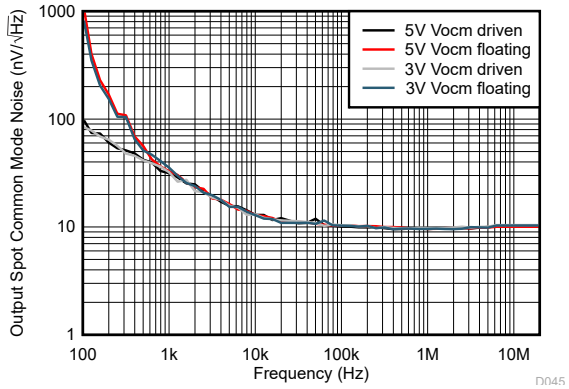
同相モード入力から差動出力、ゲイン 2 のシミュレーション

図 6-13. 全周波数帯域の CMRR



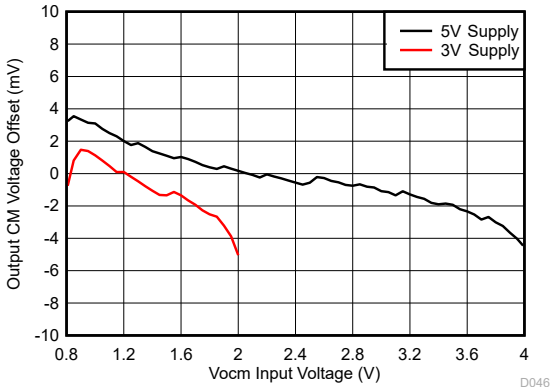
シングルエンドから差動、ゲイン = 2 (図 7-1 を参照) の差動出力への PSRR シミュレーション

図 6-14. 全周波数帯域の PSRR



Vocm 入力は、低インピーダンスのソースにより中電圧に駆動するか、またはオープンでデフォルトの中電圧とすることが可能

図 6-15. 出力同相モード ノイズ

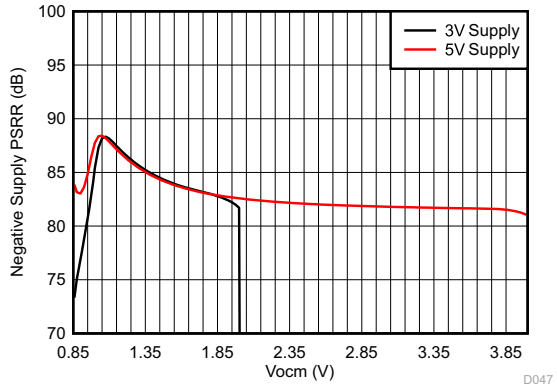


37 ユニットの平均 Vocm の出力オフセット、標準偏差 2.5mV 未満、図 7-2 を参照

図 6-16. VoCM オフセットと Vocm 設定との関係

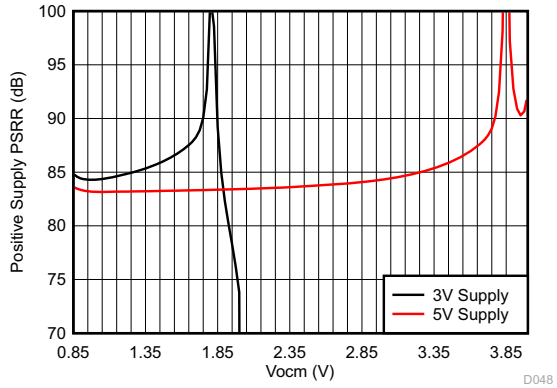
6.10 代表的特性：電源電圧範囲：3V ～ 5V (続き)

Vs+ = 3V および 5V、Vs– = GND、Vocm はオープン、50Ω シングルエンド入力から差動出力、ゲイン = 2V/V、Rload = 500Ω、T_A ≅ 25℃ (特に記述のない限り)



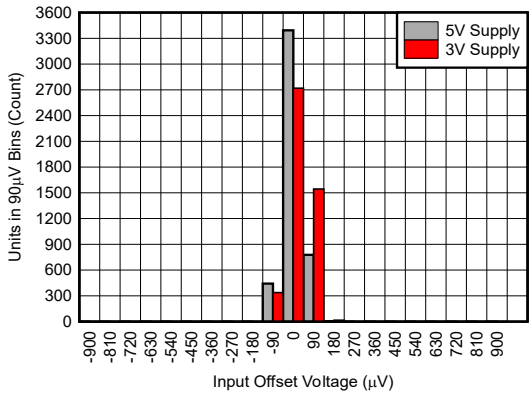
シングルエンドから差動、ゲイン:2 (図 7-1 を参照)、差動出力に対する負電源からの PSRR (1kHz シミュレーション)

図 6-17. –PSRR と Vs– に近づいていく Vocm との関係



シングルエンドから差動、ゲイン:2 (図 7-1 を参照)、差動出力に対する正電源からの PSRR (1kHz シミュレーション)

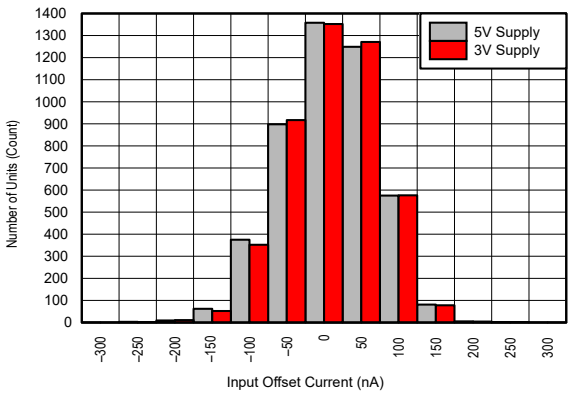
図 6-18. +PSRR と Vs+ に近づいていく Vocm との関係



各供給につき合計 4618 ユニット。

Vs = 5V の場合:μ=–35.1μV、σ= 38.9μV

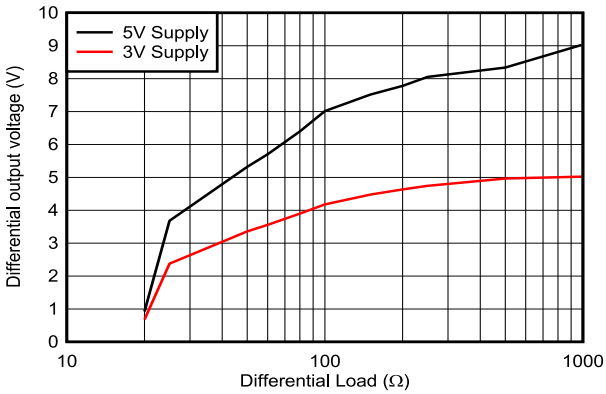
図 6-19. 入力オフセット電圧



各供給につき合計 4618 ユニット。

Vs = 5V の場合:μ= 16.7nA、σ= 62.3nA

図 6-20. 入力オフセット電流



最大差動出力スイング、Vocm (中間電圧時)

図 6-21. 差動出力電圧と Rload との関係

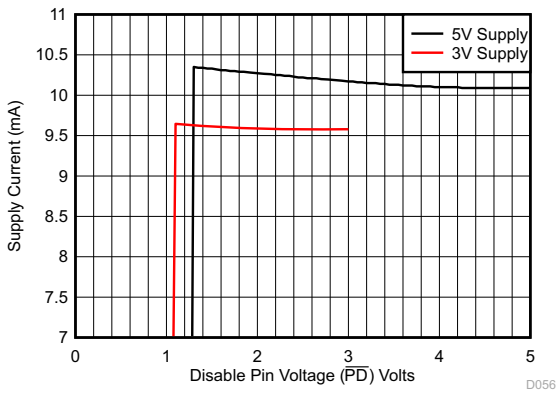
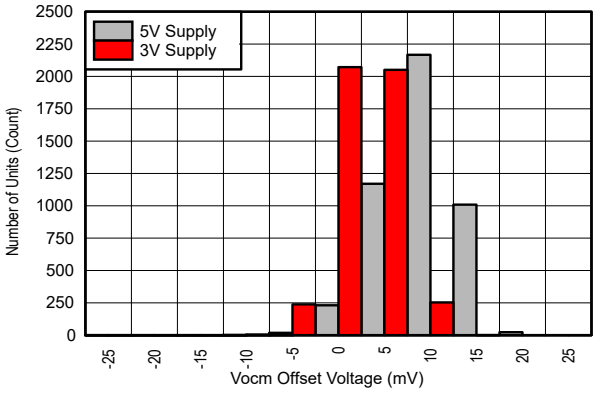


図 6-22. 電源電流と $\overline{PD}$ 電圧との関係

Copyright © 2026 Texas Instruments Incorporated

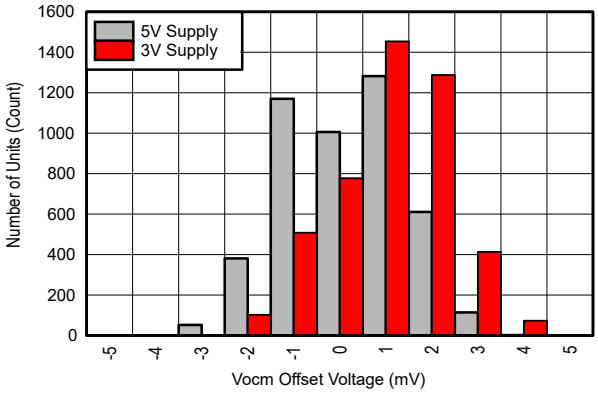
6.10 代表的特性：電源電圧範囲：3V ～ 5V (続き)

Vs+ = 3V および 5V、Vs– = GND、Vocm はオープン、50Ω シングルエンド入力から差動出力、ゲイン = 2V/V、Rload = 500Ω、T_A ≅ 25℃ (特に記述のない限り)



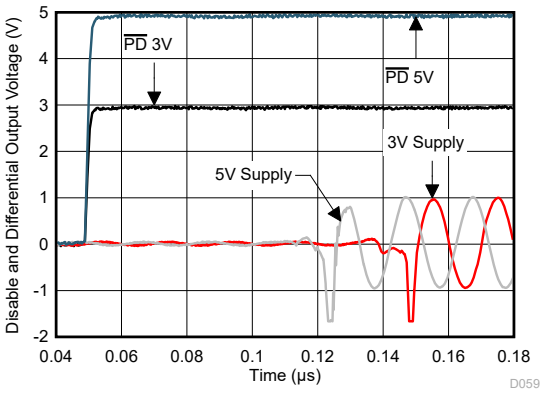
Vocm 入力はフローティング。各供給につき合計 4618 ユニット、
Vs = 5V の場合：μ= 6.8mV、σ= 3.9mV

図 6-23. Vs+ / 2 デフォルト値からの同相モード出力オフセット



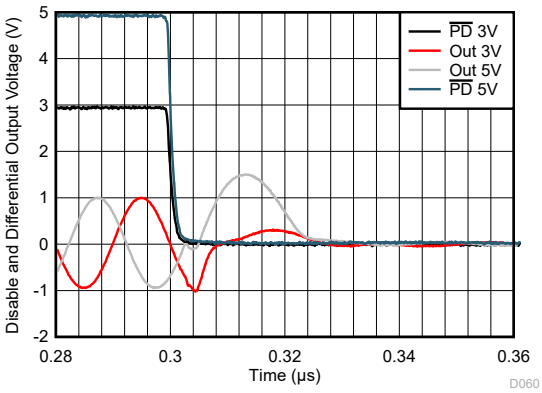
各供給につき合計 4618 ユニット、
Vs = 5V の場合：μ= 0.3mV、σ= 1.3mV

図 6-24. 駆動された Vocm からの同相モード出力オフセット



10MHz、$1V_{PP}$ 入力、シングルから差動のゲイン：2、
図 7-2 を参照

図 6-25. $\overline{PD}$ ターン オン波形



10MHz、$1V_{PP}$ 入力、シングルから差動のゲイン：2、
図 7-2 を参照

図 6-26. $\overline{PD}$ ターン オフ波形

7 パラメータ測定情報

7.1 特性評価回路の例

LMH5485-SP は、高精度オペアンプのトリムされた入力オフセット電圧を備えた完全差動アンプ (FDA) 設計の利点を提供します。FDA は非常にフレキシビリティの高いデバイスであり、設定可能な出力コモン モード レベルの中心に純粋な差動出力信号を供給することができます。主なオプションは、シングルエンドと差動入力、ac 結合と dc 結合の信号路、ゲイン ターゲット、抵抗値の選択などです。差動信号源は確実にサポートされるため、多くの場合、実装と分析の両方が容易です。図 7-1 および 図 7-2 に、ac 結合されたシングルエンドから差動への回路の例を示します。

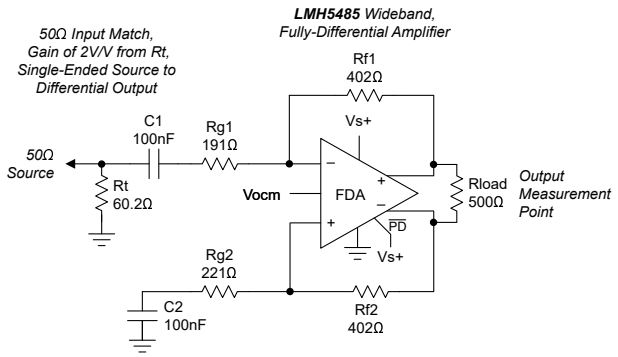


図 7-1. AC 結合されたシングルエンド ソースから 2V/V の差動ゲインへのテスト回路

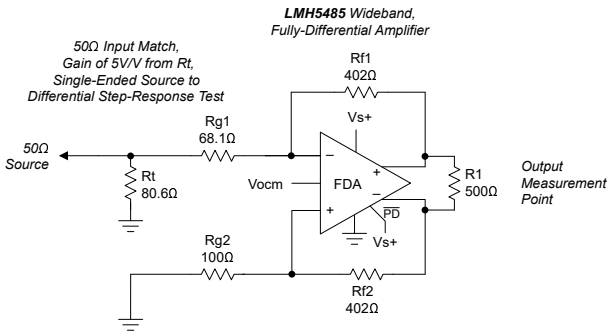


図 7-2. DC 結合、シングルエンドから差動、ゲイン 5V/V に設定した基本的なテスト回路

ほとんどのラボ機器はシングルエンドであるため、特性回路は通常、FDA 出力ピンにおける差動出力へのシングルエンド、マッチング、50Ω の入力終端で動作します。その後、テストと周波数範囲に応じて、さまざまなバラン (またはトランス) を介して出力をシングルエンドに戻します。DC 結合、ステップ応答テストでは、2 つの 50Ω スコープ入力とパターン演算を使用します。

図 7-1 は、402Ω での R_f の値が決定される一般的な特性プロットを示しています。この値はアプリケーションでは完全にフレキシブルですが、402Ω はこの値に関連する問題に十分に妥協することができます。具体的には次のような点があります。

- 出力負荷を追加。FDA は、出力全体に追加された負荷として両方の帰還抵抗を備えた反転オペアンプ設計のように動作します (図 7-1 の約合計差動負荷は 500Ω|| 804Ω= 308Ω)。
- 抵抗値に起因するノイズの寄与。これらの抵抗は、4kTR 項、および入力電流ノイズへのゲイン供給の両方に寄与します 。
- 入力加算ノードの寄生帰還極。この極は帰還 R の値と の 1.25pF の差動入力容量 (任意の基板レイアウトの寄生値と同じ) により形成されているため、ほとんどの状況ではノイズ ゲインがゼロになり、位相マージンが減少します。この影響は、最適な周波数応答平坦度、またはステップ応答オーバーシュートを実現するために管理する必要があります。選択された 402Ω の値は、より低い値において位相マージンがわずかに低下しますが、出力ピン全体の公称値 500Ω から負荷が大幅に減少することはありません。

Copyright © 2026 Texas Instruments Incorporated

8 詳細説明

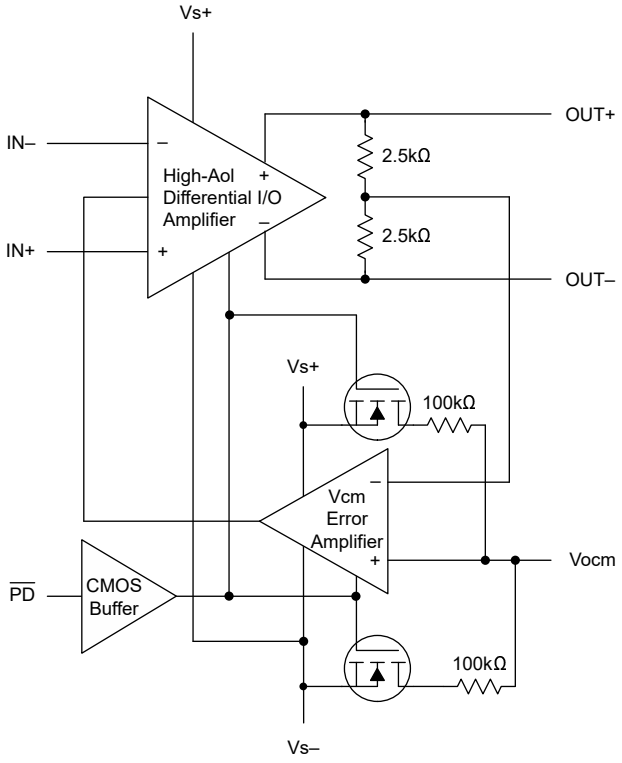
8.1 概要

LMH5485-SP は、トリムされた電源電流と入力オフセット電圧を備えた、電圧フィードバック ベースの完全差動アンプ (FDA) です。コアの差動アンプは、スルー レートが高く、高精度の入力段を備えた、わずかに非補償型の電圧帰還設計です。この設計により、特性曲線に示す 2V/V の小信号帯域幅の 490MHz ゲインが得られ、同じ回路構成で 1400V/µs のスルー レート、約 315MHz、$2V_{PP}$、大信号帯域幅を実現しています。

出力はレール ツー レールに近い出力スイング (どちらの電源にも 0.2V のヘッドルーム) が得られ、デバイスの入力は正の電源に必要なヘッドルームが約 1.2V の負のレール入力となります。図 7-2 に、この負のレール入力は、dc 結合、単一電源設計で、グランド周辺のバイポーラ入力を直接サポートすることを示しています。すべての FDA デバイスと同様に、出力平均電圧 (同相モード) は、別々の同相ループによって制御されます。この出力平均の目標は、Vocm の入力ピンにより設定されます。このピンはデフォルトの中間電圧付近でオープンにするか、目的の出力同相モード電圧に駆動します。LMH5485-SP の単一 2.7V～5.4V の電源電圧範囲を使用する Vocm の範囲は、負電源よりも 0.91V 高い非常に低い値から、正電源よりも 1.1V 低い値まで拡張されており、最新の A/D コンバータ (ADC) の入力同相要件に対応しています。

パワーダウン ピン ($\overline{PD}$) が搭載されています。$\overline{PD}$ ピンの電圧を負電源レベルにするとデバイスがオフになり、LMH5485-SP は非常に低い無信号時電流状態になります。デバイスの電源電圧範囲全体を使用するには、$\overline{PD}$ ピンを high にアサートしたままにして、デバイスを通常動作に維持してください。デバイスを無効化するときは、受動の外部抵抗を介する信号路が依然として存在することに注意してください。無効化した LMH5485-SP に印加された入力信号は、他の無効化した FDA デバイスと同様に、この受動抵抗パスを経由して一定のレベルで出力に現れます。

8.2 機能ブロック図



8.3 機能説明

8.3.1 差動 I/O

LMH5485-SP は、コアの差動 I/O、高ゲインブロックに、リファレンス電圧と比較される出力コモン モード検出を組み合わせたもので、メイン アンプ ブロックに帰還して平均出力をそのリファレンスになるよう制御します。差動 I/O ブロックは、約 900Hz のドミナント ポールを持つ、従来型の高い開ループ ゲイン段です。この電圧フィードバック構造は、850MHz (ゲイン帯域幅積) でシングル ポールのユニティ ゲイン A_{OL} を提供します。高速差動出力には、出力コモン モード電圧を検出するための平均抵抗ネットワークが内蔵されています。この電圧は、個別の Vcm のエラー アンプによって、Vpcm ピンの電圧と比較されます。オープンになっている場合、このリファレンス電圧は、2 つの 100kΩ 抵抗を使用して、デバイス全体に供給される電源電圧の半分になります。この Vcm のエラー アンプは、Vocm ピンにおける出力平均電圧が目標の電圧になるように訂正信号をメイン アンプに送信します。このエラー アンプの帯域幅は、メイン差動 I/O アンプとほぼ同じです。

差動出力はコレクタ出力で、レール ツー レール出力スイングを行います。これらの出力は比較的高インピーダンスの開ループ ソースですが、ループを閉じると負荷ドライビングに対する出力インピーダンスは非常に低くなります。この低消費電力デバイスには、出力電流制限、またはサーマル シャットダウン機能がありません。差動入力は、負のレール入力範囲で動作可能な PNP 入力です。

LMH5485-SP を動作するには、Rf 経由で OUT- ピンを IN+ ピンに、そして、同じ値の Rf を経由させて OUT+ ピンを IN- ピンに接続します。追加の抵抗を経由して入力を IN+ ピンと IN–ピンに接続します。差動 I/O オペアンプは反転オペアンプ構造と同じように動作し、ソースで入力抵抗を駆動する必要があり、ゲインは入力抵抗に対するフィードバック比になります。

8.3.2 パワーダウン制御ピン ($\overline{PD}$)

LMH5485-SP にはパワーダウン制御ピン $\overline{PD}$ が搭載されています。正しいアンプ動作のためには、このピンを High にする必要があります。このピンには内部プルアップまたはプルダウン抵抗がないため、無効化時の消費電力を低減するために $\overline{PD}$ ピンをオープンにすることはできません。このピンを Low レベルにすると (負電源から 0.7V 以内)、LMH5485-SP は非常に低い無信号時電流状態 (約 2μA) になります。デフォルトの Vocm 抵抗列をオープンにすることで、この 200kΩ 電圧デバイダの電源から中電圧の範囲の固定バイアス電流 (25μA) が除去されます。

8.3.2.1 電源シャットダウン動作時の特長

正の電源に近い位置で $\overline{PD}$ ピンを high にアサートする、デバイスは通常のアクティブ モード動作になります。デバイスをディセーブルして消費電力を低減するには、負電源の近くで $\overline{PD}$ を low にアサートします。図 6-22 に、$\overline{PD}$ ピンの電圧と対応する静止電流を示します。電源が供給されているときにのみデバイスの電源をオンにする必要があるアプリケーションでは、$\overline{PD}$ ピンを正の電源電圧に接続してください。

ディスエーブル動作は負電源を基準とします (通常はグランドです)。分割電源動作の場合、グランド以下の負電源で、負電源が –0.7V を超えるときは、LMH5485-SP をオフにするためにディスエーブル制御電圧をグランド以下にする必要があります。

単一電源動作の場合は、正常な動作に、最小で負電源 (この場合はグランド) より 1.7V 以上の電圧が必要です。この最小ロジック High レベルにより、1.8V の電源ロジックから直接動作します。

8.3.3 入力オーバードライブ動作

LMH5485-SP の入力段アーキテクチャは、すべてのアプリケーションで必要とされる直列入力抵抗を使用しており、入力オーバードライブに対して本質的に堅牢です。大きい入力オーバードライブがあると、出力が最大振幅に制限されます。このため、Rg 抵抗を流れる残りの入力電流は、2 入力間にある内部のバック ツー バック保護ダイオードによって吸収されます。これらのダイオードは通常、アプリケーションでオフになっており、大きな入力オーバードライブが原因で、ソースインピーダンスやすべての設計に必要な直列の Rg 素子から生じる電流を吸収する場合にのみオンになります。

内部入力ダイオードは、オーバードライブ状況で最大 ±15mA まで安全に吸収できます。さらに多くの電流を吸収する必要がある設計の場合、外付けの保護ダイオードの追加を検討してください。

Copyright © 2026 Texas Instruments Incorporated

8.4 デバイスの機能モード

この広帯域 FDA は、正しい信号パス動作のために外部抵抗を必要とします。これらの外部抵抗で目的の入力インピーダンスとゲインを設定するよう構成されている場合、$\overline{PD}$ ピンを (Vs–) + 1.7V 以上の電圧にアサートして*オン*にすることも、または $\overline{PD}$ を low にアサートして*オフ*にすることも可能です。アンプを無効にすると、静止時電流がシャットオフされ、アンプの訂正動作が停止します。外部抵抗を通過するソース信号の信号路はまだ存在しています。

Vocm の制御ピンにより、出力の平均電圧が設定されます。オープンの状態では、Vocm のデフォルト値は内部の中間電位値になります。電圧リファレンスを使用してこの高インピーダンス入力を有効範囲内で駆動すると、内部の Vcm エラーアンプの目標値を設定できます。

8.4.1 シングルエンド ソースから差動出力への動作

FDA デバイスがサポートする最も有用な機能の 1 つは、シングルエンド入力から差動出力へ、コモン モード レベルでユーザー制御を中心に簡単に変換できることです。出力側は比較的簡単ですが、デバイスの入力ピンは入力信号とともにコモン モード検出で変化します。入力信号とともに入力ピンで動いているこのコモン モード電圧は、見かけ上の入力インピーダンスを増加させて、Rg 値より大きくなるように動作します。この入力アクティブ インピーダンスの問題は、ac 結合と dc 結合の設計の両方に適用されます。このアクティブ インピーダンスについては、以下のサブセクションに示すように、抵抗についてある程度複雑な解決策が必要です。

8.4.1.1 シングルエンド入力から差動出力への変換における AC 結合信号パスの検討事項

信号路を ac 結合できる場合、LMH5485-SP の dc バイアスは比較的単純な作業になります。すべての設計で、最初は出力コモン モード電圧を定義します。AC 結合の問題は、FDA 設計の入力側と出力側に分けることができます。いずれの場合も、設計を行うには最初に目標の Vocm を設定します。ac 結合パスが出力ピンの先につながっている場合、直線性を最大限にするには Vocm を中間電位で動作させます。Vocm の電圧は、ヘッドルームの仕様で規定されているようにコモン モード ループのリニア動作範囲内である必要があります (負電源より約 0.91V 高く、正電源より 1.1V 低い)。出力パスも ac 結合されている場合、通常は、単に Vocm の制御ピンをオープンにすることが推奨されます。これは、最小限の素子で中間電位のデフォルト Vocm バイアスを取得するためです。ノイズを抑えるには、0.1µF のデカップリング コンデンサを Vocm ピンの接地側に配置します。

Vocm を定義してから、目標の出力電圧スイングを確認し、Vocm とその正側または負側、それぞれの出力スイングが電源にクリップされないことを確認します。Vocm ±Vp が、このレール ツー レール出力 (RRO) デバイスの絶対電源レールを超えていないことを確認します。

デバイスの入力ピン側については、無信号入力側のソースとバランシング抵抗の両方が dc ブロックされるため (図 7-1 を参照)、出力コモン モード電圧からコモン モード電流は流れないため、入力コモン モードと出力コモン モード電圧を同じ値に設定します。

この入力ヘッドルームにより、さらに高い Vocm 電圧についても制限が設定されます。ac 結合されたソースの場合、入力 Vicm は出力 Vocm であるため、正の電源への入力ピンの 1.2V 最小ヘッドルームは出力ピンの 1.1V ヘッドルーム制限値よりも優先されます。また、入力信号によって、この入力 Vicm は dc バイアス点付近まで変化します。

8.4.1.2 シングルエンドから差動への変換における DC 結合入力信号パスの検討事項

出力に関する検討事項は、AC 結合の設計と同じです。出力は ac 結合であっても、入力を dc 結合にすることは可能です。AC 結合出力を持つ DC 結合入力には、ソースがグランド基準の場合に、入力 Vicm を下に移動させる利点があります。図 7-2 は 入力回路の両側が差動平衡を保つために、LMH5485-SP への入力が直流結合される場合を示しています。通常、無信号入力側には、ソースにミッドレンジまでバイアスされる Rg 素子を配置します。このミッドスケール参照により、出力における平衡差動型スイングは Vocm に近づきます。

DC 結合入力に関する重要な検討事項の 1 つは、出力から Rf および Rg を通ってソースに戻るコモン モード バイアス電流が、Vocm によって両側のフィードバックに発生することです。入力バランシング ネットワークがない場合は、ソースがこの dc 電流をシンクまたはソースする必要があります。もう 1 つの Rg 素子の入力信号範囲とバイアスを設定して、Vocm から Rf と Rg (可能なら Rs も) を通って V_{IN} までの分割電圧が、デバイスの範囲内に収まっている入力ピンで入力 Vicm を確立していることを確認します。平均ソースがグランドにある場合、LMH5485-SP の負のレール入力段は、正の単一電

源と正の出力 Vocm の設定を使用するアプリケーションという範囲内になります。これは、この dc 電流によって、平均 FDA 入力の加算結合部がグランドよりも負側から正の電圧にまで引き上げられるためです (FDA の V+ および V- 入力ピンの電圧の平均)。

8.4.2 差動入力から差動出力への動作

多くの方法がある中で、これは設計と同じ観点から FDA を動作させる非常に簡単な方法です。回路の両側が同じ値の Rf 素子と Rg 素子でバランスが取れていると、差動入力インピーダンスは、差動反転入力の加算結合部に接続された 2 つの Rg 素子の合計だけになります。これらの設計では、加算接合部の入力コモン モード電圧は信号とともに変動はしませんが、各ソースから必要とされる電圧ヘッドルームに関する検討事項に基づいて、入力ピンの許容範囲内で DC バイアスを行う必要があります。以下のセクションに記載されているように、AC 結合、または DC 結合された差動入力から差動出力の設計に対しては、少し異なる検討事項を適用します。

8.4.2.1 AC 結合された差動入力から差動出力への設計の問題

ac 結合の差動ソース付き LMH5485-SP を使用する標準的な方法は 2 通りあります。最初の方法は、ソースは差動形式であり、2 つのブロッキング コンデンサを介して結合することができます。2 つ目の方法は、シングルエンドまたは差動ソースのいずれかを使用して、トランス (またはバラン) を介して結合します。図 8-1 に、ブロッキング コンデンサから差動入力への標準的な回路を示します。この設計には、オプションの入力差動終端抵抗 (Rm) が含まれています。この Rm 素子は、入力 Rg 抵抗をスケールアップすると同時に、ソースへの差動入力インピーダンスを低減します。この例では、Rg 素子の差動インピーダンスは合計 200Ω となり、Rm 素子は並列に結合して、正味 100Ω の ac 結合された差動インピーダンスをソースに供給します。この設計は、Rf 素子の値、差動ゲインを設定する Rg、そして、必要に応じて目標の入力インピーダンスを達成させる Rm 素子を選択することで、出力を得ることができます。また、Rm 素子を除去して、Rg 素子を希望の入力インピーダンスに設定したり、Rf を差動ゲイン (=Rf/Rg) に設定することも可能です。

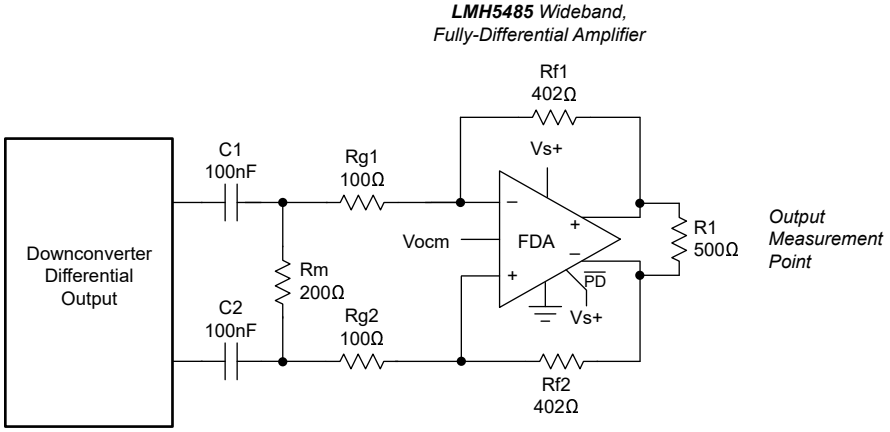


図 8-1. AC 結合差動信号を LMH5485-SP に供給するダウンコンバータ ミキサ

ここで使用している DC バイアスは非常に簡単です。出力 Vocm は入力制御電圧により設定されます。出力コモン モード電圧の dc 電流パスがないため、dc バイアスにより入力ピンのコモン モード動作点も設定されます。

トランス入力カップリングにより、シングルエンドまたは差動ソースのいずれかを LMH5485-SP に結合することができ、入力換算ノイズ指数の改善を可能にします。これらの設計は、バラン インターフェイス内でマッチングが必要なソース インピーダンスを想定しています。図 8-2 はもっとも簡単な方法を示します。この例では、1:2 の巻線比昇圧トランスが 50Ω のソースから使用されています。

Copyright © 2026 Texas Instruments Incorporated

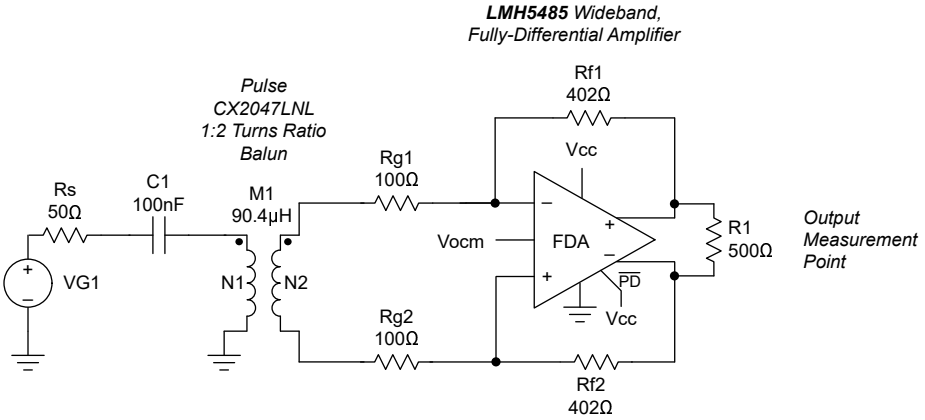


図 8-2. 入力バラン インターフェイスが LMH5485-SP に差動入力を供給

この例では、この 1:2 の巻線比昇圧トランスは、2 次側が 200Ω で終端されている場合に、50Ω ソースからのソースおよび負荷マッチングを提供します (巻線比の 2 乗はバラン両端のインピーダンス比になります)。2 つの Rg 素子は、その終端となっています。 これらの抵抗器は、FDA の加算結合部における差動バーチャル グランドに接続されているからです。入力ブロッキング コンデンサ (C1) はオプションで、DC 電源からグランドへの短絡を防止するためにのみ配置されています。この実装を行うと、FDA のみを使用する場合と比較して、合計ノイズ指数が改善されることがよくあります。この構成により、アンプのノイズゲインを低減できるためです。

8.4.2.2 DC 結合された差動入力から差動出力への設計の問題

dc 結合された差動入力ソースで動作する LMH5485-SP は非常に簡単で、入力ピンが dc コモン モード動作電圧の範囲内に収まっていることが唯一の要件です。1 つの例として、dc ～ 50MHz の方形波ダウン コンバータ出力があります。通常、この出力は、外部負荷に対していくらかの内部ソース インピーダンスを持つ DC レベルの上に重ね合わせられています。図 8-3 の例では、簡単なパッシブ RLC フィルタ付きの LMH5485-SP を入力に使用した設計を示しています (フィルタ設計では Rg 素子は差動終端として動作します)。内部の 250Ω 出力の裏で供給される元のソースから、この回路は LMH5485-SP の出力ピンに対してゲイン 1 になります。DC コモンモード動作電圧レベルは、内部の 1.2V からミキサへ、つまり 0.95V の ADC Vcm 電圧での出力にシフトします。この場合、1 段のゲインで 2 つの dc 電圧の単純な平均により、1.08V 入力ピンのコモンモードとなり、十分範囲内に収まります。

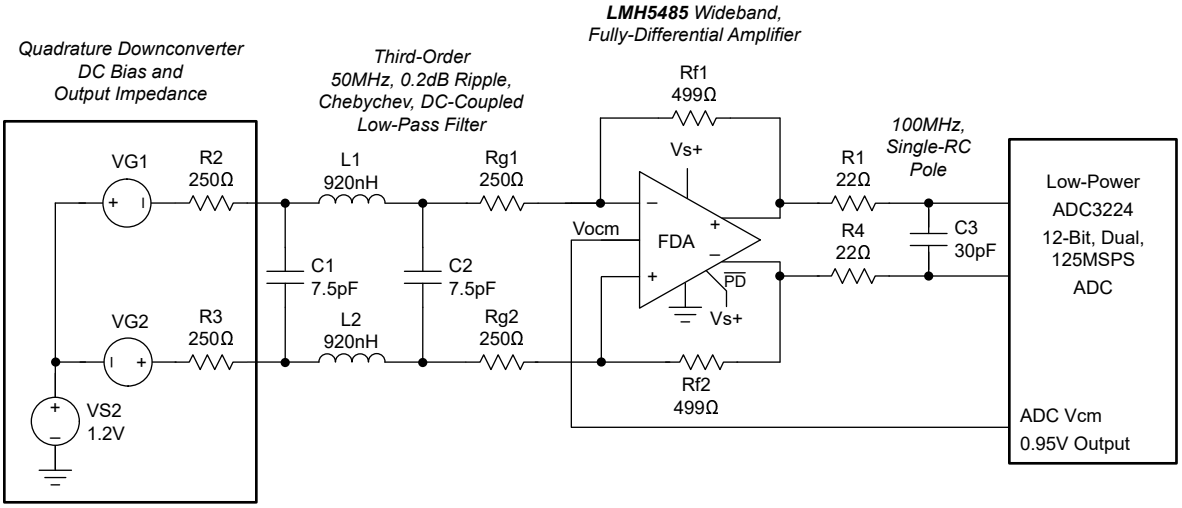


図 8-3. 方形波ミキサから ADC への DC 結合、差動 I/O 設計の例

9 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

LMH5485-SP は、さまざまなアプリケーションに対して効果的な ADC ドライバです。この例では、LMH5485-SP は 2V/V のゲインで、マッチングされた入力 50Ω と出力が 0.95V の同相モードに設定され、その後に高速 ADC と接続するように設計された、約 20MHz の帯域幅を持つ 3 次ベッセルフィルタが続きます。

9.2 代表的なアプリケーション

9.2.1 高性能 ADC とのインターフェイス

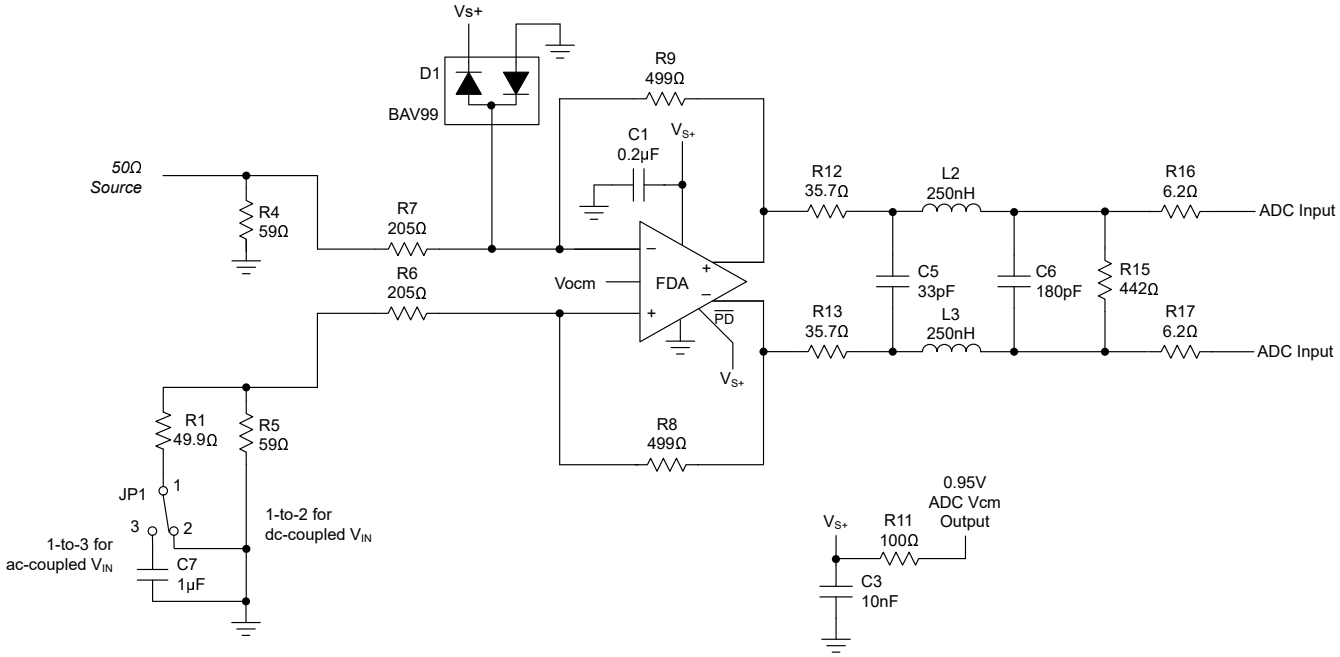


図 9-1. DC 結合、バイポーラ入力ゲイン 2V/V シングルエンドから差動への ADC とのインターフェイス

9.2.1.1 設計要件

この設計例では、50Ω のソースが ADC に 2V/V の dc 結合ゲインで実装されているとの想定によるインピーダンスマッチした入力を示します。この構成により、$2V_{PP}$ のフルスケール入力 ADC の場合は、±0.5V への必要なフルスケール入力が低減されます。ADC に挿入損失の少ない段間フィルタを追加して、広帯域ノイズを制御します。ここでの目標は、FFT における SNR の低下を最小限に抑えると同時に、SFDR 性能の劣化を最小限に抑えることです。

Copyright © 2026 Texas Instruments Incorporated

9.2.1.2 詳細な設計手順

LMH5485-SP は、広範な精度の逐次比較型、ΔΣ、または高速パイプライン ADC にシンプルなインターフェイスを提供します。出力ピンに非常に優れた歪みを実現するには、信号路で ADC 入力に標準的に必要とされるよりも大幅に広い帯域幅を LMH5485-SP によって供給します。たとえば、差動設計の例に対しては、2 つのシングルエンドのゲインによって約 500MHz の小信号帯域幅が提供されます。ソース信号がナイキスト帯域制限されている場合でも、アンプと ADC 間の広帯域ノイズが帯域制限されていなければ、この広帯域幅により LMH5485-SP のノイズを充分に一体化して、ADC を介して SNR を低下させることができます。図 9-1 に、JESD デジタル出力インターフェイス、

この設計は DC 結合、50Ω 入力マッチ用のため、499Ω フィードバック抵抗で開始して、LMH5485-SP の出力ピンに 2.35V/V のゲインを供給します。3 次段間ローパス フィルタは、ADC に対する 0.85V/V の挿入損失で 20MHz のベッセル応答が供給され、ボードの端から ADC 入力まで正味 2V/V のゲインを実現します。LMH5485-SP はオーバードライブを吸収できますが、BAV99 低容量デバイスを使用して、外付けの保護用素子が追加されています (図 9-1 を参照)。dc 結合テストでは、JP1 のピン 1 と 2 をジャンパで接続します。ソースが ac 結合された 50Ω ソースの場合、JP1 のピン 2 と 3 をジャンパで接続して差動バランスを維持します。

9.2.1.3 アプリケーション曲線

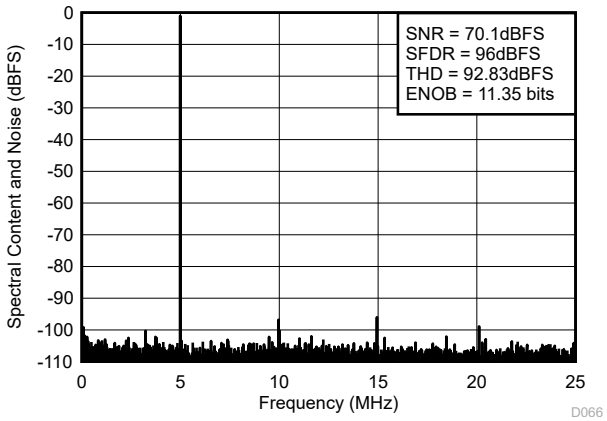


図 9-2. 2 つのインターフェイスのゲインに対する 5MHz FFT、50MSPS の試験

9.3 電源に関する推奨事項

LMH5485-SP は、主に 3V ～ 5V の公称単一電源の電圧で動作するよう設計されています。*セクション 9.4.1* で説明されているように、電源デカップリングが必要です。単一電源または分割電源での動作では、このアンプの信号路はフレキシブルです。ほとんどの用途は単一電源であることが想定されていますが、LMH5485-SP 全体の供給電圧が 5.25V 未満で、各電源に必要な入力、出力、同相モード ピンのヘッドルームが守られている限り、任意の分割電源設計を使用できます。V_{OCM} ピンは、オープンのままにした場合、デフォルトで使用する分割電源の組み合わせおよび単一電源の中間電圧付近になります。ディスエーブル ピンは、負レールを基準にします。負電源を使用する場合、アンプを無効化するには、ディスエーブル ピンをプルダウンして負電源の 0.7V 以内にする必要があります。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

すべての高速デバイスと同様に、基板レイアウトに細心の注意を払うことで最良のシステム性能を実現しています。LMH5485-SP の評価基板 (EVM) は、高周波レイアウト技術のリファレンスとして最適な例です。この評価基板には、一部のアプリケーションには適用できない可能性のある、特性評価用の多数の素子と機能が含まれています。一般的な高速の信号路レイアウトの提案を以下のとおりに示します。

- より長い配線において、インピーダンスのパターンが一致している信号配線では、連続的なグランド プレーンが推奨されます。ただし、容量の影響を受けやすい入力および出力デバイス ピンの周囲ではグランドとパワー プレーンの両方をオープンにする必要があります。信号を抵抗に送信すると、寄生容量は帯域制限の問題になり、安定性の問題は低減されます。
- デバイスの電源ピンには、グランド プレーン上に良質な高周波デカップリング コンデンサ (0.1μF) を使用します。さらに大きな値のコンデンサ (2.2μF) が必要ですが、デバイスの電源ピンから離して配置することで、デバイス間で共有することができます。2 つの電源 (バイポーラ動作用) 間に電源デカップリング コンデンサも追加する必要があります。最高の高周波デカップリングを実現するために、標準コンデンサよりも非常に高い自己共振周波数を提供する X2Y 電源デカップリング コンデンサを使用します。
- LMH5485-SP のそれぞれには、近くのグランド プレーンに個別の 0.1μF コンデンサを取り付けます。多くの場合、ローカルの高周波デカップリング コンデンサに対しては、カスケード接続または複数の並列チャネルの使用が、より大きいコンデンサのフェライト ビーズを含めて効果的です。
- 感知可能な距離で差動信号を配線する場合は、インピーダンスのパターンが一致しているマイクロストリップ レイアウト技術を使用します。
- 入力加算結合部は、寄生容量の影響を大きく受けます。したがって、抵抗のデバイス ピン側にある加算結合部には最短のパターン長で Rg 素子を接続します。Rg 素子の反対側は、ソースとグランドに必要な場合は、より長いパターン長を使用することができます。

Copyright © 2026 Texas Instruments Incorporated

9.4.2 レイアウト例

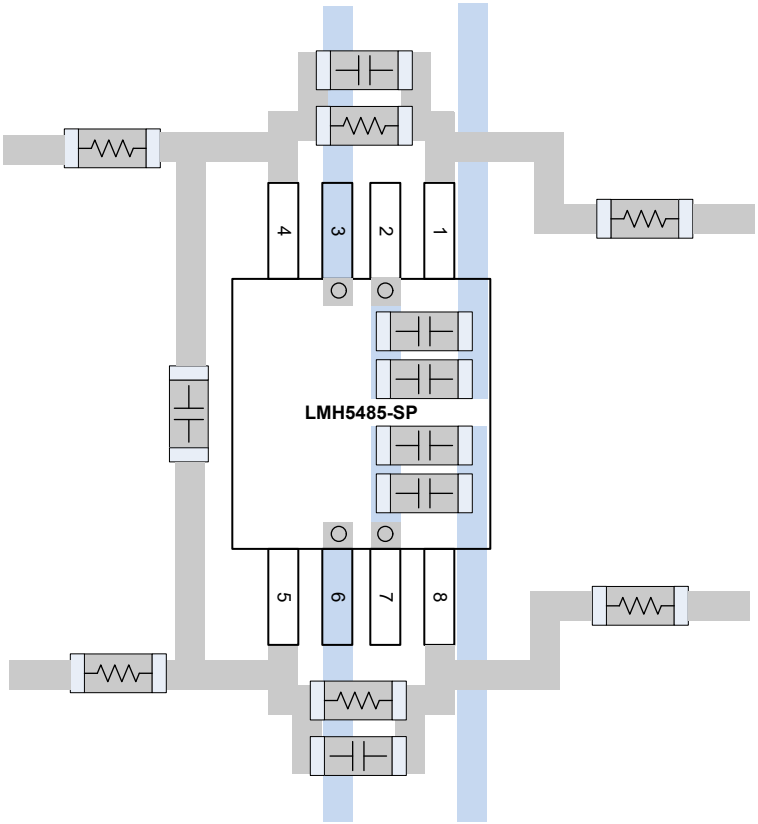


図 9-3. レイアウト例

10 デバイスおよびドキュメントのサポート

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、*『広帯域、差動トランスインピーダンス DAC 出力の設計』*アプリケーション レポート
- テキサス・インスツルメンツ、『真のゼロボルトを含めるために完全差動アンプのレール ツー レール出力範囲を拡張』リファレンス ガイド
- テキサス インスツルメンツ、*『LMH6554 2.8Ghz、超高直線性完全差動アンプ』*データ シート
- テキサス・インスツルメンツ、『LMH5485-SP-EVM ユーザー ガイド』
- テキサス インスツルメンツ、『*トランスインピーダンス アンプによるアナログ フロントエンドのダイナミック レンジの最大化*』テクニカル ブリーフ
- テキサス インスツルメンツ、『*完全差動アンプ*』アプリケーション ノート
- テキサス インスツルメンツ、*『高速アンプによるシグナル チェーンの歪み性能の最大化』*アプリケーション ノート
- テキサス インスツルメンツ、『TI プレシジョンラボ — 完全差動アンプ』ビデオ シリーズ

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項

この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision B (November 2025) to Revision C (June 2026)	Page
• 5962R1920401VXC デバイスにプレビューの注を追加。	1

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision A (December 2021) to Revision B (November 2025) **Page**

- データシートのステータスを事前情報 (プレビュー) から量産データ (アクティブ) に変更..... 1

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMH5485HKX/EM	Active	Production	CFP (HKX) | 8	1 | TUBE	No	NIAU	N/A for Pkg Type	25 to 25	LMH5485/EM

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

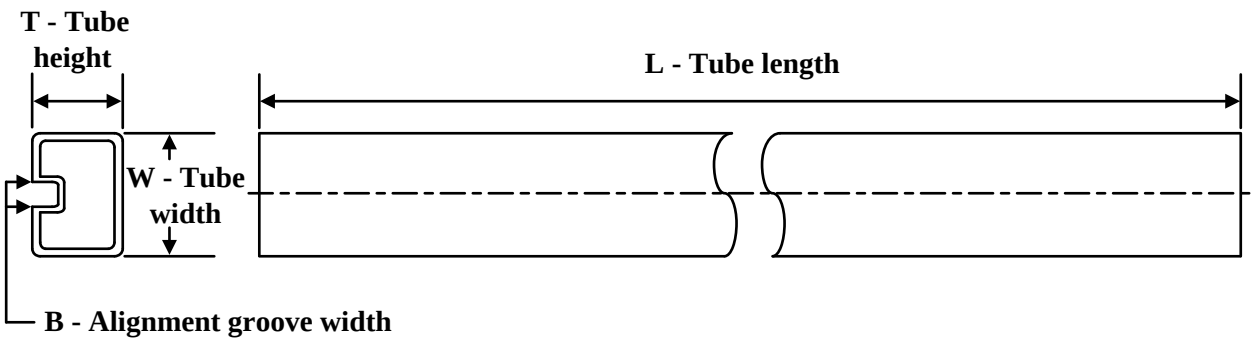
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
LMH5485HKX/EM	HKX	CFP (HSL)	8	1	506.98	26.16	6220	NA

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月