

## LMH6554 2.8GHz 超高直線性完全差動アンプ

### 1 特長

- 小信号帯域幅 2.8GHz
- 2V<sub>pp</sub> の大信号帯域幅 1.8GHz
- 0.1dB のゲイン フラットネス (830MHz)
- 150MHz 46.5dBm での OIP3
- 75MHz -96/-97dBc での HD2/HD3
- 入力ノイズ電圧 0.9nV/√Hz
- 入力ノイズ電流 11pA/√Hz
- スルーレート 6200V/μs
- 電力 260mW
- 電源電流 (標準値) 52mA
- 14 リードの UQFN パッケージ

### 2 アプリケーション

- 差動 ADC ドライバ
- シングルエンド入力 / 差動出力コンバータ
- 高速差動信号伝送
- IF/RF およびベースバンド ゲイン ブロック
- SAW フィルタ バッファドライバ
- オシロスコープ プロローブ
- 車載安全アプリケーション
- ビデオ オーバー ツイストペア
- 差動ラインドライバ

### 3 説明

LMH6554 デバイスは、8 ~ 16 ビットの高速データ アクイジション システムの駆動に必要な、非常に優れた信号忠実度と広い大信号帯域幅を提供する高性能完全差動アンプです。TI が独自に開発した差動電流モード入力段アーキテクチャを採用しており、LMH6554 は、2.8GHz のユニティ ゲイン小信号帯域幅を提供するとともに、応答平坦度、帯域幅、高調波歪み、出力ノイズ性能を犠牲にせずに、ユニティより大きなゲインでの動作を可能にします。

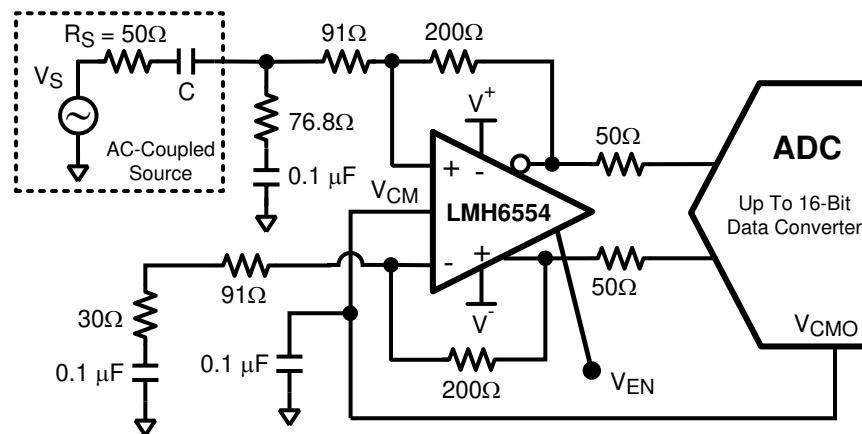
デバイスの低インピーダンス差動出力は、ADC 入力と任意の中間フィルタ段を駆動するように設計されています。LMH6554 は、200Ω の低負荷を 2V ピーク ツー ピーク電圧で駆動した場合、75MHz まで 16 ビットの直線性を実現します。

LMH6554 は、TI の高度な相補型 BiCMOS プロセスを使用して製造され、省スペースの 14 ピン UQFN パッケージで利用でき、さらに高い性能を実現できます。

#### 製品情報 (1)

部品番号	パッケージ	パッケージ サイズ (2)
LMH6554	UQFN (14)	2.50mm × 2.50mm

- (1) 利用可能なすべてのパッケージについては、データシートの末尾にある注文情報を参照してください。
- (2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション回路図



## 目次

1 特長.....	1	6.2 機能ブロック図.....	10
2 アプリケーション.....	1	6.3 機能説明.....	10
3 説明.....	1	6.4 デバイスの機能モード.....	11
4 ピン構成および機能.....	2	7 アプリケーションと実装.....	12
ピンの機能.....	2	7.1 使用上の注意.....	12
5 仕様.....	3	7.2 代表的なアプリケーション.....	13
5.1 絶対最大定格.....	3	7.3 電源に関する推奨事項.....	19
5.2 ESD 定格.....	3	7.4 レイアウト.....	20
5.3 推奨動作条件 <sup>(1)</sup> .....	3	8 デバイスおよびドキュメントのサポート.....	22
5.4 熱に関する情報.....	3	8.1 デバイス サポート.....	22
5.5 電氣的特性: +5V.....	4	8.2 ドキュメントのサポート.....	22
5.6 代表的性能特性 $V_S = \pm 2.5V$ .....	6	8.3 商標.....	22
6 詳細説明.....	10	9 改訂履歴.....	22
6.1 概要.....	10		

## 4 ピン構成および機能

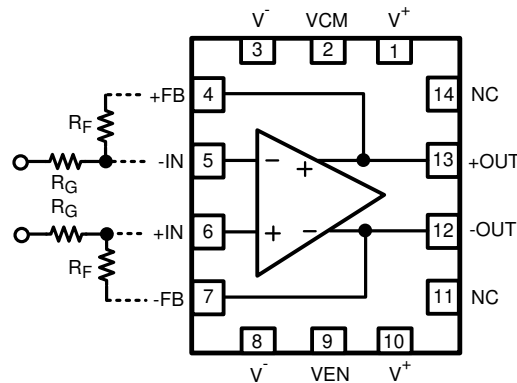


図 4-1. NHJ パッケージ 14 ピン 上面図

### ピンの機能

ピン		I/O	説明
名称	番号		
-FB	7	O	-OUT からのフィードバック
+FB	4	O	+OUT からのフィードバック
+IN	6	I	正入力
-IN	5	I	負入力
NC	11	—	非接続
NC	14	—	非接続
-OUT	12	O	負出力
+OUT	13	O	正出力
VCM	2	I	同相モード出力電圧
VEN	9	I	イネーブル
V-	3	P	負電源
V-	8	P	負電源
V+	1	P	正の電源
V+	10	P	正の電源

## 5 仕様

### 5.1 絶対最大定格

(1) (2) (3)	最小値	最大値	単位
電源電圧 ( $V_S = V^+ - V^-$ )		5.5	V
同相入力電圧	$V^-$	$V^+$	V
最大動作接合部温度		150	°C
最大入力電流		30	mA
最大出力電流 (ピン 12、13)			mA
半田付け情報 <sup>(4)</sup>		260	°C
赤外線または対流式 (30 秒)			
保存温度、 $T_{stg}$	-65	150	°C

- (1) 「絶対最大定格」は、それらを超えるとデバイスに損傷を与える可能性がある制限値を示します。セクション 5.3 は、デバイスが機能することを意図した条件を示しますが、特定の性能が保証されるものではありません。保証されている仕様についてはセクション 5.5 表を参照してください。
- (2) 防衛用 / 航空宇宙用仕様のデバイスをお求めの場合は、供給状況および仕様について テキサス・インストルメンツの販売特約店または営業所にお問い合わせください。
- (3) 最大出力電流 ( $I_{OUT}$ ) は、デバイスの消費電力制限によって決定されます。詳細については、セクション 7.4.3 を参照してください。
- (4) 半田付け仕様については、半田付けの絶対最大定格アプリケーション ノートを参照してください。

### 5.2 ESD 定格

		値	単位
$V_{(ESD)}$ 静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠 <sup>(1)</sup>	±2000	V
	デバイス帯電モデル (CDM)、JEDEC 仕様 JESD22-C101 に準拠 <sup>(2)</sup>	±750	
	マシン モデル (MM)	±250	

- (1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
- (2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

### 5.3 推奨動作条件<sup>(1)</sup>

	最小値	公称値	最大値	単位
動作温度範囲	-40		+125	°C
全電源電圧温度範囲	4.7		5.25	V

### 5.4 熱に関する情報

$R_{\theta JA}$	接合部から周囲への熱抵抗	LMH6554	単位
		NHJ	
		14 ピン	
		60	°C/W

- (1) 従来および最新の熱評価基準の詳細については、IC パッケージの熱評価基準アプリケーション レポートを参照してください。

## 5.5 電気的特性 : +5V

特に記述のない限り、シングルエンド入力、差動出力について、すべての制限値は  $T_A = +25^\circ\text{C}$ 、 $A_V = +2$ 、 $V^+ = +2.5\text{V}$ 、 $V^- = -2.5\text{V}$ 、 $R_L = 200\Omega$ 、 $V_{CM} = (V^+ + V^-)/2$ 、 $R_F = 200\Omega$  で保証されています。(1)

パラメータ		テスト条件	最小値 (4)	標準値(3)	最大値 (4)	単位
<b>AC 性能 (差動)</b>						
SSBW	小信号 -3dB 帯域幅 (4)	$A_V = 1, V_{OUT} = 0.2V_{PP}$		2800		MHz
		$A_V = 2, V_{OUT} = 0.2V_{PP}$		2500		
		$A_V = 4, V_{OUT} = 0.2V_{PP}$		1600		
LSBW	大信号帯域幅	$A_V = 1, V_{OUT} = 2V_{PP}$		1800		MHz
		$A_V = 2, V_{OUT} = 2V_{PP}$		1500		
		$A_V = 2, V_{OUT} = 1.5V_{PP}$		1900		
0.1dBBW	0.1dB 帯域幅	$A_V = 2, V_{OUT} = 0.2V_{PP}, R_F = 250\Omega$		830		MHz
SR	スルー レート	4V 刻み		6200		V/ $\mu\text{s}$
$t_r/t_f$	立ち上がり / 立ち下がり時間	2V 刻み、10 ~ 90%		290		ps
		0.4V 刻み、10 ~ 90%		150		
$T_{s_0.1}$	0.1% までのセトリングタイム	2V 刻み、 $R_L = 200\Omega$		4		ns
	オーバードライブ復帰時間	$V_{IN} = 2V, A_V = 5V/V$		6		ns
<b>歪みとノイズ応答</b>						
HD2	2 次高調波歪み	$V_{OUT} = 2V_{PP}, f = 20\text{MHz}$		-102		dBc
		$V_{OUT} = 2V_{PP}, f = 75\text{MHz}$		-96		
		$V_{OUT} = 2V_{PP}, f = 125\text{MHz}$		-87		
		$V_{OUT} = 2V_{PP}, f = 250\text{MHz}$		-79		
		$V_{OUT} = 1.5V_{PP}, f = 250\text{MHz}$		-81		
HD3	3 次高調波歪み	$V_{OUT} = 2V_{PP}, f = 20\text{MHz}$		-110		dBc
		$V_{OUT} = 2V_{PP}, f = 75\text{MHz}$		-97		
		$V_{OUT} = 2V_{PP}, f = 125\text{MHz}$		-87		
		$V_{OUT} = 2V_{PP}, f = 250\text{MHz}$		-70		
		$V_{OUT} = 1.5V_{PP}, f = 250\text{MHz}$		-75		
OIP3	出力の 3 次インターセプト	$f = 150\text{MHz}, V_{OUT} = 2V_{PP}$ コンポジット		46.5		dBm
IMD3	2 トーンの相互変調	$f = 150\text{MHz}, V_{OUT} = 2V_{PP}$ コンポジット		-97		dBc
$e_n$	入力電圧ノイズ密度	$f = 10\text{MHz}$		0.9		nV/ $\sqrt{\text{Hz}}$
$i_{n+}$	入力ノイズ電流	$f = 10\text{MHz}$		11		pA/ $\sqrt{\text{Hz}}$
$i_{n-}$	入力ノイズ電流	$f = 10\text{MHz}$		11		pA/ $\sqrt{\text{Hz}}$
NF	ノイズ指数(8)	50 $\Omega$ システム、 $A_V = 7.3, 100\text{MHz}$		7.7		dB
<b>入力特性</b>						
$I_{BI+}/I_{BI-}$			-75	-29	20	$\mu\text{A}$
TCIbi	入力バイアス電流の温度ドリフト			8		$\mu\text{A}/^\circ\text{C}$
$I_{BI0}$	入力バイアス電流(6)	$V_{CM} = 0, V_{ID} = 0V, I_{BOFFSET} = (I_{BI-} - I_{BI+})/2$	-10	1	10	$\mu\text{A}$
TCIbo	入力バイアス電流の差動オフセット温度ドリフト(3)			0.006		$\mu\text{A}/^\circ\text{C}$
CMRR	同相除去比	DC、 $V_{CM} = 0V, V_{ID} = 0V$		83		dB
$R_{IN}$	差動入力抵抗	差動		19		$\Omega$
$C_{IN}$	差動入力容量	差動		1		pF
CMVR	入力同相電圧範囲	CMRR > 32dB	$\pm 1.25$	$\pm 1.3$		V

特に記述のない限り、シングルエンド入力、差動出力について、すべての制限値は  $T_A = +25^\circ\text{C}$ 、 $A_V = +2$ 、 $V^+ = +2.5\text{V}$ 、 $V^- = -2.5\text{V}$ 、 $R_L = 200\Omega$ 、 $V_{CM} = (V^+ + V^-)/2$ 、 $R_F = 200\Omega$  で保証されています。(1)

パラメータ	テスト条件	最小値 (4)	標準値(3)	最大値 (4)	単位	
<b>出力性能</b>						
出力電圧スイング(3)	シングルエンド出力	$\pm 1.35$	$\pm 1.42$		V	
$I_{OUT}$ 出力電流(3)	$V_{OUT} = 0\text{V}$	$\pm 120$	$\pm 150$		mA	
$I_{SC}$ 短絡電流	1つの出力をグラウンドに短絡 $V_{IN} = 2\text{V}$ シングルエンド(2)		150		mA	
出力バランス誤差	$\Delta V_{OUT}$ 同相モード / $\Delta V_{OUT}$ 差動、 $\Delta V_{OD} = 1\text{V}$ 、 $f < 1\text{MHz}$		-64		dB	
<b>出力同相モード制御回路</b>						
同相モード小信号帯域幅	$V_{IN+} = V_{IN-} = 0\text{V}$		500		MHz	
スルー レート	$V_{IN+} = V_{IN-} = 0\text{V}$		200		V/ $\mu\text{s}$	
$V_{OSCM}$ 入力オフセット電圧	同相モード、 $V_{ID} = 0$ 、 $V_{CM} = 0\text{V}$	-16	-6.5	4	mV	
$I_{OSCM}$ 入力オフセット電流	(5)		6	18	$\mu\text{A}$	
電圧レンジ		$\pm 1.18$	$\pm 1.25$		V	
CMRR	$V_{OD}$ 、 $V_{ID} = 0\text{V}$ を測定		82		dB	
入力抵抗			180		k $\Omega$	
ゲイン	$\Delta V_{OCM}/\Delta V_{CM}$	0.99	0.995	1.0	V/V	
<b>その他の性能</b>						
$Z_T$ 開ループトランスインピーダンス ゲイン	差動		180		k $\Omega$	
PSRR 電源除去比	DC、 $\Delta V^+ = \Delta V^- = 1\text{V}$	74	95		dB	
$I_S$ 消費電流 (3)	$R_L = \infty$		46	52	57	mA
		極端な温度			60	
電圧スレッシュホールド有効化	5V 単一電源(7)		2.5		V	
電圧スレッシュホールド無効化	5V 単一電源(7)		2.5		V	
イネーブル/ディスエーブル時間			15		ns	
$I_{SD}$ 電源電流、ディスエーブル	イネーブル = 0、5V 単一電源		450	510	770	$\mu\text{A}$
		極端な温度			850	

- (1) 電気的特性の値は、記載温度における工場出荷試験条件にのみ適用されます。工場試験条件で生ずる自己発熱は、 $T_J = T_A$  となる程度にきわめてわずかです。「電気的特性」には、自己発熱により  $T_J > T_A$  となる条件下で保証されるパラメータ性能値は指定されていません。このデバイスの温度デレーティングの詳細については、[セクション 5.4](#) 単一を参照してください。最小/最大定格は、製品の特性評価とシミュレーションに基づいています。個々のパラメータは記載のとおりテストされています。
- (2) 短絡電流は 10 秒以内に制限する必要があります。詳細については、[セクション 7.4.3](#) を参照してください。
- (3) 標準値は、最も出現しやすいパラメータの基準値を表し、特性評価時に決定されます。実際の標準値は、経時的に変化するとともに、アプリケーションや構成にも依存します。これらの標準値はテストされた値ではなく、出荷済みの製品材料に対する保証値ではありません。
- (4) 制限値は  $25^\circ\text{C}$  で全数テストされます。全動作温度範囲における制限値は標準統計品質管理 (SQC) 法によって決められた補正データを加味して規定されています。
- (5) 負の入力電流は、デバイスから流れ出る電流を意味します。
- (6)  $I_{BI}$  は、次の関係式で差動出力オフセット電圧として表されます： $V_{OD(OFFSET)} = I_{BI} * 2R_F$ 。
- (7)  $V_{EN}$  スレッシュホールドは通常、グラウンドに対して  $(V^+ + V^-) / 2$  を中心に  $\pm 0.3\text{V}$  です。
- (8) テスト回路図については、[図 7-10](#) を参照してください。

## 5.6 代表的性能特性 $V_S = \pm 2.5V$

(特に記述のない限り、シングル エンド入力、差動出力について、 $T_A = 25^\circ C$ 、 $R_F = 200\Omega$ 、 $R_G = 90\Omega$ 、 $R_T = 76.8\Omega$ 、 $R_L = 200\Omega$ 、 $A_V = +2$ )。

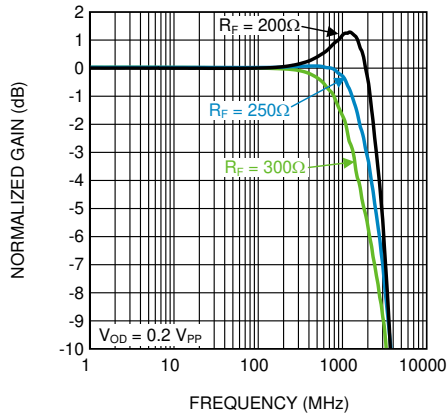


図 5-1. 周波数応答と  $R_F$  との関係

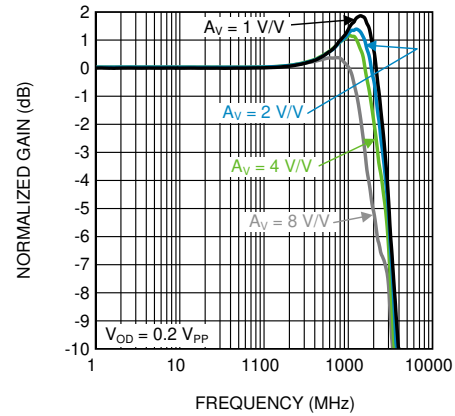


図 5-2. 周波数応答とゲインとの関係

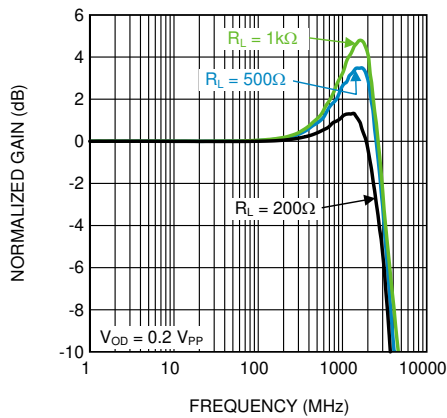


図 5-3. 周波数応答と  $R_L$  との関係

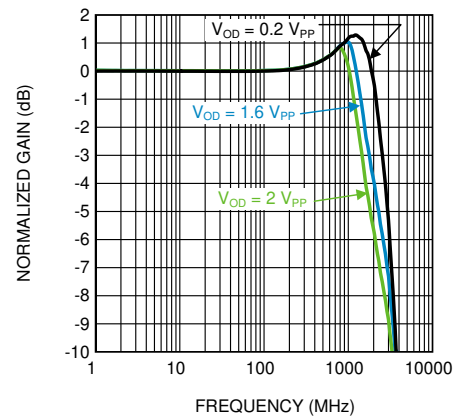


図 5-4. 周波数応答と出力電圧 ( $V_{OD}$ ) との関係

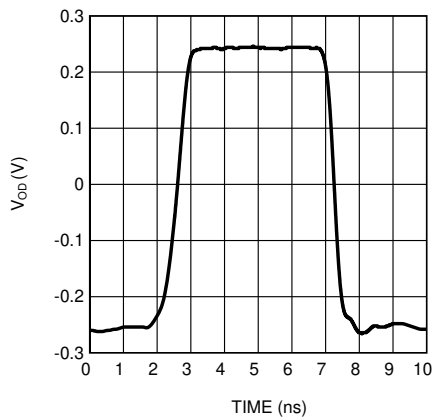


図 5-5. シングルエンド入力における  $0.5V_{PP}$  パルス応答

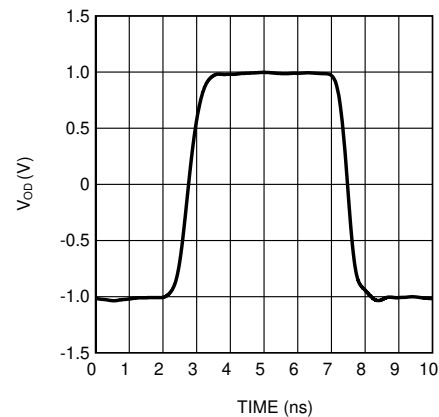


図 5-6. シングルエンド入力における  $2V_{PP}$  パルス応答

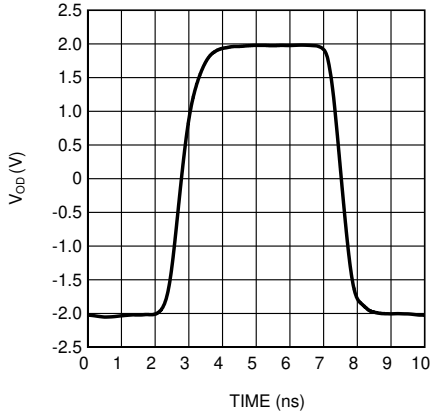


図 5-7. シングルエンド入力における 4V<sub>PP</sub> パルス応答

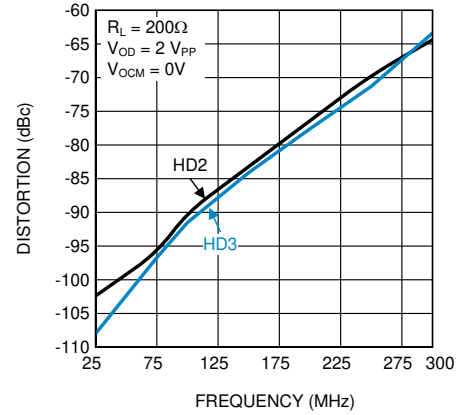


図 5-8. シングルエンド入力における歪みと周波数との関係

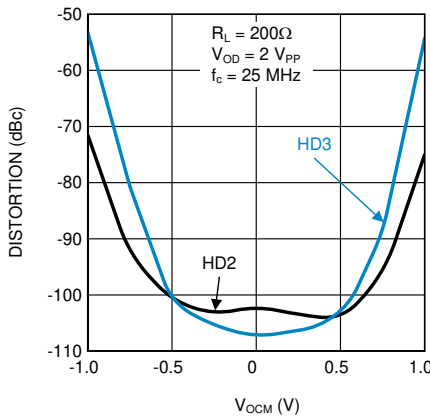


図 5-9. 歪みと出力同相電圧との関係

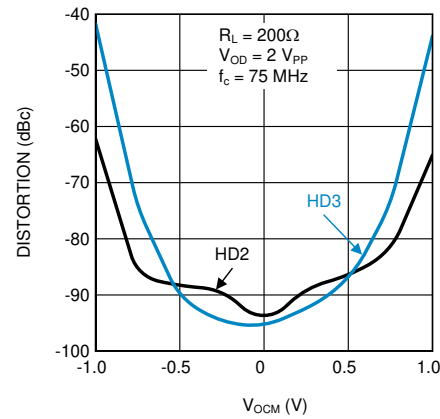


図 5-10. 歪みと出力同相電圧との関係

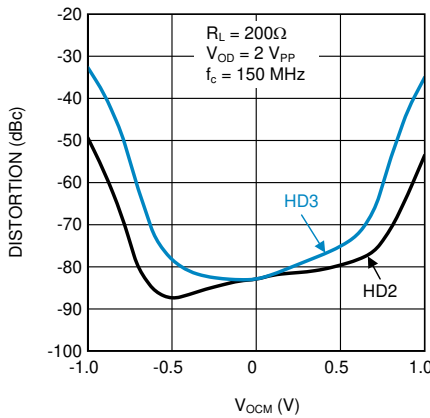


図 5-11. 歪みと出力同相電圧との関係

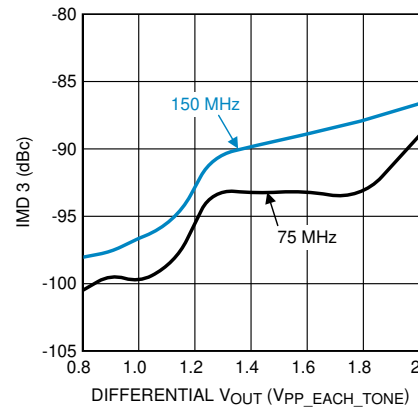


図 5-12. 3 次相互変調製品と V<sub>OUT</sub> との関係

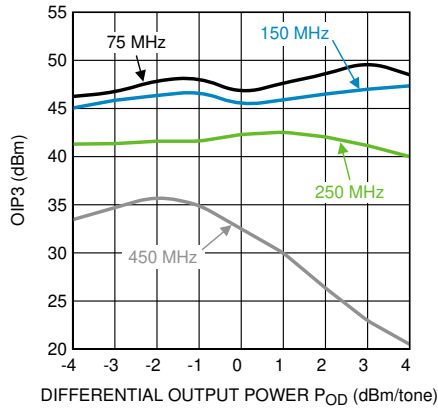


図 5-13. OIP3 と出力電力 P<sub>OUT</sub> との関係

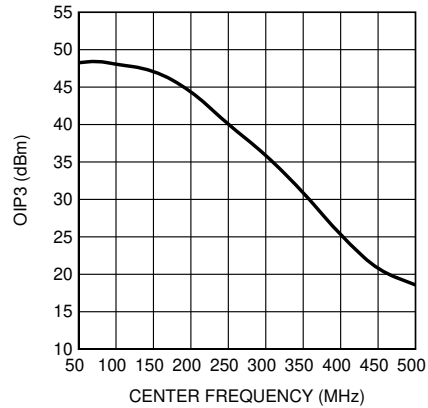


図 5-14. OIP3 と中心周波数との関係

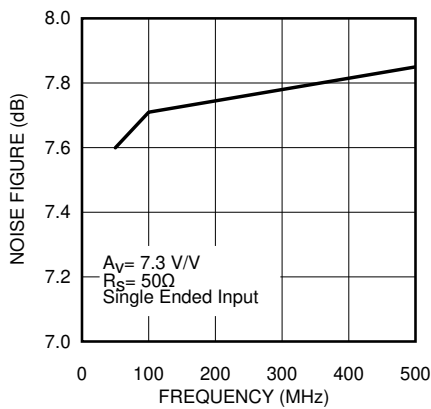


図 5-15. ノイズ指数と周波数との関係

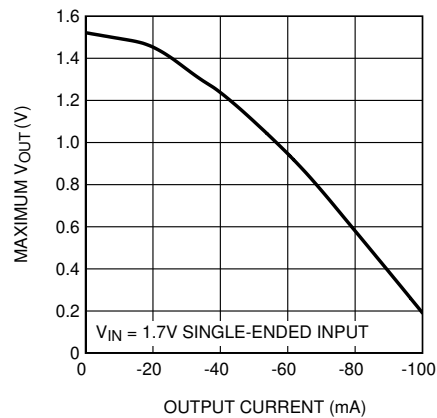


図 5-16. 最大 V<sub>OUT</sub> と I<sub>OUT</sub> との関係

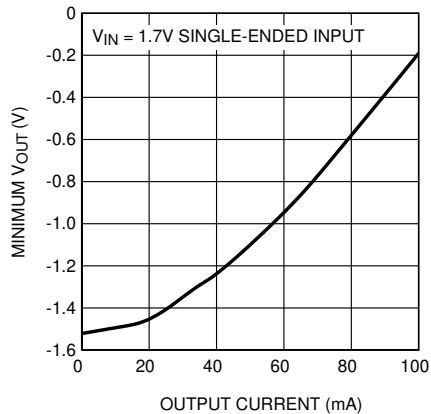


図 5-17. 最小 V<sub>OUT</sub> と I<sub>OUT</sub> との関係

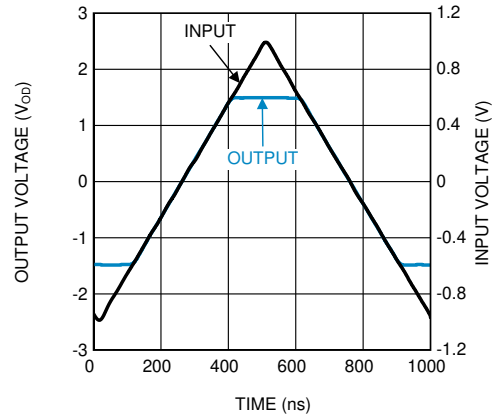


図 5-18. オーバードライブ復帰時間

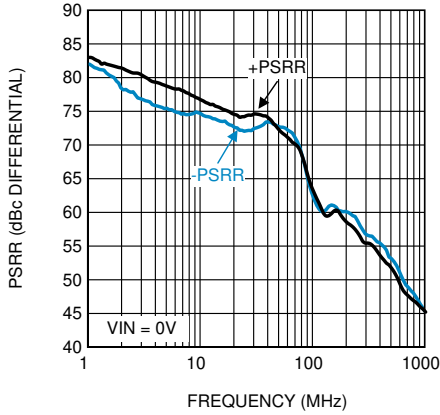


図 5-19. PSRR

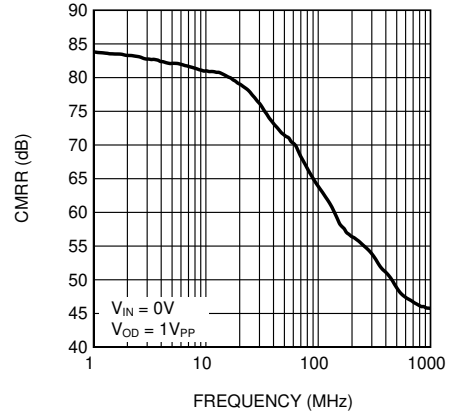


図 5-20. CMRR

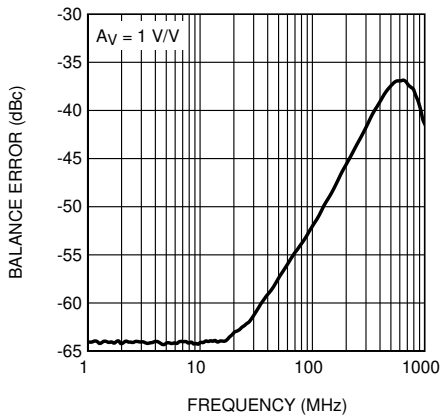


図 5-21. バランス誤差

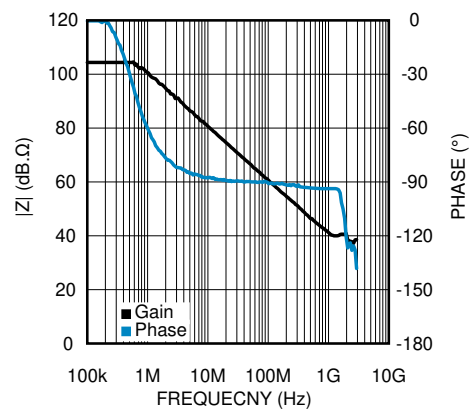


図 5-22. 開ループ トランスインピーダンス

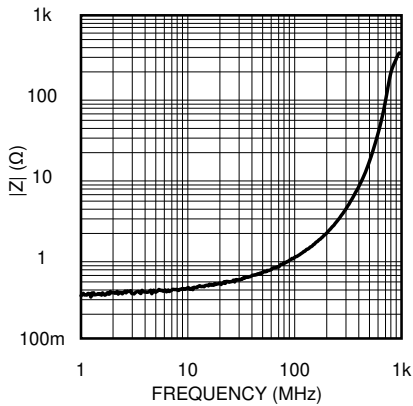


図 5-23. 開ループ出力インピーダンス

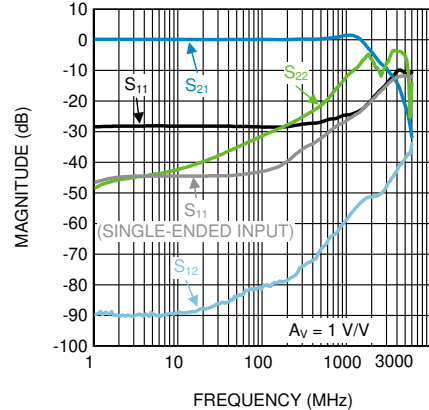


図 5-24. 差動 S パラメータの大きさと周波数との関係

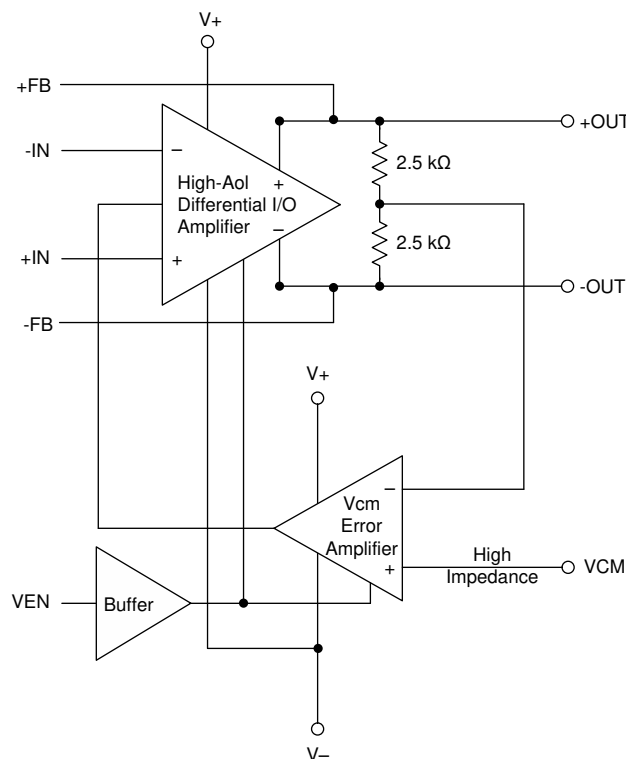
## 6 詳細説明

### 6.1 概要

LMH6554 は、広帯域幅の差動信号に対して低歪みの増幅を行うよう設計された、出力同相モード制御機能を備えた完全差動電流帰還アンプです。同相モード帰還回路は、入力同相モードとは独立して出力同相モード電圧を設定するとともに、シングルモードから差動モードへの変換のように入力的一方のみが駆動される場合でも、 $V+$  と  $V-$  の出力の大きさが等しく、位相が逆になるように強制します。

LMH6554 の持つ独自の電流帰還アーキテクチャでは、単に  $RF1$  と  $RF2$  を適切に選択するだけで、ゲインが大きい場合でも、優れたゲインフラットネスおよびノイズ性能で、ゲインと帯域幅を独立にできます。一般的に、 $RF1$  は  $RF2$  に、 $RG1$  は  $RG2$  に等しく設定されるため、 $RF/RG$  の比によってゲインが設定されます。これらの抵抗の一致は、 $CMRR$ 、 $DC$  オフセット誤差、出力バランスに大きな影響を及ぼします。

### 6.2 機能ブロック図



### 6.3 機能説明

LMH6554 の持つ独自の電流帰還アーキテクチャでは、単に  $RF1$  と  $RF2$  を適切に選択するだけで、ゲインが大きい場合でも、優れたゲインフラットネスおよびノイズ性能で、ゲインと帯域幅を独立にできます。一般的に、 $RF1$  は  $RF2$  に、 $RG1$  は  $RG2$  に等しく設定されるため、 $RF/RG$  の比によってゲインが設定されます。これらの抵抗の一致は、 $CMRR$ 、 $DC$  オフセット誤差、出力バランスに大きな影響を及ぼします。目的の性能を得るために、抵抗の許容誤差は  $0.1\%$  以下を推奨します。このアンプは補償回路を内蔵し、 $PCB$  レイアウトや負荷抵抗に依存しますが、 $RF$  の値が  $200\Omega$  で最適なゲインフラットネスが得られます。出力同相電圧は、 $VCM$  ピンにより  $1V/V$  の固定ゲインで設定されます。このピンは低インピーダンスのリファレンス電圧で駆動され、 $0.1\mu F$  のセラミックコンデンサでグラウンドにバイパスする必要があります。 $VCM$  ピンへの不要な信号カップリングはすべて出力に渡されるため、アンプの性能が低下します。LMH6554 は、 $V-$  を接地した  $V+$  に接続された  $5V$  単一電源、または  $V+ = +2.5V$  および  $V- = -2.5V$  の分割電源動作に構成できます。ゲインによっては  $5V$  単一電源での動作が同相入力範囲によって制限されるため、 $AC$  結合が必要になることがあります。

## 6.4 デバイスの機能モード

この広帯域 FDA は、正しい信号パス動作のために外部抵抗を必要とします。これらの外部抵抗で目的の入力インピーダンスとゲインを設定するよう構成されている場合、PD ピンを  $V_{s-} + 1.7V$  以上の電圧にアサートしてオンにすることも、または PD を low にアサートしてオフにすることも可能です。アンプを無効にすると、静止時電流がシャットオフされ、アンプの訂正動作が停止します。外部抵抗を通過するソース信号の信号路はまだ存在しています。Vocm の制御ピンにより、出力の平均電圧が設定されます。オープンの状態では、Vocm のデフォルト値は内部の中電圧値になります。電圧リファレンスを使用してこの高インピーダンス入力を有効範囲内で駆動すると、内部の Vcm エラー アンプの目標値を設定できます。

## 7 アプリケーションと実装

### 注

以下のアプリケーションのセクションにある情報は、TI の製品仕様に含まれるものではなく、TI はその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

### 7.1 使用上の注意

LMH6554 は、広帯域幅の差動信号に対して低歪みの増幅を行うよう設計された、出力同相モード制御機能を備えた完全差動電流帰還アンプです。同相モード帰還回路は、入力同相モードとは独立して出力同相モード電圧を設定するとともに、シングルモードから差動モードへの変換のように入力的一方のみが駆動される場合でも、 $V^+$  と  $V^-$  の出力の大きさが等しく、位相が逆になるように強制します。

LMH6554 の持つ独自の電流帰還アーキテクチャでは、単に  $R_{F1}$  と  $R_{F2}$  を適切に選択するだけで、ゲインが大きい場合でも、優れたゲインフラットネスおよびノイズ性能で、ゲインと帯域幅を独立にできます。一般的に、 $R_{F1}$  は  $R_{F2}$  に、 $R_{G1}$  は  $R_{G2}$  に等しく設定されるため、 $R_F/R_G$  の比によってゲインが設定されます。これらの抵抗の一致は、CMRR、DC オフセット誤差、出力バランスに大きな影響を及ぼします。目的の性能を得るために、抵抗の許容誤差は 0.1% 以下を推奨します。このアンプは補償回路を内蔵し、PCB レイアウトや負荷抵抗に依存しますが、 $R_F$  の値が  $200\Omega$  で最適なゲインフラットネスが得られます。

出力同相電圧は、 $V_{CM}$  ピンにより  $1V/V$  の固定ゲインで設定されます。このピンは低インピーダンスのリファレンス電圧で駆動され、 $0.1\mu F$  のセラミックコンデンサでグラウンドにバイパスする必要があります。 $V_{CM}$  ピンへの不要な信号カップリングはすべて出力に渡されるため、アンプの性能が低下します。

LMH6554 は、 $V^-$  を接地した  $V^+$  に接続された  $5V$  単一電源、または  $V^+ = +2.5V$  および  $V^- = -2.5V$  の分割電源動作に構成できます。ゲインによっては  $5V$  単一電源での動作が同相入力範囲によって制限されるため、AC 結合が必要になることがあります。分割電源により、はるかに制限が少ない AC および DC 結合動作が可能になり、最適な歪み性能が得られます。

## 7.2 代表的なアプリケーション

### 7.2.1 シングルエンド入力差動出力動作

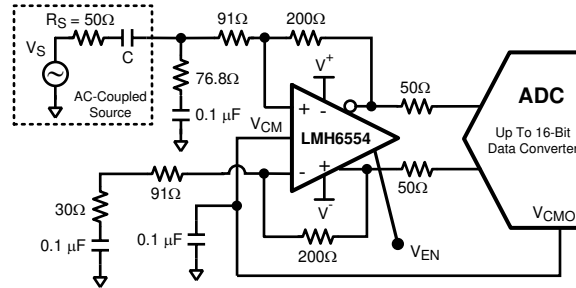


図 7-1. シングルエンド入力差動出力回路図

#### 7.2.1.1 設計要件

LMH6554 の代表的なアプリケーションの 1 つは、図 7-1 に示すように ADC を駆動することです。以下の設計は、入力インピーダンスが 50Ω、出力インピーダンスが 100Ω のシングルエンドから差動への回路です。アンプの VCM 電圧は、ADC のリファレンス電圧と同じ電圧 (通常は 1.2V) に設定する必要があります。図 7-3 に、外部抵抗の値を設定するために必要な設計の式を示します。この設計では、75MHz でゲイン 2 と -96dBc THD も必要です。

#### 7.2.1.2 詳細な設計手順

図 7-3 の回路の入力インピーダンスを指定されたソース抵抗 RS と一致させるには、 $R_T \parallel R_{IN} = R_S$  である必要があります。シングル差動動作における RIN と AV を支配する方程式も図 7-3 に示します。これらの式は、ソース マッチング条件とともに、適切な入力の終端で目標ゲインを実現するために、繰り返し解く必要があります。50Ω 環境でのいくつかの一般的なゲイン構成の部品値を表 7-1 に示します。

##### 7.2.1.2.1 イネーブル/ ディスエーブル動作

LMH6554 は、未使用時に消費電力を低減するためにイネーブルピン (VEN) を備えています。VEN ピンが駆動されていないときは、High (オン) にフローティングします。VEN ピンを Low にすると、アンプが無効化され、アンプの出力段がハイインピーダンス状態になるため、帰還抵抗とゲイン設定抵抗によって回路の出力インピーダンスが決定されます。このような理由でディスエーブル状態では入出力間の分離度が低下するため、このデバイスは出力がすべて結線されているマルチプレクサ アプリケーションには推奨できません。

V+ と V- に 5V の差がある場合、図 7-2 に示すように、VEN スレッショルドは電源間で 1/2 になります (例: 5V 単一電源で 2.5V)。R2 は VEN がフローティングのときにアクティブ (イネーブル) モードを維持し、R1 は入力電流制限を行います。VEN には、いずれかの電源に接続された ESD ダイオードもあります。

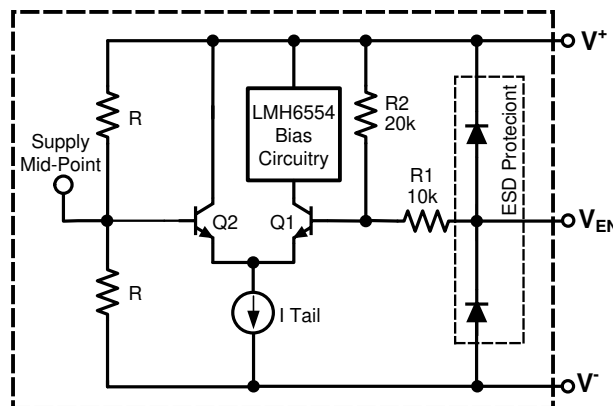


図 7-2. イネーブル ブロック図

### 7.2.1.2.2 シングルエンド入力差動出力動作

多くのアプリケーションでは、シングル エンド ソースから差動入力 ADC を駆動する必要があります。従来、トランスはシングル エンドから差動への変換を行うために使用されてきましたが、これらは本質的にバンドパスであり、DC 結合アプリケーションには使用できません。LMH6554 は、DC までのシングルエンド入力・差動出力コンバータとして優れた性能を実現します。図 7-3 に、LMH6554 を使用してシングル エンド ソースから平衡差動型出力信号を生成する代表的なアプリケーション回路を示します。

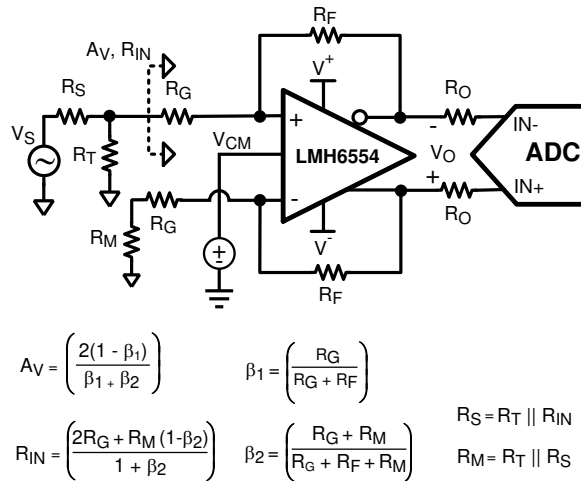


図 7-3. シングルエンド入力と差動出力

LMH6554 をシングル差動モードで使用する場合、相補出力は独自の相補入力で駆動されるのではなく、同相モード帰還回路によって駆動される出力の位相反転複製に強制的に出力されます。その結果、駆動入力に変化すると、同相モードフィードバック動作は、駆動信号に比例してアンプ入力の同相電圧を変化させます。アンプの入力段は理想的ではない同相信号除去により、出力に小さな同相モード信号が現れ、差動出力信号に重畳されます。出力同相電圧に対する出力差動電圧の変化の比率は一般に出力バランス誤差と呼ばれます。LMH6554 の出力バランス誤差の周波数に対する応答をセクション 5.6 に示します。

図 7-3 の回路の入力インピーダンスを指定されたソース抵抗  $R_S$  と一致させるには、 $R_T \parallel R_{IN} = R_S$  である必要があります。シングル差動動作における  $R_{IN}$  と  $A_v$  を支配する方程式も図 7-3 に示します。これらの式は、ソース マッチング条件とともに、適切な入力の終端で目標ゲインを実現するために、繰り返し解く必要があります。50Ω 環境でのいくつかの一般的なゲイン構成の部品値を表 7-1 に示します。

表 7-1. 50Ω システムのゲイン部品値

ゲイン	$R_F$	$R_G$	$R_T$	$R_M$
0dB	200Ω	191Ω	62Ω	27.7Ω
6dB	200Ω	91Ω	76.8Ω	30.3Ω
12dB	200Ω	35.7Ω	147Ω	37.3Ω

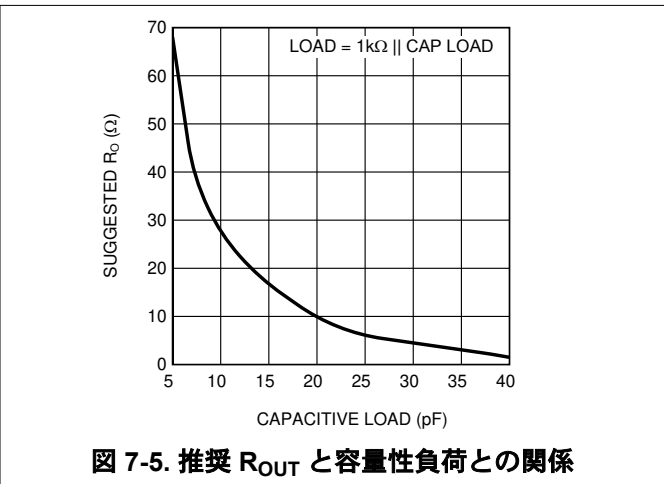
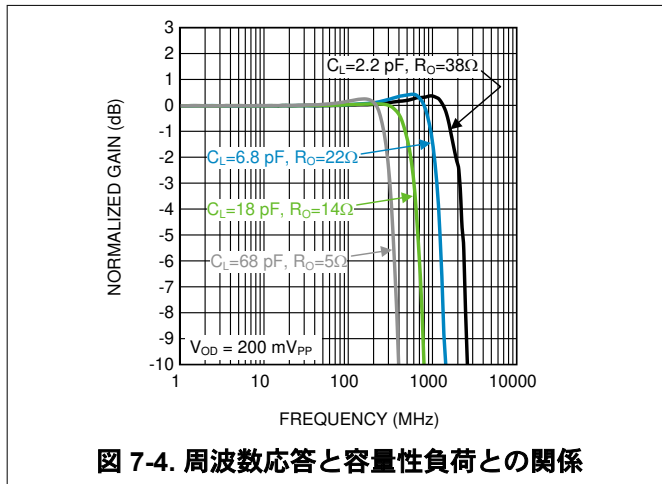
### 7.2.1.2.3 容量性負荷の駆動

すでに説明したように、容量性負荷は小さい値の抵抗を使用してアンプの出力から絶縁する必要があります。これは、負荷に 500Ω 以上の抵抗成分がある場合に特に当てはまります。標準的な ADC には約 1pF の容量成分があり、抵抗成分は 1000Ω 以上になることもあります。50Ω 同軸または 100Ω ツイストペアなどの伝送ラインを駆動する場合は、マッチング抵抗で後続の容量を絶縁できます。その他のアプリケーションについては、セクション 5.6 の図 7-5 を参照してください。

### 7.2.1.3 アプリケーション曲線

多くのアプリケーション回路には容量性負荷があります。図 7-4 に示すように、容量性負荷の増加に伴ってアンプの帯域幅が狭くなるため、寄生容量は厳密に制限する必要があります。

安定性を維持するには、容量性負荷とアンプの出力ピンの間に抵抗を追加する必要があります。図 7-5 に示すように、この抵抗の値は、容量性負荷の量に依存します。この抵抗値はあくまで目安です。目的の値を決定するには、システムテストが必要です。抵抗を小さくすると、オーバーシュートとリングングが犠牲になりますが、システムの帯域幅も大きくなります。一方、抵抗値を大きくするとオーバーシュートが低減され、システムの帯域幅も低下します。



### 7.2.2 完全差動動作

LMH6554 は、完全差動構成で最高の性能を発揮します。図 7-6 に示す回路は、代表的な完全差動アプリケーション回路であり、A/D コンバータ (ADC) の駆動に使用できます。この回路の閉ループゲインは  $A_V = V_{OUT}/V_{IN} = R_F/R_G$  で求められます。ここでは、帰還は対象です。直列出力抵抗  $R_O$  はオプションであり、容量性負荷が印加されている場合にアンプを安定させておくのに役立ちます。詳細については、セクション 7.2.1.2.3 セクションを参照してください。

ここで、図 7-6 で定義されている入力インピーダンス  $R_{IN}$  の式を示します。

$$R_{IN} = 2R_G$$

差動ソースから駆動すると、LMH6554 は低歪み、優れたバランス、同相信号除去を実現します。これは、抵抗  $R_F$ 、 $R_G$ 、 $R_O$  がよく一致し、基板レイアウトで厳密な対称性が保たれている場合に当てはまります。固有デバイス CMRR が 70dB を上回る場合、0.1% の抵抗を使用すると、ほとんどの回路で最悪のケースの CMRR は約 50dB となります。

図 7-6 に示す回路構成は、1V/V のゲインで 100Ω 環境で差動 S パラメータを測定するために使用されます。測定結果については、セクション 5.6 の図 5-24 を参照してください。

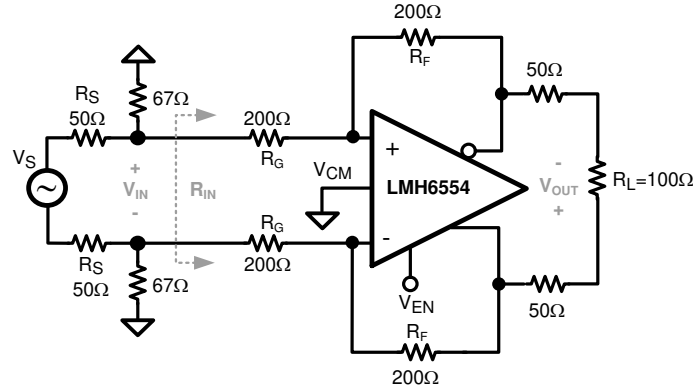


図 7-6. 差動 S パラメータ テスト回路

### 7.2.3 単一電源動作

5V 単一電源動作が可能です。ただし、すでに説明したように、入力同相モード制限を理由として、AC 入力結合を推奨します。図 7-7 に、AC 結合された単一電源、シングル差動回路の例を示します。AC 結合を行う場合、シングル差動構成または差動 / 差動構成に関係なく、両方の入力を AC 結合する必要があることに注意してください。電源電圧がより高い場合、アンプの入力と出力が規定の動作範囲内に収まるように、出力同相モードの DC レベルが十分に高く設定されていれば、入力の DC 結合が可能になる場合があります。

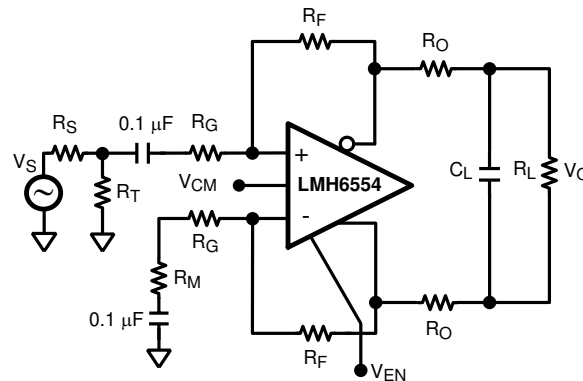


図 7-7. 単一電源動作のための AC 結合

最適な性能を得るには、+2.5V および -2.5V 電源を使用して分割電源動作を推奨しますが、最低 +2.35V、-2.35V、最高 +2.65V、-2.65V の分割電源での動作が可能です。総電源電圧が 4.7V から 5.3V の動作仕様を超えない場合、非対称電源動作も可能で、場合によっては有利です。たとえば、低消費電力のために 5V DC 結合動作が必要な場合でも、アンプの同相入力範囲によってこの動作が妨げられる場合は、(V+) および (V-) の分割電源を使用することが可能です。ここで、アプリケーションに合わせてアンプの同相入力範囲を中心として、(V+) - (V-) = 5V および V+ と V- を選択します。

### 7.2.4 A/D コンバータの駆動

A/D コンバータは、負荷条件が厳しいデバイスです。通常 A/D コンバータはハイインピーダンスの入力で多くの場合、その容量成分が大きく変動します。図 7-8 に、LMH6554 が超高速ギガサンプル ADC である ADC10D1500 を駆動する例を示します。LMH6554 の同相電圧は、ADC10D1500 によって設定されます。図 7-8 の回路には、ADC10D1500 の差動入力に対して 2 次バンドパス LC フィルタが実装されています。ADC10D1500 はデュアルチャンネル 10 ビット ADC であり、最大サンプリングレートはシングルチャンネルモードで 3GSPS、デュアルチャンネルモードで 1.5GSPS です。

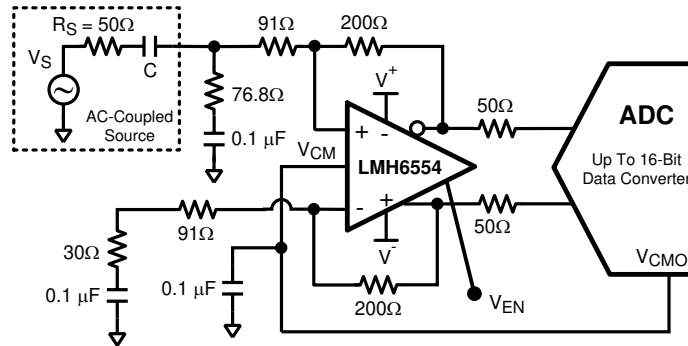


図 7-8. 10 ビット ギガヘルツ級 ADC の駆動

図 7-9 に、LMH6554 と ADC10D1500 の組み合わせ回路 (ADC 入力信号レベルが  $-1\text{dBFS}$ ) の SFDR および SNR 性能と周波数との関係を示します。LMH6554 アンプの入力における入力インピーダンスを適切に一致させるため、 $R_M$  は  $Z_S \parallel R_T$  となるように選択され、適切な入力バランスが保たれています。このアンプは、シングル差動モードで  $2V/V$  のゲインを供給するように構成されています。信号発生器から生じる高調波とノイズを低減するため、入力信号ソースとアンプとの間に外部バンドパスフィルタを直列に挿入します。

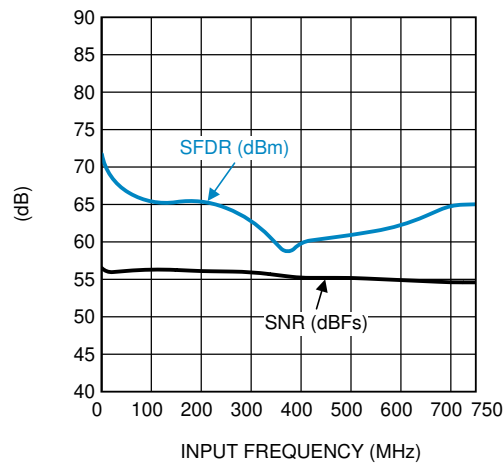


図 7-9. LMH6554/ADC10D1500 の SFDR および SNR 性能と周波数との関係

アンプと ADC は、できるだけ近くに配置します。どちらのデバイスも、フィルタ部品をデバイスの近くに配置する必要があります。アンプは出力側の寄生負荷を最小限に抑える必要があり、ADC は入力側で結合する可能性のある高周波ノイズの影響を受けやすくなります。一部の高性能 ADC の入力段では、その帯域幅がサンプルレートの数倍になっています。このサンプリング処理の結果、入力段に存在するすべての入力信号は、最初のナイキストゾーン ( $DC \sim F_s/2$ ) 内にミックスダウンされます。

### 7.2.5 出力ノイズ性能と測定

電圧帰還アーキテクチャに基づく差動アンプとは異なり、LMH6554 内部のノイズ源は入力を主に電流源と呼ぶため、入力換算電圧ノイズが低く、入力換算電流ノイズが比較的大きくなります。したがって、出力ノイズは、電圧帰還差動アンプの場合と同じく、閉ループゲインではなく帰還抵抗の値にさらに強く結合します。これにより、目的の帰還抵抗を選択するだけで、大きなノイズ性能低下を引き起こすことなく、LMH6554 をはるかに高いゲインで動作させることができます。

図 7-10 に、 $50\Omega$  のシステムで LMH6554 のノイズ指数を測定するために使用した回路構成を示します。UQFN パッケージでは、出力ノイズを最小限に抑えると同時に、高いゲイン ( $7V/V$ ) と適切な  $50\Omega$  の入力終端の両方を可能にするため、 $200\Omega$  の帰還抵抗値が選択されています。抵抗およびゲイン値の計算については、セクション 7.2.1.2.2 を参照してください。

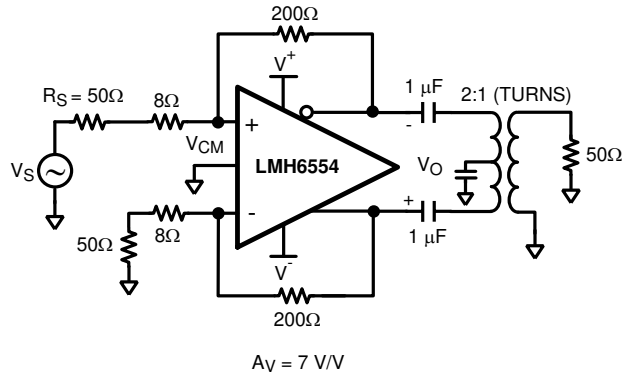


図 7-10. ノイズ指数測定用の回路構成

### 7.2.6 平衡ケーブルドライバ

最大  $5.68V_{PP}$  の差動出力電圧スイングにより、LMH6554 はケーブルドライバとして構成できます。また LMH6554 は、図 7-11 に示すように、シングルエンドソースから差動ケーブルを駆動するよう設計されています。

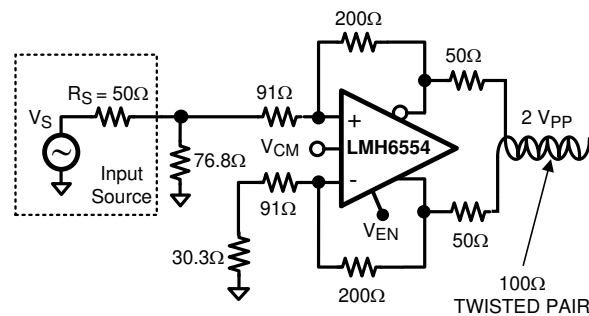


図 7-11. 完全差動ケーブルドライバ

## 7.3 電源に関する推奨事項

LMH6554 は、結合電源電圧が 4.7V ~ 5.25V である限り、正と負の電源の任意の組み合わせで使用できます。LMH6554 は、出力電圧が中電圧に設定されているとき、および総電源電圧が 5V に設定されているときに最高の性能を実現します。

セクション 7.3.1 に示すような電源バイパスは重要であり、電源レギュレーションは 5% 以内でなければなりません。

### 7.3.1 電源バイパス

LMH6554 には、図 7-12 および図 7-13 に示すように電源バイパス コンデンサが必要です。0.01 $\mu$ F および 0.1 $\mu$ F のコンデンサは、リードレスの SMT セラミック コンデンサを使用し、電源ピンから 3mm 以内に配置する必要があります。これらのコンデンサは、リターン電流の専用グランド プレーンまたはトレースを使ってスター結線し、良好な高調波歪み性能を確保してください。トレースの厚さが不足していたりスルーホール径が小さいと、バイパス コンデンサの効果が減少します。また、どちらの図も、VCM ピンおよび VEN ピンからグランドに接続されたコンデンサです。これらの入力インピーダンスが高く、外部ノイズ源がアンプに結合するパスを供給する可能性があるため、その結果ダイナミックレンジの減少、CMRR の低下、平衡特性の低下、歪率の増加の原因になる場合があります。

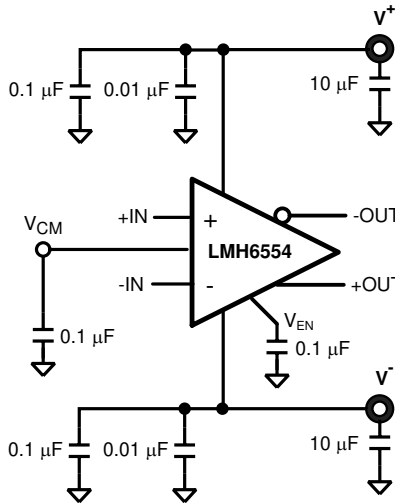


図 7-12. 両電源バイパス コンデンサ

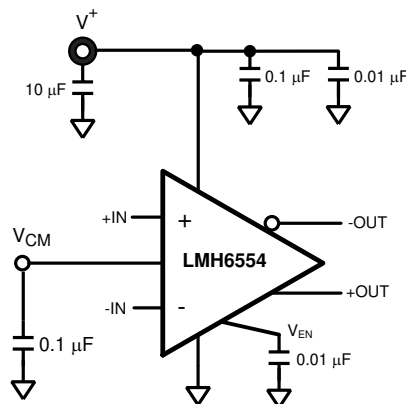


図 7-13. 単一電源バイパス コンデンサ

## 7.4 レイアウト

### 7.4.1 レイアウトのガイドライン

LMH6554 は、高速、高性能のアンプです。差動回路アーキテクチャを最大限に活用するには、基板のレイアウトと部品の選択が非常に重要です。回路基板は、低インダクタンスのグランドプレーンと十分にバイパスされた幅の広い電源ラインを備えています。外付け部品は、リードレス表面実装タイプである必要があります。帰還回路と出力マッチング抵抗は、短い配線と高精度抵抗 (0.1%) で構成する必要があります。出力マッチング抵抗は、電源バイパスコンデンサの場合と同様にアンプから 3 ~ 4mm の範囲内に配置する必要があります。バイパス回路レイアウトの推奨事項については、[セクション 7.3.1](#) を参照してください。評価ボードは、[ti.com](#) の製品フォルダから入手できます。

設計上、LMH6554 は入力寄生容量の影響を比較的受けません。一方で、高い周波数で最高の性能を得るには、アンプの下から、 $R_F$  および  $R_G$  の下からグランドおよび電源プレーンの金属を取り除く必要があります。

差動信号路においては、対称性が非常に重要です。わずかな非対称性でさえ、歪みとバランス誤差に寄与する可能性があります。

### 7.4.2 レイアウト例

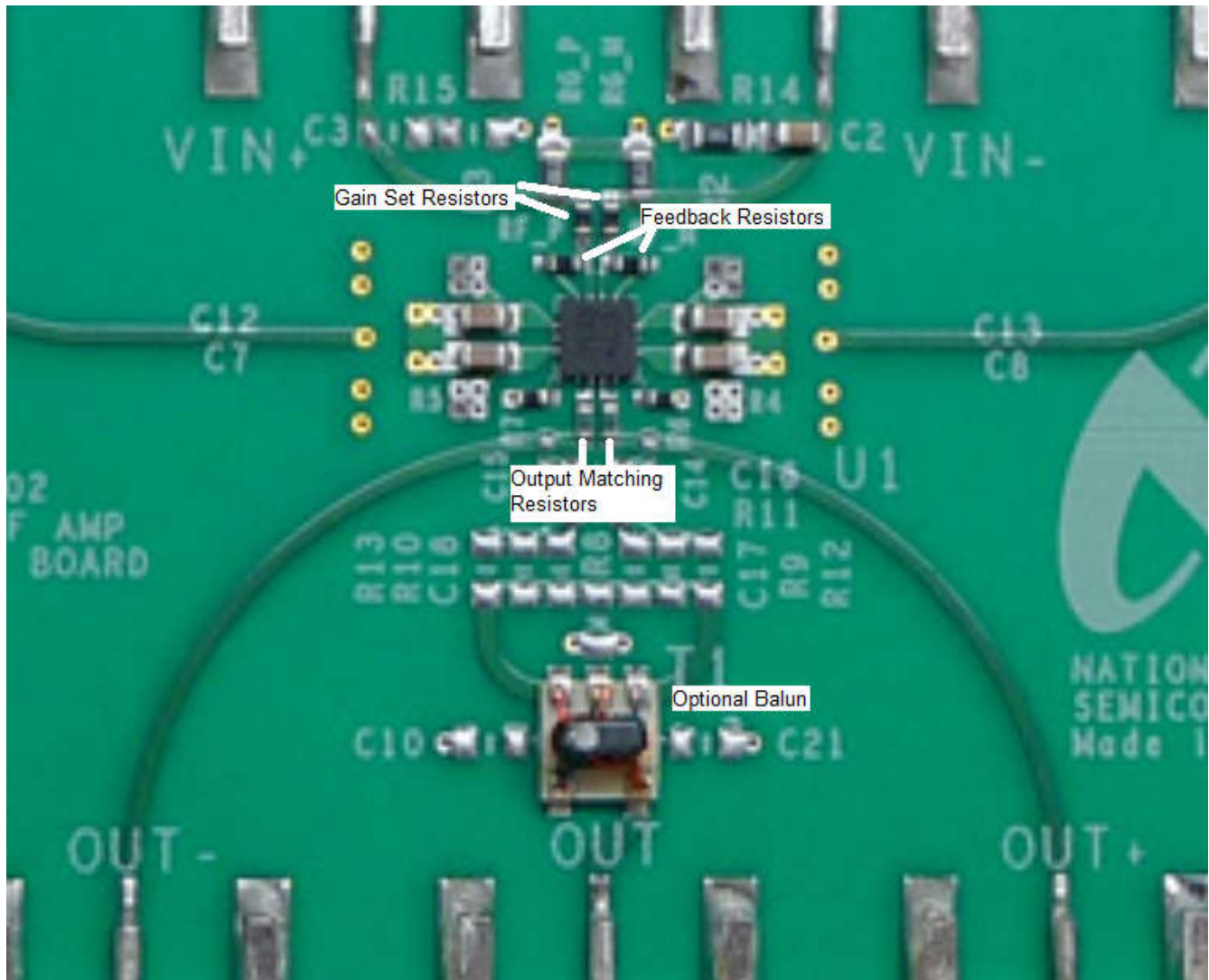


図 7-14. レイアウト回路図

### 7.4.3 消費電力

LMH6554 は最大速度と性能を実現するよう最適化されており、小型フォームファクタの 14 リード UQFN パッケージに封止されています。最大の出力駆動能力と最高の性能を確保するため、サーマルシャットダウン回路は内蔵されていません。そのため、全体的な消費電力が原因で  $T_{JMAX}$  を超えないようにすることが最も重要です。

LMH6554 の最大消費電力を決定するには、以下の手順に従います。

1. 静止 (無負荷) 電力を計算します。

$$P_{AMP} = I_{CC} * (V_S) \quad (1)$$

ここで、

- $V_S = V^+ - V^-$  ( $V_{CM}$  が中間レールでない場合は、帰還回路に電流をすべて含めるようにしてください)

2. 各出力段で消費される RMS 電力を計算します。

$$P_D (rms) = rms ((V_S - V_{+OUT}) * I_{+OUT}) + rms ((V_S - V_{-OUT}) * I_{-OUT}) \quad (2)$$

ここで、

- $V_{OUT}$  と  $I_{OUT}$  は電圧です
- 差動アンプの出力ピンで、これらがシングルエンドアンプの場合と同様に測定される電流
- $V_S$  は総電源電圧です

3. 合計 RMS 電力を計算します。

$$P_T = P_{AMP} + P_D \quad (3)$$

LMH6554 パッケージが特定の温度で消費できる最大電力は、以下の式で求められます。

$$P_{MAX} = (150^\circ - T_{AMB}) / \theta_{JA} \quad (4)$$

ここで、

- $T_{AMB}$  = 周囲温度 ( $^\circ\text{C}$ )
- $\theta_{JA}$  は与えられたパッケージの接合部周囲間熱抵抗 ( $^\circ\text{C}/\text{W}$ ) です
- 14 リードの UQFN パッケージの場合は、 $\theta_{JA}$  は  $60^\circ\text{C}/\text{W}$  です

#### 注

$V_{CM}$  が 0V でない場合、帰還回路で静止電流が流れます。この電流は熱計算に含めて、アンプの静止消費電力に加算する必要があります。

### 7.4.4 ESD 保護

LMH6554 は、すべてのピンに静電放電 (ESD) に対する保護機能を備えています。LMH6554 は人体モデルで 2000V、マシンモデルで 250V までの放電事象に対して耐圧を持っています。通常の動作では、ESD ダイオードは回路の性能に影響を与えません。ESD ダイオードが明らかな場合もあります。LMH6554 が電源オフ状態のときに大信号で駆動されると、ESD ダイオードが導通します。ESD ダイオードを流れる電流は、電源ピンを経由してチップから出るか、デバイスを通して流れるため、入力ピンに大信号が印加された状態でチップに電源を投入できます。電力を節約しながら予想外の動作を防止するには、シャットダウンモードを使用するのも 1 つの方法です。

## 8 デバイスおよびドキュメントのサポート

### 8.1 デバイス サポート

### 8.2 ドキュメントのサポート

#### 8.2.1 関連資料

評価ボードの入手方法および注文情報については、[LMH6554 製品フォルダ](#)をご覧ください。

### 8.3 商標

すべての商標は、それぞれの所有者に帰属します。

## 9 改訂履歴

### Changes from Revision P (January 2015) to Revision Q (March 2026) Page

- 電源電流と、「電気的特性:+5V」のディスエーブルのときの最大値を 570 $\mu$ A から 770 $\mu$ A に更新 ..... 4
- 電源電流と、「電気的特性:+5V」のディスエーブルのときの極端な温度を 600 $\mu$ A から 850 $\mu$ A に更新 ..... 4

### Changes from Revision O (March 2013) to Revision P (January 2015) Page

- 「ESD 定格」表、「機能説明」セクション、「デバイスの機能モード」セクション、「用途と実装」セクション、「電源に関する推奨事項」セクション、「レイアウト」セクション、「デバイスおよびドキュメントのサポート」セクション、「メカニカル、パッケージ、および注文可能情報」セクションを追加 ..... 1

### Changes from Revision N (March 2013) to Revision O (March 2013) Page

- ナショナル セミコンダクタのデータシートのレイアウトを TI の形式に変更 ..... 22

## メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

## PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">LMH6554LE/NOPB</a>	Active	Production	UQFN (NHJ)   14	1000   SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	AJA
LMH6554LE/NOPB.A	Active	Production	UQFN (NHJ)   14	1000   SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	AJA
<a href="#">LMH6554LEE/NOPB</a>	Active	Production	UQFN (NHJ)   14	250   SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	AJA
LMH6554LEE/NOPB.A	Active	Production	UQFN (NHJ)   14	250   SMALL T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	AJA
<a href="#">LMH6554LEX/NOPB</a>	Active	Production	UQFN (NHJ)   14	4500   LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	AJA
LMH6554LEX/NOPB.A	Active	Production	UQFN (NHJ)   14	4500   LARGE T&R	Yes	SN	Level-3-260C-168 HR	-40 to 125	AJA

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



**TAPE AND REEL INFORMATION**

**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**


\*All dimensions are nominal

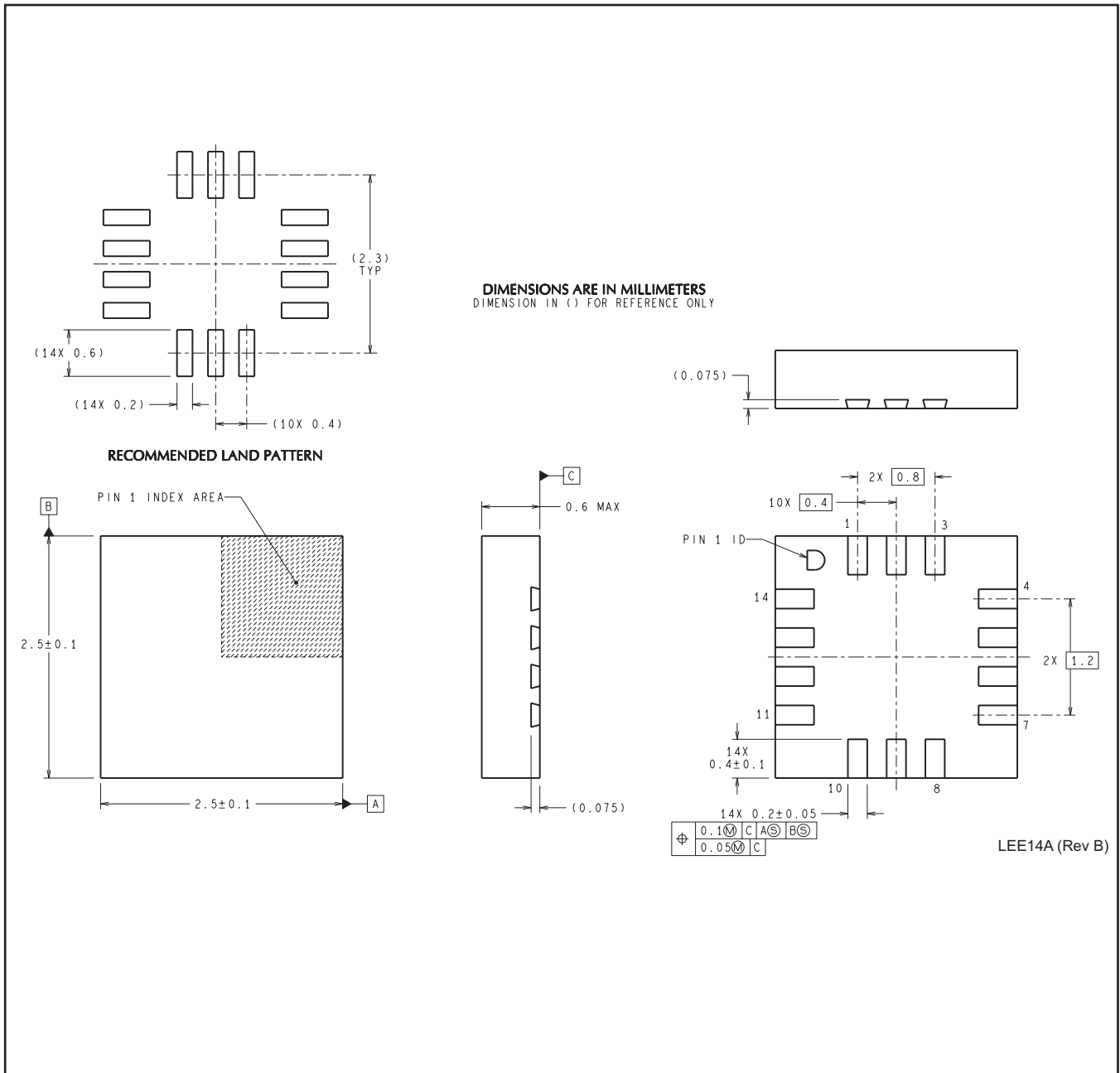
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMH6554LE/NOPB	UQFN	NHJ	14	1000	177.8	12.4	2.8	2.8	1.0	8.0	12.0	Q1
LMH6554LEE/NOPB	UQFN	NHJ	14	250	177.8	12.4	2.8	2.8	1.0	8.0	12.0	Q1
LMH6554LEX/NOPB	UQFN	NHJ	14	4500	330.0	12.4	2.8	2.8	1.0	8.0	12.0	Q1

**TAPE AND REEL BOX DIMENSIONS**


\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMH6554LE/NOPB	UQFN	NHJ	14	1000	208.0	191.0	35.0
LMH6554LEE/NOPB	UQFN	NHJ	14	250	208.0	191.0	35.0
LMH6554LEX/NOPB	UQFN	NHJ	14	4500	356.0	356.0	36.0

NHJ0014A



## 重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日 : 2025 年 10 月