LMK3C0105-Q1 リファレンスレス、5 LVCMOS 出力、プログラマブル BAW クロックジェネレータ

1 特長

- 車載アプリケーション向けに AEC-Q100 グレード 2 認定済み
- 周囲温度:–40℃～105℃
- 機能安全対応:
  - 機能安全システムの設計に役立つ資料を利用可能
- BAW 共振器を内蔵、外部リファレンスは不要
- フレキシブルな周波数生成:
  - 1.8V/2.5V/3.3V の LVCMOS 出力を 200MHz までサポート
  - デュアル フラクショナル出力分周器 (FOD)
  - 2.5MHz ～ 200MHz の最大 3 つの異なる出力周波数
    - 例:OUTA/B/C/D/E = 25MHz
    - 例:OUTA/B = 100MHz、OUTC/D = 50MHz、OUTE = 25MHz
  - OUTA ピン経由で最大 5 つの LVCMOS クロックを OUTA に生成
- 総出力周波数安定性:±25ppm
- 2 つの機能モード:I2C または事前にプログラムされた OTP
- SSC 出力と非 SSC 出力の混合をサポート
- プログラム可能な SSC 変調深度
  - 事前プログラム済み:–0.1%、–0.25%,、–0.3% および -0.5% のダウン スプレッド
  - 抵抗によるプログラミングが可能:-0.1%～-3% のダウン スプレッド、または ±0.05%～±1.5% のセンター スプレッド
- 電源電圧:1.8V～3.3V
- スタートアップ時間:<5ms
- 出力スキュー:50ps 未満 (同じ FOD からの出力)
- フェイルセーフ 入力および VDD ピン

2 アプリケーション

- 水晶振動子の代替 (最大 5 つのシングルエンド クロック)
- ASIC、FPGA、MCU のリファレンス クロック供給
- 先進運転支援システム (ADAS)
- 高性能コンピューティング
- ヘッド ユニット / デジタル コックピット
- 自動車向けインストルメント クラスタ

3 説明

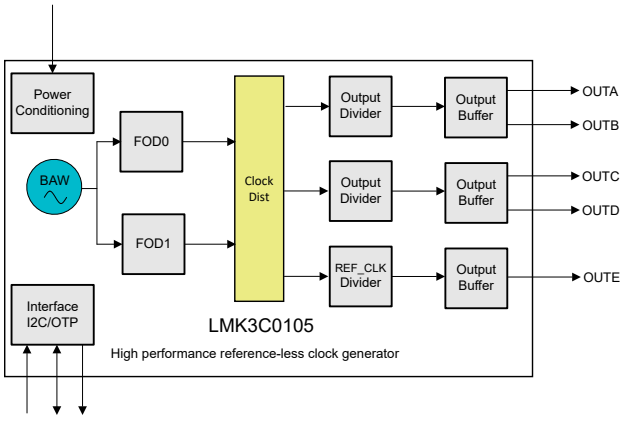
LMK3C0105-Q1 は、SSC 対応の 5 出力リファレンスレス クロック ジェネレータです。このデバイスは、テキサス・インスツルメンツ独自のバルク弾性波 (BAW) 技術に基づいており、水晶振動子や外部クロック リファレンスを用いることなく、±25ppm のクロック出力を供給します。このデバイスは、5 つの SSC クロック、5 つの非 SSC クロック、または SSC クロックと非 SSC クロックのミックスを同時に供給できます。5 つの出力に対して、最大 3 つの異なる出力周波数を生成できます。各出力チャネルは、いずれかの FOD を周波数ソースとして選択し、4 つの LVCMOS クロックを生成できます。REF_CTRL ピンは 5 番目の LVCMOS クロック出力として機能し、いずれかの FOD をソースとして選択できます。

このデバイスは、ピンや I^2C インターフェイスを介して簡単に構成できます。デバイスへの電力供給には、外付けの DC/DC 回路を使用できます。電源のフィルタ処理と DC/DC 回路からの電源供給に関する詳細なガイドラインについては、*「電源に関する推奨事項」*を参照してください。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
LMK3C0105-Q1	RGT (VQFN、16)	3.0mm × 3.0mm

(1) 詳細については、セクション 12 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略ブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....5
5.1 絶対最大定格.....5
5.2 ESD 定格.....5
5.3 推奨動作条件.....5
5.4 熱に関する情報.....5
5.5 電気的特性.....6
5.6 I2C インターフェイス仕様.....9
6 パラメータ測定情報.....10
6.1 出力フォーマットの構成.....10
7 詳細説明.....10
7.1 概要.....10
7.2 機能ブロック図.....11
7.3 機能説明.....11
7.4 デバイスの機能モード.....16
7.5 プログラミング.....22
8 デバイスのレジスタ.....25
8.1 レジスタマップ.....25
9 アプリケーションと実装.....33
9.1 アプリケーション情報.....33
9.2 代表的なアプリケーション.....33
9.3 電源に関する推奨事項.....41
9.4 レイアウト.....42
10 デバイスおよびドキュメントのサポート.....43
10.1 ドキュメントのサポート.....43
10.2 ドキュメントの更新通知を受け取る方法.....43
10.3 サポート・リソース.....43
10.4 商標.....43
10.5 静電気放電に関する注意事項.....43
10.6 用語集.....43
11 改訂履歴.....43
12 メカニカル、パッケージ、および注文情報.....44

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

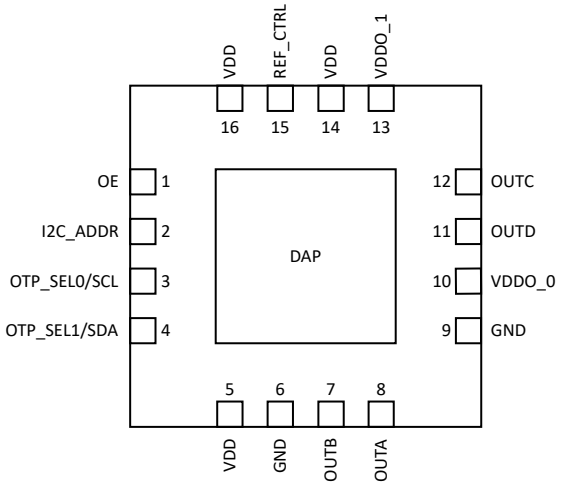


図 4-1. LMK3C0105-Q1 16 ピン VQFN 上面図

表 4-1. ピンの機能

ピン		タイプ(1)	説明
名称	番号		
OUTA	8	O	LVCMOS クロック 出力。1.8V/2.5V/3.3V LVCMOS をサポート。
OUTB	7		
OUTC	12		
OUTD	11		
REF_CTRL (OUTE)	15	I/O	多機能ピン。パワーアップ時、このピンの状態がラッチされて、ピン 2、ピン 3、ピン 4 の機能が選択されます。パワーアップ前、I2C モードの場合は Low にし、OTP モードの場合は High にします。パワーアップ後、このピンは、追加の LVCMOS 出力 (OUTE)、アクティブ High の CLK_READY 信号 (デフォルト)、またはディスエーブルとしてプログラムできます。 詳細については、「REF_CTRL の動作」を参照してください。 このピンには、880kΩ の内部プルダウン抵抗があります。
OE	1	I	グローバル出力イネーブル。アクティブ Low。2 ステート ロジック入力ピン 。 このピンには、内部に DGND への 75kΩ プルダウン抵抗があります。 詳細については、「出力イネーブル」を参照してください。 • Low: 出力がイネーブルになります • High: 出力はディセーブルされます
I2C_ADDR	2	I	このピン (I2C モード) を使って、電源オン時に 4 つのオプションのいずれかから I2C アドレスを設定できます。詳細については、I2C モードを参照してください。 このピンには、内部に DGND への 75kΩ プルダウン抵抗があります。 • I2C モード:このピンは、I2C アドレスを選択します。
OTP_SEL0/SCL	3	I、I/O	多機能ピン。機能は、パワーアップ時に REF_CTRL (ピン 15) によって決定されます。詳細については、「OTP モード」と「I2C モード」を参照してください。 • I2C モード:これらのピンは、I2C クロックとデータの接続です。 • OTP モード:これらのピンは OTP ページを選択します。
OTP_SEL1/SDA	4		
VDD	5、14、16	P	1.8V、2.5V、または 3.3V のデバイス電源。0.1µF コンデンサは、このピンのできるだけ近くに配置する必要があります。

表 4-1. ピンの機能 (続き)

ピン		タイプ(1)	説明
名称	番号		
VDDO_0	10	P	1.8V、2.5V、または 3.3V の OUTA と OUTB 電源。VDD が 1.8V または 2.5V の場合、VDDO ピンは VDD と同じ電圧でなければなりません。0.1µF コンデンサは、このピンのできるだけ近くに配置する必要があります。分割電源を使用する場合の適切な実装については、パワーアップ シーケンシング を参照してください。
VDDO_1	13	P	1.8V、2.5V、または 3.3V の OUTC と OUTD 電源。VDD が 1.8V または 2.5V の場合、VDDO ピンは VDD と同じ電圧でなければなりません。0.1µF コンデンサは、このピンのできるだけ近くに配置する必要があります。分割電源を使用する場合の適切な実装については、パワーアップ シーケンシング を参照してください。
GND	6、9	G	グランドに接続します。
DAP	17	G	サーマル GND。DAP はデバイス内の電気的 GND に接続されて**いないため**、サーマル GND にのみ使用されます。複数のビアを使用して内部 GND 層に接続します。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
V_{DD}	デバイス電源電圧	-0.3	3.9	V
V_{DDO}	出力電源電圧	-0.3	3.9	V
V_{IN}	ロジック入力電圧 (V_{DD} = V_{DDO} = –0.3V～3.465V)	-0.3	3.465	V
V_{OUT}	OUTx_P ピンと OUTx_N ピンに印加される電圧 (出力が High または Low の場合)	-0.3	V_{DDO_x} + 0.3	V
	OUTx_P ピンと OUTx_N ピンに印加される電圧 (出力が LVCMOS トライステートの場合)	-0.3	1.89	V
T_J	接合部温度		125	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、AEC Q100-002、HBM ESD 分類レベル 2 準拠 (1)	±2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 CDM ESD 分類レベル C4A 準拠 (1)	±750	V

(1) AEC Q100-002 は、HBM ストレス試験を ANSI / ESDA / JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

5.3 推奨動作条件

V_{DD} = V_{DDO} = 1.8V、2.5V、または 3.3V ± 5%、T_A = $T_{A,min}$～$T_{A,max}$

		最小値	公称値	最大値	単位
V_{DD}	デバイス電源電圧	1.71	1.8	1.89	V
		2.375	2.5	2.625	V
		3.135	3.3	3.465	V
V_{DDO}	出力電源電圧	1.71	1.8	1.89	V
		2.375	2.5	2.625	V
		3.135	3.3	3.465	V
T_A	周囲温度	-40		105	°C
T_J	接合部温度	-40		125	°C
t_{ramp}	電源ランプ時間。V_{DD} = 1.8V	0.05		5	ms
t_{ramp}	電源ランプ時間。V_{DD} = 2.5V または 3.3V	0.05		5	ms

5.4 熱に関する情報

熱評価基準(1)		LMK3C0105 RGT (QFN) 16 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	48.3	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	56.3	°C/W

Copyright © 2025 Texas Instruments Incorporated

熱評価基準(1)		LMK3C0105 RGT (QFN) 16 ピン	単位
$R_{\theta JB}$	接合部から基板への熱抵抗	23.1	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	1.4	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	23.0	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	9.3	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

V_{DD} = V_{DDO} = 1.8V、2.5V、または 3.3V ± 5%、T_A = $T_{A,min}$～$T_{A,max}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
周波数安定性						
Δf_{total}	総合的な周波数安定性	温度変化、10 年の経年劣化、半田付けによる変動、ヒステリシス、初期周波数精度など、すべての要因を含む	-25		25	ppm
LVCMOS クロック 出力特性						
f_{out}	出力周波数		2.5		200	MHz
dV/dt	出力スルーレート	V_{DDO} = 3.3V ± 5%、20%～80% で測定、負荷 4.7pF	2.6		4.7	V/ns
		V_{DDO} = 2.5V ± 5%、20%～80% で測定、負荷 4.7pF	2.6		3.7	V/ns
		V_{DDO} = 1.8V ± 5%、20%～80% で測定、負荷 4.7pF	1.5		3.2	V/ns
V_{OH}	出力 HIGH 電圧	I_{OH} = –15mA、3.3V 時	0.8 x V_{DDO}		V_{DDO}	V
		I_{OH} = –12mA、2.5V 時				
		I_{OH} = –8mA、1.8V 時				
V_{OL}	出力 LOW 電圧	I_{OL} = 15mA 、3.3V 時			0.4	V
		I_{OL} = 12mA 、2.5V 時				
		I_{OL} = 8mA 、1.8V 時				
I_{leak}	出力リーク電流	トライステート出力。V_{DD} = V_{DDO} = 3.465V	-5	0	5	µA
R_{out}	出力インピーダンス			17		Ω
ODC	出力デューティ サイクル	f_{out} ≤ 156.25MHz	45		55	%
		f_{out} > 156.25MHz	40		60	%
t_{skew}	出力間スキュー	同じ FOD、LVCMOS 出力			50	ps
C_{load}	最大負荷容量				15	pF
LVCMOS REFCLK 特性						
f_{out}	出力周波数	(1) を参照	12.5(2)		200	MHz
dV/dt	出力スルーレート	V_{DDO} = 3.3V ± 5%、20%～80% で測定、負荷 4.7pF(1)	2.6		6.7	V/ns
		V_{DDO} = 2.5V ± 5%、20%～80% で測定、負荷 4.7pF (1) (4)	1.8		4.5	V/ns
		V_{DDO} = 1.8V ± 5%、20%～80% で測定、負荷 4.7pF (1) (4)	1		3.2	V/ns
I_{leak}	出力リーク電流	トライステート出力。V_{DD} = V_{DDO} = 3.465V (1) (4)	-5		5	µA
R_{out}	出力インピーダンス			17		Ω

Copyright © 2025 Texas Instruments Incorporated

V_{DD} = V_{DDO} = 1.8V、2.5V、または 3.3V ± 5%、T_A = $T_{A,min}$～$T_{A,max}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
ODC	出力デューティ サイクル	f_{out} ≤ 156.25MHz (1)	45		55	%
ODC	出力デューティ サイクル	f_{out} > 156.25MHz (1)	40		60	%
C_{load}	最大負荷容量	(1) を参照			15	pF
RJ	ランダム ジッタ	50MHz での 12kHz～20MHz の総合ジッタ (1)			0.5	ps
SSC 特性						
f_{out}	SSC をサポートする出力周波数範囲 (任意の出力フォーマット)		2.5		200	MHz
f_{SSC}	SSC 変調周波数		30	31.5	33	kHz
$f_{SSC-deviation}$	SSC 偏差 (変調深度)	ダウン スプレッド (プログラマブル)	-3		-0.1	%
		センター スプレッド (プログラマブル)	±0.05		±1.5	%
$f_{SSC-deviation-accuracy}$	SSC 偏差精度	f_{out} ≤ 100MHz、ダウン スプレッド	0		0.01	%
		100MHz < f_{out} ≤ 200MHz、ダウン スプレッド	0		0.05	%
		f_{out} ≤ 100MHz、センター スプレッド	0		0.01	%
		100MHz < f_{out} ≤ 200MHz、センター スプレッド	0		0.05	%
df/dt	SSC 最大周波数スルーレート	0 < $f_{SSC-deviation}$ ≤ –0.5%			1250	ppm/µs
タイミング特性						
$t_{startup}$	起動時間	V_{DD} = 2.5V または 3.3V。すべての V_{DD} ピンが 2.1V に達してから最初の出力クロックの立ち上がりエッジまでの経過時間。出力クロックは常に仕様の範囲内です。			1	ms
		V_{DD} = 1.8V。すべての V_{DD} ピンが 1.6V に達してから最初の出力クロックの立ち上がりエッジまでの経過時間。出力クロックは常に仕様の範囲内です。			1.5	ms
t_{OE}	出力イネーブル時間	CLOCK_READY ステータスが 1 になった後、OE アサートから最初の出力クロックの立ち上がりエッジまでの経過時間。ディスエーブル時には出力はトライステートされません。			7	出力クロック サイクル
t_{OD}	出力ディスエーブル時間	OE デアサートから最後の出力クロックの立ち下がりエッジまでの経過時間。			7	出力クロック サイクル
消費電力特性						
I_{DD}	コア電源電流、出力ドライバは含まない	1 つの FOD がイネーブル、100MHz ≤ f_{FOD} ≤ 200MHz		57.5	79.9	mA
		1 つの FOD がイネーブル、200MHz < f_{FOD} ≤ 400MHz		67	90.7	mA
		2 つの FOD がイネーブル、100MHz ≤ f_{FOD} ≤ 200MHz		81.1	105.8	mA
		2 つの FOD がイネーブル、200MHz < f_{FOD} ≤ 400MHz		97.8	125.8	mA
I_{DDO}	出力チャネルごとの出力電源電流	1.8V LVCMOS。f_{out} = 50MHz (3)		4.2	5	mA
		1.8V LVCMOS。f_{out} = 200MHz (3)		11.7	13.4	mA
		2.5V LVCMOS。f_{out} = 50MHz (3)		5.6	6.4	mA
		2.5V LVCMOS。f_{out} = 200MHz (3)		15.3	17.3	mA
		3.3V LVCMOS。f_{out} = 50MHz (3)		6.8	7.7	mA
		3.3V LVCMOS。f_{out} = 200MHz (3)		19.2	21.7	mA

Copyright © 2025 Texas Instruments Incorporated

V_{DD} = V_{DDO} = 1.8V、2.5V、または 3.3V ± 5%、T_A = $T_{A,min}$～$T_{A,max}$

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{DDREF}	REFCLK 電源電流	1.8V LVCMOS、f_{out} = 50MHz(3)		3.4	3.9	mA
		1.8V LVCMOS、f_{out} = 200MHz(3)		9.5	11.7	mA
		2.5V LVCMOS、f_{out} = 50MHz(3)		4.7	5.3	mA
		2.5V LVCMOS、f_{out} = 200MHz(3)		12.8	15.8	mA
		3.3V LVCMOS、f_{out} = 50MHz(3)		5.9	6.6	mA
		3.3V LVCMOS、f_{out} = 200MHz(3)		16.6	20.2	mA
PSNR 特性						
$PSNR_{LVCMOS}$	LVCMOS 出力の電源ノイズ除去 (4)	10kHz		-76.7	-58.1	dBc
		50kHz		-80.9	-57.9	dBc
		100kHz		-81.8	-57	dBc
		500kHz		-84.3	-61.7	dBc
		1MHz		-97.6	-78.1	dBc
		5MHz		-104.3	-79	dBc
		10MHz		-108.7	-89.5	dBc
2 ステート ロジック入力特性						
$V_{IH-Pin2}$	ピン 2 の入力 High 電圧		0.7 × V_{DD}		V_{DD} + 0.3	V
$V_{IL-Pin2}$	ピン 2 の入力 Low 電圧		GND - 0.3		0.3 × V_{DD}	V
$V_{IH-Pin1}$	ピン 1 の入力 High 電圧		1.15		V_{DD} + 0.3	V
$V_{IL-Pin1}$	ピン 1 の入力 Low 電圧		-0.3		0.65	V
$V_{IH-Pin3,4}$	OTP_SEL[1:0] の入力 High 電圧		0.7 × V_{DD}		V_{DD} + 0.3	V
$V_{IL-Pin3,4}$	OTP_SEL[1:0] の入力 Low 電圧		GND - 0.3		0.8	V
$V_{IH-Pin15}$	ピン 15 の入力 High 電圧		0.65 × V_{DD}		V_{DD} + 0.3	V
$V_{IL-Pin15}$	ピン 15 の入力 Low 電圧		-0.3		0.4	V
$R_{ext-up/down-Pin1,2}$	ピン 1、2 の推奨外部プルアップ抵抗またはプルダウン抵抗		0	1	10	kΩ
$R_{ext-up/down-Pin3,4.15}$	ピン 3、4、15 の推奨外部プルアップ抵抗またはプルダウン抵抗		0	10	60	kΩ
t_R/t_F	OE 信号の立ち上がり時間または立ち下がり時間				10	ns
C_{in}	入力容量				3	pF

(1) 10kΩ 外部プルアップ抵抗またはプルダウン抵抗でテスト
(2) REFCLK は FOD0 または FOD1 のどちらからでも /2、/4、/8 に設定できます。どちらの FOD も 100～400MHz をサポートしています。
(3) 5 インチのパターンで 4.7pF の容量性負荷
(4) 電源ピンはすべて接続されています。0.1µF コンデンサは各電源ピンの近くに配置されています。50mVpp のリップルを印加し、クロック出力でスプリアス レベルを測定します。

Copyright © 2025 Texas Instruments Incorporated

5.6 I²C インターフェイス仕様

すべてのタイミング要件は、V_{IH-min} と V_{IL-max} を基準としています。チップの V_{DD} = I²C V_{DD} となります。

パラメータ		テスト条件	スタンダード モード		ファスト モード		単位
			最小値	最大値	最小値	最大値	
V_{IL}	入力 Low 電圧		-0.3	0.3 × V_{DD}	-0.3	0.3 × V_{DD}	V
V_{IH}	入力 High 電圧		0.7 × V_{DD}	V_{DD} + 0.3	0.7 × V_{DD}	V_{DD} + 0.3	V
V_{hys}	シュミット トリガ入力のヒステリシス				0.05 × V_{DD}		V
V_{OL1}	Low レベル出力電圧 1	3mA のシンク電流の場合 V_{DD} > 2V	0	0.4	0	0.4	V
V_{OL2}	Low レベル出力電圧 2	2mA のシンク電流の場合 V_{DD} ≤ 2V			0	0.2 × V_{DD}	V
I_{OL}	Low レベル出力電流	V_{OL} = 0.4 V	3		3		mA
		V_{OL} = 0.6 V			6		mA
t_{OF}	VIHmin から VILmax への出力立ち下がり時間			250	20 × (V_{DD} / 5.5 V)	250	ns
t_{SP}	入力フィルタにより抑制されるスパイクのパルス幅				0	50	ns
I_i	各 I/O ピンの入力電流	0.1 × V_{DD} < V_{IN} < 0.9 × V_{DDmax}	-10	10	-10	10	µA
C_i	各 I/O ピンの静電容量			10		10	pF
f_{SCL}	SCL クロック周波数		0	100	0	400	kHz
t_{HD-STA}	(繰り返し) START 条件のホールド時間	この時間が経過すると、最初のクロック パルスが生成されます	4		0.6		µs
tlow	SCL クロックの Low 期間		4.7		1.3		µs
thigh	SCL クロックの High 期間		4		0.6		µs
t_{SU-STA}	繰り返し START 条件のセットアップ時間		4.7		0.6		µs
t_{HD-DAT}	データ ホールド時間	I²C バス デバイス	0		0		µs
t_{SU-DAT}	データ セットアップ時間		0.25		0.1		µs
t_R	SDA 信号と SCL 信号の両方の立ち上がり時間 (1)			300	20	300	ns
t_F	SDA 信号と SCL 信号の両方の立ち下がり時間 (1)			300	20 × (V_{DD} / 5.5 V)	300	ns
t_{SU-STO}	STOP 条件のセットアップ時間		4		0.6		µs
t_{BUF}	STOP 条件と START 条件の間のバス フリー時間		4.7		1.3		µs
C_B	各バス ラインの容量性負荷			400		400	pF
t_{VD-DAT}	データ有効時間			3.45		0.9	µs
t_{VD-ACK}	データ有効アクノリッジ時間			3.45		0.9	µs
V_{NL}	Low レベルでのノイズ マージン	ヒステリシスを含む、接続された各デバイスについて	0.1 × V_{DD}		0.1 × V_{DD}		V
V_{NH}	High レベルでのノイズ マージン	ヒステリシスを含む、接続された各デバイスについて	0.2 × V_{DD}		0.2 × V_{DD}		V

Copyright © 2025 Texas Instruments Incorporated

6 パラメータ測定情報

6.1 出力フォーマットの構成

LMK3C0105-Q1 の LVCMOS フォーマット オプションの特性テストの設定について説明します。

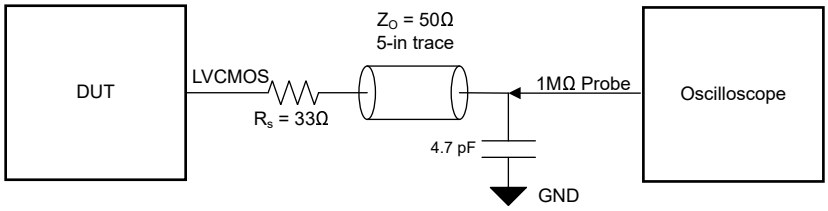


図 6-1. デバイス テスト時の LVCMOS 出力の構成

7 詳細説明

7.1 概要

LMK3C0105-Q1 は、主に LVCMOS のクロック生成に使用される 5 チャネル クロック ジェネレータで、拡散スペクトラム クロック処理 (SSC) を用いる場合でも用いない場合でも対応できます。このデバイスにはバルク弾性波 (BAW) 共振器が内蔵されており、外部水晶振動子やクロック リファレンスは必要ありません。このデバイスには、OTP ページと呼ばれる 4 つの選択可能なメモリ ページがあります。メモリ内にあるこれらのページの集合は EFUSE と呼ばれます。

デフォルトの出力構成は、同位相の 25MHz LVCMOS クロック 4 系統に加え、もう 1 系統の 25MHz LVCMOS クロックで構成されており、すべてが起動時に有効化されます。LMK3C0105-Q1 は、200MHz までのプログラム可能な出力周波数をサポートします。LMK3C0105-Q1V3 は、3.3V の電源電圧のデフォルト構成の型番です。LMK3C0105-Q1V1 は、1.8V の電源電圧のデフォルト構成の型番です。追加の構成の型番は LMK3C0105-Q1Axxx で、xxx は構成番号を示します。

LMK3C0105-Q1 は、パワーアップ時に REF_CTRL ピンで決定される 2 つの機能モードをサポートしています。ワンタイム プログラミング (OTP) モードと I^2C モードです。

1. OTP モードでは、OTP_SEL0 ピンと OTP_SEL1 ピンによって、4 つの OTP ページのうちの 1 つが選択されます。すべての OTP ページのデフォルトの出力周波数は 25MHz です。
2. I^2C モードでは、アクティブなレジスタを変更することで LMK3C0105-Q1 が構成されます。デフォルト動作以外の構成が求められる場合は、起動時に毎回レジスタの書き込みが必要です。

デバイス ピンの詳細な説明については、「*ピン構成および機能*」を参照してください。

LMK3C0105-Q1 には、次のような柔軟な SSC 構成が備えられています。

1. すべての出力で SSC ディスエーブル
2. いくつかの出力で SSC イネーブル
3. すべての出力で SSC イネーブル

SSC とジッタ性能の詳細については、*拡散スペクトラム クロック処理* を参照してください。

Copyright © 2025 Texas Instruments Incorporated

7.2 機能ブロック図

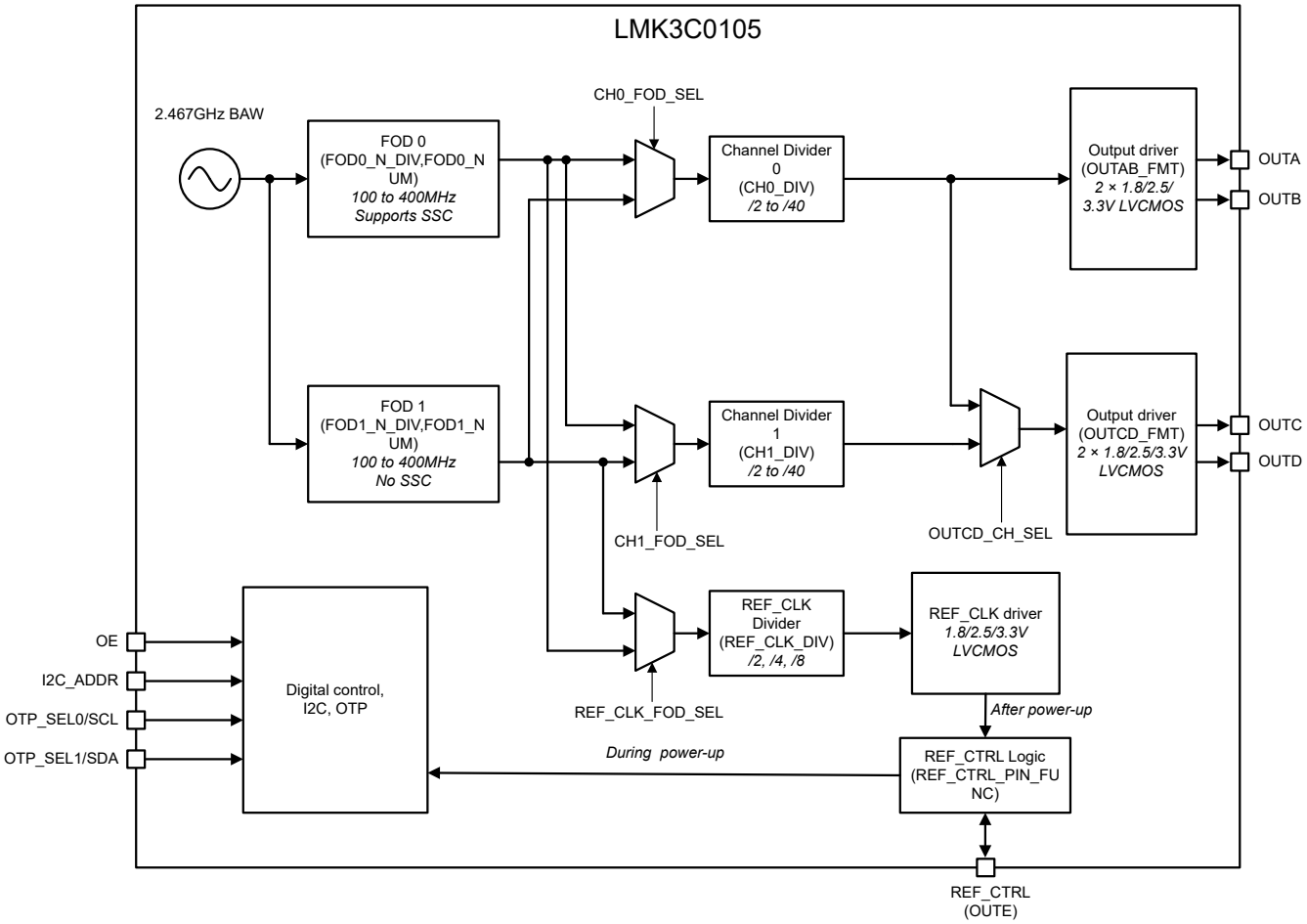


図 7-1. LMK3C0105-Q1 機能ブロック図

7.3 機能説明

7.3.1 デバイス ブロック レベルの説明

ThLMK3C0105-Q1 は、BAW 発振器を内蔵したリファレンスレス クロック ジェネレータです。BAW 周波数 (公称 2467MHz) は 2 つの分数出力分周器 (FOD) によって分周され、それぞれ 100MHz～400MHz の周波数を生成できます。各 FOD は 2 つのチャネル分周器のいずれかに配線でき、これによって FOD 周波数を分周して、2.5MHz～200MHz の周波数を生成します。VDD、OUTE に対応する電圧の追加の LVCMOS クロックは、オプションとして REF_CTRL ピンで生成できます。デフォルトでは、このピンは追加クロックとして構成されています。OUTA と OUTB は出力ドライバを共有しており、同じ周波数である必要があります。OUTC と OUTD は出力ドライバを共有しており、同じ周波数である必要があります。

7.3.2 デバイス構成の制御

図 7-2 に、デバイスの状態、構成ピン、デバイスの初期化、デバイスの動作モードの関係を示します。OTP モードは、起動時に REF_CTRL ピンが High になると開始されます。I^2C モードは、起動時に REF_CTRL ピンが Low になると開始されます。OTP モードでは、OTP_SEL0/SCL ピンと OTP_SEL1/SDA ピンの状態によって、アクティブ レジスタにロードされる OTP ページが決まります。このデバイスはワンタイム プログラマブルであり、内部 EFUSE に保存されているレジスタ設定は変更できません。REF_CTRL ピンの状態を変更して、VDD をいったん Low にしてから 再度 High にしてデバイスのパワー サイクルをトリガすると、デバイスは OTP モードから I^2C モード、またはその逆に移行できます。OTP モードでは、OTP_SEL0 ピンまたは OTP_SEL1 ピンのレベルが変化した後に REF_CTRL ピンを High にすると、アクティブ

Copyright © 2025 Texas Instruments Incorporated

な OTP ページが動的に変化します。最初に OTP_SEL ピンが変化してから REF_CTRL が High になるまでの時間は、350µs 未満でなければなりません。そうでない場合、デバイス は I2C モードに移行します。

I²C モードでは、I2C_ADDR ピンの状態によってデバイスの I²C アドレスが判定され、OTP_SEL0/SCL ピンと OTP_SEL1/SDA ピンはそれぞれ I²C クロック ピンとデータ ピンとして転用されます。I²C モードでは、ホストはアクティブなデバイス レジスタを更新できます。プログラムされた構成とは異なる構成を使用する場合、各パワー サイクルの後にレジスタを書き込む必要があります。

PDN ビット (R10[1]) を 1 に設定すると、デバイスを低消費電力状態にできます。PDN ビットをクリアすると、デバイスは低消費電力状態から復帰します。DEV_IDLE_STATE_SEL ビット (R10[4]) が 0 で、出力がディスエーブルの場合、デバイスは低消費電力状態に移行します。低消費電力状態への移行は、チャネル 0 で使用される FOD の周波数の変更、SSC 構成の変更、出力フォーマットの変更を行うために必要です。テキサス・インスツルメンツでは、この低消費電力状態でのレジスタへの書き込みを推奨しています。OTP_AUTOLOAD_DIS (R10[2]) ビットを 1 に設定し、PDN を 0 に設定する前に OTP ページ 0 が自動的にロードされないようにします。

低消費電力状態から復帰したときのデバイスの状態を判定するフィールドは 2 つあります。PIN_RESAMPLE_DIS (R10[3]) は、低消費電力状態から復帰したときに I2C_ADDR ピン、OTP_SEL0/SCL ピン、OTP_SEL1/SDA ピン、REF_CTRL ピンが再サンプリングされるかどうかを制御します。これらのピンが再サンプリングされる場合、REF_CTRL ピンが High になるとデバイスは OTP モードに移行できます。このビットを 1 に設定すると、この機能がディスエーブルになります。OTP_AUTOLOAD_DIS は、低消費電力状態から復帰するときに OTP ページ 0 の内容がデバイス レジスタにロードされるかどうかを制御します。OTP_AUTOLOAD_DIS ビットが 1 で PIN_RESAMPLE_DIS が 1 の場合、レジスタの内容は変更されません。OTP_AUTOLOAD_DIS ビットが 0 で PIN_RESAMPLE_DIS が 1 の場合、OTP ページ 0 の内容がレジスタにロードされます。PIN_RESAMPLE_DIS が 0 で、REF_CTRL が High になると、デバイスは OTP モードに移行します。この場合、OTP_SEL0/SCL および OTP_SEL1/SDA が、デバイス レジスタにロードされた OTP ページを制御します。

Copyright © 2025 Texas Instruments Incorporated

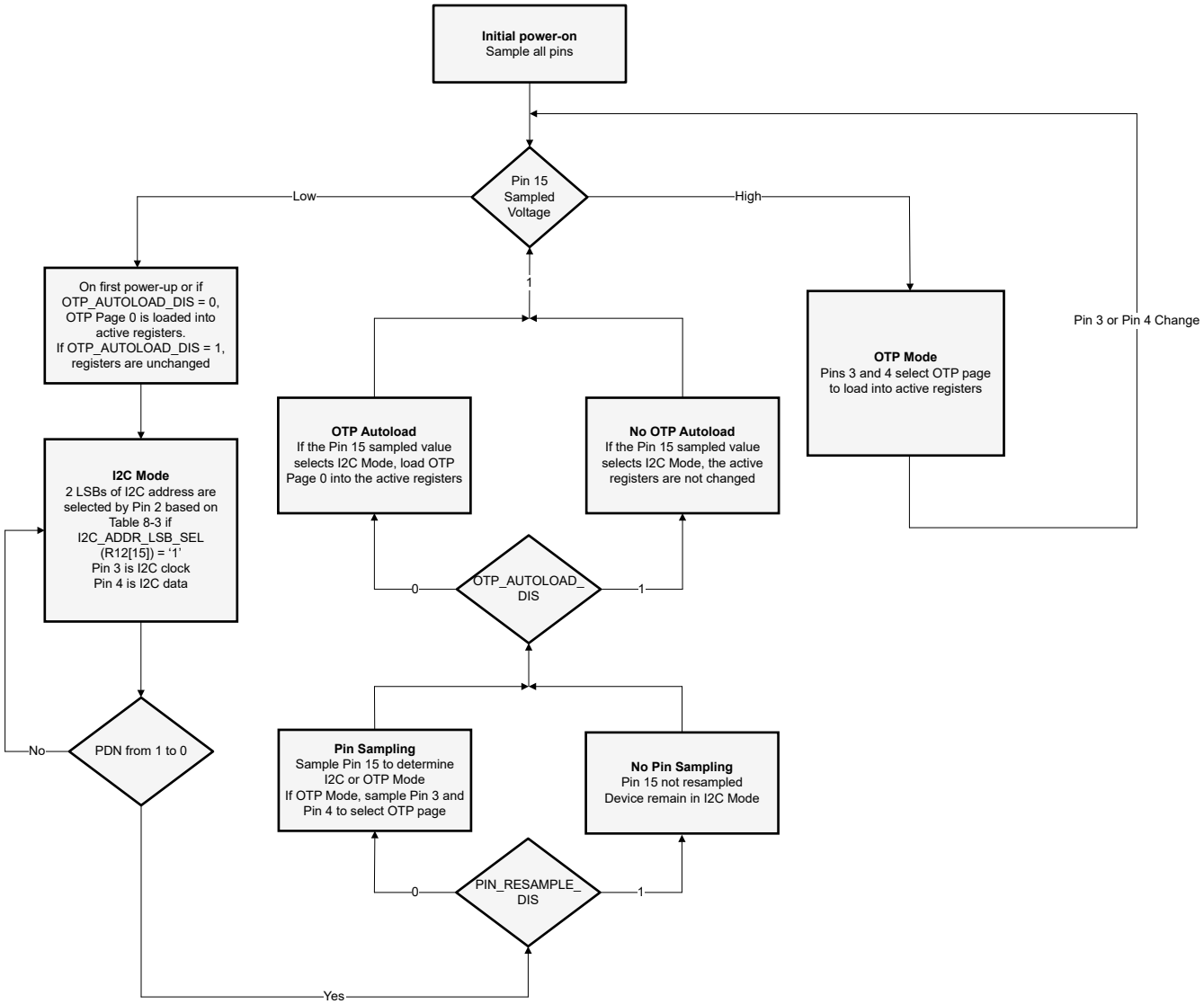


図 7-2. LMK3C0105-Q1 デバイスのモード図

I²C モードでは、デバイス レジスタは OTP ページ 0 の内容で構成されます。OTP モードでは、これらの値は 4 つの OTP ページのいずれかから供給され、起動時の OTP_SELx ピンの状態に基づいて選択できます。図 7-3 に、LMK3C0105-Q1 内のインターフェイスと制御ブロックを示しており、矢印はさまざまな組込みメモリからの読み取りおよび書き込みアクセスを示しています。

Copyright © 2025 Texas Instruments Incorporated

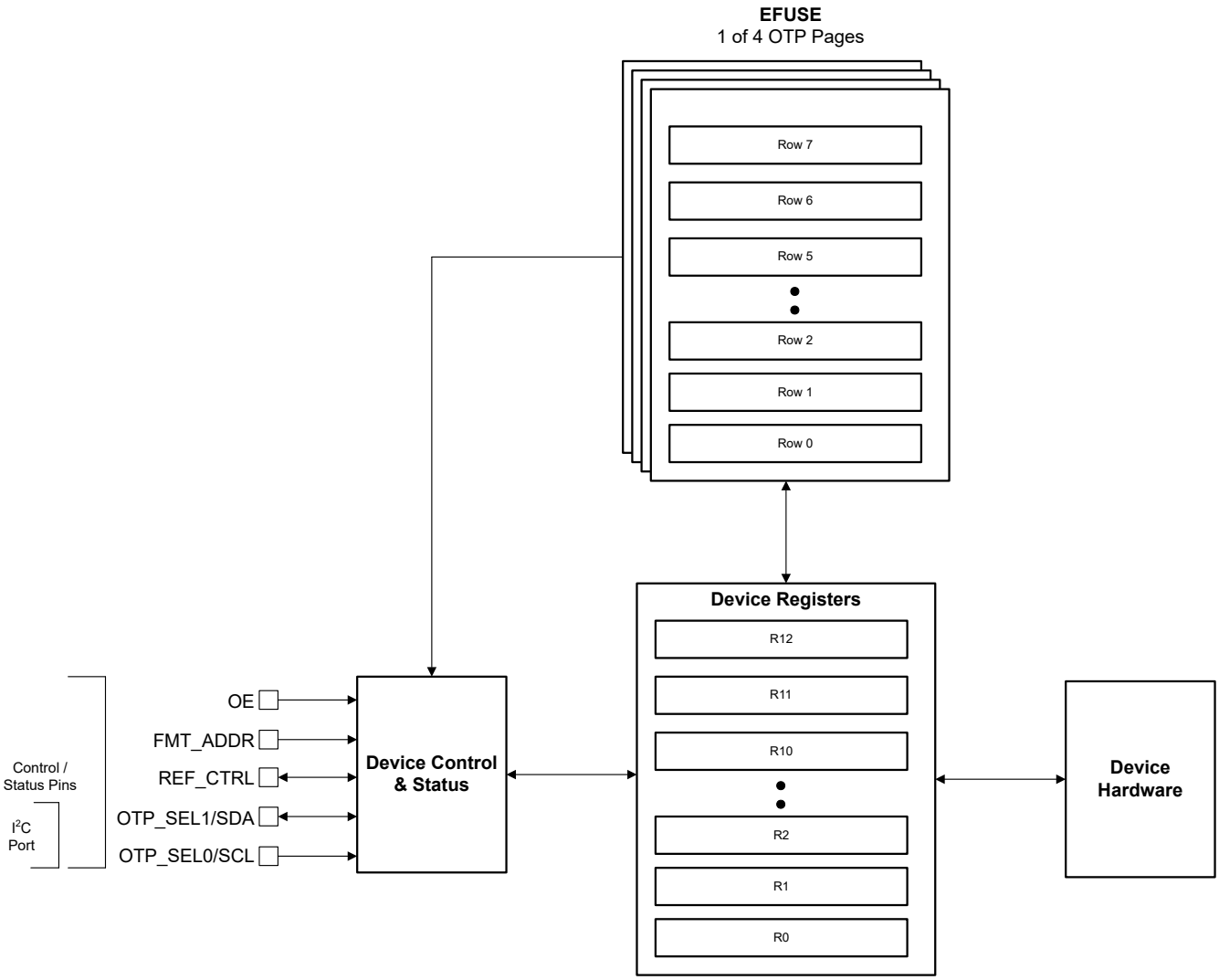


図 7-3. LMK3C0105-Q1 インターフェイスと制御ブロック

7.3.3 OTP モード

このモードでは、構成ピンで 4 つのワンタイム プログラマブル (OTP) ページのいずれかを選択したり、出力フォーマットを選択したりできます。このモードでは、I²C ピンが OTP ページ選択に転用されるため、I²C はイネーブルになりません。表 7-1 に、OTP_SEL0 ピンと OTP_SEL1 ピンの状態に基づいて選択された OTP ページを示します。OTP モードでは、I2C_ADDR ピンは無視されます。

表 7-1. OTP モードにおける OTP ページ選択

OTP_SEL1 ピン	OTP_SEL0 ピン	OTP ページ
低	低	0
低	高	1
高	低	2
高	高	3

デバイスの EFUSE は永続的にプログラムされており、OTP_BURNT(R0[0]) = 1 です。新しい構成が必要な場合、各起動時に I²C を介して構成をロードする必要があります。カスタムの OTP 構成の作成については、テキサス・インスツルメンツまでお問い合わせください。

Copyright © 2025 Texas Instruments Incorporated

以下のフィールドは、4 つの OTP ページで一意にすることができます。他のすべてのレジスタ設定は、OTP ページで共有されます。

- SSC _EN：SSC のイネーブルまたはディスエーブル。
- OUTAB_EN: OUTA と OUTB をイネーブルまたはディセーブルにします。
- OUTCD_EN: OUTC と OUTD をイネーブルまたはディセーブルにします。
- OUTAB_FMT: OUTA および OUTB の出力構成については、*出力フォーマットの選択*を参照してください。
- OUTCD_FMT: OUTC および OUTD の出力構成については、*出力フォーマットの選択*を参照してください。
- SSC_SETTING：SSC 変調タイプ。 *拡散スペクトラム クロッキング*を参照。

OTP_SEL1 ピンまたは OTP_SEL0 ピンの状態が変化すると、デバイスは自動的にパワー サイクルを行い、新しい OTP ページをリロードします。新しい OTP において、ピン 3 とピン 4 が安定状態に移行するまでの時間は 1.5ms 以内です。

7.3.4 I^2C モード

このモードでは、I^2C がイネーブルで、SCA ピンと SDL ピンはそれぞれ I^2C クロック ピンと I^2C データ ピンとして機能します。表 7-2 に、I2C_ADDR ピンで選択可能な 4 つのデフォルト I^2C アドレスを示します。I^2C アドレスの最上位 5 ビットは、I2C_ADDR (R12[14:8]) の上位 5 ビットに設定されます。

I2C_ADDR_LSB_SEL (R12[15]) = 0 の場合、I2C_ADDR ピンは無視されて、I^2C アドレスは I2C_ADDR によってのみ決定されます。

表 7-2. I^2C アドレスの選択

REF_CTRL PIN(1)	I2C_ADDR ピン	I^2C アドレス(2)
高	X	該当なし (I2C ディスエーブル)
低	0	0x68 / 0xD0
低	1	0x69 / 0xD2
低	SDA に接続	0x6A / 0xD4
低	SCL に接続	0x6B / 0xD8

(1) これは、パワーアップ時の REF_CTRL ピンの状態であり、実際に動作しているときのピンの状態ではありません。
(2) 0xD0、0xD2、0xD4、0xD8 の各アドレスは、R/W ビットが 0 に設定されています。

デバイスのレジスタを変更するときは、まず PDN を 1 に設定し、デバイスのレジスタに書き込んだ後で、PDN を 0 に設定します。図 7-4 にこのプロセスを示します。

Copyright © 2025 Texas Instruments Incorporated

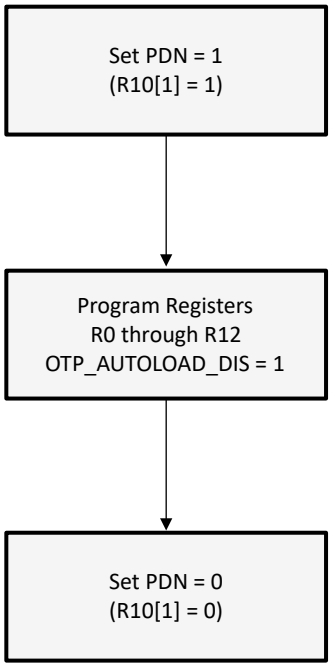


図 7-4. LMK3C0105-Q1 のプログラミング シーケンス

7.4 デバイスの機能モード

7.4.1 フェイルセーフ入力

LMK3C0105-Q1 のデジタル入力ピンは、REF_CTRL ピンを除き、フェイルセーフ入力動作をサポートするように設計されています。この機能により、VDD が印加される前に、デバイスを損傷することなくデジタル入力を駆動できます。デバイスでサポートされている最大入力電圧の詳細については、絶対最大定格 を参照してください。

7.4.2 分数出力分周器

LMK3C0105-Q1 には、2 つの分数出力分周器が搭載されています。単一の FOD ですべての出力が生成可能な場合、テキサス・インスツルメンツでは、消費電力を節約し性能を向上させるために、FOD1 をディスエーブルにすることを推奨しています。FOD1 を選択している出力チャネルがない場合、FOD1 は ディスエーブルになります。

7.4.2.1 FOD 動作

内部 BAW 共振器は、1 つまたは 2 つの分数出力分周器 (FOD) によって分周されます。FOD0 には SSC ジェネレータが搭載されていますが、FOD1 には SSC ジェネレータがありません。すべての出力を SSC クロックにする必要がある場合、クロックは FOD0 をソースとしている必要があります。SSC クロックと 1 つの非 SSC クロックが同時に必要である場合、SSC クロック用に FOD0 がイネーブルに、非 SSC クロック用に FOD1 がイネーブルにされます。どちらの出力クロックも SSC を必要としない場合、どちらかの FOD が使用できます。

注

テキサス・インスツルメンツでは、アプリケーションで FOD が 1 つだけ必要な場合は、FOD0 をデフォルトの FOD として使用することを推奨しています。両方の FOD が使用されている場合は、TI は OUTA/OUTB を FOD0 に、FOD1 を OUTC/OUTD に使用することを推奨します。

単一の FOD によってクロック出力で生成可能な最大周波数は 200MHz です。2 つの FOD は個別に設定できるため、OUTA/OUTB と OUTC/OUTD に異なる周波数を設定することが可能です。TI は、可能な限り単一の FOD から出力を供給することを推奨しています。これは、OUTA/OUTB と OUTC/OUTD の位相関係を決定的に保ち、消費電力を最小限に抑えるためです。

Copyright © 2025 Texas Instruments Incorporated

LMK3C0105-Q1 の FOD は、I2C プログラミング、またはプログラミングが行われない場合にはワンタイム プログラミング (OTP) 設定により、さまざまな出力周波数に対応するように構成できます。FOD は、整数 (FODx_N_DIV) と分数 (FODx_NUM) の分周値を設定することで構成できます。表 7-3 に、各 FOD のこれらのフィールドのレジスタ位置を示します。

表 7-3. FOD の整数分周および分子分周の位置

フィールド	登録
FOD0_N_DIV	R0[9:3]
FOD0_NUM[23:16]	R1[15:8]
FOD0_NUM[15:0]	R2[15:0]
FOD1_N_DIV	R3[15:9]
FOD1_NUM[23:16]	R6[12:5]
FOD1_NUM[15:0]	R8[15:0]

整数分周値と分子分周値の設定方法の例を、式 1 と式 2 に示します。

$$\mathrm{FODx_N_DIV} = \mathrm{floor}\left(\frac{F_{BAW}}{F_{FOD}}\right) \tag{1}$$

ここで

- FODx_N_DIV：FOD 分周値の整数部分 (7 ビット、6～24)
- F_{BAW}：BAW 周波数、2467MHz + オフセット、詳細は以下参照
- F_{FOD}：目標とする FOD 周波数 (100MHz～400MHz)

$$\mathrm{FODx_NUM} = \mathrm{int}\left(\left(\left(\frac{F_{BAW}}{F_{FOD}}\right) - \mathrm{FODx_N_DIV}\right) \times 2^{24}\right) \tag{2}$$

ここで、FODx_NUM は FOD 分周値の分数部分 (24 ビット、0～16777215) です。

出力周波数 (F_{OUT}) は、FOD の周波数に従って 式 3 に記載されているように関連付けられます。OUTDIV は 2、4、6、8、10、20、40 のいずれかです。

$$F_{OUT} = \frac{F_{FOD}}{\mathrm{OUTDIV}} \tag{3}$$

式 4 を使用して、デバイスの BAW 周波数の実際の値を計算します。BAWFREQ_OFFSET_FIXEDLUT の値は、符号付き 16 ビット値である R238 を読み取ることで求めることができます。

$$F_{BAW} = 2467\mathrm{MHz} \times (1 + (\mathrm{BAWFREQ_OFFSET_FIXEDLUT} \times 128\mathrm{E} - 9)) \tag{4}$$

7.4.2.2 デジタル ステート マシン

LMK3C0105-Q1 のデジタル ステート マシンには、FOD のいずれかに基づくクロックが搭載されています。CH0_FOD_SEL (R3[4]) で選択された FOD は、ステート マシンのクロック分周器への入力を供給します。総合的な分周値は、DIG_CLK_N_DIV (R0[9:3]) フィールドに 2 を加算した値になります。DIG_CLK_N_DIV を設定して、FOD 周波数をステート マシンの総合的なクロック分周値で除算した値が 40MHz～50MHz になるようにします。このクロックの設定に使用される分周器値は、保存されている値と等しくなります。たとえば、FOD0 の周波数が 200MHz で、CH0_FOD_SEL が 0 の場合、200MHz を 4 で分周すると 50MHz になるため、DIG_CLK_N_DIV は 2 に設定する必要があります。

7.4.2.3 拡散スペクトラム クロック処理

FOD0 は、拡散スペクトラム クロック処理 (SSC) をサポートしています。SSC は、出力周波数を変調することで、放射エミッションのピークを抑制するために使用できます。SSC_EN (R4[0]) = 1 のとき、FOD0 がソースのすべての出力には

SSC が適用されます。SSC_MOD_TYPE (R4[1]) は、ダウン スプレッド変調 (SSC_MOD_TYPE = 0) またはセンター スプレッド変調 (SSC_MOD_TYPE = 1) のいずれかを選択します。LMK3C0105-Q1 には、4 つのダウン スプレッド SSC オプションと 1 つのカスタム SSC オプションが内蔵されています。SSC_CONFIG_SEL (R9[11:9]) は、カスタム オプションまたは事前設定済みオプションを選択します。事前設定済みオプションは、FOD0 からの 200MHz 出力用に最適化されます。表 7-4 に、事前設定済み SSC オプションのレジスタ設定の詳細を示します。

表 7-4. 事前設定済み SSC の構成

SSC_CONFIG_SEL	ダウン スプレッド SSC 深度
0x0	カスタム、SSC_STEPS と SSC_STEP_SIZE に基づく
0x1	-0.10%
0x2	-0.25%
0x3	-0.30%
0x4	-0.50%
その他すべての値	予約済み

カスタム SSC が選択された場合、SSC_STEPS (R4[14:2]) と SSC_STEP_SIZE (R5) を構成して、変調深度を設定する必要があります。式 5 または 式 6 を使用して SSC_STEPS (R4[14:2]) レジスタの設定を決定し、式 7 または 式 8 を使用して SSC_STEP_SIZE (R5) の設定を決定します。式 7 はダウン スプレッド SSC 用で、式 8 はセンター スプレッド SSC 用です。

$$\text{Down} - \text{spread: SSC_STEPS} = \text{int}\left(\left(\frac{F_{FOD0}}{F_{MOD}}\right) \div 2\right) \quad (5)$$

$$\text{Center} - \text{spread: SSC_STEPS} = \text{int}\left(\left(\frac{F_{FOD0}}{F_{MOD}}\right) \div 4\right) \quad (6)$$

ここで

- F_{FOD0}: FOD0 周波数
- F_{MOD}: 変調周波数であり、通常 31.5kHz を使用します

$$\text{SSC_STEP_SIZE} = \text{floor}\left(\frac{\left(\left(\frac{F_{BAW}}{F_{FOD0}}\right) \times \left(\frac{1}{1 - \text{SSC_DEPTH}}\right) - 1\right)}{\text{SSC_STEPS} \times \text{DEN}}\right) \quad (7)$$

$$\text{SSC_STEP_SIZE} = \text{floor}\left(\frac{\left(\left(\frac{F_{BAW}}{F_{FOD}}\right) \times \left(\frac{1}{1 - \text{SSC_DEPTH}}\right) - \left(\frac{1}{1 + \text{SSC_DEPTH}}\right)\right)}{2 \times \text{SSC_STEPS} \times \text{DEN}}\right) \quad (8)$$

ここで

- SSC_STEP_SIZE: SSC のステップごとの分子インクリメント値
- F_{BAW}: BAW 周波数、2467MHz。F_{BAW} 値はデバイスごとに異なります。
- SSC_DEPTH: 変調深度、正の値で表されます。深度 –0.5% を使用する場合、この値は 0.005 になります。
- SSC_STEPS: ダウン スプレッドの場合は式 5、センター スプレッドの場合は式 6 から求めた結果
- DEN: 分数分母、2^{24}

SSC を使用する出力と使用しない出力が混在する場合、2 つの出力間にクロストークが発生する可能性があります。SSC を単一出力にのみ適用するよう構成する場合、テキサス・インスツルメンツに特定の構成の測定データをリクエストしてください。

SSC 設定を変更するときは、他の SSC 設定が構成されるまで、SSC_EN を 1 に設定しないでください。SSC を構成する際は、次の手順を実行します。

Copyright © 2025 Texas Instruments Incorporated

1. PDN を 1 に設定します。
2. OTP_AUTOLOAD_DIS を 1 に設定します。
3. 必要に応じて、SSC_MOD_TYPE、SSC_STEP_SIZE、SSC_STEPS を変更します。
4. SSC_EN を 1 に設定します。
5. PDN を 0 に設定します。

7.4.2.4 整数境界スプリアス

FOD の分周値の小数部分が整数境界に近い場合、整数境界スプリアスが発生することがあります。一般的に、この「整数境界」とは、小数部分が 0.9～1 または 0～0.1 である場合です。たとえば、BAW 周波数が 2467MHz、出力が 61.44MHz である場合、FOD は 122.88MHz で動作できます。2467MHz を 122.88MHz で割った値は約 20.076 になります。分周値の小数部分は 0.076 で、0～0.1 の範囲です。これは、61.44MHz 出力が生成されると、出力クロックに 12kHz～20MHz 帯域のスプリアスが発生する可能性があることを意味します。場合によっては、適切な周波数プランニングを行うことで、FOD 周波数とチャネル分周器値を増加させ、この点に対処できます。368.64MHz の FOD 周波数と 6 個のチャネル分周器を使用すると、61.44MHz の出力周波数も得られます。ここでの FOD 分周値は約 6.692 であり、整数境界スプリアスは得られません。特定の周波数計画における整数境界スプリアスについてご不明な点がありましたら、テキサス・インスツルメンツにお問い合わせください。

7.4.3 出力動作

7.4.3.1 出力フォーマットの選択

このデバイスは、LVCMOS 出力のみをサポートしています。LVCMOS 出力では、VDD が 3.3V の場合、VDDO は 1.8V、2.5V、または 3.3V にすることができます。それ以外の場合は、VDDO は VDD と同じ電圧でなければなりません。

表 7-5. レジスタを介した出力フォーマット

OUTAB_FMT / OUTCD_FMT	概要
0x0	予約済み
0x1	予約済み
0x2	予約済み
0x3	予約済み
0x4	OUTA/OUTC で LVCMOS がイネーブル OUTB/OUTD では、LVCMOS はディセーブルになります
0x5	OUTA/OUTC では、LVCMOS はディセーブルになります OUTB/OUTD で LVCMOS がイネーブル
0x6	OUTA/OUTC で LVCMOS がイネーブル OUTB/OUTD で LVCMOS がイネーブル OUTA/OUTC と OUTB/OUTD の位相差は 180°です(1)

表 7-5. レジスタを介した出力フォーマット (続き)

OUTAB_FMT / OUTCD_FMT	概要
0x7	OUTA/OUTC で LVCMOS がイネーブル OUTB/OUTD で LVCMOS がイネーブル OUTA/OUTC と OUTB/OUTD の同相モード

(1) 最高の出力性能を得るには、TI では、OUTA と OUTB、または OUTC と OUTD の両方のパターンが必要な場合は、位相差 180° の LVCMOS を使用することを推奨しています。

7.4.3.2 REF_CTRL の動作

起動時、REF_CTRL ピンは、Low のときは I²C モードを選択し、High のときは OTP モードを選択します。起動後、REF_CTRL はデフォルトで LVCMOS REF_CLK を出力します。これは、FOD0 または FOD1 のいずれかから生成され、その後整数分周器 (/2、/4、/8) によって分周されます。または、このピンをディスエーブルしたり、「クロック レディ」信号として機能させたりすることもできます。REF_CTRL_PIN_FUNC (R7[14:13]) は REF_CTRL ピンの機能を制御します。表 7-6 に、これらの オプションを示します。

表 7-6. 起動後の REF_CTRL の機能

REF_CTRL_PIN_FUNC	REF_CTRL の機能
0x0	ディスエーブル、強制的に Low
0x1	ディスエーブル、トライステート
0x2 (デフォルト)	REF_CLK LVCMOS 出力
0x3	CLK_READY 出力

7.4.4 出力イネーブル

7.4.4.1 出力イネーブルの制御

このデバイスは、同期出力イネーブル (OE) をサポートしています。同期 OE とは、OE 信号がアサートまたはデアサートされたときに、出力にグリッチが発生しないことです。

表 7-7 にピン構成および I²C を介した出力イネーブルと出力ディセーブルを示します。出力をアクティブにするには、デフォルトで OE ピンが Low でかつ OE ビットが 1 でなければなりません。出力イネーブルのビットは、OUTAB_EN (R7[1]) と OUTCD_EN (R7[8]) です。

表 7-7. OE 機能

OE ピン	OE ピンの極性	ソフトウェア出力イネーブル OUTx_EN	OUTx
高	アクティブ Low	0	オフ
高	アクティブ Low	1	オフ
低	アクティブ Low	0	オフ
低	アクティブ Low	1	オン
高	アクティブ High	0	オフ
高	アクティブ High	1	オン
低	アクティブ High	0	オフ
低	アクティブ High	1	オフ

Copyright © 2025 Texas Instruments Incorporated

7.4.4.2 出力イネーブルの極性

OE ピンの極性はプログラム可能で、デフォルトではアクティブ Low です。OE ピンがアクティブ Low のとき、内部プルダウン抵抗は自動的にイネーブルになり、内部プルアップ抵抗はディスエーブルになります。OE ピンがアクティブ High のとき、内部プルアップ抵抗は自動的にイネーブルになり、内部プルダウン抵抗はディスエーブルになります。デフォルトでは、OE ピンがフローティングのとき、クロック出力は常にイネーブルになります。OE ピンの極性は OE_PIN_POLARITY (R7[0]) で、アクティブ Low (デフォルト) の場合は 1、アクティブ High の場合は 0 に設定されます。

7.4.4.3 独立した出力イネーブル

I2C_ADDR ピンは、2 番目の出力イネーブル ピンとして再構成できます。この機能をイネーブルにするには、SEPARATE_OE_EN (R11[14]) を設定します。このビットは OTP でプログラム可能です。I2C_ADDR を出力イネーブルピンとして使用する場合、OE ピンは OUTA と OUTB を制御し、I2C_ADDR ピンは OUTC と OUTD を制御します。OE_PIN_POLARITY (R7[0]) ビットは、この場合、OE ピンと I2C_ADDR ピンに適用されます。

7.4.4.4 出力ディスエーブルの動作

出力がディセーブルのとき、出力は Low に強制するか、トライステートになる可能性があります。出力は OUTA と OUTB の場合は OUTAB_DISABLE_STATE (R3[5])、OUTC と OUTD の場合は OUTCD_DISABLE_STATE (R3[6]) で決定されます。出力は、「0」の場合、または「1」の場合、トライステートで Low になります。

7.4.5 デバイスのデフォルト設定

表 7-8 は、LMK3C0105Q1TV3 LMK3C0105Q1TV1 の 4 つの OTP ページについて、デフォルト設定をまとめます。I^2C モードでは、ページ 0 の設定がロードされます。デフォルトの各レジスタ設定の一覧については、「デバイスのレジスタ」を参照してください。

表 7-8. LMK3C0105-Q1 起動時の設定

パラメータ	OTP ページ 0	OTP ページ 1	OTP ページ 2	OTP ページ 3
VDD 電源電圧	3.3V (LMK3C0105Q1TV3) 1.8V (LMK3C0105Q1TV1)			
OUTA/OUTB 周波数	25MHz	25MHz	25MHz	25MHz
OUTA/OUTB 出力形式	LVCMOS、同相	LVCMOS、同相	LVCMOS、同相	LVCMOS、同相
OUTA/OUTB イネーブル	イネーブル	イネーブル	イネーブル	イネーブル
OUTA/OUTB ディセーブル動作	GND	GND	GND	GND
OUTC/OUTD 周波数	25MHz	25MHz	25MHz	25MHz
OUTC/OUTD 出力形式	LVCMOS、同相	LVCMOS、同相	LVCMOS、同相	LVCMOS、同相
OUTC/OUTD イネーブル	イネーブル	イネーブル	イネーブル	イネーブル
OUTC/OUTD ディセーブル動作	GND	GND	GND	GND
REF_CTRL 動作	REF_CLK、25MHz	REF_CLK、25MHz	REF_CLK、25MHz	REF_CLK、25MHz
FOD0 周波数	200MHz	200MHz	200MHz	200MHz
FOD1 周波数	200MHz	200MHz	200MHz	200MHz
SSC イネーブル	無効	イネーブル	イネーブル	イネーブル
SSC 変調タイプ	ダウン スプレッド	ダウン スプレッド	ダウン スプレッド	ダウン スプレッド
SSC 変調深度	0%	-0.1%	-0.3%	-0.5%
ピン 2 の機能	、独立した出力イネーブル	、独立した出力イネーブル	、独立した出力イネーブル	、独立した出力イネーブル

Copyright © 2025 Texas Instruments Incorporated

7.5 プログラミング

ホスト (DSP、マイクロコントローラ、FPGA など) は、I²C ポートを介して LMK3C0105-Q1 の設定および監視を行います。ホストは、レジスタ セットと呼ばれる制御ビットの集合に対して読み取りと書き込みを行います。デバイス ブロックの制御や監視は、レジスタ領域内に配置された特定のビット グループを介して行うことができます。ホストが存在しないときは、REF_CTRL ピンと OTP_SELx ピンの状態に応じて、LMK3C0105-Q1 は、内部 EFUSE に保存された 4 つのオンチップ OTP ページのいずれかから OTP モードで動作するように構成できます。EFUSE は、テキサス・インスツルメンツによって一度だけプログラムされたもので、書き換えはできません。つまり、起動時に EFUSE から自動的にロードされるレジスタの値はカスタマイズできないということです。ただし、I²C レジスタ インターフェイスを介して、レジスタの値はその後変更することはできます。デバイス レジスタ内には、読み取り / 書き込みアクセスが可能な特定のビットが存在します。その他のビットは読み取り専用です (読み取り専用ビットに書き込みを試みても、ビットの状態は変更されません)。特定のデバイス レジスタとビットは予約済みであり、フィールドはデフォルトのリセット状態から変更できません。

7.5.1 I²C シリアル インターフェイス

LMK3C0105-Q1 の I²C ポートは、ペリフェラル デバイスとして機能し、100kHz のスタンダード モード動作と 400kHz のファスト モード動作の両方をサポートしています。ファスト モードでは、制御信号にグリッチ耐性の要件が課されます。このため、入力レシーバは持続時間 50ns 未満のパルスを無視します。I²C のタイミング要件は、*I²C インターフェイス仕様* に記載されています。図 7-5 に、タイミング図を示します。

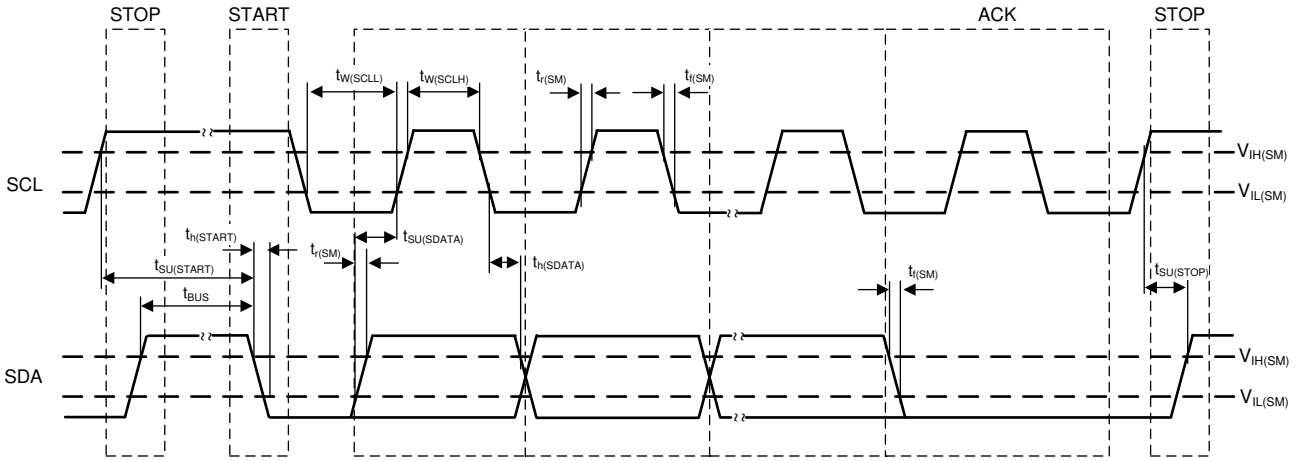


図 7-5. I²C のタイミング図

LMK3C0105-Q1 は、I²C パケットの一部として送信される 7 ビットのペリフェラル アドレスを介してアクセスされます。一致するペリフェラル アドレスを持つデバイスのみが、その後の I²C コマンドに応答します。I²C モードでは、LMK3C0105-Q1 は I2C_ADDR のピン ストラップ (VDD、GND、SDA、SCL に接続) に基づいて、最大 4 つの独自のペリフェラル デバイスが I2C バスを占有できるようにします。デフォルトでは、デバイスのペリフェラル アドレスは 0b11010xx です (2 つの LSB は I2C_ADDR ピンで決定)。完全なアドレスは I²C を介して構成可能です。

I²C インターフェイスを介したデータ転送中には、転送されるデータ ビットごとに 1 つのクロック パルスが生成されます。SDA ラインのデータは、クロックの High 期間中は安定している必要があります。データ ラインの High または Low の状態は、SCL ラインのクロック信号が Low のときのみ変化します。データ転送の開始条件は、SCL が High のときに SDA ラインが High から Low に遷移することによって特定されます。データ転送の終了条件は、SCL が High のときに SDA ラインが Low から High に遷移することによって特定されます。開始条件と終了条件は、常にコントローラによって開始されます。SDA ラインの各バイトは 8 ビット長でなければなりません。各バイトの後にはアクノリッジ ビットが続き、バイトは MSB から送信されます。LMK3C0105-Q1 には、8 ビットのレジスタ アドレスと、それに続く 16 ビットのデータ ワードがあります。

アクノリッジビット (A) または非アクノリッジ ビット (A') は、8 ビットのデータ バイトに付随する 9 番目のビットであり、常にレシーバによって生成され、バイトが受信された (A = 0) または受信されなかった (A' = 0) ことをトランスミッタに通知します。

Copyright © 2025 Texas Instruments Incorporated

A = 0 は、9 回目のクロック パルスの間に SDA ラインを Low にすることで実行され、A’ = 0 は、9 回目のクロック パルスの間に SDA ラインを High のままにすることで実行されます。

I²C コントローラは、シリアル バスに接続されているすべてのペリフェラル デバイスからの応答を開始する開始条件をアサートすることで、データ転送を開始します。コントローラが SDA ラインを介して送信した 8 ビットのアドレス バイト (7 ビットのペリフェラル アドレス (MSB ファースト) と R/W’ ビットで構成) に基づき、送信されたアドレスに対応するアドレスを持つデバイスが、アクノリッジ ビットを送信することで応答します。バス上の他のすべてのデバイスは、選択されたデバイスがコントローラとのデータ転送を待機している間、アイドル状態のままです。

データ転送が行われると、終了条件が確立されます。書き込みモードでは、コントローラは、ペリフェラルからの最後のデータ バイトのアクノリッジビットに続く、10 回目のクロック パルスの間に、データ転送を終了するための終了条件をアサートします。読み取りモードでは、コントローラはペリフェラルから最後のデータバイトを受信しますが、9 回目のクロック パルスの間は SDA を Low にしません。これは非アクノリッジ ビットとして周知されています。非アクノリッジ ビットを受信することで、ペリフェラルはデータ転送が終了したことを把握して、アイドル モードに移行します。次に、コントローラは 10 回目のクロック パルスの前の Low 期間中にデータ ラインを Low にし、10 回目のクロック パルスの間に High にして終了条件をアサートします。図 7-6 と図 7-7 に、LMK3C0105-Q1 を使用したブロック書き込みとブロック読み取りのシーケンスをそれぞれ示します。

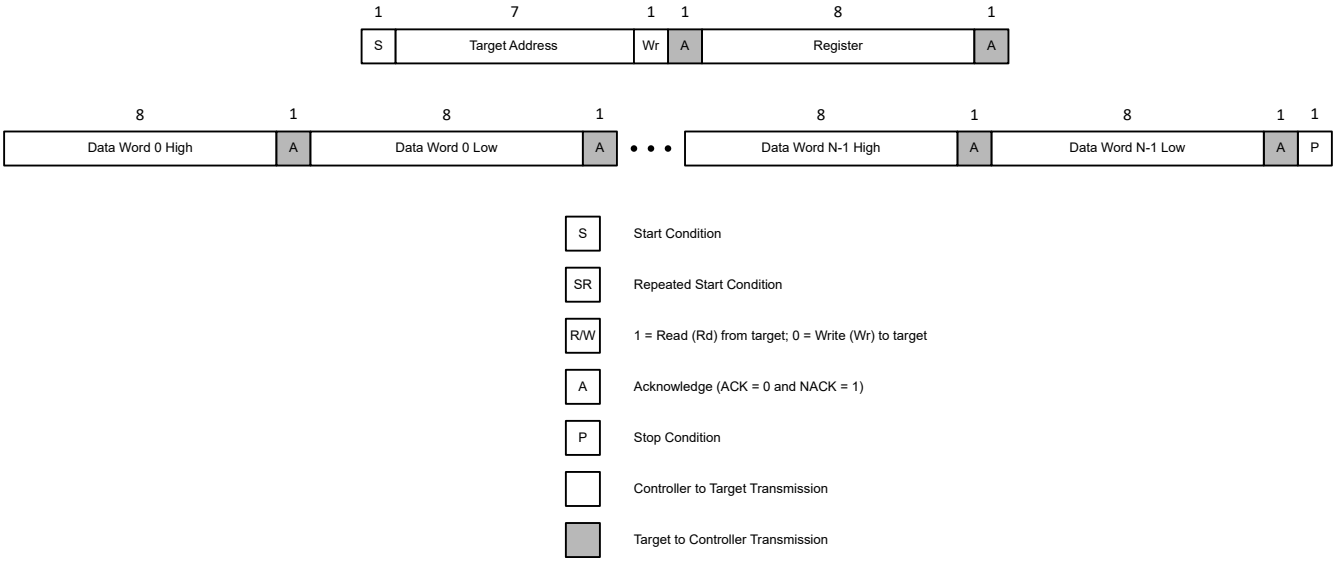


図 7-6. ブロック書き込みの汎用シーケンス

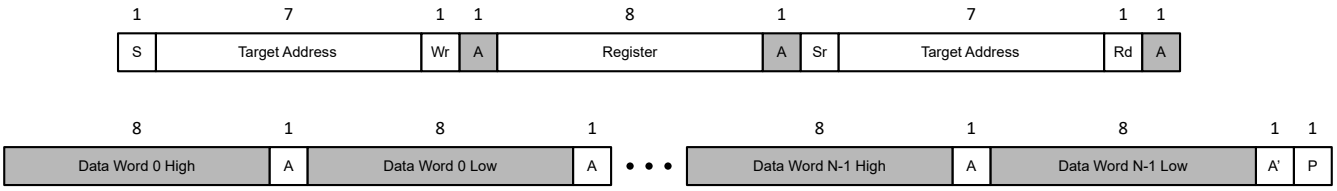


図 7-7. ブロック読み取りの汎用シーケンス

7.5.2 ワンタイム プログラミング シーケンス

上位レジスタ領域には、R13 以降のすべてのレジスタと I2C_ADDR (R12[15:8]) が含まれています。上位レジスタ領域のロック解除は、UNLOCK_PROTECTED_REG (R12[7:0]) に 0x5B を書き込み、I2C_ADDR は変更せずそのままにすることで実行されます。

デバイスの起動時にロードされる EFUSE ページに応じて、異なる値を持つ 6 つのフィールドがあります。

- OUTA/OUTB 出力形式
- OUTA/OUTB イネーブル
- OUTC/OUTD 出力形式
- OUTC/OUTD イネーブル
- SSC イネーブル
- SSC 構成 (事前設定またはカスタム)

他のすべてのフィールドは、4 つの EFUSE ページすべてで同じ値を保持します。カスタム構成を生成する際は、テキサス・インスツルメンツにお問い合わせください。

Copyright © 2025 Texas Instruments Incorporated

8 デバイスのレジスタ

8.1 レジスタマップ

表 8-1 に LMK3C0105-Q1 デバイスのレジスタを示します。表 8-1 に記載されていないレジスタ オフセット アドレスはすべて予約済みと見なすことができます。予約済み位置のレジスタ内容は変更できません。

表 8-1. LMK3C0105-Q1 レジスタ

アドレス	略称	セクション
0x0	R0	R0
0x1	R1	R1
0x2	R2	R2
0x3	R3	R3
0x4	R4	R4
0x5	R5	R5
0x6	R6	R6
0x7	R7	R7
0x8	R8	R8
0x9	R9	R9
0xA	R10	R10
0xB	R11	R11
0xC	R12	R12
0xEE	R238	R238

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 8-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 8-2. LMK3C0105-Q1 のアクセス タイプ コード

アクセス タイプ	表記	概要
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
WL	W L	書き込み ロックされている場合、ロック解除して書き込みを正常に行うには、UNLOCK_PROTECTED_REG (R12[7:0]) = 0x5B が必要です。

8.1.1 R0 レジスタ (アドレス = 0x0) [リセット = 0x0861/0x0863]

R0 を表 8-3 に示します。

概略表に戻ります。

表 8-3. R0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:10	DIG_CLK_N_DIV	R/W	0x02	デジタル ステート マシンのクロック レート。CH0_FOD_SEL マルチプレクサがソースの FOD 周波数から導出されます。目標周波数は最大 50MHz です。実際の分周値は、DIG_CLK_N_DIV の値に 2 を加えた値になります。このフィールドは EFUSE に保存されます。
9:3	FOD0_N_DIV	R/W	0x0C	BAW 周波数と FOD0 周波数の整数比。このフィールドは EFUSE に保存されます。
2:1	SUP_LVL_SEL	R/W	0x0 (TV3) 0x1 (TV1)	コア電源 LDO の動作電圧。このフィールドは工場出荷時にプログラム済みのため、プログラムされた値と異なる値で**上書きしてはなりません**。VDD ピンと VDDO ピンの電源電圧は、選択された電圧値 + 10% を**超えてはなりません**。 0：3.3V 1：1.8V 2：2.5V
0	OTP_BURNT	R/WL	0x1	EFUSE がプログラム済みであることを示します。このフィールドが 1 の場合、EFUSE がプログラムされています。

8.1.2 R1 レジスタ (アドレス = 0x1) [リセット = 0x5599]

R1 を表 8-4 に示します。

概略表に戻ります。

表 8-4. R1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:8	FOD0_NUM[23:16]	R/W	0x55	FOD0 分数分周値の上位バイト。このフィールドの値はデバイスによって異なります。このフィールドは EFUSE に保存されます。
7:0	予約済み	R/W	0x99	予約済み。このビットには 0x99 だけを書き込んでください。

8.1.3 R2 レジスタ (アドレス = 0x2) [リセット = 0xC28F]

R2 を表 8-5 に示します。

概略表に戻ります。

表 8-5. R2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:0	FOD0_NUM[15:0]	R/W	0xC28F	FOD0 分数分周値の下位 2 バイト。このフィールドの値はデバイスによって異なります。このフィールドは EFUSE に保存されます。

8.1.4 R3 レジスタ (アドレス = 0x3) [リセット = 0x1804]

R3 を表 8-6 に示します。

概略表に戻ります。

表 8-6. R3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:9	FOD1_N_DIV	R/W	0x0C	BAW 周波数と FOD1 周波数の整数比。このフィールドは EFUSE に保存されます。
8	CH1_FOD_SEL	R/W	0x0	チャネル分周器 1 の入力ソースとして使用する FOD を選択します。このフィールドは EFUSE に保存されます。 0h：FOD0 の詳細を示します。 1h：FOD1 の詳細を示します。
7	予約済み	R/W	0x0	予約済み。このビットには 0 だけを書き込んでください。

Copyright © 2025 Texas Instruments Incorporated

表 8-6. R3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
6	OUTCD_DISABLE_STATE	R/W	0x0	OUTC と OUTD がディスエーブルの場合、このビットは OUTC ピンと OUTD ピンを強制的に GND に接続するか、トライステートにするかを選択します。このフィールドは EFUSE に保存されます。 0h:ディスエーブルで強制的に GND に接続 1h:ディスエーブル時にトライステートになります。
5	OUTAB_DISABLE_STATE	R/W	0x0	OUTA と OUTB がディスエーブルの場合、このビットは OUTA ピンと OUTB ピンを強制的に GND に接続するか、トライステートにするかを選択します。このフィールドは EFUSE に保存されます。 0h:ディスエーブルで強制的に GND に接続 1h:ディスエーブル時にトライステートになります。
4	CH0_FOD_SEL	R/W	0x0	チャネル分周器 0 の入力ソースとして使用する FOD を選択します。このフィールドは EFUSE に保存されます。 0h:FOD0 の詳細を示します。 1h:FOD1 の詳細を示します。
3	予約済み	R/W	0x0	予約済み。このビットには 0 だけを書き込んでください。
2:0	CH0_DIV	R/W	0x4	チャネル分周器 0 の分周器値。このフィールドは EFUSE に保存されます。 0h:チャネル分周器ディスエーブル。 1h:FOD / 2 2h:FOD / 4 3h:FOD / 6 4h:FOD / 8 5h:FOD / 10 6h:FOD / 20 7h:FOD / 40

8.1.5 R4 レジスタ (アドレス = 0x4) [リセット = 0x0000]

R4 を表 8-7 に示します。

概略表に戻ります。

表 8-7. R4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	予約済み	R	該当なし	予約済み。このフィールドに書き込まないでください。
14:2	SSC_STEPS	R/W	0x0000	SSC の三角波プロファイルの各セグメントにおけるステップ数。この値の計算手順については、*拡散スペクトラム クロック処理* を参照してください。このフィールドは EFUSE に保存されます。
1	SSC_MOD_TYPE	R/W	0x0	カスタムの SSC 構成で、ダウン スプレッド変調とセンター スプレッド変調のいずれかを選択します。このフィールドは EFUSE に保存されます。 0h:ダウン スプレッド変調 1h:センター スプレッド変調
0	SSC _EN	R/W	0x0	SSC をイネーブルにします。このフィールドは EFUSE に保存されます。 0h:SSC がディスエーブル。 1h:SSC がイネーブル。

8.1.6 R5 レジスタ (アドレス = 0x5) [リセット = 0x0000]

R5 を表 8-8 に示します。

Copyright © 2025 Texas Instruments Incorporated

概略表に戻ります。

表 8-8. R5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:0	SSC_STEP_SIZE	R/W	0x0000	SSC のステップごとの分子インクリメント値。この値の計算手順については、*拡散スペクトラム クロック処理* を参照してください。このフィールドは EFUSE に保存されます。

8.1.7 R6 レジスタ (アドレス = 0x6) [リセット = 0x0AA7]

R6 を表 8-9 に示します。

概略表に戻ります。

表 8-9. R6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:13	CH1_DIV	R/W	0x0	チャネル分周器 1 の分周器値。このフィールドは EFUSE に保存されます。 0h:チャネル分周器ディスエーブル。 1h:FOD / 2 2h:FOD / 4 3h:FOD / 6 4h:FOD / 8 5h:FOD / 10 6h:FOD / 20 7h:FOD / 40
12:5	FOD1_NUM[23:16]	R/W	0x55	FOD1 分数分周値の上位バイト。このフィールドの値はデバイスによって異なります。このフィールドは EFUSE に保存されます。
4:3	予約済み	R/W	0x0	予約済み。このビットには 0 だけを書き込んでください。
2:0	OUTAB_FMT	R/W	0x7	OUTA/OUTB の出力フォーマットを選択します。このフィールドは EFUSE に保存されます。 0h:予約済み。 1h:予約済み。 2h:予約済み。 3h:予約済み。 4h:LVCMOS、OUTA イネーブル、OUTB ディセーブル。 5h:LVCMOS、OUTA ディセーブル、OUTB イネーブル。 6h:LVCMOS、OUTA イネーブル、OUTB イネーブル、位相差 180°。 7h:LVCMOS、OUTA イネーブル、OUTB イネーブル、OUTA と OUTB が同相です。

8.1.8 R7 レジスタ (アドレス = 0x7) [リセット = 0x5D1F]

R7 を表 8-10 に示します。

概略表に戻ります。

表 8-10. R7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	予約済み	該当なし	0x0	予約済み。このフィールドに書き込まないでください。
14:13	REF_CTRL_PIN_FUNC	R/W	0x2	REF_CTRL ピンの機能を設定します。このフィールドは EFUSE に保存されます。 0h:REF_CTRL ピンはディスエーブル、GND にプルされている。 1h:REF_CTRL ピンはディセーブル、トライステートに移行。 2h:REF_CTRL ピンは追加の LVCMOS REF_CLK 出力として機能する。 3h:REF_CTRL ピンはクロック レディ信号として機能する。

Copyright © 2025 Texas Instruments Incorporated

表 8-10. R7 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
12:11	REF_CLK_DIV	R/W	0x3	REF_CTRL が REF_CLK として使用されている場合の REF_CLK 出力分周器値。このフィールドは EFUSE に保存されます。 0h:REF_CLK はディスエーブル。 1h:FOD/2 2h:FOD/4 3h:FOD/8
10	予約済み	R/W	0x1	予約済み。このフィールドには 1 以外の値を書き込まないでください。
9	REF_CLK_FOD_SEL	R/W	0x0	REF_CLK 出力の生成に使用する FOD を選択します。このフィールドは EFUSE に保存されます。 0h:FOD0 の詳細を示します。 1h:FOD1 の詳細を示します。
8	OUTCD_EN	R/W	0x1	OUTC および OUTD の出力イネーブル ビット。このフィールドは EFUSE に保存されます。 0h:OUTC と OUTD はディセーブルになります。 1h:OUTC と OUTD がイネーブルになります。
7	OUTCD_CH_SEL	R/W	0x0	OUTC/OUTD のソースを選択します。このフィールドは EFUSE に保存されます。 0h:OUTC と OUTD は、チャネル分周器 0 から供給されます。 1h:OUTC と OUTD は、チャネル分周器 1 から供給されます。
6:5	予約済み	R/W	0x0	予約済み。このビットには 0 だけを書き込んでください。
4:2	OUTCD_FMT	R/W	0x7	OUTC および OUTD の出力フォーマットを選択します。このフィールドは EFUSE に保存されます。 0h:予約済み。 1h:予約済み。 2h:予約済み。 3h:予約済み。 4h:LVCMOS、OUTC イネーブル、OUTD ディセーブル。 5h:LVCMOS、OUTC ディセーブル、OUTD イネーブル。 6h:LVCMOS、OUTC イネーブル、OUTD イネーブル、位相差 180°。 7h:LVCMOS、OUTC イネーブル、OUTD イネーブル、OUTC と OUTD が同相。
1	OUTAB_EN	R/W	0x1	OUTA および OUTB の出力イネーブル ビット。このフィールドは EFUSE に保存されます。 0h:OUTA と OUTB はディセーブルになります。 1h:OUTA と OUTB がイネーブルになります。
0	OE_PIN_POLARITY	R/W	0x1	OE ピンの極性選択。このビットは OUTx_EN ビットの極性には影響せず、OE ピンのみに影響します。このフィールドは EFUSE に保存されます。 0h:OE はアクティブ High (OE を VDD に接続すると出力がイネーブルになる)。 1h:OE はアクティブ Low (OE を GND に接続すると出力がイネーブルになる)。

8.1.9 R8 レジスタ (アドレス = 0x8) [リセット = 0xC28F]

R8 を表 8-11 に示します。

概略表に戻ります。

表 8-11. R8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:0	FOD1_NUM[15:0]	R/W	0xC28F	FOD1 分数分周値の下位 2 バイト。このフィールドの値はデバイスによって異なります。このフィールドは EFUSE に保存されます。

Copyright © 2025 Texas Instruments Incorporated

8.1.10 R9 レジスタ (アドレス = 0x9) [リセット = 0x3000/0x1000]

R9 を表 8-12 に示します。

概略表に戻ります。

表 8-12. R9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:12	OTP_ID	R/W	0x3 (TV3) 0x1 (V18) (TV1)	OTP 構成を識別するための構成可能フィールド。I2C モードで、4 ビットの予備フィールドとして使用可能。このフィールドは EFUSE に保存されます。
11:9	SSC_CONFIG_SEL	R/W	0x0	SSC 変調構成。センター スプレッド変調が望ましい場合は、カスタム SSC 構成が必要です。4 つの事前設定済みダウン スプレッド変調の深度も使用可能です。その他の変調深度はカスタム SSC 構成が必要です。このフィールドは EFUSE に保存されます。 事前設定済みの SSC オプションは、特に 100MHz クロック出力用です。その他の出力周波数については、テキサス・インスツルメンツではカスタム SSC 構成の作成を推奨しています。 0h:カスタム SSC 構成設定 - カスタム構成作成の詳細については、*拡散スペクトラム クロック処理* を参照します。 1h:–0.10% の事前設定済みダウンス プレッド 2h:–0.25% の事前設定済みダウンス プレッド 3h:–0.30% の事前設定済みダウンス プレッド 4h:–0.50% の事前設定済みダウンス プレッド その他すべての値:予約済み
8:0	予約済み	R/W	0x000	予約済み。このビットには 0 だけを書き込んでください。

8.1.11 R10 レジスタ (アドレス = 0xA) [リセット = 0x0010]

R10 を表 8-13 に示します。

概略表に戻ります。

表 8-13. R10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	予約済み	R/W	0x0	予約済み。このビットには 0 だけを書き込んでください。
14:11	PROD_REVID	R	該当なし	製品リビジョン識別子
10	CLK_READY	R	該当なし	CLK_READY ステータス。REF_CTRL ピンは、クロック レディ信号として機能する場合、このステータス信号をミラーリングします。
9	予約済み	R	該当なし	予約済み。このフィールドに書き込まないでください。
8	RB_PIN_15	R	該当なし	REF_CTRL ピンの読み戻し。
7	RB_PIN_4	R	該当なし	OTP_SEL1/SDA ピンの読み戻し。
6	RB_PIN_3	R	該当なし	OTP_SEL0/SCL ピンの読み戻し。
5	RB_PIN_2	R	該当なし	I2C_ADDR ピンの読み戻し。

Copyright © 2025 Texas Instruments Incorporated

表 8-13. R10 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	概要
4	DEV_IDLE_STATE_SEL	R/W	0x1	このビットは、両方の出力がディスエーブルのときにデバイスの動作を制御します。クロックを再度イネーブルにするまでの時間が延長されるため、タイムクリティカルなアプリケーションではデバイスを低消費電力状態にすることは推奨されません。このフィールドは EFUSE に保存されます。 0h:両方の出力がディスエーブルのとき、出力はミュートされ、デバイスは低消費電力状態になります。 1h:両方の出力がディスエーブルのとき、出力はミュートされます。デバイスは低消費電力状態にはなりません。
3	PIN_RESAMPLE_DIS	R/W	0x0	このビットは、低消費電力モードを終了するときにデバイス ピンの再サンプリングを制御します。低消費電力モードの間にこのビットを書き込んでください。テキサス・インスツルメンツでは、この機能が具体的に必要な場合を除いて、このビットを 1 のままにしておくことを推奨しています。 0h:ピンの再サンプリングがイネーブルです。低消費電力モードを終了するとき、I2C_ADDR ピン、OTP_SEL0/SCL ピン、OTP_SEL1/SDA ピン、I2C_ADDR ピンが再サンプリングされます。I2C_ADDR が High の場合、本デバイスは OTP モードに入ります。 1h:ピンの再サンプリングがディスエーブルです。低消費電力モードを終了するとき、I2C_ADDR ピン、OTP_SEL0/SCL ピン、OTP_SEL1/SDA ピン、I2C_ADDR ピンは再サンプリングされません。デバイスは I2C モードのままです。
2	OTP_AUTOLOAD_DIS	R/W	0x0	このビットは、低消費電力モードを終了するときにデバイスの動作を制御します。低消費電力モードの間にこのビットを書き込んでください。テキサス・インスツルメンツでは、この機能が具体的に必要な場合を除いて、このビットを 1 のままにしておくことを推奨しています。 0h:OTP 自動ロードがイネーブルです。低消費電力モードを終了するとき、OTP ページ 0 の内容がデバイスのレジスタに書き込まれます。 1h:OTP 自動ロードがディスエーブルです。低消費電力モードを終了するとき、OTP ページ 0 の内容はデバイスのレジスタに書き込まれません。
1	PDN	R/W	0x0	このビットに 1 を書き込むと、デバイスは低消費電力状態になります。
0	予約済み	R/W	0x0	予約済み。このビットには 0 だけを書き込んでください。

8.1.12 R11 レジスタ (アドレス = 0xB) [リセット = 0x4000]

R11 を表 8-14 に示します。

概略表に戻ります。

表 8-14. R11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	予約済み	R/W	0x0	予約済み。このビットには 0 だけを書き込んでください。
14	SEPARATE_OE_EN	R/W	0x1	このビットにより、デバイスの個別の出力イネーブル機能がイネーブルになります。このビットが 1 の場合、I2C_ADDR_LSB_SEL を 0 に設定する必要があります。このフィールドは EFUSE に保存されます。 0h:ピン 1 は OUTA、OUTB、OUTC、OUTD の出力イネーブルです。 1h:ピン 1 は OUTA および OUTB の出力イネーブルで、ピン 2 は OUTC および OUTD の出力イネーブルです。
13:0	予約済み	R/W	0x0000	予約済み。このフィールドに書き込まないでください。

8.1.13 R12 レジスタ (アドレス = 0xC) [リセット = 0x6800]

R12 を表 8-15 に示します。

概略表に戻ります。

Copyright © 2025 Texas Instruments Incorporated

表 8-15. R12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15	I2C_ADDR_LSB_SEL	R/WL	0x0	I2C のペリフェラル アドレス ソース。このビットが 1 の場合、SEPARATE_OE_EN は 0 でなければなりません。このフィールドは EFUSE に保存されます。 0h:I2C のペリフェラル アドレスは、すべて I2C_ADDR フィールドから取得されます。 1h:I2C のペリフェラル アドレスの最下位 2 ビットは FMT_ADDR ピンから、その他のビットはすべて R12[14:10] から取得されます。
14:8	I2C_ADDR	R/WL	0x68	I2C のペリフェラル アドレス。このフィールドへの書き込み後、デバイスは新しい I2C アドレスに応答します。このフィールドは EFUSE に保存されます。
7:0	UNLOCK_PROTECTED_REG	R/W	0x00	このフィールドは、R12[15:8] に加え、R13 以降のすべてのレジスタをロックします。レジスタ R13 以降は、主にデバイスのキャリブレーション用レジスタであり、その内容は変更できません。これらのレジスタは、ロック解除ステータスに関係なく、通常、読み取りが可能です。 5Bh:R12[15:8] 以上のレジスタ書き込みのロックを解除します。 その他の値:R12[15:8] 以上では、すべての書き込みを無視します。

8.1.14 R238 レジスタ (アドレス = 0xEE) [リセット = 0x0000]

R246 を表 8-16 に示します。

概略表に戻ります。

表 8-16. R246 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	概要
15:0	BAWFREQ_OFFSET_FIXEDLUT	R/WL	0x0000	BAW 周波数の 2467MHz からのオフセット値。符号付き 16 ビット整数値。このフィールドは EFUSE に保存されます。 このフィールドの各ビットは、周波数偏差 128ppm に対応しています。**このフィールドは部品によって異なります。** このフィールドは計算のみを目的としており、デバイスがこのレジスタを内部計算に使用することはありません。このフィールドには**書き込まないでください**。

Copyright © 2025 Texas Instruments Incorporated

9 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 アプリケーション情報

LMK3C0105-Q1 は基準不要の BAW ベースのクロック ジェネレータであり、水晶発振器の代替や、1Gb/10Gb イーサネット スイッチを含むさまざまなアプリケーションにリファレンス クロックを提供するために使用できます。

9.2 代表的なアプリケーション

9.2.1 アプリケーションのブロック図の例

図 9-1 は、ギガビット・イーサネット・スイッチ・アプリケーションにおいて、水晶振動子および水晶発振器の代替として LMK3C0105-Q1 を使用する例を示しています。

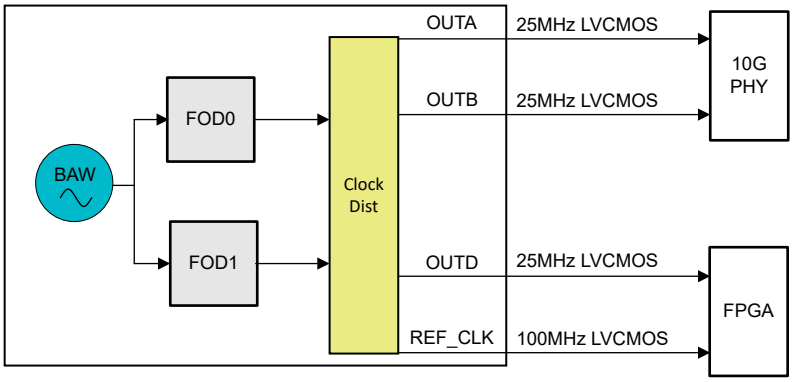


図 9-1. 水晶と発振器の代替例

9.2.2 設計要件

一般的な ギガビット イーサネット スイッチ アプリケーションを考えてみましょう。このようなシステムでは、追加のデバイス レベルのプログラミングを必要とせず、要求に応じてクロックが利用可能であることが期待されます。デフォルトのデバイス構成では、5 系統の 25MHz LVCMOS クロックが出力され、すべてがデフォルトで有効になっています。このアプリケーションにおける一般的な出力クロック要件は、PHY 用に 25MHz の LVCMOS クロックを 2 系統、および FPGA 用に 25MHz と 100MHz の LVCMOS クロックです。以下のセクションでは、LMK3C0105-Q1 を使用して、上記のシナリオで必要な出力周波数を生成するための詳細な設計手順について説明します。

9.2.3 詳細な設計手順

LMK3C0105-Q1 では、あらゆる側面の設計がわかりやすく、周波数プランニングや部品プログラミングを支援するソフトウェア サポートが利用できます。この設計手順では、プロセスの概要をわかりやすく説明しています。

1. 周波数プランニング
   a. LMK3C0105-Q1 の構成を設計する第一歩は、必要な出力周波数を生成するために求められる FOD 周波数を決定することです。プロセスは次のとおりです。
      i. 両方の出力周波数が同じで、SSC 設定も同じ場合 (つまり、両方とも SSC を使用しているか、両方とも SSC を使用していない場合)、1 つの FOD だけが必要です。
      ii. 両方の出力周波数が異なる場合でも、SSC 設定が同じであれば、両出力を FOD で共有し、電流を節約できます。両方の周波数が、単一の有効な FOD 周波数をチャネル分周器オプションで分周することで生成で

Copyright © 2025 Texas Instruments Incorporated

きる場合、2 番目の FOD は ディスエーブルにできます。それ以外の場合は、両方の FOD を使用する必要があります。両方の出力で SSC が必要な場合は、この周波数計画は LMK3C0105-Q1 デバイスではサポートできません。

iii. 一方の出力で SSC が必要で、もう一方の出力で SSC が必要でない場合、SSC 出力は FOD0 を使用し、非 SSC 出力は FOD1 を使用する必要があります。

b. SSC が使用されている場合、アプリケーションに事前設定済みダウン スプレッド変調、カスタムのダウンスプレッド変調、センター スプレッド変調が必要かどうかを決定します。カスタム構成が必要な場合は、「*拡散スペクトラム クロック処理*」に規制されているステップに従ってください。

c. デジタル クロック周波数ができるだけ 50MHz に近い値になるように、デジタル クロック分周器を設定します。

d. REF_CTRL ピンの機能を決定します。追加の LVCMOS リファレンス クロックとして使用する場合は、REF_CLK 出力の分周器の範囲が /2、/4、または /8 のいずれかに限られているため、FOD0 と FOD1 の周波数に基づいて目標とする周波数が生成できることを確認します。

i. FOD0 で SSC を使用し、REF_CLK ソースが FOD0 である場合、この出力にも SSC が含まれることに注意してください。

2. 出力フォーマットの設定

a. 必要な出力フォーマットは、システムで必要とされるクロックの数に基づいています。水晶振動子の代替としては、24MHz、25MHz、27MHz、または 50MHz の LVCMOS クロックが用いられることが最も一般的です。

b. OUTA と OUTB、または OUTC と OUTD は、同位相、逆位相、または個別に有効化 / 無効化できます。OUTA と OUTC は常に同位相です。これにより、最大で 5 系統の LVCMOS クロック を同時に生成でき、そのうち最大 4 系統までを同位相 にすることが可能です。

i. LVCMOS 出力の場合、VDDO_x 電圧は、VDD が 1.8V または 2.5V のときは、VDD 電圧と一致している必要があります。

3. 出力イネーブル動作

a. 出力イネーブル ピンはデフォルトではアクティブ Low で、GND への内部プルダウン抵抗が備わっています。この機能が不要な場合は、OE_PIN_POLARITY を 0 に設定して、OE ピンの動作をアクティブ High に変更できます。これを行うと、内部プルダウンはディスエーブルになり、VDD への内部プルアップが使用されます。

b. 両方の出力がディスエーブルになっていることが、デバイスが低消費電力モードに移行していることを意味するかどうかを判定します。これは電流の節約にはなりますが、CPU のクロック供給など、クロックをすばやく再起動する必要があるアプリケーションには、ローパワーモードは推奨されません。

10GB PHY 用には、次の設定が必要です。

1. 1 つの FOD を使用して、すべての出力を生成できます。したがって、FOD0 は出力周波数が 200MHz に、チャネル分周器 0 は 8 分周に設定できます。同一のデバイスで同じ周波数のクロックが 2 系統必要な場合、それらのクロックは同位相である必要があることが多くあります。どちらの出力ドライバも、チャネル分周器 0 を選択します。出力ドライバ 0 は LVCMOS 同位相 に設定されており、出力ドライバ 1 は LVCMOS (OUTD のみ) に設定されています。OUTD のみに構成されている場合、OUTD は OUTA と位相となります。

a. ステート マシンのクロックを適切に設定するには、DIG_CLK_N_DIV を 2 に設定する必要があります。ステート マシンのクロックは、この周波数を超えない範囲で、できるだけ 50MHz に近い値にする必要があります。この場合、DIG_CLK_N_DIV を 2 に設定すると、合計分周値は 4 になります。式 9 に、デジタル ステートマシンの周波数、CH0_FOD_SEL マルチプレクサで選択された周波数、DIG_CLK_N_DIV フィールドの関係を示します。デバイスが低電力状態にある場合にのみ、DIG_CLK_N_DIV フィールドを書き込みます。

2. REF_CTRL ピンは、100MHz LVCMOS クロックの生成に使用されます。REF_CLK_FOD_SEL を 0 に設定して、REF_CTRL クロック ソースとして FOD0 を選択します。FOD0 から 2 分周するには、REF_CLK_DIV を 1 に設定する必要があります。REF_CTRL_PIN_FUNC を 2 に設定すると、REF_CTRL ピンを出力クロックとして設定します。

Copyright © 2025 Texas Instruments Incorporated

$$F_{DIG} = \frac{F_{CH0_FOD_SEL}}{2 + DIG_CLK_N_DIV} \quad (9)$$

ここで、F_{DIG} はデジタル ステート マシン クロック周波数、$F_{CH0_FOD_SEL}$ は CHO_FOD_SEL マルチプレクサによって選択された周波数です。

9.2.3.1 例：出力周波数の変更

ユーザーが OUTA、OUTB、および OUTD の出力を 25MHz の LVCMOS から、すべての出力を 24MHz の差動 LVCMOS クロック に変更したい場合、以下の例でその手順を詳しく示しています。この例における BAWFREQ_OFFSET_FIXEDLUT フィールドの値は 0x3701 です。周波数の変更ステップは次のとおりです。

1. デバイスの BAW 周波数を決定します。これは、その後のすべての計算に重要です。式 4 から、BAWFREQ_OFFSET_FIXEDLUT が 0x3701 の場合、このデバイスの BAW 周波数は約 2471.446441856MHz となります。
2. チャネル分周器の設定と必要な FOD 周波数を決定します。出力周波数が 24MHz で、FOD の範囲が 100MHz～400MHz の場合、出力の生成には、チャネル分周器の値として少なくとも 5 が必要です。5 で分周するオプションがなく、REF_CLK にクロックが必要であるため (CH0_DIV、CH1_DIV、REF_CLK_DIV を参照)、8 で分周する必要があります。これにより、24MHz × 8 で、FOD 出力周波数は 192MHz となります。OUTC/OUTD の周波数が異なる場合、両方の周波数を同じ FOD 周波数から分周して生成できない場合は FOD1 を使用する必要があります。
3. FOD 分周値を設定します。式 1 を使用して整数分周値を計算します。FOD0_N_DIV = floor(2471.446441856/192) = 12 となります。式 2 により求められる分子分周値は FOD0_NUM = int(((2471.446441856/192) - 12) × 2^{24}) = 14631693 となります
4. デバイスのレジスタに設定を書き込みます。これには、上述の分周の設定と、出力ドライバの設定が含まれます。図 7-4 に示す手順を行います。
   a. PDN = 1 を設定します。
   b. FOD0_N_DIV = 12、FOD0_NUM = 14631693 を設定します。
   c. CH0_DIV と REF_CLK_DIV を 8 分周に設定します (デフォルトでは、OUTCD_CH_SEL はチャネル分周器 0 を選択するように設定されています)。
   d. 出力フォーマットとして差動 LVCMOS を選択するように OUTAB_FMT と OUTCD_FMT を設定します。
   e. REF_CLK を出力するように REF_CTRL_PIN_FUNC を設定します。
   f. OTP_AUTOLOAD_DIS を 1 に設定します (OTP ページ 0 の自動ロード機能を ディスエーブルにします)。
   g. DIG_CLK_N_DIV = 2 を設定して、式 9 に基づいてデジタル ステート マシン クロックを 48MHz に設定します。
   h. PDN = 0 を設定します

周波数の変更が有効になるまでには、PDN = 0 の発行から、出力クロックが希望する周波数で開始されるまで、通常 1ms 程度が必要です。

9.2.3.2 クロストーク

LMK3C0105-Q1 では、異なる周波数で出力が動作しているときに、デバイスのクロストークにより性能が低下する可能性があります。表 9-1 に、一般的な LVCMOS 周波数における LMK3C0105-Q1 の出力性能を示します。クロストークが出力性能に及ぼす影響に関して、その他の組み合わせの測定については、テキサス・インスツルメンツにお問い合わせください。

表 9-1. LMK3C0105-Q1 LVCMOS 出力クロストーク

FOD0 周波数 (MHz)	FOD1 周波数 (MHz)	OUTA 周波数 (MHz) (2)	OUTC 周波数 (MHz) (2)	標準的な OUTA RMS ジッタ (fs) (1) (3)	標準的な OUTC RMS ジッタ (fs) (1) (3)
240	250	24	25	852	716
240	270	24	27	457	371
240	200	24	50	832	779
250	240	25	24	784	717
250	270	25	27	757	787
250	200	25	50	215	516

Copyright © 2025 Texas Instruments Incorporated

表 9-1. LMK3C0105-Q1 LVCMOS 出力クロストーク (続き)

FOD0 周波数 (MHz)	FOD1 周波数 (MHz)	OUTA 周波数 (MHz) (2)	OUTC 周波数 (MHz) (2)	標準的な OUTA RMS ジッタ (fs)(1) (3)	標準的な OUTC RMS ジッタ (fs)(1) (3)
270	240	27	24	429	367
270	250	27	25	913	641
270	200	27	50	865	930
200	240	50	24	806	548
200	250	50	25	559	287
200	270	50	27	913	704

(1) VDD = VDDO_x = 3.3V、SSC なし、差動 LVCMOS 出力フォーマットを使用して 25℃～105℃で測定。
(2) OUTA と OUTC はそれぞれ FOD0 と FOD1 を使用して生成。
(3) RMS ジッタは、積分帯域幅 12kHz～5MHz の範囲で測定。

9.2.3.3 アプリケーション曲線

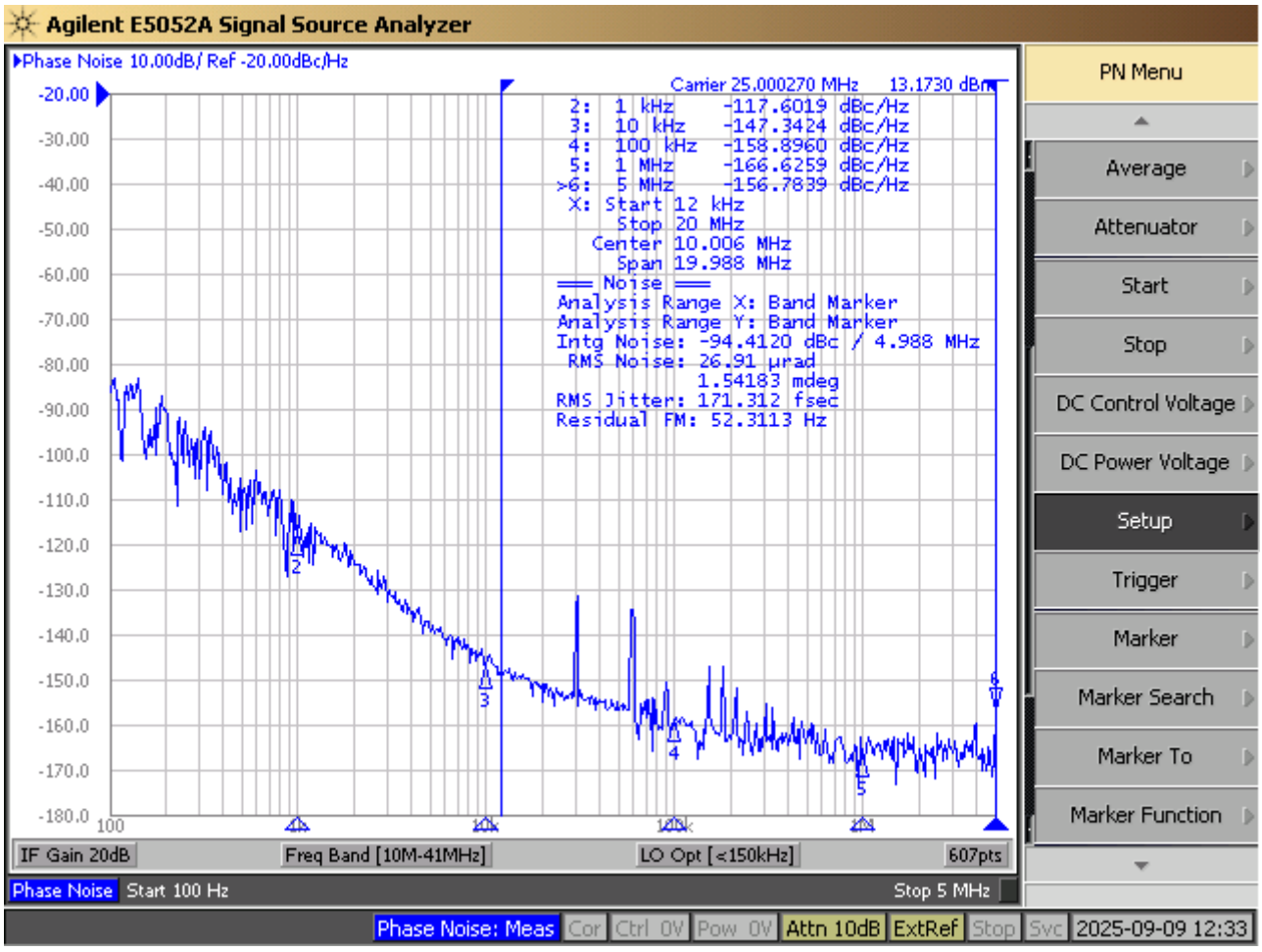


図 9-2. OUTA で測定した 25MHz の LVCMOS 出力

Copyright © 2025 Texas Instruments Incorporated

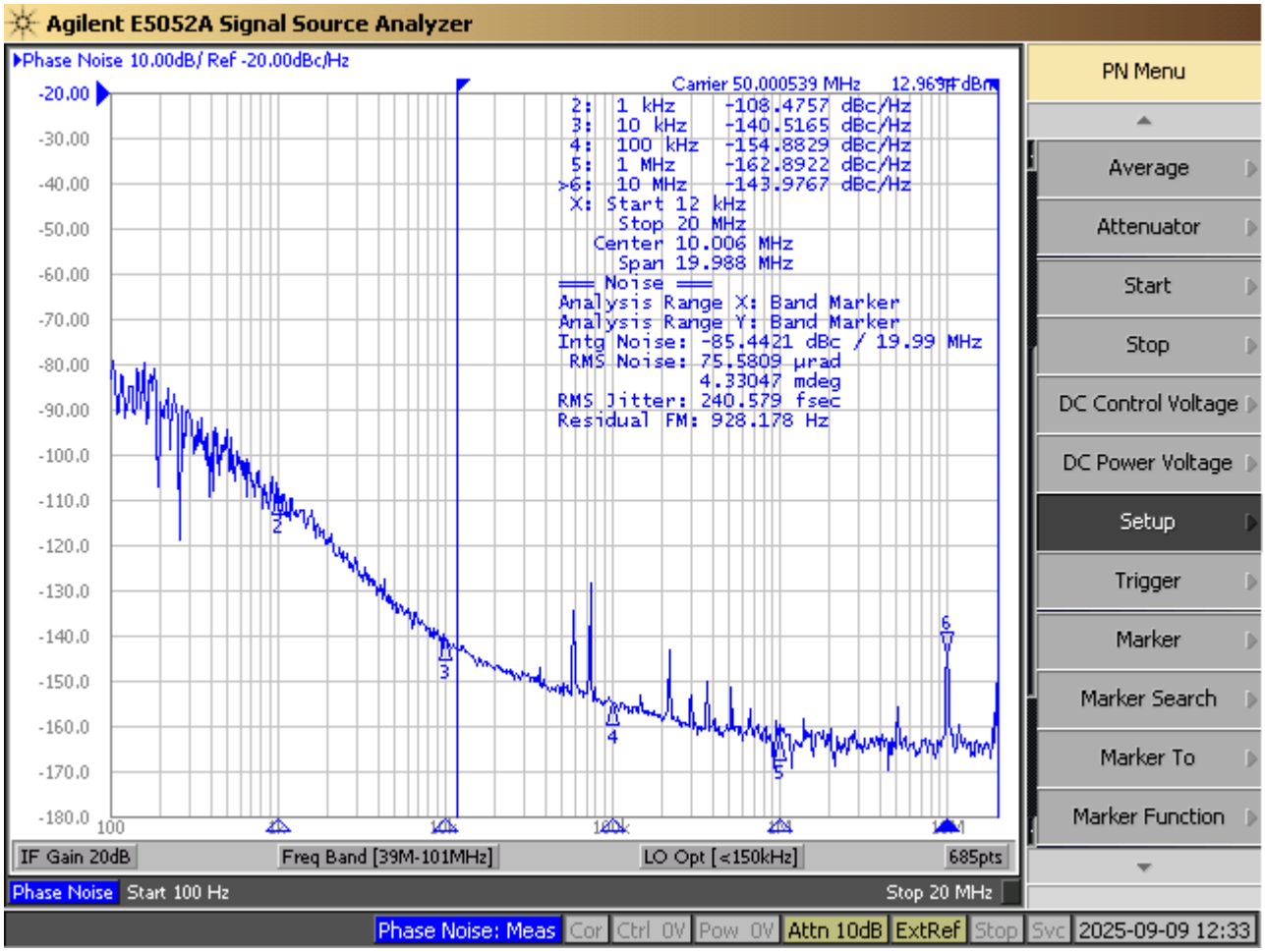


図 9-3. OUTA で測定した 50MHz の LVCMOS 出力

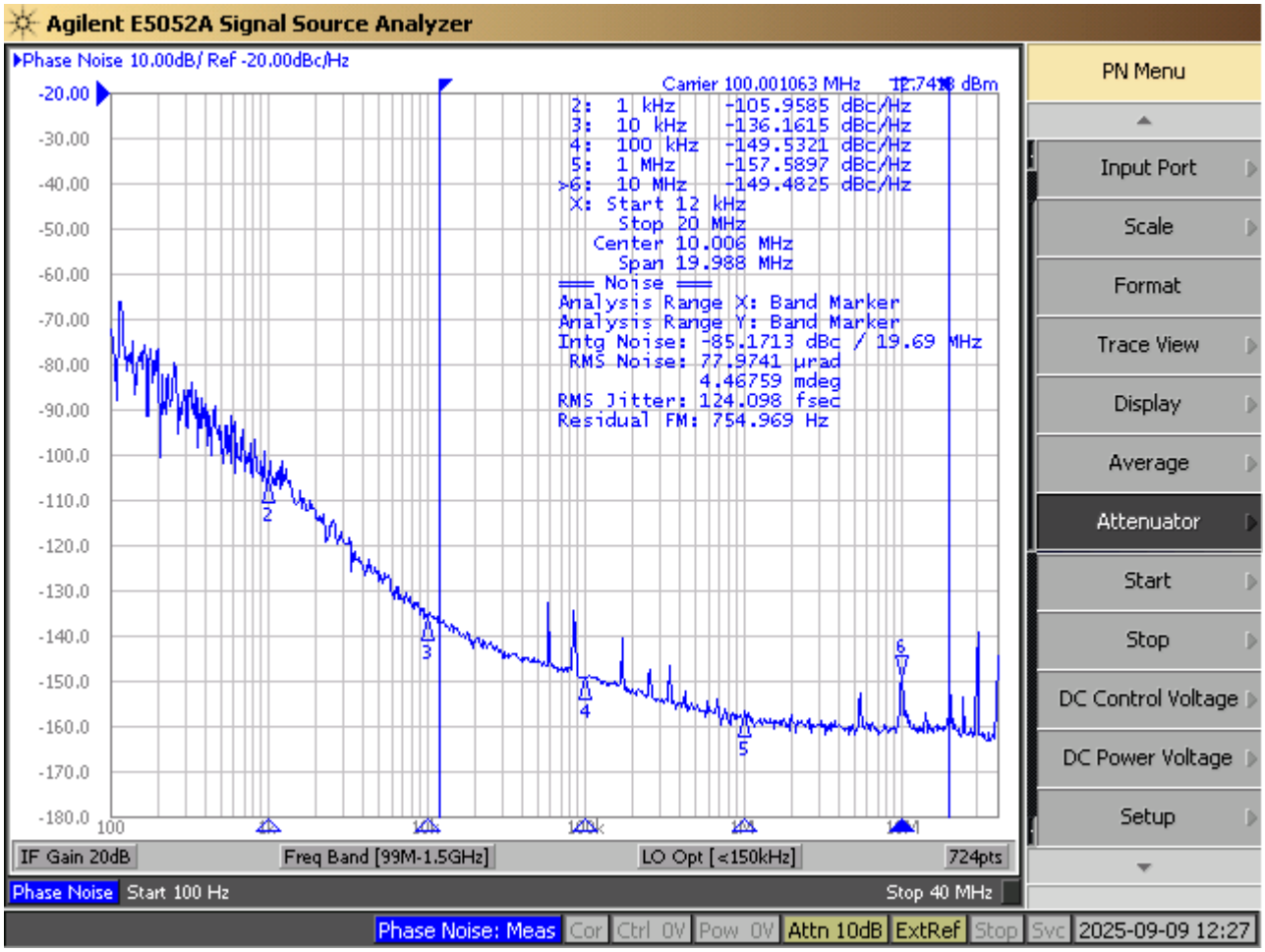


図 9-4. OUTA で測定した 100MHz の LVCMOS 出力

Copyright © 2025 Texas Instruments Incorporated

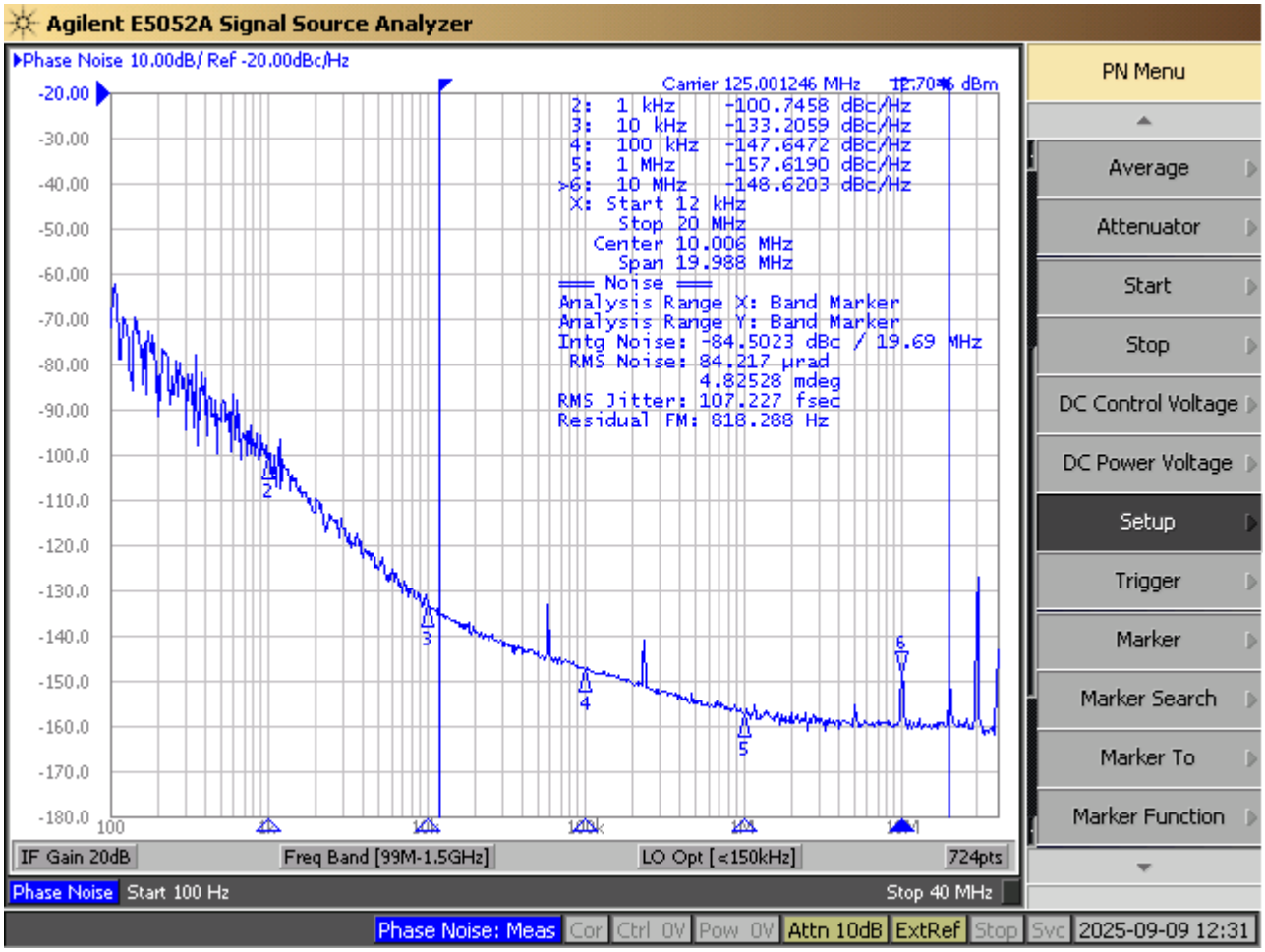


図 9-5. OUTA で測定した 125MHz の LVCMOS 出力

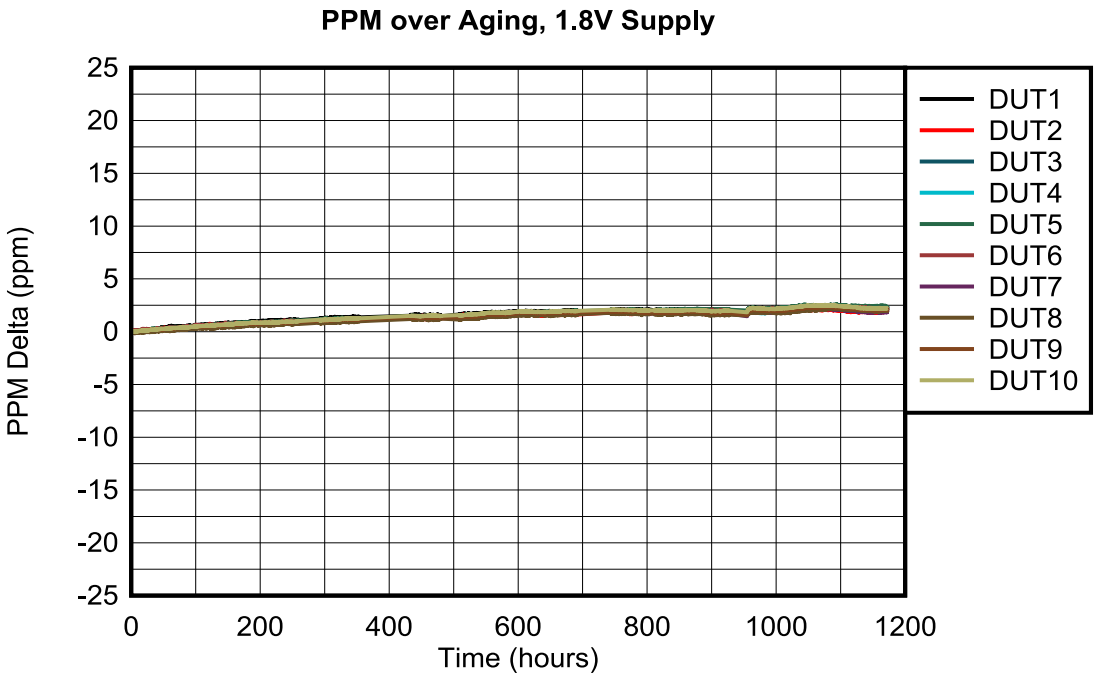


図 9-6. 時間経過に伴う周波数安定性 - 1.8V 電源電圧

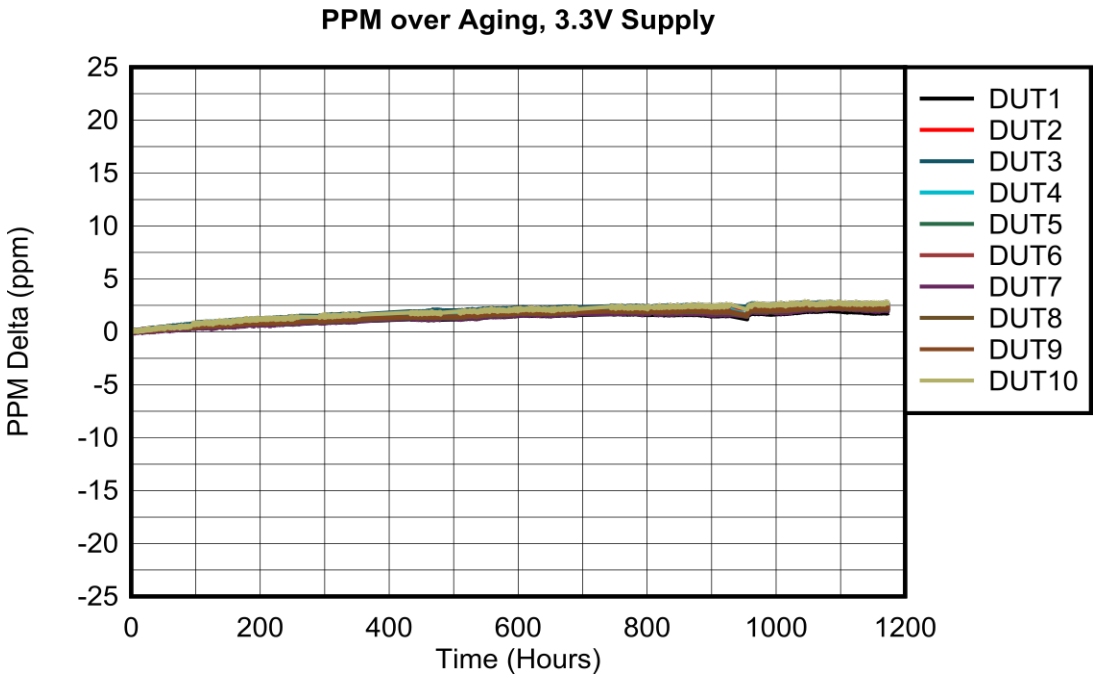


図 9-7. 時間経過に伴う周波数安定性 - 3.3V 電源電圧

Copyright © 2025 Texas Instruments Incorporated

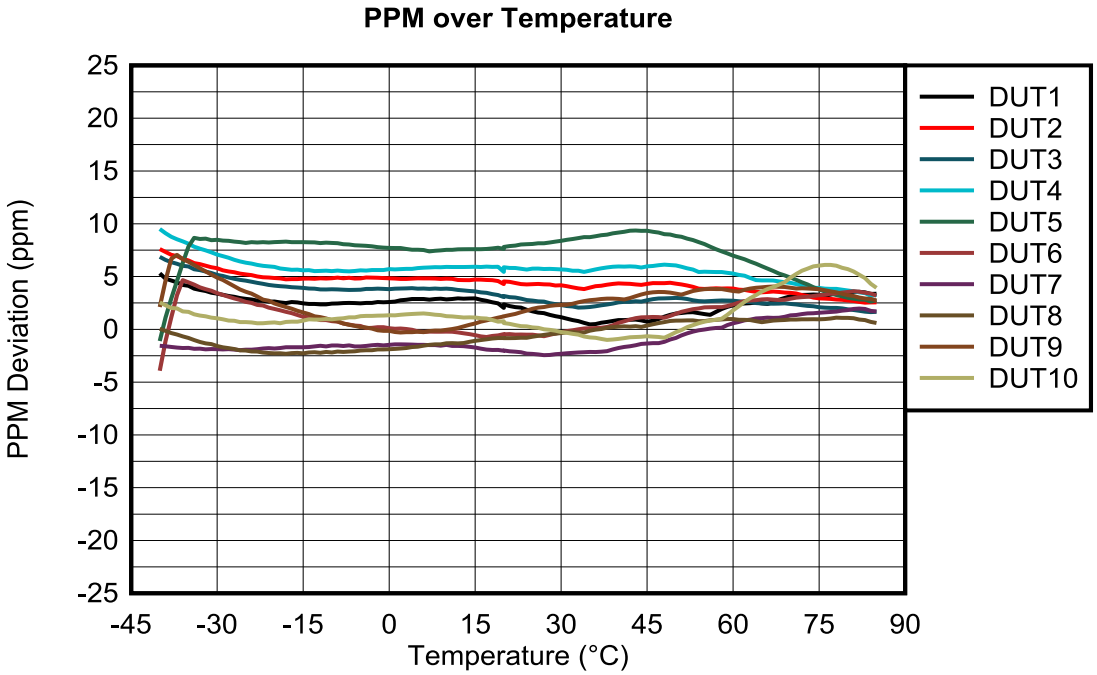


図 9-8. 温度に対する周波数安定性

9.3 電源に関する推奨事項

9.3.1 パワーアップ シーケンシング

LMK3C0105-Q1 は、複数の電源ピンを備えています。各電源は、1.8V、2.5V、または 3.3V をサポートしています。内蔵の低ドロップアウト レギュレータ (LDO) は、内部ブロックのソースとなり、各ピンに個別の電源電圧を供給できます。VDD ピンは、制御ピン、シリアル インターフェイス、REF_CTRL ピンに電源を供給します。したがって、プルアップ抵抗は VDD と同じドメインに接続する必要があります。

出力が使用されていない場合、対応する VDDO_x レールを VDD レールに接続します。VDD レールと VDDO_x レールの電圧が同じである場合、テキサス・インスツルメンツではこれらを直接接続することを推奨しています。VDD レールと VDDO_x レールの電圧が異なる場合、VDD が最初に上昇し、VDDO_x はそれから 5ms 以内に上昇する必要があります。

2.5V または 1.8V の VDD を使用する場合、VDDO_x は VDD と一致する必要があります。LVCMOS 出力の場合、VDD とは異なる VDDO_x を使用することは推奨されていません。LVCMOS 出力で VDD と VDDO_x の電圧が異なる場合、ドライバの出力インピーダンスは 17Ω よりも大きくなることがあります。シングルエンド LVCMOS および差動 LVCMOS の場合、33Ω 直列抵抗の代わりに 20Ω または 25Ω の直列抵抗を使用して、50Ω のインピーダンス一致を維持します。VDDO_x が VDD と一致しない場合は、位相内 LVCMOS を使用しないでください。

9.3.2 電源入力のデカップリング

VDD ピンと VDDO ピンをグランドに接続しないでください。VDD 電源と VDDO 電源の分離には、個別のフェライト ビーズを使用してください。OUTA/OUTB と OUTC/OUTD の周波数が異なる場合は、VDDO 電源ごとに個別のフェライト ビーズを使用する必要があります。各電源電圧ピンについては、0.1µF または 1µF のコンデンサをピンのすぐ近くに配置する必要があります。

Copyright © 2025 Texas Instruments Incorporated

9.4 レイアウト

9.4.1 レイアウトのガイドライン

この例では、以下のガイドラインに従ってください。

- GND シールドを使用して、出力を分離します。すべての出力を差動ペアとして配線します。
- 複数の周波数を生成するときは、出力を隣接出力と分離します。
- 可能な場合は、ファンインおよびファンアウト領域でインピーダンスのジャンプを回避するようにします。
- 5 つのビアを使用して、サーマル パッドをソリッドな GND プレーンに接続します。フルスルー ビアが推奨されます。
- 電源ピンに非常に近い場所に、容量値の小さいデカップリング コンデンサを配置します。デカップリング コンデンサは、同じ層またはデバイスの直下の最下層に配置します。値がより大きい場合は、より遠くに配置できます。異なる出力電源と VDD 電源の分離には、フェライト ビーズが推奨されます。
- 複数のビアを使用して、幅広の供給パターンをそれぞれの電源プレーンに接続します。

9.4.2 レイアウト例

以下は、熱設計手法のアプリケーションと、デバイスの DAP と PCB 間の低インダクタンスのグランド接続を示すプリント基板 (PCB) レイアウトの例です。

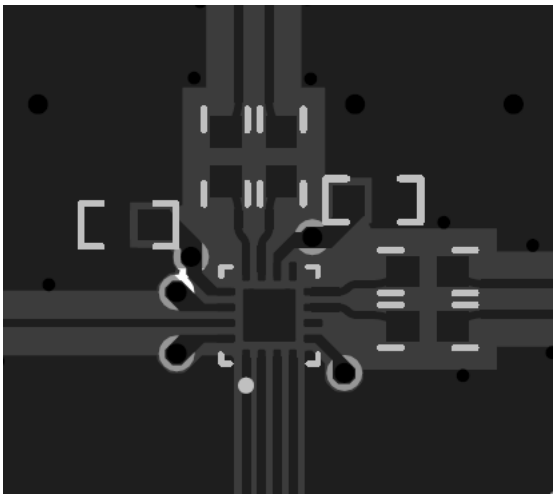


図 9-9. LMK3C0105-Q1 の PCB レイアウト例、最上層

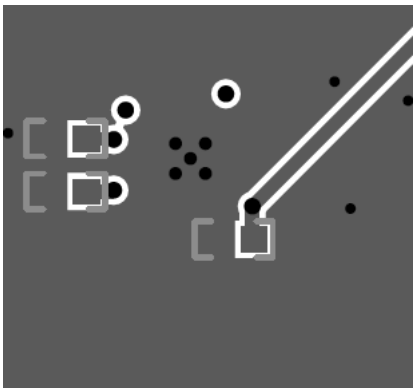


図 9-10. LMK3C0105-Q1 の PCB レイアウト例、最下層

Copyright © 2025 Texas Instruments Incorporated

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 ドキュメントのサポート

10.1.1 関連資料

- テキサス インスツルメンツ、『LMK3C0105-Q1 の機能安全性、FIT (故障率)、FMD、ピン FMA』

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision A (May 2025) to Revision B (October 2025)	Page
• 『*特長*』の電源電圧の表現を更新	1
• 分割電圧電源に関して、ピン構成および機能 の VDDO_x ピンの説明を更新	3
• アプリケーション曲線 に代表的性能特性を追加	36
• 分割電源電圧に関して パワーアップ シーケンシング を更新	41
• 関連資料 にサポート資料を追加	43
• 「メカニカル、パッケージ、および注文情報」セクションの機械図面を更新	44

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision * (April 2025) to Revision A (May 2025) **Page**

- 表現の一貫性の維持、および機能安全リンクの修正のために『*特長*』セクションを更新 1
- 『*概要*』セクションで、SSC クロック生成に関する記述を変更、ピンの動作を明確化、DC/DC を電源として使用できることを明確化 1
- ドキュメント全体にわたって表、図、相互参照の採番方法を更新 3
- DAP の動作を明確化するように『*ピンの構成と機能*』セクションを更新 3
- LVCMOS 出力の電源電流負荷条件を明確化する表の注を追加。 5
- REF_CTRL が OUTE であることを示すようにブロック図を更新 11
- 「メカニカル、パッケージ、および注文情報」セクションに暫定的な機械図面を追加 44

12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2025 Texas Instruments Incorporated

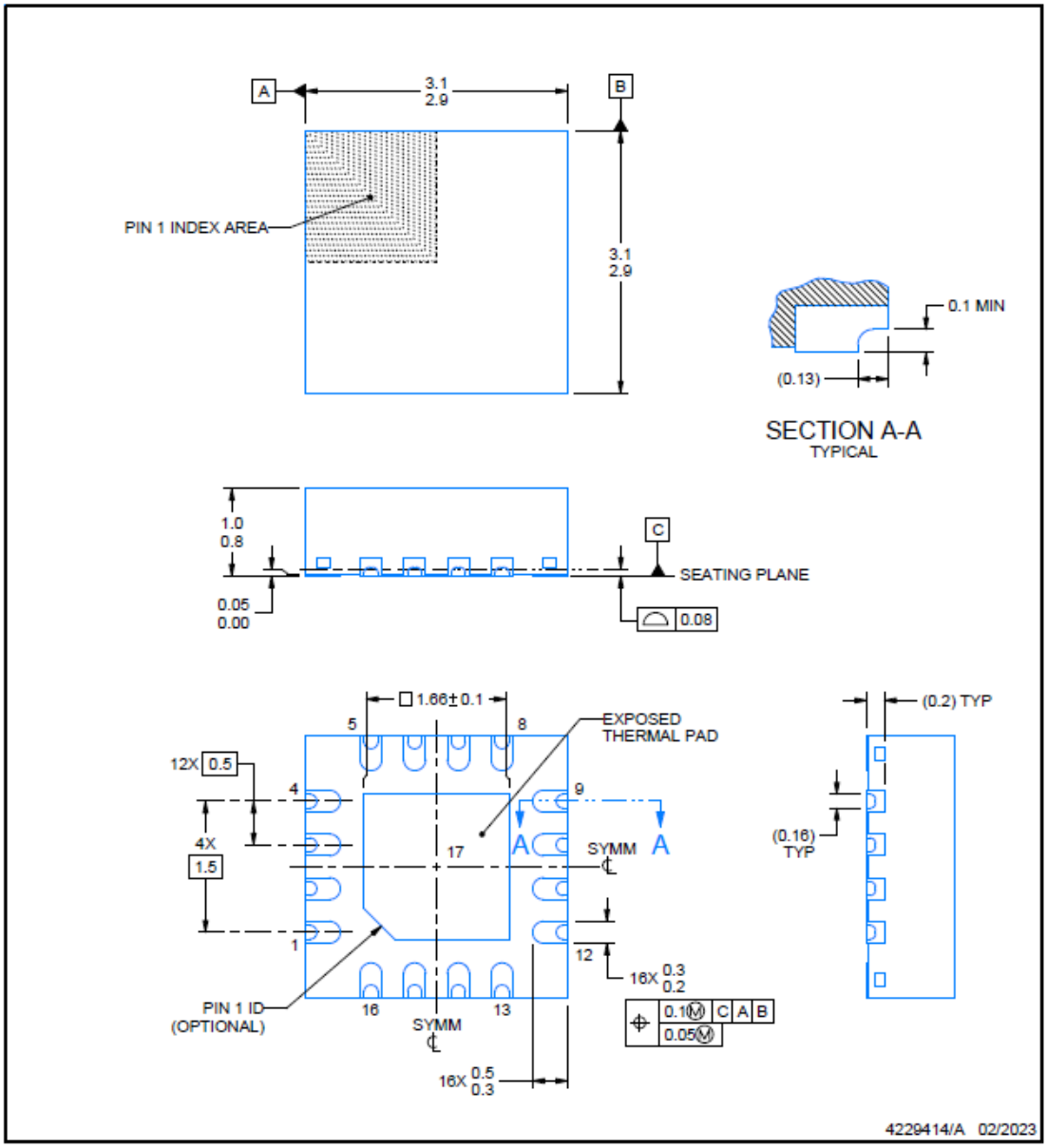
PACKAGE OUTLINE

RGT0016K



VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

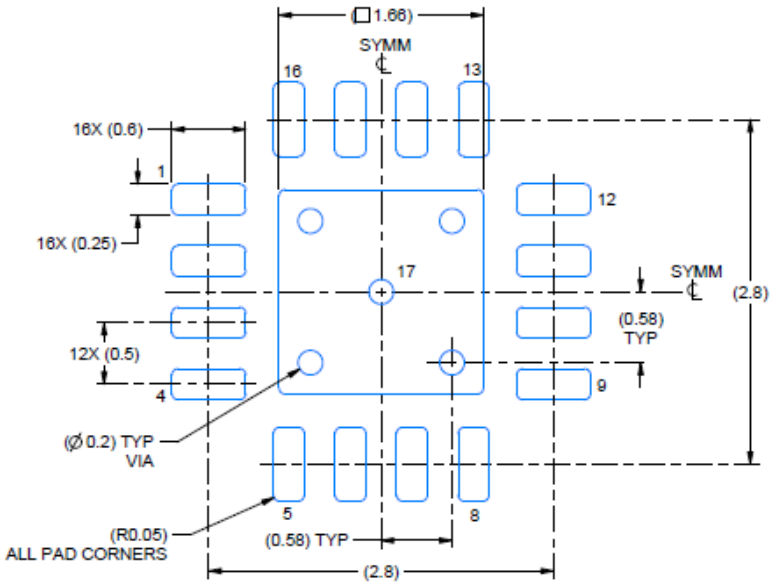
www.ti.com

Copyright © 2025 Texas Instruments Incorporated

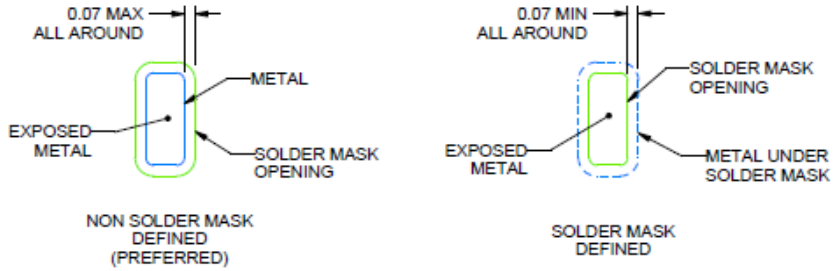
EXAMPLE BOARD LAYOUT

RGT0016K — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



SOLDER MASK DETAILS

4229414/A 02/2023

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

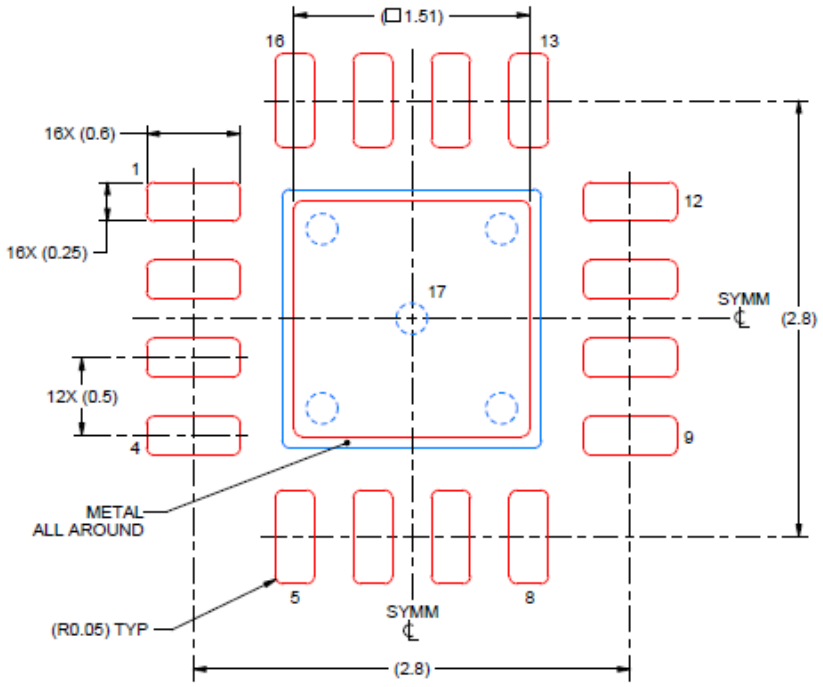
www.ti.com

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RGT0016K — **VQFN - 1 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
84% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4229414/A 02/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMK3C0105T08RGTRQ1	Active	Production	VQFN (RGT) | 16	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3CT08Q
LMK3C0105TV1RGTRQ1	Active	Production	VQFN (RGT) | 16	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3CV18Q
LMK3C0105TV1RGTRQ1.A	Active	Production	VQFN (RGT) | 16	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3CV18Q
LMK3C0105TV3RGTRQ1	Active	Production	VQFN (RGT) | 16	3000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3CV33Q
LMK3C0105TV3RGTRQ1.A	Active	Production	VQFN (RGT) | 16	3000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3CV33Q
PK3C0105TV1RGTTQ1	Active	Preproduction	VQFN (RGT) | 16	250 | SMALL T&R	-	Call TI	Call TI	-40 to 105	
PK3C0105TV1RGTTQ1.A	Active	Preproduction	VQFN (RGT) | 16	250 | SMALL T&R	-	Call TI	Call TI	-40 to 105	
PK3C0105TV3RGTTQ1	Active	Preproduction	VQFN (RGT) | 16	250 | SMALL T&R	-	Call TI	Call TI	-40 to 105	
PK3C0105TV3RGTTQ1.A	Active	Preproduction	VQFN (RGT) | 16	250 | SMALL T&R	-	Call TI	Call TI	-40 to 105	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LMK3C0105-Q1 :

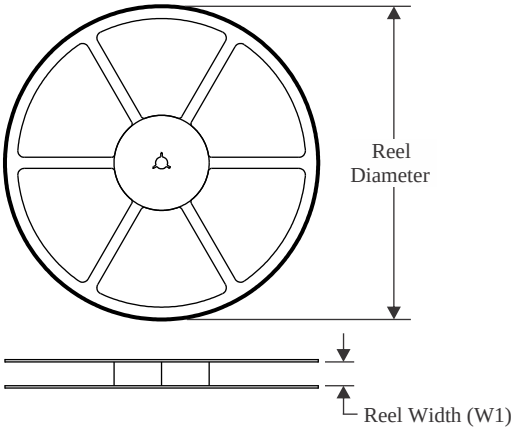
- Catalog : LMK3C0105

NOTE: Qualified Version Definitions:

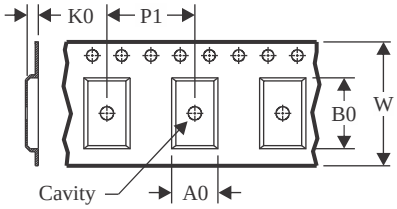
- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

REEL DIMENSIONS

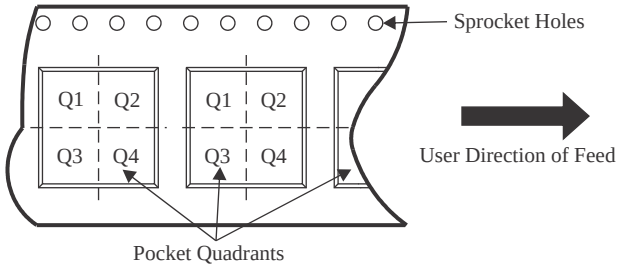


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

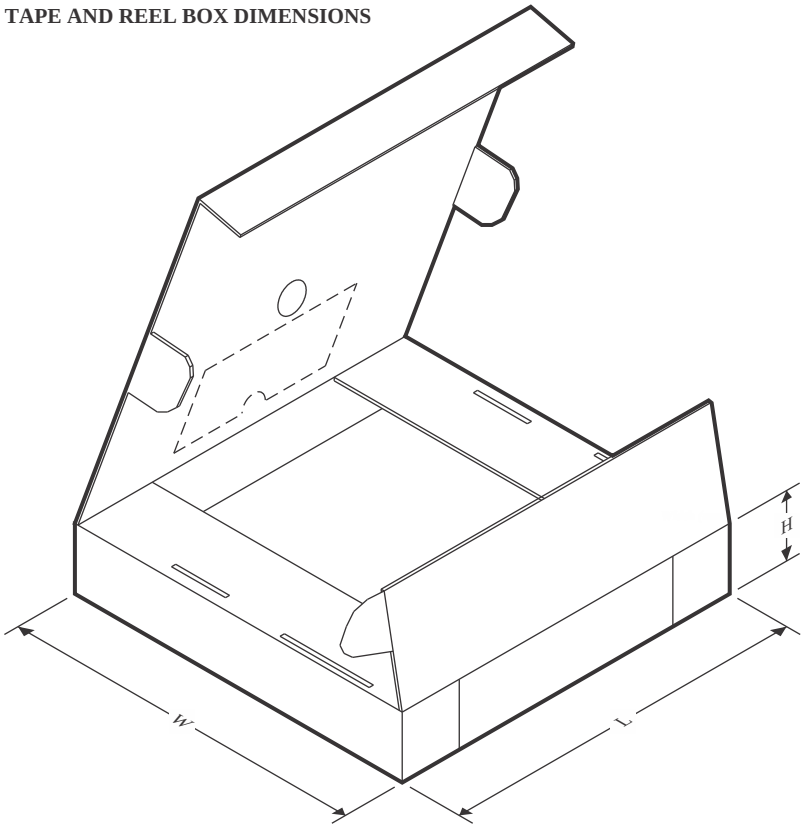
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMK3C0105T08RGTRQ1	VQFN	RGT	16	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LMK3C0105TV1RGTRQ1	VQFN	RGT	16	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LMK3C0105TV3RGTRQ1	VQFN	RGT	16	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS

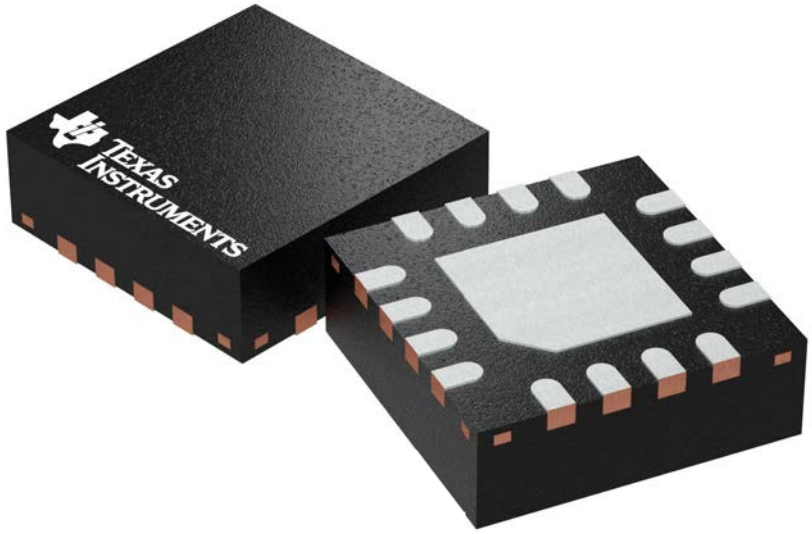


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMK3C0105T08RGTRQ1	VQFN	RGT	16	5000	346.0	346.0	33.0
LMK3C0105TV1RGTRQ1	VQFN	RGT	16	5000	346.0	346.0	33.0
LMK3C0105TV3RGTRQ1	VQFN	RGT	16	3000	346.0	346.0	33.0

RGT 16 VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



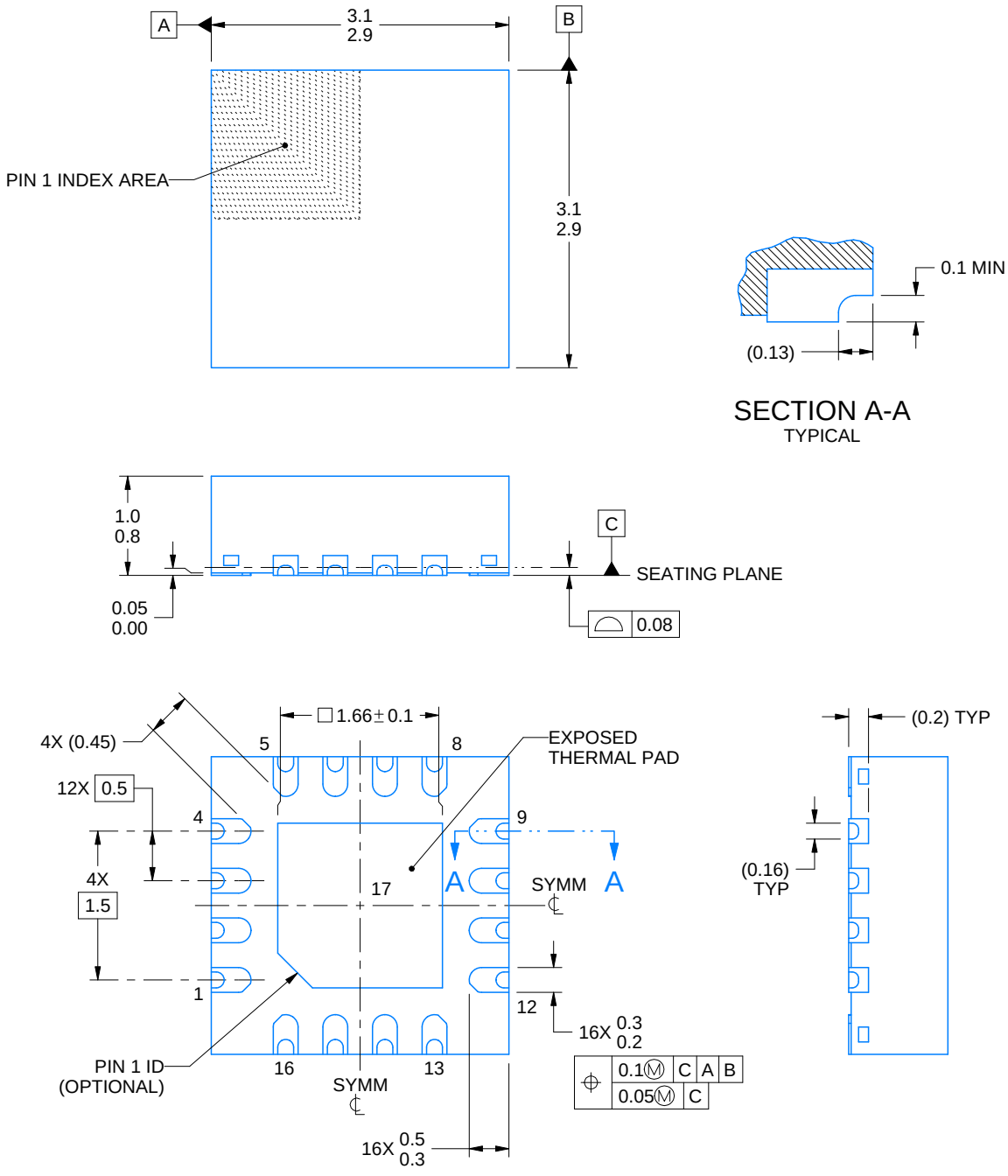
Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

RGT0016K

PACKAGE OUTLINE

VQFN - 1 mm max height

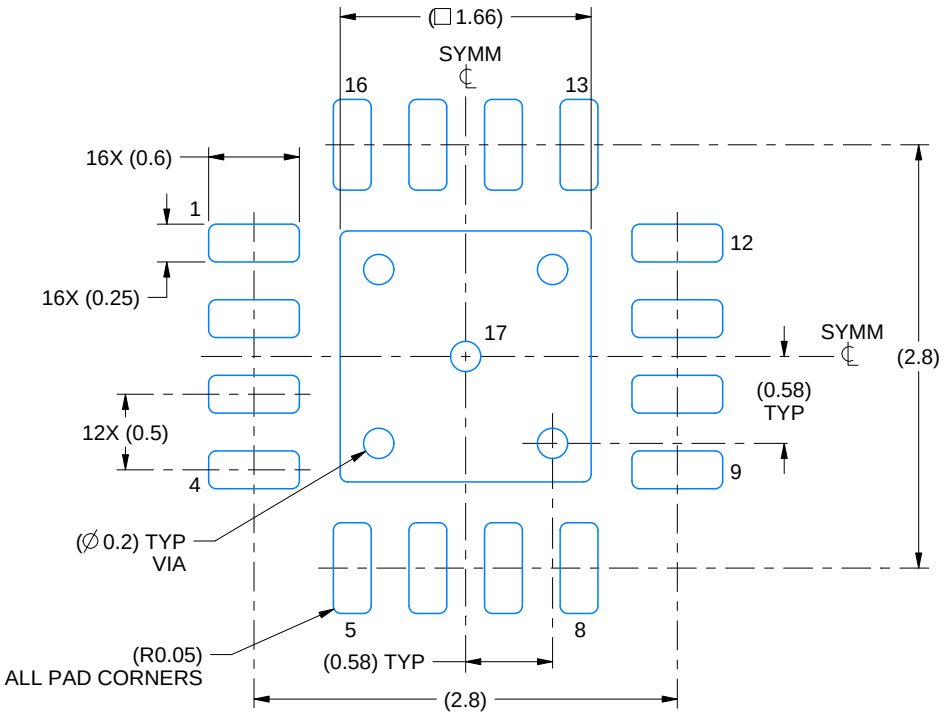
PLASTIC QUAD FLATPACK - NO LEAD



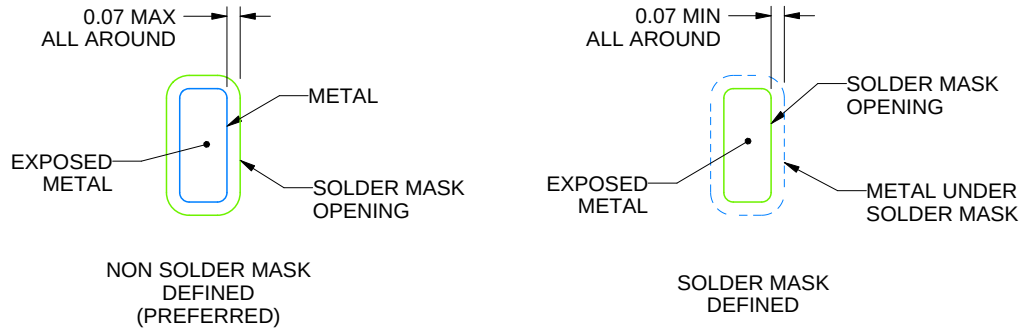
4229414/B 07/2025

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

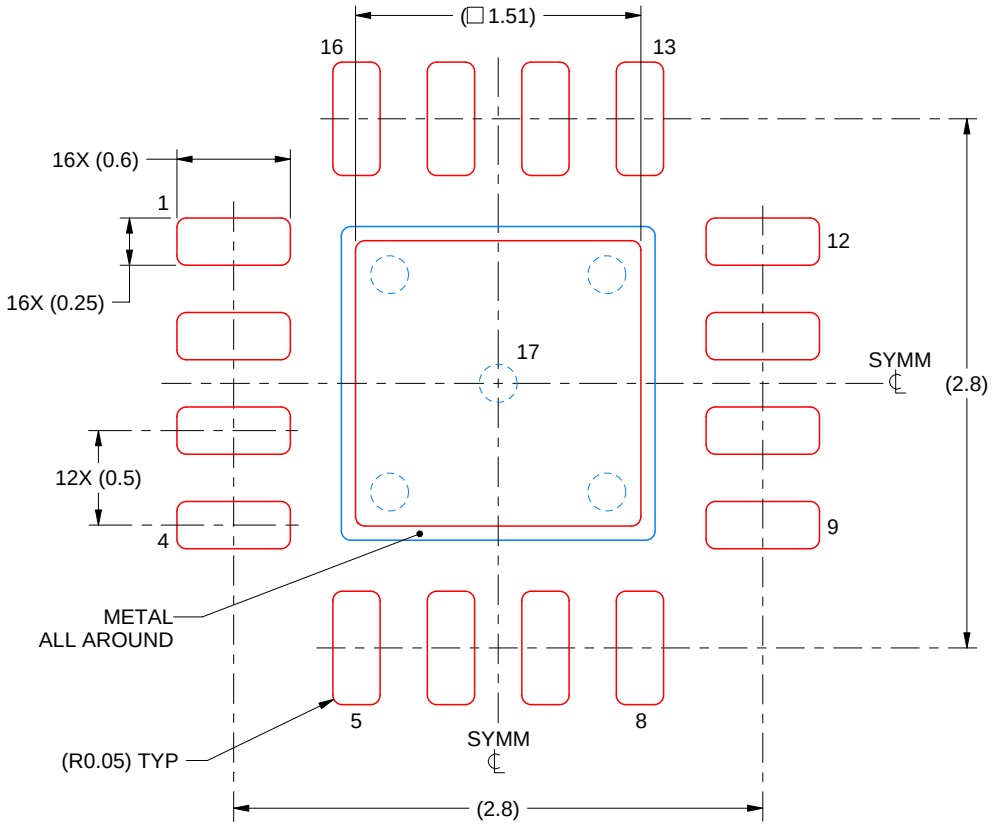


SOLDER MASK DETAILS

4229414/B 07/2025

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
84% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4229414/B 07/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月