LMK3H2104 および LMK3H2108 4 および 8 出力 PCIe Gen 1 ～ 7 準拠、低ジッタ汎用 BAW クロック ジェネレータ

1 特長

- BAW 共振器を内蔵
  - 外部 XTAL/XO は不要
- 柔軟な出力周波数
  - 2 つの分数出力分周器 (FOD)、個別のチャネル分周器
  - 最大 400MHz の出力周波数
- 柔軟な出力フォーマット
  - 1.2/1.8/2.5/3.3V LVCMOS
  - DC または AC 結合 LVDS
  - プログラム可能なスイング付きの LP-HCSL。LVPECL、CML、その他の形式は、LP-HCSL から派生できます
- 非常に小さいジッタ
  - SSC ジッタ付き、最大 61fs の PCIe Gen 5 CC
  - SSC ジッタ付き、最大 36.4fs の PCIe Gen 6 CC
  - SSC ジッタ付き、最大 25.5fs の PCIe Gen 7 CC
- PCIe Gen 1～Gen 7 準拠
- 構成可能な SSC
  - プログラム可能なダウン スプレッド：0.05% ～ -3%、センター スプレッド：±0.025% ～ ±1.5%、またはプリセット - 0.1%、-0.25%、-0.3%、-0.5% のダウン スプレッド
- 3 つの入力 LMK3H2108) または 1 つの入力 (LMK3H2104) を任意の出力にバイパス可能
- 最大スタートアップ時間 5ms
- フェイルセーフ入力ピンは、デバイスの電源がオフのときは high にプルアップできます
- 柔軟な電源
  - 各 VDD ピンは、1.8V、2.5V、3.3V に個別に接続できます
  - 各 VDDO ピンは、1.8V、2.5V、3.3V に設定して個別に接続できます
- 周囲温度範囲：-40℃ ～ 105℃

2 アプリケーション

- 高性能コンピュータ サーバー マザーボード
- NIC、SmartNIC、ハードウェア アクセラレーション
- PCIe Gen 1～Gen 7 のクロック生成
- 汎用クロック生成と XO/XTAL の代替

3 説明

LMK3H2104 および LMK3H2108 は、BAW ベースのクロック ジェネレータで、外部の XTAL や XO を必要としません。これらのデバイスは、PCIe クロック ジェネレータまたは汎用クロック ジェネレータとして使用できます。2 つの FOD (フラクショナル出力デバイダ) は、柔軟な周波数、低消費電力、低ジッタを同時に実現します。

LMK3H2104 は、最大 4 つの差動出力と 2 つの LVCMOS 出力、または最大 10 個の LVCMOS 出力を供給できます。LMK3H2108 は、最大 8 つの差動出力または 16 個の LVCMOS 出力を備えています。

LMK3H2104 には 1 つのクロック入力、LMK3H2108 には 3 つのクロック入力があります。クロック入力には、クロック多重化およびバッファリング機能があります。各出力バンクは独立して任意のクロック ソースを選択できます。

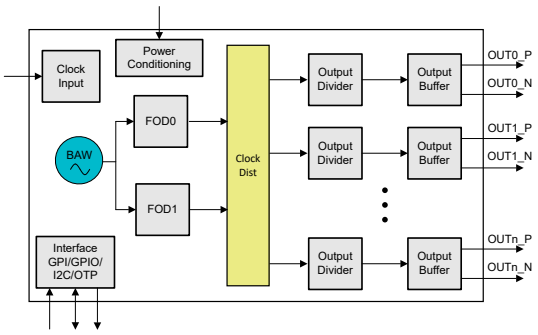
GPI ピンと GPIO ピンにより、制御の柔軟性が向上します。これらのピンは、個別の OE、グループ化された OE、I2C アドレスの選択、OTP ページの選択、PWRGD/PWRDN#、ステータス出力、その他の機能として構成できます。

このデバイスは、ワンタイム プログラマブル (OTP) 不揮発性メモリをサポートしており、カスタマイズと出荷時に事前プログラムが可能です。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
LMK3H2104	RGE0024AA (QFN) (24)	4.0mm × 4.0mm
LMK3H2104	RGE0024AB (QFN) (24)	4.0mm × 4.0mm
LMK3H2108	RKP0040A (QFN) (40)	5.0mm × 5.0mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



概略ブロック図

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....3
5 仕様.....7
5.1 絶対最大定格.....7
5.2 ESD 定格.....7
5.3 推奨動作条件.....7
5.4 熱に関する情報.....8
5.5 電気的特性.....8
5.6 I2C の特性.....24
6 パラメータ測定情報.....26
6.1 LP-HCSL テストまたはシミュレーション負荷.....26
6.2 LVDS テスト負荷.....27
6.3 LVCMOS テスト負荷.....27
7 詳細説明.....28
7.1 概要.....28
7.2 機能ブロック図.....28
7.3 機能説明.....29
7.4 SSC.....55
7.5 デバイスの機能モード.....56
7.6 プログラミング.....57
8 アプリケーションと実装.....60
8.1 アプリケーション情報.....60
8.2 代表的なアプリケーション.....60
8.3 電源に関する推奨事項.....66
8.4 レイアウト.....67
9 デバイスおよびドキュメントのサポート.....68
9.1 ドキュメントのサポート.....68
9.2 ドキュメントの更新通知を受け取る方法.....68
9.3 サポート・リソース.....68
9.4 商標.....68
9.5 静電気放電に関する注意事項.....68
9.6 用語集.....68
10 改訂履歴.....68
11 メカニカル、パッケージ、および注文情報.....69
11.1 テープおよびリール情報.....69

Copyright © 2025 Texas Instruments Incorporated

4 ピン構成および機能

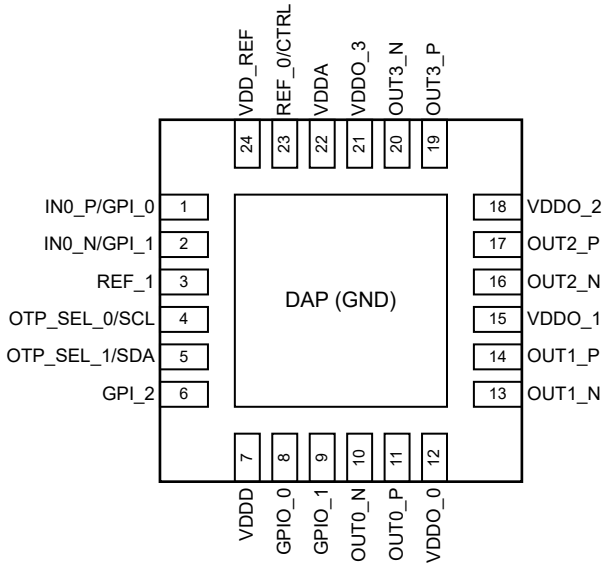


図 4-1. LMK3H2104 RGE パッケージ、24 ピン QFN (上面図)

表 4-1. ピンの機能

ピン		タイプ(1)	説明
名称	番号		
IN0_P/GPI_0	1	I	差動クロック入力または汎用入力。これらはフェイルセーフ入力ピンです。未使用の場合は、フローティングのままにします。
IN0_N/GPI_1	2	I	
REF_1	3	O	1.8V、2.5V、3.3V の LVCMOS クロック出力。この出力はディスエーブルにして low またはトライステートにできます。未使用の場合は、フローティングのままにします。
OTP_SEL_0/SCL	4	I	多機能ピン。機能は、パワーアップ時にピン 23 によって決定されます。デフォルトでは、両方のピンの内部プルダウン抵抗。SCL はフェイルセーフです。 • OTP モード:OTP_SEL_[1:0] 4 つの OTP ページのうち 1 を選択します • I2C モード:SCL、SDA
OTP_SEL_1/SDA	5	I/O	
GPI_2	6	I	汎用入力。フェイルセーフ ピン。未使用の場合は、フローティングのままにします
VDDD	7	P	1.8、2.5 または 3.3V の電源。VDD マッピングについては、電源ピン マッピングを参照してください
GPIO_0	8	I/O	汎用入出力。未使用の場合は、フローティングのままにします。
GPIO_1	9	I/O	汎用入出力。使用しない場合は、フローティングのままにするか、VDD に接続します。GPIO_1 を VDD に接続する場合は、出力として構成しないでください。
OUT0_N	10	O	差動クロック出力 0。LP-HCSL (85Ω または 100Ω)、LVDS および 1.2V、1.8V、2.5V、または 3.3V LVCMOS をサポートしています。未使用の場合は、フローティングのままにします。
OUT0_P	11	O	
VDDO_0	12	P	1.8、2.5 または 3.3V の電源。VDD マッピングについては、電源ピン マッピングを参照してください
OUT1_N	13	O	差動クロック出力 1。LP-HCSL (85Ω または 100Ω)、LVDS および 1.2V、1.8V、2.5V、または 3.3V LVCMOS をサポートしています。未使用の場合は、フローティングのままにします。
OUT1_P	14	O	
VDDO_1	15	P	1.8、2.5 または 3.3V の電源。VDD マッピングについては、電源ピン マッピングを参照してください
OUT2_N	16	O	差動クロック出力 2。LP-HCSL (85Ω または 100Ω)、LVDS および 1.2V、1.8V、2.5V、または 3.3V LVCMOS をサポートしています。未使用の場合は、フローティングのままにします。
OUT2_P	17	O	
VDDO_2	18	P	1.8、2.5 または 3.3V の電源。VDD マッピングについては、電源ピン マッピングを参照してください

Copyright © 2025 Texas Instruments Incorporated

表 4-1. ピンの機能 (続き)

ピン		タイプ(1)	説明
名称	番号		
OUT3_P	19	O	差動クロック出力 3。LP-HCSL (85Ω または 100Ω)、LVDS および 1.2V、1.8V、2.5V、または 3.3V LVCMOS をサポートしています。未使用の場合は、フローティングのままにします。
OUT3_N	20	O	
VDDO_3	21	P	1.8、2.5 または 3.3V の電源。VDD マッピングについては、電源ピン マッピングを参照してください
VDDA	22	P	1.8、2.5 または 3.3V の電源。VDD マッピングについては、電源ピン マッピングを参照してください
REF_0/CTRL	23	I/O	多機能ピン。パワーアップ時、ピン 4 とピン 5 の機能を決定するために、このピンの状態がラッチされます。内部プルアップまたはプルダウン抵抗は利用できません。このピンは、外部で high または low にプルアップする必要があります。 • 電源オン時に低:I2C モード。ピン 4、5 = SCL、SDA • 電源投入時に高:OTP モード。ピン 4、5 = OTP_SEL_0、OTP_SEL_1 電源投入後、このピンは 1.8V、2.5V、3.3V LVCMOS クロックを出力するか、ディスエーブルして low またはトライステートにできます。
VDD_REF	24	P	1.8、2.5 または 3.3V の電源。VDD マッピングについては、電源ピン マッピングを参照してください
DAP	25	G	グランドに接続

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

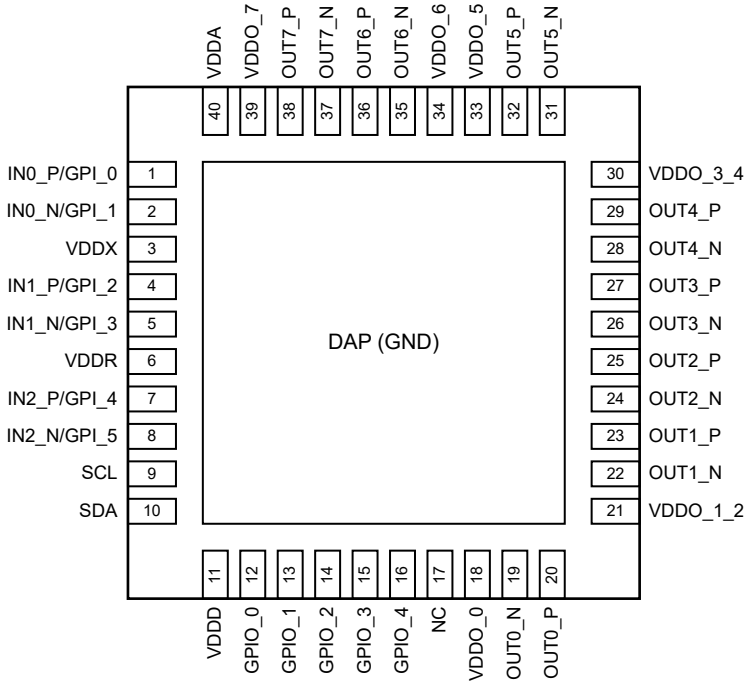


図 4-2. LMK3H2108 RKP パッケージ 40 ピン QFN 上面図

表 4-2. ピンの機能

ピン		タイプ(1)	説明
名称	番号		
IN0_P/GPI_0	1	I	差動クロック入力または汎用入力。これらはフェイルセーフ入力ピンです。未使用の場合は、フローティングのままにします。
IN0_N/GPI_1	2	I	
VDDX	3	P	1.8、2.5 または 3.3V の電源。VDD マッピングについては、電源ピン マッピングを参照してください

Copyright © 2025 Texas Instruments Incorporated

表 4-2. ピンの機能 (続き)

ピン		タイプ[1]	説明
名称	番号		
IN1_P/GPI_2	4	I	差動クロック入力または汎用入力。これらはフェイルセーフ入力ピンです。未使用の場合は、フローティングのままにします。
IN1_N/GPI_3	5	I	
VDDR	6	P	1.8、2.5 または 3.3V の電源。VDD マッピングについては、電源ピン マッピングを参照してください
IN2_P/GPI_4	7	I	差動クロック入力または汎用入力。これらはフェイルセーフ入力ピンです。未使用の場合は、フローティングのままにします。
IN2_N/GPI_5	8	I	
SCL	9	I	I2C クロック
SDA	10	I/O	I2C データ
VDDD	11	P	1.8、2.5 または 3.3V の電源。VDD マッピングについては、電源ピン マッピングを参照してください
GPIO_0	12	I/O	汎用入出力。未使用の場合は、フローティングのままにします。
GPIO_1	13	I/O	汎用入出力。未使用の場合は、フローティングのままにします。
GPIO_2	14	I/O	汎用入出力。未使用の場合は、フローティングのままにします。
GPIO_3	15	I/O	汎用入出力。未使用の場合は、フローティングのままにします。
GPIO_4	16	I/O	汎用入出力。未使用の場合は、フローティングのままにします。
NC	17	該当なし	接続なし。フローティングのままにするか、GND に接続します
VDDO_0	18	P	1.8、2.5 または 3.3V の電源。VDD マッピングについては、電源ピン マッピングを参照してください
OUT0_N	19	O	差動クロック出力 0。LP-HCSL (85Ω または 100Ω)、LVDS および 1.2V、1.8V、2.5V、または 3.3V LVCMOS をサポートしています。未使用の場合は、フローティングのままにします。
OUT0_P	20	O	
VDDO_1_2	21	P	1.8、2.5 または 3.3V の電源。VDD マッピングについては、電源ピン マッピングを参照してください
OUT1_N	22	O	差動クロック出力 1。LP-HCSL (85Ω または 100Ω)、LVDS および 1.2V、1.8V、2.5V、または 3.3V LVCMOS をサポートしています。未使用の場合は、フローティングのままにします。
OUT1_P	23	O	
OUT2_N	24	O	差動クロック出力 2。LP-HCSL (85Ω または 100Ω)、LVDS および 1.2V、1.8V、2.5V、または 3.3V LVCMOS をサポートしています。未使用の場合は、フローティングのままにします。
OUT2_P	25	O	
OUT3_N	26	O	差動クロック出力 3。LP-HCSL (85Ω または 100Ω)、LVDS および 1.2V、1.8V、2.5V、または 3.3V LVCMOS をサポートしています。未使用の場合は、フローティングのままにします。
OUT3_P	27	O	
OUT4_N	28	O	差動クロック出力 4。LP-HCSL (85Ω または 100Ω)、LVDS および 1.2V、1.8V、2.5V、または 3.3V LVCMOS をサポートしています。未使用の場合は、フローティングのままにします。
OUT4_P	29	O	
VDDO_3_4	30	P	1.8、2.5 または 3.3V の電源。VDD マッピングについては、電源ピン マッピングを参照してください
OUT5_N	31	O	差動クロック出力 5。LP-HCSL (85Ω または 100Ω)、LVDS および 1.2V、1.8V、2.5V、または 3.3V LVCMOS をサポートしています。未使用の場合は、フローティングのままにします。
OUT5_P	32	O	
VDDO_5	33	P	1.8、2.5 または 3.3V の電源。VDD マッピングについては、電源ピン マッピングを参照してください
VDDO_6	34	P	1.8、2.5 または 3.3V の電源。VDD マッピングについては、電源ピン マッピングを参照してください
OUT6_N	35	O	差動クロック出力 6。LP-HCSL (85Ω または 100Ω)、LVDS および 1.2V、1.8V、2.5V、または 3.3V LVCMOS をサポートしています。未使用の場合は、フローティングのままにします。
OUT6_P	36	O	
OUT7_N	37	O	差動クロック出力 7。LP-HCSL (85Ω または 100Ω)、LVDS および 1.2V、1.8V、2.5V、または 3.3V LVCMOS をサポートしています。未使用の場合は、フローティングのままにします。
OUT7_P	38	O	
VDDO_7	39	P	1.8、2.5 または 3.3V の電源。VDD マッピングについては、電源ピン マッピングを参照してください
VDDA	40	P	1.8、2.5 または 3.3V の電源。VDD マッピングについては、電源ピン マッピングを参照してください

Copyright © 2025 Texas Instruments Incorporated

表 4-2. ピンの機能 (続き)

ピン		タイプ(1)	説明
名称	番号		
DAP	41	G	グランドに接続

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源。

Copyright © 2025 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
V_{DD}	デバイス電源電圧	-0.3	3.9	V
V_{DDO}	出力電源電圧	-0.3	3.9	V
V_{OUT}	OUTx_P ピンと OUTx_N ピンに印加される電圧 (出力が High または Low の場合)	-0.3	VDDO_x + 0.3	V
	OUTx_P ピンと OUTx_N ピンに印加される電圧 (出力が LVCMOS トライステートの場合)	-0.3	1.89	V
	OUTx_P ピンと OUTx_N ピンに印加される電圧 (出力が LP-HCSL または LVDS トライステートの場合)	-0.3	1.5	V
T_{stg}	保存温度	-65	125	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠、すべてのピン (1)	±2000	V
		デバイス帯電モデル (CDM)、JEDEC 仕様 JS-002 に準拠、すべてのピン (2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

5.3 推奨動作条件

V_{DD} = V_{DDO} = 1.8、2.5、または 3.3V ± 5%、T_A = $T_{A,min}$～$T_{A,max}$

		最小値	公称値	最大値	単位
V_{DD}	デバイス電源電圧	1.71	1.8	1.89	V
		2.375	2.5	2.625	V
		3.135	3.3	3.465	V
V_{DDO}	出力電源電圧	1.71	1.8	1.89	V
		2.375	2.5	2.625	V
		3.135	3.3	3.465	V
V_{IN}	IN_x、GPI、OTP_SEL、SCL、SDA ピンの入力電圧	-0.3		3.6	V
	GPIO または CTRL ピンの入力電圧	-0.3		V_{DD} + 0.3	V
T_A	周囲温度	-40		105	℃
T_J	接合部温度	-40		110	℃
t_{ramp}	電源ランプ時間。VDD = 1.8V	0.05		5	ms
	電源ランプ時間。VDD = 2.5 または 3.3V	0.05		5	ms

Copyright © 2025 Texas Instruments Incorporated

5.4 熱に関する情報

熱評価基準(1)		LMK3H2108 RKP0040A (VQFN) 40 ピン	LMK3H2104 RGE0024AA (VQFN) 24 ピン	LMK3H2104 RGE0024AB (VQFN) 24 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	31.8	53.0	39.6	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	22.0	32.5	32.4	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	12.7	26.1	16.9	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.6	0.9	0.6	°C/W
Ψ_{JB}	接合部から基板への特性パラメータ	12.7	26.0	16.8	°C/W
$R_{\theta JC(bot)}$	接合部からケース (底面) への熱抵抗	0.3	5.1	3.9	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性

パラメータ		テスト条件	最小値	標準値	最大値	単位
周波数安定性						
Δf_{total}	総合周波数誤差。これには、すべての要因と、25°C での 10 年の経年劣化が含まれます	T_A = -40～105°C	-25		25	ppm
$\Delta f_{aging,25°C}$	25°C での経年劣化による周波数誤差	T_A = 25°C、1 年前の経年劣化	1.0		3.6	ppm
		T_A = 25°C、3 年前の経年劣化	1.2		5.0	ppm
		T_A = 25°C、5 年前の経年劣化	1.3		5.7	ppm
		T_A = 25°C、10 年前の経年劣化	1.4		6.5	ppm
		T_A = 25°C、20 年前の経年劣化	1.6		7.4	ppm
クロック入力の要件						
f_{IN}	入力周波数	LVCMOS 入力バッファ	0		200	MHz
		差動入力バッファ	25		400	MHz
DC_{IN}	クロック入力デューティ サイクル		40		60	%
V_{IN}	差動クロック入力振幅 (差動ピーク-ピーク電圧の半分)	$f_0 \le 300MHz$	150		1200	mV
		$300MHz < f_0 \le 400MHz$	150		1200	mV
V_{CM}	差動入力同相コード		0.2		3.3	V
V_{IH}	シングルエンド入力 high 電圧		1.2		3.6	V
V_{IL}	シングルエンド クロック入力 low 電圧		-0.3		0.5	V
dV_{IN}/dt	クロックの入力スルーレート	20%～80%	0.15			V/ns

Copyright © 2025 Texas Instruments Incorporated

パラメータ		テスト条件	最小値	標準値	最大値	単位
C_{IN}	ピンごとのクロック入力容量。INx がクロック入力として構成されている場合の、INx_P ピンまたは INx_N ピンの容量	同相コード電圧 = 0.7V。内部入力終端はディスエーブル		2.7		pF
		同相モード電圧 = 0.7V 内部 100Ω 差動終端がイネーブル		1.4		pF
		同相コード電圧 = 1.2V。内部入力終端はディスエーブル		2.5		pF
		同相モード電圧 = 1.2V 内部 100Ω 差動終端がイネーブル		1.3		pF
		同相コード電圧 = 3.3V。内部入力終端はディスエーブル		3.4		pF
		同相モード電圧 = 3.3V 内部 100Ω 差動終端がイネーブル		1.4		pF
LP-HCSL クロック出力特性						
f_{out}	出力周波数		2.5		400	MHz
V_{min}	アンダーシュートを含む出力低電圧		-85		85	mV
$V_{overshoot}$	出力電圧 high オーバーシュート電圧	$V_{max} – V_{OH}$			120	mV
V_{OH}	出力 HIGH 電圧(4)	OUTx_LPHCSL_VOD_SEL = 0	612	686	758	mV
		OUTx_LPHCSL_VOD_SEL = 1	638	714	789	mV
		OUTx_LPHCSL_VOD_SEL = 2	663	741	818	mV
		OUTx_LPHCSL_VOD_SEL = 3	687	768	849	mV
		OUTx_LPHCSL_VOD_SEL = 4	712	793	877	mV
		OUTx_LPHCSL_VOD_SEL = 5	734	817	905	mV
		OUTx_LPHCSL_VOD_SEL = 6	704	794	877	mV
		OUTx_LPHCSL_VOD_SEL = 7	727	820	906	mV
		OUTx_LPHCSL_VOD_SEL = 8	726	823	913	mV
		OUTx_LPHCSL_VOD_SEL = 9	748	847	941	mV
		OUTx_LPHCSL_VOD_SEL = 10	769	872	967	mV
		OUTx_LPHCSL_VOD_SEL = 11	792	896	996	mV
		OUTx_LPHCSL_VOD_SEL = 12	815	921	1023	mV
		OUTx_LPHCSL_VOD_SEL = 13	836	945	1050	mV
		OUTx_LPHCSL_VOD_SEL = 14	858	969	1080	mV
		OUTx_LPHCSL_VOD_SEL = 15	879	993	1107	mV

Copyright © 2025 Texas Instruments Incorporated

パラメータ		テスト条件	最小値	標準値	最大値	単位
Z_{diff}	LP-HCSL 静的差動インピーダンス	85Ω LP-HCSL	68	85	102	Ω
		100Ω LP-HCSL	80	100	120	Ω
dV/dt	出力スルー レート (立ち上がりおよび立ち下がりエッジ)。ゼロ交差点を中心に、差動波形の -150mV～+150mV で測定されます。	OUTx_SLEW_RATE = 0 (1)	2.4	3.1	3.7	V/ns
		OUTx_SLEW_RATE = 1 (1)	2.2	2.9	3.4	V/ns
		OUTx_SLEW_RATE = 2 (1)	2	2.6	3.1	V/ns
		OUTx_SLEW_RATE = 3 (1)	1.8	2.3	2.8	V/ns
ΔdV/dt	立ち上がりエッジレートと立ち下がりエッジレートの一致	(1)			20	%
ODC	出力デューティ サイクル	(1)	45		55	%
		f_{out} ≤ 325MHz	45		55	%
		325MHz < f_{out} ≤ 400MHz	45		55	%
t_{skew}	出力間スキュー	同じクロック ソース			100	ps
V_{cross}	絶対交差点電圧	(1)	250		550	mV
ΔV_{cross}	クロック エッジ全体における V_{cross} の変動	(1)			140	mV
$\lvert V_{RB} \rvert$	リング バック電圧の絶対値	(1)	100			mV
t_{stable}	V_{RB} が許容されるまでの時間	(1)	500			ps
$J_{cycle-to-cycle}$	サイクル間ジッタ、共通クロック、SSC なし	(1)			150	ps
$J_{cycle-to-cycle}$	サイクル間ジッタ、共通クロック、-0.5% SSC	(1)			150	ps
t_{period_abs}	ジッタと SSC を含む絶対周期	(1)	9.949	10	10.101	ns
$t_{period_avg_CC}$	平均クロック周期精度、共通クロック	(1)	-100		2600	ppm
$t_{period_avg_SRIS}$	平均クロック周期精度、SRIS	(1)	-100		1600	ppm
V_{OH-DC}	出力電圧 High	DC シミュレーション負荷、85Ω LP-HCSL、OUTx_LPHCSL_VOD_SEL = 4	225		270	mV
V_{OL-DC}	出力電圧 Low		10		150	mV
$V_{cross-DC}$	絶対交差点電圧		130		200	mV
LVDS クロック出力特性						
f_{out}	出力周波数		2.5		400	MHz
$\lvert V_{OD} \rvert$	差動出力電圧の定常状態の振幅 $\lvert V_{OUTP} - V_{OUTN} \rvert$		250		450	mV
$\Delta V_{pp-diff}$	相補出力状態間の差動出力電圧スイングの変化				50	mV
V_{OS}	定常状態の出力オフセット電圧 (同相電圧)	VDDO_x = 3.3V	1.075		1.425	V
		VDDO_x = 2.5V	1.05		1.4	V
		VDDO_x = 1.8V	1		1.25	V
ΔV_{OS}	相補出力状態間の V_{OS} の変化				50	mV
I_{SA}、I_{SB}	短絡電流。ジェネレータ出力端子がジェネレータ回路の共通端子に短絡されたときの電流の大きさ		-24		24	mA
I_{SAB}	短絡電流。ジェネレータ出力端子が互いに短絡されたときの電流の大きさ		-12		12	mA

Copyright © 2025 Texas Instruments Incorporated

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_R、t_F	20%～80% の差動立ち上がり / 立ち下がり時間	OUTx_SLEW_RATE = 0			385	ps
		OUTx_SLEW_RATE = 1			545	ps
		OUTx_SLEW_RATE = 2			710	ps
		OUTx_SLEW_RATE = 3			850	ps
t_{skew}	出力間スキュー	同じクロック ソース			100	ps
ODC	出力デューティ サイクル		45		55	%
LVCMOS クロック 出力特性						
f_{out}	出力周波数。クロック ソースは FOD またはエッジ コンバイナです	OUT0	38.15 × 10^{-6}		200	MHz
		その他のすべての出力	156.25 × 10^{-3}		200	MHz
	出力周波数。クロック ソースは IN0、IN1、または IN2		0		200	MHz
dV/dt	出力スルー レート。VDDO = 3.3V±5%。20% ～ 80% で測定、4.7pF 負荷	OUTx_CMOS_SLEW_RATE = 0	2		5.2	V/ns
		OUTx_CMOS_SLEW_RATE = 1	1.7		5	V/ns
		OUTx_CMOS_SLEW_RATE = 2	1.35		4	V/ns
		OUTx_CMOS_SLEW_RATE = 3	1		3.5	V/ns
dV/dt	出力スルー レート。VDDO = 2.5V±5%。20% ～ 80% で測定、4.7pF 負荷	OUTx_CMOS_SLEW_RATE = 0	1.5		3.9	V/ns
		OUTx_CMOS_SLEW_RATE = 1	1.3		3.8	V/ns
		OUTx_CMOS_SLEW_RATE = 2	1		3.1	V/ns
		OUTx_CMOS_SLEW_RATE = 3	0.75		2.7	V/ns
dV/dt	出力スルー レート。VDDO = 1.8V±5%。20% ～ 80% で測定、4.7pF 負荷	OUTx_CMOS_SLEW_RATE = 0	1.25		2.9	V/ns
		OUTx_CMOS_SLEW_RATE = 1	1.1		2.8	V/ns
		OUTx_CMOS_SLEW_RATE = 2	0.85		2.4	V/ns
		OUTx_CMOS_SLEW_RATE = 3	0.65		2.1	V/ns
dV/dt	出力スルー レート。1.2V LVCMOS モード。VDDO = (3.3V または 2.5V)。20% ～ 80% で測定、4.7pF 負荷	OUTx_SLEW_RATE = 0	1.5		2.1	V/ns
		OUTx_SLEW_RATE = 1	1.3		1.9	V/ns
		OUTx_SLEW_RATE = 2	1.1		1.6	V/ns
		OUTx_SLEW_RATE = 3	1		1.5	V/ns

Copyright © 2025 Texas Instruments Incorporated

パラメータ		テスト条件	最小値	標準値	最大値	単位
dV/dt	出力スルー レート。1.2V LVCMOS モード。VDDO = 1.8V。20% ～ 80% で測定、4.7pF 負荷	OUTx_SLEW_RATE = 0	1.2		2.3	V/ns
		OUTx_SLEW_RATE = 1	1		2	V/ns
		OUTx_SLEW_RATE = 2	0.9		1.8	V/ns
		OUTx_SLEW_RATE = 3	0.8		1.6	V/ns
V_{OH}	出力 HIGH 電圧	I_{OH} = –15mA、3.3V 時	0.8 × VDDO		VDDO	V
		I_{OH} = –12mA、2.5V 時	0.8 × VDDO		VDDO	V
		I_{OH} = –8mA、1.8V 時	0.8 × VDDO		VDDO	V
V_{OL}	出力 LOW 電圧	I_{OL} = 15mA 、3.3V 時	0		0.4	V
		I_{OL} = 12mA 、2.5V 時	0		0.4	
		I_{OL} = 8mA 、1.8V 時	0		0.4	
$V_{OH,1.2V}$	1.2V CMOS モードでの出力 high 電圧	1.2V に設定されます。I_{OH} = -3mA	0.93		1.2	V
		1.1V に設定されます。I_{OH} = -3mA	0.86		1.1	V
$V_{OL,1.2V}$	1.2V CMOS モードでの出力 low 電圧	I_{OL} = 3mA	0		0.24	V
$\lvert V_{OD,1.2V\ Diff}\rvert$	$\lvert V_{OUTP} - V_{OUTN}\rvert$。差動出力終端による 1.2V CMOS モードでの出力スイング	1.2V に設定されます。100Ω 差動外部ライン終端。2pF の負荷。	539	600	660	mV
		1.1V に設定されます。100Ω 差動外部ライン終端。2pF の負荷。	495	550	617	mV
$V_{OS,1.2V\ Diff}$	出力オフセット電圧。差動出力終端付き 1.2V CMOS モードにおける出力同相モード	1.2V に設定されます。100Ω 差動外部ライン終端。2pF の負荷。	540	600	660	mV
		1.1V に設定されます。100Ω 差動外部ライン終端。2pF の負荷。	495	550	605	mV
dV/dt	100Ω の差動外部終端付き 1.2V CMOS モードでの差動出力スルー レート。VDDO = 3.3V または 2.5V±5%。20% ～ 80% で測定、2pF 負荷	OUTx_SLEW_RATE = 0	2.8		3.3	V/ns
		OUTx_SLEW_RATE = 1	2.2		2.6	V/ns
		OUTx_SLEW_RATE = 2	1.8		2.1	V/ns
		OUTx_SLEW_RATE = 3	1.5		1.7	V/ns
	100Ω の差動外部終端付き 1.2V CMOS モードでの差動出力スルー レート。VDDO = 1.8V±5%。20% ～ 80% で測定、2pF 負荷	OUTx_SLEW_RATE = 0	2.5		3.3	V/ns
		OUTx_SLEW_RATE = 1	2		2.6	V/ns
		OUTx_SLEW_RATE = 2	1.6		2.1	V/ns
		OUTx_SLEW_RATE = 3	1.3		1.8	V/ns
I_{leak}	出力リーク電流	トライステート出力。VDD = VDDO = 3.465V	-35		35	µA

Copyright © 2025 Texas Instruments Incorporated

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_{out}	出力インピーダンス	3.3V LVCMOS		17		Ω
		2.5V LVCMOS		17		Ω
		1.8V LVCMOS		17		Ω
		1.2V LVCMOS	40	50	60	Ω
ODC	出力デューティ サイクル	f_{out} ≤ 156.25MHz	45		55	%
		f_{out} > 156.25MHz	45		55	%
t_{skew}	出力間スキュー	同じクロック ソース			100	ps
C_{load}	最大負荷容量				15	pF
LVCMOS REFCLK の特性						
f_{out}	出力周波数		0		200	MHz
dV/dt	出力スルー レート、20% ～ 80% で測定	VDDO = 3.3V ± 5%(2)	2.2		6.1	V/ns
		VDDO = 2.5V ± 5%(2)	1.7		4.6	V/ns
		VDDO = 1.8V ± 5%(2)	1.45		3.4	V/ns
V_{OH}	出力 HIGH 電圧	I_{OH} = –15mA、3.3V ± 5%(2)	0.8 x VDDO		VDDO	V
		I_{OH} = –12mA、2.5V ± 5%(2)	0.8 x VDDO		VDDO	V
		I_{OH} = –8mA、1.8V ± 5%(2)	0.8 x VDDO		VDDO	V
V_{OL}	出力 LOW 電圧	I_{OL} = 15mA、3.3V ± 5% の時(2)	0		0.4	V
		I_{OL} = 12mA、2.5V ± 5% の時(2)	0		0.4	V
		I_{OL} = 8mA、1.8V ± 5% の時(2)	0		0.4	V
I_{leak}	出力リーク電流	トライステート出力。VDD = VDDO = 3.465V(4)	-6		13	µA
R_{out}	出力インピーダンス	3.3V LVCMOS		17		Ω
R_{out}	出力インピーダンス	2.5V LVCMOS		17		Ω
R_{out}	出力インピーダンス	1.8V LVCMOS		17		Ω
ODC	出力デューティ サイクル	f_{out} ≤ 156.25MHz (2)	45		55	%
		f_{out} > 156.25MHz (2)	45		55	%
C_{load}	最大負荷容量	(2)			15	pF
RJ	12kHz ～ 20MHz 統合 RMS ジッタ	f_{out} = 50MHz(2)			1	ps
SSC 特性						
f_{out}	SSC をサポートする出力周波数範囲		2.5		200	MHz
f_{SSC}	SSC 変調周波数		30	31.5	33	kHz
$f_{SSC-deviation}$	SSC 偏差 (変調深度)	ダウン スプレッド (プログラマブル)	-0.05		-3	%
		センター スプレッド (プログラマブル)	±0.025		±1.5	%
df/dt	SSC 最大周波数スルーレート	0 < $f_{SSC-deviation}$ ≤ –0.5%			1250	ppm/us
ジッタ特性						
$J_{PCIe2-cc-SSC_off}$	PCIe Gen 2 共通クロックのジッタ、SSC はオフ (ジッタ制限 = 3ps)	FOD0 または FOD1 のみがイネーブル。SSC はディセーブル			0.27	ps

パラメータ		テスト条件	最小値	標準値	最大値	単位
$J_{PCIe2\text{-}cc\text{-}SSC_on}$	PCIe Gen 2 共通クロックのジッタ、–0.5% ≤ SSC < 0% (ジッタ制限 = 3ps)	FOD0 または FOD1 のみがイネーブル。SSC はイネーブル			0.48	ps
$J_{PCIe2\text{-}SRNS}$	PCIe Gen 2 の SRNS ジッタ	FOD0 または FOD1 のみがイネーブル。SSC はディセーブル			0.32	ps
$J_{PCIe2\text{-}SRIS}$	PCIe Gen 2 の SRIS ジッタ、–0.3% ≤ SSC < 0%	FOD0 または FOD1 のみがイネーブル。SSC はイネーブル			0.51	ps
$J_{PCIe3\text{-}cc\text{-}SSC_off}$	PCIe Gen 3 共通クロックのジッタ、SSC はオフ (ジッタ制限 = 1ps)	FOD0 または FOD1 のみがイネーブル。SSC はディセーブル			80	fs
$J_{PCIe3\text{-}cc\text{-}SSC_on}$	PCIe Gen 3 共通クロックのジッタ、–0.5% ≤ SSC < 0% (ジッタ制限 = 1ps)	FOD0 または FOD1 のみがイネーブル。SSC はイネーブル			145	fs
$J_{PCIe3\text{-}SRNS}$	PCIe Gen 3 の SRNS ジッタ	FOD0 または FOD1 のみがイネーブル。SSC はディセーブル			95	fs
$J_{PCIe3\text{-}SRIS}$	PCIe Gen 3 の SRIS ジッタ、–0.3% ≤ SSC < 0%	FOD0 または FOD1 のみがイネーブル。SSC はイネーブル			440	fs
$J_{PCIe4\text{-}cc\text{-}SSC_off}$	PCIe Gen 4 共通クロックのジッタ、SSC はオフ (ジッタ制限 = 500fs)	FOD0 または FOD1 のみがイネーブル。SSC はディセーブル			76	fs
$J_{PCIe4\text{-}cc\text{-}SSC_on}$	PCIe Gen 4 共通クロックのジッタ、–0.5% ≤ SSC < 0% (ジッタ制限 = 500fs)	FOD0 または FOD1 のみがイネーブル。SSC はイネーブル			144	fs
$J_{PCIe4\text{-}SRNS}$	PCIe Gen 4 の SRNS ジッタ	FOD0 または FOD1 のみがイネーブル。SSC はディセーブル			95	fs
$J_{PCIe4\text{-}SRIS}$	PCIe Gen 4 の SRIS ジッタ、–0.3% ≤ SSC < 0%	FOD0 または FOD1 のみがイネーブル。SSC はイネーブル			215	fs
$J_{PCIe5\text{-}cc\text{-}SSC_off}$	PCIe Gen 5 共通クロックのジッタ、SSC はオフ (ジッタ制限 = 150fs)	FOD0 または FOD1 のみがイネーブル。SSC はディセーブル			29	fs
$J_{PCIe5\text{-}cc\text{-}SSC_on}$	PCIe Gen 5 共通クロックのジッタ、–0.5% ≤ SSC < 0% (ジッタ制限 = 150fs)	FOD0 または FOD1 のみがイネーブル。SSC はイネーブル			61	fs
$J_{PCIe5\text{-}SRNS}$	PCIe Gen 5 の SRNS ジッタ	FOD0 または FOD1 のみがイネーブル。SSC はディセーブル			36	fs
$J_{PCIe5\text{-}SRIS}$	PCIe Gen 5 の SRIS ジッタ、–0.3% ≤ SSC < 0%	FOD0 または FOD1 のみがイネーブル。SSC はイネーブル			66	fs
$J_{PCIe6\text{-}cc\text{-}SSC_off}$	PCIe Gen 6 共通クロックのジッタ、SSC はオフ (ジッタ制限 = 100fs)	FOD0 または FOD1 のみがイネーブル。SSC はディセーブル			19.3	fs
$J_{PCIe6\text{-}cc\text{-}SSC_on}$	PCIe Gen 6 共通クロックのジッタ、–0.5% ≤ SSC < 0% (ジッタ制限 = 100fs)	FOD0 または FOD1 のみがイネーブル。SSC はイネーブル			36.4	fs
$J_{PCIe6\text{-}SRNS}$	PCIe Gen 6 の SRNS ジッタ	FOD0 または FOD1 のみがイネーブル。SSC はディセーブル			29.3	fs

Copyright © 2025 Texas Instruments Incorporated

パラメータ		テスト条件	最小値	標準値	最大値	単位
$J_{PCIe6-SRIS}$	PCIe Gen 6 の SRIS ジッタ、–0.3% ≤ SSC < 0%	FOD0 または FOD1 のみがイネーブル。SSC はイネーブル			48.3	fs
$J_{PCIe7-cc-SSC_off}$	PCIe Gen 7 共通クロックのジッタ、SSC はオフ	FOD0 または FOD1 のみがイネーブル。SSC はディセーブル			13.5	fs
$J_{PCIe7-cc-SSC_on}$	PCIe Gen 7 共通クロックのジッタ、–0.5% ≤ SSC < 0%	FOD0 または FOD1 のみがイネーブル。SSC はイネーブル			25.5	fs
$J_{PCIe7-SRNS}$	PCIe Gen 7 の SRNS ジッタ	FOD0 または FOD1 のみがイネーブル。SSC はディセーブル			20.6	fs
$J_{PCIe7-SRIS}$	PCIe Gen 7 の SRIS ジッタ、–0.15% ≤ SSC < 0%	FOD0 または FOD1 のみがイネーブル。SSC はイネーブル			26.4	fs
RJ_{RMS}	12kHz ～ 20MHz RMS ジッタ	f_{out} = 156.25MHzFOD0 または FOD1 のみがイネーブル。		154	211	fs
バッファ モードの特性						
$J_{PCIe1-CC}$	PCIe Gen 1 CC	差動入力スルー レート ≥ 3.5 V/ns。差動入力スイング ≥ 1600mV			977	fs
$J_{PCIe2-CC}$	PCIe Gen 2 CC				229	fs
$J_{PCIe3-CC}$	PCIe Gen 3 CC				88	fs
$J_{PCIe4-CC}$	PCIe Gen 4 CC				88	fs
$J_{PCIe5-CC}$	PCIe Gen 5 CC				34	fs
$J_{PCIe6-CC}$	PCIe Gen 6 CC				22	fs
$J_{PCIe2-IR}$	PCIe Gen 2 IR				268	fs
$J_{PCIe3-IR}$	PCIe Gen 3 IR				72	fs
$J_{PCIe4-IR}$	PCIe Gen 4 IR				72	fs
$J_{PCIe5-IR}$	PCIe Gen 5 IR				28	fs
$J_{PCIe6-IR}$	PCIe Gen 6 IR				23	fs
$J_{PCIe1-CC}$	PCIe Gen 1 CC	差動入力スルー レート ≥ 1.5 V/ns。差動入力スイング ≥ 800mV			977	fs
$J_{PCIe2-CC}$	PCIe Gen 2 CC				231	fs
$J_{PCIe3-CC}$	PCIe Gen 3 CC				90	fs
$J_{PCIe4-CC}$	PCIe Gen 4 CC				90	fs
$J_{PCIe5-CC}$	PCIe Gen 5 CC				34	fs
$J_{PCIe6-CC}$	PCIe Gen 6 CC				23	fs
$J_{PCIe2-IR}$	PCIe Gen 2 IR				273	fs
$J_{PCIe3-IR}$	PCIe Gen 3 IR				73	fs
$J_{PCIe4-IR}$	PCIe Gen 4 IR				73	fs
$J_{PCIe5-IR}$	PCIe Gen 5 IR				28	fs
$J_{PCIe6-IR}$	PCIe Gen 6 IR				23	fs
$J_{RMS-additive}$	100MHz 時の加算性 12kHz ～ 20MHz RMS ジッタ	差動入力スルー レート ≥ 3.5 V/ns。差動入力スイング ≥ 1600mV		73	145	fs
		差動入力スルー レート ≥ 1.5 V/ns。差動入力スイング ≥ 800mV		77	153	fs

Copyright © 2025 Texas Instruments Incorporated

パラメータ		テスト条件	最小値	標準値	最大値	単位
$J_{RMS\text{-}additive}$	156.25MHz 時の加算性 12kHz ～ 20MHz RMS ジッタ	差動入力スルー レート ≥ 3.5 V/ns。差動入力スイング ≥ 1600mV		57	122	fs
		差動入力スルー レート ≥ 1.5 V/ns。差動入力スイング ≥ 800mV		59	124	fs
$J_{RMS\text{-}additive}$	156.25MHz 時の加算性 12kHz ～ 70MHz RMS ジッタ	差動入力スルー レート ≥ 3.5 V/ns。差動入力スイング ≥ 1600mV		106	156	fs
		差動入力スルー レート ≥ 1.5 V/ns。差動入力スイング ≥ 800mV		108	161	fs
$J_{RMS\text{-}additive}$	312.5MHz 時の加算性 12kHz ～ 20MHz RMS ジッタ	差動入力スルー レート ≥ 3.5 V/ns。差動入力スイング ≥ 1600mV		48	90	fs
		差動入力スルー レート ≥ 1.5 V/ns。差動入力スイング ≥ 800mV		51	94	fs
$J_{RMS\text{-}additive}$	312.5MHz 時の加算性 12kHz ～ 70MHz RMS ジッタ	差動入力スルー レート ≥ 3.5 V/ns。差動入力スイング ≥ 1600mV		81	123	fs
		差動入力スルー レート ≥ 1.5 V/ns。差動入力スイング ≥ 800mV		82	128	fs
t_{skew}	出力間スキュー	同じクロック ソース			100	ps
t_{PD}	入出力間遅延				1.1	ns
Δt_{PD}	入出力間遅延の変動	単一デバイスにおける温度および電圧条件。100MHz、LP-HCSL 出力			2	ps/°C
DCD	デューティ サイクルの歪み	差動入力、f ≤ 400MHz、差動入力スルー レート ≥ 1.5V/ns、差動入力スイング ≥ 800mV	-3		3	%
		CMOS 入力、f ≤ 200MHz、立ち上がり/立ち下がり時間は ≤ 1ns	-11		11	%
		CMOS 入力、f ≤ 156.25MHz、立ち上がり/立ち下がり時間は ≤ 1ns	-9		9	%
		CMOS 入力、f ≤ 50MHz、立ち上がり/立ち下がり時間は ≤ 1ns	-3		3	%
タイミング特性						
$t_{startup}$	起動時間	VDD = 2.5/3.3V。すべての VDD ピンが 1.62V に達してから最初の出力クロックの立ち上がりエッジまでの経過時間		2.4	5	ms
		VDD = 1.8V。すべての VDD ピンが 1.62V に達してから最初の出力クロックの立ち上がりエッジまでの経過時間		1.6	5	ms

Copyright © 2025 Texas Instruments Incorporated

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{OE}	出力イネーブル時間 CLOCK_READY ステータスが「1」になった後、OE アサートから最初の出力クロックの立ち上がりエッジまでの経過時間	フル同期モード	3 出力クロック サイクル		7 出力クロック サイクル + 40ns	
		セルフ同期モード	3 出力クロック サイクル		7 出力クロック サイクル + 40ns	
		SYNC モードなし	0		40	ns
t_{OD}	出力ディスエーブル時間 OE デアサートから最後の出力クロックの立ち下がりエッジまでの経過時間。	フル同期モード	3 出力クロック サイクル		7 出力クロック サイクル + 40ns	
		セルフ同期モード	3 出力クロック サイクル		7 出力クロック サイクル + 40ns	
		SYNC モードなし	0		40	ns
t_{OTP}	動的 OTP スイッチ時間	OTP ページが変化するとき、クロック出力の最後の立ち下がりエッジと最初の立ち上がりエッジの間で測定されます		900		µs
電源電流特性						
I_{DDR}	V_{DDR} ピンの電源電流 (LMK3H2108 のみ)	IN1 と IN2 の電源がオフになります			5.1	mA
		IN1 または IN2 イネーブルです			14.1	mA
		IN1 と IN2 機能がイネーブルです			25.1	mA
I_{DDX}	V_{DDx} ピンの電源電流 (LMK3H2108 のみ)	IN0 の電源がオフになります			2.5	mA
		IN0 はイネーブル			13.4	mA
I_{DDA}	V_{DDA} ピン電源電流	1 つの FOD がイネーブルです。FOD 周波数 = 200 MHz			49.6	mA
		1 つの FOD がイネーブルです。FOD 周波数 = 400 MHz			55.7	mA
		両方の FOD がイネーブルになります。FOD 周波数 = 200 MHz			59.2	mA
		両方の FOD がイネーブルになります。FOD 周波数 = 400 MHz			74.4	mA
I_{DDD}	V_{DDD} ピン電源電流	1 つの FOD がイネーブルです。FOD 周波数 = 200 MHz			45.8	mA
		1 つの FOD がイネーブルです。FOD 周波数 = 400 MHz			52.4	mA
		両方の FOD がイネーブルになります。FOD 周波数 = 200 MHz			58.4	mA
		両方の FOD がイネーブルになります。FOD 周波数 = 400 MHz			70	mA

Copyright © 2025 Texas Instruments Incorporated

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_{DDO_CMOS}	V_{DDO} ピンの LVCMOS 出力ペアあたりの電源電流	V_{DDO} = 1.8V ± 5%。f_{out} = 50MHz			5	mA
		V_{DDO} = 2.5V ± 5%。f_{out} = 50MHz			6.4	mA
		V_{DDO} = 3.3V ± 5%。f_{out} = 50MHz			7.7	mA
		V_{DDO} = 1.8V ± 5%。f_{out} = 200MHz			13.4	mA
		V_{DDO} = 2.5V ± 5%。f_{out} = 200MHz			17.3	mA
		V_{DDO} = 3.3V ± 5%。f_{out} = 200MHz			21.7	mA
$I_{DDO_1.2VCMOS}$	1.2V LVCMOS 出力ペアあたりの V_{DDO} ピンの消費電流	V_{DDO} = 1.8V ± 5%。1.2V LVCMOS がイネーブル。f_{out} = 50MHz。ハイインピーダンス終端。			11.9	mA
		V_{DDO} = 1.8V ± 5%。1.2V LVCMOS がイネーブル。f_{out} = 200MHz。ハイインピーダンス終端。			15.6	mA
		V_{DDO} = 1.8V ± 5%。1.2V LVCMOS がイネーブル。f_{out} = 50MHz。100Ω 差動終端。			15.8	mA
		V_{DDO} = 1.8V ± 5%。1.2V LVCMOS がイネーブル。f_{out} = 200MHz。100Ω 差動終端。			18.2	mA
I_{DDO_LPHCSL}	V_{DDO} ピンの LP-HCSL 出力ペアごとの電源電流	V_{DDO} = 1.8、2.5 または 3.3V ± 5%。f_{out} = 100MHz			10.8	mA
		V_{DDO} = 1.8、2.5 または 3.3V ± 5%。f_{out} = 400MHz			16.4	mA
I_{DDO_LVDS}	V_{DDO} ピンの LVDS 出力ペアあたりの電源電流	V_{DDO} = 1.8、2.5 または 3.3V ± 5%。f_{out} = 100MHz			8	mA
		V_{DDO} = 1.8、2.5 または 3.3V ± 5%。f_{out} = 400MHz			11.3	mA
I_{DD_PD}	合計パワーダウン電流	V_{DDO} = 1.8V ± 5%			53	mA
		V_{DDO} = 3.3V ± 5%			67	mA
PSNR 特性						

Copyright © 2025 Texas Instruments Incorporated

パラメータ		テスト条件	最小値	標準値	最大値	単位
$PSNR_{2.5/3.3V_CLK_GEN}$	電源ノイズ除去。VDDx = 2.5 または 3.3V。クロック ジェネレータ モード (クロック ソースは FOD またはエッジ コンバイナ)。VDDO 以外のすべての電源ピンに印加されるリップル(3)	10kHz		-88.9		dBc
		50kHz		-89.9		dBc
		100kHz		-89.2		dBc
		500kHz		-82.6		dBc
		1MHz		-93.3		dBc
		5MHz		-86.8		dBc
		10MHz		-89.3		dBc
	電源ノイズ除去。VDDx = 2.5 または 3.3V。クロック ジェネレータ モード (クロック ソースは FOD またはエッジ コンバイナ)。すべての VDDO ピンに印加されるリップル。LVCMOS 出力フォーマット(3)	10kHz		-72		dBc
		50kHz		-72.6		dBc
		100kHz		-72.1		dBc
		500kHz		-71.4		dBc
		1MHz		-92.5		dBc
		5MHz		-90.7		dBc
		10MHz		-92.6		dBc
	電源ノイズ除去。VDDx = 2.5 または 3.3V。クロック ジェネレータ モード (クロック ソースは FOD またはエッジ コンバイナ)。すべての VDDO ピンに印加されるリップル。LVDS 出力フォーマット(3)	10kHz		-87.5		dBc
		50kHz		-87.9		dBc
		100kHz		-83.7		dBc
		500kHz		-72.3		dBc
		1MHz		-91.8		dBc
		5MHz		-87.6		dBc
		10MHz		-89.9		dBc
	電源ノイズ除去。VDDx = 2.5 または 3.3V。クロック ジェネレータ モード (クロック ソースは FOD またはエッジ コンバイナ)。すべての VDDO ピンに印加されるリップル。HCSL 出力フォーマット(3)	10kHz		-87.1		dBc
		50kHz		-88.8		dBc
		100kHz		-88.4		dBc
		500kHz		-89.7		dBc
		1MHz		-93.8		dBc
		5MHz		-98.8		dBc
		10MHz		-91.2		dBc

Copyright © 2025 Texas Instruments Incorporated

パラメータ		テスト条件	最小値	標準値	最大値	単位
$PSNR_{1.8V_CLK_GEN}$	電源ノイズ除去。VDDx = 1.8V。クロック ジェネレータ モード (クロック ソースは FOD またはエッジ コンバイナ)。VDDO 以外のすべての電源ピンに印加されるリップル(3)	10kHz		-74.1		dBc
		50kHz		-75.1		dBc
		100kHz		-73.2		dBc
		500kHz		-67.2		dBc
		1MHz		-89.3		dBc
		5MHz		-78.9		dBc
		10MHz		-83.1		dBc
	電源ノイズ除去。VDDx = 1.8V。クロック ジェネレータ モード (クロック ソースは FOD またはエッジ コンバイナ)。すべての VDDO ピンに印加されるリップル。LVCMOS 出力フォーマット(3)	10kHz		-56.9		dBc
		50kHz		-57.5		dBc
		100kHz		-57		dBc
		500kHz		-56.4		dBc
		1MHz		-82.1		dBc
		5MHz		-75.2		dBc
		10MHz		-88.2		dBc
	電源ノイズ除去。VDDx = 1.8V。クロック ジェネレータ モード (クロック ソースは FOD またはエッジ コンバイナ)。すべての VDDO ピンに印加されるリップル。LVDS 出力フォーマット(3)	10kHz		-78.4		dBc
		50kHz		-79.1		dBc
		100kHz		-74.5		dBc
		500kHz		-66.6		dBc
		1MHz		-89.4		dBc
		5MHz		-82.8		dBc
		10MHz		-89.4		dBc
	電源ノイズ除去。VDDx = 1.8V。クロック ジェネレータ モード (クロック ソースは FOD またはエッジ コンバイナ)。すべての VDDO ピンに印加されるリップル。HCSL 出力フォーマット(3)	10kHz		-78.1		dBc
		50kHz		-81.5		dBc
		100kHz		-81.2		dBc
		500kHz		-89.8		dBc
		1MHz		-93.9		dBc
		5MHz		-90.5		dBc
		10MHz		-91.3		dBc
LMK3H2104 I/O の特性						
V_{IH}	OTP_SEL_[1:0] (ピン 4、5) の入力電圧 high		0.7 × V_{DDD}		V_{DDD} + 0.3	V
V_{IL}	OTP_SEL_[1:0] (ピン 4、5) の入力 low 電圧		GND - 0.3		0.8	V
V_{IH}	CTRL (ピン 23) の入力電圧 high		0.65 × V_{DD_REF}		V_{DD_REF} + 0.3	V
V_{IL}	CTRL (ピン 23) の入力電圧 low		-0.3		0.4	V
V_{IH}	GPI_[2:0] (ピン 1、2、6) の入力電圧 high	V_{DDD} = 1.8V ± 5%	0.65 × V_{DDD}		V_{DDD} + 0.3	V
V_{IL}	GPI_[2:0] (ピン 1、2、6) の入力 low		-0.3		0.35 × V_{DDD}	V
V_{IH}	GPIO_[1:0] (ピン 8、9) の入力電圧 high		0.65 × V_{DDD}		V_{DDD} + 0.3	V
V_{IL}	GPIO_[1:0] (ピン 8、9) の入力 low		-0.3		0.35 × V_{DDD}	V
V_{IH}	GPI_[2:0] (ピン 1、2、6) の入力電圧 high	V_{DDD} = 2.5V ± 5%	1.7		V_{DDD} + 0.3	V
V_{IL}	GPI_[2:0] (ピン 1、2、6) の入力 low		-0.3		0.7	V
V_{IH}	GPIO_[1:0] (ピン 8、9) の入力電圧 high		1.7		V_{DDD} + 0.3	V
V_{IL}	GPIO_[1:0] (ピン 8、9) の入力 low		-0.3		0.7	V

Copyright © 2025 Texas Instruments Incorporated

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IH}	GPI_[2:0] (ピン 1、2、6) の入力電圧 high	V_{DDD} = 3.3V ± 5%	2.2		3.6	V
V_{IL}	GPI_[2:0] (ピン 1、2、6) の入力 low		-0.3		0.8	V
V_{IH}	GPIO_[1:0] (ピン 8、9) の入力電圧 high		2.2		3.6	V
V_{IL}	GPIO_[1:0] (ピン 8、9) の入力 low		-0.3		0.8	V
V_{OH}	GPIO_[1:0] の出力電圧 high	V_{DDD} = 1.8V ± 5%、I_{OH} = –2mA	V_{DDD} – 0.45		V_{DDD} + 0.3	V
V_{OL}	GPIO_[1:0] の出力電圧 low	V_{DDD} = 1.8V ± 5%、I_{OL} = 2mA			0.45	V
V_{OH}	GPIO_[1:0] の出力電圧 high	V_{DDD} = 2.5V ± 5%、I_{OH} = –2mA	1.7		V_{DDD} + 0.3	V
V_{OL}	GPIO_[1:0] の出力電圧 low	V_{DDD} = 2.5V ± 5%、I_{OL} = 2mA			0.7	V
V_{OH}	GPIO_[1:0] の出力電圧 high	V_{DDD} = 3.3V ± 5%、I_{OH} = –2mA	2.4		V_{DDD} + 0.3	V
V_{OL}	GPIO_[1:0] の出力電圧 low	V_{DDD} = 3.3V ± 5%、I_{OL} = 2mA			0.4	V
$R_{pu/pd}$	OTP_SEL_[1:0] および CTRL の推奨外部プルアップ/プルダウン抵抗		0		60	kΩ
	GPI_[2:0] および GPIO_[1:0] の推奨外部プルアップ/プルダウン抵抗		0		10	kΩ
$I_{L,GPI}$	GPI_[2:0] 入力リーク電流	プルアップ/プルダウン抵抗を含む。V_{IL} = 0V、V_{IH} = V_{DD} = 1.8V ± 5%	-32		128	µA
	GPI_[2:0] 入力リーク電流	プルアップ/プルダウン抵抗を含む。V_{IL} = 0V、V_{IH} = V_{DD} = 2.5V ± 5%	-32		143	µA
	GPI_[2:0] 入力リーク電流	プルアップ/プルダウン抵抗を含む。V_{IL} = 0V、V_{IH} = V_{DD} = 3.3V ± 5%	-32		171	µA
$I_{L,GPIO}$	GPIO_[1:0] 入力リーク電流	プルアップ/プルダウン抵抗を含む。V_{IL} = 0V、V_{IH} = V_{DD} = 1.8V ± 5%	-37		32	µA
	GPIO_[1:0] 入力リーク電流	プルアップ/プルダウン抵抗を含む。V_{IL} = 0V、V_{IH} = V_{DD} = 2.5V ± 5%	-47		43	µA
	GPIO_[1:0] 入力リーク電流	プルアップ/プルダウン抵抗を含む。V_{IL} = 0V、V_{IH} = V_{DD} = 3.3V ± 5%	-57		57	µA
C_{in}	OTP_SEL_[1:0] および CTRL の入力容量				3	pF
	GPI_[2:0] の入力容量				5.5	pF
	GPIO_[1:0] の入力容量				3.5	pF
LMK3H2108 I/O の特性						

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IH}	GPI_[1:0] (ピン 1、2) の入力電圧 high	V_{DDD}、V_{DDX} or V_{DDR} = 1.8V ± 5%	0.65 × V_{DDX}		V_{DDX} + 0.3	V
V_{IL}	GPI_[1:0] (ピン 1、2) の入力電圧 low		-0.3		0.35 × V_{DDX}	V
V_{IH}	GPI_[5:2] (ピン 4、5、7、8) の入力電圧 high		0.65 × V_{DDR}		V_{DDR} + 0.3	V
V_{IL}	GPI_[5:2] (ピン 4、5、7、8) の入力 low		-0.3		0.35 × V_{DDR}	V
V_{IH}	GPIO_[4:3] (ピン 15、16) の入力電圧 high		0.65 × V_{DDD}		V_{DDD} + 0.3	V
V_{IL}	GPIO_[4:3] (ピン 15、16) の入力 low		-0.3		0.35 × V_{DDD}	V
V_{IH}	2 レベル GPIO_[2:0] (ピン 12、13、14) の入力電圧 high		0.65 × V_{DDD}		V_{DDD} + 0.3	V
V_{IL}	2 レベル GPIO_[2:0] (ピン 12、13、14) の入力電圧 low		-0.3		0.35 × V_{DDD}	V
V_{IH}	3 レベル GPIO_[2:0] (ピン 12、13、14) の入力電圧 high		0.75 × V_{DDD}		V_{DDD} + 0.3	V
V_{IM}	3 レベル GPIO_[2:0] (ピン 12、13、14) の入力電圧 mid		0.45 × V_{DDD}		0.55 × V_{DDD}	V
V_{IL}	3 レベル GPIO_[2:0] (ピン 12、13、14) の入力電圧 low		-0.3		0.25 × V_{DDD}	V
V_{IH}	GPI_[1:0] (ピン 1、2) の入力電圧 high	V_{DDD}、V_{DDX} or V_{DDR} = 2.5V ± 5%	1.7		V_{DDX} + 0.3	V
V_{IL}	GPI_[1:0] (ピン 1、2) の入力電圧 low		-0.3		0.7	V
V_{IH}	GPI_[5:2] (ピン 4、5、7、8) の入力電圧 high		1.7		V_{DDR} + 0.3	V
V_{IL}	GPI_[5:2] (ピン 4、5、7、8) の入力 low		-0.3		0.7	V
V_{IH}	GPIO_[4:3] (ピン 15、16) の入力電圧 high		1.7		V_{DDD} + 0.3	V
V_{IL}	GPIO_[4:3] (ピン 15、16) の入力 low		-0.3		0.7	V
V_{IH}	2 レベル GPIO_[2:0] (ピン 12、13、14) の入力電圧 high		1.7		V_{DDD} + 0.3	V
V_{IL}	2 レベル GPIO_[2:0] (ピン 12、13、14) の入力電圧 low		-0.3		0.7	V
V_{IH}	3 レベル GPIO_[2:0] (ピン 12、13、14) の入力電圧 high		0.75 × V_{DDD}		V_{DDD} + 0.3	V
V_{IM}	3 レベル GPIO_[2:0] (ピン 12、13、14) の入力電圧 mid		0.45 × V_{DDD}		0.55 × V_{DDD}	V
V_{IL}	3 レベル GPIO_[2:0] (ピン 12、13、14) の入力電圧 low		-0.3		0.25 × V_{DDD}	V

Copyright © 2025 Texas Instruments Incorporated

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IH}	GPI_[1:0] (ピン 1、2) の入力電圧 high	V_{DDD}、V_{DDX} or V_{DDR} = 3.3V ± 5%	2.2		3.6	V
V_{IL}	GPI_[1:0] (ピン 1、2) の入力電圧 low		-0.3		0.8	V
V_{IH}	GPI_[5:2] (ピン 4、5、7、8) の入力電圧 high		2.2		3.6	V
V_{IL}	GPI_[5:2] (ピン 4、5、7、8) の入力 low		-0.3		0.8	V
V_{IH}	GPIO_[4:3] (ピン 15、16) の入力電圧 high		2.2		3.6	V
V_{IL}	GPIO_[4:3] (ピン 15、16) の入力 low		-0.3		0.8	V
V_{IH}	2 レベル GPIO_[2:0] (ピン 12、13、14) の入力電圧 high		2.2		3.6	V
V_{IL}	2 レベル GPIO_[2:0] (ピン 12、13、14) の入力電圧 low		-0.3		0.8	V
V_{IH}	3 レベル GPIO_[2:0] (ピン 12、13、14) の入力電圧 high		0.75 × V_{DDD}		3.6	V
V_{IM}	3 レベル GPIO_[2:0] (ピン 12、13、14) の入力電圧 mid		0.45 × V_{DDD}		0.55 × V_{DDD}	V
V_{IL}	3 レベル GPIO_[2:0] (ピン 12、13、14) の入力電圧 low		-0.3		0.25 × V_{DDD}	V
V_{OH}	GPIO_[4:0] の出力電圧 high	V_{DDD} = 1.8V ± 5%、I_{OH} = –2mA	V_{DDD} – 0.45		V_{DDD} + 0.3	V
V_{OL}	GPIO_[4:0] の出力電圧 low	V_{DDD} = 1.8V ± 5%、I_{OL} = 2mA			0.45	V
V_{OH}	GPIO_[4:0] の出力電圧 high	V_{DDD} = 2.5V ± 5%、I_{OH} = –2mA	1.7		V_{DDD} + 0.3	V
V_{OL}	GPIO_[4:0] の出力電圧 low	V_{DDD} = 2.5V ± 5%、I_{OL} = 2mA			0.7	V
V_{OH}	GPIO_[4:0] の出力電圧 high	V_{DDD} = 3.3V ± 5%、I_{OH} = –2mA	2.4		V_{DDD} + 0.3	V
V_{OL}	GPIO_[4:0] の出力電圧 low	V_{DDD} = 3.3V ± 5%、I_{OL} = 2mA			0.4	V
$R_{pu/pd}$	GPI_[5:0] および GPIO_[4:0] の推奨外部プルアップ/プルダウン抵抗		0		10	kΩ

Copyright © 2025 Texas Instruments Incorporated

パラメータ		テスト条件	最小値	標準値	最大値	単位
I_L	GPI_[1:0] 入力リーク電流	プルアップ/プルダウン抵抗を含む。V_{IL} = 0V。V_{IH} = V_{DDX} = 1.8V ± 5%	-32		128	µA
		プルアップ/プルダウン抵抗を含む。V_{IL} = 0V。V_{IH} = V_{DDX} = 2.5V ± 5%	-32		142	µA
		プルアップ/プルダウン抵抗を含む。V_{IL} = 0V。V_{IH} = V_{DDX} = 3.3V ± 5%	-32		171	µA
	GPI_[5:2] 入力リーク電流	プルアップ/プルダウン抵抗を含む。V_{IL} = 0V。V_{IH} = V_{DDR} = 1.8V ± 5%	-32		128	µA
		プルアップ/プルダウン抵抗を含む。V_{IL} = 0V。V_{IH} = V_{DDR} = 2.5V ± 5%	-32		143	µA
		プルアップ/プルダウン抵抗を含む。V_{IL} = 0V。V_{IH} = V_{DDR} = 3.3V ± 5%	-32		171	µA
	GPIO_[4:0] 入力リーク電流	プルアップ/プルダウン抵抗を含む。V_{IL} = 0V。V_{IH} = V_{DDR} = 1.8V ± 5%	-37		32	µA
		プルアップ/プルダウン抵抗を含む。V_{IL} = 0V。V_{IH} = V_{DDR} = 2.5V ± 5%	-47		43	µA
		プルアップ/プルダウン抵抗を含む。V_{IL} = 0V。V_{IH} = V_{DDR} = 3.3V ± 5%	-57		57	µA
C_{IN}	GPI_[3:0] の入力容量				5.5	pF
	GPIO_[4:0] の入力容量				3.5	pF
I2C I/O の特性						
V_{IH}	SCL および SDA の入力電圧 high		0.7 × V_{DDD}			V
V_{IL}	SCL および SDA の入力電圧 low				0.3 × V_{DDD}	V
V_{OL}	SDA の出力電圧 low	I_{OL} = 4mA			0.4	V
I_L	SCL と SDA の入力リーク電流		-10		10	µA
C_{IN}	SCL および SDA の入力キャパシタンス			1		pF

(1) PCIe テスト負荷、4GHz で 15dB 損失、f_{out} = 100Mhz、トレース インピーダンス = 100Ω、高インピーダンス負荷
(2) 10kΩ 外部プルアップ抵抗またはプルダウン抵抗でテスト
(3) 0.1µF コンデンサは各電源ピンの近くに配置されています。50mVpp のリップルを印加し (0.1µF コンデンサが存在しないときリップルは 50mV) 、クロック出力でスプリアス レベルを測定します
(4) 100MHz 出力周波数で 100Ω LP-HCSL 出力 を使用して測定。実際の V_{OH} は 、出力周波数によって異なります

5.6 I2C の特性

パラメータ		テスト条件	スタンダード モード		ファスト モード		単位
			最小値	最大値	最小値	最大値	
f_{SCL}	SCL クロック周波数		0	100	0	400	kHz
$t_{HD;STA}$	(繰り返し) START 条件のホールド時間	この時間が経過すると、最初のクロック パルスが生成されます	4		0.6		µs
t_{LOW}	SCL クロック low 期間		4.7		1.3		µs
t_{HIGH}	SCL クロックの high 期間		4		0.6		µs
$t_{SU;STA}$	繰り返し START 条件のセットアップ時間		4.7		0.6		µs

Copyright © 2025 Texas Instruments Incorporated

パラメータ		テスト条件	スタンダード モード		ファスト モード		単位
			最小値	最大値	最小値	最大値	
$t_{HD;DAT}$	データ ホールド時間		0		0		µs
$t_{SU;DAT}$	データ セットアップ時間		250		100		ns
t_r	SDA 信号と SCL 信号の両方の立ち上がり時間			1000	20	300	ns
t_f	SDA 信号と SCL 信号の両方の立ち下がり時間			300	20 × (VDD / 5.5V)	300	ns
$t_{SU;STO}$	STOP 条件のセットアップ時間		4		0.6		µs
t_{BUF}	ストップ コンディションとスタート コンディションの間のバス解放時間		4.7		1.3		µs
C_b	各バス ラインの容量性負荷			400		400	pF
$t_{VD;DAT}$	データ有効時間			3.45		0.9	µs
$t_{VD;ACK}$	データ有効アクノリッジ時間			3.45		0.9	µs
V_{nL}	low レベルでのノイズ マージン	ヒステリシスを含む、接続された各デバイスについて	0.1 × VDD		0.1 × VDD		V
V_{nH}	high レベルでのノイズ マージン	ヒステリシスを含む、接続された各デバイスについて	0.2 × VDD		0.2 × VDD		V

Copyright © 2025 Texas Instruments Incorporated

6 パラメータ測定情報

このセクションでは、「電気的特性」で規定されている特性を測定する方法について説明します。

6.1 LP-HCSL テストまたはシミュレーション負荷

LP-HCSL クロック出力特性には、3 つのテスト負荷またはシミュレーション負荷があります。

- 通常の LP-HCSL テスト負荷。テスト条件に特に記述のない限り、このテスト負荷は、すべての LP-HCSL 出力仕様に対して使用されます。
- LP-HCSL PCIe AC テスト負荷。これは、PCI-SIG 規格で規定されている PCIe クロック テスト負荷です。
- LP-HCSL DC シミュレーション負荷。これは、CK440 用に規定されている DC シミュレーション負荷です。

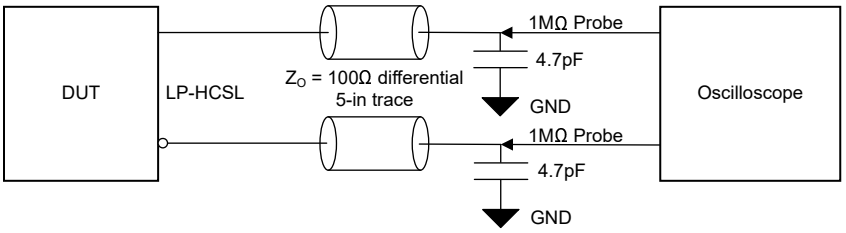


図 6-1. 通常の LP-HCSL テスト負荷

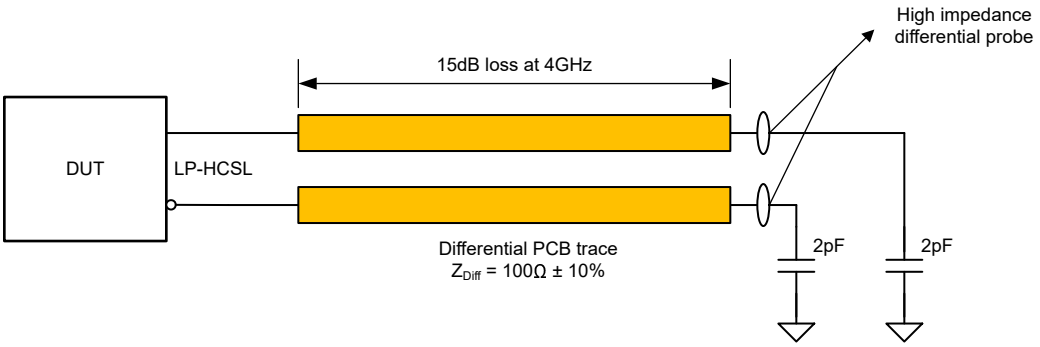


図 6-2. LP-HCSL PCIe AC テスト負荷

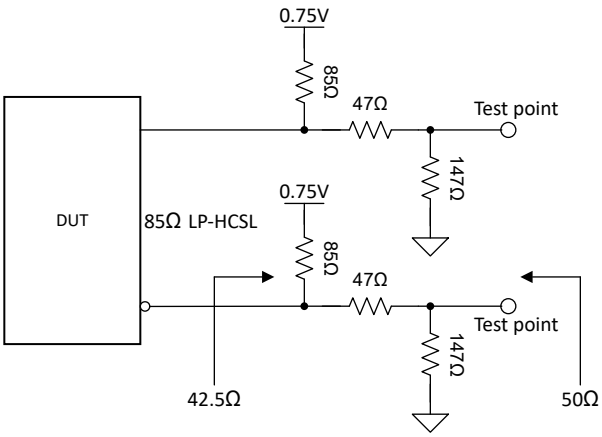


図 6-3. LP-HCSL DC シミュレーション負荷

Copyright © 2025 Texas Instruments Incorporated

6.2 LVDS テスト負荷

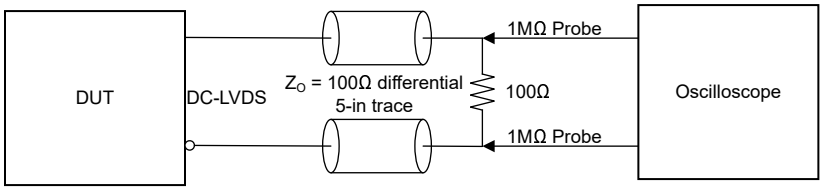


図 6-4. LVDS テスト負荷

6.3 LVCMOS テスト負荷

LVCMOS クロック出力特性には、以下の 3 つのテスト負荷があります。

- 1.8V、2.5V、3.3V の LVCMOS テスト負荷。LVCMOS 出力インピーダンスは 17Ω であるため、50Ω のパターンには 33Ω の直列抵抗が必要です。
- 1.2V LVCMOS テスト負荷。LVCMOS 出力インピーダンスは 50Ω なので、50Ω の配線には直列抵抗は不要です。
- 差動 1.2V LVCMOS テスト負荷。1.2V LVCMOS は差動で使用できるため、出力スイングと同相モードをより柔軟に使用できます。2 種類の終端が一般的に使用されます。
  - 通常のシングルエンド LVCMOS と同じ:高インピーダンス終端、または終端なし。差動 LVCMOS 出力特性は、シングルエンド LVCMOS と同じです。
  - 外部に 100Ω の差動終端。この終端を使用した出力特性は、「電気的特性」に規定されています。

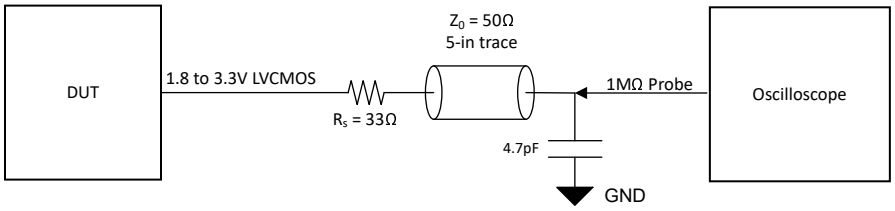


図 6-5. 1.8V、2.5V、3.3V の LVCMOS テスト負荷

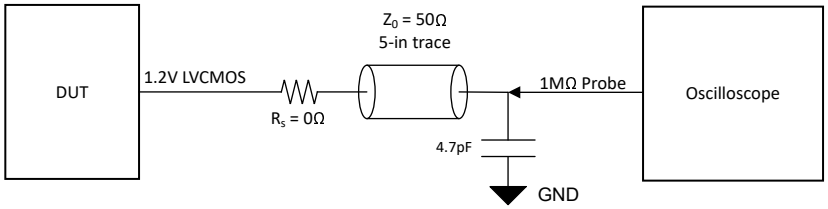


図 6-6. 1.2V LVCMOS テスト負荷

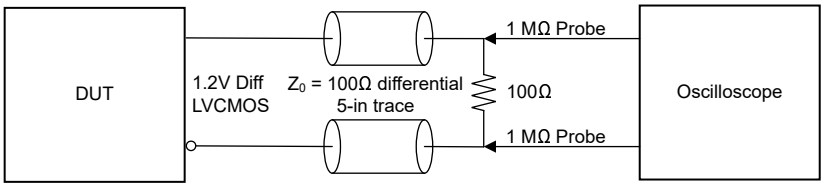


図 6-7. 差動 1.2V LVCMOS テスト負荷

Copyright © 2025 Texas Instruments Incorporated

7 詳細説明

7.1 概要

LMK3H2104 と LMK3H2108 は、クロック ジェネレータ、クロック バッファ、クロック MUX です。各出力バンクは独立してクロック ソースを選択可能：IN0、IN1、IN2、FOD0、FOD1、エッジ コンバイナ。複数の GPI ピンと GPIO ピンを利用可能で、柔軟なピン制御が可能。

7.2 機能ブロック図

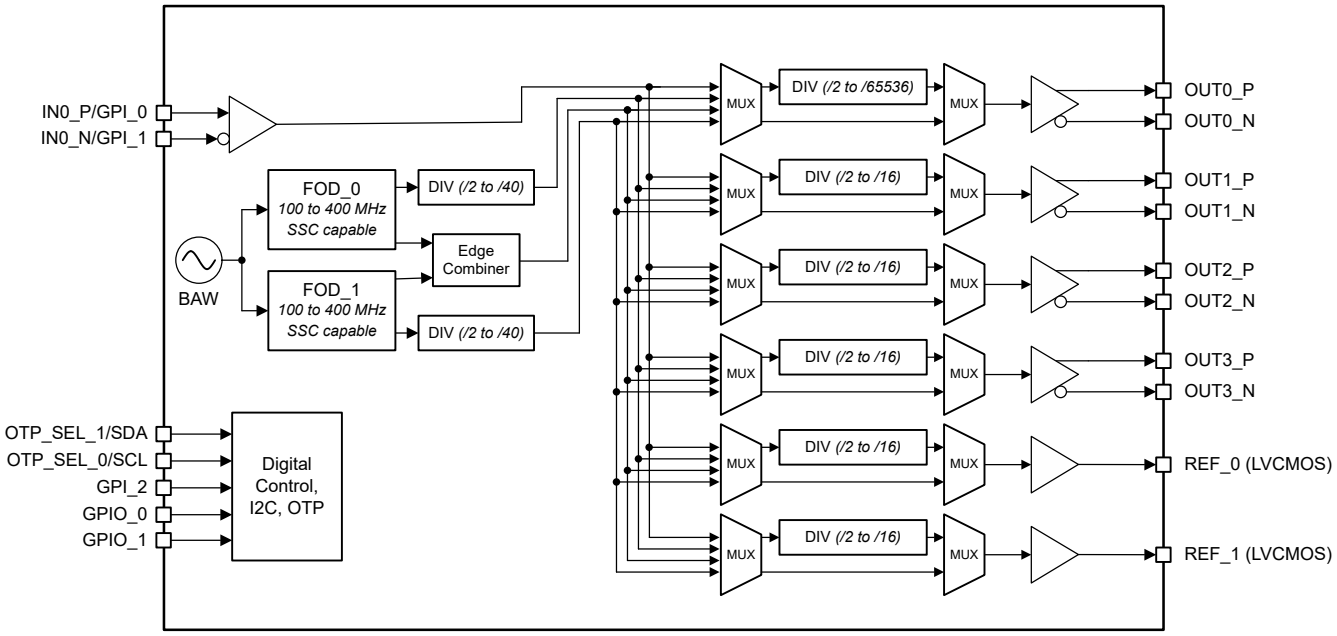


図 7-1. LMK3H2104 機能ブロック図

Copyright © 2025 Texas Instruments Incorporated

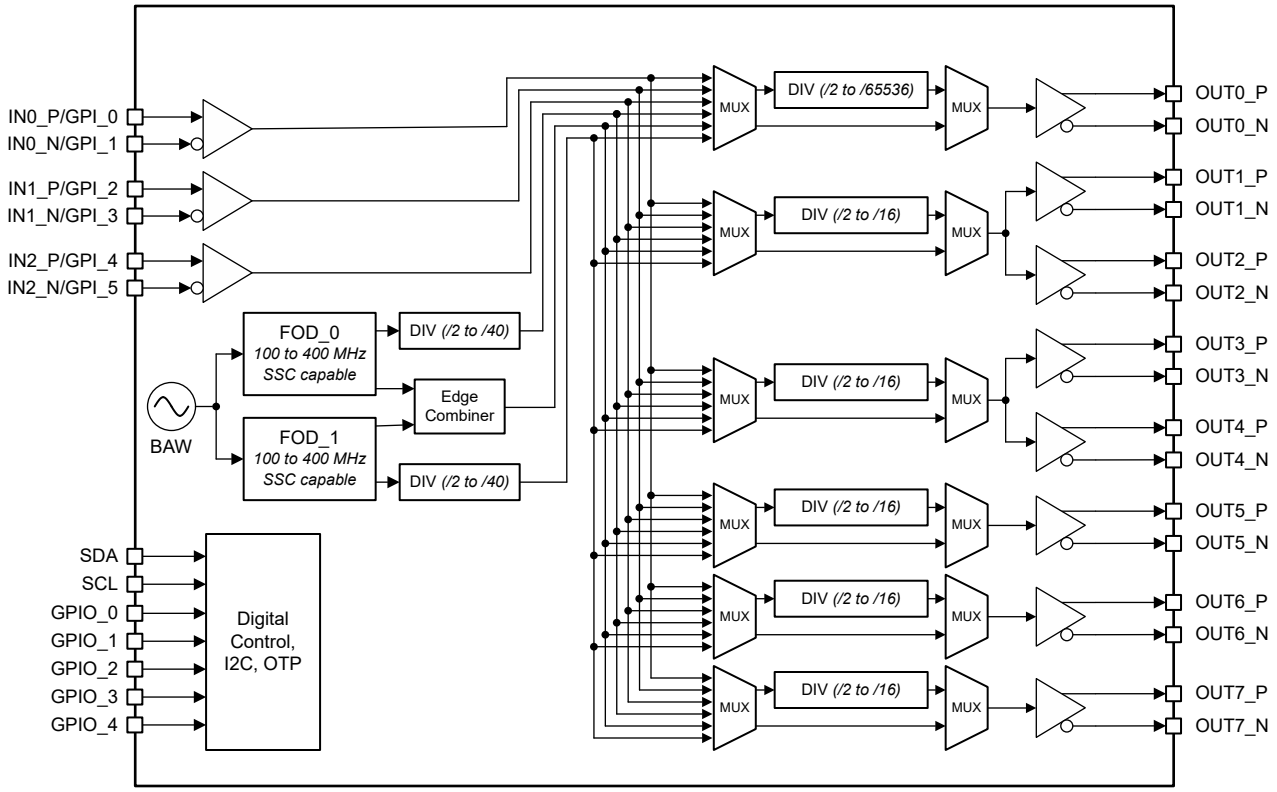


図 7-2. LMK3H2108 機能ブロック図

7.3 機能説明

7.3.1 GPI/GPIO

7.3.1.1 GPI/GPIO ピンの機能

表 7-1 と表 7-2 に、どの GPI ピンまたは GPIO ピンにどの機能を割り当てることができるかを示します。PWRGD/PWRDn# 割り当ては、GPIO_0、1、2 の動的 OTP_SEL を除いて、他のすべての GPI/GPIO 機能をオーバーライドします。詳細については、「PWRGD/PWRDN#」セクションを参照。

表 7-1. LMK3H2108 の GPI/GPIO のピン機能の割り当て

ピン	OE_GROUP	GOE	7 ビットの I2C アドレス	PERST#	動的 OTP 選択	GPI	ステータス出力	GPO
GPI_0	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4	GOE	ビット 0、ビット 1	PERST_IN0#、PERST_IN1#、PERST_IN2#	-	GPI	-	-
GPI_1	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4	GOE	ビット 0、ビット 1	PERST_IN0#、PERST_IN1#、PERST_IN2#	-	GPI	-	-
GPI_2	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4	GOE	ビット 0、ビット 1	PERST_IN0#、PERST_IN1#、PERST_IN2#	-	GPI	-	-

Copyright © 2025 Texas Instruments Incorporated

表 7-1. LMK3H2108 の GPI/GPIO のピン機能の割り当て (続き)

ピン	OE_GROUP	GOE	7 ビットの I2C アドレス	PERST#	動的 OTP 選択	GPI	ステータス出力	GPO
GPI_3	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4	GOE	ビット 0、ビット 1	PERST_IN0#、PERST_IN1#、PERST_IN2#	-	GPI	-	-
GPI_4	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4	GOE	ビット 0、ビット 1	PERST_IN0#、PERST_IN1#、PERST_IN2#	-	GPI	-	-
GPI_5	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4、OE_GROUP_5	GOE	ビット 0、ビット 1	PERST_IN0#、PERST_IN1#、PERST_IN2#	-	GPI	-	-
GPIO_0	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4、OE_GROUP_6	GOE	ビット 0、ビット 1	PERST_IN0#、PERST_IN1#、PERST_IN2#	ビット 0 (2 または 3 レベル)	GPI	DEV_INTR、CLK_READY、IN0_LOS、IN1_LOS、IN2_LOS、IN0_LOS_EVT、IN1_LOS_EVT、IN2_LOS_EVT、IN0_LOS_LMT_EVT、IN1_LOS_LMT_EVT、IN2_LOS_LMT_EVT、IN0_PERST_BUF_MODE_STAT、IN1_PERST_BUF_MODE_STAT、IN2_PERST_BUF_MODE_STAT	GPO_0
GPIO_1	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4、OE_GROUP_7	GOE	ビット 0、ビット 1	PERST_IN0#、PERST_IN1#、PERST_IN2#	ビット 1 (2 または 3 レベル)	GPI		GPO_1
GPIO_2	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4、OE_GROUP_8	GOE	ビット 0、ビット 1	PERST_IN0#、PERST_IN1#、PERST_IN2#	ビット 2 (2 または 3 レベル)	GPI		GPO_2
GPIO_3	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4、OE_GROUP_9	GOE	ビット 0、ビット 1	PERST_IN0#、PERST_IN1#、PERST_IN2#	-	GPI		GPO_3
GPIO_4	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4、OE_GROUP_10	GOE	ビット 0、ビット 1	PERST_IN0#、PERST_IN1#、PERST_IN2#	-	GPI		GPO_4

表 7-2. LMK3H2104 の GPI/GPIO のピン機能の割り当て

ピン	OE グループ	グローバル OE	代替 OE	7 ビットの I2C アドレス	PERST#	GPI	ステータス出力	GPO
GPI_0	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4	GOE	-	ビット 0、ビット 1	PERST_IN0#	GPI	-	-

Copyright © 2025 Texas Instruments Incorporated

表 7-2. LMK3H2104 の GPI/GPIO のピン機能の割り当て (続き)

ピン	OE グループ	グローバル OE	代替 OE	7 ビットの I2C アドレス	PERST#	GPI	ステータス出力	GPO
GPI_1	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4	GOE	-	ビット 0、ビット 1	PERST_IN0#	GPI	-	-
GPI_2	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4	GOE	OEA	ビット 0、ビット 1	PERST_IN0#	GPI	-	-
GPIO_0	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4	GOE	OEB	ビット 0、ビット 1	PERST_IN0#	GPI	DEV_INTR、CLK_READY、IN0_LOS、IN0_LOS_EVT、IN0_LOS_LMT_EVT、IN0_PERST_BUF_MODE_STAT	GPO_0
GPIO_1	OE_GROUP_0、OE_GROUP_1、OE_GROUP_2、OE_GROUP_3、OE_GROUP_4	GOE	-	ビット 0、ビット 1	PERST_IN0#	GPI		GPO_1

GPI/GPIO ピンの出力イネーブル グループ割り当ては、各ピンの GPIx_OE_GRP_SEL/GPIOx_OE_GRP_SEL フィールドによって制御されます。ピンの機能は、GPIx_FUNC/GPIOx_FUNC フィールドによって制御されます。ピンの極性は、GPIx_POLARITY/GPIOx_POLARITY フィールドによって制御されます。GPIO ピンがステータス出力として構成されている場合、対応するステータス信号は GPIO_OUT_SRC_SEL フィールドによって選択されます。GPIO が汎用出力として構成されている場合、出力状態は GPIO0_GPO_VAL によって設定されます。出力タイプ LVCMOS またはオープンドレインは、GPIOx_OUT_SIG_TYPE によって設定されます。

GPI ピンまたは GPIO ピンを使用しない場合は、ピンを GPI として構成します。それ以外の場合は、動的な OTP ページ選択を除いて、複数の GPI/GPIO ピンを設定して同じ入力機能を共有しないでください。

表 7-3. GPI および GPIO 入力レベル読み戻しレジスタ (通常極性)

部品番号	登録	ビット数	タイプ	説明
LMK3H2108	GPIx_LIVE_RB (x = 0、1、2、3、4、5)	1	RO	GPI ピンの入力レベルの読み戻し • 0x0:Low • 0x1:High
LMK3H2108	GPIOx_LIVE_RB (x = 0、1、2)	2	RO	GPIO_0/1/2 ピン入力レベルの読み戻し • 0x0:低 (2 または 3 レベル) • 0x1:中 (3 レベル) • 0x2:予約済み • 0x3:高 (2 または 3 レベル)
LMK3H2108	GPIOx_LIVE_RB (x = 3、4)	1	RO	GPIO_3/4 ピン入力レベルの読み戻し • 0x0:Low • 0x1:High
LMK3H2104	GPIx_LIVE_RB (x = 0、1、2)	1	RO	GPI ピンの入力レベルの読み戻し • 0x0:Low • 0x1:High

Copyright © 2025 Texas Instruments Incorporated

表 7-3. GPI および GPIO 入力レベル読み戻しレジスタ (通常極性) (続き)

部品番号	登録	ビット数	タイプ	説明
LMK3H2104	GPIO0_LIVE_RB	2	RO	GPIO_0 入力レベルの読み戻し • 0x0 : Low • 0x1 : 予約済み • 0x2 : 予約済み • 0x3 : High
LMK3H2104	GPIO1_LIVE_RB	1	RO	GPIO_1 入力レベルの読み戻し • 0x0 : Low • 0x1 : High

7.3.1.2 GPI/GPIO 構成

表 7-4. GPI ピン構成

構成	説明
GPI の極性	• 0x0 : 通常の極性。「#」で終わる機能はアクティブ low、その他の機能はアクティブ high。 • 0x1 : 反転極性。「#」で終わる機能はアクティブ high、その他の機能はアクティブ low
GPI の内部プルアップ	• 0x0 : 内部プルアップがディスエーブル • 0x1 : 内部プルアップがイネーブル
GPI 内部プルダウン	• 0x0 : 内部プルダウンがディスエーブル • 0x1 : 内部プルダウンがイネーブル

表 7-5. GPIO ピン構成

構成	説明
GPIO 入力タイプ (GPIO_0、GPIO_1、GPIO_2 でのみ有効)	• 0x0 : 2 レベル入力 • 0x1 : 3 レベル入力。
GPIO 出力タイプ	• 0x0 : CMOS 出力。出力終端は不要です。 • 0x1 : オープンドレイン出力。外部プルアップ抵抗が必要。
GPIO の極性	• 0x0 : 通常の極性。「#」の機能はアクティブ low、その他の機能はアクティブ high。 • 0x1 : 反転極性。「#」がある機能はアクティブ high、その他の機能はアクティブ low
GPIO の内部プルアップ	• 0x0 : 内部プルアップがディスエーブル • 0x1 : 内部プルアップがイネーブル
GPIO 内部プルダウン	• 0x0 : 内部プルダウンがディスエーブル • 0x1 : 内部プルダウンがイネーブル
GPO 制御	GPIO ピンが GPO として構成されているときの出力レベルを設定します • 0x0 : 出力 low • 0x1 : 出力 high

各 GPI/GPIO 機能に対する GPI/GPIO 極性設定の影響については、個別のセクションで説明します。別のセクションで説明されていない関数を次の表に示します。

表 7-6. GPI/GPIO 極性

GPIO の機能	極性の説明
GPI	極性ビットは無視されます

Copyright © 2025 Texas Instruments Incorporated

表 7-6. GPI/GPIO 極性 (続き)

GPIO の機能	極性の説明
GPO	極性ビットは無視されます
7 ビット I2C アドレスのビット 1 またはビット 0	通常の極性: • Low = 0 • High = 1 反転極性 • Low = 1 • High = 0

7.3.1.3 GPI/GPIO による I2C アドレス

7 ビット I2C アドレスのビット 1 とビット 0 は、GPI または GPIO ピンにより設定できます。GPI または GPIO ピンが、I2C アドレスのビット 0 またはビット 1 を設定するように構成されている場合、GPI または GPIO ピン レベルは、OTP (レジスタ フィールド I2C_TRGT_ADDR) にあらかじめプログラムされている 7 ビットの I2C アドレスのビット 0 またはビット 1 をオーバーライドします。GPI または GPIO ピンが I2C アドレスのビット 0 またはビット 1 を設定するように構成されていない場合、ビット 0 またはビット 1 は I2C_TRGT_ADDR によって設定されます。

7.3.1.4 3 レベル入力モードの GPIO ピン

GPIO_[2:0] は、3 レベル入力をサポートするように構成できます。3 レベル入力モードでは、GPIO ピンをフローティングにし、このピンの内部プルアップ抵抗と内部プルダウン抵抗の両方をディセーブルにすることで、中間レベルを選択できます。mid レベルは、ピンに mid レベルの電圧を外部強制的に印加することで選択することもできます。3 レベル入力モードでは、GPIO ピンの内部プルアップまたはプルダウン抵抗をイネーブルにすると high も low も選択されず、このピンは外部から high または low にプル、または high に駆動する必要があります。GPIO ピンは、GPIOx_NUM_IN_LVL を設定することで 3 レベル入力として構成されます。

GPIO_[2:0] が 2 レベル入力として構成されている場合、上記の制限は適用されず、内部プルアップおよびプルダウン抵抗は通常機能します。

7.3.1.5 GPI/GPIO 内部プルアップおよびプルダウン

いずれの GPI ピンでも、内部プルアップ抵抗がイネーブルになると、GPI ピンの電源電圧に関係なく、ピンは 1.8V にプルされます。内部プルアップ抵抗がイネーブルされ、このピンが low にプルされない場合、または外部から low に駆動されない場合、GPI ピンが high に検出されます。GPI ピンを外部からプルまたは駆動する場合でも、「電気的特性」表に規定されている VIH/VIL 要件に従う必要があります。

GPIO ピンの場合、内部プルアップ抵抗がイネーブルの場合、このピンは通常、VDDD 電源電圧にプルされます。

内部プルアップは GPIx_Pull_UP_EN/GPIOx_Pull_UP_EN によって制御され、内部プルダウンは GPIx_Pull_DN_EN / GPIOx_Pull_DN_EN によって制御されます。

7.3.2 OTP

7.3.2.1 OTP の概要

LMK3H2108 と LMK3H2104 はどちらも、LMK3H2104 は、OTP 経由で事前プログラマブルな構成をサポートしています。OTP は「ベース」セクションと 4 ページに分かれている「ページ」セクションに分かれています。「ベース」セクションにマップされたフィールドは常に「ベース」セクションからロードされ、「ページ」セクションにマップされたフィールドは 4 ページのいずれかからロードされます。「ページ」セクションにマップされたレジスタのカテゴリのリストを以下に示します。

- 周波数設定
- 事前プログラムされた SSC 変調深度:カスタム、-0.1%、-0.25%、-0.3%、-0.5%。
- 出力フォーマットの設定
- 出力ディスエーブル状態
- 個別の出力イネーブル (グローバル OE およびシングル LVCMOS OE は含まない)

Copyright © 2025 Texas Instruments Incorporated

- 出力の MUX と分周器の設定
- バッファのみモードで動作するデバイスの関連レジスタを含む、パワーダウン ビットをブロックします
- 7 ビットの I2C アドレス
- GPIO 機能は、ステータス出力信号の選択は含みません
- INx/GPI ピンの IN_[2:0] と GPI_[5:0] の選択
- シングルエンド入力クロックについての INx_P と INx_N の選択
- GPI 関数

7.3.2.2 OTP ページの選択

LMK3H2108 では、各 OTP ページは PAGE_SEL_2、PAGE_SEL_1、PAGE_SEL_0 の 3 レベル値を使用して選択されます。これら 3 つの値はそれぞれ 2 ビットの値としてエンコードされ、各ページの OTP ページ選択コード全体が 6 ビットの値として表現されます。

表 7-7. LMK3H2108 OTP ページ選択マッピング コード

OTP ページ x PAGE_SEL	説明
PAGE_SEL_2	OTP_SEL_2 レベル。この OTP ページを選択します • 0x0 : OTP_SEL_2 は low にする必要があります • 0x1 : OTP_SEL_2 は Mid にする必要があります • 0x2 : 未使用。OTP_SEL_2 は任意のレベルにできます • 0x3 : OTP_SEL_2 は High である必要があります
PAGE_SEL_1	OTP_SEL_1 レベル。この OTP ページを選択します • 0x0 : OTP_SEL_1 は low にする必要があります • 0x1 : OTP_SEL_1 は Mid にする必要があります • 0x2 : 未使用。OTP_SEL_1 は任意のレベルにできます • 0x3 : OTP_SEL_1 は High である必要があります
PAGE_SEL_0	OTP_SEL_0 レベル。この OTP ページを選択します • 0x0 : OTP_SEL_0 は low にする必要があります • 0x1 : OTP_SEL_0 は Mid にする必要があります • 0x2 : 未使用。OTP_SEL_0 は任意のレベルにできます • 0x3 : OTP_SEL_0 は High である必要があります

表 7-8. LMK3H2108 OTP_SEL_[2:0] レベル

OTP_SEL	説明
OTP_SEL_2	GPIO_2 が動的 OTP 選択として構成されている場合、OTP_SEL_2 は GPIO_2 のライブ入力レベルになります。それ以外の場合は、OTP_SEL_2 = OTP_PAGE_SEL_PU_2 です
OTP_SEL_1	GPIO_1 が動的 OTP 選択として構成されている場合、OTP_SEL_1 は GPIO_1 のライブ入力レベルになります。それ以外の場合は、OTP_SEL_1 = OTP_PAGE_SEL_PU_1 です
OTP_SEL_0	GPIO_0 が動的 OTP 選択として構成されている場合、OTP_SEL_0 は GPIO_0 のライブ入力レベルになります。それ以外の場合は、OTP_SEL_0 = OTP_PAGE_SEL_PU_0 です

OTP_SEL_[2:0] が有効な OTP ページを指していない場合、GPIO_[2:0] (動的 OTP 選択として構成されている場合) レベルの変更は無視され、OTP ページは変更されません。

Copyright © 2025 Texas Instruments Incorporated

表 7-9. 電源オン時の OTP ページ選択

登録	LMK3H2108	LMK3H2104
OTP_PAGE_SEL_PU_2	電源オン時に OTP_SEL_2 レベル • 0x0 = Low • 0x1 = Mid • 0x2 = 電源オン時の GPIO_2 入力レベル • 0x3 = High GPIO_2 が動的 OTP_SEL として構成されている場合、OTP_PAGE_SEL_PU_2 を 0x2 に設定する必要があります OTP_PAGE_SEL_PU_2 が 0x2 に設定されている場合、GPIO_2 を動的 OTP_SEL として構成する必要があります	予約済み
OTP_PAGE_SEL_PU_1	電源オン時に OTP_SEL_1 レベル • 0x0 = Low • 0x1 = Mid • 0x2 = 電源オン時の GPIO_1 入力レベル • 0x3 = High GPIO_1 が動的 OTP_SEL として構成されている場合、OTP_PAGE_SEL_PU_1 を 0x2 に設定する必要があります OTP_PAGE_SEL_PU_1 が 0x2 に設定されている場合、GPIO_1 を動的 OTP_SEL として構成する必要があります	OTP モード (ピン 23 = High) では、OTP_PAGE_SEL_PU_1 および OTP_PAGE_SEL_PU_0 の両方を 0x2 に設定する必要があります I2C モード (ピン 23 = Low) では、1 つの OTP ページのみが利用可能な場合、OTP_PAGE_SEL_PU_[1:0] が使用可能な OTP ページを決定します
OTP_PAGE_SEL_PU_0	電源オン時に OTP_SEL_0 レベル • 0x0 = Low • 0x1 = Mid • 0x2 = 電源オン時の GPIO_0 入力レベル • 0x3 = High GPIO_0 が動的 OTP_SEL として構成されている場合、OTP_PAGE_SEL_PU_0 を 0x2 に設定する必要があります OTP_PAGE_SEL_PU_0 が 0x2 に設定されている場合、GPIO_0 を動的 OTP_SEL として構成する必要があります	

LMK3H2108 の場合、3 本のピン (GPIO_0、1、2) のすべてを同時に動的 OTP ページ選択として構成する必要はありません。GPIO_[2:0] の 1 ピン、2 ピン、または 3 ピンを使用して動的な OTP ページを選択できます。

表 7-10. LMK3H2104 OTP ページの選択

OTP_SEL_1 (ピン 5)	OTP_SEL_1 (ピン 4)	選択された OTP ページ
Low	Low	0
Low	High	1
High	Low	2
High	High	3

7.3.2.3 OTP ページ選択ピンの極性

以下の表は、GPIO が動的 OTP 選択として構成されているときの GPIO ピンの極性の影響を説明しています。

Copyright © 2025 Texas Instruments Incorporated

表 7-11. LMK3H2108 OTP ページ選択ピンの極性

GPIO の構成	極性の説明
2 レベルの動的 OTP 選択	• 通常の極性: – GPIO_x Low = OTP_SEL_x Low – GPIO_x High = OTP_SEL_x High • 反転極性: – GPIO_x Low = OTP_SEL_x High – GPIO_x High = OTP_SEL_x Low x = 0、1、2
3 レベルの動的 OTP 選択	GPIO の極性は無視されます

7.3.2.4 「動的 OTP ページ変更」セクションを追加

OTP ページが動的に変更された場合:

- OTP ページを切り替える前に、すべての出力は現在の「出力ディセーブル状態」でディセーブルされます。ディセーブル プロセスは、出力同期設定に応じて同期または非同期にすることができます
- OTP 変更プロセス中、すべての出力がこれらの状態を維持します
- 新しい OTP がロードされた後、次の手順に従います。
  - 出力フォーマットを変更した場合、出力フォーマットと事前にプログラムされた出力ディスエーブル状態に基づいて、出力を新しいディスエーブル状態にします
  - 出力フォーマットが変更されていない場合:
    - 新しい OTP ページの出力ディスエーブル状態が以前と異なる場合、新しい OTP ページに従って出力ディセーブル状態を変更し、出力はミュートのままになります
    - 新しい OTP ページの出力ディセーブル状態が以前と同じである場合、出力はディスエーブル状態にミュートされたままになります
- デバイスの準備ができ、OE がアサートされた後、同期設定に応じて、出力は同期または非同期にイネーブルになります

デバイスが PWRDN# ピン経由で低消費電力モードの間に動的 OTP 選択ピンがレベル変更されると、PWRDN# デアサート時に新しい OTP 構成がロードされます。

OTP ページで BANKx のクロックソースが異なる場合、OTP ページを動的に変更するには、BANKx_SWITCHOVER_FRC_CLK_EN を 1 に設定する必要があります。BANKx のクロックソースが OTP ページ全体で同じである場合、BANKx_SWITCHOVER_FRC_CLK_EN を 0 に設定できます。

OTP ページ A において BANKx のクロックソースが FOD0、FOD1、またはエッジコンバイナであり、OTP ページ B において BANKx のクロックソースが INy である場合、OTP ページを A から B に動的に切り替える際には、INy のクロック信号が有効でなければなりません。そうでない場合、BANKx のクロックソースは INy に正しく切り替わりません。

7.3.2.5 動的 OTP ページ変更のタイミング

OTP ページ選択デバウンス時間では、デバイスが動的な OTP ページ選択ピンのレベル変化に応答する前に、すべての動的 OTP ページ選択ピンが安定している必要がある時間を設定します。すべてのアクティブなダイナミック OTP ページ選択ピンが選択された時間の間安定すると、結果として得られる OTP ページ選択コードが登録され、選択されたページがデバイスのレジスタにロードされます。

表 7-12. OTP ページ選択デバウンス時間

BOOTOSC_CLK_DIS	OTP_PAGE_SEL_DYN_DEBOUNCE	OTP ページ選択デバウンス時間
0x0	0x0	120ns
0x0	0x1	4.2µs
0x1	0x0	60ns
0x1	0x1	2.1µs

Copyright © 2025 Texas Instruments Incorporated

OTP ページを変更した後は、それ以降の OTP ページの変更は 300µs 内で行わないでください。

7.3.3 PWRGD/PWRDN#

7.3.3.1 PWRGD/PWRDN# 機能の割り当て

- LMK3H2108：PWRGD/PWRDn# 機能は、GPI_2、GPI_3、GPI_4、GPI_5、GPIO_0、GPIO_1、GPIO_2、GPIO_3、GPIO_4 に割り当てることができます。未割り当てのままにすると、PWRGD/PWRDN 機能は無効になります。
- LMK3H2104：PWRGD/PWRDn# 機能は、GPI_2、GPIO_0、または GPIO_1 に割り当てることができます。未割り当てのままにすると、PWRGD/PWRDN 機能は無効になります。

PWRGD/PWRDN# 機能が GPI/GPIO ピンに割り当てられている場合、この GPI/GPIO ピンに電力を供給する VDD ピンはフローティングに設定できません。

7.3.3.2 PWRGD

デバイスは、PWRGD (パワーグッド) がアサートされた後にパワーアップされます。詳細については、「電源投入シーケンス」セクションを参照してください。

PWRGD の極性は変更できません。PWRGD 機能は、GPIO の極性設定に関係なくアクティブ high です。

7.3.3.3 PWRDN#

PWRGD アサートの後、PWRGD/PWRDN# ピンは PWRDN# (パワーダウン、アクティブ low) ピンになります。その後の high/low 遷移により、デバイスは PWRDn# モードへの移行または終了します。PWRDN# モードには 3 つあります。

- 動的 OTP 選択ベースのパワーダウン モード (LMK3H2108 にのみ適用されます)。このモードは、両方の条件が満たされている場合に選択されます。
  - PWRGD/PWRDn# 関数は、GPIO_0、GPIO_1、または GPIO_2 に割り当てられます
  - PWRGD/PWRDN# ピンは、2 レベルの動的 OTP 選択ピンとしても構成されています

  PWRDn# がアサートされると、デバイスは PWRDn# ピンを含むすべての動的 OTP 選択ピンで選択された OTP ページをロードして、パワーダウン モードに移行します。この「パワーダウン モード OTP ページ」では、ユーザーが特定のブロックをパワーダウンし、出力ドライバをディセーブルにして、出力ディスエーブル状態を決定することができます。

  PWRDn# がデアサートされると、デバイスは PWRDn# ピンを含むすべての動的 OTP 選択ピンで選択された OTP ページをロードして、パワーダウン モードを終了します。

  このモードでは、PWRDN# 機能を持つ GPIO ピンを通常の極性にプログラムする必要があります。
- 低消費電力モード。低消費電力モードでは、PWRDn# がアサートされると、ほとんどのブロックがパワーダウンして、消費電力を節約します。出力バンクはパワーダウンされ、出力はトライステートになります。レジスタの値は変更されません。このモードでは、BAW が自動的にパワーダウンされません。また、必要に応じて、BAW _PD を I2C 経由で手動で 1 に設定して、さらに電力を節約する必要があります。
- リセット モード。リセット モードでは、PWRDN# ピンを切り替えることは、パワーアップ シーケンスを再開するのと同じです。PWRDn# アサートでは、デバイスの電源がオフになり、すべての出力がトライステートになるまでディセーブルになります。PWRDn# デアサートにより、電源オンシーケンスが開始されます。

PWRDn# 機能は、GPI/GPIO 極性の設定に関係なく、常にアクティブ low です。

動的 OTP 選択ベースのパワーダウン モードでは、以下のブロックを OTP レジスタによりパワーダウンできます。

表 7-13. パワーダウン制御

部品番号	登録	説明
LMK3H2108 または LMK3H2104	PDN	デバイスの電源をオフにします。このレジスタの機能は、PIN_SAMPLE_DIS と OTP_AUTOLOAD_DIS の影響を受けます
LMK3H2108 または LMK3H2104	BAW _ PD	BAW および BAW 関連の回路の電源をオフにします
LMK3H2108 または LMK3H2104	FOD_0_PD	FOD_0 のパワーダウン。

Copyright © 2025 Texas Instruments Incorporated

表 7-13. パワーダウン制御 (続き)

部品番号	登録	説明
LMK3H2108 または LMK3H2104	FOD_1_PD	FOD_1 のパワーダウン
LMK3H2108 または LMK3H2104	IN0_PD	IN0 のパワーダウン
LMK3H2108	IN1_PD	IN1 のパワーダウン
LMK3H2108	IN2_PD	IN2 のパワーダウン

未使用の出力ドライバの電力を最小化するため、OUTx_DIS_STATE = 3 (Hi-Z / Hi-Z) に設定します。

低消費電力モードおよびリセット モード以外にも、以下のレジスタによってより高い柔軟性を実現できます。

表 7-14. パワーダウン モード レジスタ

登録	説明
PIN_RESAMPLE_DIS	ピンの再サンプル ディセーブル。 • LMK3H2104: – 0x0:デバイスがパワーダウン モードを終了するとき (PWRDN# ピンがデアサートされるか、PDN レジスタ フィールドに 0x0 が書き込まれる)、REF_0/CTRL ピンが再サンプリングされてデバイスの動作モードを判定します。 – 0x1:ピンの再サンプリングは発生せず、REF_0/CTRL ピンの最後にサンプリングされた値が保持されます。 • LMK3H2108:このレジスタは影響を与えません。
OTP_AUTOLOAD_DIS	OTP 自動ロードがディスエーブルです。デフォルトでは、デバイスがパワーダウン モードを終了すると (PWRDN# ピンがデアサートされるか、PDN レジスタ フィールドに 0x0 が書き込まれる)、OTP データがデバイスのレジスタにロードされます。ただし、パワーダウン モードから復帰中に OTP_AUTOLOAD_DIS の値が 0x1 の場合、このデータ転送は行われません。 OTP_AUTOLOAD_DIS レジスタ フィールドは、動的な OTP ページ変更には影響しません。

表 7-15. パワーダウン モード レジスタとデバイスの動作

PIN_SAMPLE_DIS	OTP_AUTOLOAD_DIS	PWRDN# がトグルされたときのデバイスの動作
0x0	0x0	リセット モード、フル。PWRDN# ピンの切り替えは、フル パワー サイクルと同じです。
0x0	0x1	リセット モード、OTP 自動ロードなし。PWRDn# ピンをトグルするとデバイスはリセットされますが、レジスタ値は保持されます。
0x1	0x0	リセット モード、ピンの再サンプリングなし。レジスタは OTP から再ロードされますが、REF_0/CTRL ピンは再サンプリングされず、LMK3H2104 のデバイス動作モードは変更されません。
0x1	0x1	低消費電力モード。ロジック入力ピンは再サンプリングされず、OTP の内容はレジスタにロードされません。レジスタの値は変更されません。PWRDn# がアサートされると、出力バンクはパワーダウンされ、出力はトライステートに保持されます。

7.3.4 電源

7.3.4.1 電源ピン マッピング

表 7-16. LMK3H2108 の電源ピン マッピング

ピン名	割り当てられたブロック	電源電圧	電源電圧の影響
VDDA	BAW、FOD_0、FOD_1	1.8、2.5、または 3.3V	該当なし
VDDD	I2C、GPIO_[4:0]、OTP、その他のデジタル ブロック	VDDA 電圧やその他の VDD ピン電圧に関係なく、1.8V、2.5V、または 3.3V	GPIO_[4:0] の VIH と VIL、SCL と SDA は、VDDD 電圧に従います。詳しくは、仕様 を参照してください。

Copyright © 2025 Texas Instruments Incorporated

表 7-16. LMK3H2108 の電源ピン マッピング (続き)

ピン名	割り当てられたブロック	電源電圧	電源電圧の影響
VDDR	IN1、IN2、GPI_[5:2]	VDDA 電圧やその他の VDD ピン電圧に関係なく、1.8V、2.5V、または 3.3V	GPI_[5:2] の VIH と VIL は、VDDR 電圧に従います。IN1 および IN2 CMOS クロック入力レベルは、VDDR 電圧に関係なく 1.8V、2.5V、3.3V にできます。詳しくは、仕様 を参照してください。
VDDX	IN0、GPI_[1:0]	VDDA 電圧やその他の VDD ピン電圧に関係なく、1.8V、2.5V、または 3.3V	GPI_[1:0] の VIH と VIL は、VDDX 電圧に従います。IN0 CMOS クロック入力レベルは、VDDX 電圧に関係なく 1.8V、2.5V、3.3V のいずれかになります。詳しくは、仕様 を参照してください。
VDDO_0	OUT0 ドライバ、チャネル分周器、MUX	VDDA 電圧やその他の VDD ピン電圧に関係なく、1.8V、2.5V、または 3.3V	OUT0 CMOS クロック出力レベルは、1.2V CMOS を除くと VDDO_0 電圧に従います。詳しくは、仕様 を参照してください。
VDDO_1_2	OUT1 および OUT2 ドライバ、チャネル分周器、MUX	VDDA 電圧やその他の VDD ピン電圧に関係なく、1.8V、2.5V、または 3.3V	OUT1 および OUT2 CMOS クロック出力レベルは、1.2V CMOS を除く VDDO_1_2 電圧に従います。詳しくは、仕様 を参照してください。
VDDO_3_4	OUT3 および OUT4 ドライバ、チャネル分周器、MUX	VDDA 電圧やその他の VDD ピン電圧に関係なく、1.8V、2.5V、または 3.3V	OUT3 および OUT4 CMOS クロック出力レベルは、1.2V CMOS を除く VDDO_3_4 電圧に従います。詳しくは、仕様 を参照してください。
VDDO_5	OUT5 ドライバ、チャネル分周器、MUX	VDDA 電圧やその他の VDD ピン電圧に関係なく、1.8V、2.5V、または 3.3V	OUT5 CMOS クロック出力レベルは、1.2V CMOS を除くと VDDO_5 電圧に従います。詳しくは、仕様 を参照してください。
VDDO_6	OUT6 ドライバ、チャネル分周器、MUX	VDDA 電圧やその他の VDD ピン電圧に関係なく、1.8V、2.5V、または 3.3V	OUT6 CMOS クロック出力レベルは、1.2V CMOS を除くと VDDO_6 電圧に従います。詳しくは、仕様 を参照してください。
VDDO_7	OUT7 ドライバ、チャネル分周器、MUX	VDDA 電圧やその他の VDD ピン電圧に関係なく、1.8V、2.5V、または 3.3V	OUT7 CMOS クロック出力レベルは、1.2V CMOS を除くと VDDO_7 電圧に従います。詳しくは、仕様 を参照してください。

表 7-17. LMK3H2104 の電源ピン マッピング

ピン名	割り当てられたブロック	電源電圧	電源電圧の影響
VDDA	BAW、FOD_0、FOD_1 REF1 チャネル デバイダと MUX	1.8、2.5、または 3.3V。	該当なし
VDDD	GPI_2、I2C、OTP_SEL[1:0]、GPIO_[1:0]、OTP、その他のデジタル ブロック	VDDA 電圧やその他の VDD ピン電圧に関係なく、1.8V、2.5V、または 3.3V	GPI_2、OTP_SEL[1:0]、SCL、SDA、GPIO_[1:0] の VIH および VIL は、VDDD 電圧に従います。詳しくは、仕様 を参照してください。
VDDO_0	OUT0 ドライバ、チャネル分周器、MUX	VDDA 電圧やその他の VDD ピン電圧に関係なく、1.8V、2.5V、または 3.3V	OUT0 CMOS クロック出力レベルは、1.2V CMOS を除くと VDDO_0 電圧に従います。詳しくは、仕様 を参照してください。
VDDO_1	OUT1 ドライバ、チャネル分周器、MUX	VDDA 電圧やその他の VDD ピン電圧に関係なく、1.8V、2.5V、または 3.3V	OUT1 CMOS クロック出力レベルは、1.2V CMOS を除くと VDDO_1 電圧に従います。詳しくは、仕様 を参照してください。
VDDO_2	OUT2 ドライバ、チャネル分周器、MUX	VDDA 電圧やその他の VDD ピン電圧に関係なく、1.8V、2.5V、または 3.3V	OUT2 CMOS クロック出力レベルは、1.2V CMOS を除くと VDDO_2 電圧に従います。詳しくは、仕様 を参照してください。
VDDO_3	OUT3 ドライバ、チャネル分周器、MUX REF0 チャネル デバイダと MUX	VDDA 電圧やその他の VDD ピン電圧に関係なく、1.8V、2.5V、または 3.3V	OUT3 CMOS クロック出力レベルは、1.2V CMOS を除くと VDDO_3 電圧に従います。詳しくは、仕様 を参照してください。 LVCMOS クロック出力に REF0 を使用するには、VDDO_3 を電源に接続する必要があります。

表 7-17. LMK3H2104 の電源ピン マッピング (続き)

ピン名	割り当てられたブロック	電源電圧	電源電圧の影響
VDD_REF	GPI_[1:0]、IN0、CTRL、REF_0、REF_1 出力ドライバ	VDDA 電圧やその他の VDD ピン電圧に関係なく、1.8V、2.5V、または 3.3V	GPI_[1:0] の VIH と VIL は、VDD_REF 電圧に従います。 IN0 CMOS クロック入力レベルは、VDD_REF 電圧に関係なく、1.8V、2.5V、または 3.3V にできます。 CTRL (ピン 15) の VIH と VIL は、VDD_REF 電圧に従います。 REF_0 および REF_1 の LVCMOS クロック出力電圧レベルは、VDD_REF 電圧に従います。 詳しくは、仕様 を参照してください。

7.3.4.2 未使用電源ピン

VDDD、VDDA および VDD_REF は、同じ電源に接続する必要があります。その他の VDD ピンを使用しない場合は、フローティングのままでもかまいません。適切な起動シーケンスを行うには、OTP を通じてレジスタを設定する必要があります。

表 7-18. フローティング VDD ピン用の LMK3H2108 レジスタ

登録	説明
FLOATE_VDDR	• 0x0 : VDDR ピンは、電源レールに接続する必要があります。 • 0x1 : GPI_[5:2] と IN[2:1] は使用されません。VDDR はフローティングのままにしてもかまいません
FLOAT_VDDX	• 0x0 : VDDX ピンは、電源レールに接続する必要があります。 • 0x1 : GPI_[1:0] と IN0 は使用されません。VDDX はフローティングのままにしてもかまいません
FLOAT_VDDO_0	• 0x0 : VDDO_0 ピンは、電源レールに接続する必要があります • 0x1 : OUT0 は使用されていません。VDDO_0 ピンはフローティングのままでかまいません
FLOAT_VDDO_1_2	• 0x0 : VDDO_1_2 ピンは、電源レールに接続する必要があります • 0x1 : OUT1 と OUT2 は使用されていません。VDDO_1_2 ピンはフローティングのままでかまいません
FLOAT_VDDO_3_4	• 0x0 : VDDO_3_4 ピンは、電源レールに接続する必要があります • 0x1 : OUT3 と OUT4 は使用されていません。VDDO_3_4 ピンはフローティングのままでかまいません
FLOAT_VDDO_5	• 0x0 : VDDO_5 ピンは、電源レールに接続する必要があります • 0x1 : OUT5 は使用されていません。VDDO_5 ピンはフローティングのままでかまいません
FLOAT_VDDO_6	• 0x0 : VDDO_6 ピンは、電源レールに接続する必要があります • 0x1 : OUT6 は使用されていません。VDDO_6 ピンはフローティングのままでかまいません
FLOAT_VDDO_7	• 0x0 : VDDO_7 ピンは、電源レールに接続する必要があります • 0x1 : OUT7 は使用されていません。VDDO_7 ピンはフローティングのままでかまいません

表 7-19. フローティング VDD ピン用の LMK3H2104 レジスタ

登録	説明
FLOAT_VDDO_0	• 0x0 : VDDO_0 ピンは、電源レールに接続する必要があります • 0x1 : OUT0 は使用されていません。VDDO_0 ピンはフローティングのままでかまいません

Copyright © 2025 Texas Instruments Incorporated

表 7-19. フローティング VDD ピン用の LMK3H2104 レジスタ (続き)

登録	説明
FLOAT_VDDO_1	• 0x0 : VDDO_1 ピンは、電源レールに接続する必要があります • 0x1 : OUT1 は使用されていません。VDDO_1 ピンはフローティングのままでかまいません
FLOAT_VDDO_2	• 0x0 : VDDO_2 ピンは、電源レールに接続する必要があります • 0x1 : OUT2 は使用されていません。VDDO_2 ピンはフローティングのままでかまいません
FLOAT_VDDO_3	• 0x0 : VDDO_3 ピンは、電源レールに接続する必要があります • 0x1 : OUT3 は使用されていません。VDDO_3 ピンはフローティングのままでかまいません

7.3.5 パワーアップ シーケンス

7.3.5.1 パワーアップ シーケンス

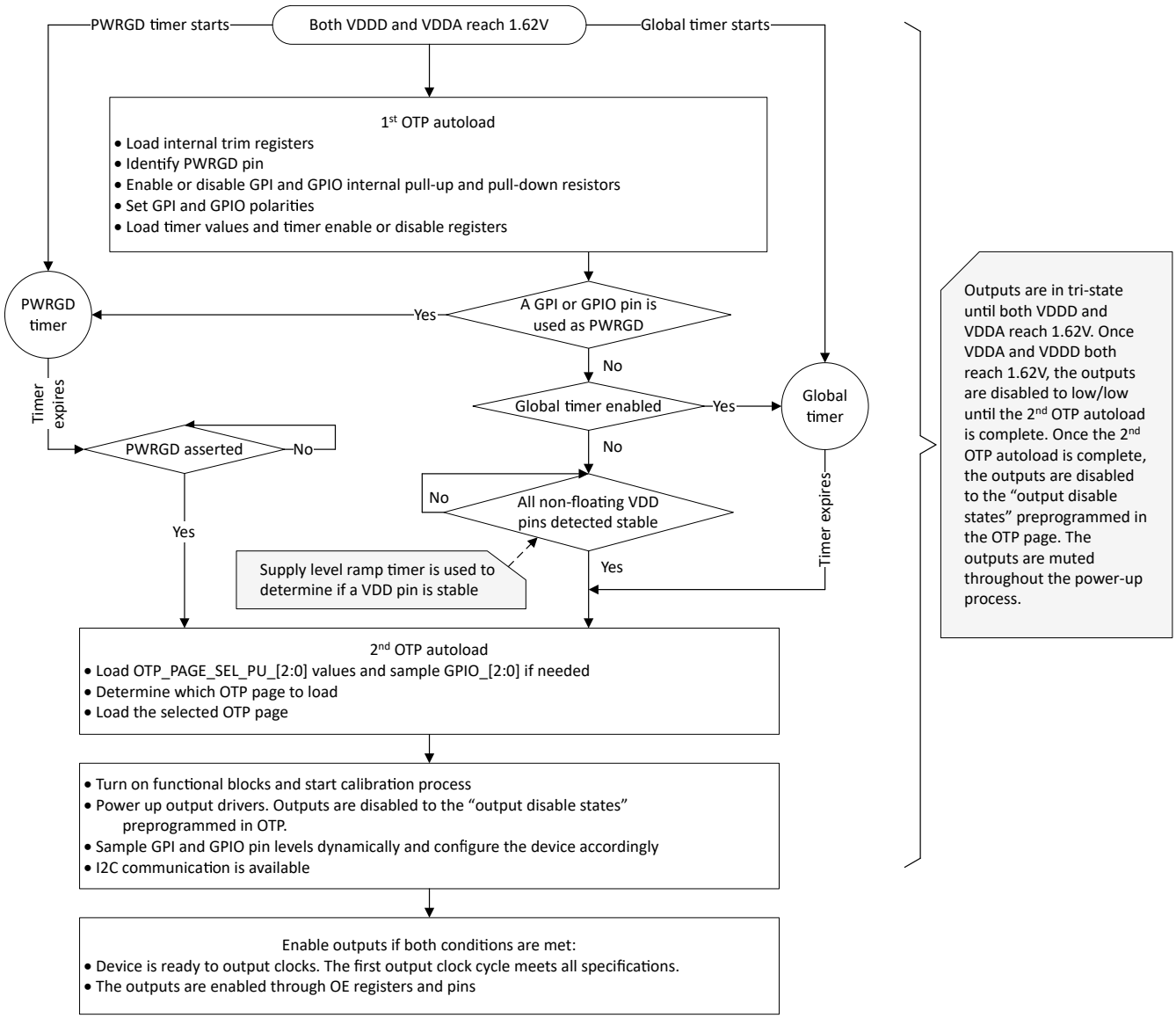


図 7-3. LMK3H2108 の電源投入シーケンス

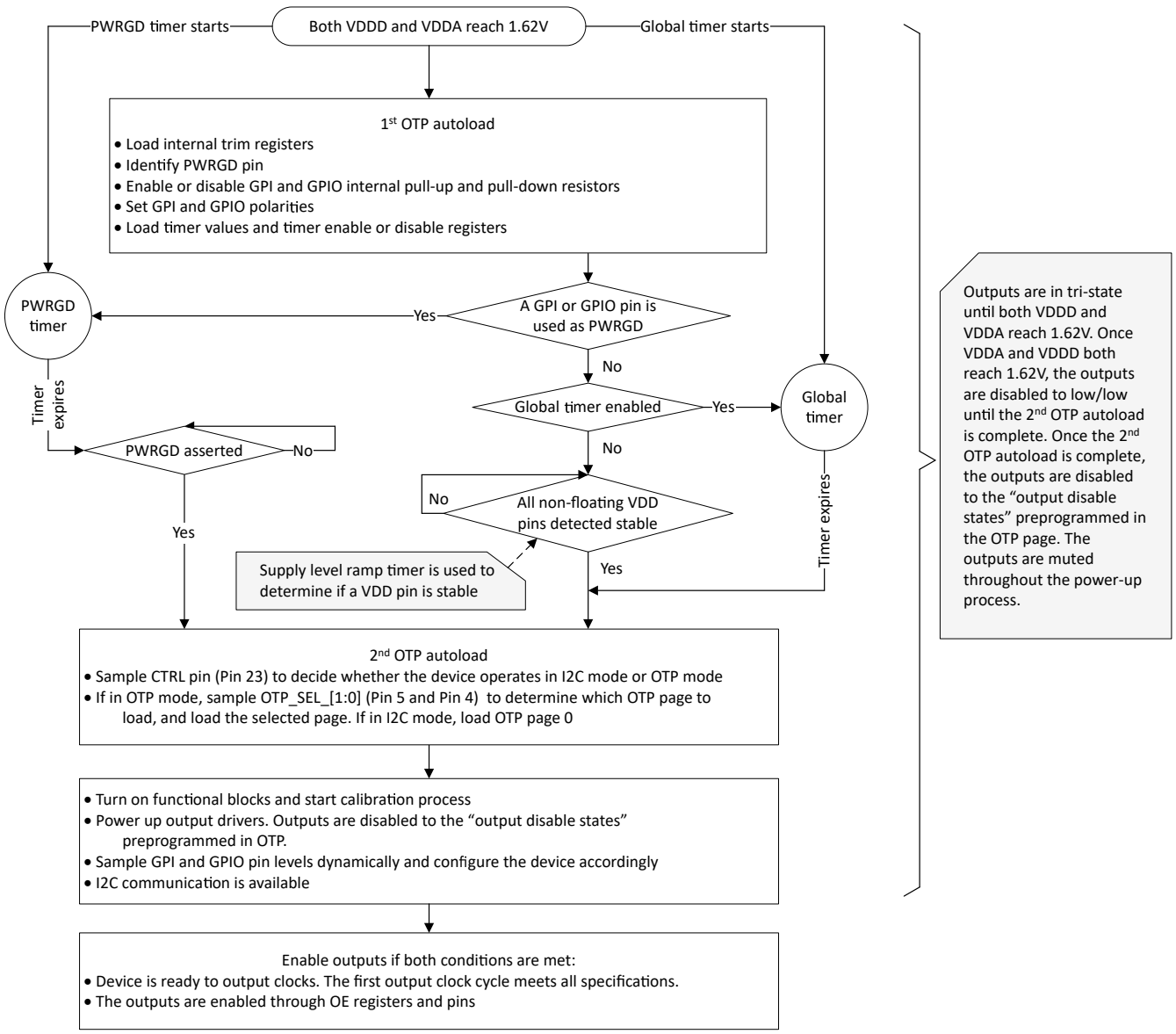


図 7-4. LMK3H2104 の電源投入シーケンス

表 7-20. タイマーの説明

タイマ	説明
PWRGD タイマ	PWRGD タイマは、電源オン時に PWRGD ピンのサンプリングを遅延させるために使用されます。このタイマは、PWRGD ピンが電源レールまたは制御デバイスに接続され、安定するのに時間がかかる場合に便利です。PWRGD タイマーが満了する前に、PWRGD 入力レベルがサンプリングされる準備ができていることを確認する必要があります。
電源レベル ランプ タイマ	各 VDD ピンの電圧レベルは、内部で 0b00 (VDDx < 1.8V) 、0b01 (VDDx = 1.8V) 、0b10 (VDDx = 2.5V) または 0b11 (VDD = 3.3V) として解釈されます。VDD ピンは、以下のいずれかの条件が満たされた場合、安定して検出されます。 • VDDx の電圧レベルは 0b11 です • VDDx の電圧レベルは 0b01 または 0b10 で、電源レベル ランプ タイマは満了します。VDDx 電圧が 1.62V に達すると、電源レベル ランプ タイマが起動します。 電源レベル ランプ タイマの値はすべての VDD ピンで同じで、1.62V から最終電圧までの予測される最長の電源ランプ アップ時間に従ってプログラムする必要があります

Copyright © 2025 Texas Instruments Incorporated

表 7-20. タイマーの説明 (続き)

タイマ	説明
グローバル電源検出タイマ	グローバル電源検出タイマが存在するため、VDD ピンが安定して検出されなかった場合でも、デバイスは無期限に待機せず、タイマが満了してもパワーアップになります。このタイマは、OTP レジスタを使ってイネーブルまたはディセーブルできます。 • ディセーブルのとき、フローティングでないすべての VDD ピンが安定して検出されるまで、デバイスは起動しません • イネーブルにすると、グローバル タイマが満了するか、すべての非フローティング VDD ピンが安定して検出されたかのうち、どちらか早い方でデバイスが起動します

表 7-21. タイマの範囲と分解能

タイマ	タイマーの開始点	分解能	範囲
PWRGD タイマ	VDDA と VDDD はどちらも 1.62V に達します	0.1ms	0.1ms から 25.6ms に変更
グローバル タイマー	VDDA と VDDD はどちらも 1.62V に達します	0.1ms	0.1ms から 25.6ms に変更
個別の VDDx タイマ	VDDx は 1.62V に達します	0.1ms	0.1ms から 6.4ms に変更

7.3.6 出力の有効化と無効化

7.3.6.1 OE レジスタ

各出力 (LMK3H2104 の場合 REF_0 と REF_1 を含む) には、I2C 経由でアクセスできる専用の出力ディセーブル レジスタ ビットがあります。OUTx_DIS = 1 の場合、OUTx はディセーブルになり、OUTx_DIS = 0 のとき OUTx はイネーブルになります。REF_0 と REF_1 は、REFx_DIS によって有効化または無効化できます。

グローバル OE から除外される出力を除き、すべての出力をイネーブルまたはディセーブルにするためのグローバル OE ビットがあります。

7.3.6.2 OE グループの割り当て

各出力は、OUTx_OE_GRP を使用して OE グループに割り当てることができます。GPI/GPIO ピンは、OE グループ ピンとして構成されている場合、1 つ以上の出力を有効または無効にできます。

- OE グループに割り当て可能な出力:
  - LMK3H2108:OUT0、OUT1、OUT2、OUT3、OUT4、OUT5、OUT6、OUT7
  - LMK3H2104:OUT0、OUT1、OUT2、OUT3、REF_0、REF_1
- 出力が OE グループに割り当てられていない場合、出力は次のいずれかになります。
  - どの OE グループでも制御されませんが、グローバル OE ビットとグローバル OE ピンで制御されます
  - OE グループでは制御されず、グローバル OE ビットおよびグローバル OE ピンからは除外されます

各 OE グループは、1 つの GPI ピンまたは GPIO ピンでのみ制御できます。同じ OE グループを制御するために、2 本以上の GPI/GPIO ピンを構成することはできません。

7.3.6.3 OE およびロジック

出力イネーブル機能は、論理に従います。すべてのアクティブな出力イネーブル ロジック コントリビュータが「有効」状態の場合、出力がイネーブルになります。出力イネーブル ロジック コントリビュータがいずれか 1 つのアクティブな場合、出力はディスエーブル状態になります。出力イネーブル ロジックの寄与要素は、次のとおりです。

- 個別の出力ディスエーブル レジスタ フィールド
- グローバル出力イネーブル レジスタ フィールド (対応する OUTx_OE_GRP レジスタ フィールドが「割り当てなし」に設定されていない場合のみアクティブ。グローバル出力イネーブル制御の影響を受けません。「代替 OE」機能が有効な場合は、アクティブになりません。)
- グローバル出力イネーブル ピン (GPI/GPIO ピンが「グローバル OE ピン」機能が割り当てられており、対応する OUTx_OE_GRP レジスタ フィールドが割り当てられていない場合のみアクティブ。グローバル出力イネーブル制御の影響を受けません。「代替 OE」機能が有効な場合は、アクティブになりません。)

Copyright © 2025 Texas Instruments Incorporated

- 出力イネーブル グループ ピン (GPI/GPIO ピンに OE グループ機能が割り当てられており、対応する OUTx_OE_GRP レジスタ フィールドがそのピンと同じ OE グループに設定されている場合のみアクティブです。「代替 OE」機能が有効な場合は、アクティブになりません。)
- 代替 OE ピン (LMK3H2104 のみ。代替 OE 機能がイネーブルの場合のみアクティブ (GPI2 と GPIO0 の両方が「代替 OE」機能で割り当てられている))

7.3.6.4 代替 OE

LMK3H2104 の場合、GPI_2 と GPIO_0 の両方が代替 OE として構成されている場合、出力動作は以下の表に従います。

GPI_2 = OEA、GPIO_0 = OEB

表 7-22. 代替 OE マッピング 1 (ALTERNATE_OE_SEL = 0)

OE[B:A]	OUT0	OUT1	OUT2	OUT3	REF_0	REF_1
00	イネーブル	ディセーブル	イネーブル	ディセーブル	イネーブル	イネーブル
01	イネーブル	イネーブル	ディセーブル	ディセーブル	イネーブル	イネーブル
10	ディセーブル	ディセーブル	イネーブル	イネーブル	イネーブル	イネーブル
11	イネーブル	イネーブル	イネーブル	イネーブル	イネーブル	イネーブル

表 7-23. 代替 OE マッピング 2 (ALTERNATE_OE_SEL = 1)

OE[B:A]	OUT0	OUT1	OUT2	OUT3	REF_0	REF_1
00	イネーブル	ディセーブル	ディセーブル	ディセーブル	イネーブル	イネーブル
01	イネーブル	イネーブル	ディセーブル	ディセーブル	イネーブル	イネーブル
10	イネーブル	イネーブル	イネーブル	ディセーブル	イネーブル	イネーブル
11	イネーブル	イネーブル	イネーブル	イネーブル	イネーブル	イネーブル

代替 OE がイネーブルの場合、出力イネーブルロジックでは、以下の寄与要素は考慮されません。
- グローバル出力イネーブル レジスタ フィールド
- グローバル出力イネーブル ピン
- 出力イネーブル グループ ピン

代替 OE がイネーブルの場合、出力 OE グループは「OE グループなし」に設定されます。

OEA と OEB を動的に変更できるように、4.2µs デバウンス時間を追加します。

7.3.6.5 OE の極性

OE レジスタは常にアクティブ high です。OE ピンの極性は、以下に示すように、GPI/GPIO ピンの極性によって決まります。

表 7-24. OE の GPI/GPIO 極性

GPI/GPIO 構成	GPI/GPIO 極性
OE_GROUP_x	• 通常の極性:アクティブ High – Low:出力をディセーブル – High:出力をイネーブル • 反転極性:アクティブ Low – Low:出力をイネーブル – High:出力をディセーブル
グローバル OE	
代替 OE	GPI/GPIO 極性は無視されます

Copyright © 2025 Texas Instruments Incorporated

7.3.6.6 単一の LVCMOS OE

出力をいずれかの LVCMOS フォーマットに設定すると、単一の LVCMOS OE ビット OUTxP_OE_CMOS と OUTxN_OE_CMOS を使用して、OUTx_P と OUTx_N を個別にイネーブルまたはディセーブルできます。OUTx_P または OUTx_N が単一の LVCMOS OE ビットによってイネーブルまたはディスエーブルされている場合、OUTx_N または OUTx_P は中断されません。イネーブルおよびディセーブル プロセスは、同期または非同期のいずれかであり、SINGLE_CMOS_EN_SYNC で設定されます。

差動出力の場合、OUTxP_OE_CMOS と OUTxN_OE_CMOS の両方を 1 に設定する必要があります。

7.3.6.7 LOS および出力動作

INx は High/Low および LOS = 1 で停止すると、出力クロックは High/Low で停止します。INx が復帰し、LOS = 0 になると、出力クロックは一時的に Low/High になり、プログラムされたディセーブル状態になり (自動出力無効化機能が有効な場合のみ) 、その後再度トグルを開始します。

LOS が無効の場合、上記の動作は発生しません。INx が High/Low または Low/High で停止すると、出力クロックも High/Low または Low/High で停止します。INx が復帰すると、出力クロックは再びトグルを開始します。

7.3.7 PERST#

7.3.7.1 PERST# バッファ モード

PERST# (PCIe リセット アクティブ Low) バッファ モードを使用すると、入力クロックと、GPI または GPIO ピンで供給される PERST# 信号の有効性に基づいて、クロック ジェネレータ モードとバイパス バッファ モードを切り替えることができます。

PERST# バッファ モードをイネーブルにするには、レジスタ BANKx_SWITCHOVER_FRC_CLK_EN を 0 に設定する必要があります

表 7-25. PERST_INx# 極性

GPI/GPIO 機能	GPI/GPIO 極性
PERST_IN0#	通常の PERST# バッファ モード: • 通常の極性 – PERST_INx# が low の場合、入力クロックが有効になるとデバイスはバッファ モードに入り、入力クロックが無効になるとクロック ジェネレータ モードに移行します – PERST_INx# が high の場合、デバイスの動作モードは変更されません • 反転極性 – PERST_INx# が high の場合、入力クロックが有効になるとデバイスはバッファ モードに入り、入力クロックが無効になるとクロック ジェネレータ モードに移行します – PERST_INx# が low の場合、デバイスの動作モードは変更されません レベル トリガー PERST# バッファ モード: • 通常の極性: – PERST_INx が low で Inx クロックが有効になると、デバイスはバッファ モードに入ります – PERST_INx が high または INx クロックが無効のとき、本デバイスはクロック ジェネレータ モードに移行します • 反転極性: – PERST_INx が high で、INx クロックが有効になると、デバイスはバッファ モードに移行します – PERST_INx が low または INx クロックが無効の場合、本デバイスはクロック ジェネレータ モードに移行します
PERST_IN1#	
PERST_IN2#	

表 7-26. 通常の PERST# バッファ モードの真理値表 (通常の極性)

PERST#	LOS	デバイスの動作モード
L	L	バッファ モード
L	H	クロック ジェネレータ モード

Copyright © 2025 Texas Instruments Incorporated

表 7-26. 通常の PERST# バッファ モードの真理値表 (通常の極性) (続き)

PERST#	LOS	デバイスの動作モード
H	L	前のモード
H	H	前のモード

表 7-27. 遷移中の標準 PERST# バッファ モード真理値表 (通常極性)

PERST#	LOS	デバイスの動作モード
H	L ～ H	前のモード
H	H ～ L	前のモード
L ～ H	L	バッファ モード
L ～ H	H	クロック ジェネレータ モード
L	L ～ H	バッファ モードからクロック生成モードへ
L	H ～ L	クロック ジェネレータ モードからバッファ モードへ
H ～ L	L	前のモードからバッファ モードへ
H ～ L	H	前のモードからクロック ジェネレータ モードへ

表 7-28. レベル トリガ PERST# バッファ モードの真理値表 (通常極性)

PERST#	LOS	デバイスの動作モード
L	L	バッファ モード
L	H	クロック ジェネレータ モード
H	L	クロック ジェネレータ モード
H	H	クロック ジェネレータ モード

デバイスがバッファ モードで動作しているときに、入力クロックが失われると、出力はディセーブルされ、プログラムされたディセーブル状態になります。

極性が反転した場合、PERST# の「H」と「L」がすべての真理値表で入れ替えられます。

表 7-29. PERST# バッファ モード レジスタ

登録	タイプ	説明
PERST_BUF_INx (x = 0、1、2)	RW	PERST バッファ モード INx 設定 • 0x0 : INx では、PERST# バッファ モードが無効になっています。PERST# バッファ モードで INx を選択する出力バンクでは、代わりに出力バンクの MUX 設定に従ってクロック ソースを選択します。 • 0x1 : 通常の PERST# バッファ モードがイネーブルです • 0x2 : レベル トリガー PERST# バッファー モードがイネーブルになります • 0x3 : INx バッファ モードは、PERST_INx# の状態に関係なく常に有効です。
PERST_BUF_BANKx (x = 0、1、2、3、4、または 5)	RW	PERST バッファ モード BANKx 設定 • 0x0 : 通常動作モード。BANKx は、BANKx MUX の設定に従ってクロック ソースを選択します • 0x1 : BANKx はバッファ モードで IN0 を選択します • 0x2 : BANKx はバッファ モードで IN1 を選択します • 0x3 : BANKx はバッファ モードで IN2 を選択します
PERST_BUF_INx_STS (x = 0、1 または 2)	RO	PERST_INx バッファ モード ステータスの読み戻し。このレジスタの値は、GPIO ピンに渡すこともできます • 0x0 : INx は、PERST バッファ モード経由でどの出力バンクにも渡されません。ただし、PERST バッファ モードが無効化されている場合、INx は、通常の出力バンクの MUX 設定を介して出力バンクに渡すことができます • 0x1 : INx はバッファ モード経由で出力バンクに渡されます。

Copyright © 2025 Texas Instruments Incorporated

表 7-29. PERST# バッファ モード レジスタ (続き)

登録	タイプ	説明
PERST_BUF_INx_LOS_EN (x = 0、1、2)	RW	• 0x0：PERST バッファー モードでは、LOS_x ス テータスは無視されます。入力クロックは常に有効であり、LOS_x はすべての関連する真理値表で「L」であると仮定されています。 • 0x1：PERST バッファ モードでは、LOS_x ステータスが使用されます。

表 7-30. PERST_BUF_BANKx と PERST_BUF_INx のマッピング

PERST_BUF_BANKx	PERST_BUF_IN0	PERST_BUF_IN1	PERST_BUF_IN2	BANKx クロック ソース
0x0	x	x	x	BANKx_CLK_SEL によって決定されます
0x1	0x0	x	x	BANKx_CLK_SEL によって決定されます
0x1	0x1	x	x	バッファ モードがアクティブのとき、IN0 を選択します
0x1	0x2	x	x	バッファ モードがアクティブのとき、IN0 を選択します
0x1	0x3	x	x	常に IN0 を選択します
0x2	x	0x0	x	BANKx_CLK_SEL によって決定されます
0x2	x	0x1	x	バッファ モードがアクティブのとき、IN1 を選択します
0x2	x	0x2	x	バッファ モードがアクティブのとき、IN1 を選択します
0x2	x	0x3	x	常に IN1 を選択します
0x3	x	x	0x0	BANKx_CLK_SEL によって決定されます
0x3	x	x	0x1	バッファ モードがアクティブのとき、IN2 を選択します
0x3	x	x	0x2	バッファ モードがアクティブのとき、IN2 を選択します
0x3	x	x	0x3	常に IN2 を選択します

表 7-31. PERST_BUF_INx_STS マッピング

PERST_BUF_BANKx	PERST_BUF_INx	PERST_BUF_INx_STS
すべてのバンクは 0x0	x	PERST_BUF_IN0_STS = 0x0 PERST_BUF_IN1_STS = 0x0 PERST_BUF_IN2_STS = 0x0
x	PERST_BUF_IN0 = 0x0	PERST_BUF_IN0_STS = 0x0
x	PERST_BUF_IN1 = 0x0	PERST_BUF_IN1_STS = 0x0
x	PERST_BUF_IN2 = 0x0	PERST_BUF_IN2_STS = 0x0
1 バンク以上の場合は 0x1	PERST_BUF_IN0 = 0x1、0x2 または 0x3	• IN0 が出力バンクに渡されない場合、PERST_BUF_IN0_STS = 0x0 になります • IN0 がバッファ モードで出力バンクに渡される場合、PERST_BUF_IN0_STS = 0x1 です
1 バンク以上の場合は 0x2	PERST_BUF_IN1 = 0x1、0x2 または 0x3	• IN1 が出力バンクに渡されない場合、PERST_BUF_IN1_STS = 0x0 になります • IN1 がバッファ モードで出力バンクに渡される場合、PERST_BUF_IN1_STS = 0x1 です
1 バンク以上の場合は 0x3	PERST_BUF_IN2 = 0x1、0x2 または 0x3	• IN2 が出力バンクに渡されない場合、PERST_BUF_IN2_STS = 0x0 になります • IN2 がバッファ モードで出力バンクに渡される場合、PERST_BUF_IN2_STS = 0x1 です

7.3.7.2 PERST# ラッチ

PERST# 入力がラッチされた後、以下のいずれかの後、ラッチはクリアされます。

Copyright © 2025 Texas Instruments Incorporated

- PWRDn# 関数はリセット モードに設定され、PWRDn# がアサートされます
- OTP ページは、動的 OTP_SEL により変更されます
- PERST# バッファ モード レジスタが、以下のように変更されます。
  1. 出力バンクは INx を選択しなくなります
  2. レベル トリガ バッファ モードが選択されるか、バッファ モードが無効になります
  3. 通常の PERST# バッファ モードを有効にしないその他の設定

7.3.8 ステータス信号

7.3.8.1 CLK_READY

デバイスの電源が完全にオンになり、クロックを出力できる状態になったときに、CLK_READY がアサートされます。CLK_READY は、パワーアップ時、パワーダウン モードを終了するとき、またはハード リセット後に、デバイスの準備完了を示すために使用できます。CLK_READY は、バッファのみモードを含むすべての動作モードで使用できます。OE 制御による出力のイネーブルまたはディセーブルは、CLK_READY の状態に影響しません。

7.3.8.2 入力 LOS

INx_LOS (信号喪失) は、INx に有効なクロック信号が供給されているかどうかを示します。LOS は周波数検出に基づいています。入力クロックは、周波数が検出スレッショルド以上である場合、有効と見なされます。LOS スレッショルドは、1MHz と 25MHz の間でプログラム可能です。LOS 監視は、1PPS などの低周波入力には使用できません。

7.3.8.3 出力周波数検出

REF0 と REF1 を含む各出力には粗周波数検出器があり、出力クロック周波数が検出スレッショルド以上であるかどうかを検出します。検出スレッショルドは、1MHz と 25MHz の間でプログラム可能です。

出力周波数検出は、監視に便利な機能です。出力クロックが何らかの理由 (停電、内部回路の故障、半田接合の故障など) で失われた場合、出力周波数検出器によって欠けている出力が通知されます。

7.3.8.4 CRC_ERROR

CRC_ERROR 事前にプログラムされた OTP からレジスタ値が正しくロードされているかどうかを示します。このビットは、OTP がロードされるたびに更新されます。CRC エラーが発生すると OTP はロードされ、デバイスは通常どおり電源投入されます。CRC_ERROR はステータス信号であり、デバイスの動作をゲートすることはありません。

7.3.8.5 ステータス イベント レジスタ

入力 LOS および出力周波数検出には、エラー履歴を記録できるイベント レジスタがあります。詳細については、レジスタの説明を参照してください。

7.3.8.6 デバイス割り込み

表 7-32. 割り込みレジスタ

登録	説明
DEV_INTR	デバイスの割り込み。このレジスタは、デバイス割り込みに含まれるすべてのステータス レジスタの論理和です。この信号は GPIO ピンから出力することもできます。
INx_LOS_EVT_INTR_EN	1 に設定されている場合、LOS_x_EVT はデバイス割り込みに含まれます
INx_LOS_LMT_EVT_INTR_EN	1 に設定されている場合、INx_LOS_LMT_EVT_INTR_EN はデバイス割り込みに含まれます
CRC_ERROR_EVT_INTR_EN	1 に設定されている場合、デバイス割り込みに CRC_ERROR_EVT が含まれます
OUTx_FREQ_ERR_EVT_INTR_EN	1 に設定されている場合、OUTx_FREQ_ERR_EVT はデバイス割り込みに含まれます

7.3.8.7 GPIO からのステータス信号

ステータス信号は GPIO ピンからも出力できます。GPIO ステータス出力の極性は、GPIO の極性によって決まります。

- 通常の極性:レジスタ極性について同じ

Copyright © 2025 Texas Instruments Incorporated

- 反転極性:レジスタの極性とは逆です。

7.3.9 入力レシーバ

7.3.9.1 GPI 入力およびクロック入力

GPI/INx ピンの各ペアは、次のように構成できます。

- INx_RCVR_FMT = 0x0 の場合、INx_P と INx_N の両方が GPI ピンとして構成されます
- INx_RCVR_FMT = 0x1 の場合、INx_P は LVCMOS クロック入力、INx_N は GPI ピンです
- INx_RCVR_FMT = 0x2 の場合、INx_P は GPI ピン、INx_N は LVCMOS クロック入力です
- INx_RCVR_FMT = 0x3 の場合、INx_P および INx_N は差動クロック入力として構成されます

ユーザーは、INx_P と INx_N をそれぞれ異なる LVCMOS クロック ソースに接続し、INx_RCvr_FMT の値を 0x1 ～ 0x2 の間で切り替えることで、2 つのソースのどちらかを動的に選択できます。

7.3.9.2 クロック入力構成および終端

各クロック入力は以下の終端をサポート:

- 内部バイアスなしで終端なし (LVCMOS 入力、LP-HCSL 入力、および内蔵入力終端を必要としないその他の DC 結合入力)
- 内部バイアスによる終端なし (内蔵入力終端を必要としない AC 結合入力の場合)
- P と N の両方で GND に対して 50Ω (従来の 100Ω HCSL 入力、および GND に対して 50Ω を必要とするその他の DC 結合入力の場合)
- P と N の両方の内部バイアスに対して 50Ω (AC-LVDS およびその他の AC 結合入力で、AC-GND に 50Ω を必要とする)
- P と N の両方で GND に対して 42.5Ω (従来の 85Ω HCSL 入力、および GND に対して 42.5Ω を必要とするその他の DC 結合入力の場合)
- P と N の両方の内部バイアスへ 42.5Ω (AC-GND へ 42.5Ω を必要とする AC 結合入力の場合)
- P と N の両端で 100Ω (DC 結合 LVDS 用)
- P と N の両方で DC パスへ 50Ω。DC パスは GND に対して 50Ω (DC-LVPECL の場合、LVPECL 終端要件に応じて)

7.3.9.3 差動クロック入力

差動入力クロックは、AC 結合または DC 結合が可能です。DC 結合を使用する場合、入力同相は最大 3.3V に上昇できます。

7.3.9.4 フェイルセーフ入力

INx/GPI ピンは、デバイスの電源がオフのときに静的な high 電圧に耐えられます。「静的 high 電圧」とは、立ち上がりエッジも立ち下がりエッジもないことを意味します。デバイスの電源がオフのときに、INx/GPI ピンに立ち上がりエッジまたは立ち下がりエッジが予想される場合、次のようになります。

- 以下の要件を満たしている場合、INx ピンは、デバイスの電源がオフのとき、差動入力クロックの動作に耐えられます。
  - 振幅 (差動ピークツーピーク スイングの半分) は 1.2V 以下です
  - 入力クロックは、AC または DC 結合が可能です。DC 結合を使用する場合、入力同相は最大 3.3V に上昇できます。

デバイスの電源がオフのときに高速エッジレートで動作する 1PPS クロックを許容するには、200Ω の直列抵抗を追加して、エッジ レートを制限します。

7.3.9.5 入力クロストークの低減

クロック入力のペアを複数使用する場合は、バックアップ クロック ソースをオフにして、入力クロストークを最小限に抑えます。バックアップ クロック ソースをオフにできない場合は、INx_PD 経由で入力ドライバの電源をオフにして、入力クロストークを低減します。

Copyright © 2025 Texas Instruments Incorporated

ただし、入力ドライバは電源投入におよそ 200µs を要します。高速な入力切り替えが必要な場合は、入力ドライバをパワーダウンしないでください。

7.3.10 入力スイッチング

7.3.10.1 自動切り替え

BANKy_AUTO_CLK_SWITCHOVER_EN が 1 の場合、INx の入力クロックが無効 (LOS アサート) になると、INx を選択した出力バンクは自動的に FOD で生成されたクロックに切り替えることができます。FOD で生成されるクロックは、BANKy_AUTO_CLK_SWITCHOVER_CLK_SEL で設定され、パス 0 またはパス 1 のいずれかになります。

BANKy が自動クロック切り替えを実行した後、INx の入力クロックが再検証 (LOS デアサート) されると、BANKy は INx に戻るか、BANKy_AUTO_CLK_SWITCHBACK_EN で決定される FOD 生成クロックに維持されます。

入力スイッチオーバー機能を有効に使用するには、BANKx_SWITCHOVER_FRC_CLK_EN を 0 に設定する必要があります。BANKx_SWITCHOVER_FRC_CLK_EN が 0 に設定されている場合、動的 OTP ページの変更が制限されます。スイッチオーバー機能を使用しない場合、BANKx_SWITCHOVER_FRC_CLK_EN を 1 に設定します。

7.3.10.2 マニュアル切り換え

各出力バンクのクロック ソースは、BANKy_CLK_SEL レジスタを書き換えることにより、I2C を介して手動で切り替えることができます。手動スイッチングをイネーブルにするには、BANKy_switchover_FRC_CLK_EN を 0 に設定する必要があります。

各出力バンクのクロック ソースは、PERST を使用して GPI/GPIO ピンを介して手動で切り替えることもできます。詳細については、PERST バッファー モードを参照してください

7.3.11 出力 MUX

7.3.11.1 クロック出力 MUX の設定

LMK3H2108 の場合、各出力バンク (OUT0、OUT1 & 2、OUT2 & 3、OUT4、OUT5、OUT6、OUT7) は、次の 6 つのクロック ソースから個別に選択できます。IN0、IN1、IN2、FOD_0、FOD_1、エッジ コンバイナ。

LMK3H2104 の場合、REF_0 および REF_1 を含む各出力は、次の 4 つのクロック ソースから独立して選択できます。IN0、FOD_0、FOD_1、エッジ コンバイナ。

7.3.12 出力ドライバ

7.3.12.1 出力フォーマット

このデバイスは、以下の出力形式をサポートしています。

- 100Ω LP-HCSL
- 85Ω LP-HCSL
- AC-LVDS
- DC-LVDS
- OUTx_P で LVCMOS イネーブル、OUTx_N でディスエーブル。
- OUTx_P で LVCMOS ディスエーブル、OUTx_N でイネーブル。
- OUTx_P と OUTx_N の両方で LVCMOS イネーブル。P と N は 180 度の位相差があります。
- OUTx_P と OUTx_N の両方で LVCMOS イネーブル。P と N は同相です。

7.3.12.2 1.2V LVCMOS 出力

REF0 と REF1 を除くすべての出力は、1.2V LVCMOS をサポートしています。1.2V LVCMOS モードをイネーブルにするには、OUTx_CMOS_1P2V_EN を 1 に設定します。OUTx_CMOS_1P2V_EN が 0 の場合、LVCMOS レベルは対応する VDDO 電源電圧に従います。

VDDO ピンは 1.2V 電源電圧をサポートしていないことに注意してください。1.2V LVCMOS ドライバが高インピーダンス負荷を駆動する場合、対応する VDDO を 1.8V に接続する必要があります。1.2V LVCMOS ドライバが 100Ω 差動負荷を駆動するとき、対応する VDDO を 1.8V、2.5V、3.3V に接続できます。

Copyright © 2025 Texas Instruments Incorporated

1.2V LVCMOS スイングは、出荷時に 1.1V に事前にプログラムすることもできます。詳細については テキサス・インスツルメンツまでお問い合わせください。

7.3.12.3 LVCMOS 出力インピーダンス

1.8V、2.5V、3.3V の LVCMOS 出力インピーダンスは 17Ω です。1.2V LVCMOS 出力インピーダンスは 50Ω です。

7.3.12.4 プログラム可能な出力スルー レート

LP_HCSL、LVDS、1.2V LVCMOS クロック出力のスルー レートは、レジスタ OUTx_SLEW_RATE によってプログラムできます。

1.8/2.5/3.3V LVCMOS クロック出力のスルー レートは、レジスタ OUTx_CMOS_SLEW_RATE によりプログラムできます。

REF0 および REF1 クロック出力のスルー レートはプログラム可能ではありません。

7.3.12.5 出力極性

出力極性は、レジスタ OUTxP_INV_POL と OUTxN_INV_POL により、シングルエンド出力と差動出力の両方の形式で反転できます。出力ドライバをシングルエンド (LVCMOS) として構成すると、P と N の極性を独立して反転できます。出力ドライバを差動 (LVDS または LP-HCSL) として構成した場合、OUTxP_INV_POL と OUTxN_INV_POL の値が同じである必要があります。

7.3.12.6 二重終端 LP-HCSL 出力

LP-HCSL 出力は、通常終端とダブル終端の両方をサポートしています。二重終端では、スイングは半分になります。たとえば、LP-HCSL スイングが 800mV に設定されている場合:

- 通常の終端の場合、各シングルエンド出力は 0V ～ 800mV の範囲でスイングします
- ダブル終端を使うと、各シングルエンド出力は 0V ～ 400mV の範囲でスイングします

ダブル終端オプションにより、出力スイングおよび同相構成についてより柔軟に設定できます。

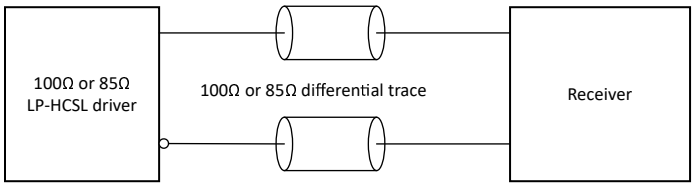


図 7-5. LP-HCSL の 標準終端

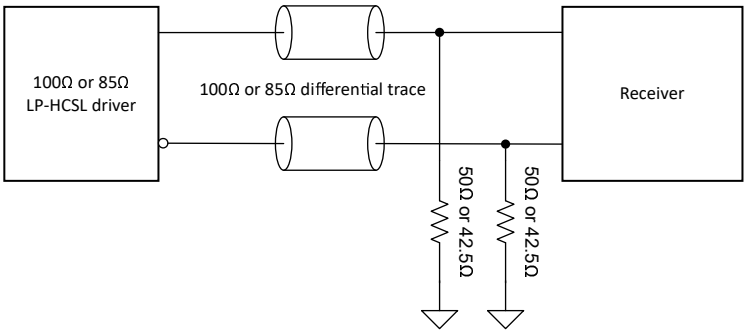


図 7-6. LP-HCSL の ダブル終端

7.3.12.7 AC および DC-LVDS

LVDS ドライバは通常、DC 終端です。LVDS ドライバを AC 終端するには、以下の要件のいずれかを満たす必要があります。

Copyright © 2025 Texas Instruments Incorporated

- BANKx クロック ソースが FOD またはエッジ コンバイナの場合、出力ドライバは AC 終端できます
- BANKx クロック ソースが INy の場合、AC-LVDS は、OE で出力がイネーブルになっている間に INy が失われない場合にのみ使用できます。OE で出力がイネーブルになっている間に INy が無効になると、LVDS 出力ドライバがレール アウトして損傷する可能性があります。

一般に、該当する場合は AC-LVDS を置き換えることを推奨します。AC-LVDS は、LVDS ドライバと 100Ω 終端の間にコンデンサを追加することを意味することに注意してください。DC 終端 LVDS ドライバの AC 結合と外部バイアスの追加は、AC-LVDS とは見なされません。下の図を参照してください。

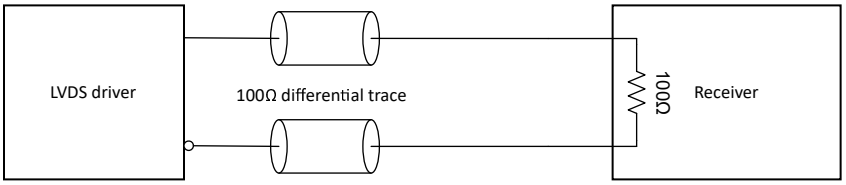


図 7-7. DC 終端 LVDS 出力

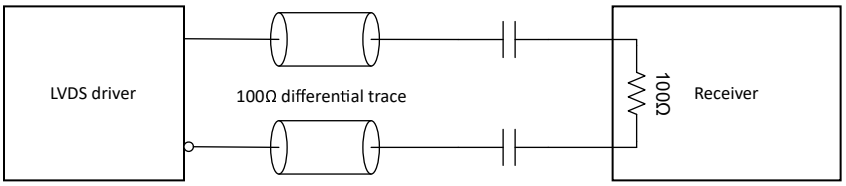


図 7-8. AC 終端 LVDS 出力

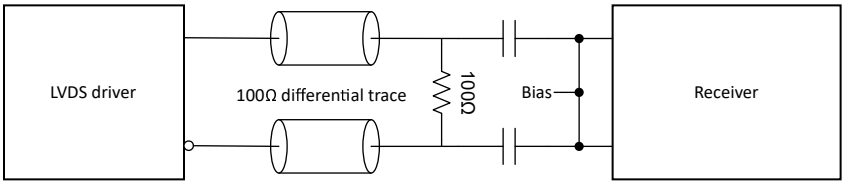


図 7-9. 外部バイアスによる DC 終端の LVDS 出力

7.3.12.8 LVDS 出力コモン モード

1.8V LVDS の場合、デフォルトの同相モードは、0.86V などのより低いレベルに工場出荷時に事前プログラムできます。詳細については テキサス・インスツルメンツまでお問い合わせください。2.5/3.3V LVDS の場合、同相モードは標準 1.25V です。

7.3.12.9 出力ディスエーブル状態

出力がディスエーブルの場合、OUTx_P/OUTx_N は High/Low、Low/High、Hi-Z Hi-Z または Low/Low に設定できます。各出力のディセーブル状態は、個別に設定されます。次の表は、各種の出力フォーマットの出力ディセーブル状態を示しています。

AC-LVDS の場合は、Low/Low を選択する必要があります。DC-LVDS は無効な状態を選択できます。どちらの LVDS カップリングの場合も、「Low/Low」は出力クロックの動作を示すものではなく、代わりに出力クロックは High/Low として動作します。

出力フォーマット	High/Low		Low/High		Hi-Z/Hi-Z		Low/Low	
	OUTx_P	OUTx_N	OUTx_P	OUTx_N	OUTx_P	OUTx_N	OUTx_P	OUTx_N
LP-HCSL	高	低	低	高	ハイ インピーダンス	ハイ インピーダンス	低	低
DC-LVDS	高	低	低	高	ハイ インピーダンス	ハイ インピーダンス	高	低

Copyright © 2025 Texas Instruments Incorporated

出力フォーマット	High/Low		Low/High		Hi-Z/Hi-Z		Low/Low	
	OUTx_P	OUTx_N	OUTx_P	OUTx_N	OUTx_P	OUTx_N	OUTx_P	OUTx_N
AC-LVDS	予約済み		予約済み		予約済み		高	低
LVCMOS1	高	低	低	高	ハイ インピーダンス	ハイ インピーダンス	低	低
LVCMOS2	高	低	低	高	ハイ インピーダンス	ハイ インピーダンス	低	低
LVCMOSD	高	低	低	高	ハイ インピーダンス	ハイ インピーダンス	低	低
LVCMOSx2	高	低	低	高	ハイ インピーダンス	ハイ インピーダンス	低	低

LMK3H2104 の REF_0 および REF_1 は、Low または Hi-Z に無効化できます。

7.3.12.10 状態変化時の出力動作

クロック出力の状態が変化するたびに (例:出力がイネーブルおよびディスエーブル、デバイスの電源投入中、デバイスのシャットダウン中、クロック ソースが切り替わったとき、OTP ページが変化したとき) 、クロック出力は次のように動作します。

- 非同期 OE を選択しない場合、変更時やスイッチ時にグリッチやラントパルスは発生しません。
- 出力がアクティブのとき、出力は最初のクロック サイクルから始まるすべての電気的仕様を満たします。
- 出力がディスエーブルまたは電源オフのとき、出力は静止状態を維持し、出力に異常な波形、発振、またはパルスは発生しません。

7.3.13 出力同期

7.3.13.1 出力同期

すべての出力バンクは、以下の 3 つの同期モードから選択できます。

- フル同期モード。完全同期モードでは、同じクロック ソースからの出力は以下のように位相同期されます。
  - パワーアップ、PWRDN トグル、または OTP ページ切り替え
  - 出力が同じ OE グループに割り当てられている場合、OE ピンがトグルされます
  - グローバル OE トグル

  使用可能なクロック ソースは:INx、FOD_0、FOD_1、エッジ コンバイナ。完全同期モードでは、OE も同期しています。
- セルフ同期モード。セルフ同期モードでは、出力は互いに位相同期していませんが、出力の OE は同期しています。
- SYNC モードなし。同期モードでは、出力は互いに位相同期しておらず、出力の OE は非同期です。

出力分周器がバイパスされると、同期設定に関係なく、出力は位相整列されます。

7.3.13.2 同期および非同期 OE

非同期 OE では、出力は即座にイネーブルになり、OE のアサートおよびデアサート時にディセーブルになります。出力をイネーブルおよびディセーブルにするときは、最小限の遅延があります。ただし、OE 中にグリッチやラント パルスが発生する可能性があります。

同期 OE では、グリッチやラント パルスが発生しませんが、出力イネーブルおよびディセーブル時に数サイクルの遅延が発生します。

高周波 (1MHz) 動作の場合、この遅延は無視できます。ただし、1PPS クロック バッファリングなどの低周波アプリケーションでは、このような遅延は通常許容されません。このデバイスは、1PPS 入力に対して、グリッチレス動作と最小のパワーアップ遅延を同時に実現できるように設計されています。同期 OE がディセーブルの場合、1PPS 入力でのパワーアップ プロセスはまだグリッチレスですが、OE プロセスはグリッチレスではありません。

同期動作には、常に動作するリファレンス クロック ソースが必要です。クロック ソースが FOD またはエッジ コンバイナの場合、これは問題になりません。ただし、クロック ソースが INx の場合、INx クロックが有効である場合にのみ同期動作し

ます。OE がアサートされている間に INx が失われた場合、同期設定に関係なく、出力は非同期にシャットダウンされます。

7.3.14 出力位相シフト

出力位相シフトは、FOD デジタル遅延によって実現できます。各 FOD は、出力で 25ps ステップ サイズで最大 25ns の位相遅延を供給できます。したがって、2 つの FOD 間の位相差は -25ns ～ +25ns の範囲でプログラム可能です。

7.3.15 動的な周波数変更

出力周波数は、次の 3 つの方法でグリッチレスにインクリメントまたはデクリメントできます。

- FODx_CFG_UPDATE によって FOD 周波数を直接変更します
- チャネル分周器を直接変更 (粗インクリメントまたはデクリメント)
- DCO モード

7.3.15.1 FOD 設定の更新

FOD 周波数構成は複数のレジスタで構成されているため、クリーンな周波数遷移のために FODx_CFG_UPDATE が追加されています。FODx_N_DIV および FODx_NUM レジスタの新しい値は、FODx_CFG_UPDATE に 1 が書き込まれるまで有効になりません。

チャネル分周器の値を変更すると、新しい周波数にすぐに変化します。周波数変更プロセスはグリッチレスです。新しい周波数でのクロック サイクルは、古い周波数の最後のクロック サイクルが完了した後に開始されます。

7.3.15.2 チャネル分周器を更新

BANKx_CH_DIV を動的に変更すると、グリッチレス周波数が更新されます。新しい周波数でのクロック サイクルは、古い周波数の最後のクロック サイクルが完了した後に開始されます。

7.3.15.3 DCO モード

各 FOD は、独立した DCO をサポートしています。

DCO モードは、各 FOD について以下のレジスタで構成されています。

- DCO イネーブル ビット *FODx_DCO_EN* により、DCO モードをイネーブルまたはディセーブルにします。DCO モードをイネーブルにした後で、このビットに 0 を書き込むと、すべての周波数がインクリメントおよびデクリメントされ、DCO モードがイネーブルになる前の FOD 周波数が元の値に戻ります。
- DCO インクリメント/デクリメント ステップ サイズ *FODx_DCO_STEP_SIZE*
- *FODx_DCO_INC* ビットをインクリメントします。1 を書き込むと、周波数をインクリメントします
- *FODx_DCO_DEC* ビットをデクリメントします。1 を書き込むと、周波数をデクリメントします
- インクリメント/デクリメントステップのネット数を記録する読み取り専用レジスタ *FODx_DCO_STEPS_STAT*
- ライブ周波数の計算に使用できるライブ (インクリメントまたはデクリメント) FOD 値を読み戻す読み出し専用レジスタ *FODx_DCO_N_DIV_STAT* および *FODx_DCO_NUM_STAT*

式 1 は、目的の ppm ステップに基づいて DCO ステップ サイズを設定するための式です。

$$\text{FODx_DCO_STEP_SIZE} = \text{int}\left(2^{16} \times \left(\frac{F_{BAW}}{F_{FOD} \times \left(1 + \frac{ppm}{10^6}\right)} - \text{FODx_N_DIV} - \left(\frac{\text{FODx_NUM}}{2^{24}}\right)\right)\right) \quad (1)$$

ここで

- f_{BAW} は BAW 周波数、2467MHz
- F_{FOD} は FOD 周波数です
- PPM は、周波数シフトを 100 万分の 1 で表したものです
- FODx_N_DIV は、FOD の整数分周器です
- FODx_NUM は、FOD 分周器の分子です

Copyright © 2025 Texas Instruments Incorporated

7.4 SSC

FOD0 と FOD1 はどちらも、スペクトラム拡散クロック処理 (SSC) をサポートしています。SSC は、出力周波数を変調することで、放射エミッションのピークを抑制するために使用できます。FODx_SSC_EN =「1」の場合、FODx で SSC がイネーブルになります。FODx_SSC_MOD_TYPE ダウンスプレッド変調とセンター スプレッド変調のいずれかを選択します。4 つのあらかじめ定義されたダウン スプレッド SSC オプション、および FODx_SSC_CONFIG_SEL によって選択された 1 つのカスタム SSC オプションがあります。事前定義された変調深度は、200MHz FOD での使用を目的としています。FOD の周波数が 200MHz でない場合、実際の変調深度は FOD の周波数に応じて上下します。エッジ コンバイナを使用する場合、SSC をディスエーブルにする必要があります。

表 7-33. 事前設定済み SSC の構成

SSC_CONFIG_SEL	SSC 変調深度
0x0	カスタム、SSC_STEPS と SSC_STEP_SIZE に基づく
0x1	-0.10%
0x2	-0.25%
0x3	-0.30%
0x4	-0.50%
その他すべての値	予約済み

カスタム SSC が選択された場合、SSC_STEPS (レジスタ フィールド FODx_SSC_STEPS) と SSC_STEP_SIZE (レジスタ フィールド FODx_DCO_STEP_SIZ) を構成して、変調深度を設定する必要があります。

Down-spread: SSC_STEPS = int((F_{FOD}/F_{MOD})/2) (2)

Center-spread: SSC_STEPS = int((F_{FOD}/F_{MOD})/4) (3)

ここで

- F_{FOD}:FOD 周波数
- F_{MOD}:変調周波数。PCIe アプリケーションでは 31.5kHz を使用してください。

$$SSC_STEP_SIZE = floor((F_BAW/F_FOD \times(1/(1-SSC_DEPTH)-1))/(SSC_STEPS)\times DEN) \quad (4)$$

$$SSC_STEP_SIZE = floor((F_BAW/F_FOD \times(1/(1-SSC_DEPTH)-1/(1+SSC_DEPTH)))/(2\times SSC_STEPS)\times DEN) \quad (5)$$

ここで

- F_{BAW}:BAW 周波数、2467MHz。
- SSC_DEPTH:変調深度、正の値で表されます。深度 –0.5% を使用する場合、この値は 0.005 になります。
- DEN:分数分母、2^{24}

SSC を使用する FOD と使用しない FOD が混在する場合、2 つの FOD 間にクロストークが発生する可能性があります。特定の構成について測定データをリクエストするには、テキサス インスツルメンツにお問い合わせください。

SSC を FOD0 でのみ使用し、FOD1 で使用しない場合、FOD1_SSC_CONFIG_SEL を 0 以外に設定する必要があります。

Copyright © 2025 Texas Instruments Incorporated

7.5 デバイスの機能モード

7.5.1 分数出力分周器

このデバイスには、2 つの分数出力分周器 (FOD) が搭載されています。すべての出力を単一の FOD で生成できる場合は、FOD0 を使用し、FOD1 を無効にして (FOD1_PD を介して)、電力を節約し、パフォーマンスを向上させます。

7.5.1.1 FOD 動作

内部 BAW 共振器は、1 つまたは 2 つの FOD によって分周されます。

最小チャネル分周器値が 2 であるため、単一の FOD によってクロック出力で生成可能な最大周波数は 200MHz です。周波数が 200MHz を超える出力を生成するには、チャネル分周器をバイパスして、エッジ コンバイナを使用します。これには、両方の FOD がイネーブルで、同じ整数分周器値と分数分子値、さらには同じゲイン較正値を持っている必要があります。一方の出力が 200MHz を超えると、もう一方の出力は、チャネル分周器値のいずれかで共有 FOD 周波数を分周したもの、または FOD 周波数そのものを選択することしかできません。200MHz より下では、2 つの FOD を個別に構成できます。

FOD は、I2C プログラミング、またはプログラミングが行われない場合にはワンタイム プログラミング (OTP) 設定により、さまざまな出力周波数に対応するように構成できます。FOD は、整数 (FODx_N_DIV) と分数 (FODx_NUM) の分周値を設定することで構成できます。

$$FODx_N_DIV = floor(F_{BAW}/F_{FOD}) \quad (6)$$

ここで

- FODx_N_DIV：FOD 分周値の整数部分 (7 ビット、6～24)
- F_{BAW}：BAW 周波数、2467MHz
- F_{FOD}：目標とする FOD 周波数 (100MHz～400MHz)

$$FODx_NUM = int(((F_{BAW}/F_{FOD}) - FODx_N_DIV) \times 2^{24}) \quad (7)$$

ここで、FODx_NUM は FOD 分周値の分数部分 (24 ビット、0～16777215) です。

出力周波数 (F_{OUT}) は、FOD の周波数に従って以下に記載されているように関連付けられます。エッジ コンバイナがディセーブルの場合：

$$F_{OUT} = F_{FOD}/PATHx_DIV/BANKx_CH_DIV \quad (8)$$

エッジ コンバイナがイネーブルの場合：

$$F_{OUT} = F_{FOD}/BANKx_CH_DIV \quad (9)$$

7.5.1.2 エッジ コンバイナ

エッジ コンバイナを使用して、200MHz を超える出力周波数を生成します。エッジ コンバイナを使用するには、PATHx_EDGE_COMB_EN を 1 に設定します。エッジ コンバイナを使用する場合、両方の FOD が同じ周波数で動作する必要があります (つまり、分周値が一致している必要があります)。いずれかの CHx_EDGE_COMB_EN ビットが 1 に設定されているときに、デバイスでは、FOD0 から FOD1 に分周器値を自動的にロードすることで、これに対応しています。エッジ コンバイナを使用する場合、SSC はサポートされないため、無効にする必要があります。

7.5.1.3 整数境界スプリアス

FOD の分周値の小数部分が整数境界に近い場合、整数境界スプリアスが発生することがあります。一般的に、この「整数境界」とは、小数部分が 0.9～1 または 0～0.1 である場合です。たとえば、BAW 周波数が 2467MHz、出力が 122.88MHz である場合、FOD は 245.76MHz で動作する必要があります。2467MHz を 245.76MHz で割った値は約 10.038 になります。分周値の小数部分は 0.038 で、0～0.1 の範囲です。これは、122.88MHz 出力が生成されると、出

Copyright © 2025 Texas Instruments Incorporated

力クロックに 12kHz～20MHz 帯域のスプリアスが発生する可能性があることを意味します。場合によっては、適切な周波数プランニングを行うことで、FOD 周波数とチャネル分周器値を増加させ、この点に対処できます。特定の周波数計画における整数境界スプリアスについてご不明な点がありましたら、テキサス・インスツルメンツにお問い合わせください。

7.5.2 バッファのみモード

このデバイスは、汎用クロック バッファまたはクロック MUX として動作できます。BAW および両方の FOD をパワーダウンすることで、消費電力を削減し、クロストークを回避できます。BAW がディセーブルの場合、BOOTOSSC_CLK_DIS を 0 に設定する必要があります。

7.6 プログラミング

7.6.1 I²C シリアル インターフェイス

このデバイスは 100kHz、400kHz、1MHz I²C をサポートしています。I²C の電圧およびタイミング パラメータについては、「I2C 特性」に記載されています。

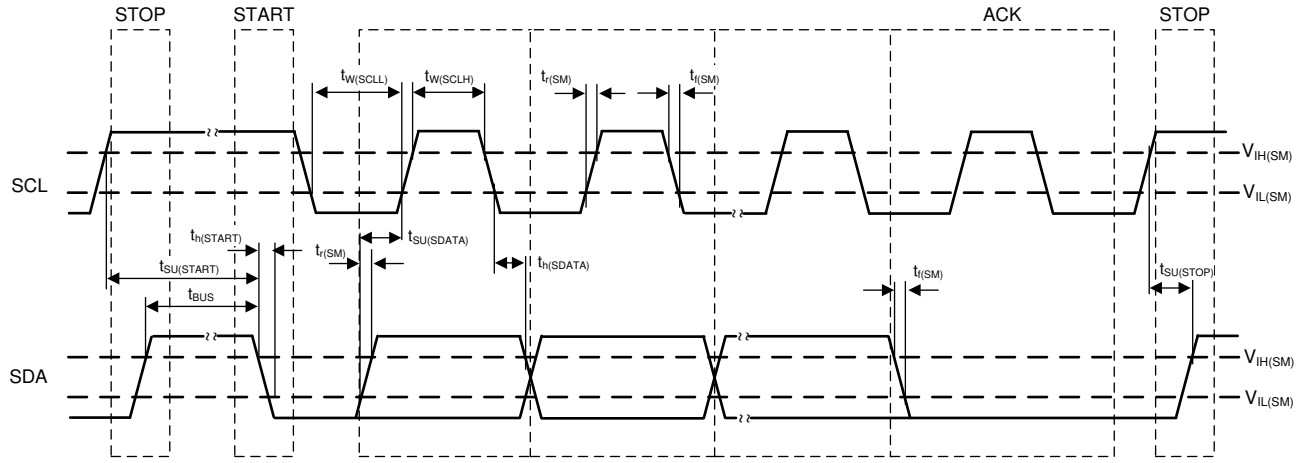


図 7-10. I²C のタイミング図

2 つの I²C 通信モードがサポートされています。1 バイト モードと 2 バイト モードです。

1 バイト モードでは、レジスタ アドレスの上位 2 ビットに 0xFD (レジスタ フィールド PAGE_SEL) でアクセスします。レジスタ アドレスの下位 8 ビットは直接書き込まれます。データ ワードは、各レジスタ アドレスの 8 ビット長です。

Copyright © 2025 Texas Instruments Incorporated

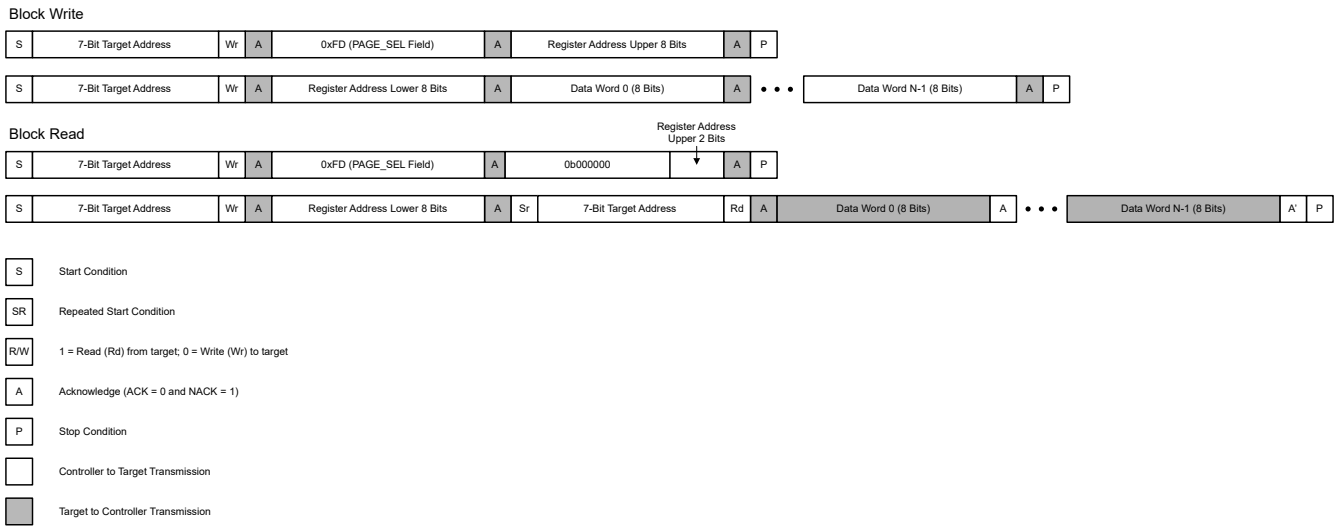


図 7-11. I²C 1 バイト モード

2 バイト モードでは、16 ビットのレジスタ アドレスが直接書き込まれます。データ ワードは、各レジスタ アドレスの 8 ビット長です。

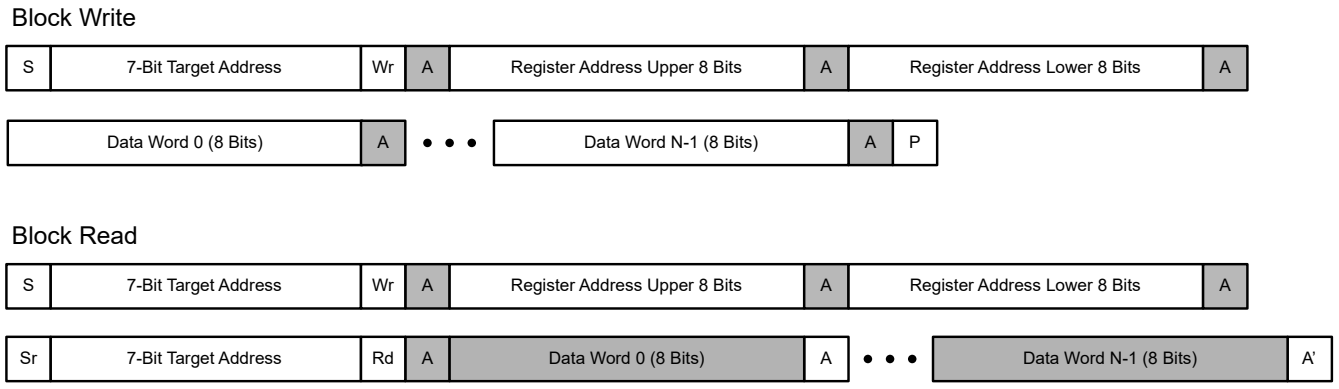


図 7-12. I²C 2 バイト モード

7 ビットの I2C ターゲット アドレスは、OTP により I2C_TRGT_ADDR によって定義されます。7 ビット アドレスのビット 1 とビット 0 は、GPI/GPIO 入力でオーバーライドできます。詳しくは、GPI/GPIO による I2C アドレス を参照してください。

Copyright © 2025 Texas Instruments Incorporated

7.6.2 ベンダ ID

11 ビットのベンダ ID (R1[2:0]、R0 [7:0]) は OTP でプログラム可能です。R1 [7:3] は読み取り専用です。(R1[7:0]、R0[7:0]) = 0x038B でデフォルト。

7.6.3 OTP のプログラミング

一意の注文可能な型番を使用して新しい OTP 構成を作成するには、テキサス インスツルメンツにお問い合わせください。

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

LMK3H2104 および LMK3H2108 はリファレンスレス BAW ベースのクロック ジェネレータで、PCIe リファレンス クロックや XTAL/XO の置き換えなど、さまざまなアプリケーションにリファレンス クロックを供給できます。LMK3H2104 と LMK3H2108 は、システムのデバッグおよび検証フェーズの間ハードウェア設計を支援するさまざまな機能をサポートしています。

8.2 代表的なアプリケーション

8.2.1 アプリケーションのブロック図の例

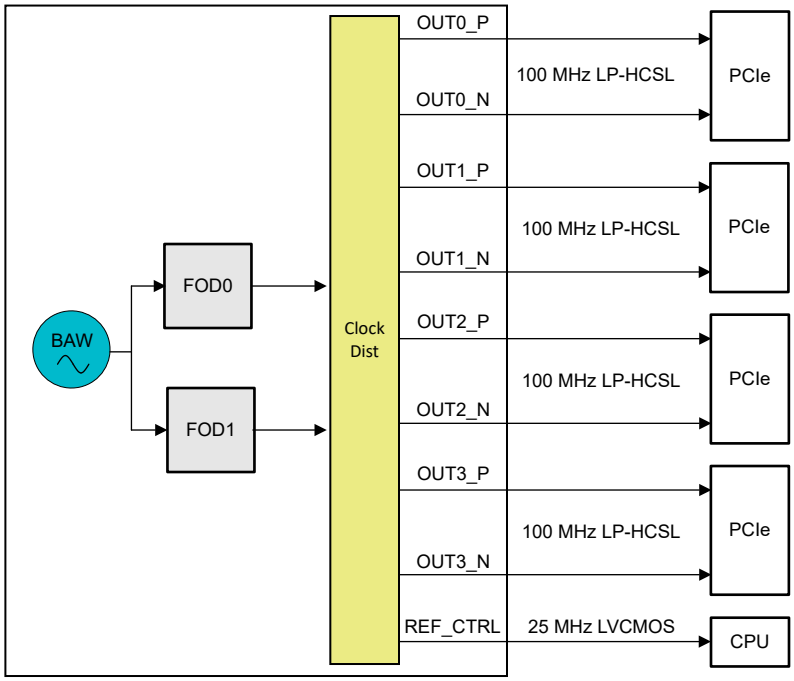


図 8-1. LMK3H2104 PCIe アプリケーション

8.2.2 設計要件

図 8-1 に示す代表的な PCIe アプリケーションを想定してください。このようなシステムでは、追加のデバイス レベルのプログラミングを必要とせず、要求に応じてクロックが利用可能であることが期待されます。このアプリケーションにおける代表的な出力クロック要件は、4 つの 100MHz LP-HCSL クロックです。REF_x 出力の構成方法も示すために、25MHz クロックが追加されています。以下のセクションでは、LMK3H2104 を使用して、上記の PCIe シナリオに必要な出力周波数を生成するための詳細な設計手順について説明します。

8.2.3 詳細な設計手順

デバイスのあらゆる側面の設計がわかりやすく、周波数プランニングや部品プログラミングを支援するソフトウェア サポートが利用できます。この設計手順では、プロセスの概要をわかりやすく説明しています。

Copyright © 2025 Texas Instruments Incorporated

1. 電源電圧
   a. 各 OUTx 出力には、電源電圧をフローティングするためのフィールドがあります。このフィールドが 1 に設定されている場合、電源電圧ピンは電源供給またはフローティングのいずれかになります。このフィールドを 0 に設定した場合、電源電圧ピンに電源を供給する**必要**があります。

2. 入力動作
   a. LMK3H210x をバッファ モードで使用する場合、入力バッファ パスを構成する必要があります。入力バッファの構成では、次の動作を設定する必要があります。
      i. INx パワーダウン: 入力クロックの入力バッファを電源オフにするか、電源オンにするかを制御します。対応するレジスタ フィールドは INx_PD です。
      ii. INx レシーバ形式: 入力クロック タイプを設定します。入力クロックなし、INx_P または INx_N のシングルエンド LVCMOS、差動のいずれかに適用可能です。対応するレジスタ フィールドは INx_RCVR_FMT です。
      iii. INx 終端: 入力終端方法を設定します。HCSL 入力には、システムの要件に応じて、85Ω または 100Ω の差動終端設定が必要です。それ以外の場合、DC 結合入力には終端やバイアスは必要ありません。終端を必要としない AC 結合入力では、内部バイアスを備えた終端を使用しないでください。それ以外の場合は、AC 結合入力形式に基づいて適切な終端オプションを選択します。AC-CML、AC-LVPECL、または AC-LVDS。
   b. LMK3H210x クロック入力を使用しない場合は、入力バッファの電源をオフにします。
   c. 入力クロックから FOD クロックに切り替える場合、OTP モードと I^2C モードの要件は異なります。各出力バンクには、そのバンクのスイッチオーバー動作を制御するフィールドがあります。BANKx_SWITCHOVER_FRC_CLK_EN. このビットが 0 に設定されている場合、入力クロックと FOD の間の切り替えは、OTP ページを変更することではなく、I^2C を介してサポートされます。このビットが 1 に設定されている場合、入力クロックと FOD との間の切り替えは、I^2C ではなく、OTP ページを変更することでサポートされます。I^2C モードでは、I^2C 経由の切り替えをサポートするため、このビットを 0 に変更できます。

3. 周波数プランニング
   a. 入力クロックを使用しない場合、LMK3H210x 構成を設計する最初のステップは、必要な出力周波数を生成するために必要な FOD 周波数を決定することです。周波数計画に影響を及ぼすデバイスの主な動作は次のとおりです。
      i. 周波数計画を生成するために両方の FOD が必要な場合は、FOD1 の電源をオンにするには、FOD1_PD を 0 に設定する必要があります。この場合、PATH1_FOD_SEL を 1 に設定する必要があります。これには、まず UNLOCK_PROTECTED_REG に 0x5B を書き込んでデバイスのロックを解除する必要があります。
      ii. どちらの FOD も、SSC 構成オプションを利用できます。FOD0 でのみ SSC を使用する場合、FOD0 で適切な SSC 機能を実現するためには、FOD1_SSC_CONFIG_SEL を 0 以外にする必要があります。
      iii. カスタム SSC 構成の場合、FODx_DCO_STEP_SIZE フィールドは SSC ステップ サイズに 2 倍になります。SCC 構成の詳細については、セクション 7.4 を参照してください。DCO 構成の詳細については、セクション 7.3.15.3 を参照してください。
      iv. 出力バンクの前の各パスは、FOD 出力またはエッジ コンバイナ出力のいずれかから選択できます。エッジ コンバイナを選択すると、両方の FOD は FOD0 で設定された同じ周波数で動作します。
      v. FOD 周波数を変更するときは、対応する FODx_CFG_UPDATE フィールドを 1 に設定して、FOD の動作を更新します。
      vi. OUT0 の分周範囲は 1 ～ 65536 です。他のすべての出力の範囲は 1 ～ 16 です。156.25kHz より低い周波数を生成するには、OUT0 を使用する必要があります。

4. 出力フォーマットの選択
   a. 各 OUTx 出力には、出力動作を制御する 5 つのフィールドがあります。OUTx_FMT、OUTxP_INV_POL、OUTxN_INV_POL、OUTxP_OE_CMOS、および OUTxN_OE_CMOS。「反転位相」とは、クロック信号の 180 度位相シフトを指します。表 8-1 では、可能な各出力形式の設定の組み合わせについて説明します。

Copyright © 2025 Texas Instruments Incorporated

b. 各 OUTx 出力には、1.2V LVCMOS を使用するオプションがあります。1.2V LVCMOS の場合、対応する OUTx_CMOS_1P2V_EN ビットを 1 に設定して LVCMOS 出力フォーマットを選択する必要があります。
c. AC 結合 LVDS の場合、出力ディセーブル状態を low/low に設定する必要があります。出力ディセーブル状態動作の詳細な説明については、セクション 7.3.12.9 を参照してください。

表 8-1. 出力フォーマットの設定の組み合わせ

出力フォーマット	OUTx_FMT	OUTxP_INV_POL	OUTxN_INV_POL	OUTxP_OE_CMOS	OUTxN_OE_CMOS
100Ω LP-HCSL	0	0	0	1	1
85Ω LP-HCSL	1	0	0	1	1
AC-LVDS	2	0	0	1	1
DC-LVDS	2	0	0	1	1
LVCMOS OUTx_P	3	0	0	1	0
LVCMOS OUTx_P、反転位相	3	1	0	1	0
LVCMOS OUTx_N	3	0	1	0	1
LVCMOS OUTx_N、反転位相	3	0	0	0	1
差動 LVCMOS	3	0	0	1	1
差動 LVCMOS、反転位相	3	1	1	1	1
同相 LVCMOS	3	0	1	1	1
同相 LVCMOS、反転位相	3	1	0	1	1

Copyright © 2025 Texas Instruments Incorporated

8.2.4 アプリケーション特性の波形

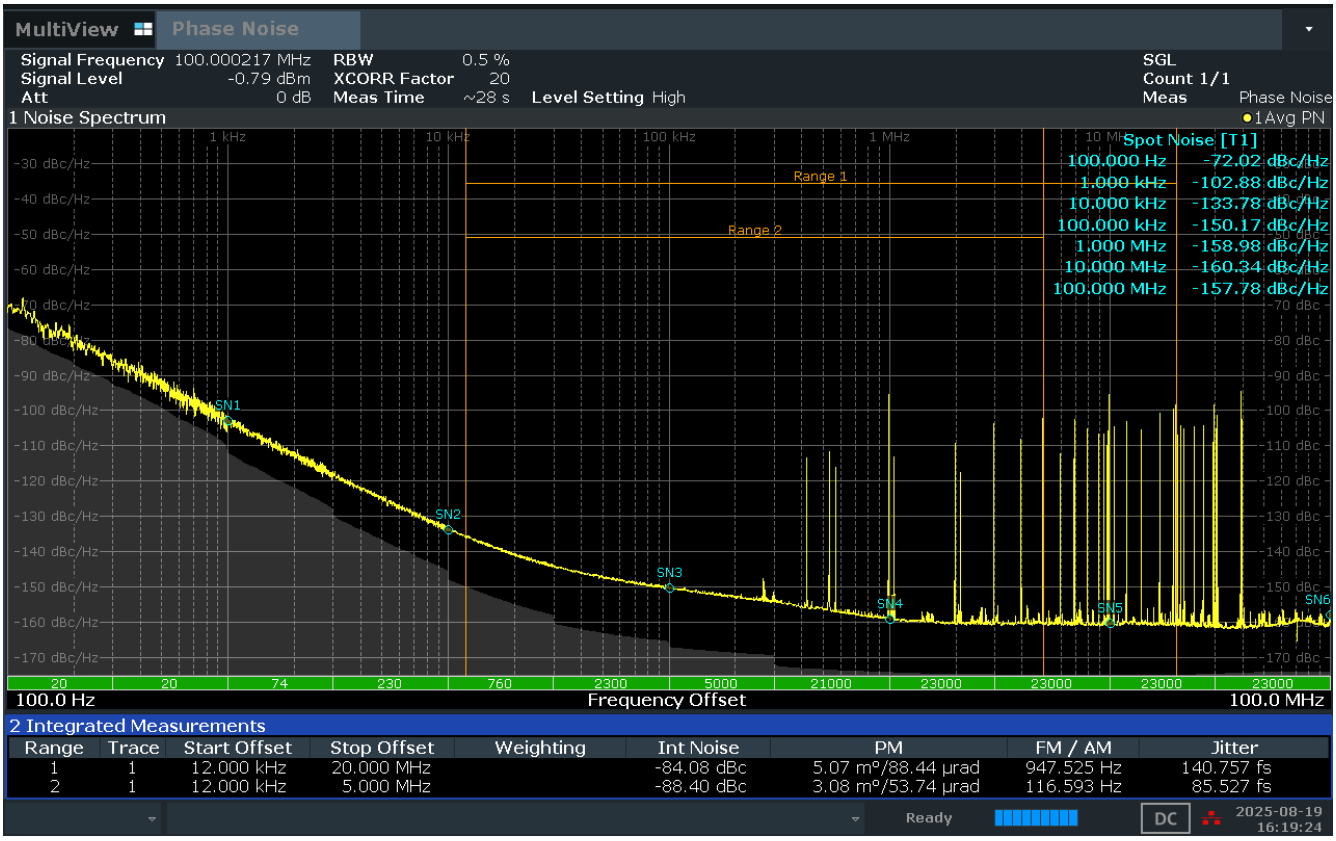


図 8-2. 位相ノイズ プロット、100MHz LP-HCSL すべての出力、標準的性能

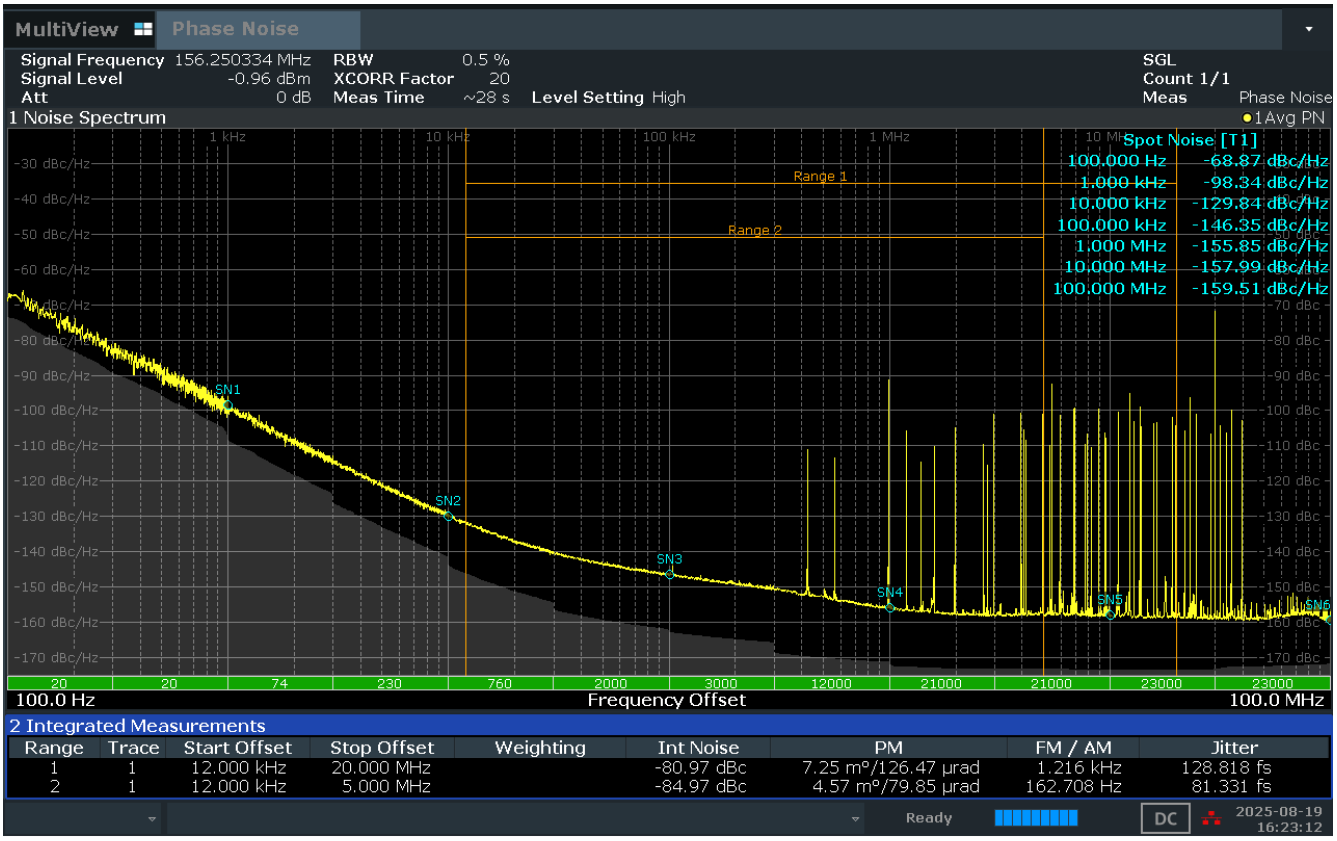


図 8-3. 位相ノイズプロット、156.25MHz LP-HCSL すべての出力、標準的性能

Copyright © 2025 Texas Instruments Incorporated

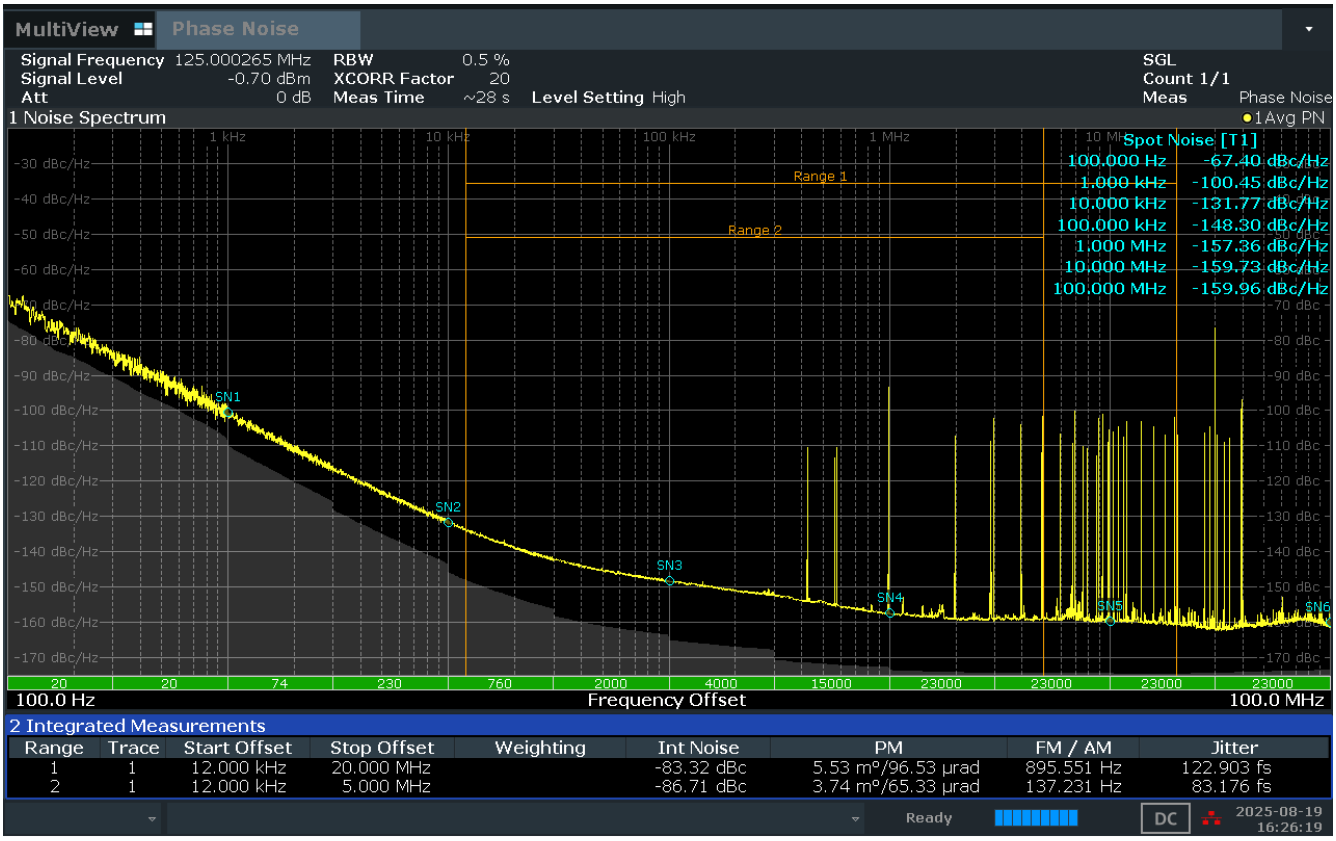
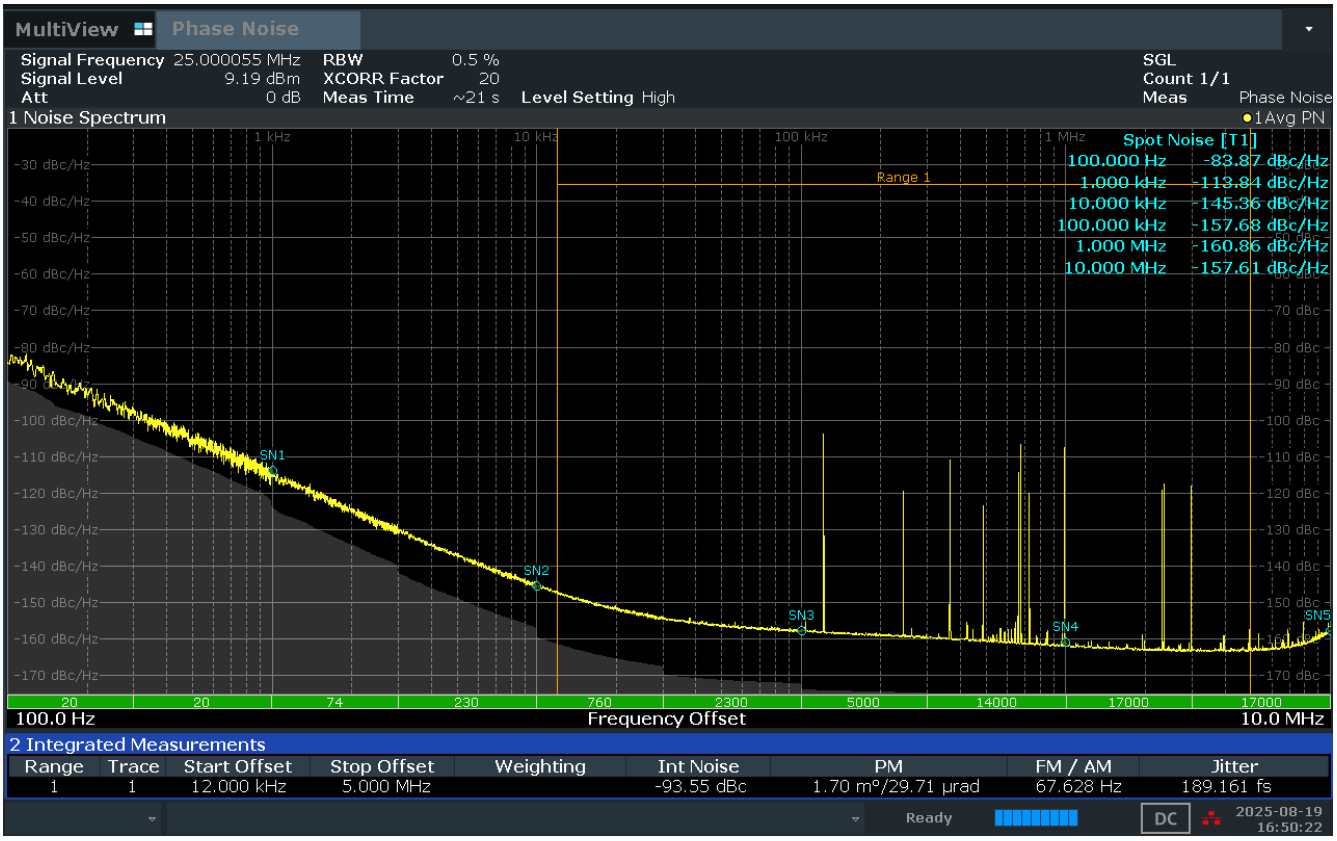


図 8-4. 位相ノイズプロット、125MHz LP-HCSL すべての出力、標準的性能



04:50:23 PM 08/19/2025

図 8-5. 位相ノイズ プロット、25MHz LVCMOS すべての出力、標準的性能

8.3 電源に関する推奨事項

このデバイスは、1.8V、2.5V、3.3V を許容できる複数の電源ピンを備えています。内蔵の低ドロップアウト レギュレータ (LDO) は、内部ブロックのソースとなり、各ピンに個別の電源電圧を供給できます。外付けプルアップ抵抗を使用する場合は、これらの抵抗を次のように接続する必要があります。

- LMK3H2104
  - GPI_0、GPI_1:VDD_REF 電圧にプルします
  - GPI_2、GPIO_0、GPIO_1、SDA、SCL:VDDD 電圧にプルします
  - REF_1:VDDA 電圧にプルします
- LMK3H2108
  - GPI_0、GPI_1:VDDX 電圧にプルします
  - GPI_2、GPI_3、GPI_4、GPI_5:VDDR 電圧にプルします
  - GPIO_0、GPIO_1、GPIO_2、GPIO_3、GPIO_4:VDDD 電圧にプルします

テキサス・インスツルメンツは、フェライト ビーズを使用してすべての電源を絶縁し、各電源でデカップリングを行うことを推奨します。また、各レイアウトに合わせてデカップリングを最適化することを推奨します。個別の周波数計画に合わせて最適化するために、電源インピーダンスを考慮してください。電源ピンごとのデカップリングの例:1 個の 4.7µF と 1 個の 100nF。

電源シーケンス要件の詳細については、セクション 7.3.5.1 を参照してください。

Copyright © 2025 Texas Instruments Incorporated

8.4 レイアウト

8.4.1 レイアウトのガイドライン

全温度範囲で最高のデバイス性能を実現するには、以下のレイアウト ガイドラインに従ってください。

- GND シールドを使用して、入力と出力を分離します。すべての入力と出力を差動ペアとしてルーティングします。
- 出力が同じ周波数の場合、電源電圧を互いに接続できます。周波数が異なる場合は、電源を絶縁することを推奨します。
- クロックをビアを介して別の層に配線する場合は、クロックビアにできるだけ近づけて GND ビアを配置します。
- LMK3H2104 の場合、すくなくとも 5 つのビアを使用して、サーマル パッドをソリッドな GND プレーンに接続します。LMK3H2108 の場合、すくなくとも 9 つのビアを使用して、サーマル パッドをソリッドな GND プレーンに接続します。フルスルー ビアが推奨されます。例については、図 8-6 の (1) を参照してください。
- 電源ピンに非常に近い場所に、容量値の小さいデカップリング コンデンサを配置します。コンデンサは、同じ層の非常に近い場所に配置するか、裏面の層に直接配置するようにします。値がより大きい場合は、より遠くに配置できます。例については、図 8-6 の (2) を参照してください。
- 電源が複数の層にまたがって配線されている場合は、複数のビアを使用して複数の層にわたって電源配線を接続します。例については、図 8-6 の (3) を参照してください。
- 接合部から周囲への熱抵抗を低減するため、可能であれば複数の PCB GND 層を使用します。

8.4.2 レイアウト例

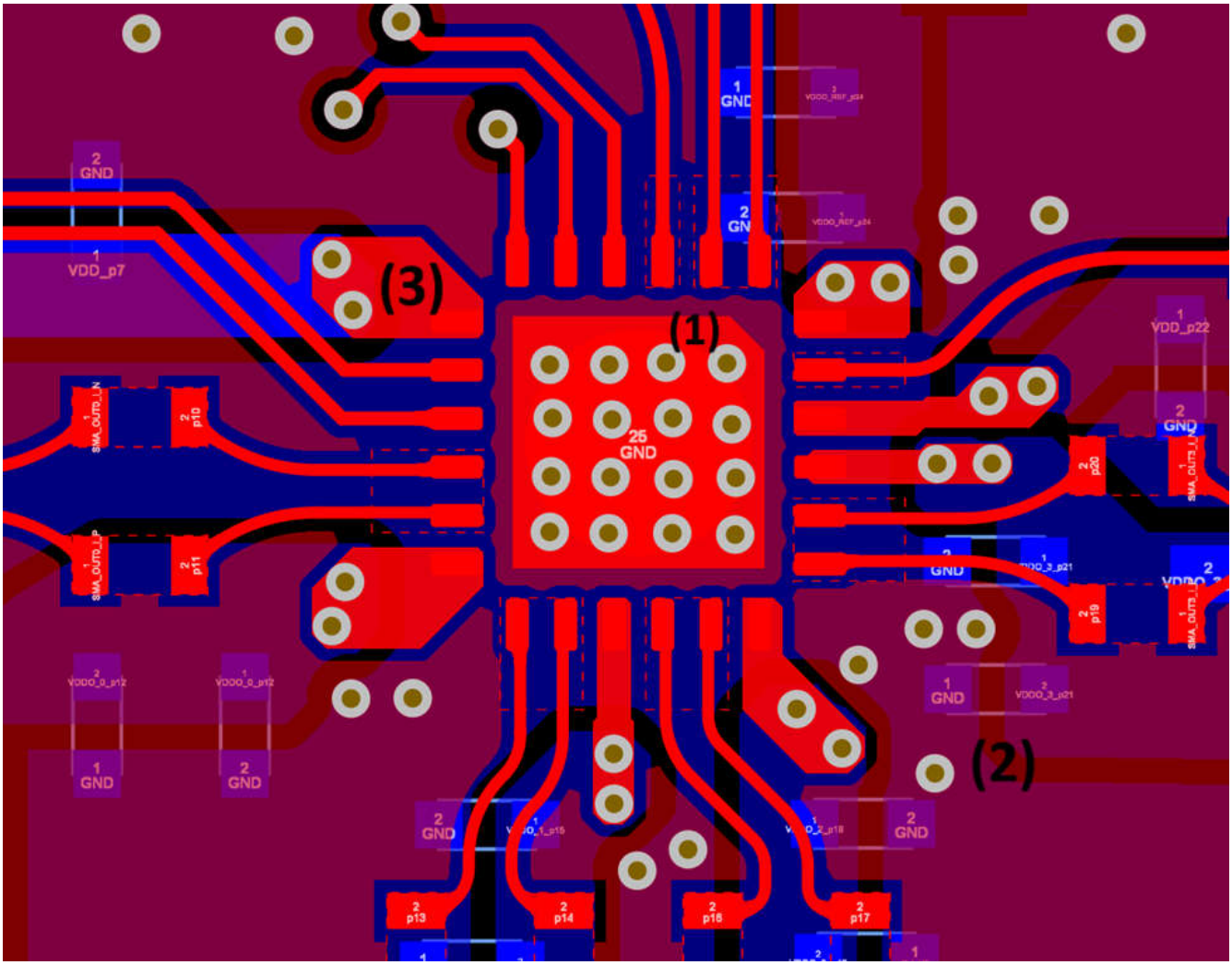


図 8-6. LMK3H2104 の上層と下層のレイアウト例

9 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

9.1 ドキュメントのサポート

9.1.1 関連資料

- テキサス インスツルメンツ、『LMK3H2104 評価基板 ユーザー ガイド』
- テキサス インスツルメンツ、『LMK3H2104 レジスタ マップ ユーザー ガイド』

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

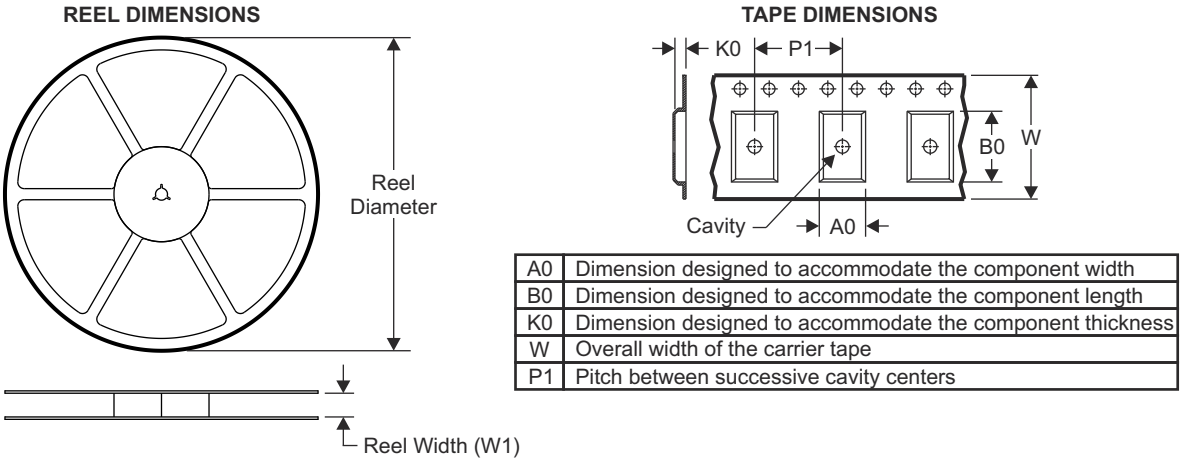
Changes from Revision * (August 2025) to Revision A (October 2025)	Page
• LMK3H2108 デバイスを追加。LMK3H2108 関連の仕様、図、説明を追加。	1
• PSNR 仕様の最小値と最大値を削除。標準値は変更なし。	8
• 完全同期モードと自己同期モードの出力のイネーブル時間とディスエーブル時間を変更。	8
• PERST バッファモードをイネーブルにするには BANKx_SWITCHOVER_FRC_CLK_EN を 0 に設定する必要があるという説明を追加。	36

Copyright © 2025 Texas Instruments Incorporated

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

11.1 テープおよびリール情報

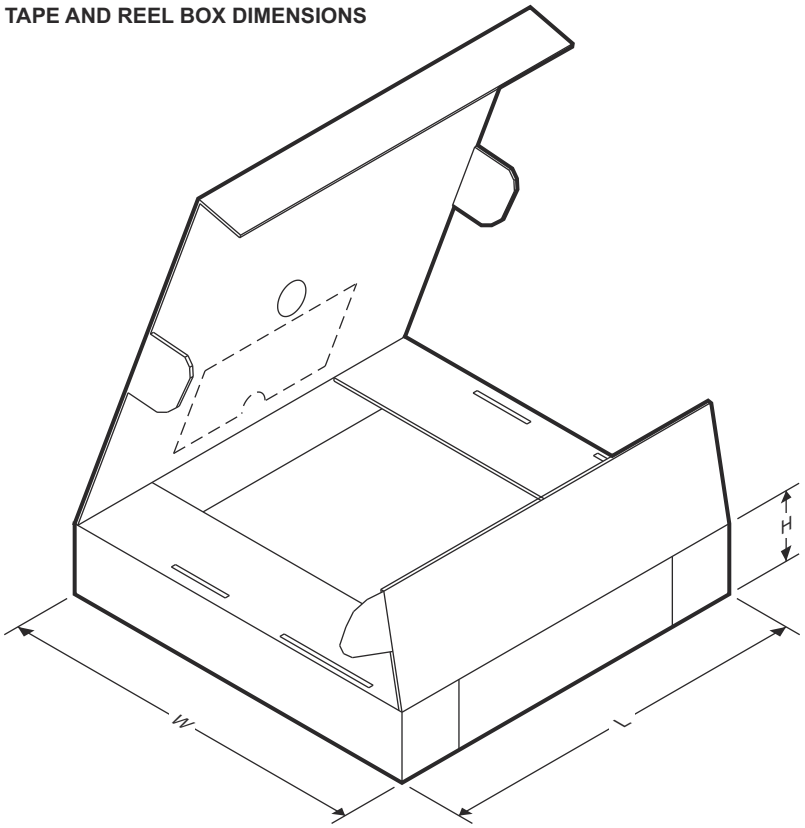


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

デバイス	パッケージタイプ	パッケージ図	ピン	SPQ	リール直径 (mm)	リール幅 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	ピン 1 の象限
LMK3H2108AxxRKPR	VQFN	RKP0040A	40	5000	330	12.4	5.3	5.3	1.1	8	12	Q2
LMK3H2104AxxLRGER	VQFN	RGE0024AA	24	5000	330	12.4	4.25	4.25	1.15	8	12	Q2
LMK3H2104AxxRGER	VQFN	RGE0024AB	24	5000	330	12.4	4.25	4.25	1.15	8	12	Q2

Copyright © 2025 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS



デバイス	パッケージ タイプ	パッケージ図	ピン	SPQ	長さ (mm)	幅 (mm)	高さ (mm)
LMK3H2108AxxRKPR	VQFN	RKP0040A	40	5000	346	346	33
LMK3H2104AxxLRGER	VQFN	RGE0024AA	24	5000	346	346	33
LMK3H2104AxxRGER	VQFN	RGE0024AB	24	5000	346	346	33

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMK3H2104A01LRGER	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2104 L A01
LMK3H2104A02LRGER	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	3H2104 L A02
LMK3H2104A03RGER	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2104 A03
LMK3H2104A06LRGER	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2104 L A06
LMK3H2104A07RGER	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2104 A07
LMK3H2104A09LRGER	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2104 L A09
LMK3H2104A0DLRGER	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2104 L A0D
LMK3H2104A0ELRGER	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2104 L A0E
LMK3H2104A0FLRGER	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2104 L A0F
LMK3H2104A10LRGER	Active	Production	VQFN (RGE) | 24	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2104 L A10
LMK3H2108A01RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A01
LMK3H2108A02RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A02
LMK3H2108A03RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A03
LMK3H2108A04RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A04
LMK3H2108A05RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A05
LMK3H2108A06RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A06

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMK3H2108A07RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A07
LMK3H2108A0DRKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A0D
LMK3H2108A0ERKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A0E
LMK3H2108A0FRKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A0F
LMK3H2108A11RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A11
LMK3H2108A14RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A14
LMK3H2108A15RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A15
LMK3H2108A16RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A16
LMK3H2108A17RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A17
LMK3H2108A18RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A18
LMK3H2108A19RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A19
LMK3H2108A1ERKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A1E
LMK3H2108A22RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A22
LMK3H2108A25RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A25
LMK3H2108A26RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	Call TI	Level-2-260C-1 YEAR	-40 to 105	3H2108 A26
LMK3H2108A27RKPR	Active	Production	VQFN (RKP) | 40	5000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	3H2108 A27

(1) **Status:** For more details on status, see our product life cycle.

(2) Material type: When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) RoHS values: Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

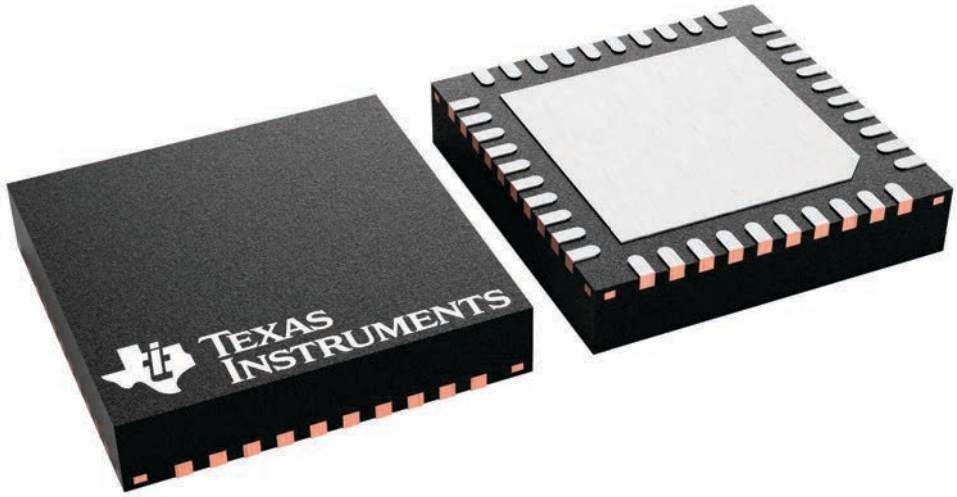
RKP 40

VQFN - 1 mm max height

5 x 5, 0.4 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



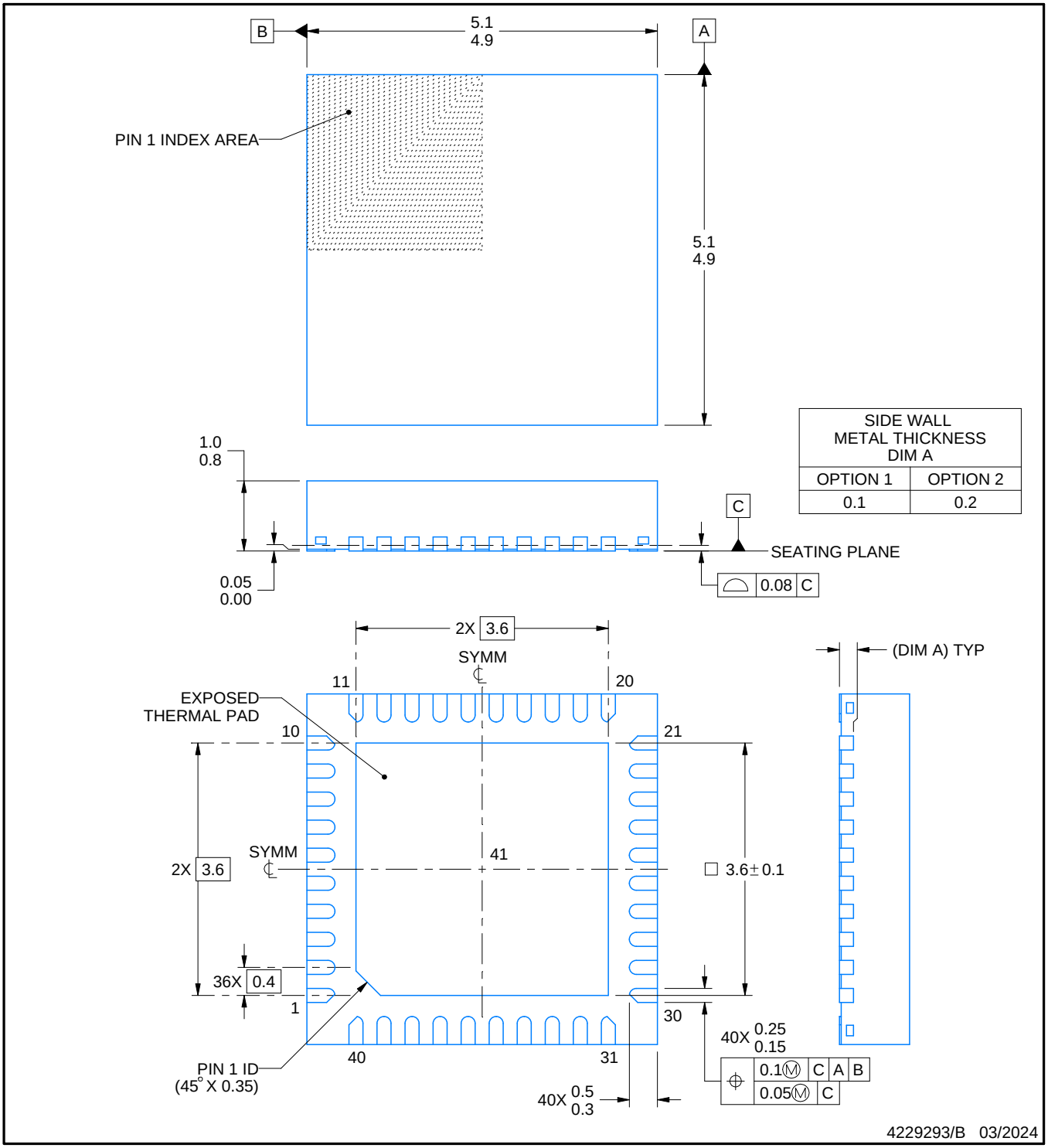
4229305/A

PACKAGE OUTLINE

RKP0040A

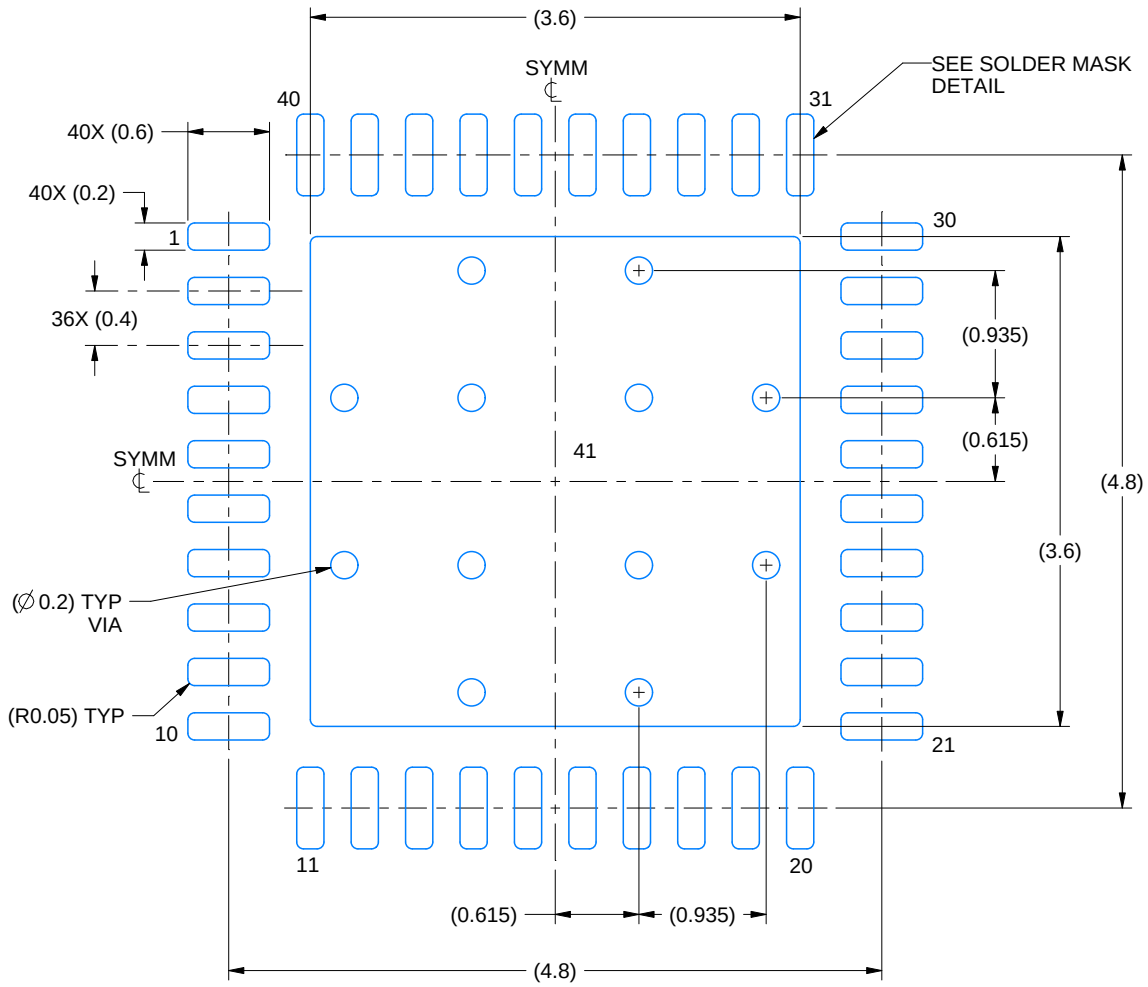
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

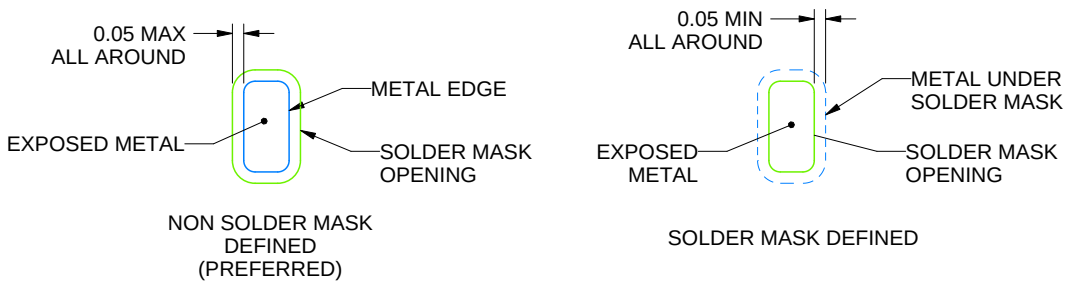


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 18X

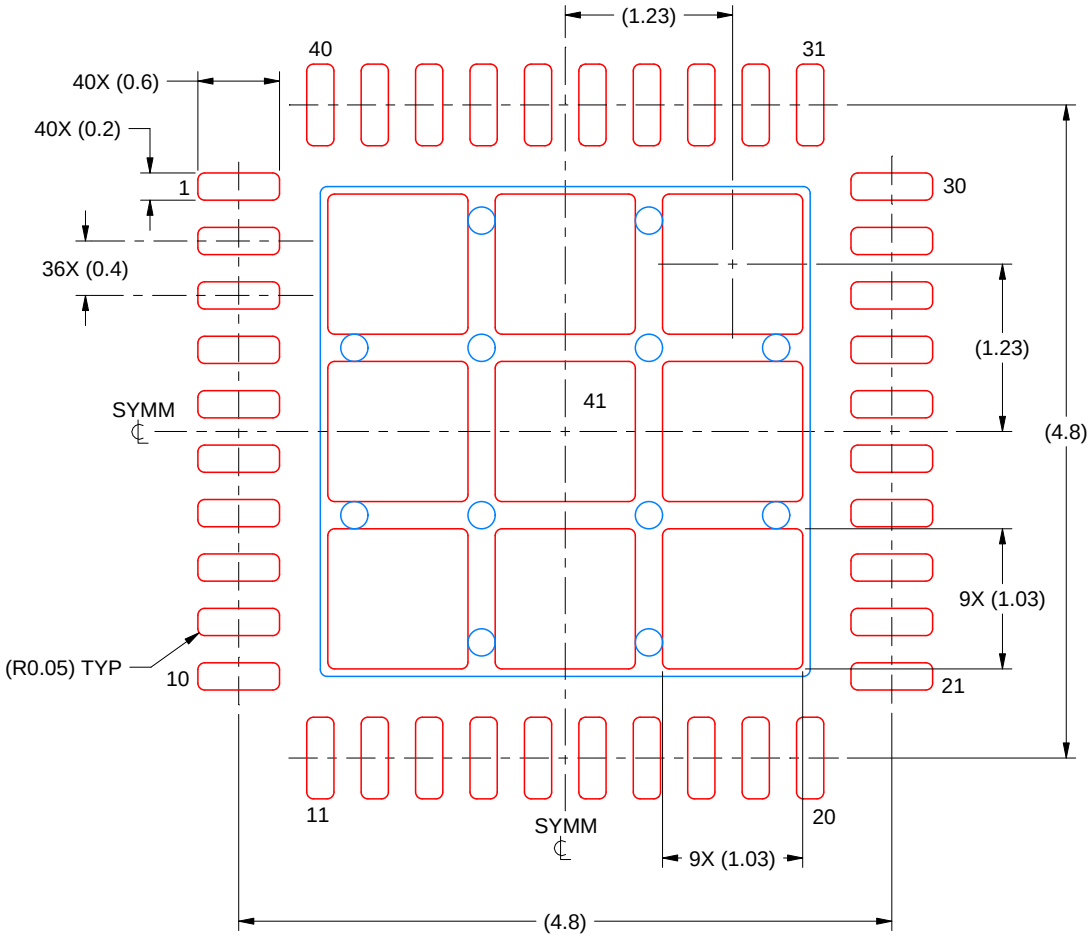


SOLDER MASK DETAILS

4229293/B 03/2024

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 18X

EXPOSED PAD 41
74% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4229293/B 03/2024

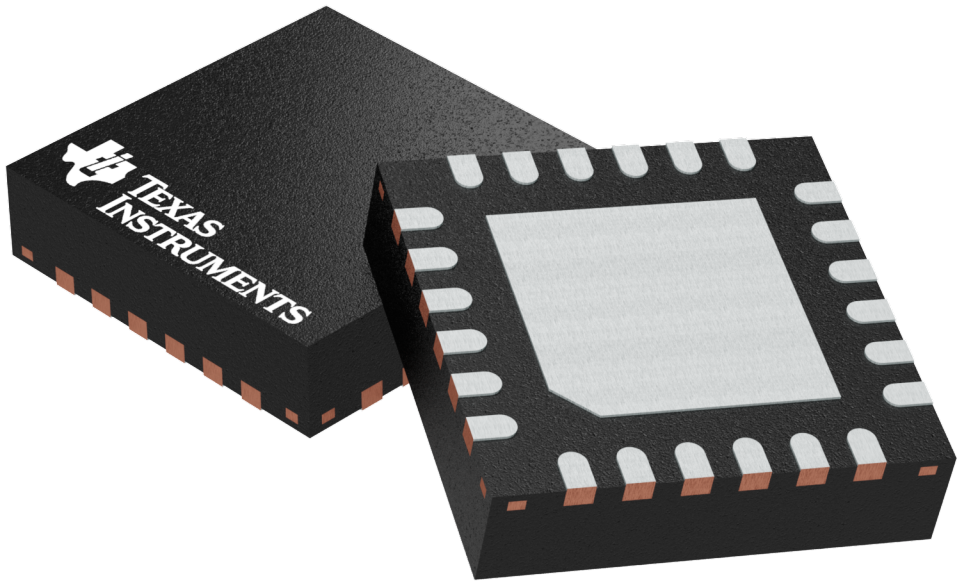
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

RGE 24 VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

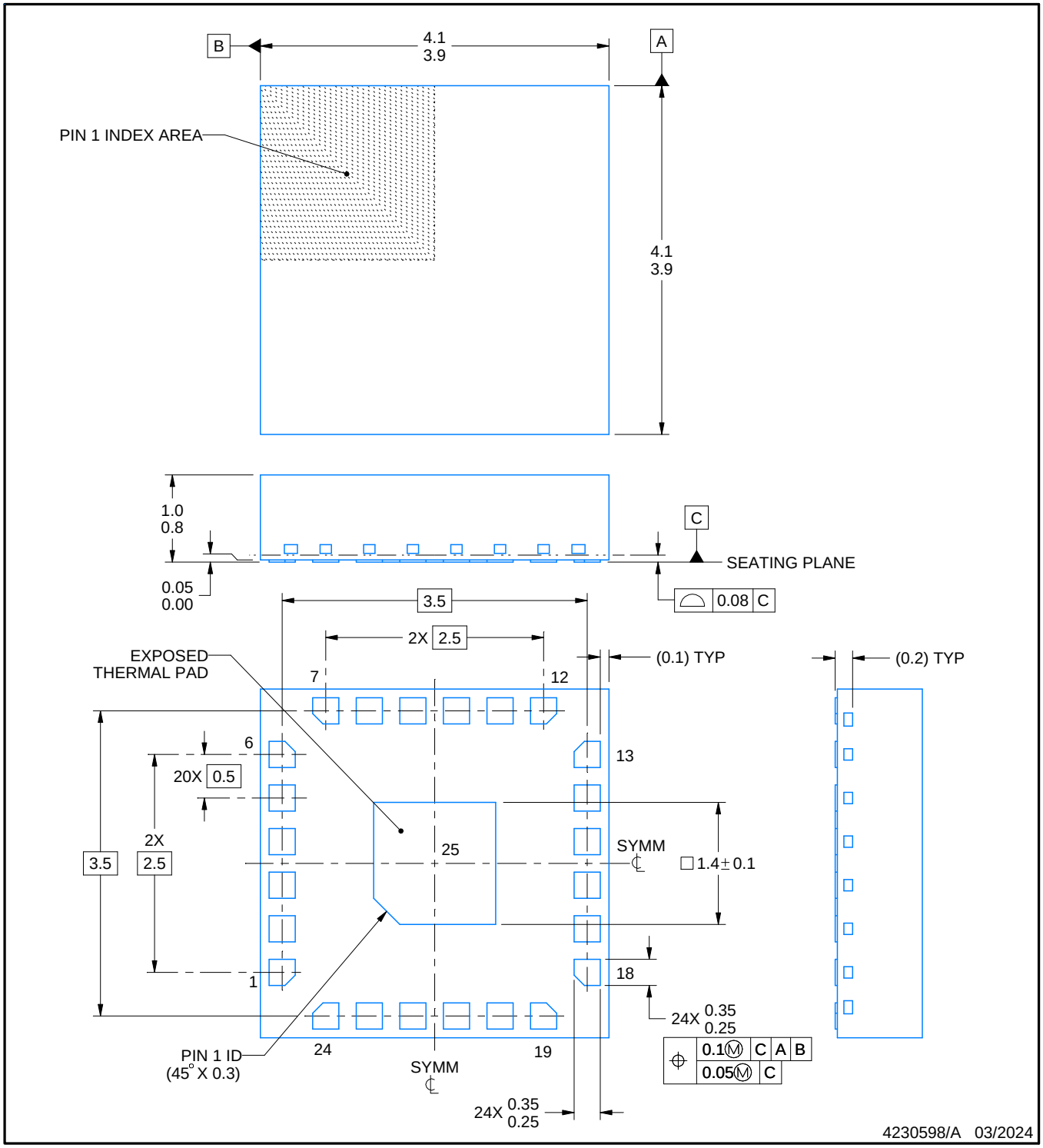
4204104/H

PACKAGE OUTLINE

RGE0024AA

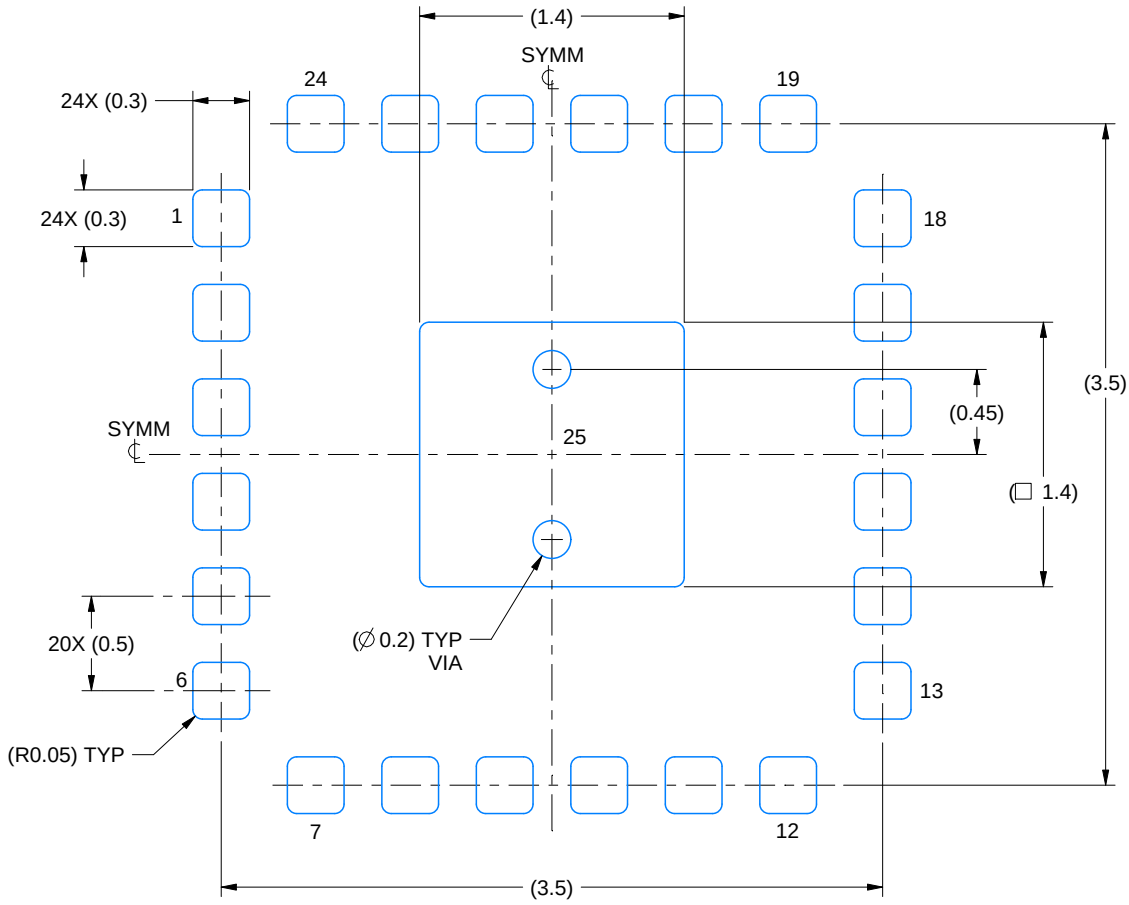
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

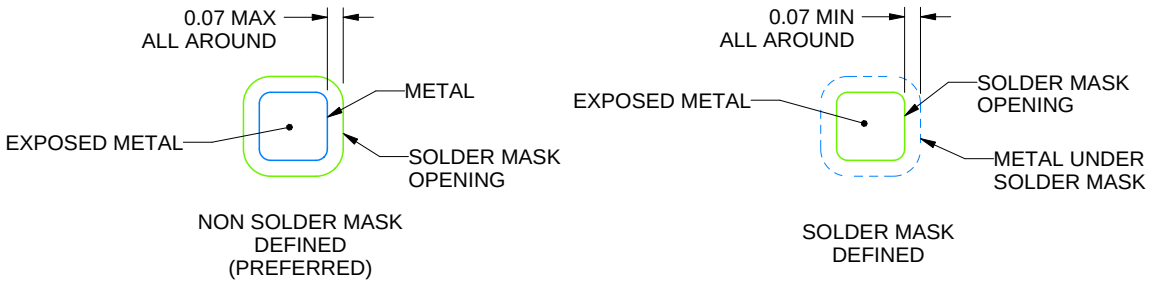


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:25X

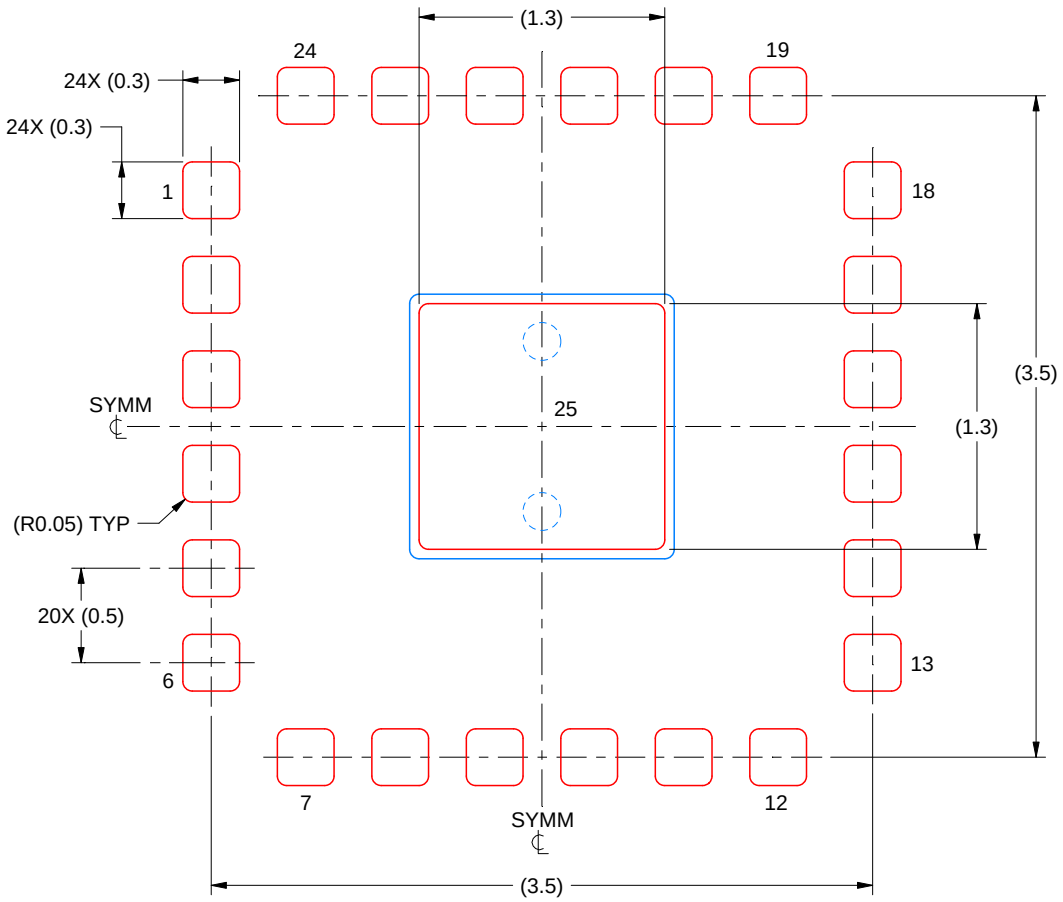


SOLDER MASK DETAILS

4230598/A 03/2024

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 25:
86% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4230598/A 03/2024

NOTES: (continued)

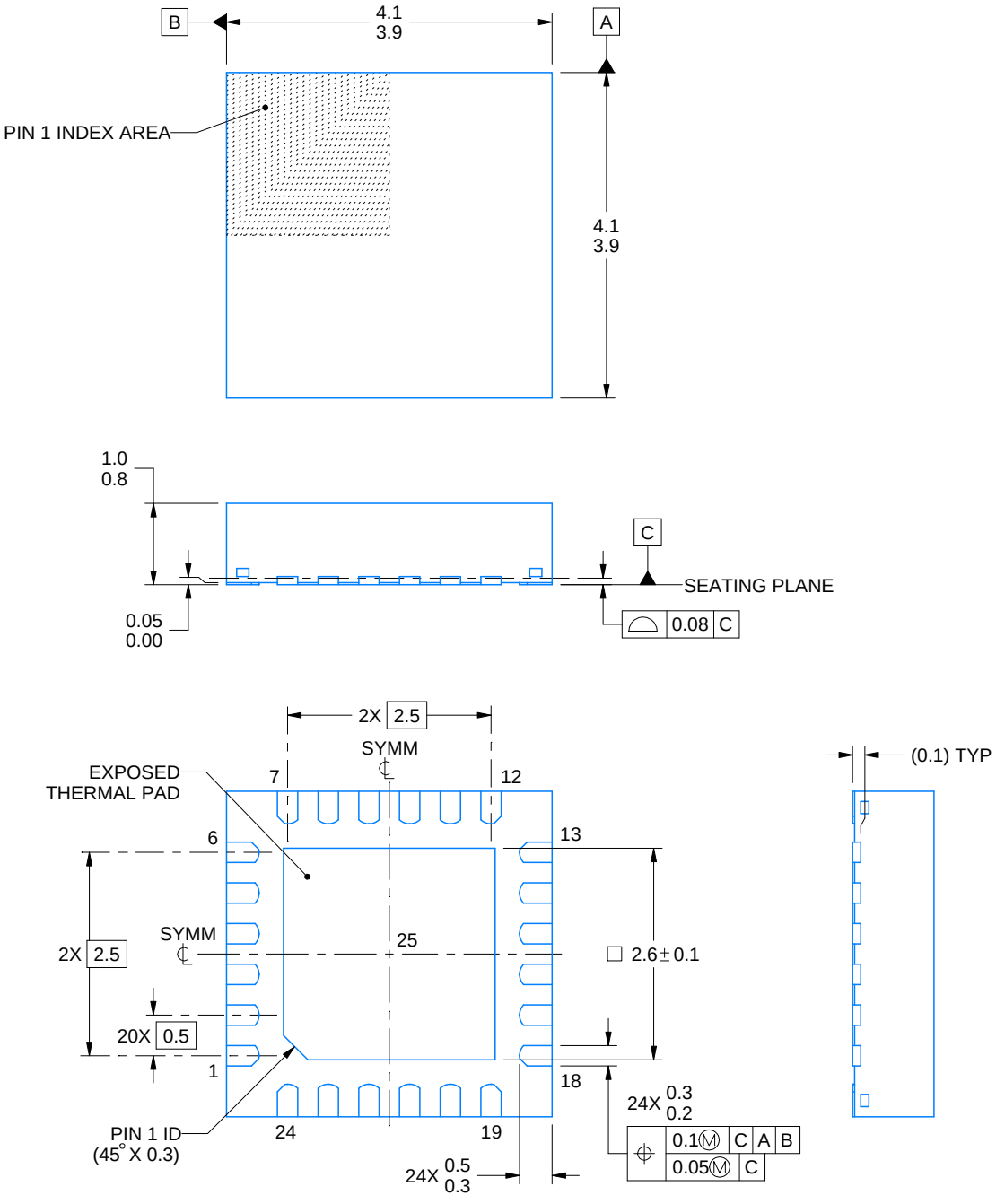
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

RGE0024AB

PACKAGE OUTLINE

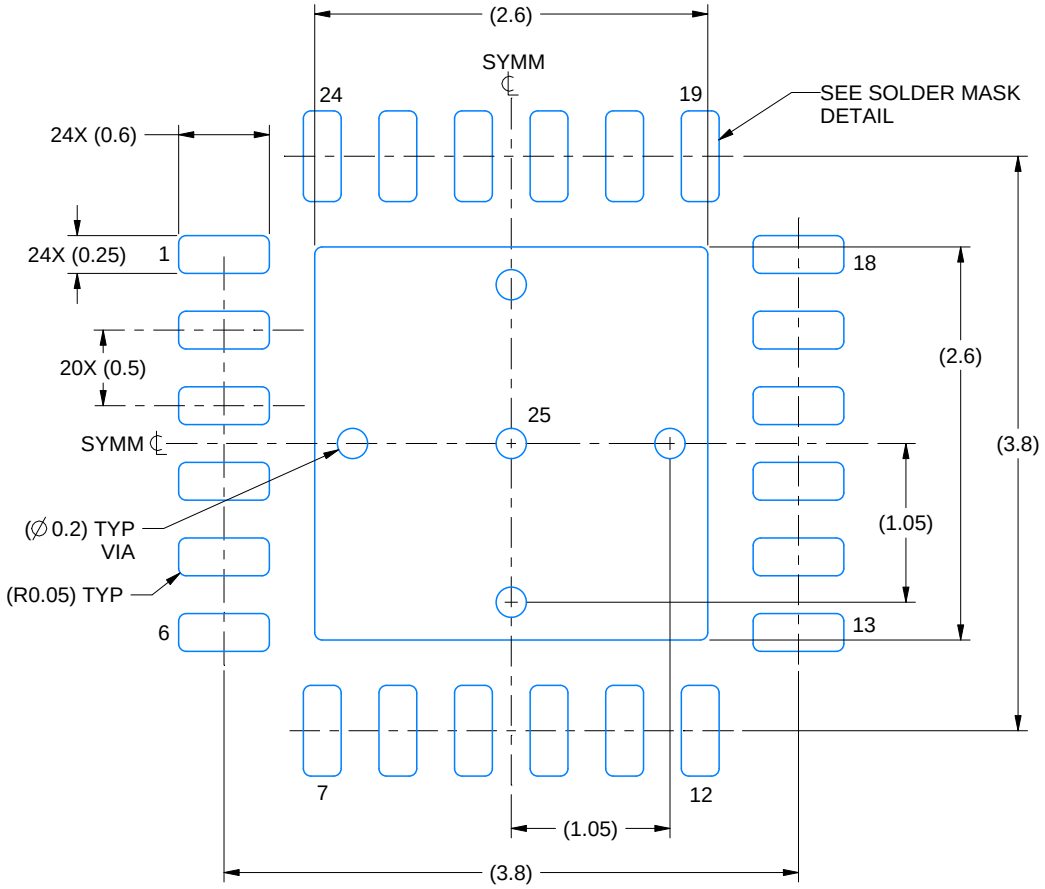
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

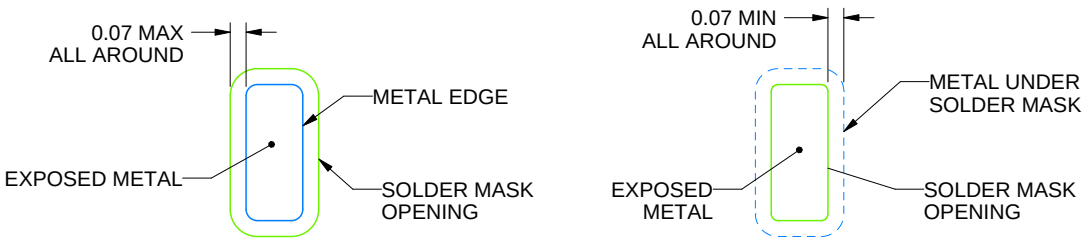


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



NON SOLDER MASK DEFINED (PREFERRED)

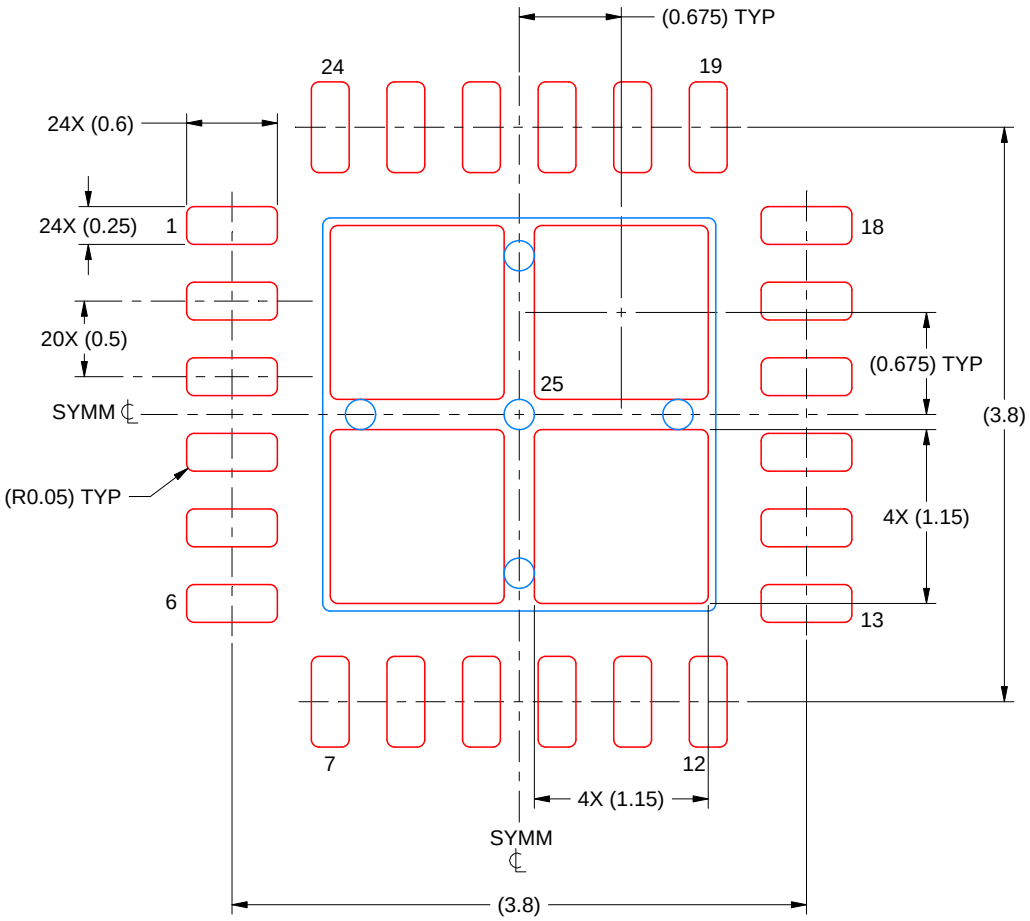
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4230599/A 03/2024

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 25
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4230599/A 03/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月