

LMK6L-Q1 超低ジッタ、高性能差動車載用 BAW 発振器

1 特長

- AEC Q-200 認定済み
 - デバイス温度グレード 2: $-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$
- 出力周波数:
 - 初期周波数製品: 50, 100, 125, 156.25, 312.5, 625, 1250MHz
 - その他の固定周波数については、要望に応じて提供可能
- 出力フォーマット:
 - LP-HCSL: 50MHz $\sim$ 625MHz
 - V_{OH} のオプションは 750mV または 850mV
 - LVDS, HS-LVDS, AC-LVPECL: 50MHz $\sim$ 1250MHz
 - 出力スイング: 700mVppd $\sim$ 2Vppd (3.3V の場合)、700mVppd $\sim$ 1.6Vppd (2.5V の場合)、100mVppd ステップサイズで
 - V_{CM} LVDS, HS-LVDS = 1.2V および V_{CM} AC-LVPECL = $V_{DD}/2$
- 超低ジッタ:
 - 156.25MHz の LP-HCSL 出力において、53fs (標準値) の RMS ジッタ
 - 312.5MHz の LP-HCSL 出力において、41fs (標準値) の RMS ジッタ
 - 312.5MHz の HS-LVDS において、45fs (標準値) の RMS ジッタ (1.2Vppd) 出力
- PCIe Gen 1 $\sim$ Gen 7 をサポート
- 156.25MHz LP-HCSL の PSRR 性能を達成するため、 -78dBc スプリアス未満 (10kHz を超えるリップル周波数、50mV の電源リップル、0.1 μF デカップリングコンデンサ)
- 周波数安定度 $\pm 25\text{ppm}$ (25 $^{\circ}\text{C}$ 基板温度で 10 年の経年劣化を含めたすべての要因を含めた値)
- 50mA の 3.3V および 156.25MHz LP-HCSL での標準消費電流 ($V_{OH} = 750\text{mV}$)
- 2.5V/3.3V 電源 (2.375V $\sim$ 3.465V)
- 業界標準の 6 ピン ウェットブル フランク パッケージ:
 - 3.2mm $\times$ 2.5mm (DLE)
 - プレビュー、TI にお問い合わせください: 2.0mm $\times$ 1.6mm (DLR)

2 アプリケーション

- SoC REFCLK
- 高性能コンピューティング
 - 車内イーサネットスイッチ
- Bluetooth / Wi-Fi モジュール

3 説明

テキサス インストルメンツの高精度バルク弾性波 (BAW) マイクロ共振器技術がパッケージに直接統合されているため、低ジッタのクロック回路を実現できます。BAW は、シリコンベースのその他の製造プロセスと同様に TI の工場ですべてに設計および製造されています。

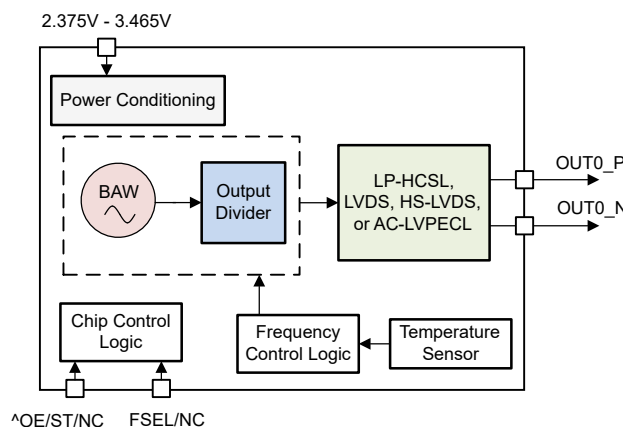
LMK6L-Q1 デバイスは、超低ジッタ固定周波数発振器です。このデバイスは、共振器源として BAW を組み込んでいます。このデバイスは、周波数、出力タイプ、機能ピン、周波数安定度などの特定の動作モードに従って、工場プログラムされています。

このデバイスは、高性能なクロッキング、機械的安定性、柔軟性、超低ジッタ、そして小型パッケージのオプションを備えており、車載用高速 SerDes や SoC におけるリファレンスクロックおよびコアクロック用途向けに設計されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ (2)
LMK6L-Q1	DLE (VSON, 6, ウェットブル フランク)	3.2mm $\times$ 2.5mm
	DLR (VSON, 6, ウェットブル フランク) (3)	2mm $\times$ 1.6mm

- (1) 供給されているすべてのパッケージについては、セクション 12 を参照してください。
- (2) パッケージ サイズ (長さ $\times$ 幅) は公称値であり、該当する場合はピンも含まれます。
- (3) プレビュー情報、TI にお問い合わせください。



LMK6L-Q1 の概略ブロック図



目次

1 特長.....	1	8.2 機能ブロック図.....	19
2 アプリケーション.....	1	8.3 機能説明.....	19
3 説明.....	1	8.4 デバイスの機能モード.....	24
4 デバイスの比較.....	3	9 アプリケーションと実装.....	25
5 ピン構成および機能.....	4	9.1 使用上の注意.....	25
6 仕様.....	5	9.2 代表的なアプリケーション.....	25
6.1 絶対最大定格.....	5	9.3 電源に関する推奨事項.....	28
6.2 ESD 定格.....	5	9.4 レイアウト.....	29
6.3 環境関連法令順守.....	5	10 デバイスおよびドキュメントのサポート.....	32
6.4 推奨動作条件.....	5	10.1 ドキュメントのサポート.....	32
6.5 熱に関する情報.....	6	10.2 ドキュメントの更新通知を受け取る方法.....	32
6.6 電気的特性.....	6	10.3 サポート・リソース.....	32
6.7 タイミング図.....	15	10.4 商標.....	32
6.8 代表的特性.....	17	10.5 静電気放電に関する注意事項.....	32
7 パラメータ測定情報.....	18	10.6 用語集.....	32
7.1 デバイス出力構成.....	18	11 改訂履歴.....	32
8 詳細説明.....	19	12 メカニカル、パッケージ、および注文情報.....	33
8.1 概要.....	19	12.1 メカニカル データ.....	34

4 デバイスの比較

LMK6L-Q1 の注文可能オプションのデバイス命名規則を理解するために図 4-1 を使用。

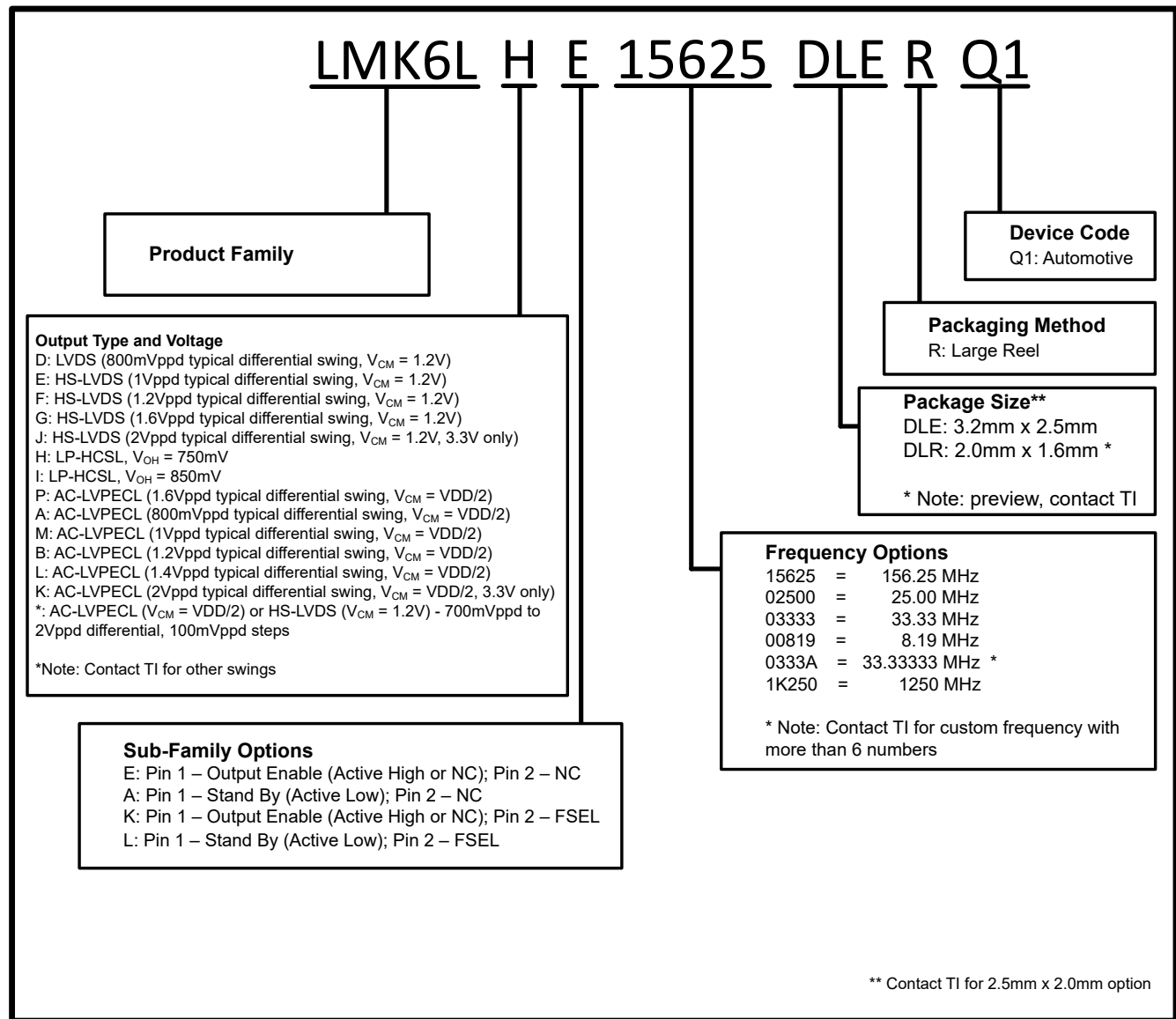


図 4-1. 型番ガイド : LMK6L-Q1

5 ピン構成および機能

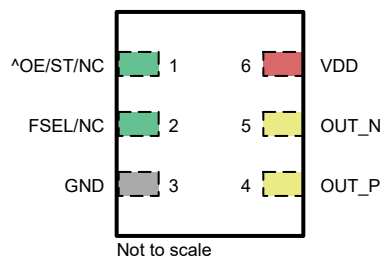


図 5-1. LMK6L-Q1 DLE および DLR 6 ピン（上面図）

凡例	
入力	電源
グラウンド	出力

表 5-1. LMK6L-Q1 のピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
[^] OE/ST/NC ⁽²⁾	1	I/NC	出力イネーブル (OE) またはスタンバイ (ST) ピンまたは未接続 (NC)。OE および ST の場合： - Low: 出力非アクティブ - High / フローティング: 出力アクティブ 150kΩ の内部プルアップ。詳細については、 セクション 8.3.3 を参照してください。
[^] vFSEL/NC ^{(2) (3)}	2	I/NC	出力周波数選択 (FSEL) ピンまたは未接続 (NC)。FSEL の場合、 - Low: $F_{OUT}/4$ - フローティング: F_{OUT} - High: $F_{OUT}/2$ f_{OUT} は OPN によって設定される出力周波数です。詳細については、 セクション 4 を参照してください。内部プルアップ抵抗 200kΩ および内部プルダウン抵抗 200kΩ。詳細については、 セクション 8.3.3 を参照してください。
GND	3	G	デバイスのグラウンド。
OUT_P	4	O	正の差動出力クロック。
OUT_N	5	O	負の差動出力クロック。
VDD	6	P	デバイス電源。

- (1) I = 入力、O = 出力、I/O = 入力または出力、G = グラウンド、P = 電源。
(2) 「[^]」プレフィックスが付いたピンは内部プルアップ抵抗を内蔵しています。
(3) 「v」プレフィックスが付いたピンは内部プルダウン抵抗を内蔵しています。

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
VDD	デバイス電源電圧 ⁽²⁾	-0.3	3.7	V
EN	ロジック入力電圧	-0.3	VDD + 0.3	V
OUTP, OUTN	クロック出力電圧 ⁽³⁾	-0.3	VDD + 0.3	V
T _J	接合部温度		140	°C
T _{STG}	保管温度	-65	150	°C

- (1) 「絶対最大定格」外での操作は、デバイスに恒久的な損傷を引き起こす可能性があります。「絶対最大定格」は、その条件で、または「推奨動作条件」に記載されている条件を超える条件で、デバイスが機能するという意味ではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全には機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を短縮する可能性があります。
- (2) 推奨動作電圧が $2.5V \pm 5\%$ および $3.3V \pm 5\%$ のすべてのデバイスについて
- (3) すべての差動出力タイプについて説明します。

6.2 ESD 定格

		値	単位
V _(ESD)	人体モデル (HBM)、AEC Q200 に準拠、すべてのピン ⁽¹⁾	±2000	V
	人体モデル (HBM)、AEC Q200 に準拠、すべてのピン ⁽¹⁾	±2000	V

- (1) AEC Q200-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 環境関連法令順守

		値	単位
機械的衝撃抵抗	MIL-STD-883F、メソッド 2002 条件 A	1500	g
機械的振動抵抗	MIL-STD-883F、メソッド 2026 条件 C	10	g
	MIL-STD-883F、メソッド 2007 条件 A	20	g
耐湿性レベル(MSL)		MSL1	

6.4 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
	デバイス電源電圧 ⁽¹⁾	2.375	2.5, 3.3	3.465	V
T _A	周辺温度	-40		105	°C
T _{PCB}	PCB 温度 (パッケージの下で測定)	-40		105	°C
T _J	接合部温度	-40		125	°C
t _{RAMP}	VDD パワーアップ ランプ時間 ^{(1) (2)}	0.1		100	ms

- (1) 推奨動作電圧が $2.5V \pm 5\%$ および $3.3V \pm 5\% \sim -10\%$ のすべてのデバイスについて
- (2) VDD 電源オンランプ時間は、電源が公称 VDD の 95%を超えるために必要な最小時間として定義されます。単調な電源ランプを想定しています。電源の立ち上がりが不安定または非単調な場合は、OE ピンおよび EN ピンを制御して出力段を有効化してください。

6.5 熱に関する情報

パッケージ	ピン	熱評価基準 ⁽¹⁾						単位
		R _{θJA}	R _{θJC(top)}	R _{θJB}	Ψ _{JT}	Ψ _{JB}	R _{θJC(bot)}	
DLR (VSON)	6	未定	未定	未定	未定	未定	未定	°C/W
DLE (VSON)	6	未定	未定	未定	未定	未定	未定	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション ノートを参照してください。

6.6 電気的特性

特に記述のない限り: V_{DD} = 3.3V +5%/-10%、2.5V ±5%。代表値は、V_{DD} = 3.3V、T_{PCB} = 25°C における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
周波数の許容誤差						
F _T	総合周波数安定度 (OPN の 14 番目の文字: オプション F)	はんだシフト、初期公差、-40°C~105°C にわたる変動、定格供給電圧範囲における変動、25°C での 10 年間の経年変化を含みます。	-25		25	ppm
F _{AGE_1yr}	1 年の経年劣化に起因する周波数安定性	25°C における 1 年間の経時変化 (±25ppm)	未定		未定	ppm
F _{AGE_10yr}	経年劣化による周波数安定性の変化 (総合的な周波数安定性に含まれる)	25°C における 10 年間の経時変化 (±25ppm)	未定		未定	ppm
F _{TEMP}	温度による周波数安定度 (総合周波数安定度に含まれる)	推奨動作条件の範囲内、dT/dt < 10K/min	未定		未定	ppm
F _{HYS}	ヒステリシスによる周波数安定度 (総合周波数安定度に含まれる)		未定		未定	ppm
消費電流特性						
I _{DD}	デバイスの消費電力 (LVDS、負荷電流を除く)	50MHz、2.5V		49		mA
		50MHz、3.3V		51		mA
		100MHz、2.5V		52		mA
		100MHz、3.3V		54		mA
		125MHz、2.5V		49		mA
		125MHz、3.3V		51		mA
		156.25MHz、2.5V		50		mA
		156.25MHz、3.3V		51		mA
		312.5MHz、2.5V		51		mA
		312.5MHz、3.3V		53		mA
		625MHz、2.5V		49		mA
		625MHz、3.3V		51		mA
		1250MHz、2.5V		50		mA
		1250MHz、3.3V		52		mA

特に記述のない限り: $V_{DD} = 3.3V +5\%/-10\%$, $2.5V \pm 5\%$ 。代表値は、 $V_{DD} = 3.3V$, $T_{PCB} = 25^{\circ}C$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
I _{DD}	デバイスの消費電力 (HS-LVDS 1.2Vppd および AC-LVPECL 1.2Vppd、負荷電流を除く)	50MHz、2.5V		49		mA
		50MHz、3.3V		51		mA
		100MHz、2.5V		53		mA
		100MHz、3.3V		54		mA
		125MHz、2.5V		50		mA
		125MHz、3.3V		52		mA
		156.25MHz、2.5V		50		mA
		156.25MHz、3.3V		52		mA
		312.5MHz、2.5V		52		mA
		312.5MHz、3.3V		53		mA
		625MHz、2.5V		50		mA
		625MHz、3.3V		52		mA
		1250MHz、2.5V		51		mA
		1250MHz、3.3V		53		mA
I _{DD}	デバイスの消費電力 (LP-HCSL、V _{OH} = 750mV、負荷電流を除く)	50MHz、2.5V		48		mA
		50MHz、3.3V		49		mA
		100MHz、2.5V		52		mA
		100MHz、3.3V		53		mA
		125MHz、2.5V		49		mA
		125MHz、3.3V		50		mA
		156.25MHz、2.5V		50		mA
		156.25MHz、3.3V		51		mA
		312.5MHz、2.5V		53		mA
		312.5MHz、3.3V		54		mA
		625MHz、2.5V		54		mA
		625MHz、3.3V		56		mA
I _{DD-STBY}	デバイス スタンバイ電流	ST (スタンバイ) = GND、2.5V		2		mA
		ST (スタンバイ) = GND、3.3V		2		mA
I _{DD-PD}	出力がディセーブルのデバイス電流 (156.25MHz)	OE = GND、LP-HCSL モード、V _{OH} = 750mV、VDD = 2.5V		44		mA
		OE = GND、LP-HCSL モード、V _{OH} = 750mV、VDD = 3.3V		46		mA
LVDS 出力特性						
F _{out}	出力周波数		50		1250	MHz
V _{OD}	出力電圧スイング (V _{OH} - V _{OL})	AC 結合、VDD = 3.3V、156.25MHz	350	400		mV
		AC 結合、VDD = 2.5V、156.25MHz	350	400		mV
V _{OD}	出力電圧スイング (V _{OH} - V _{OL})	AC 結合、VDD = 3.3V、312.5MHz	350	400		mV
		AC 結合、VDD = 2.5V、312.5MHz	350	400		mV
V _{OD}	出力電圧スイング (V _{OH} - V _{OL})	AC 結合、VDD = 3.3V、625MHz	350	400		mV
		AC 結合、VDD = 2.5V、625MHz	350	400		mV
V _{OD}	出力電圧スイング (V _{OH} - V _{OL})	AC 結合、VDD = 3.3V、1250MHz	350	400		mV
		AC 結合、VDD = 2.5V、1250MHz	350	400		mV
V _{OD,DIFF}	差動出力ピークツー ピーク スイング ⁽²⁾		2× V _{OD}			mVppd

特に記述のない限り: $V_{DD} = 3.3V \pm 5\%/-10\%$, $2.5V \pm 5\%$ 。代表値は、 $V_{DD} = 3.3V$, $T_{PCB} = 25^{\circ}C$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{OS}	出力同相電圧	$V_{DD} = 3.3V$		1.2		V
		$V_{DD} = 2.5V$		1.2		V
t_R/t_F	出力立ち上がり / 立ち下がり時間	$V_{OD,DIFF}$ の 20%~80%、 $V_{DD} = 2.5V/3.3V$		226		ps
ODC	出力デューティ サイクル	$V_{DD} = 2.5V/3.3V$ 、波形上の 50% ポイントの間で測定	45	50	55	%
V_{CM-IM}	同相モードの不平衡	同相ノードの $C_L = 100pF$ で測定	-150		150	mV
HS-LVDS 出力特性						
F_{out}	出力周波数		50		1250	MHz
$V_{OD, range}$	出力電圧スイング ($V_{OH} - V_{OL}$) レンジ	AC 結合、 $V_{DD} = 3.3V$, 156.25MHz	350		1000	mV
		AC 結合、 $V_{DD} = 2.5V$, 156.25MHz	350		800	mV
$V_{OD, range}$	出力電圧スイング ($V_{OH} - V_{OL}$) レンジ	AC 結合、 $V_{DD} = 3.3V$, 312.5MHz	350		1000	mV
		AC 結合、 $V_{DD} = 2.5V$, 312.5MHz	350		800	mV
$V_{OD, range}$	出力電圧スイング ($V_{OH} - V_{OL}$) レンジ	AC 結合、 $V_{DD} = 3.3V$, 625MHz	350		1000	mV
		AC 結合、 $V_{DD} = 2.5V$, 625MHz	350		800	mV
$V_{OD, range}$	出力電圧スイング ($V_{OH} - V_{OL}$) レンジ	AC 結合、 $V_{DD} = 3.3V$, 1250MHz	350		750	mV
		AC 結合、 $V_{DD} = 2.5V$, 1250MHz	350		750	mV
$V_{OD, step}$	出力電圧スイング ($V_{OH} - V_{OL}$) ステップサイズ	AC 結合、1250MHz		50		mV
$V_{OD,DIFF}$	差動出力ピークツーピーク スイング ⁽²⁾			$2 \times V_{OD} $		mV _{ppd}
V_{OS}	出力同相電圧	$V_{DD} = 3.3V$		1.2		V
V_{OS}	出力同相電圧	$V_{DD} = 2.5V$		1.2		V
t_R/t_F	出力立ち上がり / 立ち下がり時間	$V_{OD,DIFF}$ の 20%~80%、 $V_{DD} = 2.5V/3.3V$		230		ps
ODC	出力デューティ サイクル	$V_{DD} = 2.5V/3.3V$ 、波形上の 50% ポイントの間で測定	45	50	55	%
V_{CM-IM}	同相モードの不平衡	同相ノードの $C_L = 100pF$ で測定	-150		150	mV
AC-LVPECL 出力特性						
F_{out}	出力周波数		50		1250	MHz
$V_{OD, range}$	出力電圧スイング ($V_{OH} - V_{OL}$) レンジ	AC 結合、 $V_{DD} = 3.3V$, 156.25MHz	350		1000	mV
		AC 結合、 $V_{DD} = 2.5V$, 156.25MHz	350		750	mV
$V_{OD, range}$	出力電圧スイング ($V_{OH} - V_{OL}$) レンジ	AC 結合、 $V_{DD} = 3.3V$, 312.5MHz	350		1000	mV
		AC 結合、 $V_{DD} = 2.5V$, 312.5MHz	350		750	mV
$V_{OD, range}$	出力電圧スイング ($V_{OH} - V_{OL}$) レンジ	AC 結合、 $V_{DD} = 3.3V$, 625MHz	350		1000	mV
		AC 結合、 $V_{DD} = 2.5V$, 625MHz	350		750	mV
$V_{OD, range}$	出力電圧スイング ($V_{OH} - V_{OL}$) レンジ	AC 結合、 $V_{DD} = 3.3V$, 1250MHz	350		750	mV
		AC 結合、 $V_{DD} = 2.5V$, 1250MHz	350		750	mV
$V_{OD, step}$	出力電圧スイング ($V_{OH} - V_{OL}$) ステップサイズ	AC 結合、1250MHz		50		mV
$V_{OD,DIFF}$	差動出力ピークツーピーク スイング ⁽²⁾			$2 \times V_{OD} $		mV _{ppd}
V_{OS}	出力同相電圧	$V_{DD} = 3.3V$		$V_{DD}/2$		V
		$V_{DD} = 2.5V$		$V_{DD}/2$		V
t_R/t_F	出力立ち上がり / 立ち下がり時間	$V_{OD,DIFF}$ の 20%~80%、 $V_{DD} = 2.5V/3.3V$		222		ps
ODC	出力デューティ サイクル	$V_{DD} = 2.5V/3.3V$ 、波形上の 50% ポイントの間で測定	45	50	55	%
V_{CM-IM}	同相モードの不平衡	同相ノードの $C_L = 100pF$ で測定	-150		150	mV

特に記述のない限り: $V_{DD} = 3.3V +5\%/-10\%$ 、 $2.5V \pm 5\%$ 。代表値は、 $V_{DD} = 3.3V$ 、 $T_{PCB} = 25^{\circ}C$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
LP - HCSL 出力特性						
F _{out}	出力周波数		50		625	MHz
V _{OH}	出力高電圧 (OPN 6 番目の文字: オプション H)	DC 結合、負荷容量 2pF、VDD = 2.5V/3.3V	650	750	850	mV
	出力 High 電圧 (OPN 6 番目の文字: オプション I)	DC 結合、負荷容量 2pF、VDD = 2.5V/3.3V	750	850	950	mV
V _{OL}	出力 LOW 電圧	DC 結合、2pF 負荷、VDD = 2.5V/3.3V	-150	0	150	mV
V _{overshoot}	オーバーシュート電圧	V _{max} - V _{OH}			150	mV
V _{OD,DIFF}	差動出力ピークツー ピーク スイング ⁽²⁾		2× V _{OH} - V _{OL}			mVppd
V _{cross}	絶対交差点電圧 ⁽³⁾	VDD = 3.3V/2.5V、f _{out} = 100MHz、PCIe テスト負荷、4GHz で 15dB の損失、f _{out} = 100MHz、Z _{diff} = 100Ω	0.28	0.35	0.48	V
V _{cross-delta}	絶対交差点電圧の変動	VDD = 3.3V/2.5V、f _{out} = 100MHz、PCIe テスト負荷、4GHz で 15dB の損失、f _{out} = 100MHz、Z _{diff} = 100Ω			未定	mV
dV/dt	出力スルーレート	グラウンドに対して 50Ω 終端、DC 結合負荷。中心電圧から ±150mV の範囲でスルーレートを測定、プログラマブル。 ⁽¹⁾	2		12	V/ns
ΔdV/dt	出力スルーレートの変動				20	%
ODC	出力デューティサイクル		45	50	55	%
V _{RB}	リング バック電圧の絶対値	PCIe テスト負荷、4GHz で 15dB 損失、f _{out} = 100MHz、Z _{diff} = 100Ω	100			mV
t _{stable}	V _{RB} が許容されるまでの時間	PCIe テスト負荷、4GHz で 15dB 損失、f _{out} = 100MHz、Z _{diff} = 100Ω	500			ps
t _R /t _F	出力立ち上がり / 立ち下がり時間	V _{OD,DIFF} の 20%～80%		250		ps
Z _{DIFF}	差動出力 DC インピーダンス	V _{DD} = 3.3V		100		Ω
Z _{SE}	シングルエンド出力 DC インピーダンス	V _{DD} = 3.3V		50		Ω
ピン 1 入力特性 (OE/ST)						
V _{IL}	入力 Low 電圧				0.6	V
V _{IH}	入力 High 電圧		1.3			V
I _{IL}	入力 Low 電流	OE = GND	-40			μA
I _{IH}	入力 High 電流	OE = VDD			40	μA
C _{IN}	入力容量			2		pF
ピン 2 の入力特性 (FSEL)						
V _{IL}	入力低電圧、FSEL			0.2×VDD		V
V _{MID}	入力中間電圧、FSEL			0.4×VDD - 0.6×VDD		V
V _{IH}	入力高電圧、FSEL		0.8×VDD			V
I _{IL}	入力 Low 電流	OE = GND	-40			μA
I _{IH}	入力 High 電流	OE = VDD			40	μA
C _{IN}	入力容量			2		pF
FSEL _{VDD}	ピン周波数制御の最小 F _{out}	FSEL = VDD	100			MHz
FSEL _{GND}		FSEL = GND	200			MHz
PSRR の特性						

特に記述のない限り: $V_{DD} = 3.3V +5\%/-10\%$, $2.5V \pm 5\%$ 。代表値は、 $V_{DD} = 3.3V$, $T_{PCB} = 25^{\circ}C$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
PSRR _{50mV} , 0.1 μ F	156.25MHz の LP - HCSL 出力において、電源リップル 50mV によって誘起されるスプリアス、0.1 μ F デカップリング コンデンサ使用時	10 kHz の正弦波		-78		dBc
		100 kHz の正弦波		-89		dBc
		200 kHz の正弦波		-93		dBc
		500 kHz の正弦波		-94		dBc
		1 MHz の正弦波		-93		dBc
		2 MHz の正弦波		-93		dBc
		5 MHz の正弦波		-94		dBc
		10 MHz の正弦波		-96		dBc
PSRR _{50mV}	156.25MHz の LP - HCSL 出力において、電源リップル 50mV によって誘起されるスプリアス、電源デカップリング コンデンサなし	10 kHz の正弦波		未定		dBc
		100 kHz の正弦波		-80		dBc
		200 kHz の正弦波		-78		dBc
		500 kHz の正弦波		-72		dBc
		1 MHz の正弦波		-66		dBc
		2 MHz の正弦波		-61		dBc
		5 MHz の正弦波		-57		dBc
		10 MHz の正弦波		-58		dBc
PSRR _{50mV} , 0.1 μ F	312.5MHz の AC-LVPECL 1.2Vppd 出力において、電源リップル 50mV によって誘起されるスプリアス、0.1 μ F デカップリング コンデンサ使用時	10 kHz の正弦波		-68		dBc
		100 kHz の正弦波		-67		dBc
		200 kHz の正弦波		-72		dBc
		500 kHz の正弦波		-80		dBc
		1 MHz の正弦波		-86		dBc
		2 MHz の正弦波		-93		dBc
		5 MHz の正弦波		-106		dBc
PSRR _{50mV}	312.5MHz の AC-LVPECL 1.2Vppd 出力において、電源リップル 50mV によって誘起されるスプリアス、電源デカップリング コンデンサなし	10 kHz の正弦波		未定		dBc
		100 kHz の正弦波		-57		dBc
		200 kHz の正弦波		-64		dBc
		500 kHz の正弦波		-75		dBc
		1 MHz の正弦波		-78		dBc
		2 MHz の正弦波		-69		dBc
		5 MHz の正弦波		-66		dBc
		10 MHz の正弦波		-67		dBc
PSRR _{JITTE} R	電源リップルに対するジッタ感度	100kHz 正弦波リップル、3.3V 電源、LP-HCSL		未定		fs/mV
パワーオン特性						
t _{START_UP}	起動時間	0.95 x VDD に達してから出力が有効になり、出力が仕様範囲内に入るまでの経過時間、VDD の立ち上がり時間を約 200 μ s として試験		2		ms
t _{ST-EN}	チップのイネーブル時間	スタンバイ (ST = V _{IH}) から出力がイネーブルになり、仕様範囲内になるまでの経過時間		2		ms
t _{ST-DIS}	チップのディスエーブル時間	スタンバイ (ST = V _{IL}) からチップがスタンバイモードになるまでの経過時間		270		ns
t _{OE-EN}	出力イネーブル時間	OE = V _{IH} から出力がイネーブルになり、仕様範囲内になるまでの経過時間。		25		μ s
t _{OE-DIS}	出力ディスエーブル時間	OE = V _{IL} から出力がディスエーブルになるまでの経過時間		1		μ s

特に記述のない限り: $V_{DD} = 3.3V \pm 5\%/-10\%$, $2.5V \pm 5\%$ 。代表値は、 $V_{DD} = 3.3V$, $T_{PCB} = 25^{\circ}C$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
LVDS - クロック出力ジッタ						
R J	RMS ジッタ (積分 BW: 12kHz ~ 20MHz)	$F_{out} = 156.25MHz, 800mVppd$		61		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ			未定		dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-109		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-133		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-155		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-161		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-162		dBc/Hz
R J	RMS ジッタ (積分 BW: 12kHz ~ 20MHz)	$F_{out} = 312.5MHz, 800mVppd$		47		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ			未定		dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-103		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-127		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-147		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-155		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-160		dBc/Hz
PN _{100M}	100 MHz オフセットでの位相ノイズ			-164		dBc/Hz
R J	RMS ジッタ (積分 BW: 12kHz ~ 20MHz)	$F_{out} = 625MHz, 800mVppd$		32		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ			未定		dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-97		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-121		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-143		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-155		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-160		dBc/Hz
PN _{100M}	100 MHz オフセットでの位相ノイズ			-161		dBc/Hz
R J	RMS ジッタ (積分 BW: 12kHz ~ 20MHz)	$F_{out} = 1250MHz, 800mVppd$		27		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ			未定		dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-91		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-116		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-138		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-153		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-159		dBc/Hz
PN _{100M}	100 MHz オフセットでの位相ノイズ			-160		dBc/Hz
R J	RMS ジッタ (積分 BW: 12kHz ~ 20MHz)	$F_{out} = 100MHz, 800mVppd$		157		fs
R J	RMS ジッタ (積分 BW: 12kHz ~ 20MHz)	$F_{out} = 125MHz, 800mVppd$		79		fs
HS - LVDS - クロック出力ジッタ						

LMK6L-Q1

JADS296 – JUNE 2026

特に記述のない限り: $V_{DD} = 3.3V \pm 5\%/-10\%$, $2.5V \pm 5\%$ 。代表値は、 $V_{DD} = 3.3V$, $T_{PCB} = 25^{\circ}C$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
R J	RMS ジッタ (積分 BW: 12kHz～20MHz)	F _{out} = 156.25MHz、1.2Vppd	56		fs	
PN ₁₀₀	100 Hz オフセットでの位相ノイズ		未定		dBc/Hz	
PN _{1k}	1 kHz オフセットでの位相ノイズ		-109		dBc/Hz	
PN _{10k}	10 kHz オフセットでの位相ノイズ		-133		dBc/Hz	
PN _{100k}	100 kHz オフセットでの位相ノイズ		-155		dBc/Hz	
PN _{1M}	1 MHz オフセットでの位相ノイズ		-162		dBc/Hz	
PN _{10M}	10 MHz オフセットでの位相ノイズ		-163		dBc/Hz	
R J	RMS ジッタ (積分 BW: 12kHz～20MHz)	F _{out} = 312.5MHz、1.2Vppd	44		fs	
PN ₁₀₀	100 Hz オフセットでの位相ノイズ		未定		dBc/Hz	
PN _{1k}	1 kHz オフセットでの位相ノイズ		-103		dBc/Hz	
PN _{10k}	10 kHz オフセットでの位相ノイズ		-127		dBc/Hz	
PN _{100k}	100 kHz オフセットでの位相ノイズ		-147		dBc/Hz	
PN _{1M}	1 MHz オフセットでの位相ノイズ		-155		dBc/Hz	
PN _{10M}	10MHz での位相ノイズ		-161		dBc/Hz	
PN _{100M}	100 MHz オフセットでの位相ノイズ		-164		dBc/Hz	
R J	RMS ジッタ (積分 BW: 12kHz～20MHz)	F _{out} = 625MHz、1.2Vppd	32		fs	
PN ₁₀₀	100 Hz オフセットでの位相ノイズ		未定		dBc/Hz	
PN _{1k}	1 kHz オフセットでの位相ノイズ		-97		dBc/Hz	
PN _{10k}	10 kHz オフセットでの位相ノイズ		-121		dBc/Hz	
PN _{100k}	100 kHz オフセットでの位相ノイズ		-143		dBc/Hz	
PN _{1M}	1 MHz オフセットでの位相ノイズ		-155		dBc/Hz	
PN _{10M}	10 MHz オフセットでの位相ノイズ		-161		dBc/Hz	
PN _{100M}	100 MHz オフセットでの位相ノイズ		-162		dBc/Hz	
R J	RMS ジッタ (積分 BW: 12kHz～20MHz)	F _{out} = 1250MHz、1.2Vppd	27		fs	
PN ₁₀₀	100 Hz オフセットでの位相ノイズ		未定		dBc/Hz	
PN _{1k}	1 kHz オフセットでの位相ノイズ		-91		dBc/Hz	
PN _{10k}	10 kHz オフセットでの位相ノイズ		-116		dBc/Hz	
PN _{100k}	100 kHz オフセットでの位相ノイズ		-138		dBc/Hz	
PN _{1M}	1 MHz オフセットでの位相ノイズ		-154		dBc/Hz	
PN _{10M}	10 MHz オフセットでの位相ノイズ		-159		dBc/Hz	
PN _{100M}	100 MHz オフセットでの位相ノイズ		未定		dBc/Hz	
AC - LVPECL - クロック出力ジッタ						
R J	RMS ジッタ (積分 BW: 12kHz～20MHz)	F _{out} = 156.25MHz、1.2Vppd	57		fs	
PN ₁₀₀	100 Hz オフセットでの位相ノイズ		未定		dBc/Hz	
PN _{1k}	1 kHz オフセットでの位相ノイズ		-110		dBc/Hz	
PN _{10k}	10 kHz オフセットでの位相ノイズ		-133		dBc/Hz	
PN _{100k}	100 kHz オフセットでの位相ノイズ		-155		dBc/Hz	
PN _{1M}	1 MHz オフセットでの位相ノイズ		-162		dBc/Hz	
PN _{10M}	10 MHz オフセットでの位相ノイズ		-163		dBc/Hz	

ADVANCE INFORMATION

特に記述のない限り: $V_{DD} = 3.3V \pm 5\%/-10\%$ 、 $2.5V \pm 5\%$ 。代表値は、 $V_{DD} = 3.3V$ 、 $T_{PCB} = 25^{\circ}C$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
R J	RMS ジッタ (積分 BW: 12kHz～20MHz)	$F_{out} = 312.5MHz$ 、 $1.2V_{ppd}$		45		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ			未定		dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-104		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-128		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-147		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-155		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-161		dBc/Hz
PN _{100M}	100 MHz オフセットでの位相ノイズ			未定		dBc/Hz
R J	RMS ジッタ (積分 BW: 12kHz～20MHz)	$F_{out} = 625MHz$ 、 $1.2V_{ppd}$		33		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ			未定		dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-97		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-121		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-143		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-155		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-160		dBc/Hz
PN _{100M}	100 MHz オフセットでの位相ノイズ			未定		dBc/Hz
R J	RMS ジッタ (積分 BW: 12kHz～20MHz)	$F_{out} = 1250MHz$ 、 $1.2V_{ppd}$		28		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ			未定		dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-90		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-115		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-138		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-154		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-159		dBc/Hz
PN _{100M}	100 MHz オフセットでの位相ノイズ			未定		dBc/Hz
R J	RMS ジッタ (積分 BW: 12kHz～20MHz)	$F_{out} = 100MHz$ 、 $1.2V_{ppd}$		152		fs
R J	RMS ジッタ (積分 BW: 12kHz～20MHz)	$F_{out} = 125MHz$ 、 $1.2V_{ppd}$		73		fs
LP - HCSL - クロック出力ジッタ						

特に記述のない限り: $V_{DD} = 3.3V +5\%-10\%$ 、 $2.5V \pm 5\%$ 。代表値は、 $V_{DD} = 3.3V$ 、 $T_{PCB} = 25^{\circ}C$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
J _{PCle1-cc}	PCle Gen 1 の共通クロックのジッタ (ジッタ制限 = 86ps)	$F_{out} = 100MHz$ 、 $V_{OH} = 750mV$		未定		ps
J _{PCle1-SRNS}	PCle Gen 1 の SRNS ジッタ			未定		ps
J _{PCle2-cc}	PCle Gen 2 の共通クロックのジッタ (ジッタ制限 = 3ps)			未定		ps
J _{PCle2-SRNS}	PCle Gen 2 の SRNS ジッタ			未定		ps
J _{PCle3-cc}	PCle Gen 3 の共通クロックのジッタ (ジッタ制限 = 1ps)			未定		ps
J _{PCle3-SRNS}	PCle Gen 3 の SRNS ジッタ			未定		ps
J _{PCle4-cc}	PCle Gen 4 の共通クロックのジッタ (ジッタ制限 = 500fs)			未定		ps
J _{PCle4-SRNS}	PCle Gen 4 の SRNS ジッタ			未定		ps
J _{PCle5-cc}	PCle Gen 5 の共通クロックのジッタ (ジッタ制限 = 150fs)			未定		ps
J _{PCle5-SRNS}	PCle Gen 5 の SRNS ジッタ			未定		ps
J _{PCle6-cc}	PCle Gen 6 の共通クロックのジッタ (ジッタ制限 = 100fs)			未定		ps
J _{PCle6-SRNS}	PCle Gen 6 の SRNS ジッタ			未定		ps
J _{PCle6-cc}	PCle Gen 7 の共通クロックのジッタ (ジッタ制限 = 69fs)			未定		ps
J _{PCle6-SRNS}	PCle Gen 7 の SRNS ジッタ			未定		ps
R _J	RMS ジッタ (積分 BW: 12kHz ~ 20MHz)	$F_{out} = 100MHz$ 、 $V_{OH} = 750mV$		66		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ			未定		dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-113		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-138		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-159		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-166		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-167		dBc/Hz
R _J	RMS ジッタ (積分 BW: 12kHz ~ 20MHz)	$F_{out} = 156.25MHz$ 、 $V_{OH} = 750mV$		53		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ			未定		dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-109		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-134		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-155		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-163		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-165		dBc/Hz
PN _{100M}	100 MHz オフセットでの位相ノイズ			-166		dBc/Hz

特に記述のない限り: $V_{DD} = 3.3V \pm 5\%/-10\%$, $2.5V \pm 5\%$ 。代表値は、 $V_{DD} = 3.3V$, $T_{PCB} = 25^{\circ}C$ における値です。

パラメータ		テスト条件	最小値	標準値	最大値	単位
R _J	RMS ジッタ (積分 BW: 12kHz ~ 20MHz)	$F_{out} = 312.5MHz$, $V_{OH} = 750mV$		41		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ			未定		dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-104		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-128		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-150		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-161		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-162		dBc/Hz
PN _{100M}	100 MHz オフセットでの位相ノイズ			-164		dBc/Hz
R _J	RMS ジッタ (積分 BW: 12kHz ~ 20MHz)	$F_{out} = 625MHz$, $V_{OH} = 750mV$		38		fs
PN ₁₀₀	100 Hz オフセットでの位相ノイズ			未定		dBc/Hz
PN _{1k}	1 kHz オフセットでの位相ノイズ			-97		dBc/Hz
PN _{10k}	10 kHz オフセットでの位相ノイズ			-122		dBc/Hz
PN _{100k}	100 kHz オフセットでの位相ノイズ			-144		dBc/Hz
PN _{1M}	1 MHz オフセットでの位相ノイズ			-156		dBc/Hz
PN _{10M}	10 MHz オフセットでの位相ノイズ			-158		dBc/Hz
PN _{100M}	100 MHz オフセットでの位相ノイズ			-160		dBc/Hz
R _J	RMS ジッタ (積分 BW: 12kHz ~ 20MHz)	$F_{out} = 125MHz$, $V_{OH} = 750mV$		56		fs
R _{JITT, RMS}	RMS 周期ジッタ	$F_{out} = 156.25MHz$, $V_{OH} = 750mV$		未定		fs
R _{JITT, PK}	ピークツーピークの周期ジッタ	$F_{out} = 156.25MHz$, $V_{OH} = 750mV$		未定		fs

- (1) このパラメータは設計に基づいて規定されており、生産時の特性評価や試験は行われていません。
- (2) $V_{OD, DIFF}$ 電圧の定義については、「差動電圧測定用の用語」セクションを参照してください。
- (3) V_{CROSS} は、システム グランドを基準として CLKOUTx_P = CLKOUTx_N の場合のシングルエンド電圧です。CLKOUTx_N が立ち上がるときの CLKOUTx_P の立ち上がりエッジでのみ有効です。

6.7 タイミング図

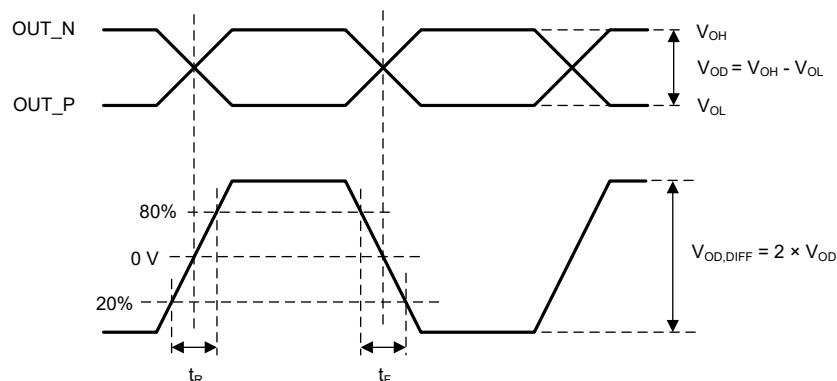


図 6-1. 差動出力電圧スイングおよび立ち上がり / 立ち下がり時間の定義

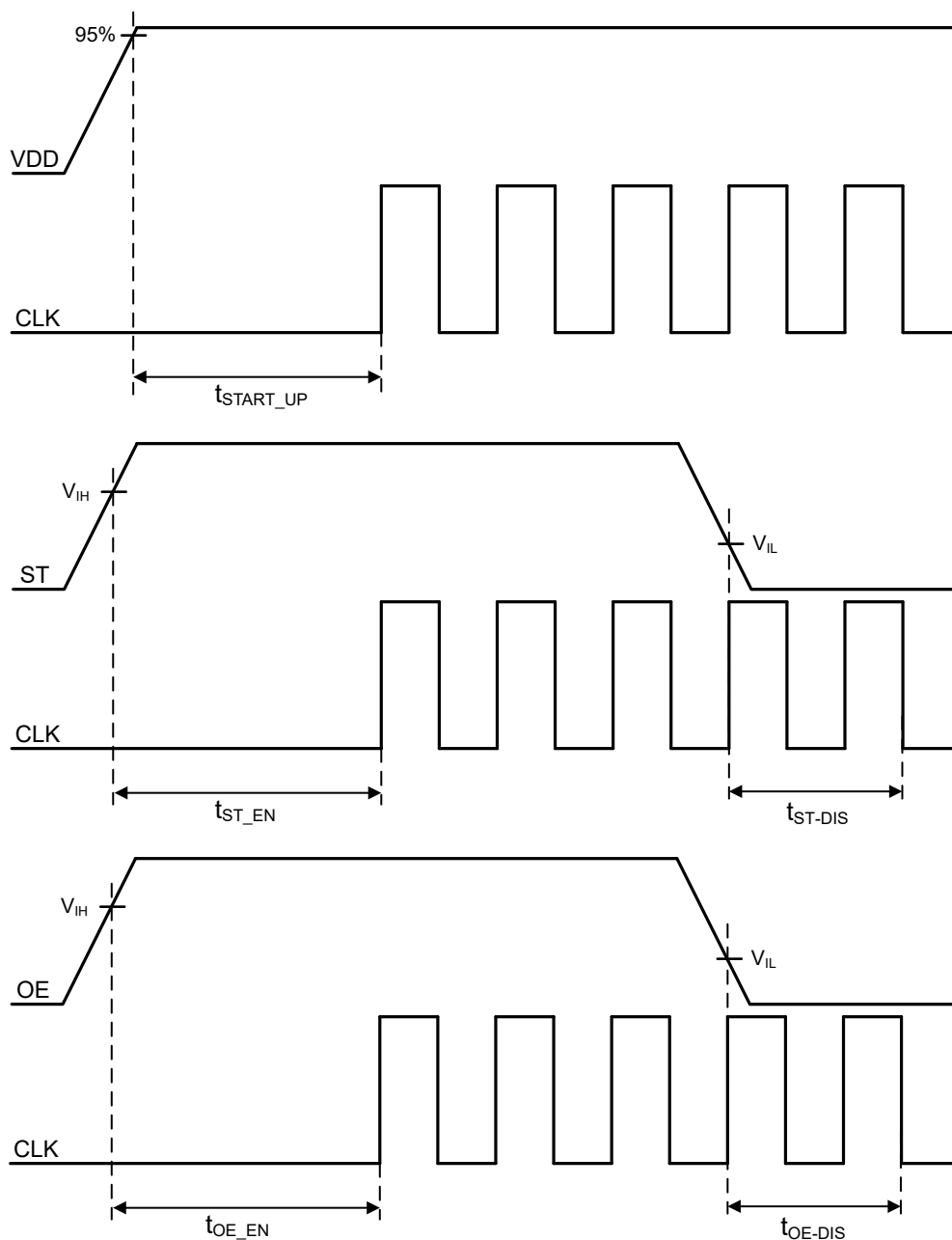


図 6-2. パワーオン特性

6.8 代表的特性

標準値は 25°C 時の値です。

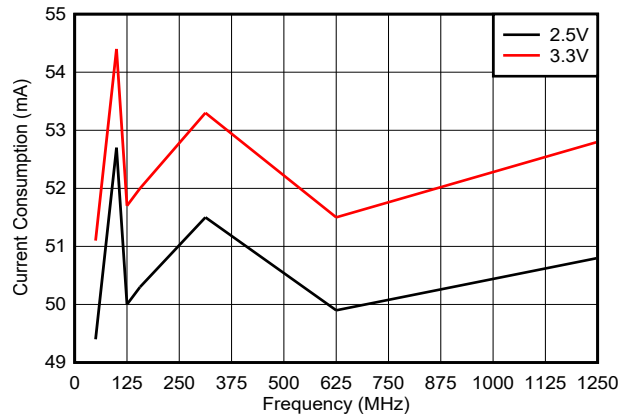


図 6-3. 周波数と電源電圧の全範囲にわたる AC-LVPECL 1.2Vppd と HS-LVDS 1.2Vppd 電流の消費電流

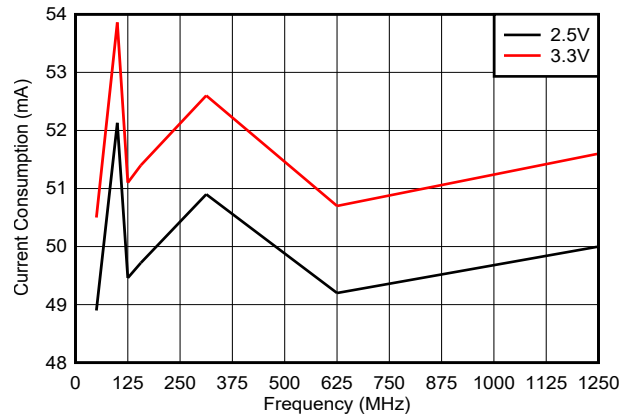


図 6-4. LVDS の周波数および電源電圧に対する消費電流

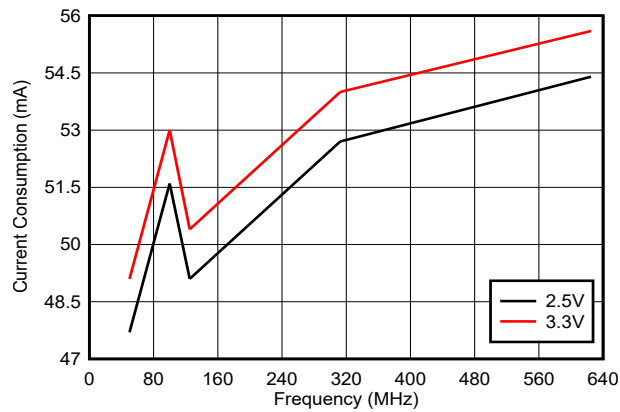


図 6-5. 周波数と電源電圧の全範囲にわたる LP-HCSL ($V_{OH} = 750\text{mV}$) の消費電流

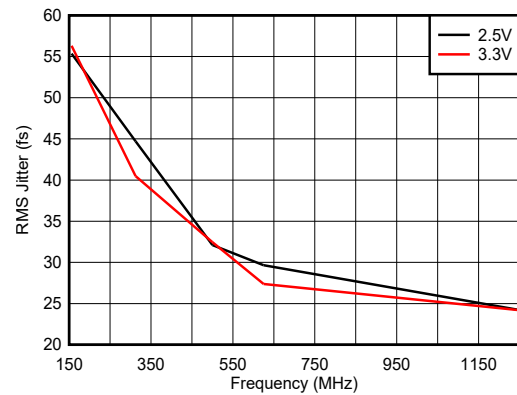


図 6-6. AC-LVPECL の 1.2Vppd RMS ジッタ (12kHz ~ 20MHz) における周波数および電源電圧依存特性

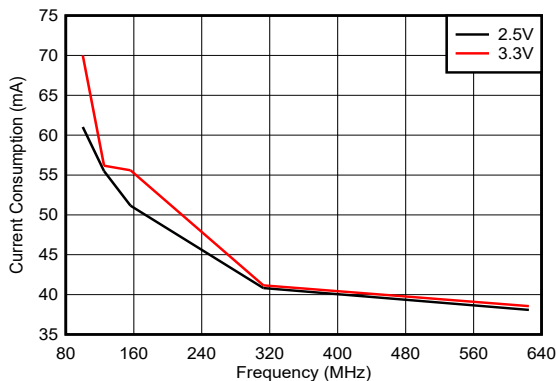


図 6-7. LP-HCSL ($V_{OH} = 750\text{mV}$) RMS ジッタ (12kHz ~ 20MHz) における周波数および電源電圧依存特性

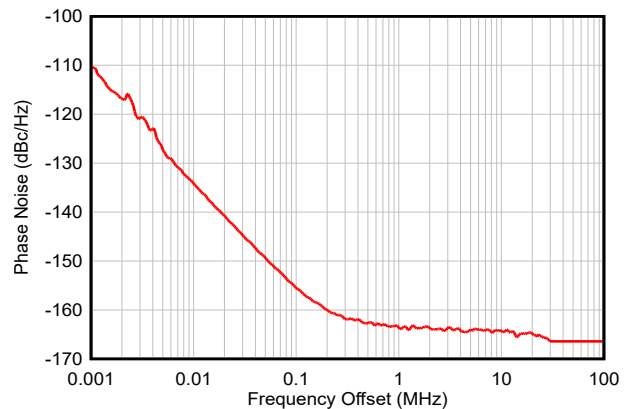


図 6-8. LP-HCSL ($V_{OH} = 750\text{mV}$) 3.3V での 156.25MHz 位相ノイズ曲線

7 パラメータ測定情報

7.1 デバイス出力構成

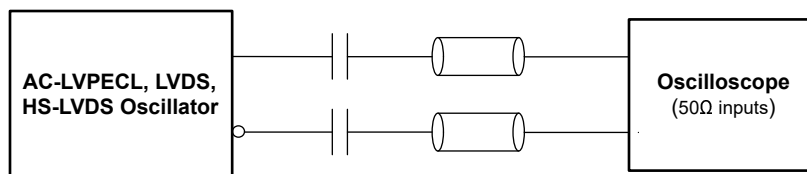


図 7-1. LMK6L-Q1AC-LVPECL、および LVDS 出カタイプの出力テスト構成

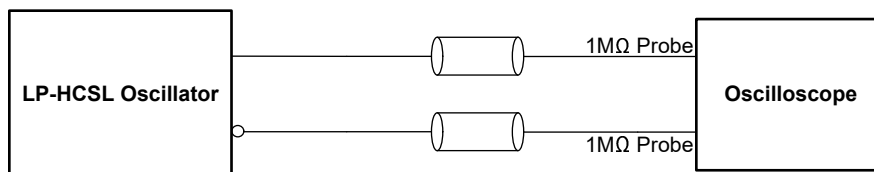


図 7-2. LMK6L-Q1LP-HCSL 出カタイプの出力テスト構成

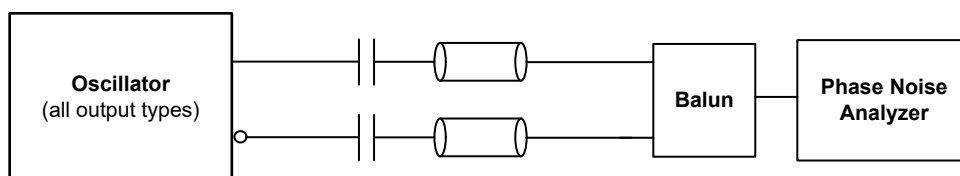


図 7-3. LMK6L-Q1 すべての出カタイプの出力位相ノイズ構成

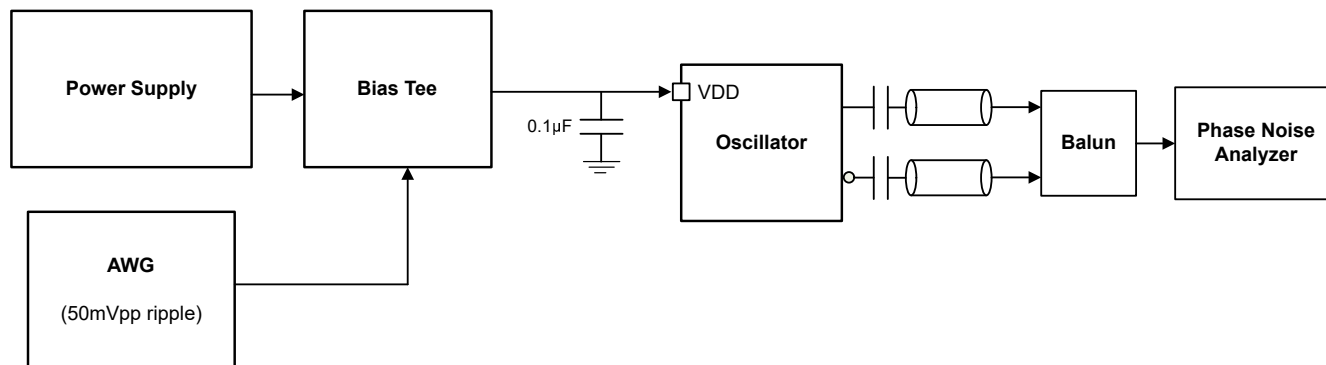


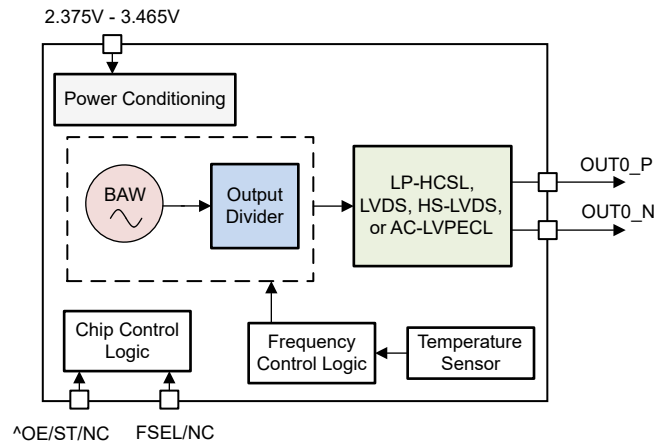
図 7-4. LMK6L-Q1PSRR の構成

8 詳細説明

8.1 概要

LMK6L-Q1 は、固定周波数で工場出荷時にプログラミング済みの BAW をベースとした発振器であり、差動出力で超低ジッタを実現できます。

8.2 機能ブロック図



8.3 機能説明

8.3.1 バルク弾性波 (BAW)

テキサス・インスツルメンツの BAW 共振器テクノロジーは、2.5GHz で高 Q 共振を発生させるために圧電変換を利用しています。この共振器は、上下の電極に挟まれた四角形の領域によって定義されます。高音響インピーダンス層と低音響インピーダンス層を交互に配置することで、共振体の下に音響ミラーを形成し、基板への音響エネルギーの漏れを防止します。さらに、デバイスを汚染から保護し、パッケージ材料へのエネルギーの漏れを最小限に抑えるため、これらの音響ミラーは共振器スタックの上に配置されています。図 8-1 に、BAW 共振器の構造を示します。この独自のデュアル プラッグ音響共振器 (DBAR) によって、共振器を囲む高価な真空キャビティがなくても効果的に励起することを可能にしています。その結果、TI の BAW 共振器は表面汚染物質の吸着による周波数ドリフトの影響を受けにくく、非気密プラスチックパッケージでも、標準的な小型オシレータ IC フットプリントに直接実装できます。TI の BAW テクノロジーの詳細については、BAW Web ページをご覧ください。

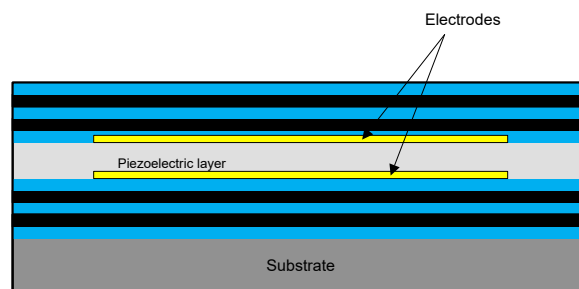


図 8-1. BAW 共振器の構造

8.3.2 デバイス ブロック レベルの説明

LMK6L-Q1 には、BAW 発振器、整数分周器、および出力ドライバが内蔵されており、これらにより工場プログラムされた出力周波数が生成されます。発振周波数の温度変動は、内部の高精度温度センサによって継続的に監視され、その情報は周波数制御ロジックブロックへの入力として使用されます (LMK6L-Q1 機能ブロック図を参照)。この周波数制御ロジック ブロックを用いて内部で周波数補正が行われ、温度範囲および 10 年間の経年劣化にわたって出力周波数を $\pm 25\text{ppm}$ 以内に維持します。出力ドライバは、差動 AC-LVPECL、LVDS、HS-LVDS、LP-HCSL 出力形式を提供できま

す。本デバイスは、電源ノイズを低減する LDO を内蔵しているため、低ノイズのクロック出力と、「電気的特性」に示すように非常に優れた PSRR 性能を実現します。

8.3.3 機能ピン

LMK6L-Q1 のピン 1 およびピン 2 は、OPN によって定義される複数の機能を持ちます (詳細については[セクション 4](#)を参照してください)。構成として、ピン 1 に出力イネーブル (OE) およびスタンバイ (ST)、ピン 2 に出力周波数選択 (FSEL) があります。FSEL は OPN (または F_{OUT}) で定義された周波数を 2 または 4 で分周し、1 つの OPN から 3 種類の異なる周波数を提供します。FSEL の詳細については、[表 8-1](#) および [セクション 8.3.3.1](#) を参照してください。OE はデフォルトでアクティブ High、ST はアクティブ Low です。その他のオプションについては、TI にお問い合わせください。

ピン 1 は 150k Ω プルアップ抵抗によって内部的に駆動されます。ピン 2 は、200k Ω プルアップおよび 200k Ω プルダウン抵抗によって内部的に駆動されます。ピン 1 およびピン 2 の両方に、それぞれ 0 Ω ~ 10k Ω の外部プルアップ抵抗またはプルダウン抵抗を接続できます。

表 8-1. LMK6L-Q1 の機能ピンの説明

注文可能オプション (7 桁目)	ピン番号	ピンの説明	出力機能
E	ピン 1	出力イネーブル (アクティブ High) または未接続	High または未接続: 指定された周波数で出力アクティブ LOW: 出力ディスエーブル、高インピーダンス。消費電流は、 I_{DD-OD} により与えられます
	ピン 2	接続なし	該当なし
A	ピン 1	スタンバイ (アクティブ Low) または未接続	High または未接続: 指定された周波数で出力アクティブ LOW: ハイ インピーダンス、スタンバイ モード、消費電流はスタンバイ電流 $I_{DD-STBY}$ により得られます
	ピン 2	接続なし	該当なし
K	ピン 1	出力イネーブル (アクティブ High) または未接続	High または未接続: 指定された周波数で出力アクティブ LOW: 出力ディスエーブル、高インピーダンス。消費電流は、 I_{DD-OD} により与えられます
	ピン 2	FSEL ⁽¹⁾	HIGH: $F_{OUT}/2$ フローティング で出力アクティブ: F_{OUT} LOW での出力アクティブ: $F_{OUT}/4$ で出力アクティブ
L	ピン 1	スタンバイ (アクティブ Low) または未接続	High または未接続: 指定された周波数で出力アクティブ LOW: ハイ インピーダンス、スタンバイ モード、消費電流はスタンバイ電流 $I_{DD-STBY}$ により得られます
	ピン 2	FSEL ⁽¹⁾	HIGH: $F_{OUT}/2$ フローティング で出力アクティブ: F_{OUT} LOW での出力アクティブ: $F_{OUT}/4$ で出力アクティブ

(1) f_{OUT} は、OPN で定義されている出力周波数です ([セクション 4](#)を参照)。

スタンバイ モードでは、「電力特性」の「消費電流特性」部分に示されているスタンバイ電流と等価な最大限の消費電流の節約を行うために、すべてのブロックをパワーダウンします。アクティブな出力クロックへの復帰時間または t_{ST-EN} は、初期起動時間または t_{START_UP} と同じです。

8.3.3.1 FSEL の実装

結果として得られる出力周波数が 50MHz の最小出力周波数に違反すると、FSEL は $/2$ または $/4$ 分周器を自動的に無効にします。次の場合、出力周波数は変化しません。

- FSEL は VDD に接続され、 $F_{OUT} < 100\text{MHz}$ です。
- FSEL は GND に接続され、 $F_{OUT} < 200\text{MHz}$ です。
- FSEL の状態は、電源投入後に変更されます (出力周波数を変更するにはパワーサイクルが必要です)。
- FSEL はデジタル信号によって制御されます。FSEL は GND または VDD に接続するか、常にオープンのままにする必要があります。

表 8-2 に、FSEL の実装例を示します。312.5MHz および 200MHz の場合、FSEL は出力周波数を分周します。156.25MHz および 100MHz の場合、FSEL は VDD に設定されているときのみ分周します。50MHz の場合、FSEL は出力周波数を変化させません。

表 8-2. FSEL 出力周波数の例

F _{OUT}	FSEL	FSEL からの出力周波数 (MHz)
312.5	VDD	156.25
	Hi-Z または NC	312.5
	GND	78.125
156.25	VDD	78.125
	Hi-Z または NC	156.25
	GND	156.25
100	VDD	50
	Hi-Z または NC	100
	GND	100
50	VDD	50
	Hi-Z または NC	50
	GND	50

8.3.4 出力の終端

LMK6L-Q1 には異なる出力タイプがあります: AC-LVPECL、LVDS、HS-LVDS、および LP-HCSL。HS-LVDS と AC-LVPECL はマルチモードドライバの一部であり、さまざまなスイングオプションがあります。LP - HCSL 出力タイプには、異なる V_{OH} オプションがあります。詳細については、[セクション 4](#) を参照してください。

マルチモードドライバは、VDD/2 または 1.2V の同相モード電圧で出力を生成でき、出力振幅は 700mVppd ~ 2Vppd の範囲で、100mVppd 刻みで調整可能です。AC-LVPECL の場合、V_{CM} = VDD/2 とスイングは、3.3V 電源では 700mVppd ~ 2Vppd、2.5V 電源では 700mVppd ~ 1.5Vppd に設定できます。マルチモードドライバは、LVDS または HS-LVDS 出力を生成することもできます。この出力は同相モード電圧が 1.2V で、スイングは 3.3V 電源時には 700mVppd ~ 2Vppd、2.5V 電源時には 700mVppd ~ 1.6Vppd の範囲でカスタマイズ可能です。1250MHz 出力では、2.5V と 3.3V の両方の電源で可能な最大スイングは 1.5Vppd です。デフォルトでは、LVDS ドライバのスイングは標準で 800mVppd となっています。

AC-LVPECL、LVDS、および HS-LVDS の終端方式を [図 8-2](#) に示します。

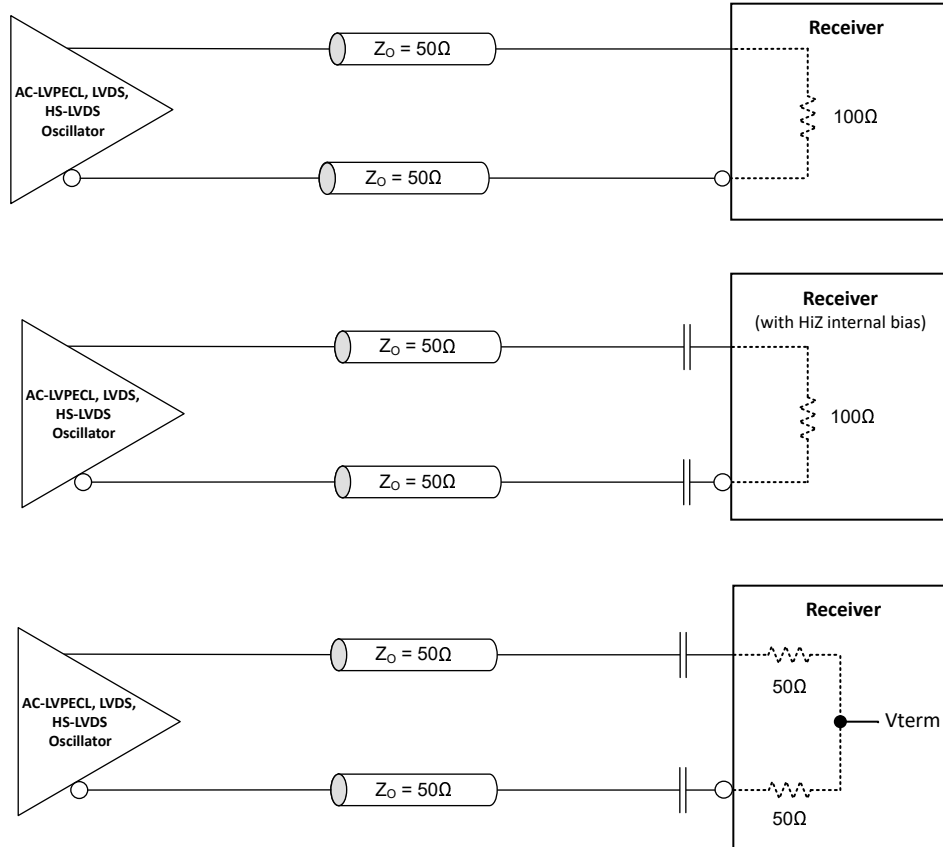


図 8-2. AC-LVPECL、LVDS、および HS-LVDS 出力終端

LVDS 発振器を LMK6L-Q1 に置き換える場合、変更は不要です。AC 結合アプリケーションに LVDS 発振器を交換し、最大性能が必要な場合は、AC-LVPECL 出力タイプを使用します。スイングが大きいほど性能は向上するため、受信側が許容できる最大のスイングを選択してください。AC 結合アプリケーションにおいて LVDS 発振器を AC-LVPECL ドライバに置き換える場合でも、変更は不要です。LVPECL 発振器の交換については、[セクション 8.3.4.1](#) を参照してください。

LP - HCSL 出力ドライバの V_{OH} は、標準値 850mV または 750mV です。[図 8-3](#) に示すように、外部終端は不要です。

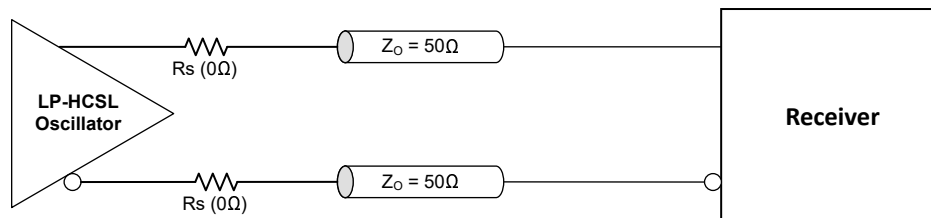


図 8-3. LP - HCSL 出力終端

LP - HCSL 発振器を LMK6L-Q1 に交換する場合は、変更する必要はありません。HCSL 発振器を LMK6L-Q1 に交換するには、[セクション 8.3.4.2](#) を参照してください。

8.3.4.1 LVPECL 発振器を LMK6L-Q1 に交換

AC 結合アプリケーション向けに LVPECL 発振器を LMK6L-Q1 に置き換える場合、

1. レシーバには 100Ω の内部終端が必要です (内部終端がない場合は、外部に終端を配置する必要があります)。
2. LMK6L-Q1AC - LVPECL 出力タイプを使用します。

3. 図 8-4 に示すように、任意のエミッタ抵抗を実装します。

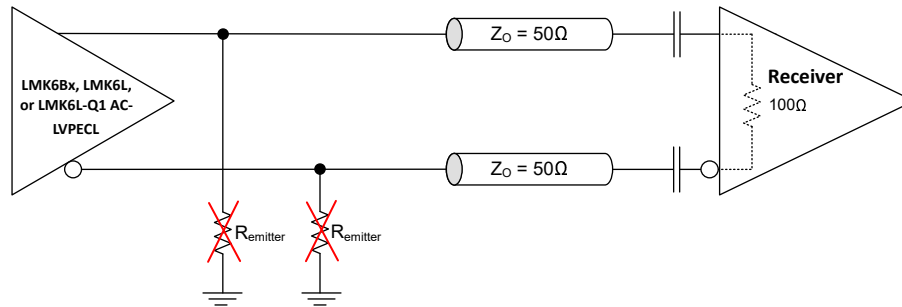


図 8-4. LVPECL 発振器を LMK6L-Q1 に交換

8.3.4.2 HCSL OSC を LMK6L-Q1 に置き換える

HCSL 発振器を置き換えるために LMK6L-Q1 を使用する場合、以下の手順に従います：

1. LMK6L-Q1 LP - HCSL 出力タイプを使用します。
2. 図 8-5 に示すように、50Ω の抵抗を GND へ実装します。
3. 図 8-5 に示すように、直列抵抗は 0Ω に置き換えます。

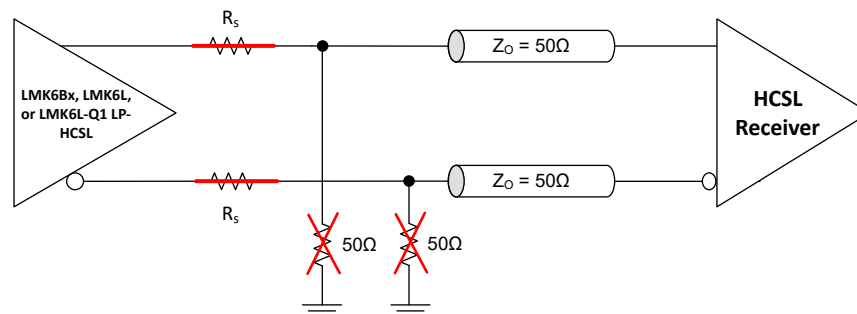


図 8-5. HCSL 発振器を LMK6L-Q1 に置き換える

8.3.5 ウェットブル フランク

このデバイスには、少なくとも 1 つのパッケージのウェットブル フランクが含まれています。この機能を搭載しているパッケージについては、データシートの先頭ページにある「特長」セクションを参照してください。

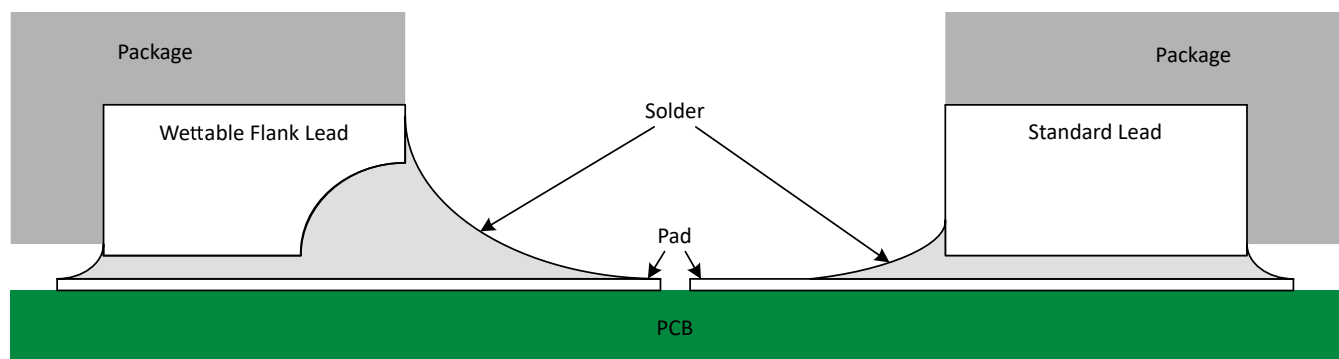


図 8-6. 半田付け後のウェットブル フランク QFN パッケージと標準 QFN パッケージの概略断面図

ウェットブル フランクは、半田付け後の側方のぬれ性を改善するのに役立ち、自動光学検査 (AOI) により QFN パッケージの検査が容易になります。ウェットブル フランクは、図 8-6 に示すように、半田接着用の表面積を追加するために、ディ

ンプル加工または段切りできます。これは、サイド フィレットを確実に作成するのに役立ちます。詳細については、メカニカルに関する図をご覧ください。

8.4 デバイスの機能モード

固定周波数で工場プログラム済みの LMK6L-Q1 は、[セクション 4](#) に示すように OPN に基づいて異なる構成を持つことがあります。機能ピン、ピン 1 またはピン 2 は、出力有効化、スタンバイ、周波数選択、または未接続に設定できます。周波数選択は、OPN で定義された周波数を 2 または 4 で分周することで、1 つの OPN から 3 種類の異なる周波数を提供します。詳細については、[セクション 8.3.3](#) を参照してください。

[セクション 4](#) に示すように、LMK6L-Q1 は、異なるスイングや同相モードを持つ差動出力タイプ (AC-LVPECL、LVDS、HS-LVDS)、異なる V_{OH} オプション といったタイプも用意されています。詳細については、[セクション 8.3.4](#) を参照してください。

9 アプリケーションと実装

注

以下のアプリケーションのセクションにある情報は、TI コンポーネントの仕様に含まれるものではなく、TI は、その精度も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

9.1 使用上の注意

LMK6L-Q1 は超低ジッタ、固定周波数、工場でプログラミングされた差動 BAW 発振器で、さまざまなアプリケーションの基準クロックとして使用できます。このデバイスは、AC-LVPECL、LVDS、および HS-LVDS 出力タイプでは 50MHz ~ 1250MHz、LP-HCSL 出力タイプ。LMK6L-Q1 は、2.375V ~ 3.465V の電源レール (公称 2.5V および 3.3V) をサポートしています。

LMK6L-Q1 を使用して TI のクロック バッファを駆動する方法については、[LMK6Bx による TI クロック バッファのクロック供給アプリケーション ノート](#)を参照してください。

9.2 代表的なアプリケーション

LMK6L-Q1 は、PCIE Gen 7 規格に適合する超低ジッタ差動発振器であり、ADAS および IVI SoC、車内 10/40/100Gbps イーサネット、レーダー、Lidar を含む高性能車載システムを対象としています。図 9-1 に、LMK6L-Q1 を SoC のレファレンスクロックとして使用する代表的なアプリケーションの例を示します。

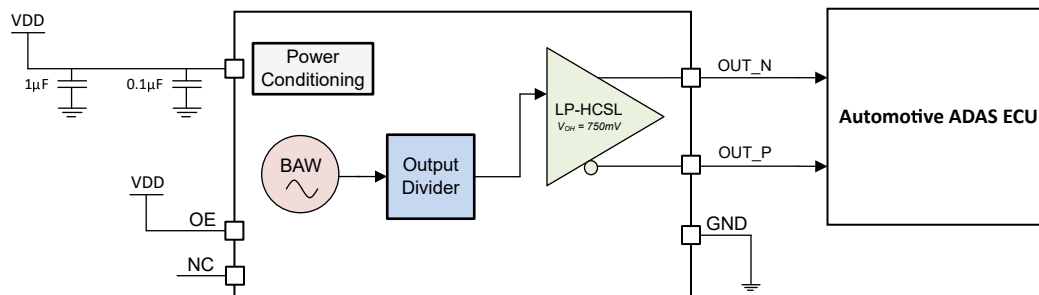


図 9-1. LMK6L-Q1 車載 SoC のレファレンスクロックとして使用されます

LMK6L-Q1 およびバイパス コンデンサおよび AC 結合コンデンサの推奨値のレイアウト例については、[セクション 9.4.2](#) を参照してください。出力タイプの終端とバイアスについては、[セクション 8.3.4](#) を参照してください。

9.2.1 設計要件

LMK6L-Q1 はプログラミング不要の固定周波数発振器です。[セクション 8.3.4](#) に記載されている推奨終端のオプションに従い、ピン 1 およびピン 2 の機能については[セクション 8.3.3](#) を参照してください。[セクション 4](#) を参照し、要件に基づいて型番を注文してください。また、LMK6L-Q1 の性能を最大化するために、[セクション 9.4.1](#) および[セクション 9.3](#) に従ってください。

9.2.2 詳細な設計手順

LMK6L-Q1 を使用して設計する場合、最初のステップは、要件に基づいて適切な構成を選択することです。選択した OPN によって、出力タイプ、ピン 1 およびピン 2 の機能、出力周波数、およびパッケージ タイプが決定されます。詳細については、[セクション 4](#) を参照してください。

The LMK6L-Q1 差動発振器には、AC-LVPECL、LVDS、HS-LVDS、LP-HCSL、が用意されています。[セクション 8.3.4](#) に示すように、アプリケーションの要件に基づいて、適切な AC 終端または DC 終端を使用します。LMK6L-Q1 には、ピン 1 の出力有効化またはスタンバイオプションと、ピン 2 の周波数選択 (FSEL) オプションがあります。必要な構成を決

定するための、各ピン、機能、および FSEL の詳細については、[セクション 8.3.3](#) を参照してください。LMK6L-Q1 は LDO を内蔵しており、「電気特性」表に示すように、優れた PSRR 性能を備えています。最高の性能を実現するには、VDD ピンに 0.1 μ F と 1 μ F を追加します。電源ピンに関する推奨事項については[セクション 9.3](#)を参照し、LMK6L-Q1 を用いた設計時の最適な基板レイアウトについては[セクション 9.4](#)を参照してください。

9.2.3 アプリケーション曲線

9.2.3.1 LVDS 位相ノイズ曲線

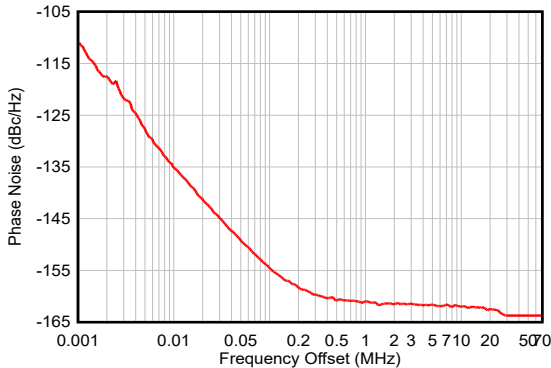


図 9-2. 156.25MHz LVDS、25°C、3.3V、800mVppd、60.5fs RMS ジッタ (12kHz ~ 20MHz)

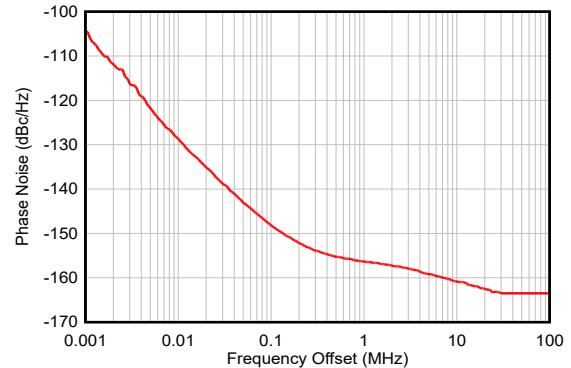


図 9-3. 312.5MHz LVDS、25°C、3.3V、800mVppd、46.6fs RMS ジッタ (12kHz ~ 20MHz)

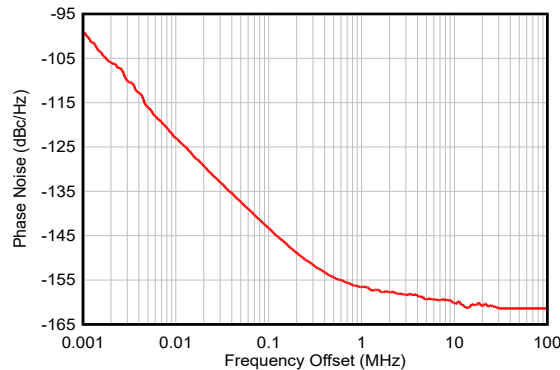


図 9-4. 625MHz LVDS、25°C、3.3V、800mVppd、32.3fs RMS ジッタ (12kHz ~ 20MHz)

9.2.3.2 HS-LVDS 1.2Vppd 位相ノイズ曲線

図 9-5. 156.25MHz、HS-LVDS、25°C、3.3V、1.2Vppd、56.3fs RMS ジッタ (12kHz ~ 20MHz)

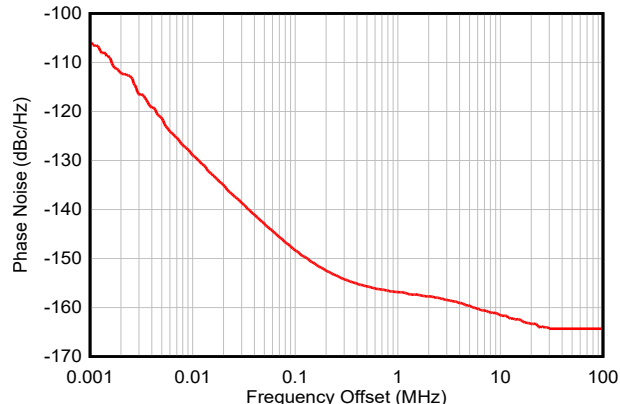
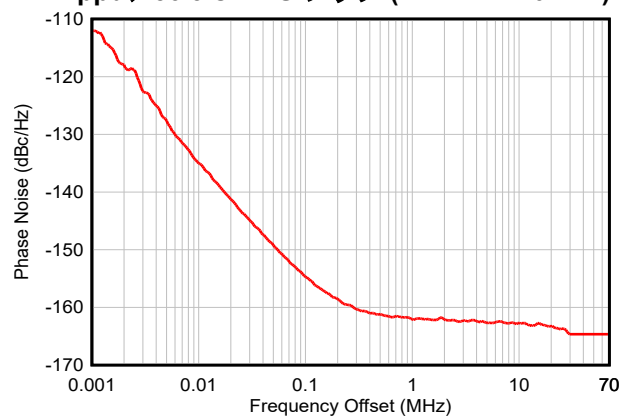


図 9-6. 312.5MHz、HS-LVDS、25°C、3.3V、1.2Vppd、44.4fs RMS ジッタ (12kHz ~ 20MHz)

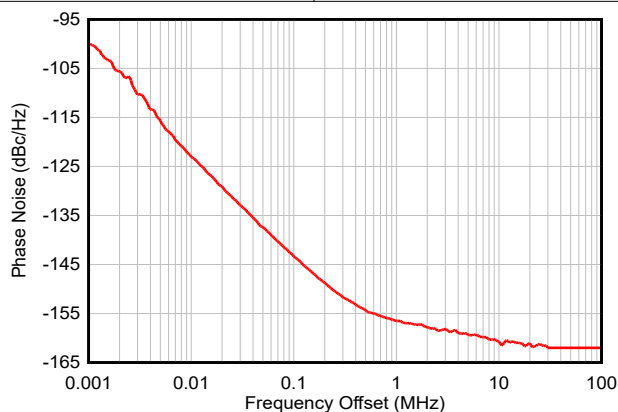


図 9-7. 625MHz、HS-LVDS、25°C、3.3V、1.2Vppd、31.8fs RMS ジッタ (12kHz ~ 20MHz)

9.2.3.3 AC-LVPECL 1.2Vppd 位相ノイズ曲線

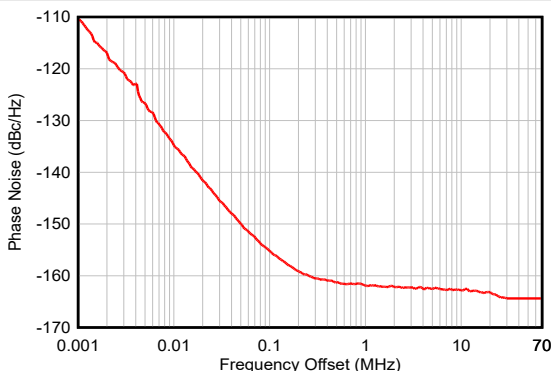


図 9-8. 156.25MHz、AC-LVPECL 1.2Vppd、25°C、3.3V、57.0fs RMS ジッタ (12kHz ~ 20MHz)

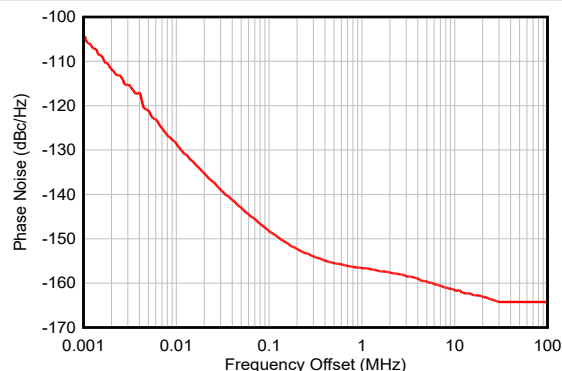


図 9-9. 312.5MHz AC-LVPECL 1.2Vppd、25°C、3.3V、45.0fs RMS ジッタ (12kHz ~ 20MHz)

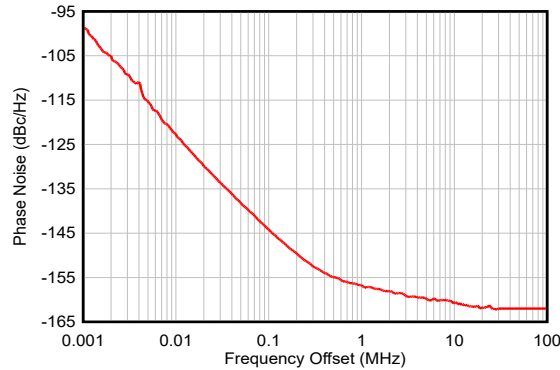


図 9-10. 625MHz AC-LVPECL 1.2Vppd、25°C、3.3V、32.8fs RMS ジッタ (12kHz ~ 20MHz)

9.2.3.4 LP - HCSL 位相ノイズ曲線

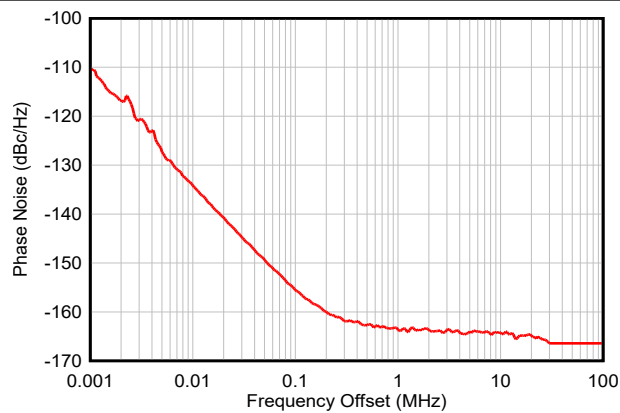


図 9-11. 156.25MHz LP-HCSL、25°C、3.3V、 $V_{OH} = 750\text{mV}$ 、53.3fs RMS ジッタ (12kHz ~ 20MHz)

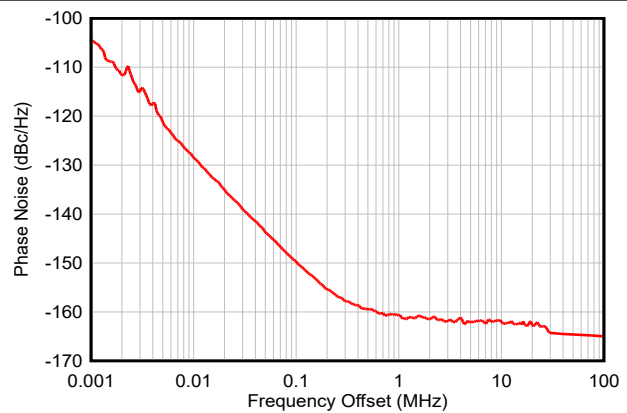


図 9-12. 312.5MHz LP-HCSL、25°C、3.3V、 $V_{OH} = 750\text{mV}$ 、41.0fs RMS ジッタ (12kHz ~ 20MHz)

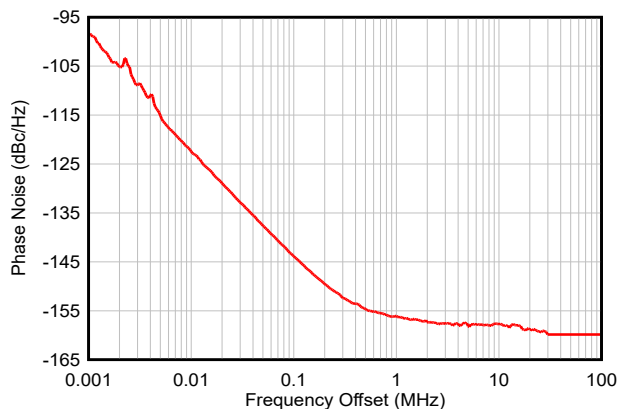


図 9-13. 625MHz LP-HCSL、25°C、3.3V、 $V_{OH} = 750\text{mV}$ 、38.3fs RMS ジッタ (12kHz ~ 20MHz)

9.3 電源に関する推奨事項

LMK6L-Q1 の最高の電氣的性能を発揮させるため、TI は、デバイスの電源バイパス ネットワークに 0.1 μF および 1 μF のコンデンサを使用することを推奨しています。コンデンサは、電源ピンにできる限り近づけて配置してください。TI はまた、電源バイパス コンデンサを部品面に実装すること、および信号配線を容易にするために、0.1 μF コンデンサには 0201 サイズ、1 μF コンデンサには 0603 サイズのパッケージを使用することを推奨しています。バイパス コンデンサとデ

バイスの電源との間の接続はできる限り短くします。グラウンド プレーンへの低インピーダンス接続を使用して、コンデンサの反対側をグラウンドに接続します。

9.4 レイアウト

9.4.1 レイアウトのガイドライン

LMK6L-Q1 は最大 1250MHz で動作可能です。発振器の性能を最適化するには、『[高速レイアウトガイドライン](#)』に記載されている、業界標準の高速レイアウト ガイドラインに従ってください。要約すると、

- アンテナ効果を生じて出力性能を低下させる長いスタブを最小限にしてください。
- インピーダンスは、反射を除去するために、差動出力トレースを **50Ω** シングルエンドまたは **100Ω** 差動とマッチングします。
- 最大の性能を得るため、出力トレースは可能な限り短くし、長さを等しくします。

[セクション 9.4.1.1](#) では、優れた熱特性および電気特性を得るための熱信頼性の確保について説明しています。[セクション 9.4.1.2](#) では、適切なはんだリフロー プロファイルを実装することで、システム全体の信号完全性を維持する方法について説明しています。

9.4.1.1 熱に関する信頼性の実現

LMK6L-Q1 は高性能デバイスです。そのため、消費電力に関しデバイスの構成とプリント基板 (PCB) レイアウトに十分な注意を払ってください。パッケージからの熱放散を最大化するため、グラウンド ピンは **3** つ以上のビアで PCB のグラウンド プレーンに接続する必要があります。

[式 1](#) に、LMK6L-Q1 付近の PCB 温度と接合部温度の関係を示します。

$$T_B = T_J - \Psi_{JB} \times P \quad (1)$$

ここで、

- T_B : LMK6L-Q1 付近の PCB 温度
- T_J : LMK6L-Q1 の接合部温度
- Ψ_{JB} : LMK6L-Q1 の接合部から基板への熱抵抗パラメータ (この情報については、[仕様](#)セクションの熱に関する情報の表を参照)
- P : LMK6L-Q1 のオンチップ消費電力

9.4.1.2 推奨される半田リフロー プロファイル

J-STD-20 のガイドラインで定められた範囲内で、フラックスの活性度を最適化し、合金の適切な溶融温度を実現するために、半田ペースト サプライヤから提供された推奨事項に従ってください。ピーク温度を可能な限り低く保つと同時に、MSL ラベルに記載されている部品のピーク温度定格未満に保って **LMK6L-Q1** を処理することをお勧めします。正確な温度プロファイルは、MSL ラベルに記載されている部品の最大ピーク温度定格、基板の厚さ、PCB 材料の種類、PCB 形状、部品の位置、サイズ、PCB 内の密度、半田メーカー推奨のプロファイル、SMT アセンブリ動作で確認されたリフロー装置の能力など、いくつかの要因に依存します。

9.4.2 レイアウト例

図 9-14 ~ 図 9-18 に、LMK6L-Q1 の評価基板 (EVM) で実装されたプリント基板 (PCB) のレイアウト例を示します。

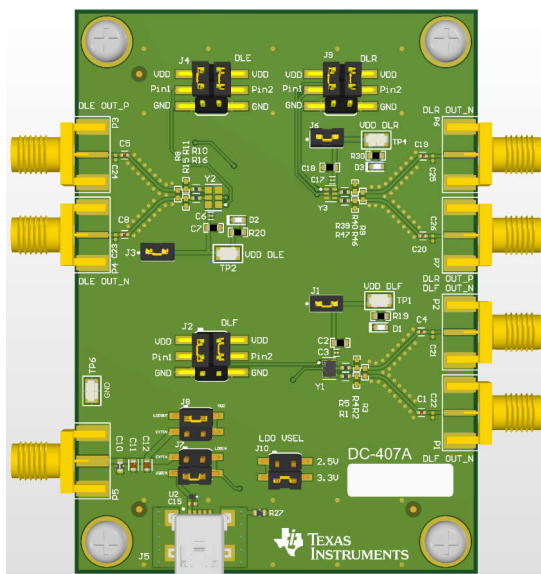


図 9-14. LMK6LEVM の PCB レイアウト例

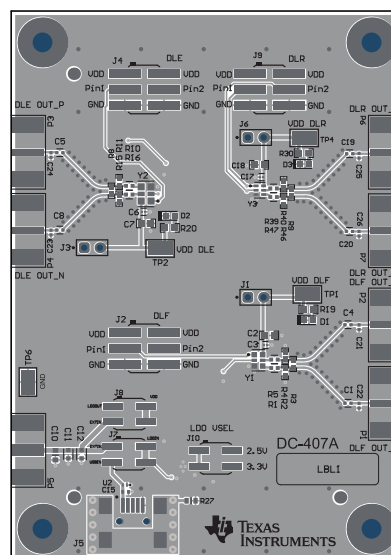


図 9-15. LMK6LEVM の PCB レイアウト例 - 最上層

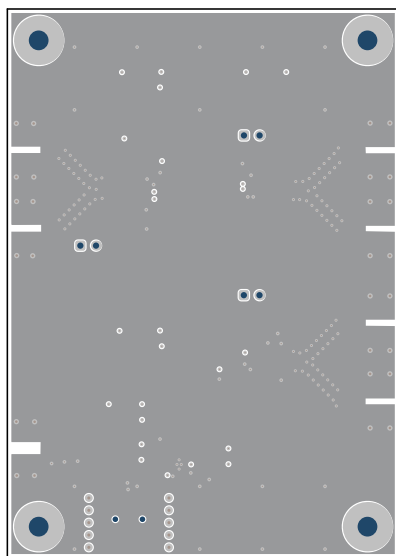


図 9-16. LMK6LEVM の PCB レイアウト例 - グランド層

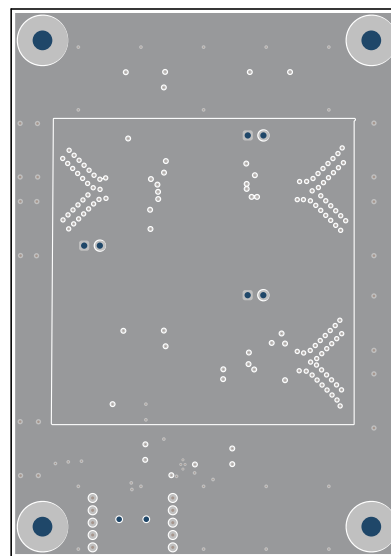


図 9-17. LMK6LEVM の PCB レイアウト例 - 電源層

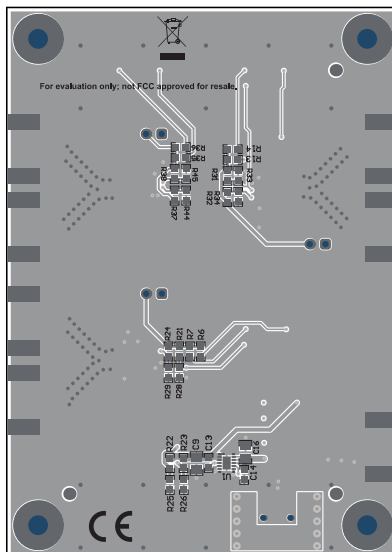


図 9-18. LMK6LEVM の PCB レイアウト例 - 最下層

10 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

10.1 ドキュメントのサポート

10.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『[LMK6LEVM ユーザー ガイド](#)』
- テキサス・インスツルメンツ、『[水晶発振器に対するスタンドアロン BAW 発振器の利点](#)』アプリケーション ノート
- テキサス・インスツルメンツ、『[TI 製 BAW 発振器の振動および機械的衝撃性能](#)』、アプリケーションノート

10.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

10.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

10.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

10.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

10.6 用語集

[テキサス・インスツルメンツ用語集](#) この用語集には、用語や略語の一覧および定義が記載されています。

11 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
June 2026	*	初版リリース

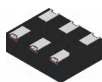
12 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側のナビゲーションをご覧ください。

12.1 メカニカル データ

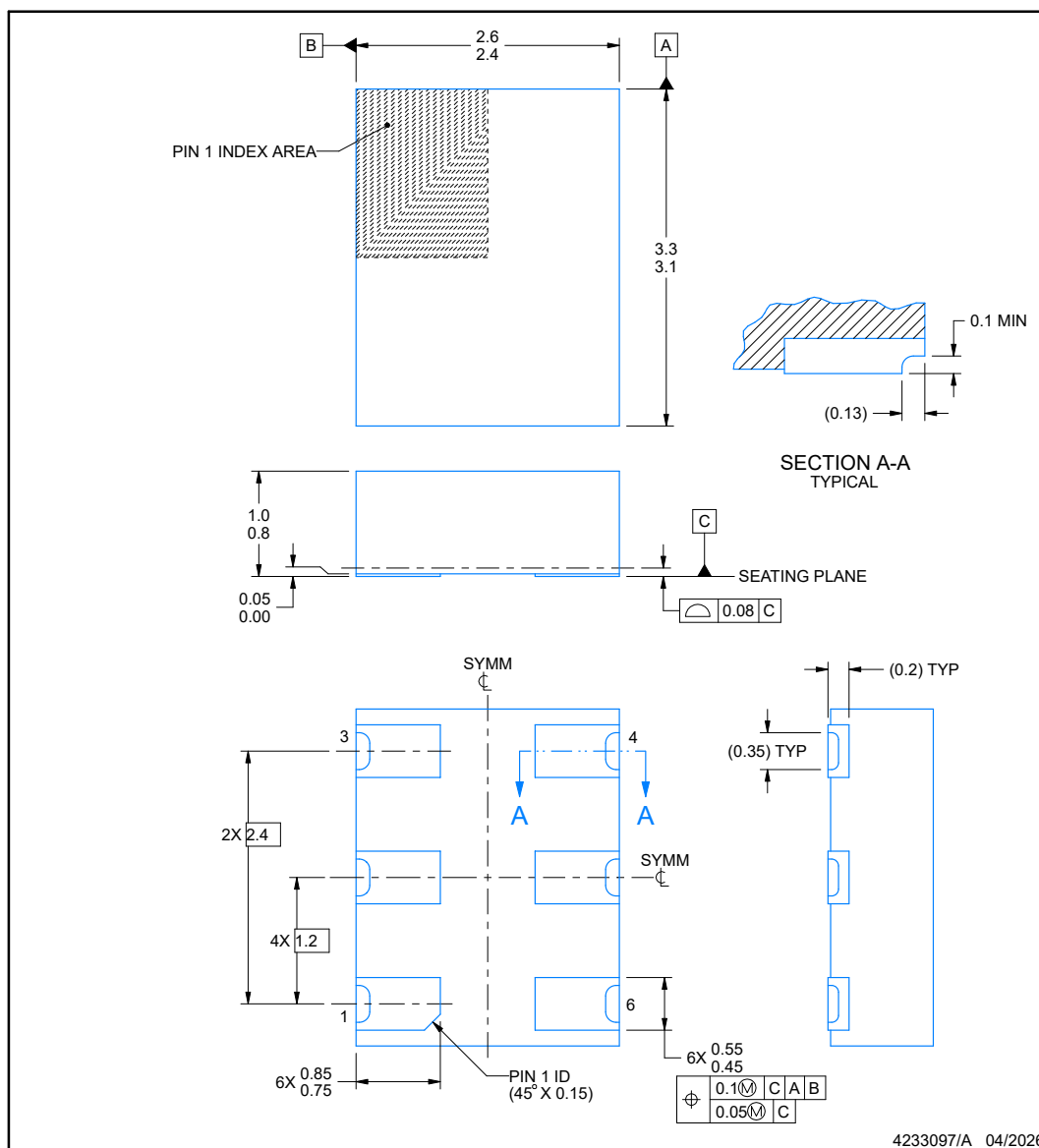
PACKAGE OUTLINE

DLE0006C



VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

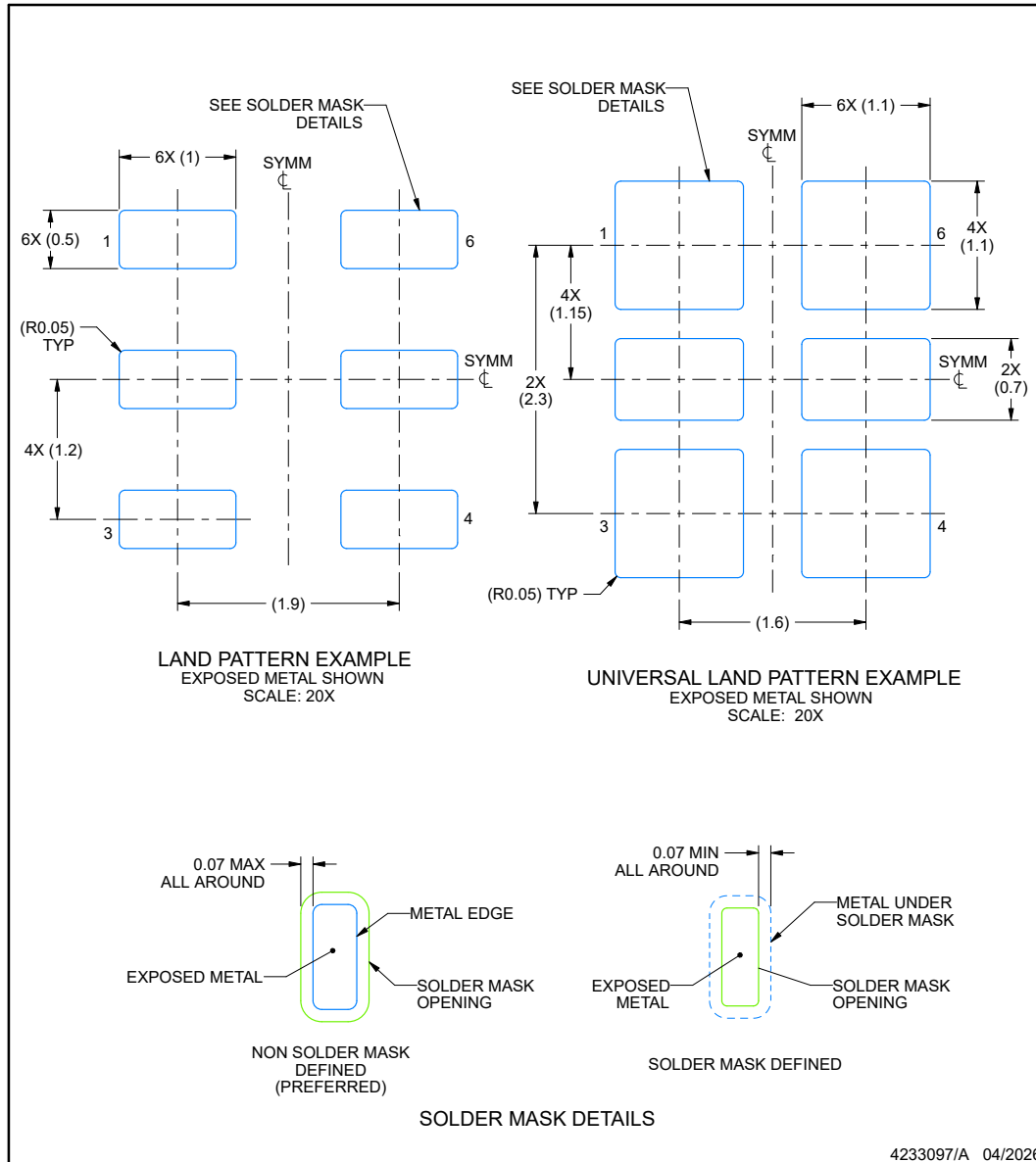
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

DLE0006C

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

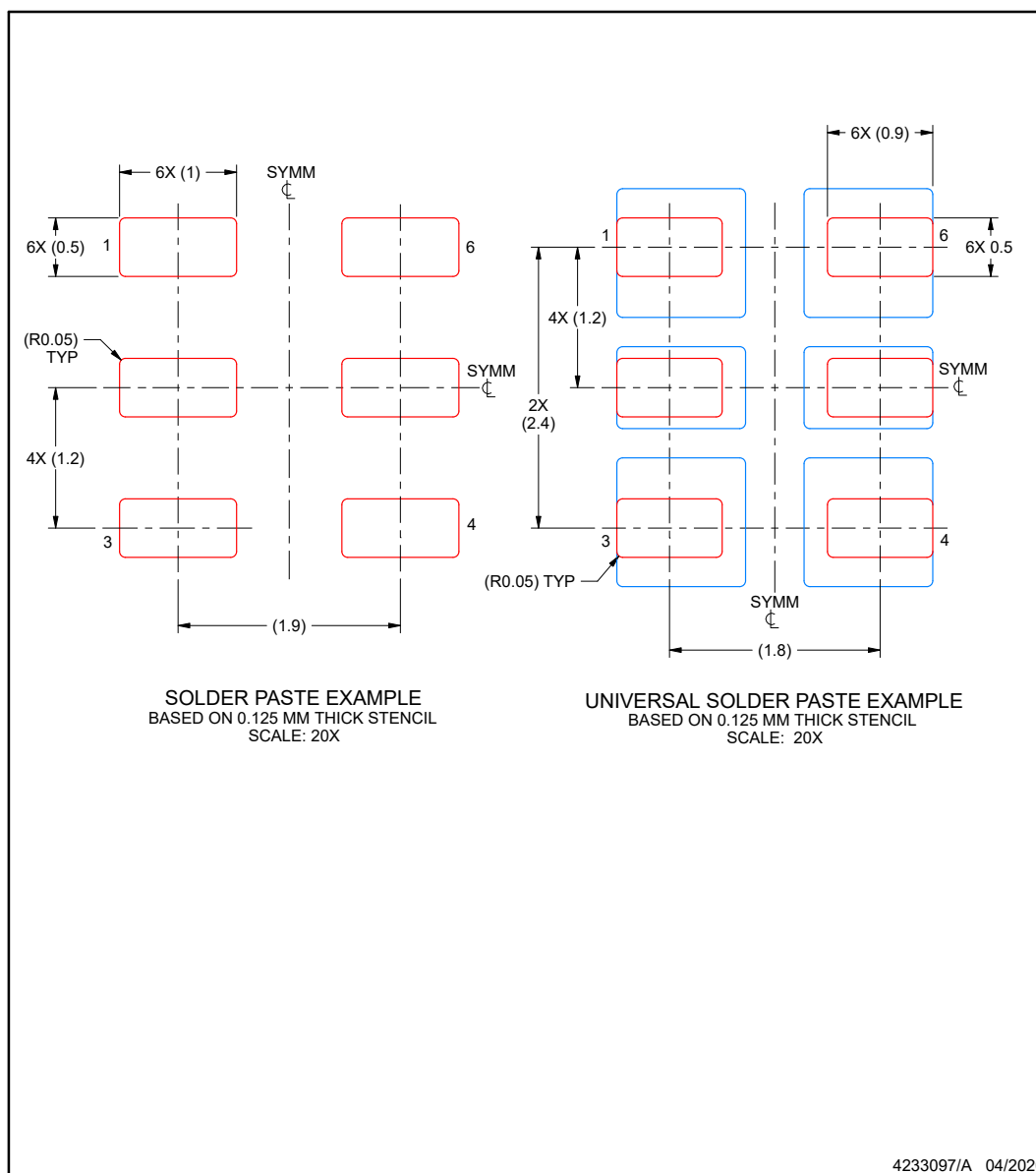
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slue271).

EXAMPLE STENCIL DESIGN

DLE0006C

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

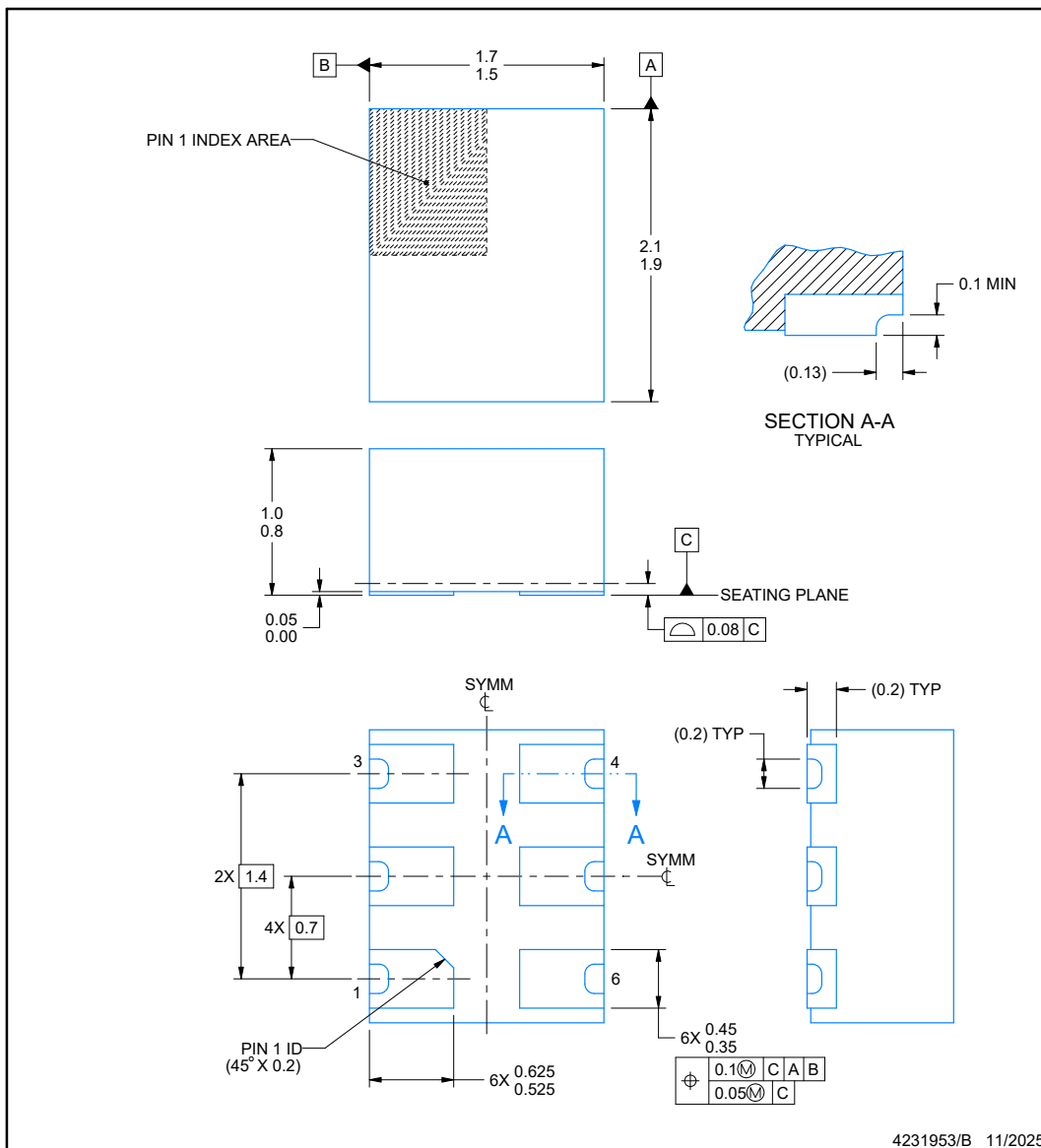


DLR0006B

PACKAGE OUTLINE

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES:

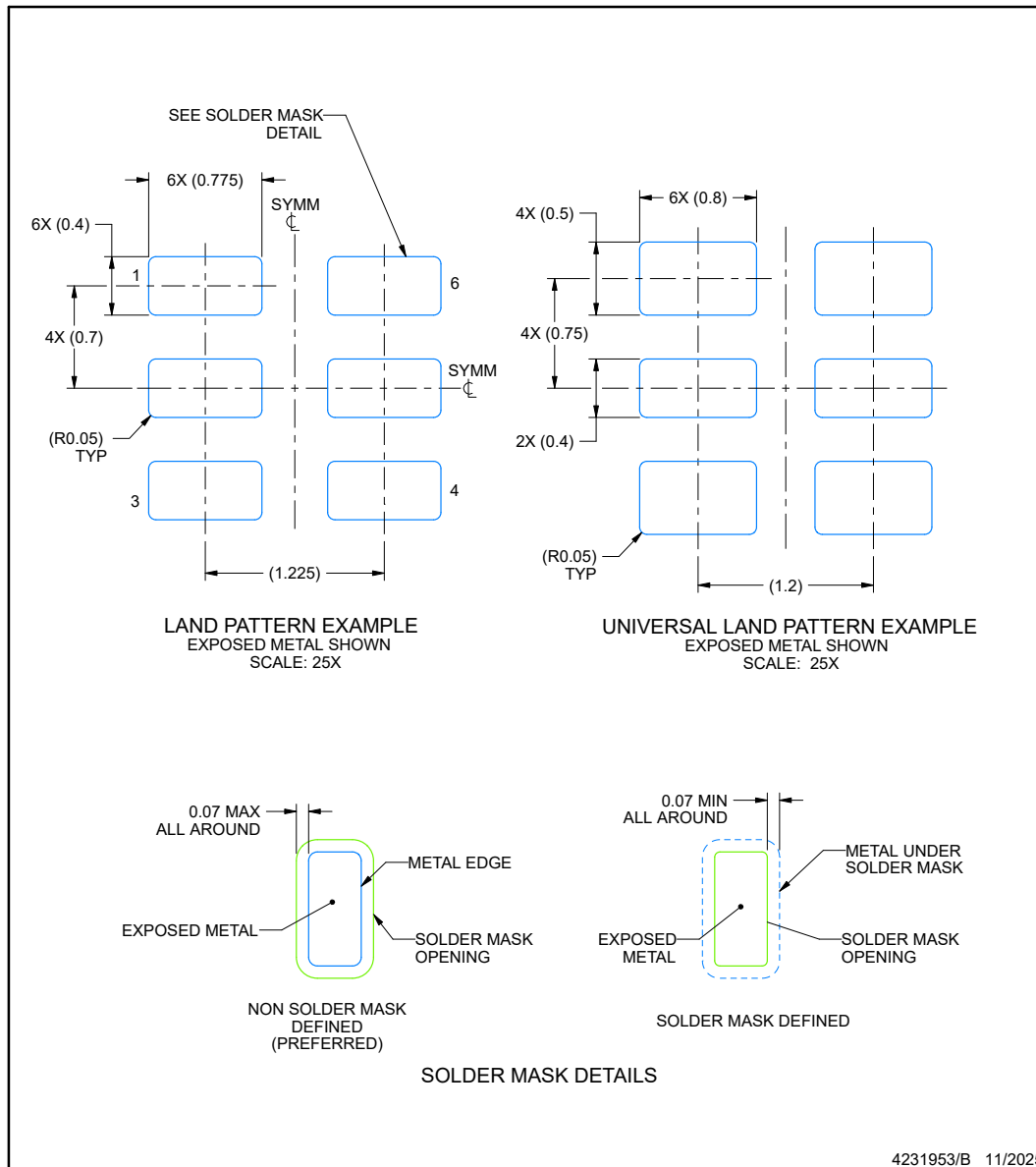
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

DLR0006B

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

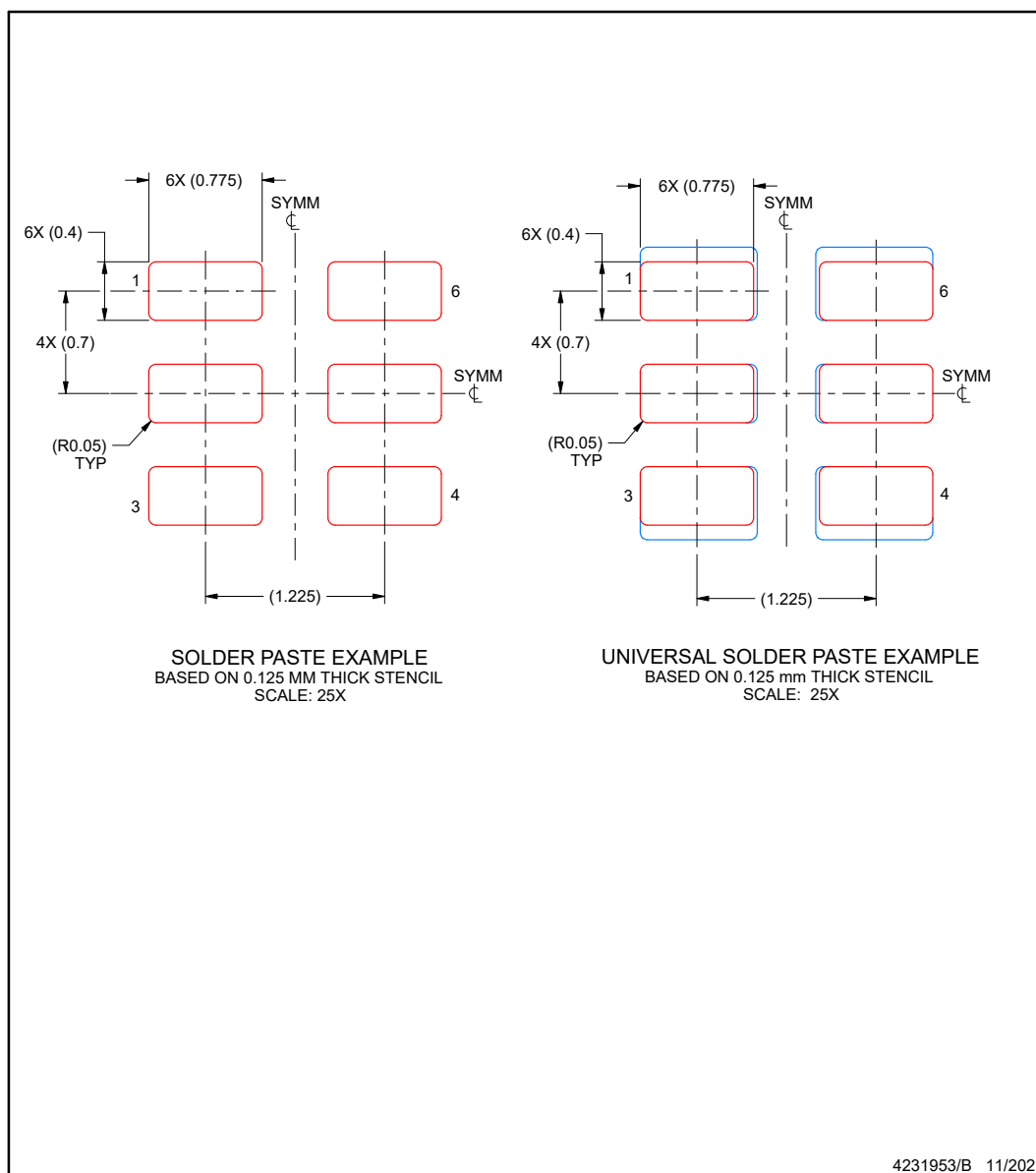
4. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DLR0006B

VSON - 1 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PMK6LHE15625DLERQ1	Active	Preproduction	null (null)	3000 LARGE T&R	-	Call TI	Call TI	-40 to 105	

- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含みいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](https://www.ti.com) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月