LMKDB12xx PCIe Gen 1 ～ Gen 7、超低ジッタ、2 入力クロック マルチプレクサ

1 特長

- LP-HCSL クロック マルチプレクサ (以下に対応):
  - PCIe Gen 1～Gen 7
  - CC (共通クロック) および IR (独立リファレンス) PCIe アーキテクチャ
  - SSC あり / なしの入力クロック
- DB2000QL 準拠:
  - すべてのデバイスが DB2000QL 仕様に適合
- 非常に小さい追加ジッタ:
  - 156.25MHz 時の 12kHz～20MHz に対する RMS 追加ジッタ:31fs 以下
  - PCIe Gen 4 の追加ジッタ:13fs 以下
  - PCIe Gen 5 の追加ジッタ:5fs 以下
  - PCIe Gen 6 の追加ジッタ:3fs 以下
  - PCIe Gen 7 の追加ジッタ:2.1fs 以下
- フェイルセーフ入力
- 柔軟な電源投入シーケンス
- 自動出力ディスエーブル
- 個別出力イネーブル
- SBI (サイドバンド インターフェイス) による高速出力のイネーブル / ディセーブル
- LOS (信号損失) 入力検出
- 出力インピーダンス:85Ω または 100Ω
- 電源:1.8V/3.3V±10%
- 周囲温度範囲:-40℃～105℃

2 アプリケーション

- 高性能コンピューティング
- サーバー マザーボード
- NIC/SmartNIC
- ハードウェア アクセラレータ

3 説明

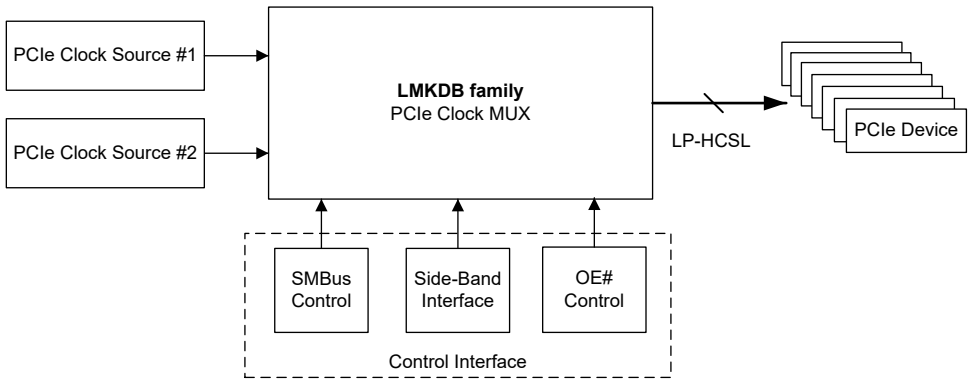
LMKDB デバイスは、PCIe Gen 1 から Gen 7 に対応し、DB2000QL に準拠した、きわ極めて低ジッタの LP-HCSL クロック マルチプレクサです。これらのデバイスは、柔軟な電源投入シーケンス、フェイルセーフ入力、個別の出力イネーブルおよびディセーブル ピン、入力信号損失 (LOS) 検出、自動出力ディセーブル機能、および優れた電源ノイズ除去性能を備えています。

1.8V と 3.3V の両方の電源電圧に対応しています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
LMKDB1208	RSL (VQFN、48)	6mm × 6mm
LMKDB1204	REX (VQFN、28)	4mm × 4mm
LMKDB1202	REY (VQFN、20)	3mm × 3mm

(1) 供給されているすべてのパッケージについては、セクション 13 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 ... 1
2 アプリケーション ... 1
3 説明 ... 1
4 デバイスの比較 ... 3
5 ピン構成および機能 ... 4
6 仕様 ... 12
6.1 絶対最大定格 ... 12
6.2 ESD 定格 ... 12
6.3 推奨動作条件 ... 12
6.4 熱情報 ... 12
6.5 電気的特性 ... 13
6.6 SMBus のタイミング要件 ... 19
6.7 SBI のタイミング要件 ... 19
6.8 タイミング図 ... 20
6.9 代表的特性 ... 20
7 パラメータ測定情報 ... 21
8 詳細説明 ... 22
8.1 概要 ... 22
8.2 機能ブロック図 ... 22
8.3 機能説明 ... 23
8.4 デバイスの機能モード ... 28
9 レジスタ マップ ... 32
9.1 LMKDB1204 のレジスタ ... 32
9.2 LMKDB1208 のレジスタ ... 42
10 アプリケーションと実装 ... 51
10.1 アプリケーション情報 ... 51
10.2 代表的なアプリケーション ... 51
10.3 電源に関する推奨事項 ... 53
10.4 レイアウト ... 54
11 デバイスおよびドキュメントのサポート ... 55
11.1 ドキュメントのサポート ... 55
11.2 ドキュメントの更新通知を受け取る方法 ... 55
11.3 サポート・リソース ... 55
11.4 商標 ... 55
11.5 静電気放電に関する注意事項 ... 55
11.6 用語集 ... 55
12 改訂履歴 ... 55
13 メカニカル、パッケージ、および注文情報 ... 56

Copyright © 2026 Texas Instruments Incorporated

4 デバイスの比較

表 4-1. デバイスの比較

部品番号	タイプ	入力	出力	出力インピーダンス	特長
LMKDB1120Z85	バッファ	1	20	85 Ω	すべての入力フェイルセーフ
LMKDB1120FS85	バッファ	1	20	85 Ω	すべての入出力はフェイルセーフ
LMKDB1120Z100	バッファ	1	20	100 Ω	すべての入力フェイルセーフ
LMKDB1116Z85 (1)	バッファ	1	16	85 Ω	すべての入力フェイルセーフ
LMKDB1116Z100 (1)	バッファ	1	16	100 Ω	すべての入力フェイルセーフ
LMKDB1113Z85 (1)	バッファ	1	13	85 Ω	すべての入力フェイルセーフ
LMKDB1113Z100 (1)	バッファ	1	13	100 Ω	すべての入力フェイルセーフ
LMKDB1112Z85 (1)	バッファ	1	12	85 Ω	すべての入力フェイルセーフ
LMKDB1112Z100 (1)	バッファ	1	12	100 Ω	すべての入力フェイルセーフ
LMKDB1108Z85	バッファ	1	8	85 Ω	すべての入力フェイルセーフ
LMKDB1108FS85	バッファ	1	8	85 Ω	すべての入出力はフェイルセーフ
LMKDB1108Z100	バッファ	1	8	100 Ω	すべての入力フェイルセーフ
LMKDB1104Z85	バッファ	1	4	85 Ω	すべての入力フェイルセーフ
LMKDB1104FS85	バッファ	1	4	85 Ω	すべての入出力はフェイルセーフ
LMKDB1104Z100	バッファ	1	4	100 Ω	すべての入力フェイルセーフ
LMKDB1102	バッファ	1	2	85Ω または 100Ω を選択可能	すべての入力フェイルセーフ
LMKDB1216 (1)	マルチプレクサ	2	16	85Ω または 100Ω を選択可能	すべての入力フェイルセーフ
LMKDB1208	マルチプレクサ	2	8	85Ω または 100Ω を選択可能	すべての入力フェイルセーフ
LMKDB1204	マルチプレクサ	2	4	85Ω または 100Ω を選択可能	すべての入力フェイルセーフ
LMKDB1202	マルチプレクサ	2	2	85Ω または 100Ω を選択可能	すべての入力フェイルセーフ

(1) プレビュー版のみ。詳細についてはテキサス・インスツルメンツまでお問い合わせください。

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

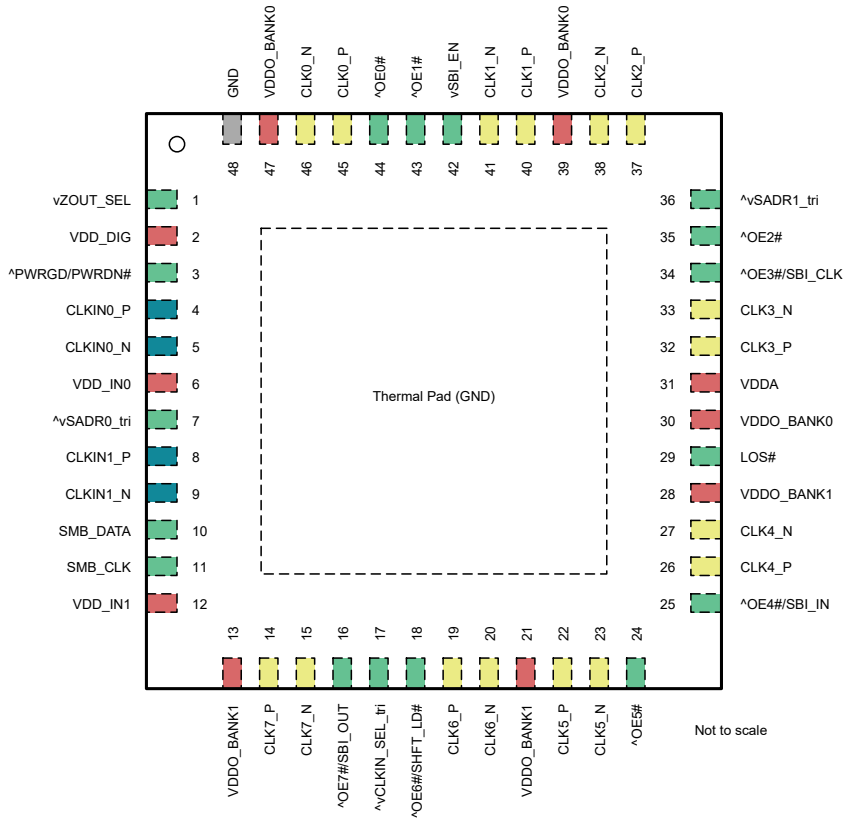


図 5-1. LMKDB1208 6mm × 6mm VQFN パッケージ 48 ピン 上面図

凡例		
クロック入力	クロック出力	電源
GND	ロジック制御/ステータス	内部接続なし

表 5-1. LMKDB1208 のピン機能

ピン		タイプ[1]	説明
名称[2] [3]	番号		
クロック入力			
CLKIN0_P	4	I	差動クロック入力 0。
CLKIN0_N	5	I	
CLKIN1_P	8	I	差動クロック入力 1。
CLKIN1_N	9	I	
クロック出力			
CLK0_P	45	O	LP-HCSL 差動クロック出力 0。未使用の場合は接続しないでください。
CLK0_N	46	O	
CLK1_P	40	O	LP-HCSL 差動クロック出力 1。未使用の場合は接続しないでください。
CLK1_N	41	O	
CLK2_P	37	O	LP-HCSL 差動クロック出力 2。未使用の場合は接続しないでください。
CLK2_N	38	O	

Copyright © 2026 Texas Instruments Incorporated

表 5-1. LMKDB1208 のピン機能 (続き)

ピン		タイプ(1)	説明
名称(2) (3)	番号		
CLK3_P	32	O	LP-HCSL 差動クロック出力 3。未使用の場合は接続しないでください。
CLK3_N	33	O	
CLK4_P	26	O	LP-HCSL 差動クロック出力 4。未使用の場合は接続しないでください。
CLK4_N	27	O	
CLK5_P	22	O	LP-HCSL 差動クロック出力 5。未使用の場合は接続しないでください。
CLK5_N	23	O	
CLK6_P	19	O	LP-HCSL 差動クロック出力 6。未使用の場合は接続しないでください。
CLK6_N	20	O	
CLK7_P	14	O	LP-HCSL 差動クロック出力 7。未使用の場合は接続しないでください。
CLK7_N	15	O	
電源			
VDDA	31	P	アナログ電源。追加の電源フィルタリングを推奨。詳細については、セクション 10.3 を参照してください。
VDD_IN0	6	P	CLKIN0 の電源
VDD_IN1	12	P	CLKIN1 の電源
VDD_DIG	2	P	デジタルの電源
VDDO_BANK1	13、21、28	P	出力バンク 1 (OUT4～OUT7) 用電源。
VDDO_BANK0	30、39、47	P	出力バンク 0 (OUT0～OUT3) 用電源。
GND	48	G	デバイスのグランド。
サーマル パッド (GND)	パッド	G	デバイス グランド、サーマル パッド。
ロジック制御/ステータス			
^OE0#	44	I	CLK0 を制御するアクティブ Low 入力。内部プルアップ抵抗。 0 = 出力有効、1 = 出力無効
^OE1#	43	I	CLK1 を制御するアクティブ Low 入力。内部プルアップ抵抗。 0 = 出力有効、1 = 出力無効
^OE2#	35	I	CLK2 を制御するアクティブ Low 入力。内部プルアップ抵抗。 0 = 出力有効、1 = 出力無効
^/vOE3#/SBI_CLK	34	I	CLK3 を制御するアクティブ Low 入力。SBI_EN ピンがこのピンの機能を制御する。 内部プルアップ付き OE モード:0 = 有効出力、1 = 無効出力。 内部プルダウン付きサイドバンド モード:SBI クロック入力。
^/vOE4#/SBI_IN	25	I	CLK4 を制御するアクティブ Low 入力。SBI_EN ピンがこのピンの機能を制御する。 内部プルアップ付き OE モード:0 = 有効出力、1 = 無効出力。 内部プルダウン付きサイドバンド モード:SBI データ入力。
^OE5#	24	I	CLK5 を制御するアクティブ Low 入力。内部プルアップ抵抗。 0 = 出力有効、1 = 出力無効
^/vOE6#/ SHFT_LD#	18	I	CLK6 を制御するアクティブ Low 入力。SBI_EN ピンがこのピンの機能を制御する。内部プルアップ付き OE モード: 0 = 有効出力、1 = 無効出力。 内部プルダウン付きサイドバンド モード:SBI ラッチ レジスタ入力。
^OE7#/SBI_OUT	16	I または O	CLK7 を制御するアクティブ Low 入力。内部プルアップ抵抗。SBI_EN ピンがこのピンの機能を制御する。 OE モード:0 = 有効出力、1 = 無効出力。 SBI モード:SBI シフト レジスタ データ出力。

Copyright © 2026 Texas Instruments Incorporated

表 5-1. LMKDB1208 のピン機能 (続き)

ピン		タイプ(1)	説明
名称(2) (3)	番号		
^vCLKIN_SEL_tri	17	I	3 レベル クロック入力の選択。内部プルアップおよびプルダウン抵抗を内蔵。 Low = CLKIN0 が全出力へ出力 Mid = CLKIN0 がバンク 0 へ、CLKIN1 がバンク 1 へ出力 High = CLKIN1 が全出力へ出力
^PWRGD/PWRDN#	3	I	パワー グッド/パワー ダウン アクティブ Low。多機能入力ピン。内部プルアップ抵抗。 最初の Low から High への遷移時に、デバイスを起動する パワー グッド ピンとして機能する その後の Low/High 遷移時には、デバイスをパワーダウン モードに入るまたは解除するための パワー ダウン アクティブ Low ピンとして機能します。 Low = パワーダウンモード High = 通常動作モード
vSBI_EN	42	I	SBI イネーブル。内部プルダウン抵抗。パワーアップ後はこのピンの状態を変更しないでください。 パワーアップ時に Low の場合 = SBI インターフェイスは無効です。ピン 16、18、25、および 34 は OE ピンとして機能します。 パワーアップ時に High の場合 = SBI インターフェイスは有効です。ピン 16、18、25、および 34 は SBI インターフェイス ピンとして機能します。SMBus およびその他の OE ピンは引き続き動作します。
^vSADR1_tri	36	I	SMBus アドレス 3 レベル入力ピン。内部プルアップおよびプルダウン抵抗を内蔵しています。
^vSADR0_tri	7	I	SMBus アドレス 3 レベル入力ピン。内部プルアップおよびプルダウン抵抗を内蔵しています。
vZOUT_SEL	1	I	LP-HCSL 差動クロック出力のインピーダンス選択。内部プルダウン抵抗。 Low = 85Ω。 High = 100Ω。
LOS#	29	O	入力クロック信号喪失アクティブ Low/未接続。オープン ドレイン。外部プルアップ抵抗が必要です。 Low = 無効な入力クロック。 High = 有効な入力クロック。
SMB_DATA	10	I/O	SMBus データ。外部プルアップ抵抗が必要です。未使用の場合は接続しないでください。
SMB_CLK	11	I	SMBus クロック。外部プルアップ抵抗が必要です。未使用の場合は接続しないでください。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源、NC = 未接続
(2) 「^」プレフィックスが付いたピンは内部プルアップ抵抗を内蔵しています。「v」プレフィックスが付いたピンは内部プルダウン抵抗を内蔵しています。「^v」プレフィックスが付いたピンは内部プルアップ抵抗と内部プルダウン抵抗の両方を内蔵しており、ピンが未接続の場合は中間レベルが選択されます。「^/v」プレフィックスが付いたピンは、選択された機能に応じて内部プルアップまたはプルダウン抵抗を内蔵しています。
(3) 「#」記号はアクティブ Low を示します。

Copyright © 2026 Texas Instruments Incorporated

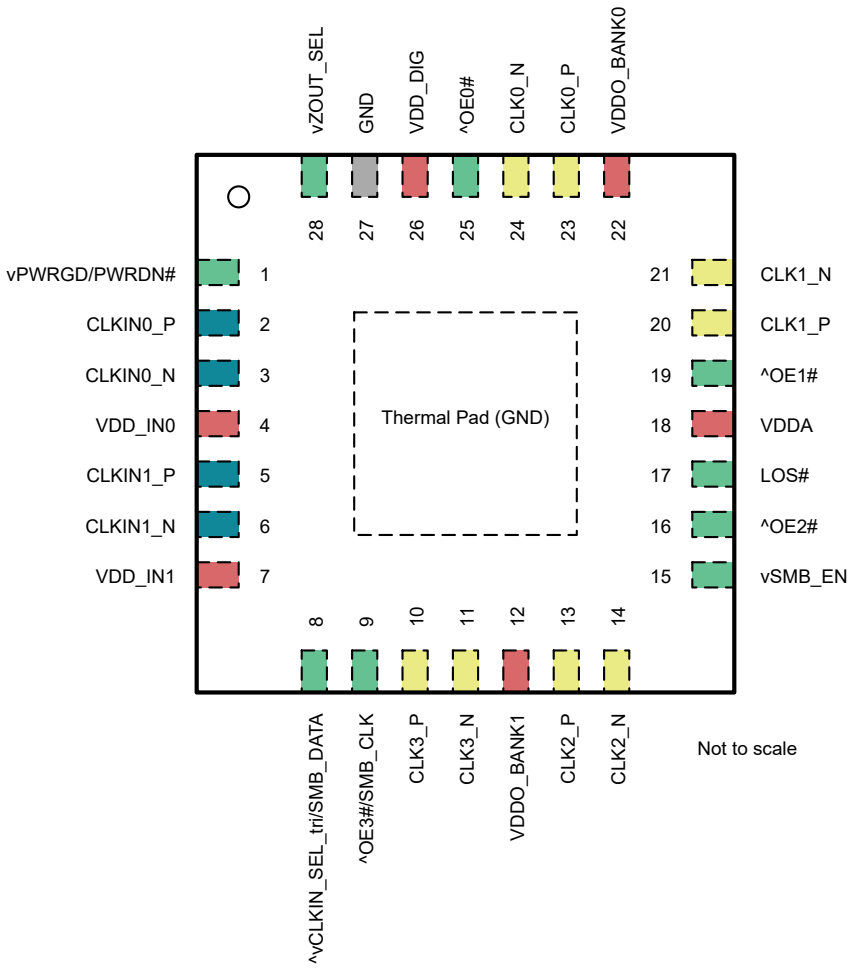


図 5-2. LMKDB1204 4mm × 4mm VQFN パッケージ 28 ピン 上面図

凡例		
クロック入力	クロック出力	電源
GND	ロジック制御/ステータス	内部接続なし

表 5-2. LMKDB1204 のピン機能

ピン		タイプ(1)	説明
名称(2) (3)	番号		
クロック入力			
CLKIN0_P	2	I	差動クロック入力 0。
CLKIN0_N	3	I	

表 5-2. LMKDB1204 のピン機能 (続き)

ピン		タイプ(1)	説明
名称(2) (3)	番号		
CLKIN1_P	5	I	差動クロック入力 1。
CLKIN1_N	6	I	
クロック出力			
CLK0_P	23	O	LP-HCSL 差動クロック出力 0。未使用の場合は接続しないでください。
CLK0_N	24	O	
CLK1_P	20	O	LP-HCSL 差動クロック出力 1。未使用の場合は接続しないでください。
CLK1_N	21	O	
CLK2_P	13	O	LP-HCSL 差動クロック出力 2。未使用の場合は接続しないでください。
CLK2_N	14	O	
CLK3_P	10	O	LP-HCSL 差動クロック出力 0。未使用の場合は接続しないでください。
CLK3_N	11	O	
電源			
VDDA	18	P	アナログ電源。追加の電源フィルタリングを推奨。詳細については、セクション 10.3 を参照してください。
VDD_IN0	4	P	CLKIN0 の電源
VDD_IN1	7	P	CLKIN1 の電源
VDD_DIG	26	P	デジタルの電源
VDDO_BANK1	12	P	出力バンク 1 (OUT4～OUT7) 用電源。
VDDO_BANK0	22	P	出力バンク 0 (OUT0～OUT3) 用電源。
GND	27	G	デバイスのグランド。
サーマル パッド (GND)	パッド	G	デバイス グランド、サーマル パッド。
ロジック制御/ステータス			
^OE0#	25	I	CLK0 を制御するアクティブ Low 入力。内部プルアップ抵抗。 0 = 出力有効、1 = 出力無効
^OE1#	19	I	CLK1 を制御するアクティブ Low 入力。内部プルアップ抵抗。 0 = 出力有効、1 = 出力無効
^OE2#	16	I	CLK2 を制御するアクティブ Low 入力。内部プルアップ抵抗。 0 = 出力有効、1 = 出力無効
^OE3#/SMB_CLK	9	I	CLK3 用出力イネーブル アクティブ Low/SMBus クロック。内部プルアップ抵抗。機能は、電源投入時のピン 15 (SMB_EN) の状態によって決定されます。SMBus クロック ピンとして使用する場合、外部プルアップ抵抗が必要です。未使用の場合は接続しないでください。
^vCLKIN_SEL_tri/ SMB_DATA	8	I	3 レベル クロック入力の選択/SMBus データ。内部プルアップおよびプルダウン抵抗を内蔵。機能は、電源投入時のピン 15 (SMB_EN) の状態によって決定されます。 CLKIN_SEL_tri ピンとして使用する場合: Low = CLKIN0 が全出力へ出力 Mid = CLKIN0 がバンク 0 へ、CLKIN1 がバンク 1 へ出力 High = CLKIN1 が全出力へ出力 SMBus データ ピンとして使用する場合、外部プルアップ抵抗が必要です。
vPWRGD/PWRDN#	1	I	パワー グッド/パワー ダウン アクティブ Low。多機能入力ピン。内部プルダウン抵抗。 最初の Low から High への遷移時に、デバイスを起動する パワー グッド ピンとして機能する その後の Low/High 遷移時には、デバイスをパワーダウン モードに入るまたは解除するための パワー ダウン アクティブ Low ピンとして機能します。 Low = パワーダウンモード High = 通常動作モード

Copyright © 2026 Texas Instruments Incorporated

表 5-2. LMKDB1204 のピン機能 (続き)

ピン		タイプ(1)	説明
名称(2) (3)	番号		
vSMB_EN	15	I	SMBus イネーブル。内部プルダウン抵抗。パワーアップ後はこのピンの状態を変更しないでください。 電源投入時 Low = SMBus 無効。ピン 8 は CLKIN_SEL_tri、ピン 9 は OE3#。 電源投入時 High = SMBus イネーブル。ピン 8 は SMB_DATA、ピン 9 は SMB_CLK。
vZOUT_SEL	28	I	LP-HCSL 差動クロック出力のインピーダンス選択。内部プルダウン抵抗。 Low = 85Ω。 High = 100Ω。
LOS#	17	O	入力クロック信号喪失アクティブ Low/未接続。オープンドレイン。外部プルアップ抵抗が必要です。 Low = 無効な入力クロック。 High = 有効な入力クロック。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源、NC = 未接続
(2) 「^」プレフィックスが付いたピンは内部プルアップ抵抗を内蔵しています。「v」プレフィックスが付いたピンは内部プルダウン抵抗を内蔵しています。「^v」プレフィックスが付いたピンは内部プルアップ抵抗と内部プルダウン抵抗の両方を内蔵しており、ピンが未接続の場合は中間レベルが選択されます。「^/v」プレフィックスが付いたピンは、選択された機能に応じて内部プルアップまたはプルダウン抵抗を内蔵しています。
(3) 「#」記号はアクティブ Low を示します。

Copyright © 2026 Texas Instruments Incorporated

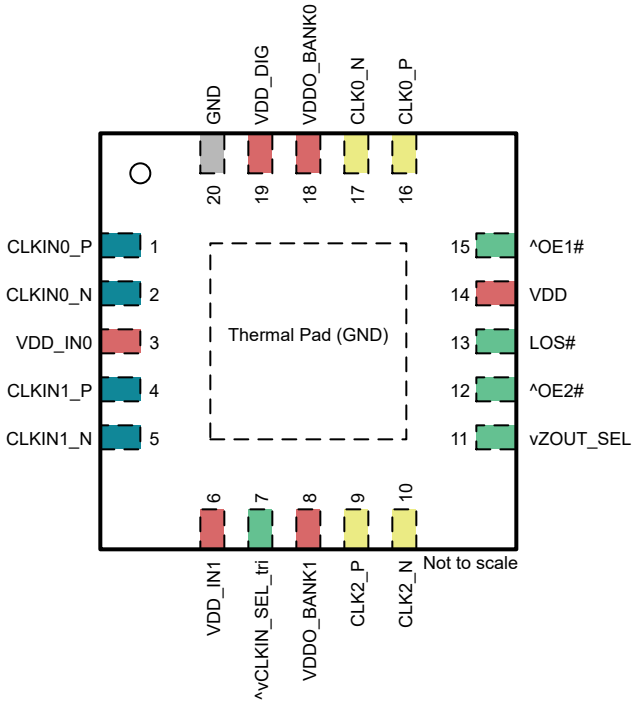


図 5-3. LMKDB1202 3mm × 3mm VQFN パッケージ 20 ピン 上面図

凡例		
クロック入力	クロック出力	電源
GND	ロジック制御/ステータス	内部接続なし

表 5-3. LMKDB1202 のピン機能

ピン		タイプ[1]	説明
名称[2] [3]	番号		
クロック入力			
CLKIN0_P	1	I	差動クロック入力 0。
CLKIN0_N	2	I	
CLKIN1_P	4	I	差動クロック入力 1。
CLKIN1_N	5	I	
クロック出力			
CLK1_P	16	O	LP-HCSL 差動クロック出力 1。未使用の場合は接続しないでください。
CLK1_N	17	O	
CLK2_P	9	O	LP-HCSL 差動クロック出力 2。未使用の場合は接続しないでください。
CLK2_N	10	O	
電源			
VDD	14	P	アナログ電源。追加の電源フィルタリングを推奨。詳細については、セクション 10.3 を参照してください。
VDD_IN0	3	P	CLKIN0 の電源
VDD_IN1	6	P	CLKIN1 の電源
VDD_DIG	19	P	デジタルの電源
VDDO_BANK1	8	P	出力バンク 1 用電源。
VDDO_BANK0	18	P	出力バンク 0 用電源。
GND	20	G	デバイスのグランド。

Copyright © 2026 Texas Instruments Incorporated

表 5-3. LMKDB1202 のピン機能 (続き)

ピン		タイプ(1)	説明
名称(2) (3)	番号		
サーマル パッド (GND)	パッド	G	デバイス グランド、サーマル パッド。
ロジック制御/ステータス			
^OE1#	15	I	CLK1 を制御するアクティブ Low 入力。内部プルアップ抵抗。 0 = 出力有効、1 = 出力無効
^OE2#	12	I	CLK2 を制御するアクティブ Low 入力。内部プルアップ抵抗。 0 = 出力有効、1 = 出力無効
^vCLKIN_SEL_tri	7	I	3 レベル クロック入力の選択。内部プルアップおよびプルダウン抵抗を内蔵。 Low = CLKIN0 が全出力へ出力 Mid = CLKIN0 がバンク 0 へ、CLKIN1 がバンク 1 へ出力 High = CLKIN1 が全出力へ出力
vZOUT_SEL	11	I	LP-HCSL 差動クロック出力のインピーダンス選択。内部プルダウン抵抗。 Low = 85Ω。 High = 100Ω。
LOS#	13	O	入力クロック信号喪失アクティブ Low/未接続。オープン ドレイン。外部プルアップ抵抗が必要です。 Low = 無効な入力クロック。 High = 有効な入力クロック。

(1) I = 入力、O = 出力、I/O = 入力または出力、G = グランド、P = 電源、NC = 未接続
(2) 「^」プレフィックスが付いたピンは内部プルアップ抵抗を内蔵しています。「v」プレフィックスが付いたピンは内部プルダウン抵抗を内蔵しています。「^v」プレフィックスが付いたピンは内部プルアップ抵抗と内部プルダウン抵抗の両方を内蔵しており、ピンが未接続の場合は中間レベルが選択されます。「^/v」プレフィックスが付いたピンは、選択された機能に応じて内部プルアップまたはプルダウン抵抗を内蔵しています。
(3) 「#」記号はアクティブ Low を示します。

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り)(1)

		最小値	最大値	単位
V_{DDx}	任意の VDD ピンの供給電圧	-0.3	3.63	V
V_{IN}	CLKIN およびデジタル入力ピンの入力電圧	-0.3	3.63	V
I_{OUT}	出力電流 - 連続 (CLKOUT)		30	mA
	出力電流 - 連続 (SMB_DATA、SBI_OUT)		25	mA
	出力電流 - サージ (CLKOUT)		60	mA
	出力電流 - サージ (SMB_DATA、SBI_OUT)		50	mA
T_S	保存温度	-65	150	℃

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 に準拠 (1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±500	

(1) JEDEC のドキュメント JEP155 に、500V HBM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。
(2) JEDEC のドキュメント JEP157 に、250V CDM では標準の ESD 管理プロセスで安全な製造が可能であると規定されています。

6.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
T_J	接合部温度			125	℃
T_A	周囲温度	-40		105	℃
V_{DD}	電源電圧	2.97	3.3	3.6	V
		1.71	1.8	1.89	V
V_{IN}	CLKIN およびデジタル入力ピンの入力電圧	-0.3		3.6	V
t_{ramp}	電源立ち上げ時間	0.05		5	ms

6.4 熱情報

パッケージ	ピン	熱評価基準(1)						単位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
RSL0048 (VQFN)	48	32.2	22.3	14.3	0.5	14.2	6.1	℃/W
REX0028 (VQFN)	28	44.2	36.8	20.6	0.9	20.6	5.9	℃/W
REY0020 (VQFN)	20	46.4	50.4	20.3	1.1	20.3	6.5	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
クロック入力の要件						
$V_{IN, cross}$	クロック入力クロッシング ポイントの電圧		100		1400	mV
DC_{IN}	クロック入力デューティ サイクル		45		55	%
V_{IN}	差動クロック入力振幅 (差動ピーク・ピーク電圧の半分)	$f_0 \leq 300MHz$	200		2000	mV
		$300MHz < f_0 \leq 400MHz$	250		2000	mV
dV_{IN}/dt	クロックの入力スルーレート	差動波形の -150mV から +150mV までを基準に測定	0.6			V/ns
クロック出力の特性 - 100MHz 85Ω PCIe						
$V_{OH,AC}$	出力電圧 High	出力スイングを 750mV に設定。DB2000QL AC テスト負荷(6)	670		820	mV
$V_{OL,AC}$	出力電圧 Low		-100		100	mV
$V_{max,AC}$	出力最大電圧 (オーバーシュートを含む)		670		920	mV
$V_{min,AC}$	出力最小電圧 (アンダーシュートを含む)		-100		100	mV
$V_{OH,DC}$	DC テスト負荷時の出力高電圧	DB2000QL DC テスト負荷(2)	225		270	mV
$V_{OL,DC}$	DC テスト負荷時の出力低電圧		10		150	mV
$V_{ovs,DC}$	DC テスト負荷時の出力オーバーシュート電圧				75	mV
$V_{uds,DC}$	DC テスト負荷時の出力アンダーシュート電圧		-75			mV
Z_{diff}	差動出力インピーダンス	V_{OL}/V_{OH} にて測定、V_{DD} = 3.3V	80.75	85	89.25	Ω
		V_{OL}/V_{OH} にて測定、V_{DD} = 1.8V	81	85	90	Ω
$Z_{diff-crossing}$	差動出力インピーダンス - クロッシング	遷移中に測定	68	85	102	Ω
dV/dt	出力スルーレート	差動波形の -150mV から +150mV までを基準に測定します。最小スルーレート(6) (7)	1.5		2.2	V/ns
		差動波形の -150mV から +150mV までを基準に測定します。低速スルーレート(6) (7)	1.8		2.6	V/ns
		差動波形の -150mV から +150mV までを基準に測定します。高スルーレート (デフォルト)(6) (7)	2		2.9	V/ns
		差動波形の -150mV から +150mV までを基準に測定します。最大スルーレート(6) (7)	2.4		4	V/ns
ΔdV/dt	立ち上がりエッジレートと立ち下がりエッジレートの一致	DB2000QL AC テスト負荷(6)			10	%
DCD	デューティ サイクルの歪み	差動波形上で測定します。入力デューティ サイクル = 50%(6)	-1		1	%
$V_{cross,AC}$	絶対交差点電圧	DB2000QL AC テスト負荷(6)	250		550	mV
$V_{cross,DC}$	絶対交差点電圧	DB2000QL DC テスト負荷(2)	130		200	mV
$\Delta V_{cross,AC}$	クロック エッジ全体における V_{cross} の変動	DB2000QL AC テスト負荷(6)			140	mV
$\Delta V_{cross-DC}$	クロック エッジ全体における V_{cross} の変動	DB2000QL DC テスト負荷(2)			35	mV
$\|V_{RB}\|$	PCIe で定義されるリンギング バック電圧の絶対値	DB2000QL AC テスト負荷(6)	100			mV
t_{stable}	V_{RB} が許容されるまでの時間	DB2000QL AC テスト負荷(6)	500			ps
クロック出力の特性 - 100MHz 100Ω PCIe						
V_{max}	オーバーシュートを含む出力電圧 High	PCIe AC テスト負荷(1)	670		920	mV

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{min}	アンダーシュートを含む出力低電圧	PCIe AC テスト負荷(1)	-100		100	mV
V_{OH}	出力電圧 High	PCIe AC テスト負荷(1)	670		820	mV
V_{OL}	出力電圧 Low	PCIe AC テスト負荷(1)	-100		100	mV
Z_{diff}	差動出力 DC インピーダンス	V_{DD} = 3.3V	95	100	105	Ω
		V_{DD} = 1.8V	95	100	105	Ω
dV/dt	出力スルーレート	差動波形の -150mV から +150mV までを基準に測定します。最小スルーレート(1) (7)	1.5		2.2	V/ns
		差動波形の -150mV から +150mV までを基準に測定します。低速スルーレート(1) (7)	1.8		2.6	V/ns
		差動波形の -150mV から +150mV までを基準に測定します。高速スルーレート(1) (7)	2		2.9	V/ns
		差動波形の -150mV から +150mV までを基準に測定します。最大スルーレート(1) (7)	2.4		4	V/ns
ΔdV/dt	立ち上がりエッジレートと立ち下がりエッジレートの一致	PCIe AC テスト負荷(1)			10	%
DCD	デューティ サイクルの歪み	差動波形上で測定します。入力デューティ サイクル = 50%(1)	-1		1	%
V_{cross}	絶対交差点電圧	PCIe AC テスト負荷(1)	250		550	mV
ΔV_{cross}	クロック エッジ全体における V_{cross} の変動	PCIe AC テスト負荷(1)			140	mV
$\|V_{RB}\|$	PCIe で定義されるリンギング バック電圧の絶対値	PCIe AC テスト負荷(1)	100			mV
t_{stable}	V_{RB} が許容されるまでの時間	PCIe AC テスト負荷(1)	500			ps
クロック出力の特性 - 非 PCIe						
V_{OH}	出力電圧 High	出力スイングを 800mV に設定。f_0 = 156.25MHz または 312.5MHz	720		880	mV
V_{OL}	出力電圧 Low		-120		120	mV
V_{OH}	出力電圧 High	出力スイングを 900mV に設定。f_0 = 156.25MHz または 312.5MHz	780		980	mV
V_{OL}	出力電圧 Low		-120		120	mV
t_R、t_F	シングルエンド波形の立上り/立下り時間 (20%～80%)	出力スイングを 800mV に設定。最速スルーレート。f_0 = 156.25MHz または 312.5MHz			340	ps
		出力スイングを 900mV に設定。最速スルーレート。f_0 = 156.25MHz または 312.5MHz			370	ps
DCD	デューティ サイクルの歪み	入力デューティ サイクル = 50%	-1		1	%
周波数およびタイミング特性						
f_0	動作周波数	自動出力無効化機能が無効	1		400	MHz
		自動出力無効化機能が有効	25		400	MHz
$t_{startup}$	起動時間	コールド スタート。VDD が有効 (最終 VDD の 90%) になってから出力クロックが安定するまでの測定値(3)。VDD が有効になる前に入力クロックが供給される。PWRGD_PWRDN# ピンを VDD に接続、$f_0 \geq$ 100MHz			0.4	ms
		コールド スタート。VDD が有効 (最終 VDD の 90%) になってから出力クロックが安定するまでの測定値(3)。VDD が有効になる前に入力クロックが供給される。PWRGD_PWRDN# ピンを VDD に接続、f_0 < 100MHz			0.8	ms

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{stable}	クロック安定時間	VDD が安定しています。PWRGD アサートから[4] 出力クロックが安定するまでの測定値、$f_0 \geq 100MHz$[3]			0.4	ms
		VDD が安定しています。PWRGD アサートから[4] 出力クロックが安定するまでの測定値、$f_0 < 100MHz$[3]			0.8	ms
$t_{PD\#}$	パワーダウン デアサート時間	PWRDN# デアサートから[4] 出力クロックが安定するまでの測定値、$f_0 \geq 100MHz$[3]			0.15	ms
		PWRDN# デアサートから[4] 出力クロックが安定するまでの測定値、$f_0 < 100MHz$[3]			0.5	ms
t_{OE}	出力イネーブル/ディスエーブル時間	OE アサート/デアサート[4] から出力クロックの開始/停止までの経過時間	4		10	clk
$t_{LOS-assert}$	LOS# アサート時間	入力クロックの喪失から LOS# アサートまでの経過時間、$f_0 < 100MHz$			120	ns
		入力クロックの喪失から LOS# アサートまでの経過時間、$f_0 \geq 100MHz$			120	ns
$t_{LOS-deassert}$	LOS# デアサート時間	入力クロックの検出から LOS# デアサートまでの経過時間、$f_0 < 100MHz$			340	ns
		入力クロック検出から LOS# デアサートまでの経過時間、$f_0 \geq 100MHz$			105	ns
t_{AOD}	自動の出力ディスエーブル時間	LOS# アサートから出力無効化 (両出力が Low/Low) までの経過時間、$f_0 < 100MHz$			0.07	ns
		LOS# アサートから出力無効化 (両出力が Low/Low) までの経過時間、$f_0 \geq 100MHz$			0.07	ns
t_{AOE}	自動の出力イネーブル時間	LOS# デアサートから出力クロックが安定するまでの経過時間。$f_0 < 100MHz$[3]			115	ns
		LOS# デアサートから出力クロックが安定するまでの経過時間、$f_0 \geq 100MHz$[3]			22	ns
t_{switch}	時間の切り替え	2 つの 100MHz 入力クロック間の切り替え (マルチプレクサのみ)			70	ns
スキューおよびディレイ特性						
t_{skew}	出力間スキュー	同一バンク			50	ps
		バンクに関係なく			50	ps
	部品間スキュー				330	ps
t_{PD}	入出力間遅延				1	ns
Δt_{PD}	入出力間遅延の変動	単一デバイスにおける温度および電圧条件			1.7	ps/℃
ジッタ特性						

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$J_{PCIe1-CC}$	PCIe Gen 1 の CC ジッタ	シングル クロック入力。入力スルーレート ≥ 3.5V/ns。差動入力スイング ≥ 1600mV			442.5	fs
$J_{PCIe2-CC}$	PCIe Gen 2 の CC ジッタ				39	fs
$J_{PCIe3-CC}$	PCIe Gen 3 の CC ジッタ				12.3	fs
$J_{PCIe4-CC}$	PCIe Gen 4 の CC ジッタ				12.3	fs
$J_{PCIe5-CC}$	PCIe Gen 5 の CC ジッタ				4.9	fs
$J_{PCIe6-CC}$	PCIe Gen 6 の CC ジッタ				3	fs
$J_{PCIe7-CC}$	PCIe Gen 7 の CC ジッタ				2.1	fs
$J_{PCIe2-IR}$	PCIe Gen 2 の IR ジッタ				33.8	fs
$J_{PCIe3-IR}$	PCIe Gen 3 の IR ジッタ				14.1	fs
$J_{PCIe4-IR}$	PCIe Gen 4 の IR ジッタ				14.5	fs
$J_{PCIe5-IR}$	PCIe Gen 5 の IR ジッタ				3.9	fs
$J_{PCIe6-IR}$	PCIe Gen 6 の IR ジッタ				3	fs
$J_{PCIe7-IR}$	PCIe Gen 7 の IR ジッタ				2.1	fs
$J_{PCIe1-CC}$	PCIe Gen 1 の CC ジッタ	シングル クロック入力。入力スルーレート ≥ 1.5V/ns。差動入力スイング ≥ 800mV			583.2	fs
$J_{PCIe2-CC}$	PCIe Gen 2 の CC ジッタ				51.3	fs
$J_{PCIe3-CC}$	PCIe Gen 3 の CC ジッタ				16	fs
$J_{PCIe4-CC}$	PCIe Gen 4 の CC ジッタ				16	fs
$J_{PCIe5-CC}$	PCIe Gen 5 の CC ジッタ				6.4	fs
$J_{PCIe6-CC}$	PCIe Gen 6 の CC ジッタ				3.9	fs
$J_{PCIe7-CC}$	PCIe Gen 7 の CC ジッタ				2.8	fs
$J_{PCIe2-IR}$	PCIe Gen 2 の IR ジッタ				41.9	fs
$J_{PCIe3-IR}$	PCIe Gen 3 の IR ジッタ				18.3	fs
$J_{PCIe4-IR}$	PCIe Gen 4 の IR ジッタ				18.9	fs
$J_{PCIe5-IR}$	PCIe Gen 5 の IR ジッタ				5.1	fs
$J_{PCIe6-IR}$	PCIe Gen 6 の IR ジッタ				3.8	fs
$J_{PCIe7-IR}$	PCIe Gen 7 の IR ジッタ				2.6	fs
$J_{PCIe1-CC}$	PCIe Gen 1 の CC ジッタ	両方の入力 (マルチプレクサのみ) にクロックが入力されています。CLK_SEL ピン = Low (CLKIN0 = 100MHz、CLKIN1 = 99.75MHz)、Mid (CLKIN0 = 100MHz、CLKIN1 = 99.75MHz)、または High (CLKIN0 = 99.7MHz、CLKIN1 = 100MHz)。入力スルーレート ≥ 3.5V/ns。差動入力スイング ≥ 1600mV		255.3	517.5	fs
$J_{PCIe2-CC}$	PCIe Gen 2 の CC ジッタ			30	45.3	fs
$J_{PCIe3-CC}$	PCIe Gen 3 の CC ジッタ			8.3	13.7	fs
$J_{PCIe4-CC}$	PCIe Gen 4 の CC ジッタ			8.3	13.7	fs
$J_{PCIe5-CC}$	PCIe Gen 5 の CC ジッタ			2.9	5.5	fs
$J_{PCIe6-CC}$	PCIe Gen 6 の CC ジッタ			2	3.5	fs
$J_{PCIe7-CC}$	PCIe Gen 7 の CC ジッタ			1.4	2.5	fs
$J_{PCIe2-IR}$	PCIe Gen 2 の IR ジッタ			31.9	48.5	fs
$J_{PCIe3-IR}$	PCIe Gen 3 の IR ジッタ			8.8	21.7	fs
$J_{PCIe4-IR}$	PCIe Gen 4 の IR ジッタ			8.8	21.7	fs
$J_{PCIe5-IR}$	PCIe Gen 5 の IR ジッタ			3.4	6.7	fs
$J_{PCIe6-IR}$	PCIe Gen 6 の IR ジッタ			2.8	4.7	fs
$J_{PCIe7-IR}$	PCIe Gen 7 の IR ジッタ			1.4	2.5	fs

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
$J_{PCIe1-CC}$	PCIe Gen 1 の CC ジッタ	両方の入力 (マルチプレクサのみ) にクロックが入力されています。CLK_SEL ピン = Low (CLKIN0 = 100MHz、CLKIN1 = 99.75MHz)、Mid (CLKIN0 = 100MHz、CLKIN1 = 99.75MHz)、または High (CLKIN0 = 99.7MHz、CLKIN1 = 100MHz)。クロストークを含みます。入力スルーレート ≥ 1.5V/ns。差動入力スイング ≥ 800mV		388.6	669.5	fs
$J_{PCIe2-CC}$	PCIe Gen 2 の CC ジッタ			35.4	57	fs
$J_{PCIe3-CC}$	PCIe Gen 3 の CC ジッタ			10.1	17.1	fs
$J_{PCIe4-CC}$	PCIe Gen 4 の CC ジッタ			10.1	17.1	fs
$J_{PCIe5-CC}$	PCIe Gen 5 の CC ジッタ			3.7	7.4	fs
$J_{PCIe6-CC}$	PCIe Gen 6 の CC ジッタ			2.4	4.4	fs
$J_{PCIe7-CC}$	PCIe Gen 7 の CC ジッタ			1.7	3.1	fs
$J_{PCIe2-IR}$	PCIe Gen 2 の IR ジッタ			35.4	57	fs
$J_{PCIe3-IR}$	PCIe Gen 3 の IR ジッタ			9.8	24	fs
$J_{PCIe4-IR}$	PCIe Gen 4 の IR ジッタ			9.9	24	fs
$J_{PCIe5-IR}$	PCIe Gen 5 の IR ジッタ			4.3	8.6	fs
$J_{PCIe6-IR}$	PCIe Gen 6 の IR ジッタ			3.3	6	fs
$J_{PCIe7-IR}$	PCIe Gen 7 の IR ジッタ			2.3	4.2	fs
$J_{DB2000QL}$	DB2000QL フィルタ	入力スルーレート ≥ 1.5V/ns。差動入力スイング ≥ 800mV[6]		8.7	11.5	fs
		入力スルーレート ≥ 3.5V/ns。差動入力スイング ≥ 1600mV[6]		6.5	9	fs
$J_{RMS-additive}$	加算性 12kHz ～ 20MHz RMS ジッタ	f = 100MHz、スルーレート ≥ 3.5V/ns		27.3	37.5	fs
		f = 100MHz、スルーレート ≥ 1.5V/ns		37.4	48.5	fs
	加算性 12kHz ～ 20MHz RMS ジッタ	f = 156.25MHz、スルーレート ≥ 3.5V/ns		21.9	31	fs
		f = 156.25MHz、スルーレート ≥ 1.5V/ns		29.4	38.5	fs
	加算性 12kHz ～ 70MHz RMS ジッタ	f = 156.25MHz、スルーレート ≥ 3.5V/ns		35.1	48.5	fs
		f = 156.25MHz、スルーレート ≥ 1.5V/ns		47.1	60.5	fs
	加算性 12kHz ～ 20MHz RMS ジッタ	f = 312.5MHz、スルーレート ≥ 3.5V/ns		19.3	28	fs
		f = 312.5MHz、スルーレート ≥ 1.5V/ns		27.4	39.5	fs
	加算性 12kHz ～ 70MHz RMS ジッタ	f = 312.5MHz、スルーレート ≥ 3.5V/ns		29.5	41.5	fs
		f = 312.5MHz、スルーレート ≥ 1.5V/ns		40.7	58	fs
電源電流特性						
$I_{DD,total}$	LMKDB1202 総電源電流	全出力動作時、f_0 = 100MHz			41	mA
$I_{DD,total}$	LMKDB1204 総電源電流	全出力動作時、f_0 = 100MHz			54	mA
$I_{DD,total}$	LMKDB1208 総電源電流	全出力動作時、f_0 = 100MHz			90	mA
$I_{DD,core}$	LMKDB1202 コア消費電流	ピン PWRGD/PWRDN# = High、全出力無効			25.5	mA
$I_{DD,core}$	LMKDB1204 コア消費電流	ピン PWRGD/PWRDN# = High、全出力無効			25.5	mA
$I_{DD,core}$	LMKDB1208 コア消費電流	ピン PWRGD/PWRDN# = High、全出力無効			40.5	mA
I_{DDO}	出力あたりの出力電源電流	f_0 = 100MHz			6.4	mA
		f_0 = 400MHz			9.2	mA
I_{PD}	LMKDB1204、LMKDB1208、パワー ダウン電流	ピン PWRGD/PWRDN# = Low			5.6	mA
PSNR 特性						

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
PSNR	電源ノイズ除去、V_{DD} = 3.3V[5]	10kHz ノイズ リップル			-93	dBc
		50kHz ノイズ リップル			-91	dBc
		100kHz ノイズ リップル			-91	dBc
		500kHz ノイズ リップル			-95	dBc
		1MHz ノイズ リップル			-96	dBc
		5MHz ノイズ リップル			-111	dBc
		10MHz ノイズ リップル			-99	dBc
	電源ノイズ除去、V_{DD} = 1.8V[5]	10kHz ノイズ リップル			-85	dBc
		50kHz ノイズ リップル			-89	dBc
		100kHz ノイズ リップル			-91	dBc
		500kHz ノイズ リップル			-93	dBc
		1MHz ノイズ リップル			-94	dBc
		5MHz ノイズ リップル			-109	dBc
		10MHz ノイズ リップル			-97	dBc
I/O の特性						
V_{IH}	高入力電圧	2 レベル ロジック入力、V_{DD} = 3.3V ± 10%	2		V_{DD} + 0.3	V
V_{IL}	低入力電圧		-0.3		0.8	V
V_{IH}	高入力電圧	3 レベル ロジック入力、V_{DD} = 3.3V ± 10%	2.4		V_{DD} + 0.3	V
V_{IM}	中入力電圧		1.2		1.8	V
V_{IL}	低入力電圧		-0.3		0.8	V
V_{IH}	高入力電圧	2 レベル ロジック入力、V_{DD} = 1.8V ± 5%	1.3		V_{DD} + 0.3	V
V_{IL}	低入力電圧		-0.3		0.4	V
V_{IH}	高入力電圧	3 レベル ロジック入力、V_{DD} = 1.8V ± 5%	1.3		V_{DD} + 0.3	V
V_{IM}	中入力電圧		0.65		0.95	V
V_{IL}	低入力電圧		-0.3		0.4	V
V_{OH}	出力 HIGH 電圧	SBI_OUT、I_{OH} = -2 mA	2.4		V_{DD} + 0.3	V
V_{OL}	出力 LOW 電圧	SBI_OUT、I_{OL} = 2 mA			0.4	V
I_{IN}	入力リーク電流	CLKINx_P	-40		40	µA
		CLKINx_N	-40		40	µA
		内部プルダウン付きシングルエンド入力	-30		30	µA
		内部プルダウンなしシングルエンド入力	-5		5	µA
		3 レベル ロジック入力	-30		30	µA
$R_{PU,PD}$	シングルエンド入力用内部プルアップ/プルダウン抵抗			180		kΩ
SMBUS の電気的特性						
V_{IH}	SMB_CLK、SMB_DATA 入力高レベル電圧		0.8 × V_{DD}			V
V_{IL}	SMB_CLK、SMB_DATA 入力低レベル電圧				0.3 × V_{DD}	V

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

自由気流での動作温度範囲内 (特に記述のない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{HYS}	シュミット トリガ入力のヒステリシス		0.05 × V_{DD}			V
V_{OL}	SMB_DATA 出力低電圧	I_{OL} = 4mA			0.4	V
I_{LEAK}	SMB_CLK、SMB_DATA 入力リーク電流		-10		10	µA
C_{PIN}	SMB_CLK、SMB_DATA ピン静電容量				10	pF

(1) PCIe AC テスト負荷
(2) DB2000QL DC テスト負荷
(3) 最初のクロック エッジをタイミング測定に使用。クロック出力は安定するまでミュート。
(4) 入力ピンにおいては、アサートまたはデアサートは、入力電圧が「High」レベルに必要な最小電圧、または「Low」レベルに必要な最大電圧に達した時点で開始されます
(5) 電源ピンはすべて接続されています。0.1µF コンデンサは各電源ピンの近くに配置されています。50mVpp のリップルがデカップリング コンデンサの前段に適用されます。クロック出力でスパー レベルを測定
(6) DB2000QL AC テスト負荷
(7) スルーレートは PCB 配線特性に大きく依存する

6.6 SMBus のタイミング要件

		100kHz CLASS		400kHz CLASS		単位
		最小値	最大値	最小値	最大値	
f_{SMB}	SMBus の動作周波数	10	100	10	400	kHz
f_{BUF}	STOP 条件と START 条件の間のバス解放時間	4.7	–	1.3	–	µs
t_{HD_STA}	(繰り返し) START 条件の後のホールド時間	4.0	–	0.6	–	µs
t_{SU_STA}	再スタート条件のセットアップ時間	4.7	–	0.6	–	µs
t_{SU_STO}	ストップ条件のセットアップ時間	4.0	–	0.6	–	µs
t_{HD_DAT}	データ ホールド時間	0	–	0	–	ns
t_{SU_DAT}	データ セットアップ時間	250	–	100	–	ns
$t_{TIMEOUT}$	クロック Low 検出のタイムアウト	25	35	25	35	ms
t_{LOW}	クロックの Low 期間	4.7	–	1.3	–	µs
t_{HIGH}	クロックの High 期間	4.0	50	0.6	50	µs
t_{LOW_SEXT}	累積クロック Low 拡張時間 (二次デバイス)	–	25	–	25	ms
t_{LOW_PEXT}	累積クロック Low 拡張時間 (一次デバイス)	–	10	–	10	ms
t_F	クロック / データの立ち下がり時間	–	300	–	300	ns
t_R	クロック / データの立ち上がり時間	–	1000	–	300	ns
t_{SPIKE}	ノイズ スパイク抑制時間	–	–	0	50	ns
t_{POR}	パワーオン リセット後にデバイスが動作可能な状態になるまでの時間		500		500	ms

6.7 SBI のタイミング要件

		最小値	最大値	単位
t_{PERIOD}	クロック周期	40	-	ns
t_{SETUP}	SHFT セット アップから SBI_CLK 立上りエッジまで	10	–	ns
t_{DSU}	SBI_IN データ セット アップから SBI_CLK 立上りエッジまで	5	–	ns
t_{DHOLD}	SBI_IN データ ホールドは SBI_CLK 立上りエッジ後	2	–	ns
t_{DOUT}	SBI_CLK 立上りエッジから SBI_OUT データ有効まで	2	–	ns

Copyright © 2026 Texas Instruments Incorporated

		最小値	最大値	単位
t_{LD}	CLK 立上りエッジから LD# 立下りエッジまで	10	–	ns
t_{OE}	LD# 立下りエッジから出力の有効/無効が反映されるまでの遅延	4	10	クロック
t_{SLEW}	SBI_CLK 20% ～ 80% スルーレート	0.7	4	V/ns

6.8 タイミング図

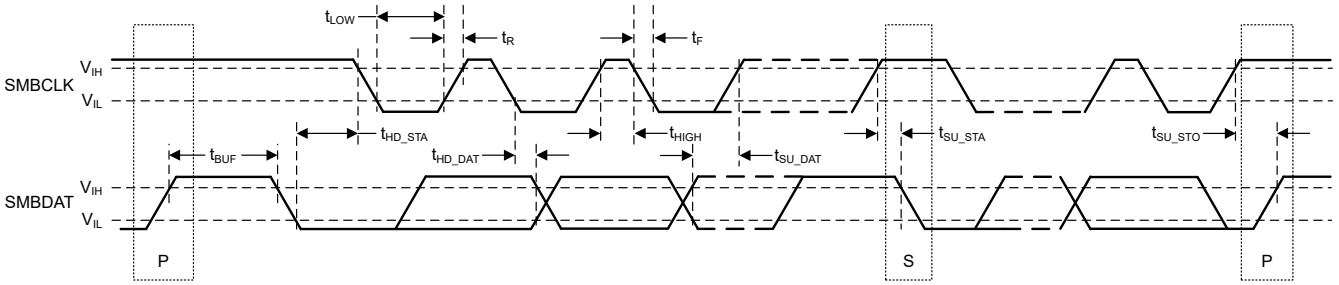


図 6-1. SMBus タイミング図

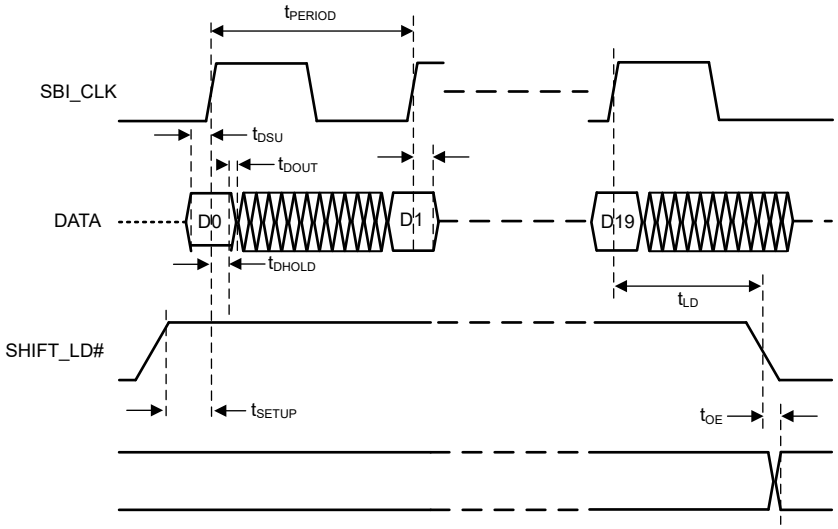


図 6-2. SBI タイミング図

6.9 代表的特性

Copyright © 2026 Texas Instruments Incorporated

7 パラメータ測定情報

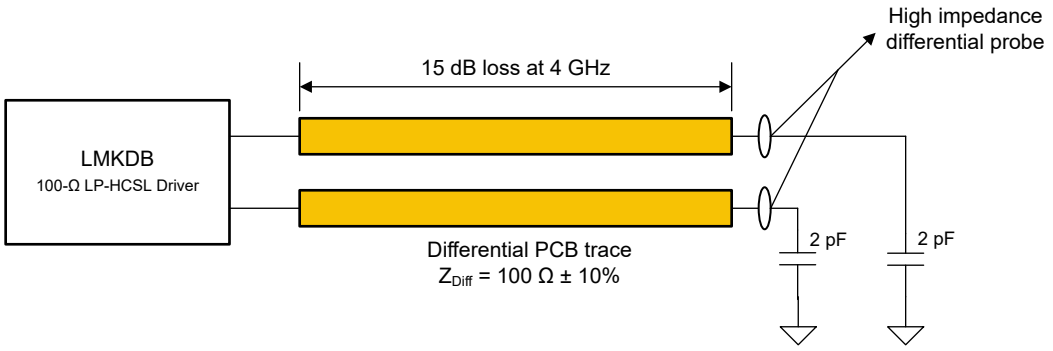


図 7-1. PCIe AC テスト負荷

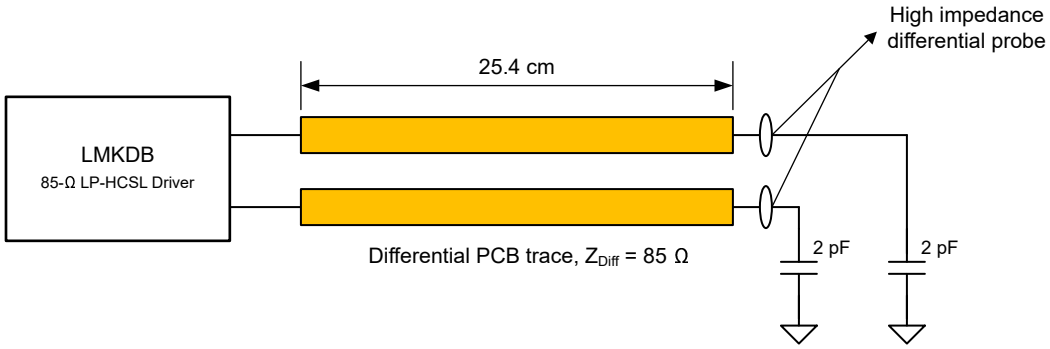


図 7-2. DB2000QL AC テスト負荷

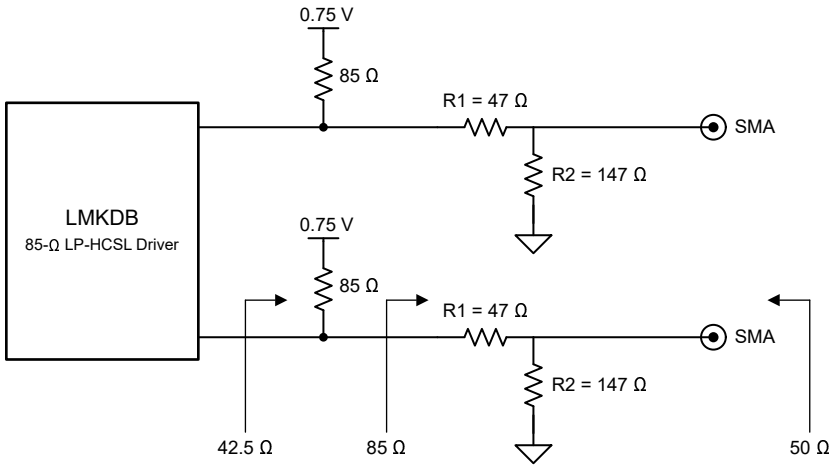


図 7-3. DB2000QL DC テスト負荷

8 詳細説明

8.1 概要

LMKDB12xx は、PCIe Gen 1 ～ Gen7 と DB2000QL に準拠した 2 つの入力クロック マルチプレクサであり、PCIe Gen 1 ～ 7 のアプリケーション向けに設計された LP-HCSL クロックを分配します。

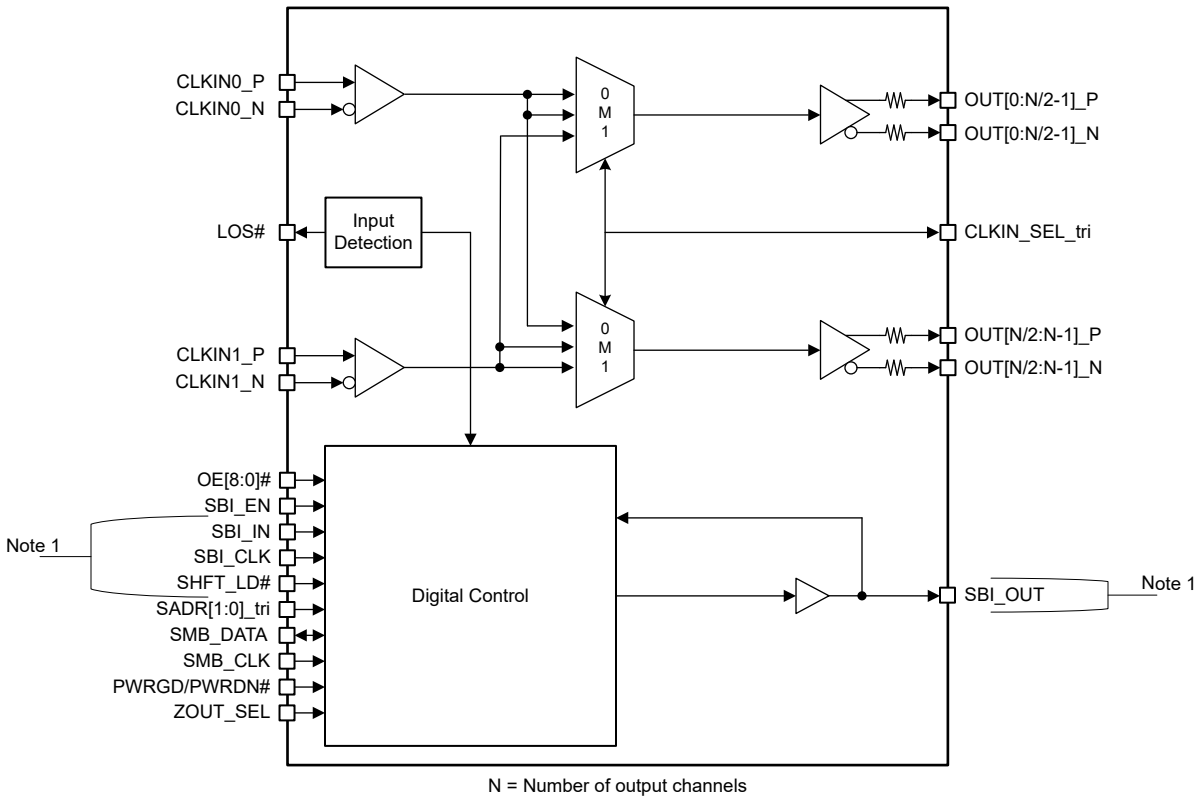
超低付加ジッタと超低伝搬遅延により、LMKDB12xx デバイスは PCIe Gen 6 および Gen 7 のバッファ カスケードやイーサネット ファンアウト用途に主に求められる、クロック経路全体に十分なジッタマージンを確保できます。LMKDB12xx は、設計の柔軟性を向上させるため、1.8V と 3.3V の両方の電源電圧にも対応しています。

LMKDB12xx は、セクション 4 に記載のとおり、すべての出力に個別の OE 制御を備えており、設計の柔軟性をさらに高めます。各デバイスの各出力には、プログラマブルなスルーレート、プログラム可能な出力振幅スイング、および自動出力無効化機能も備わっています。これらのデバイスは、セクション 4 に示す型番で表される 100Ω または 85Ω LP-HCSL をサポートしており、最大 400MHz の出力周波数で動作します。LMKDB12xx デバイスには、100Ω または 85Ω の LP-HCSL 出力インピーダンスを選択するための ZOUT_SEL ピンがあります。

LMKDB12xx は、ピン モード、SMBus モード、サイド バンド インターフェイス (SBI) モードを備えており、これらは同時に使用できます。LMKDB1204 の vSMB_EN ピンは、ピン モードまたは SMBus モードの選択に使用できます。SBI は、SMBus と比較して最大 25MHz というはるかに高速な速度で出力クロックをイネーブルまたはディスエーブルにできます。さらに、SBI と SMBus は同時に動作できるため、電源投入後も SMBus を使用してデバイス制御を引き継ぎ、ステータスを読み出すことができます。詳細情報については、セクション 8.4 を参照してください

デバイスのピンの詳細な説明については セクション 8 を参照し、デバイスのレジスタに関する詳細については*レジスタ マップ*を参照してください。

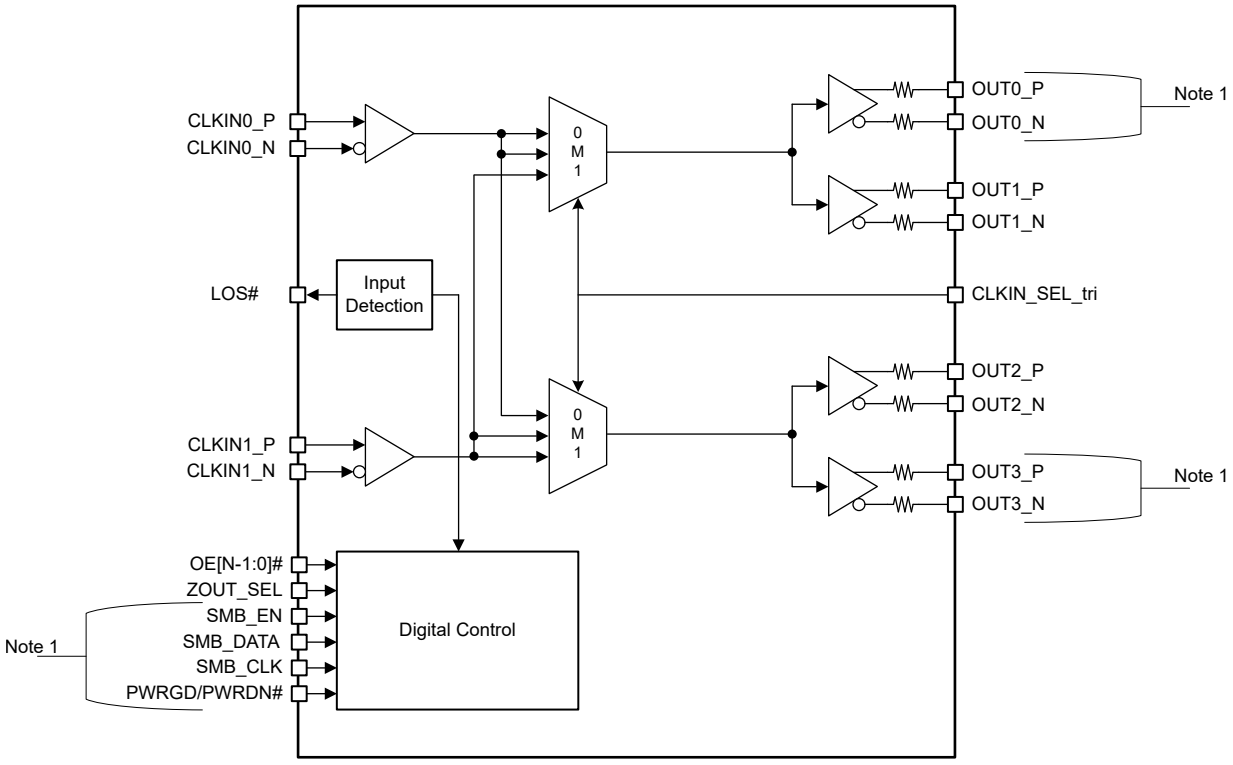
8.2 機能ブロック図



1. SBI pins are muxed with OE# pins. Refer to specific device pinouts.

図 8-1. LMKDB1216 LMKDB1208 の機能ブロック図

Copyright © 2026 Texas Instruments Incorporated



1. LMKDB1204 only.

図 8-2. LMKDB1204 LMKDB1202 の機能ブロック図

8.3 機能説明

8.3.1 入力機能

8.3.1.1 デバイスの電源がオフのときの入力クロックの動作

このデバイスは、電源がオフの状態でも入力クロックの動作をサポートします。これは、デバイスの電源がオフのときに入力を静的な VDD にプルできるフェイルセーフ機能とは異なります。これは、クロック バッファに電力が供給される前にクロック入力が利用可能である場合に便利です。

8.3.1.2 フェイルセーフ入力

すべてのクロック入力ピンおよびデジタル入力ピンはフェイルセーフに対応しています。フェイルセーフとは、デバイスの電源がオフのときでも、ピンを VDD に駆動してもリークや信頼性の問題を引き起こさないことを意味します。例えば、OE# ピンはデバイスの電源投入前に VDD に駆動でき、その場合、パワーアップ後しばらくして OE# ピンが low になるまで出力はミュート状態のままです。

8.3.1.3 入力構成

LMKDB12xx デバイスの入力バッファ段は、4 種類の構成をサポートしています:

- DC 結合 HCSL 入力。
- 外部 100Ω 終端抵抗付き DC 結合 LVDS 入力信号。
- 内部自己バイアスを備えた AC 結合入力。詳細については、AC 結合または DC 結合のクロック入力 を参照してください。
- グランドへの内部 50Ω 終端。詳細については、クロック入力用の内部終端 を参照してください。

2 つの入力を持つすべてのデバイスには、個別の AC 結合と入力終端オプションがあります。各入力を構成するには、構成ビットのレジスタ マップを参照してください。

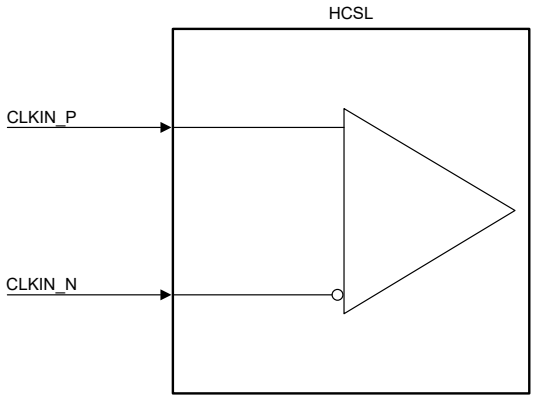


図 8-3. HCSL 入力インターフェイス (PCIe 規格)

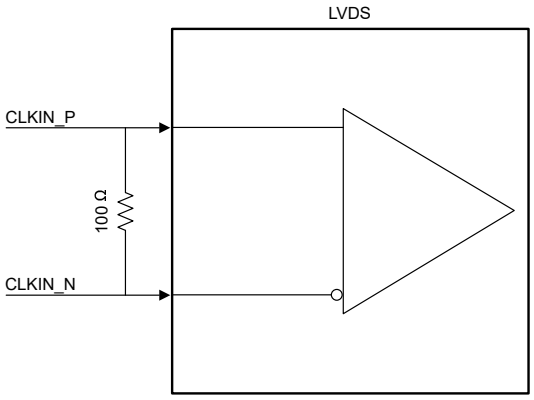


図 8-4. LVDS 入力インターフェイス

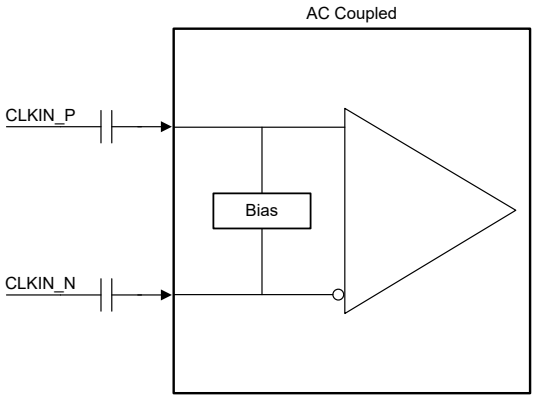


図 8-5. 外部 AC 結合入力

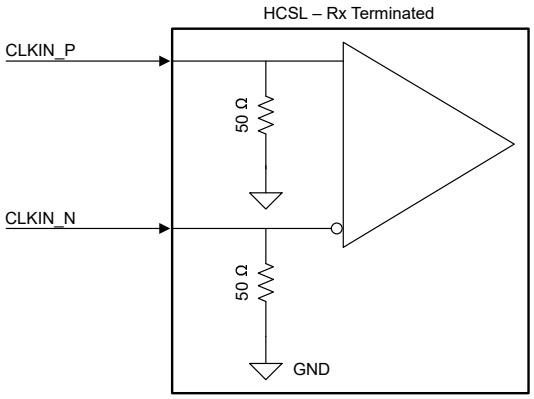


図 8-6. レシーバの内部終端

8.3.1.3.1 クロック入力用の内部終端

差動クロック入力に対して、50Ω の内部終端を有効にするオプションがあります。LP-HCSL 入力の場合、内部終端をディセーブルにします。HCSL 入力では、外部終端が提供されていない場合は内部終端をイネーブルします。内部終端はデフォルトでは無効になっています。

8.3.1.3.2 AC 結合または DC 結合のクロック入力

入力クロックは、AC 結合または DC 結合が可能です。入力が DC 結合の場合、入力信号のスイングレベルは*クロック入力要件の* 仕様 に示されているレベルと一致している必要があります。また、DC 結合入力の場合はレジスタ RX_EN_AC_INPUT を 0 に、AC 結合入力の場合は 1 に設定する必要があります。RX_EN_AC_INPUT の詳細については、*レジスタ マップ*を参照してください。

8.3.2 柔軟な電源シーケンス

8.3.2.1 PWRDN# アサートおよびデアサート

推奨されるパワーダウン シーケンスでは、入力クロックが有効な状態で PWRDN# がアサートされます。PWRDN# ピンは、入力クロック サイクルの立ち上がりエッジ 2 回分連続して低レベルに保持します。その結果、すべてのクロック出力はグリッチなく Low/Low (OUTx_P = Low、OUTx_N = Low) にミュートされます。他のシーケンスに従うと、デバイスは未定義モードになり、グリッチや無効な出力が発生する可能性があります。

Copyright © 2026 Texas Instruments Incorporated

8.3.2.2 OE# アサートおよびデアサート

OE# ピンは、以下のいずれの場合でもいつでもアサートおよびデアサートできます:

- デバイスの電源がオンまたはオフになったとき
- PWRGD/PWRDN# ピンは high または low にプルされたとき
- クロック入力が有効または無効のとき

OE# ピンは、以下のすべての条件が満たされた場合にのみ有効になります:

1. クロック入力が有効
2. PWRGD/PWRDN# ピンが high
3. デバイスの電源がオン

それ以外の場合、出力は常にミュートされ、OE# のアサートおよびデアサートは影響を与えません。

以下のいずれかの条件で OE# ピンが low になると、次のようになります:

1. 入力クロックが無効
2. PWRGD/PWRDN# ピンが low
3. デバイスの電源がオフ

次の条件がすべて満たされた場合:

1. クロック入力が有効
2. PWRGD/PWRDN# ピンが high
3. デバイスの電源がオン

(レジスタ OE および SBI OE が有効な場合) 出力はグリッチなしで有効化されます。

8.3.2.3 デバイスの電源がオフのときのクロック入力および PWRGD/PWRDN# の動作

デバイスの電源がオフのとき、PWRGD/PWRDN# ピンの状態 (low、high、low から high への遷移、high から low への遷移) に関係なく、入力クロックは動作中、フローティング、low/low、または VDD にプルされた状態のいずれでもかまいません。表 8-1 はサポートされているすべてのシーケンスを示しており、クロック入力は VDD の印加前または印加後のいずれでも適用できます。

表 8-1. 柔軟なパワーアップ シーケンス

VDD	PWRGD/PWRDN#	CLKIN_P/CLKIN_N
存在しません	X	動作時
		フローティング
		Low / Low
現在	0 または 1	動作時
		フローティング
		Low / Low

8.3.3 LOS および OE

8.3.3.1 同期 OE

出力は同期して有効化および無効化されます。同期 OE とは、出力が有効化または無効化される際に、出力にグリッチやラント パルスが発生しないことを意味します。

8.3.3.2 OE 制御

OE (出力イネーブル) は、特定の出力をイネーブルまたはディセーブルにできます。次の 3 種類の OE 制御がサポートされています: OE ピン、SMBus 経由の OE レジスタ ビット、SBI による OE 制御。3 つのコントロールは AND ロジックに

従います。3 つの制御回路すべてが出力を有効にした場合にのみ、出力が有効になります。いずれかの制御がその出力を無効にした場合、その出力は無効になります。

8.3.3.2.1 OE へのマッピング

LMKDB12xx は最大 8 つの OE# ピンを備えています。次の表に、LMKDB1216 と LMKDB1208 のマッピングを示します。LMKDB1216 の表にある代替ピン機能は、OE#_ASSIGNMENT レジスタで選択できます。

表 8-2. LMKDB1216 および LMKDB1208 OE# マッピング

ピン名	SBI_EN ピン	LMKDB1216 デフォルトピン機能	LMKDB1216 代替ピン機能	LMKDB1208 デフォルトピン機能	LMKDB1208 代替ピン機能
OE0#	X	CLK0 OE#	CLK1 OE#	CLK0 OE#	該当なし
OE1#	X	CLK2 OE#	CLK3 OE#	CLK1 OE#	
OE2#	X	CLK4 OE#	CLK5 OE#	CLK2 OE#	
OE3#/SBI_CLK	0 (非アクティブ)	CLK6 OE#	CLK7 OE#	CLK3 OE#	
	1 (アクティブ)	SBI_CLK	該当なし	SBI_CLK	
OE4#/SBI_IN	0 (非アクティブ)	CLK8 OE#	CLK9 OE#	CLK4 OE#	
	1 (アクティブ)	SBI_IN	該当なし	SBI_IN	
OE5#	X	CLK10 OE#	CLK11 OE#	CLK5 OE#	
OE6#/SHFT_LD#	0 (非アクティブ)	CLK12 OE#	CLK13 OE#	CLK6 OE#	
	1 (アクティブ)	SHFT_LD#	該当なし	SHFT_LD#	
OE7#/SBI_OUT	0 (非アクティブ)	CLK14 OE#	CLK15 OE#	CLK7 OE#	
	1 (アクティブ)	SBI_OUT	該当なし	SBI_OUT	

8.3.3.3 自動出力ディスエーブル

自動出ディスエーブル力 (AOD) はデフォルトで有効になっており、SMBus を介して無効化できます。入力クロックが無効になり LOS# がアクティブになると、出力クロックは low/low (OUTx_P = Low、OUTx_N = Low) にミュートされます。LOS# がアクティブになる前、かつ入力クロックが無効になった後 (LOS 検出には時間がかかるため)、出力クロックは最後の入力状態に従って安定した状態を維持します。例えば、入力クロックが low/high で停止した場合、出力クロックは最初に low/high のまま保持され、LOS# がアクティブになると low/low にミュートされます。

8.3.3.4 LOS 検出

LOS (入力信号の損失) は、クロック入力が有効かどうかを検出します。入力クロックが有効な場合、LOS# レジスタ ビットは 1 となり、LOS# ピンは high になります。入力クロックが無効な場合、LOS レジスタ ビットは 0 となり、LOS# ピンは low になります。

パワーアップ時に、入力が有効に検出されるまで、LOS# ピンは low に保持されます。したがって、LOS# ピンは、OE# 挿入やその他の動作のタイミングに使用できます。

LOS# 信号は、PWRGD/PWRDN# ピンが high の場合にのみ有効です。このピンが low の場合、入力の有効性にかかわらず、LOS# は low になります

8.3.4 出力機能

8.3.4.1 出力バンク

LMKDB12xx マルチプレクサには、デュアル バンク バッファ モードとして使用できる 2 つの出力バンクがあります。各バンクには専用の電源ピンがあり、異なる周波数で動作するときにクロストークを回避します。出力バンクのノイズを最小限に抑えるには、図 10-2 を参照してください。以下

表 8-3. LMKDB12xx 出力バンク

デュ出力バンク	出力 (P/N)
0	[0:N/2-1]

Copyright © 2026 Texas Instruments Incorporated

表 8-3. LMKDB12xx 出力バンク (続き)

デュ出力バンク	出力 (P/N)
1	[N/2:N-1]

8.3.4.2 二重終端

一般的な PCIe アプリケーションでは、LP-HCSL 出力に外部終端は不要ですが、LMKDB ファミリは二重終端をサポートしています (これは珍しい仕様です)。この場合、外部 50Ω 終端が配置され、スイングは半分になります。この結果、出力のグランドへの 50Ω 終端により、消費電力が増大します。

8.3.4.3 出力スルー レートをプログラム可能

LMKDB ファミリは、SMBus およびピン モードによるスルーレート制御オプションを備えています。ピン モード オプションは、すべての出力のグローバル スルーレート制御です。SMBus スルーレート制御は、個別の出力ごとにプログラム可能な出力スルーレートをサポートしています。スルーレートは、パターン幅、銅箔の厚さ、基板の高さ、誘電率、損失接線などのパターン特性に大きく依存します。

LMKDB スルーレート制御の設定は、PCIe テスト負荷を使ってテストされます (図 7-1 を参照)。

8.3.4.3.1 SMBus によるスルーレート制御

LMKDB12xx には、出力に割り当て可能な 16 種類のスルーレート オプションがあります。0x0 は最も速いスルーレート設定で、0xF は最も遅いスルーレート設定です。各出力のスルーレートを設定するには、次の手順に従います:

1. 4 種類のレジスタ SLEWRATE_OPT# があり、それぞれ最大 4 種類のスルーレートを保存できます。各 SLEWRATE_OPT# レジスタに、0x0 (最速) から 0xF (最遅) までの値を割り当てて、希望するスルーレートを選択します。各 SLEWRATE_OPT# レジスタに設定されたデフォルト値については、表 8-4 を参照してください。
   a. 例えば、最速、2 番目に速い、そして最も遅いスルーレートを希望する場合は、レジスタ SLEWRATE_OPT# に 0x0、0x1、0xF を割り当てます。SLEWRATE_OPT1 = 0x0 (最速)、SLEWRATE_OPT2 = 0x1 (2 番目に速い)、SLEWRATE_OPT3 = 0xF (最遅) です。SLEWRATE_OPT4 は必ずしも割り当てる必要はありませんが、複数のレジスタに同じスルーレートを設定したい場合は、SLEWRATE_OPT4 を前述の 3 つのいずれかの設定に割り当てることができます。
2. 各出力のスルーレート オプションは、SLEWRATE_SEL_CLKX_LSB および SLEWRATE_SEL_CLKX_MSB を使用して 表 8-4 に示すように設定するか、TICSPro の「出力スルーレート制御」セクションにあるドロップダウン メニューから設定します。すべての出力に対するデフォルトの SLEWRATE_OPT# レジスタ割り当ては SLEWRATE_OPT2 であり、デフォルトのスルーレートは 0x6 です。

4 つのデフォルト スルーレートに対応する範囲は、仕様書のセクション 6 *クロック出力特性 - 100MHz 85Ω PCIe* または *クロック出力特性- 100MHz 100Ω PCIe* 仕様の *出力スルーレート*の下に記載されています。

表 8-4. LMKDB のデフォルト SLEWRATE_OPT_# 値

レジスタ フィールド名	デフォルト値	デフォルトのスルーレート
SLEWRATE_OPT_1	0x0	最高
SLEWRATE_OPT_2	0x6	High (すべての出力のデフォルト)
SLEWRATE_OPT_3	0xA	低
SLEWRATE_OPT_4	0xF	最低

表 8-5. SLEWRATE_SEL_CLKX_LSB および SLEWRATE_SEL_CLKX_MSB スルーレート選択

SLEWRATE_SEL_CLKX_LSB	SLEWRATE_SEL_CLKX_MSB	スルーレート オプション選択
0	0	SLEWRATE_OPT_4
1	0	SLEWRATE_OPT_3
0	1	SLEWRATE_OPT_2

Copyright © 2026 Texas Instruments Incorporated

表 8-5. SLEWRATE_SEL_CLKX_LSB および SLEWRATE_SEL_CLKX_MSB スルーレート選択 (続き)

SLEWRATE_SEL_CLKX_LSB	SLEWRATE_SEL_CLKX_MSB	スルーレート オプション選択
1	1	SLEWRATE_OPT_1

希望するスルーレートを設定するには、次の手順に従う必要があります:

1. [オプション]: 表 8-4 に示す各スルーレート速度に対するデフォルトの割り当てが不要な場合、スルーレート オプションの値の 1 つを別のスルーレートに変更できます。
2. [LMKDB1108 および 1104 のみ]: スルーレート制御用の SMBus プログラミング モードを選択するために、SLEWRATE_CTRL_MODE レジスタを 1 に設定します。LMKDB1108 および LMKDB1104 のレジスタ ビットの情報については、セクション 9 セクションを参照してください。
3. 表 8-5 に示すように、SLEWRATE_SEL_CLKX_MSB と SLEWRATE_SEL_CLKX_LSB をプログラムして、クロック出力 X を目的のスルーレート速度オプションに割り当てます。各オプションのデフォルトの割り当てについては、表 8-4 を参照してください。

8.3.4.4 プログラマブル出力スイング

LMKDB ファミリは、600mV から 975mV の範囲でプログラム可能な LP-HCSL スイングに対応しています。すべての出力は、バッファとマルチプレクサの両方で、それぞれレジスタ AMP および AMP_BANKX を介して同じ出力スイングに設定されます。出力を目的のスイングにプログラムするには、レジスタ マップを参照してください。

8.3.4.5 高精度出力インピーダンス

LMKDB ファミリは、100Ω LP-HCSL と 85Ω LP-HCSL の両方をサポートしています。出力インピーダンスは正確に ±5% にトリミングされます。これは、インピーダンス整合とクロック信号の完全性の向上に役立ちます。

8.3.4.6 プログラマブルな出力インピーダンス

The LMKDB12xx は、100Ω または 85Ω LP-HCSL 出力インピーダンスを選択できるピン モード オプションを備えているため、設計の柔軟性が向上します。出力インピーダンスは、デバイスの ZOUT_SEL ピンを使用して選択できます (表 8-6 を参照)。フローティングのままにすると、内部プルダウン抵抗によって、デフォルトで 85Ω の出力インピーダンスが選択されます。

表 8-6. プログラマブルな出力インピーダンス

ZOUT_SEL	出力インピーダンス
Low	85 Ω
High	100 Ω

8.4 デバイスの機能モード

8.4.1 SMBus モード

SMBus モードでは、 LMKDB12xx デバイスの SMBus レジスタは、SMBus ピンを介して読み書きできます。ピン SADR1 および SADR0 は SMBus アドレスを設定します。

LMKDB1204 にはピン SADR1 および SADR0 はありません。LMKDB1204 の 8 ビット SMBus アドレスは 0xC4 です。

SADR1	SADR0	8 ビットの SMBus アドレス (R/W ビット= 0)
低	低	0xD8
低	浮動	0xDA
低	高	0xDE
浮動	低	0xC2
浮動	浮動	0xC4

Copyright © 2026 Texas Instruments Incorporated

SADR1	SADR0	8 ビットの SMBus アドレス (R/W ビット= 0)
浮動	高	0xC6
高	低	0xCA
高	浮動	0xCC
高	高	0xCE

表 8-7. コマンド コードの定義

ビット	説明
7	0 = ブロック読み取りまたはブロック書き込み動作 1 = バイト読み取りまたはバイト書き込み動作
(6:0)	バイト操作のレジスタ アドレス、またはブロック動作の開始レジスタ アドレス

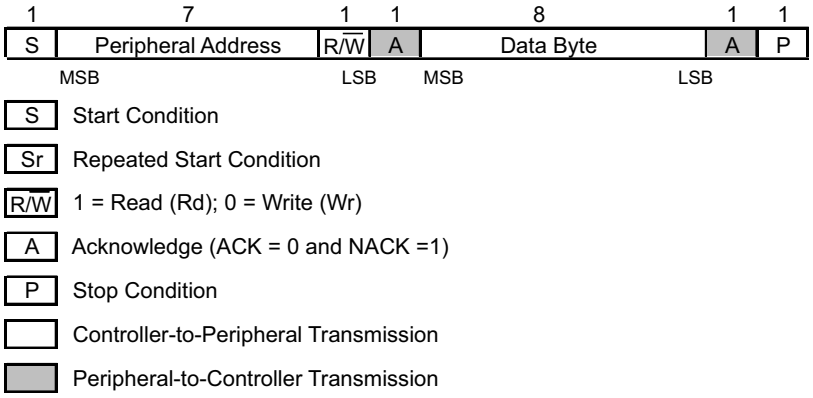


図 8-7. 汎用プログラミング シーケンス

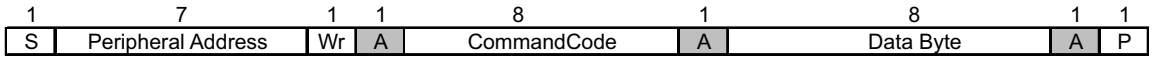


図 8-8. バイト書き込みプロトコル

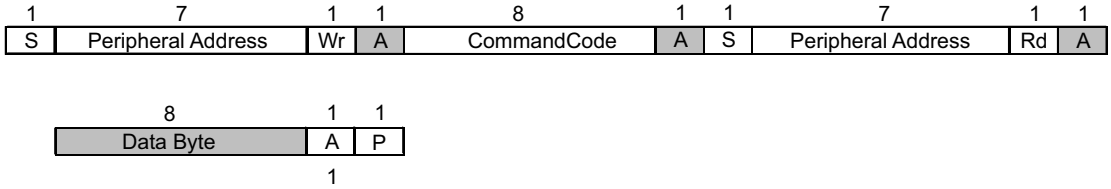


図 8-9. バイト読み取りプロトコル

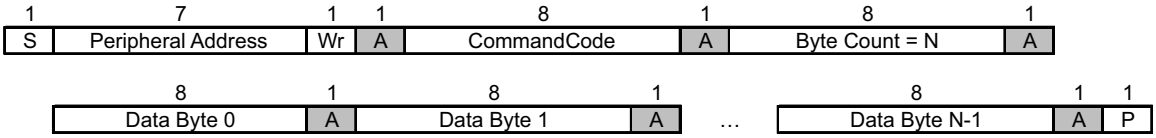


図 8-10. ブロック書き込みプロトコル

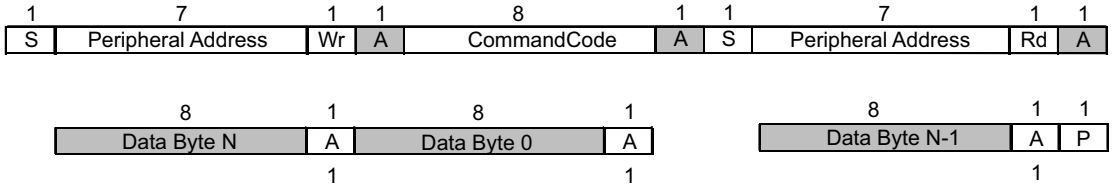


図 8-11. ブロック読み取りプロトコル

8.4.2 SBI モード

サイドバンド インターフェイス (SBI) は、SHFT_LD#、SBI_IN、SBI_CLK、および SBI_OUT (オプション) ピンで構成される、シンプルな 3 線式または 4 線式のシリアル インターフェイスです。SHFT_LD# ピンが high のとき、SBI_CLK の立ち上がりエッジにより、SBI_IN がシフトレジスタにクロック入力されます。データのシフト後、SHFT_LD# の立ち下がりエッジによって、シフト レジスタの内容が出力レジスタにロードされます。SBI レジスタは、SBI_OUT ピンを介してシフト アウトでき、デイジー チェーン トポロジを構成できます。

SBI モードを有効にしても、SMBus は無効になりません。SBI レジスタは、PWRGD/PWRDN# ピンが Low の間でもアクセスできます。

LMKDB12xx は、ピン モードと SMBus モードのみをサポートしています。

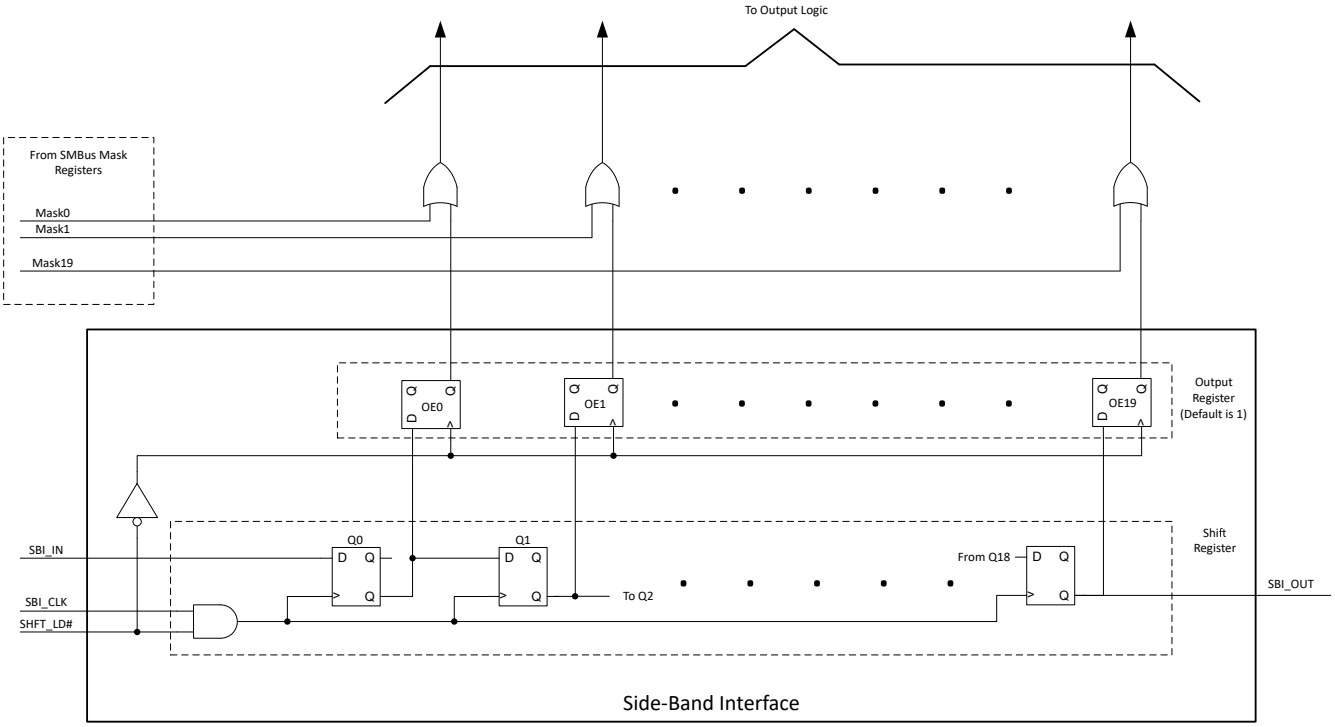


図 8-12. SBI 制御ロジック

Copyright © 2026 Texas Instruments Incorporated

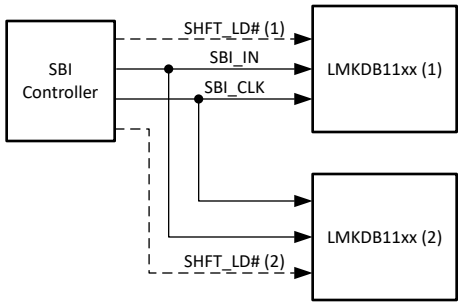


図 8-13. SBI スタート ポロジ

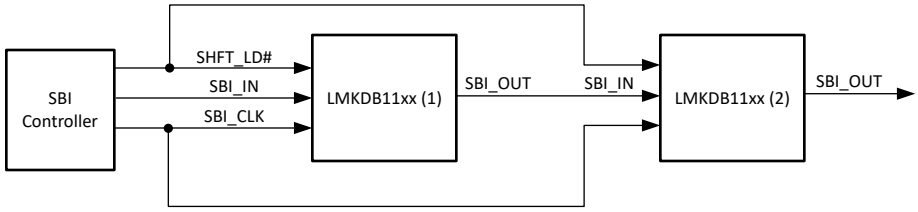


図 8-14. SBI デイジー チェーン トポロジ

SBI レジスタ シーケンス:

8.4.3 ピン モード

SMBus または SBI インターフェイスが不要な場合、SMBus ピンまたは SBI ピンは未接続のままにしておくことができます。このデバイスはピン モードで動作でき、OE# ピンによって出力を有効または無効にできます。

9 レジスタ マップ

9.1 LMKDB1204 のレジスタ

LMKDB1204 レジスタのメモリマップされたレジスタを、表 9-1 に示します。表 9-1 にないレジスタ オフセット アドレスはすべて予約済みと見なします。レジスタの内容は変更してはいけません。

表 9-1. LMKDB1204 のレジスタ

オフセット	略称	レジスタ名	セクション
0h	R0	CLK2 および CLK3 の出力イネーブル制御	セクション 9.1.1
1h	R1	CLK0 および CLK1 の出力イネーブル制御	セクション 9.1.2
2h	R2	CLK2 および CLK3 の OE ピンのリード バック	セクション 9.1.3
3h	R3	CLK0 および CLK1 の OE ピンのリード バック	セクション 9.1.4
4h	R4	CLKIN1 AOD イネーブル制御	セクション 9.1.5
5h	R5	デバイス情報	セクション 9.1.6
6h	R6	デバイス情報 (続き)	セクション 9.1.7
7h	R7	SMBus バイト カウンタ	セクション 9.1.8
11h	R17	出力振幅	セクション 9.1.9
12h	R18	入力設定、PD で構成を保存、SMB SDATA 監視、および LOS リード バック	セクション 9.1.10
14h	R20	出力スルーレート選択の CLK2 と CLK3 の MSB	セクション 9.1.11
15h	R21	出力スルーレート選択の CLK0 と CLK1 の MSB	セクション 9.1.12
24h	R36	CLKIN0 AOD イネーブル制御	セクション 9.1.13
26h	R38	クリアできない SMBUS 書き込みロック	セクション 9.1.14
27h	R39	LOS イベント ステータスおよびクリア可能な SMBus 書き込みロック	セクション 9.1.15
2Bh	R43	CLKIN ソース選択	セクション 9.1.16
5Bh	R91	スルーレート速度オプション 1 および 2 の割り当て	セクション 9.1.17
5Ch	R92	スルーレート速度オプション 3 および 4 の割り当て	セクション 9.1.18
5Dh	R93	CLKIN0 AC/DC 結合選択	セクション 9.1.19
62h	R98	出力スルーレート選択の CLK0 と CLK1 の LSB	セクション 9.1.20
63h	R99	出力スルーレート選択の CLK2 と CLK3 の LSB	セクション 9.1.21

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 9-2 に、このセクションでアクセス タイプに使用しているコードを示します。

表 9-2. LMKDB1204 のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
W1C	W 1C	書き込み 1 でクリア
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

Copyright © 2026 Texas Instruments Incorporated

9.1.1 R0 レジスタ (オフセット = 0h) [リセット = 28h]

R0 を表 9-3 に示します。

概略表に戻ります。

表 9-3. R0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	CLK_EN_1	R/W	1h	CLK1 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
4	予約済み	R	0h	予約済み
3	CLK_EN_0	R/W	1h	CLK0 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
2:0	予約済み	R	0h	予約済み

9.1.2 R1 レジスタ (オフセット = 1h) [リセット = 14h]

R1 を表 9-4 に示します。

概略表に戻ります。

表 9-4. R1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4	CLK_EN_3	R/W	1h	CLK3 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
3	予約済み	R	0h	予約済み
2	CLK_EN_2	R/W	1h	CLK2 の出力イネーブル 0h = 出力ディセーブル (low/ Low) 1h = 出力イネーブル
1:0	予約済み	R	0h	予約済み

9.1.3 R2 レジスタ (オフセット = 2h) [リセット = 00h]

R2 を表 9-5 に示します。

概略表に戻ります。

表 9-5. R2 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	RB_OEb_1	R	0h	OEb1 のステータス
4	予約済み	R	0h	予約済み
3	RB_OEb_0	R	0h	OEb0 のステータス
2:0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

9.1.4 R3 レジスタ (オフセット = 3h) [リセット = 00h]

R3 を表 9-6 に示します。

概略表に戻ります。

表 9-6. R3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4	RB_OEb_3	R	0h	OEb3 のステータス
3	予約済み	R	0h	予約済み
2	RB_OEb_2	R	0h	OEb2 のステータス
1:0	予約済み	R	0h	予約済み

9.1.5 R4 レジスタ (オフセット = 4h) [リセット = 10h]

R4 を表 9-7 に示します。

概略表に戻ります。

表 9-7. R4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4	CLKIN1_AOD_ENABLE	R/W	1h	LOS イベントが検出された場合に、CLKIN1 の出力を low/low に自動出力ディスエーブル (AOD) する機能をイネーブルにします。詳細については、「自動出力ディスエーブル」セクションを参照してください。 0h = 非アクティブ 1h = アクティブ
3:0	予約済み	R	0h	予約済み

9.1.6 R5 レジスタ (オフセット = 5h) [リセット = 0Ah]

R5 を表 9-8 に示します。

概略表に戻ります。

表 9-8. R5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	REV_ID	R	0h	リビジョン ID
3:0	VENDOR_ID	R	Ah	ベンダ ID

9.1.7 R6 レジスタ (オフセット = 6h) [リセット = 24h]

R6 を表 9-9 に示します。

概略表に戻ります。

表 9-9. R6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	DEV_ID	R	24h	デバイス ID

Copyright © 2026 Texas Instruments Incorporated

9.1.8 R7 レジスタ (オフセット = 7h) [リセット = 07h]

R7 を表 9-10 に示します。

概略表に戻ります。

表 9-10. R7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4:0	SMBUS_BC	R/W	7h	SMBUS ブロック読み取りバイト数

9.1.9 R17 レジスタ (オフセット = 11h) [リセット = 66h]

R17 を表 9-11 に示します。

概略表に戻ります。

表 9-11. R17 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	AMP_BANK1	R/W	6h	グローバル差動出力制御、およそ 0.6V～1V、25mV/ ステップ (デフォルト = 0.75V) 0h = 600mV 1h = 625mV 2h = 650mV 3h = 675mV 4h = 700mV 5h = 725mV 6h = 750mV 7h = 775mV 8h = 800mV 9h = 825mV Ah = 850mV Bh = 875mV Ch = 900mV Dh = 925mV Eh = 950mV Fh = 975mV
3:0	AMP_BANK0	R/W	6h	グローバル差動出力制御、およそ 0.6V～1V、25mV/ ステップ (デフォルト = 0.75V) 0h = 600mV 1h = 625mV 2h = 650mV 3h = 675mV 4h = 700mV 5h = 725mV 6h = 750mV 7h = 775mV 8h = 800mV 9h = 825mV Ah = 850mV Bh = 875mV Ch = 900mV Dh = 925mV Eh = 950mV Fh = 975mV

9.1.10 R18 レジスタ (オフセット = 12h) [リセット = 0Ah]

R18 を表 9-12 に示します。

Copyright © 2026 Texas Instruments Incorporated

概略表に戻ります。

表 9-12. R18 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RX_CLKIN1_EN_AC_INPUT	R/W	0h	CLKIN1 が AC 結合のとき、レシーバ バイアスを有効化 0h = DC 結合入力 1h = AC 結合入力
6	RX_CLKIN1_EN_RTERM	R/W	0h	CLKIN1 の終端抵抗をイネーブル 0h = 入力終端無効 、1h = 入力終端有効
5	RX_CLKIN0_EN_RTERM	R/W	0h	CLKIN0 の終端抵抗をイネーブル 0h = 入力終端無効 、1h = 入力終端有効
4	予約済み	R	0h	予約済み
3	PD_RESTOREB	R	1h	パワーダウン時の構成保存 0h = 構成をクリア 1h = 構成を保存済み
2	予約済み	R	0h	予約済み
1	SDATA_TIMEOUT_EN	R	1h	SMBus SDATA タイムアウト監視をイネーブル 0h = SDATA タイムアウトをディスエーブル 1h = SDATA タイムアウトをイネーブル
0	LOSb_RB	R	0h	損失検出ブロック出力のリアルタイム リード バック 0h = LOS イベント検出 1h = LOS イベントは未検出

9.1.11 R20 レジスタ (オフセット = 14h) [リセット = 28h]

R20 を表 9-13 に示します。

概略表に戻ります。

表 9-13. R20 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	SLEWRATE_SEL_CLK1_MSB	R/W	1h	MSB CLK1 スルーレート選択
4	予約済み	R	0h	予約済み
3	SLEWRATE_SEL_CLK0_MSB	R/W	1h	MSB CLK0 スルーレート選択
2:0	予約済み	R	0h	予約済み

9.1.12 R21 レジスタ (オフセット = 15h) [リセット = 14h]

R21 を表 9-14 に示します。

概略表に戻ります。

表 9-14. R21 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済み
4	SLEWRATE_SEL_CLK3_MSB	R/W	1h	MSB CLK3 スルーレート選択
3	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

表 9-14. R21 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
2	SLEWRATE_SEL_CLK2_MSB	R/W	1h	MSB CLK2 スルーレート選択
1:0	予約済み	R	0h	予約済み

9.1.13 R36 レジスタ (オフセット = 24h) [リセット = 09h]

R36 を表 9-15 に示します。

概略表に戻ります。

表 9-15. R36 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済み
3	CLKIN0_AOD_ENABLE	R/W	1h	LOS イベントが検出された場合に、CLKIN0 の出力を low/low に自動出力ディスエーブル (AOD) する機能をイネーブルにします。詳細については、「自動出力ディスエーブル」セクションを参照してください。 0h = 非アクティブ 1h = アクティブ
2:0	予約済み	R	0h	予約済み

9.1.14 R38 レジスタ (オフセット = 26h) [リセット = 00h]

R38 を表 9-16 に示します。

概略表に戻ります。

表 9-16. R38 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R	0h	予約済み
0	WRITE_LOCK	R	0h	クリア不可能 SMBus 書き込みロックビット。1 が書き込まれると、SMBus 制御レジスタには書き込みできなくなります。このビットは、電源を再投入することでのみクリアされます。 0h = 書き込み時に SMBus はロックされていません 1h =書き込み用に SMBus がロックされています

9.1.15 R39 レジスタ (オフセット = 27h) [リセット = 00h]

R39 を表 9-17 に示します。

概略表に戻ります。

表 9-17. R39 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:2	予約済み	R	0h	予約済み
1	LOS_EVT	R	0h	LOS イベント ステータス。High の場合、LOS イベントが検出されたことを示します。これは 1 を書き込むことで無効にできます。 0h = LOS イベントは検出されていません 1h = LOS イベントが検出されました

Copyright © 2026 Texas Instruments Incorporated

表 9-17. R39 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
0	WRITE_LOCK_RW1C	R/W1C	0h	クリア可能な SMBus 書き込みロックビット。1 が書き込まれると、SMBus 制御レジスタには書き込みできなくなります。このビットは、1 を書き込むことでクリアされます。 0h = 書き込み時に SMBus はロックされていません 1h =書き込み用に SMBus がロックされています

9.1.16 R43 レジスタ (オフセット = 2Bh) [リセット = 00h]

R43 を表 9-18 に示します。

概略表に戻ります。

表 9-18. R43 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5:4	CLKIN_SEL	R/W	0h	CLKIN ソース選択 0h = すべての出力は CLKIN0 から供給されます 1h = CLKIN0 の入力は BANK0 に、CLKIN1 の入力は BANK1 に送られます 2h = 無効 3h = すべての出力は CLKIN1 から供給されます
3:0	予約済み	R	0h	予約済み

9.1.17 R91 レジスタ (オフセット = 5Bh) [リセット = 60h]

R91 を表 9-19 に示します。

概略表に戻ります。

表 9-19. R91 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	SLEWRATE_OPT_2	R/W	6h	16 種類のスルーレート値の中から選択されたスルーレート値保存をするレジスタ割り当てが 4 つあります。このレジスタ ビットは 2 番目のオプションに関連しています。詳細については、「プログラマブルな出力スルーレート」セクションを参照してください。 0h = 0 (最高速) 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15 (最低速)

Copyright © 2026 Texas Instruments Incorporated

表 9-19. R91 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3:0	SLEWRATE_OPT_1	R/W	0h	16 種類のスルーレート値の中から選択されたスルーレート値保存をするレジスタ割り当てが 4 つあります。このレジスタ ビットは 1 番目のオプションに関連しています。詳細については、「プログラマブルな出力スルーレート」セクションを参照してください。 0h = 0 (最高速) 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15 (最低速)

9.1.18 R92 レジスタ (オフセット = 5Ch) [リセット値 = FAh]

R92 を表 9-20 に示します。

概略表に戻ります。

表 9-20. R92 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	SLEWRATE_OPT_4	R/W	Fh	16 種類のスルーレート値の中から選択されたスルーレート値保存をするレジスタ割り当てが 4 つあります。このレジスタ ビットは 4 番目のオプションに関連しています。詳細については、「プログラマブルな出力スルーレート」セクションを参照してください。 0h = 0 (最高速) 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15 (最低速)

Copyright © 2026 Texas Instruments Incorporated

表 9-20. R92 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3:0	SLEWRATE_OPT_3	R/W	Ah	16 種類のスルーレート値の中から選択されたスルーレート値保存をするレジスタ割り当てが 4 つあります。このレジスタ ビットは 3 番目のオプションに関連しています。詳細については、「プログラマブルな出力スルーレート」セクションを参照してください。 0h = 0 (最高速) 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15 (最低速)

9.1.19 R93 レジスタ (オフセット = 5Dh) [リセット = 00h]

R93 を表 9-21 に示します。

概略表に戻ります。

表 9-21. R93 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R	0h	予約済み
0	RX_CLKIN0_EN_AC_INPUT	R/W	0h	CLKIN0 が AC 結合のとき、レシーバ バイアスを有効化 0h = DC 結合入力 1h = AC 結合入力

9.1.20 R98 レジスタ (オフセット = 62h) [リセット = 00h]

R98 を表 9-22 に示します。

概略表に戻ります。

表 9-22. R98 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済み
5	SLEWRATE_SEL_CLK2_LSB	R/W	0h	LSB CLK2 スルーレート制御
4	SLEWRATE_SEL_CLK3_LSB	R/W	0h	LSB CLK3 スルーレート制御
3:0	予約済み	R	0h	予約済み

9.1.21 R99 レジスタ (オフセット = 63h) [リセット = 00h]

R99 を表 9-23 に示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

表 9-23. R99 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	予約済み	R	0h	予約済み
6	SLEWRATE_SEL_CLK0_LSB	R/W	0h	LSB CLK0 スルーレート制御
5:3	予約済み	R	0h	予約済み
2	SLEWRATE_SEL_CLK1_LSB	R/W	0h	LSB CLK1 スルーレート制御
1:0	予約済み	R	0h	予約済み

Copyright © 2026 Texas Instruments Incorporated

9.2 LMKDB1208 のレジスタ

LMKDB1208 レジスタのメモリマップされたレジスタを、表 9-24 に示します。表 9-24 にないレジスタ オフセット アドレスはすべて予約済みと見なして、レジスタの内容は変更しないでください。

表 9-24. LMKDB1208 のレジスタ

オフセット	略称	レジスタ名	セクション
0h	R0	CLK0~CLK3 の出力イネーブル制御	セクション 9.2.1
1h	R1	CLK4~CLK7 の出力イネーブル制御	セクション 9.2.2
3h	R3	OE0b～OE7b までの OE ピンのリード バック	セクション 9.2.3
4h	R4	ACP イネーブル制御と LOSb 設定	セクション 9.2.4
5h	R5	デバイス情報	セクション 9.2.5
6h	R6	デバイス情報 (続き)	セクション 9.2.6
7h	R7	SMBus バイト カウンタ	セクション 9.2.7
8h	R8	CLK0~CLK3 の SBI マスク	セクション 9.2.8
9h	R9	CLK4~CLK7 の SBI マスク	セクション 9.2.9
Ah	R10	入力クロックの選択	セクション 9.2.10
Bh	R11	CLK0～CLK3 までの SBI のリード バック	セクション 9.2.11
Ch	R12	CLK4～CLK7 までの SBI のリード バック	セクション 9.2.12
Eh	R14	CLK0 ～ CLK3 までの OE ピンのイネーブル	セクション 9.2.13
Fh	R15	CLK4 ～ CLK7 までの OE ピンのイネーブル	セクション 9.2.14
11h	R17	出力振幅制御	セクション 9.2.15
12h	R18	LOSb 読み戻しおよび SMBus タイムアウト構成	セクション 9.2.16
14h	R20	CLK0 ～ CLK3 の出力インピーダンス選択	セクション 9.2.17
15h	R21	CLK4 ～ CLK7 の出力インピーダンス選択	セクション 9.2.18
23h	R35	入力レシーバのバイアスと終端抵抗の制御	セクション 9.2.19
26h	R38	クリアできない SMBus 書き込みロック	セクション 9.2.20
27h	R39	LOS ステータスおよびクリア可能な SMBus 書き込みロック	セクション 9.2.21
5Bh	R91	スルー レートの選択	セクション 9.2.22

表の小さなセルに収まるように、複雑なビット アクセス タイプを記号で表記しています。表 9-25 に、このセクションでアクセス タイプに使用しているコードを示します。

表 9-25. LMKDB1208 のアクセス タイプ コード

アクセス タイプ	コード	説明
読み取りタイプ		
R	R	読み出し
書き込みタイプ		
W	W	書き込み
WMC	W	書き込み
WSC	W	書き込み
リセットまたはデフォルト値		
-n		リセット後の値またはデフォルト値

9.2.1 R0 レジスタ (オフセット = 0h) [リセット = 99h]

R0 を表 9-26 に示します。

Copyright © 2026 Texas Instruments Incorporated

概略表に戻ります。

表 9-26. R0 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CLK_EN_3	R/W	1h	CLK3 の出力イネーブル 0h = 出力ディセーブル (low/low) 1h = 出力イネーブル
6:5	予約済み	R	0h	予約済みビット
4	CLK_EN_2	R/W	1h	CLK2 の出力イネーブル 0h = 出力ディセーブル (low/low) 1h = 出力イネーブル
3	CLK_EN_1	R/W	1h	CLK1 の出力イネーブル 0h = 出力ディセーブル (low/low) 1h = 出力イネーブル
2:1	予約済み	R	0h	予約済みビット
0	CLK_EN_0	R/W	1h	CLK0 の出力イネーブル 0h = 出力ディセーブル (low/low) 1h = 出力イネーブル

9.2.2 R1 レジスタ (オフセット = 1h) [リセット = 99h]

R1 を表 9-27 に示します。

概略表に戻ります。

表 9-27. R1 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CLK_EN_7	R/W	1h	CLK7 の出力イネーブル 0h = 出力ディセーブル (low/low) 1h = 出力イネーブル
6:5	予約済み	R	0h	予約済みビット
4	CLK_EN_6	R/W	1h	CLK6 の出力イネーブル 0h = 出力ディセーブル (low/low) 1h = 出力イネーブル
3	CLK_EN_5	R/W	1h	CLK5 の出力イネーブル 0h = 出力ディセーブル (low/low) 1h = 出力イネーブル
2:1	予約済み	R	0h	予約済みビット
0	CLK_EN_4	R/W	1h	CLK4 の出力イネーブル 0h = 出力ディセーブル (low/low) 1h = 出力イネーブル

9.2.3 R3 レジスタ (オフセット = 3h) [リセット = 00h]

R3 を表 9-28 に示します。

概略表に戻ります。

表 9-28. R3 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	RB_OEb_7	R	0h	OEb7 のステータス
6	RB_OEb_6	R	0h	OEb6 のステータス
5	RB_OEb_5	R	0h	OEb5 のステータス

Copyright © 2026 Texas Instruments Incorporated

表 9-28. R3 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
4	RB_OEb_4	R	0h	OEb4 のステータス
3	RB_OEb_3	R	0h	OEb3 のステータス
2	RB_OEb_2	R	0h	OEb2 のステータス
1	RB_OEb_1	R	0h	OEb1 のステータス
0	RB_OEb_0	R	0h	OEb0 のステータス

9.2.4 R4 レジスタ (オフセット = 4h) [リセット = 3Ch]

R4 を表 9-29 に示します。

概略表に戻ります。

表 9-29. R4 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済みビット
5	BANK1_ACP_ENABLE	R/W	1h	LOS イベントが検出された際に、クロックパーキングを自動的に low/low にする機能をイネーブルにします。BANK1
4	BANK0_ACP_ENABLE	R/W	1h	LOS イベントが検出された際に、クロックパーキングを自動的に low/low にする機能をイネーブルにします。BANK0
3	LOS1b_CONFIG	R/W	1h	バンク 1 の LOSb 構成 1h = LOS1b リアル タイム 0h = RW1C スティッキー ビットからの LOS1b
2	LOS0b_CONFIG	R/W	1h	バンク 0 の LOSb 構成 1h = LOS0b リアル タイム 0h = RW1C スティッキー ビットからの LOS0b
1	予約済み	R	0h	予約済みビット
0	RB_SBI_ENQ	R	0h	SBI_ENQ のステータス

9.2.5 R5 レジスタ (オフセット = 5h) [リセット = 0Ah]

R5 を表 9-30 に示します。

概略表に戻ります。

表 9-30. R5 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	REV_ID	R	0h	シリコンのリビジョン
3:0	VENDOR_ID	R	Ah	ベンダ ID

9.2.6 R6 レジスタ (オフセット = 6h) [リセット = 28h]

R6 を表 9-31 に示します。

概略表に戻ります。

表 9-31. R6 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:0	DEV_ID	R	28h	デバイス ID

Copyright © 2026 Texas Instruments Incorporated

9.2.7 R7 レジスタ (オフセット = 7h) [リセット = 07h]

R7 を表 9-32 に示します。

概略表に戻ります。

表 9-32. R7 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:5	予約済み	R	0h	予約済みビット
4:0	SMBUS_BC	R/W	7h	SMBUS ブロック読み取りバイト数

9.2.8 R8 レジスタ (オフセット = 8h) [リセット = 00h]

R8 を表 9-33 に示します。

概略表に戻ります。

表 9-33. R8 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SBI_MASK_3	R/W	0h	CLK3 に対するサイドバンド ディスエーブルをマスク オフ
6:5	予約済み	R	0h	予約済みビット
4	SBI_MASK_2	R/W	0h	CLK2 に対するサイドバンド ディスエーブルをマスク オフ
3	SBI_MASK_1	R/W	0h	CLK1 に対するサイドバンド ディスエーブルをマスク オフ
2:1	予約済み	R	0h	予約済みビット
0	SBI_MASK_0	R/W	0h	CLK0 に対するサイドバンド ディスエーブルをマスク オフ

9.2.9 R9 レジスタ (オフセット = 9h) [リセット = 00h]

R9 を表 9-34 に示します。

概略表に戻ります。

表 9-34. R9 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SBI_MASK_7	R/W	0h	CLK17 に対するサイドバンド ディスエーブルをマスク オフ
6:5	予約済み	R	0h	予約済みビット
4	SBI_MASK_6	R/W	0h	CLK6 に対するサイドバンド ディスエーブルをマスク オフ
3	SBI_MASK_5	R/W	0h	CLK5 に対するサイドバンド ディスエーブルをマスク オフ
2:1	予約済み	R	0h	予約済みビット
0	SBI_MASK_4	R/W	0h	CLK4 に対するサイドバンド ディスエーブルをマスク オフ

9.2.10 R10 レジスタ (オフセット = Ah) [リセット = 00h]

R10 を表 9-35 に示します。

概略表に戻ります。

表 9-35. R10 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:6	予約済み	R	0h	予約済みビット

Copyright © 2026 Texas Instruments Incorporated

表 9-35. R10 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
5:4	CLK_SEL	R/W	0h	クロック ソース選択 0h = CLKIN0 からの両方のバンク 1h = CLKIN0 からの BANK0、CLKIN1 からの BANK1 2h = N/A 3h = CLKIN1 からの両方のバンク
3:1	予約済み	R	0h	予約済みビット
0	CLK_SEL_CTRL	R/W	0h	ピンまたは SMBus からの入力制御を選択 0h = CLKSEL ピン制御を使用 1h = CLKSEL SMB 制御を使用

9.2.11 R11 レジスタ (オフセット= Bh) [リセット= 00h]

R11 を表 9-36 に示します。

概略表に戻ります。

表 9-36. R11 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SBI_CLK_3	R	0h	CLK3 のサイドバンドディスエーブルのリードバック
6:5	予約済み	R	0h	予約済みビット
4	SBI_CLK_2	R	0h	CLK2 のサイドバンドディスエーブルのリードバック
3	SBI_CLK_1	R	0h	CLK1 のサイドバンドディスエーブルのリードバック
2:1	予約済み	R	0h	予約済みビット
0	SBI_CLK_0	R	0h	CLK0 のサイドバンドディスエーブルのリードバック

9.2.12 R12 レジスタ (オフセット = Ch) [リセット = 00h]

R12 を表 9-37 に示します。

概略表に戻ります。

表 9-37. R12 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	SBI_CLK_7	R	0h	CLK7 のサイドバンドディスエーブルのリードバック
6:5	予約済み	R	0h	予約済みビット
4	SBI_CLK_6	R	0h	CLK6 のサイドバンドディスエーブルのリードバック
3	SBI_CLK_5	R	0h	CLK5 のサイドバンドディスエーブルのリードバック
2:1	予約済み	R	0h	予約済みビット
0	SBI_CLK_4	R	0h	CLK4 のサイドバンドディスエーブルのリードバック

9.2.13 R14 レジスタ (オフセット = Eh) [リセット = 09h]

R14 を表 9-38 に示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

表 9-38. R14 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CLK_OEB_EN_3	R/W	0h	OE3b ピンによる CLK3 制御をイネーブル 0h = OEb による出力停止をディセーブル 1h = OEb による出力停止をイネーブル
6:5	予約済み	R	0h	予約済みビット
4	CLK_OEB_EN_2	R/W	0h	OE2b ピンによる CLK2 制御をイネーブル 0h = OEb による出力停止をディセーブル 1h = OEb による出力停止をイネーブル
3	CLK_OEB_EN_1	R/W	1h	OE1b ピンによる CLK1 制御をイネーブル 0h = OEb による出力停止をディセーブル 1h = OEb による出力停止をイネーブル
2:1	予約済み	R	0h	予約済みビット
0	CLK_OEB_EN_0	R/W	1h	OE0b ピンによる CLK0 制御をイネーブル 0h = OEb による出力停止をディセーブル 1h = OEb による出力停止をイネーブル

9.2.14 R15 レジスタ (オフセット= Fh) [リセット= 19h]

R15 を表 9-39 に示します。

概略表に戻ります。

表 9-39. R15 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CLK_OEB_EN_7	R/W	0h	OE7b ピンによる CLK7 制御をイネーブル 0h = OEb による出力停止をディセーブル 1h = OEb による出力停止をイネーブル
6:5	予約済み	R	0h	予約済みビット
4	CLK_OEB_EN_6	R/W	1h	OE6b ピンによる CLK6 制御をイネーブル 0h = OEb による出力停止をディセーブル 1h = OEb による出力停止をイネーブル
3	CLK_OEB_EN_5	R/W	1h	OE5b ピンによる CLK5 制御をイネーブル 0h = OEb による出力停止をディセーブル 1h = OEb による出力停止をイネーブル
2:1	予約済み	R	0h	予約済みビット
0	CLK_OEB_EN_4	R/W	1h	OE4b ピンによる CLK4 制御をイネーブル 0h = OEb による出力停止をディセーブル 1h = OEb による出力停止をイネーブル

9.2.15 R17 レジスタ (オフセット = 11h) [リセット = 66h]

R17 を表 9-40 に示します。

概略表に戻ります。

Copyright © 2026 Texas Instruments Incorporated

表 9-40. R17 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	AMP_1	R/W	6h	バンク 1 差動出力制御 = 0.6V ～約 1V 25mV/ステップがデフォルト = 0.75V 0h = 600mV 1h = 625mV 2h = 650mV 3h = 675mV 4h = 700mV 5h = 725mV 6h = 750mV 7h = 775mV 8h = 800mV 9h = 825mV Ah = 850mV Bh = 875mV Ch = 900mV Dh = 925mV Eh = 950mV Fh = 975mV
3:0	AMP_0	R/W	6h	バンク 0 差動出力制御 = 0.6V ～約 1V 25mV/ステップがデフォルト = 0.75V 0h = 600mV 1h = 625mV 2h = 650mV 3h = 675mV 4h = 700mV 5h = 725mV 6h = 750mV 7h = 775mV 8h = 800mV 9h = 825mV Ah = 850mV Bh = 875mV Ch = 900mV Dh = 925mV Eh = 950mV Fh = 975mV

9.2.16 R18 レジスタ (オフセット = 12h) [リセット = 0Ch]

R18 を表 9-41 に示します。

概略表に戻ります。

表 9-41. R18 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済みビット
3	PD_RESTOREB	R/W	1h	パワーダウン時に 、1'b0: 構成をクリア 、1'b1: 構成を保存
2	SDATA_TIMEOUT_EN	R/W	1h	SMB SDATA タイムアウト監視をイネーブル 1'b0：SDATA タイムアウトをディスエーブル 1'b1：SDATA タイムアウトをイネーブル
1	LOS1b_RB	R	0h	損失検出ブロック出力のリアルタイム リード バック 0h = LOS イベント検出 1h = LOS イベントは未検出
0	LOS0b_RB	R	0h	損失検出ブロック出力のリアルタイム リード バック 0h = LOS イベント検出 1h = LOS イベントは未検出

Copyright © 2026 Texas Instruments Incorporated

9.2.17 R20 レジスタ (オフセット = 14h) [リセット = 00h]

R20 を表 9-42 に示します。

概略表に戻ります。

表 9-42. R20 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CLK_IMPEDANCE_3	R/W	0h	出力クロック インピーダンス選択 0h = 85Ω 1h = 100Ω
6:5	予約済み	R	0h	予約済みビット
4	CLK_IMPEDANCE_2	R/W	0h	出力クロック インピーダンス選択 0h = 85Ω 1h = 100Ω
3	CLK_IMPEDANCE_1	R/W	0h	出力クロック インピーダンス選択 0h = 85Ω 1h = 100Ω
2:1	予約済み	R	0h	予約済みビット
0	CLK_IMPEDANCE_0	R/W	0h	出力クロック インピーダンス選択 0h = 85Ω 1h = 100Ω

9.2.18 R21 レジスタ (オフセット = 15h) [リセット = 00h]

R21 を表 9-43 に示します。

概略表に戻ります。

表 9-43. R21 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7	CLK_IMPEDANCE_7	R/W	0h	出力クロック インピーダンス選択 0h = 85Ω 1h = 100Ω
6:5	予約済み	R	0h	予約済みビット
4	CLK_IMPEDANCE_6	R/W	0h	出力クロック インピーダンス選択 0h = 85Ω 1h = 100Ω
3	CLK_IMPEDANCE_5	R/W	0h	出力クロック インピーダンス選択 0h = 85Ω 1h = 100Ω
2:1	予約済み	R	0h	予約済みビット
0	CLK_IMPEDANCE_4	R/W	0h	出力クロック インピーダンス選択 0h = 85Ω 1h = 100Ω

9.2.19 R35 レジスタ (オフセット = 23h) [リセット = 00h]

R35 を表 9-44 に示します。

概略表に戻ります。

表 9-44. R35 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	予約済み	R	0h	予約済みビット

Copyright © 2026 Texas Instruments Incorporated

表 9-44. R35 レジスタのフィールドの説明 (続き)

ビット	フィールド	タイプ	リセット	説明
3	d_RX1_EN_AC_INPUT	R/W	0h	CLKIN が AC 結合のとき、レシーバ バイアスを有効化 0h = DC 結合入力 1h = AC 結合入力
2	d_RX1_EN_RTERM_LSB	R/W	0h	CLKIN1 の終端抵抗のイネーブル 0h = 入力終端レジスタ ディセーブル 1h = 入力終端レジスタ イネーブル
1	d_RX0_EN_AC_INPUT	R/W	0h	CLKIN が AC 結合のとき、レシーバ バイアスを有効化 0h = DC 結合入力 1h = AC 結合入力
0	d_RX0_EN_RTERM_LSB	R/W	0h	CLKIN0 の終端抵抗のイネーブル 0h = 入力終端 R ディセーブル 1h = 入力終端 R イネーブル

9.2.20 R38 レジスタ (オフセット = 26h) [リセット = 00h]

R38 を表 9-45 に示します。

概略表に戻ります。

表 9-45. R38 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:1	予約済み	R	0h	予約済みビット
0	WRITE_LOCK	R/WMC	0h	クリア不可能 SMBus 書き込みロックビット。1 が書き込まれると、SMBus 制御レジスタには書き込みできなくなります。このビットは、電力をリサイクルすることによってのみクリアできます 0h = SMBus はこのビットによって書き込みをロックされていません。WRITE_LOCK_RW1C ビットを参照してください。 1h = SMBus が書き込み用にロックされています

9.2.21 R39 レジスタ (オフセット = 27h) [リセット = 00h]

R39 を表 9-46 に示します。

概略表に戻ります。

表 9-46. R39 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:3	予約済み	R	0h	予約済みビット
2	LOS1_EVT	R/WSC	0h	LOS イベント ステータスは、高レベルの場合、LOS イベントが検出されたことを示します。これは 1 を書き込むことで無効にできます。 0h = LOS イベントは検出されていません 1h = LOS イベントが検出されました
1	LOS0_EVT	R/WSC	0h	LOS イベント ステータスは、高レベルの場合、LOS イベントが検出されたことを示します。これは 1 を書き込むことで無効にできます。 0h = LOS イベントは検出されていません 1h = LOS イベントが検出されました
0	WRITE_LOCK_RW1C	R/W	0h	クリア可能な SMBus 書き込みロックビット。1 が書き込まれると、SMBus 制御レジスタには書き込みできなくなります。このビットは、1 を書き込むことでクリアされます。 0h = SMBus はこのビットによる書き込みに対してロックされていません。WRITE_LOCK ビットを参照してください。 1h = SMBus が書き込み用にロックされています

Copyright © 2026 Texas Instruments Incorporated

9.2.22 R91 レジスタ (オフセット = 5Bh) [リセット = 60h]

R91 を表 9-47 に示します。

概略表に戻ります。

表 9-47. R91 レジスタのフィールドの説明

ビット	フィールド	タイプ	リセット	説明
7:4	SLEWRATE_OPT	R/W	6h	16 種類のスルーレート値の中から選択されたスルーレート値保存をするレジスタ割り当てが 4 つあります。このレジスタ ビットは 2 番目のオプションに関連しています。詳細については、「プログラマブルな出力スルーレート」セクションを参照してください。 0h = 0 (最高速) 1h = 1 2h = 2 3h = 3 4h = 4 5h = 5 6h = 6 (LMKDB1208 のデフォルト) 7h = 7 8h = 8 9h = 9 Ah = 10 Bh = 11 Ch = 12 Dh = 13 Eh = 14 Fh = 15 (最低速)
3:0	予約済み	R	0h	予約済みビット

10 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

10.1 アプリケーション情報

LMKDB12xx デバイスは、超低加算ジッタの LP-HCSL クロック マルチプレクサです。本デバイスは、SMBus レジスタ、サイド バンド インターフェイス、および OE# ピンを介して制御できます。

10.2 代表的なアプリケーション

この例は、PCIe およびイーサネット クロック分配を示しています。指定されたソースに基づき、PCIe クロック (100MHz) またはイーサネット クロック (156.25MHz) を複数コピー提供します。

Copyright © 2026 Texas Instruments Incorporated

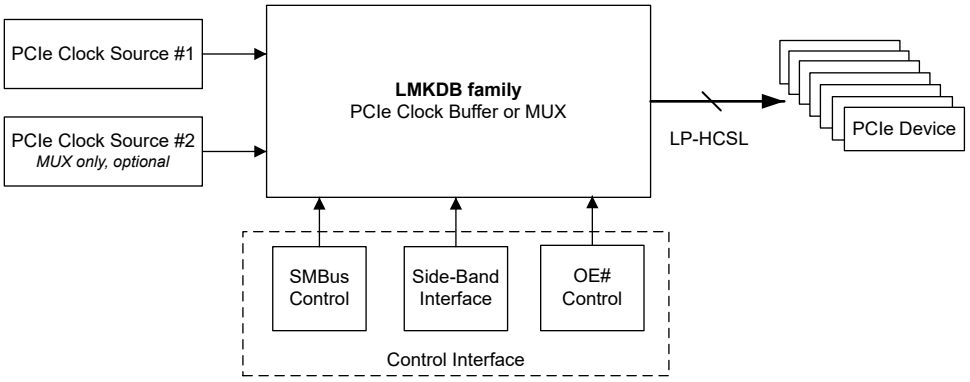


図 10-1. 代表的なアプリケーション

10.2.1 設計要件

PCIe クロック ファンアウト用とイーサネット クロック ファンアウト用に、それぞれ 2 種類のバッファを選定してください。ジッタ要件を満たし、かつスペースを最小限に抑える必要があります。

表 10-1. 設計パラメータ

パラメータ	値
PCIe クロックの数	15
156.25MHz イーサネット クロックの数	7
PCIe アーキテクチャ	CC (共通クロック)
PCIe リファレンス クロックのスルーレート	≥3.5V/ns
PCIe Gen 5 リファレンス クロック ジッタ	最大 45fs
PCIe Gen 5 トータル ジッタ	最大 50fs
156.25MHz リファレンス クロックのスルーレート	≥3.5V/ns
156.25MHz リファレンス クロック ジッタ (12kHz ～ 20MHz)	最大 90fs
156.25MHz トータル ジッタ (12kHz ～ 20MHz)	最大 100fs

10.2.2 詳細な設計手順

まず、RMS 加算を用いてクロック バッファのジッタ バジェットを算出します。クロック バッファに許容される最大加算ジッタは、リファレンス クロック ジッタの二乗からトータル クロック ジッタの二乗を引いた差の平方根となります。

PCIe Gen 5 においてバッファに許容される最大加算ジッタは、sqrt ($50^2 – 45^2$) = 21fs です。仕様 *電気的特性* 表の記載によれば、共通クロックかつ入力スルーレートが 3.5V/ns 以上の試験条件における PCIe Gen 5 加算ジッタは最大 13fs であり、21fs の要件を十分に下回っています。

同様に、156.25MHz における 12kHz ～ 20MHz の最大許容加算ジッタは sqrt($100^2 – 90^2$) ＝ 43fs です。仕様 *電気的特性* 表の記載によれば、156.25MHz における 12kHz ～ 20MHz の加算ジッタは最大 31fs であり、43fs の要件を十分に下回っています。

10.2.3 アプリケーション曲線

以下のプロットは、156.25MHz において LMKDB12xx 使用前後の位相ノイズ例です。LMKDB クロック マルチプレクサは、12kHz ～ 20MHz において 22fs (代表値) のジッタを加えます。すべての LMKDB12xx デバイスは非常に類似した性能を有しています。

ジッタおよび LMKDB12xx の加算ジッタが 22fs となる理由をより深く理解するためには、*タイミングがすべて を参照してください 加算ジッタの測定方法* TI のブログ記事。

Copyright © 2026 Texas Instruments Incorporated

10.3 電源に関する推奨事項

各電源ピンの近くに 0.1µF のコンデンサを配置します。VDDA、のノイズを最小化するため、各ピンの近くに 2.2Ω の抵抗を配置します。すべての電源ピンは 1 つの電源レールにまとめることができます。TI は、チップ全体に対してフェライトビーズと 10µF のコンデンサをグランドに接続することを推奨します。図 10-2 に、電源回路例を示しています。

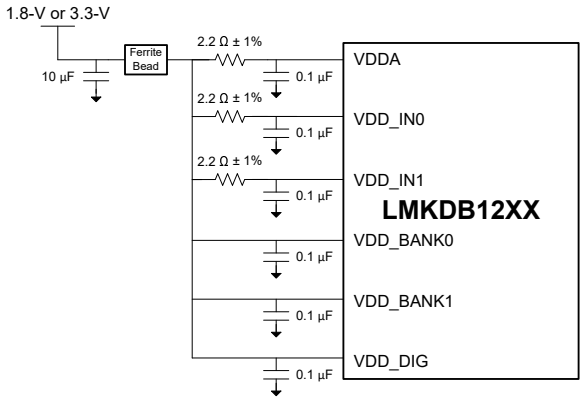


図 10-2. LMKDB12XX マルチプレクサの電源に関する推奨事項

10.4 レイアウト

10.4.1 レイアウトのガイドライン

デバイスの DAP と PCB の間に、低インダクタンスのグランド接続を使用します。

PCB トレース インピーダンスをデバイスの出力インピーダンス (85Ω または 100Ω 差動インピーダンス) と一致させます。スタブを排除し、伝送ラインでの不連続性を低減します。

10.4.2 レイアウト例

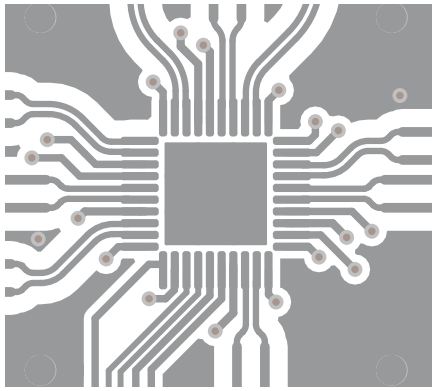


図 10-3. LMKDB1204 レイアウト例 - 最下層

Copyright © 2026 Texas Instruments Incorporated

11 デバイスおよびドキュメントのサポート

テキサス・インスツルメンツでは、幅広い開発ツールを提供しています。デバイスの性能の評価、コードの生成、ソリューションの開発を行うためのツールとソフトウェアを以下で紹介します。

11.1 ドキュメントのサポート

11.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス・インスツルメンツ、『*LMKDB1120 評価基板*』、ユーザー ガイド SNAU298
- テキサス・インスツルメンツ、『*LMKDB1108 評価基板*』、ユーザー ガイド SNAU291
- テキサス・インスツルメンツ、『*LMKDB1104 評価基板*』、ユーザー ガイド SNAU307
- テキサス・インスツルメンツ、『*LMKDB1204 評価基板*』、ユーザー ガイド SNAU306
- テキサス インスツルメンツ、*LMKDB1102/1202 評価基板*、ユーザー ガイド
- テキサス・インスツルメンツ、*タイミングがすべて:加算ジッタの測定方法*、ブログ記事

11.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

11.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

11.4 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

11.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

11.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

12 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (August 2025) to Revision A (April 2026)	Page
• 新しいデバイスを含めるようにデータシートを更新しました。LMKDB1208 の詳細を示します。	1
• スルーレートの説明セクションを更新しました。	27

13 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMKDB1202REYR	Active	Production	VQFN (REY) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	DB1202
LMKDB1202REYR.A	Active	Production	VQFN (REY) | 20	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	DB1202
LMKDB1202REYT	Active	Production	VQFN (REY) | 20	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	DB1202
LMKDB1202REYT.A	Active	Production	VQFN (REY) | 20	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	DB1202
LMKDB1204REXR	Active	Production	VQFN (REX) | 28	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1204
LMKDB1204REXR.A	Active	Production	VQFN (REX) | 28	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1204
LMKDB1204REXT	Active	Production	VQFN (REX) | 28	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1204
LMKDB1204REXT.A	Active	Production	VQFN (REX) | 28	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 105	LMKDB 1204
LMKDB1208RSLR	Active	Production	VQFN (RSL) | 48	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1208
LMKDB1208RSLT	Active	Production	VQFN (RSL) | 48	250 | SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 105	LMKDB 1208

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

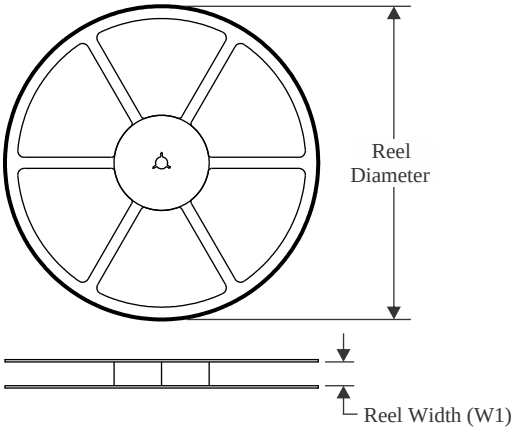
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

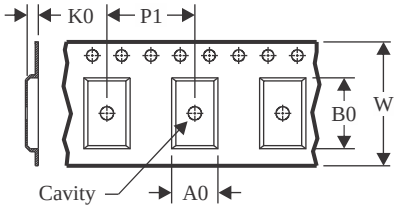
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

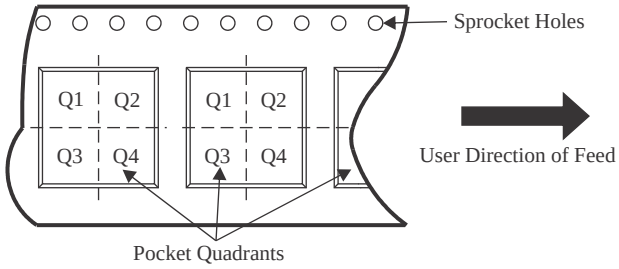


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

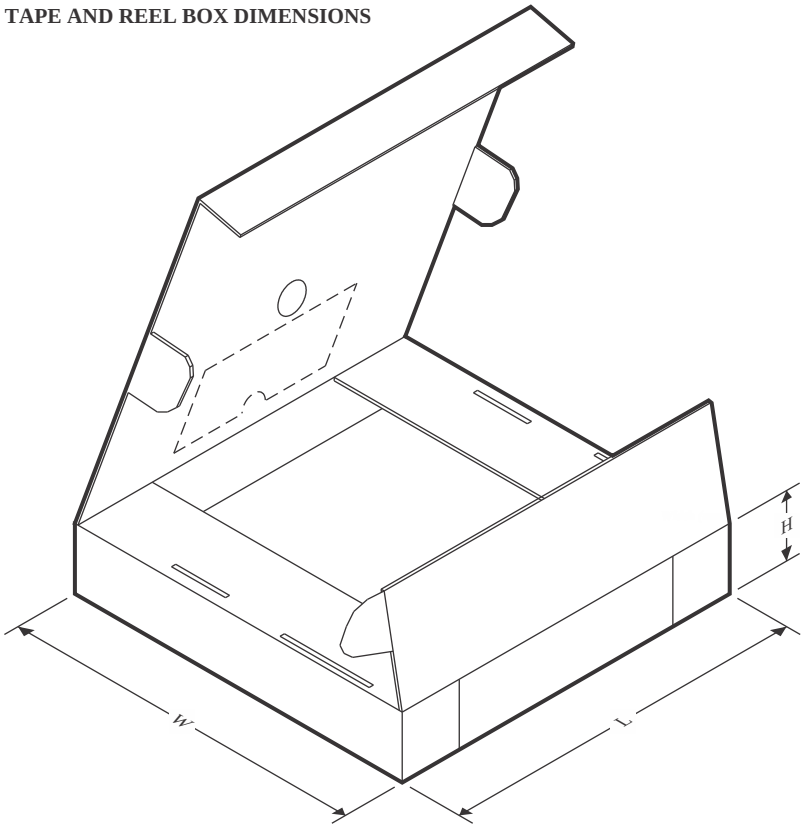
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMKDB1202REYR	VQFN	REY	20	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LMKDB1204REXR	VQFN	REX	28	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
LMKDB1208RSLR	VQFN	RSL	48	2500	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2
LMKDB1208RSLT	VQFN	RSL	48	250	330.0	16.4	6.3	6.3	1.1	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMKDB1202REYR	VQFN	REY	20	3000	360.0	360.0	36.0
LMKDB1204REXR	VQFN	REX	28	3000	360.0	360.0	36.0
LMKDB1208RSLR	VQFN	RSL	48	2500	353.0	353.0	32.0
LMKDB1208RSLT	VQFN	RSL	48	250	210.0	185.0	35.0

GENERIC PACKAGE VIEW

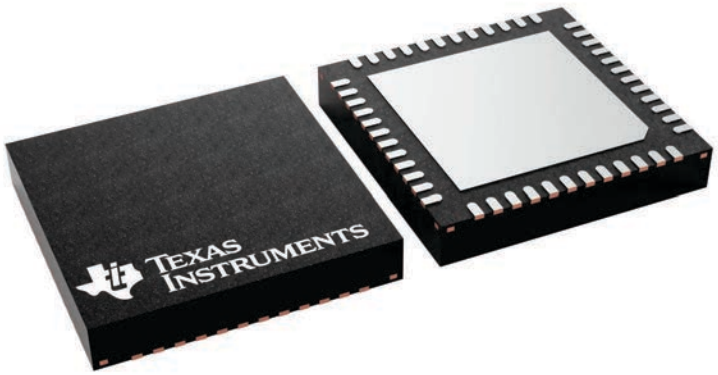
RSL 48

VQFN - 1 mm max height

6 x 6, 0.4 mm pitch

QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



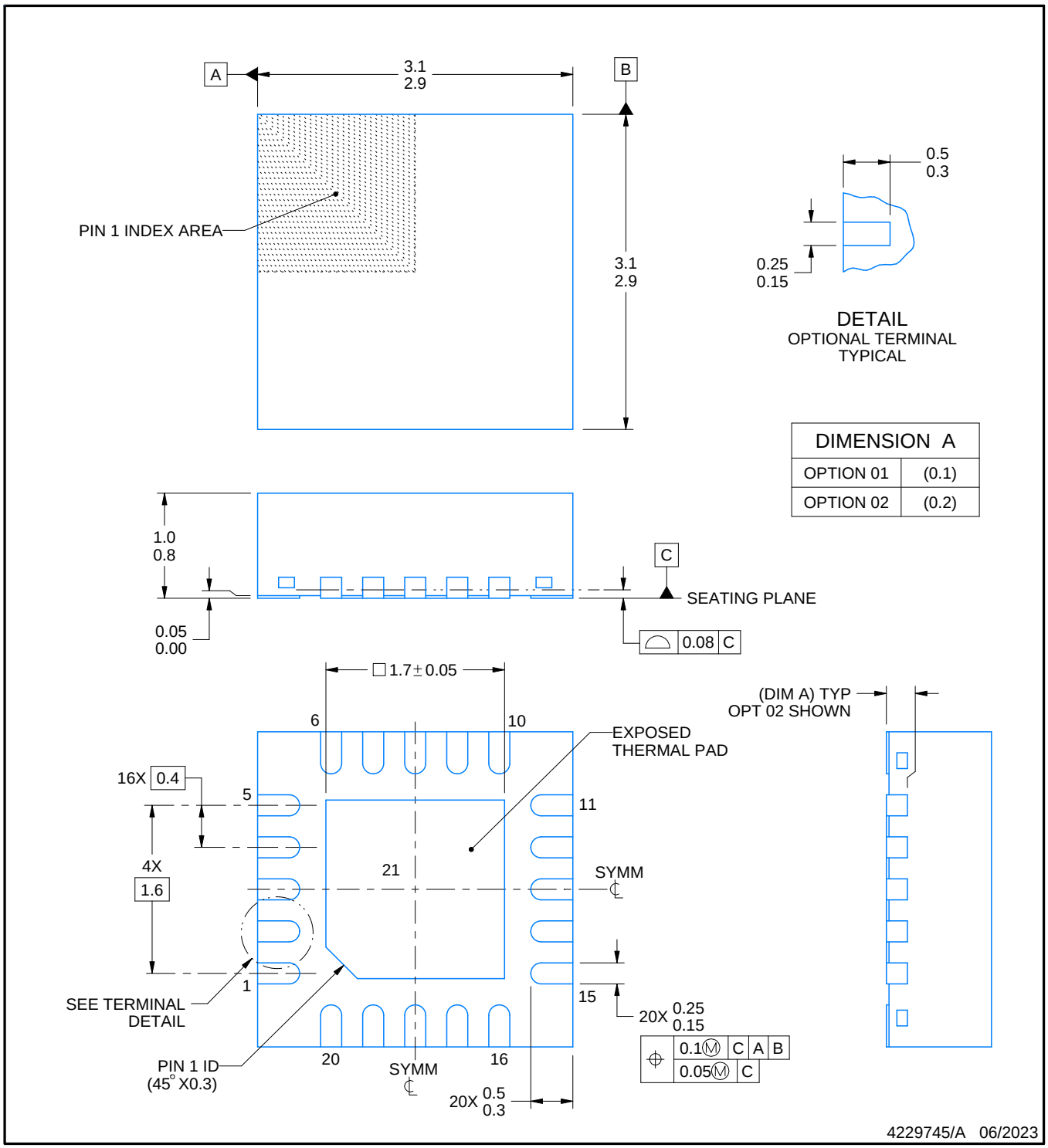
4225749/A

REY0020B

PACKAGE OUTLINE

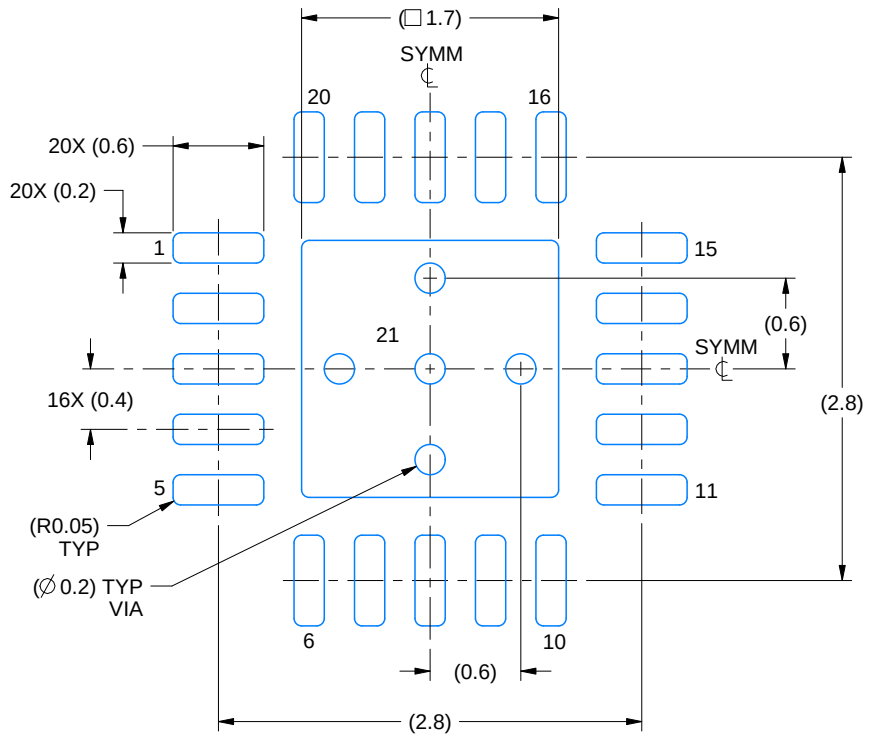
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

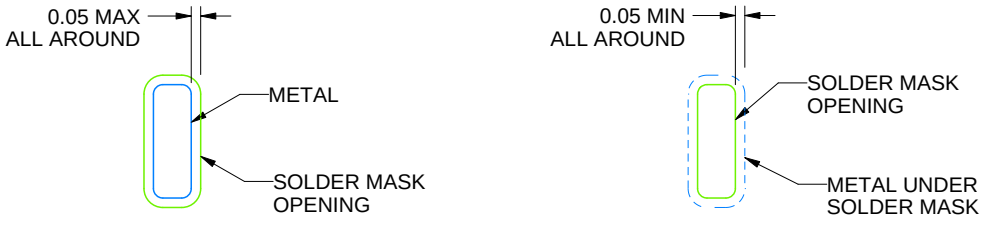


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X



NON SOLDER MASK
DEFINED
(PREFERRED)

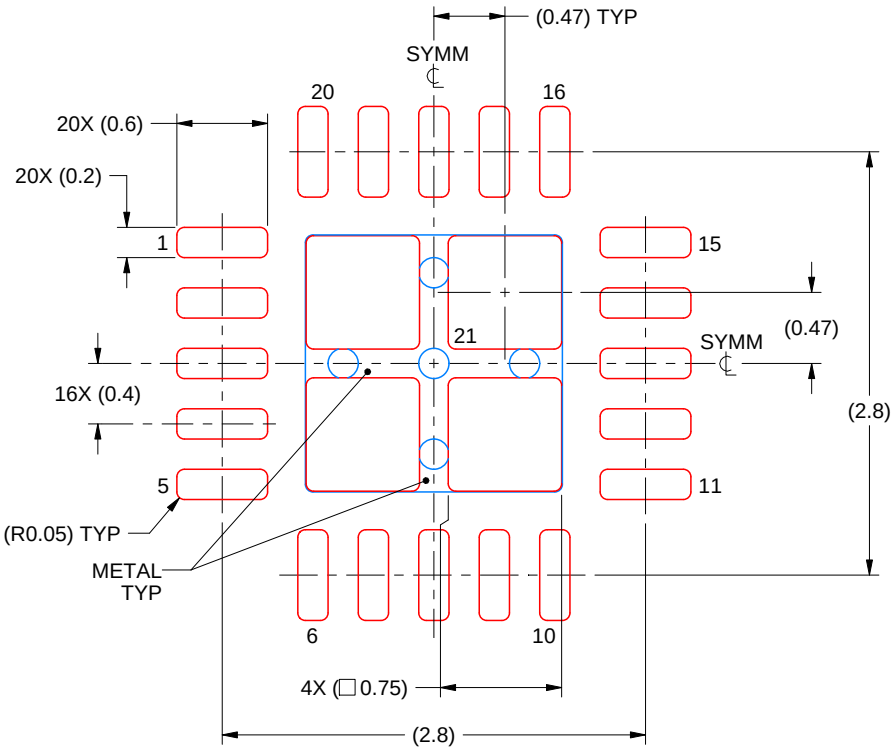
SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4229745/A 06/2023

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 21:
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4229745/A 06/2023

NOTES: (continued)

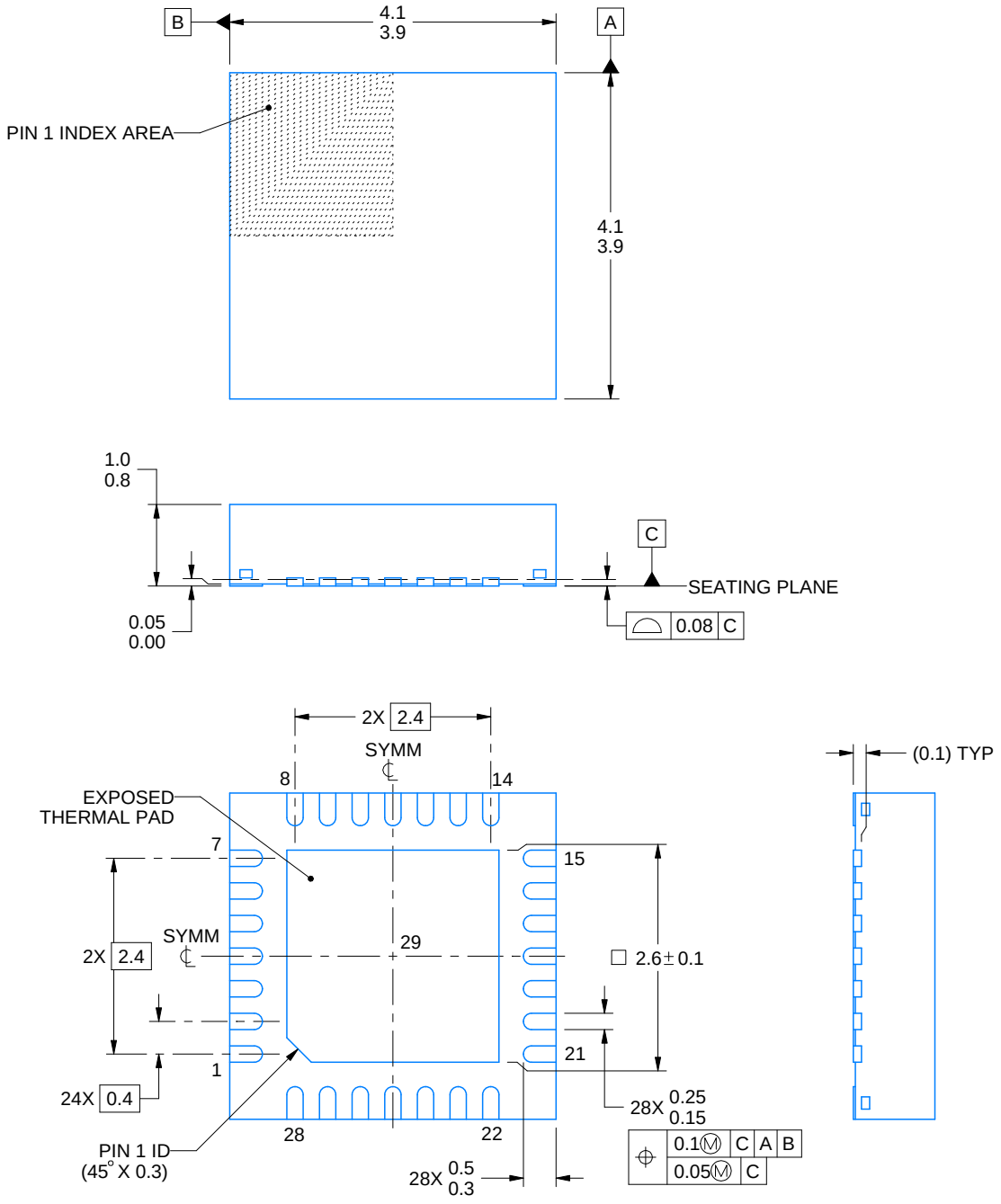
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

REX0028A

PACKAGE OUTLINE

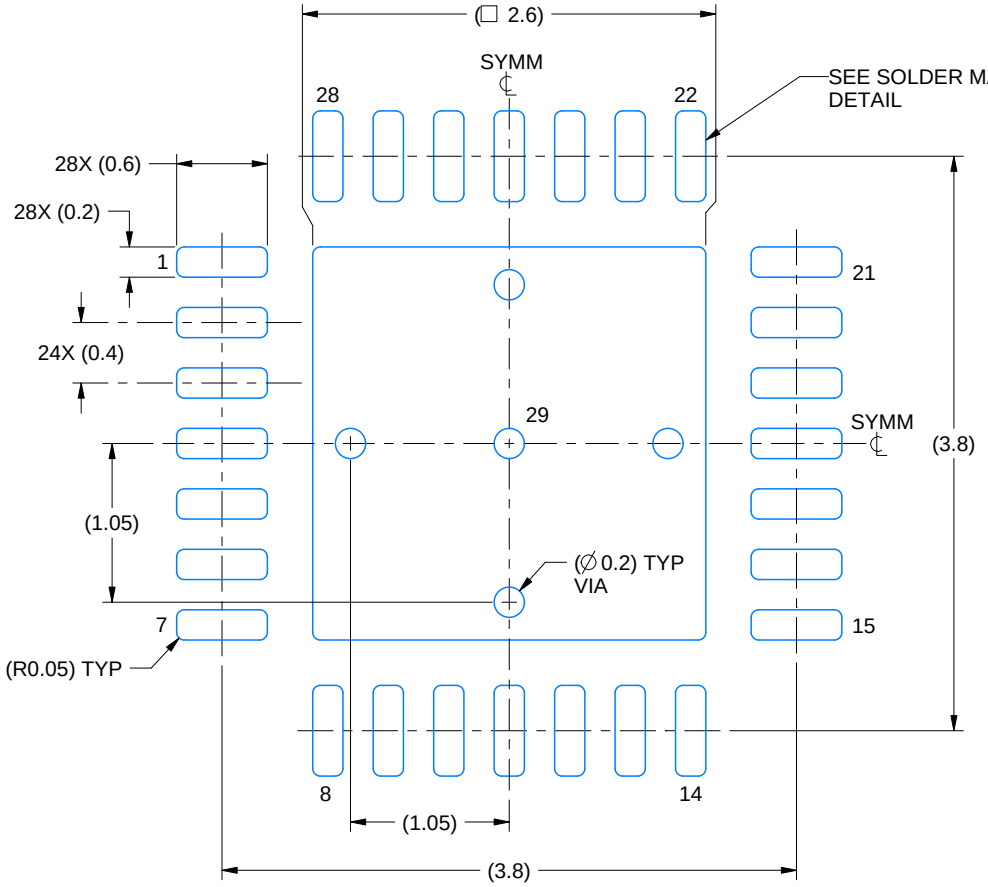
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

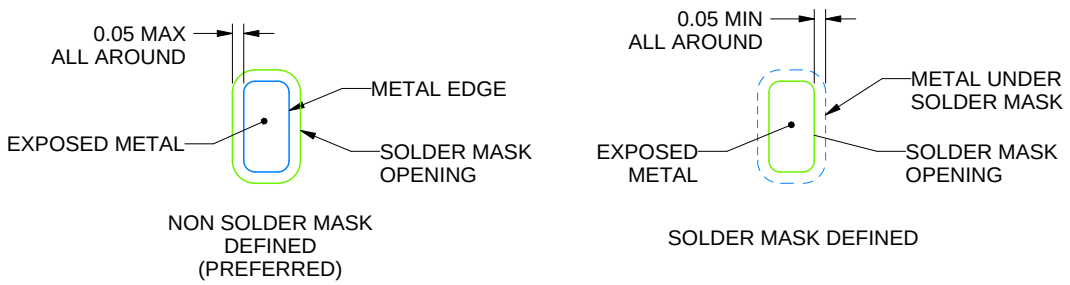


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

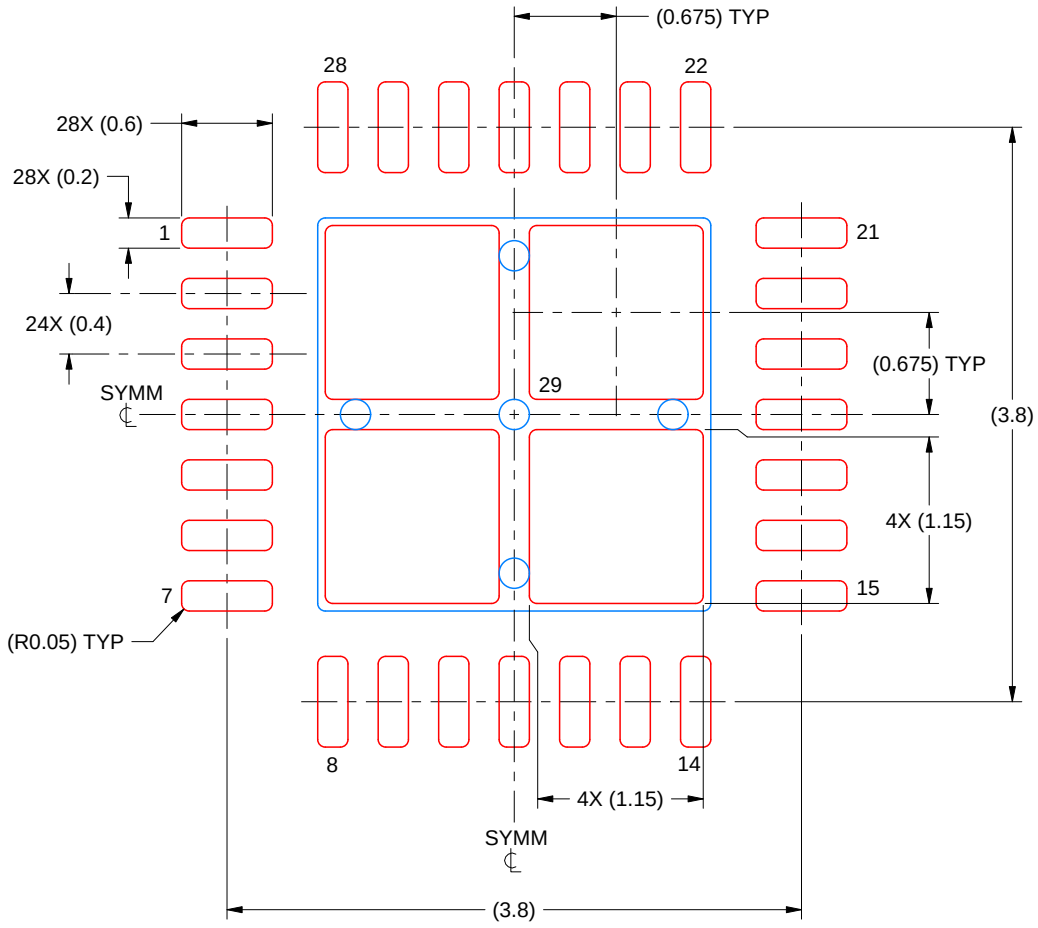


SOLDER MASK DETAILS

4229744/B 07/2025

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 29
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4229744/B 07/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月