LMP860x、–22V ～ 60V、インライン フィルタ機能付き双方向電流センス アンプ

1 特長

- 広い動作時同相電圧範囲:
  - V_S = 3.3V 時:-4V ～ 27V
  - V_S = 5V 時:-22V ～ 60V
- CMRR:90dB (最小)
- シグナル コンディショニング用インライン フィルタ機能
- TCV_{OS}:±10µV/°C (最大)
- 入力オフセット電圧:±1mV (最大値)
- 単一電源双方向動作
- ゲイン = 20 倍 (LMP8601)
- ゲイン = 50 倍 (LMP8602)
- ゲイン = 100 倍 (LMP8603)

2 アプリケーション

- 科学機器 / 分析機器
- 電子ラボ機器
- DC/DC コンバータ
- リニア モーターの電力段
- Intel サーバー
- オフロード車両
- フィールド トランスミッタ / センサ

3 説明

LMP8601、LMP8602、および LMP8603 デバイスは、固定ゲイン、高精度の電流センス アンプです (電流シャント モニタとも呼ばれます)。入力同相電圧範囲は、5V 単一電源で動作する場合は -22V ～ +60V、3.3V 電源で動作する場合は -4V ～ +27V です。LMP860x は、単方向および双方向の電流検出アプリケーション向けに設計された製品です。

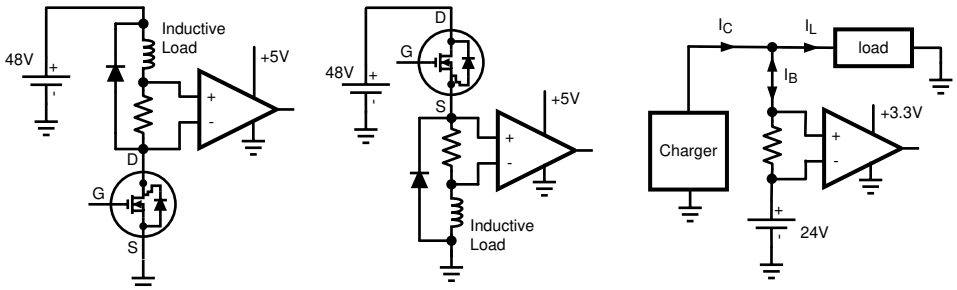
これらのデバイスは 20 倍 (LMP8601)、50 倍 (LMP8602)、および 100 倍 (LMP8603) の高精度のゲインを持ち、対象となるほとんどのアプリケーションにおいて、ADC をフルスケール値まで駆動するのに十分です。固定ゲインは、ゲインが 10 倍のプリアンプと、ゲインが 2 倍 (LMP8601)、5 倍 (LMP8602)、または 10 倍 (LMP8603) の出力段バッファ アンプの 2 つの個別の段で実現されています。2 つの段の間のパスは、2 つのピンによって出力されるため、フィルタ ネットワークの追加やゲインの変更も可能です。

オフセット入力ピンにより、これらのデバイスは単方向または双方向の単一電源電圧での電流検出が可能になります。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
LMP860x	D (SOIC、8)	4.90mm × 6.00mm
LMP8602 LMP8603	DGK (VSSOP、8)	3.00mm × 4.90mm

(1) 詳細については、セクション 10 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



代表的なアプリケーション

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長.....1
2 アプリケーション.....1
3 説明.....1
4 ピン構成および機能.....2
5 仕様.....3
5.1 絶対最大定格.....3
5.2 ESD 定格.....3
5.3 推奨動作条件.....3
5.4 熱に関する情報.....3
5.5 電気的特性:V_S = 3.3V.....4
5.6 電気的特性:V_S = 5V.....5
5.7 代表的特性.....8
6 詳細説明.....19
6.1 概要.....19
6.2 機能ブロック図.....19
6.3 機能説明.....20
6.4 デバイスの機能モード.....23
7 アプリケーションと実装.....27
7.1 代表的なアプリケーション.....27
8 デバイスおよびドキュメントのサポート.....33
8.1 デバイス サポート.....33
8.2 ドキュメントのサポート.....33
8.3 ドキュメントの更新通知を受け取る方法.....33
8.4 サポート・リソース.....33
8.5 商標.....33
8.6 静電気放電に関する注意事項.....33
8.7 用語集.....34
9 改訂履歴.....34
10 メカニカル、パッケージ、および注文情報.....34

4 ピン構成および機能

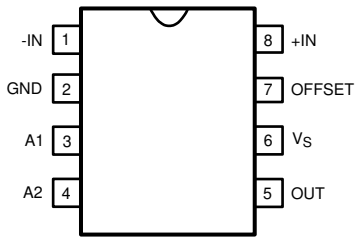


図 4-1. D パッケージ 8 ピン SOIC 上面図

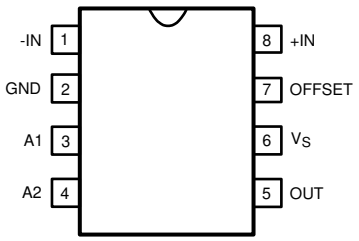


図 4-2. DGK パッケージ 8 ピン VSSOP 上面図

表 4-1. ピンの機能

ピン		タイプ(1)	説明
名称	番号		
A1	3	O	プリアンプ出力
A2	4	I	外部フィルタ ネットワークまたは A1 からの入力
GND	2	P	電源グランド
+IN	8	I	正入力
-IN	1	I	負入力
オフセット	7	I	双方向信号用の DC オフセット
OUT	5	O	シングルエンド出力
V_S	6	P	正電源電圧

(1) I = 入力、O = 出力、P = 電源

Copyright © 2026 Texas Instruments Incorporated

5 仕様

5.1 絶対最大定格

自由気流での動作温度範囲内 (特に記述のない限り) (1)

		最小値	最大値	単位
電源電圧 (V_S)	(V_S – GND)	-0.3	6	V
アナログ入力、V_{IN+}、V_{IN-} (2)	同相	-25	65	V
	差動 (V_{IN+}) - (V_{IN-})	-82	82	V
A1、A2、OFFSET、OUT ピン		(GND – 0.3)	(V_S + 0.3)	V
T_A	周辺温度	-55	125	°C
T_J	接合部温度		150	°C
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。
(2) VIN+ と VIN- はそれぞれ IN+ ピンと IN- ピンの電圧です。

5.2 ESD 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠、ピン 1 と 8 を除くすべてのピン(1)	±2000	V
		人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠、ピン 1 と 8(1)	±4000	
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 に準拠、すべてのピン(2)	±1000	

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

5.3 推奨動作条件

自由気流での動作温度範囲内 (特に記述のない限り)

		最小値	公称値	最大値	単位
V_S	動作電源電圧範囲	3		5.5	V
V_{OFFSET}	OFFSET 電圧	0		V_S	V
T_A	周辺温度	-40		125	°C

5.4 熱に関する情報

熱評価基準(1)		LMP860x	LMP8602、LMP8603	単位
		D (SOIC)	DGK (VSSOP)	
		8 ピン	8 ピン	
$R_{\theta JA}$	接合部から周囲への熱抵抗	128.93	171.1	°C/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	68.3	64.1	°C/W
$R_{\theta JB}$	接合部から基板への熱抵抗	72.7	91.1	°C/W
Ψ_{JT}	接合部から上面への特性パラメータ	17.76	9.4	°C/W

Copyright © 2026 Texas Instruments Incorporated

熱評価基準(1)		LMP860x	LMP8602、LMP8603	単位
		D (SOIC)	DGK (VSSOP)	
		8 ピン	8 ピン	
Ψ_{JB}	接合部から基板への特性パラメータ	72.07	89.7	°C/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。

5.5 電気的特性：V_S = 3.3V

T_A = 25°C、V_S = 3.3V、GND = 0V、V_{CM} = V_S / 2、OFFSET = GND、R_L = 無負荷にて (特記しない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
入力						
V_{CM}	同相入力範囲 (1)	T_A = -40°C ～ +125°C	-4		27	V
R_{CM}	入力インピーダンス同相モード、DGK パッケージ	-4V < V_{CM} < 27V、		295		kΩ
		-4V < V_{CM} < 27V、T_A = -40°C ～ +125°C	250		350	
	入力インピーダンス同相モード D パッケージ	-4V < V_{CM} < 27V、		450		
		-4V < V_{CM} < 27V、T_A = -40°C～+125°C	250		650	
R_{DM}	入力インピーダンス差動モード、DGK パッケージ	-4V < V_{CM} < 27V、		590		kΩ
		-4V < V_{CM} < 27V、T_A = -40°C ～ +125°C	500		700	
	入力インピーダンス差動モード D パッケージ	-4V < V_{CM} < 27V、		900		
		-4V < V_{CM} < 27V、T_A = -40°C～+125°C	500		1300	
V_{os}	オフセット電圧、入力換算	V_{CM} = V_S / 2、		±0.15	±1	mV
		T_A = -40°C ～ +125°C	-2		2	
dV_{os}/dT	オフセット電圧ドリフト	T_A = -40°C ～ +125°C			±10	µV/°C
PSRR	電源電圧除去比、参照入力	V_{CM} = V_S / 2、3.0V ≤ V_S ≤ 3.6V、		±50		µV/V
		T_A = -40°C ～ +125°C			±320	
出力						
A_V	総ゲイン	LMP8601	19.9	20	20.1	V/V
		LMP8602	49.75	50	50.25	
		LMP8603	99.5	100	100.5	
G_{ERR}	ゲイン誤差				±0.5	%
	ゲイン ドリフト	T_A = -40°C ～ +125°C		±2.7	±20	ppm/°C
	最大容量性負荷	発振が持続しない、絶縁抵抗なし			100	pF
周波数応答						
BW	帯域幅			60		kHz
SR	スルーレート (立ち上がり)	OFFSET = V_S / 2、V_{Sense} = ±0.165V		0.7		V/µs
	スルーレート (立ち下がり)	OFFSET = V_S / 2、V_{Sense} = ±0.165V		0.7		
ノイズ						
ベン	入力換算電圧ノイズ	0.1Hz ～ 10Hz、6 シグマ		16.4		μV_{P-P}
		1kHz		830		nV/√Hz
電源						
I_S	電源電流			1		mA
		T_A = -40°C ～ +125°C	0.45		1.3	mA
リファレンス						

Copyright © 2026 Texas Instruments Incorporated

T_A = 25°C、V_S = 3.3V、GND = 0V、V_{CM} = V_S / 2、OFFSET = GND、R_L = 無負荷にて (特記しない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
	ミッドスケール オフセット スケーリング精度 (リファレンス分周器の精度)	LMP8601		±0.15	±0.50	%
		LMP8602		±0.25	±1	
		LMP8603		±0.45	±1.5	
プリアンプ						
CMRR	同相除去比、参照入力	-2V < V_{CM} < 24V、		96		dB
		-2V < V_{CM} < 24V、T_A = -40°C ～ +125°C	86			
		f = 1kHz		94		
		f = 10kHz		85		
K1	プリアンプのゲイン		9.95	10.0	10.05	V/V
V_{os_P}	プリアンプのオフセット電圧 (入力換算)	V_{CM} = V_S / 2		±0.15	±1	mV
R_{F-INT}	プリアンプ出力インピーダンス抵抗			100		kΩ
		T_A = –40℃ ～ +125℃	99		101	
TCR_{F-INT}	プリアンプ出力インピーダンス抵抗ドリフト	T_A = -40°C ～ +125°C		±5	±50	ppm/°C
A1 V_{OUT}	Vs (電源レール) までのスイング、R_L = 無負荷			3.25		V
		T_A = -40°C ～ +125°C	3.2			
	グランドまでのスイング、R_L = 無負荷			2		mV
		T_A = -40°C ～ +125°C			10	
出力バッファ						
V_{os_B}	バッファ段入力オフセット電圧 (入力換算)	0V ≤ V_{CM} ≤ V_S		±0.5	±2	mV
		0V ≤ V_{CM} ≤ V_S、T_A = -40°C ～ +125°C			±2.5	
K2	出力バッファのゲイン	LMP8601	1.99	2	2.01	V/V
		LMP8602	4.975	5	5.025	
		LMP8603	9.95	10.0	10.05	
I_{B_B}	A2 の入力バイアス電流			±2		pA
		T_A = -40°C ～ +125°C			±20	nA
A2 V_{OUT}	グランドまでのスイング、R_L = Vs への 100kΩ	LMP8601		4		mV
		LMP8601、T_A = -40°C～ +125°C			20	
		LMP8602		10		
		LMP8602、T_A = -40°C～ +125°C			40	
		LMP8603		10		
		LMP8603、T_A = -40°C～ +125°C			80	
	Vs (電源レール) までのスイング、R_L = グランドへの 100kΩ			3.29		V
		T_A = -40°C ～ +125°C	3.28			
I_{SC}	出力短絡電流	ソース、V_{IN} = V_S、V_{OUT} = GND	-60	-38	-25	mA
		シンク、V_{IN} = GND、V_{OUT} = V_S	30	46	65	

(1) V_{IN+} と V_{IN-} の両方の同相電圧が、指定された同相入力範囲を超えないようにする必要があります。

5.6 電気的特性：V_s = 5V

T_A = 25°C、V_S = 5V、GND = 0V、V_{CM} = V_S / 2、OFFSET = GND、R_L = 無負荷にて (特記しない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
入力						
V_{CM}	同相入力範囲 (1)	T_A = -40°C ～ +125°C	-22		60	V

Copyright © 2026 Texas Instruments Incorporated

T_A = 25°C、V_S = 5V、GND = 0V、V_{CM} = V_S / 2、OFFSET = GND、R_L = 無負荷にて (特記しない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
R_{CM}	入力インピーダンス同相モード、DGK パッケージ	0V < V_{CM} < 60V、		295		kΩ
		0V < V_{CM} < 60V、T_A = -40°C ～ +125°C	250		350	
		-20V < V_{CM} < 0V、		193		
		-20V < V_{CM} < 0V、T_A = -40°C ～ +125°C	165		250	
	入力インピーダンス同相モード D パッケージ	0V < V_{CM} < 60V、		450		
		0V < V_{CM} < 60V、T_A = -40℃～+125℃	250		650	
		-20V < V_{CM} < 0V、		450		
		-20V < V_{CM} < 0V、T_A = -40℃～+125℃	250		650	
R_{DM}	入力インピーダンス差動モード、DGK パッケージ	0V < V_{CM} < 60V、		590		kΩ
		0V < V_{CM} < 60V、T_A = -40°C ～ +125°C	500		700	
		-20V < V_{CM} < 0V、		386		
		-20V < V_{CM} < 0V、T_A = -40°C ～ +125°C	300		500	
	入力インピーダンス差動モード D パッケージ	0V < V_{CM} < 60V、		900		
		0V < V_{CM} < 60V、T_A = -40℃～+125℃	500		1300	
		-20V < V_{CM} < 0V、		900		
		-20V < V_{CM} < 0V、T_A = -40℃～+125℃	500		1300	
V_{os}	オフセット電圧、入力換算	V_{CM} = V_S / 2、		±0.15	±1	mV
		T_A = -40°C ～ +125°C	-2		2	
dV_{os}/dT	オフセット電圧ドリフト	T_A = -40°C ～ +125°C			±10	μV/℃
PSRR	電源電圧除去比、参照入力	V_{CM} = V_S / 2、4.5V ≤ V_S ≤ 5.5V、		±32		μV/V
		T_A = -40°C ～ +125°C			±320	μV/V
出力						
A_V	総ゲイン	LMP8601	19.9	20	20.1	V/V
		LMP8602	49.75	50	50.25	
		LMP8603	99.5	100	100.5	
G_{ERR}	ゲイン誤差				±0.5	%
	ゲイン ドリフト	T_A = -40°C ～ +125°C		±2.8	±20	ppm/°C
	最大容量性負荷	発振が持続しない、絶縁抵抗なし			100	pF
周波数応答						
BW	帯域幅			60		kHz
SR	スルーレート (立ち上がり)	OFFSET = V_S、V_{Sense} = ±0.25V、		0.83		V/μs
	スルーレート (立ち下がり)	OFFSET = V_S、V_{Sense} = ±0.25V、		0.83		
ノイズ						
ベン	入力換算電圧ノイズ	0.1Hz ～ 10Hz、6 シグマ、		17.5		$μV_{P-P}$
		1kHz、		890		nV/√Hz
電源						
I_S	電源電流			1.1		mA
		T_A = -40°C ～ +125°C	0.45		1.5	
リファレンス						
	ミッドスケール オフセット スケーリング精度 (リファレンス分周器の精度)	LMP8601		±0.15	±0.50	%
		LMP8602		±0.25	±1	
		LMP8603		±0.45	±1.5	
プリアンプ						

Copyright © 2026 Texas Instruments Incorporated

T_A = 25°C、V_S = 5V、GND = 0V、V_{CM} = V_S / 2、OFFSET = GND、R_L = 無負荷にて (特記しない限り)

パラメータ		テスト条件	最小値	標準値	最大値	単位
CMRR	同相除去比、参照入力	-20V < V_{CM} < 60V、		105		dB
		-20V < V_{CM} < 60V、T_A = -40°C ～ +125°C	90			
		f = 1kHz		96		
		f = 10kHz		83		
K1	プリアンプのゲイン		9.95	10.0	10.05	V/V
V_{os_P}	プリアンプのオフセット電圧 (入力換算)	V_{CM} = V_S / 2、		±0.15	±1	mV
R_{F-INT}	プリアンプ出力インピーダンス抵抗			100		kΩ
		T_A = –40℃ ～ +125℃	99		101	
TCR_{F-INT}	プリアンプ出力インピーダンス抵抗ドリフト	T_A = -40°C ～ +125°C		±5	±50	ppm/°C
A1 V_{OUT}	グランドまでのスイング、R_L = 無負荷			2		mV
		T_A = -40°C ～ +125°C			10	
	A1 の Vs (電源レール) までのスイング、R_L = 無負荷			4.985		V
		T_A = -40°C ～ +125°C	4.95			
出力バッファ						
V_{os_B}	バッファ段入力オフセット電圧 (入力換算)	0V ≤ V_{CM} ≤ V_S		±0.5	±2	mV
		0V ≤ V_{CM} ≤ V_S、T_A = -40°C ～ +125°C			±2.5	
K2	出力バッファのゲイン	LMP8601	1.99	2	2.01	V/V
		LMP8602	4.975	5	5.025	
		LMP8603	9.95	10.0	10.05	
I_{B_B}	A2 の入力バイアス電流			±2		pA
		T_A = -40°C ～ +125°C			±20	nA
A2 V_{OUT}	グランドまでのスイング、R_L = Vs への 100kΩ	LMP8601		4		mV
		LMP8601、T_A = -40°C～ +125°C			20	
		LMP8602		10		
		LMP8602、T_A = -40°C～ +125°C			40	
		LMP8603		10		
		LMP8603、T_A = -40°C～ +125°C			80	
	Vs (電源レール) までのスイング、R_L = グランドへの 100kΩ			4.99		V
		T_A = -40°C ～ +125°C	4.98			
I_{SC}	出力短絡電流	ソース、V_{IN} = V_S、V_{OUT} = GND	-60	-42	-25	mA
		シンク、V_{IN} = GND、V_{OUT} = V_S	30	48	65	

(1) V_{IN+} と V_{IN-} の両方の同相電圧が、指定された同相入力範囲を超えないようにする必要があります。

Copyright © 2026 Texas Instruments Incorporated

5.7 代表的特性

T_A = 25°C、V_S = 5V、GND = 0V、V_{CM} = V_S / 2、OFFSET = V_S、R_L = 無負荷にて (特記しない限り)

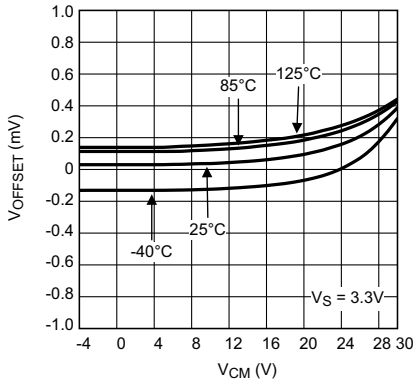


図 5-1. V_{OS} と V_{CM} との関係 (V_S = 3.3V 時)

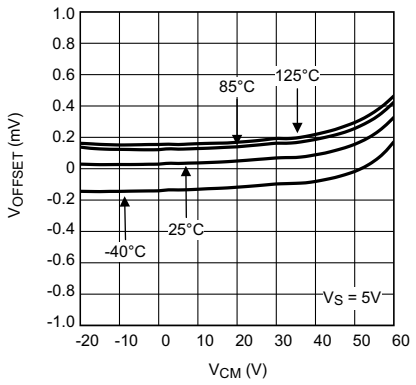
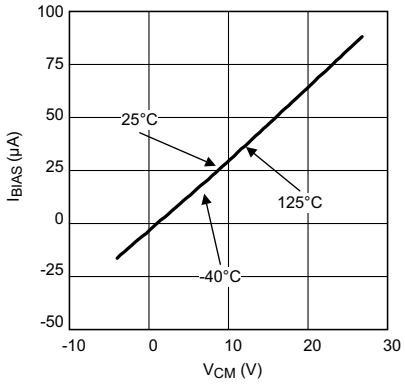
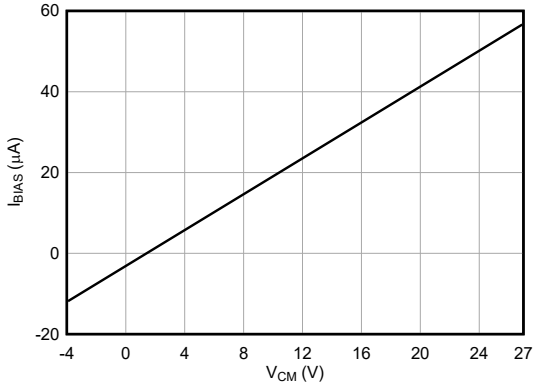


図 5-2. V_{OS} と V_{CM} との関係 (V_S = 5V 時)



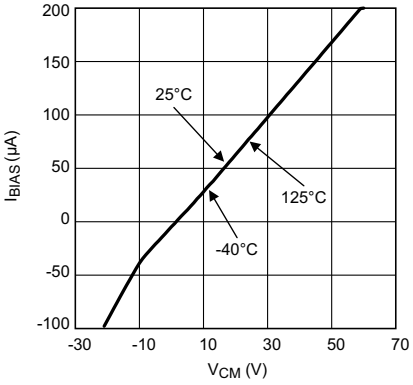
DGK パッケージ

図 5-3. 全温度範囲における入力バイアス電流 (+IN および –IN ピン、V_S = 3.3V 時)



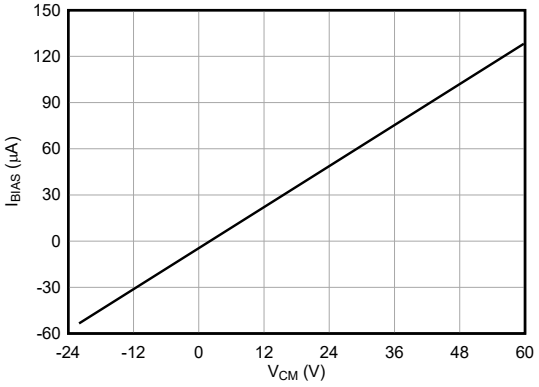
D パッケージ

図 5-4. 全温度範囲における入力バイアス電流 (+IN および –IN ピン、V_S = 3.3V 時)



DGK パッケージ

図 5-5. 全温度範囲における入力バイアス電流 (+IN および –IN ピン、V_S = 5V 時)



D パッケージ

図 5-6. 全温度範囲における入力バイアス電流 (+IN および –IN ピン、V_S = 5V 時)

Copyright © 2026 Texas Instruments Incorporated

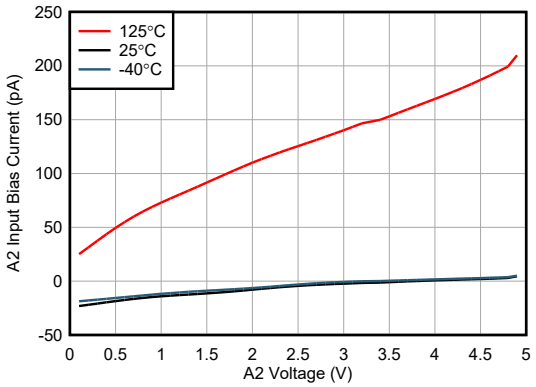


図 5-7. 全温度範囲における入力バイアス電流 (A2 ピン) (V_S = 5V 時)

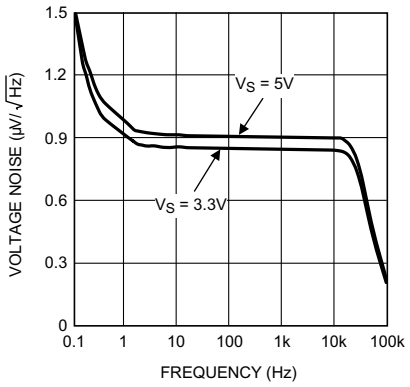


図 5-8. 入力換算電圧ノイズと周波数との関係

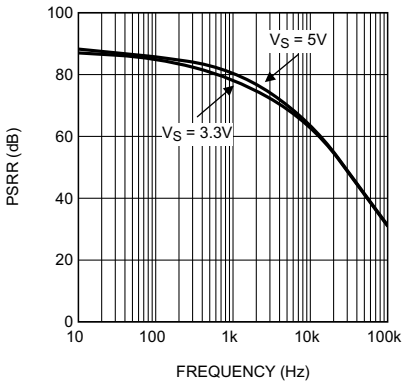


図 5-9. PSRR と周波数との関係

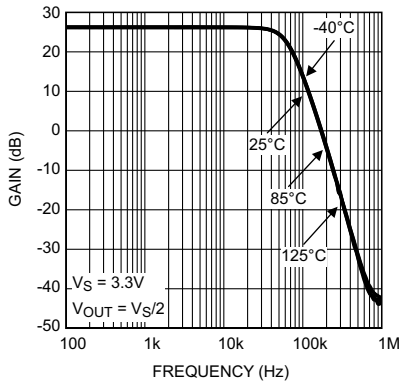


図 5-10. ゲインと周波数との関係 (V_S = 3.3V 時)

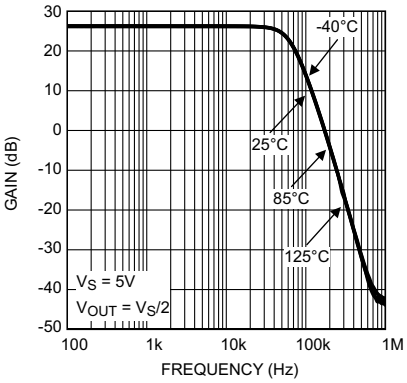


図 5-11. ゲインと周波数との関係 (V_S = 5V 時)

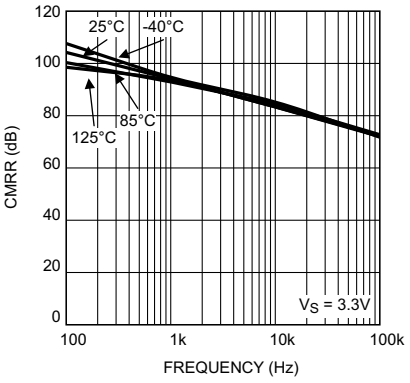


図 5-12. 同相信号除去比と周波数との関係 (V_S = 3.3V 時)

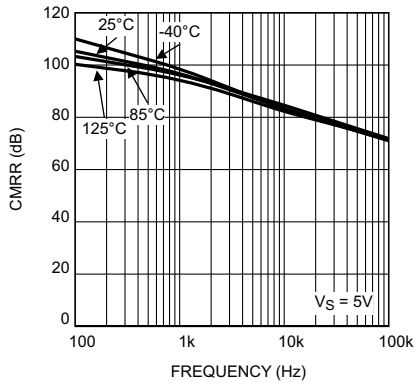


図 5-13. 同相信号除去比と周波数との関係 (V_S = 5V 時)

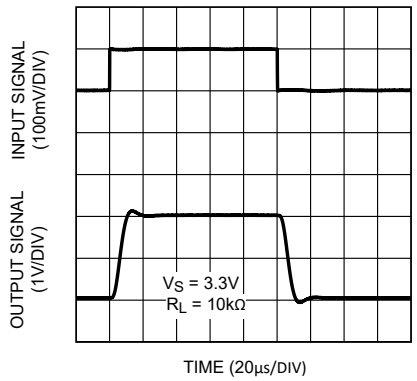


図 5-14. ステップ応答 (V_S = 3.3V 時) LMP8601

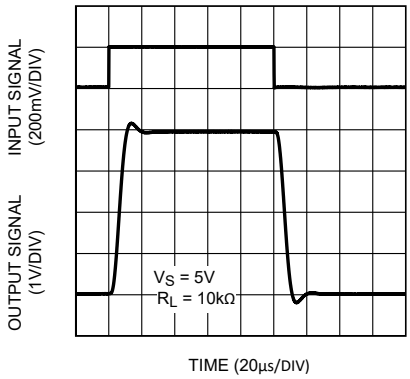


図 5-15. ステップ応答 (V_S = 5V 時) LMP8601

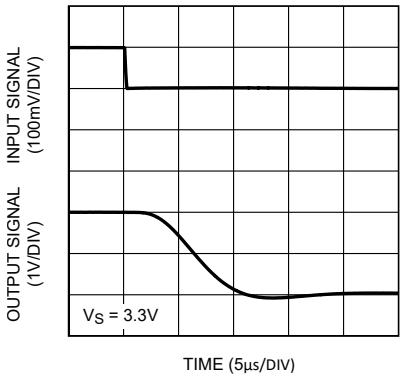


図 5-16. セトリング タイム (立ち下がりエッジ、V_S = 3.3V 時) LMP8601

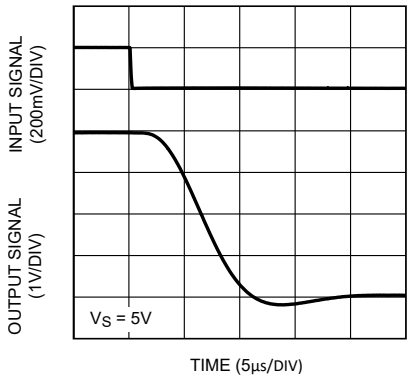


図 5-17. セトリング タイム (立ち下がりエッジ、V_S = 5V 時) LMP8601

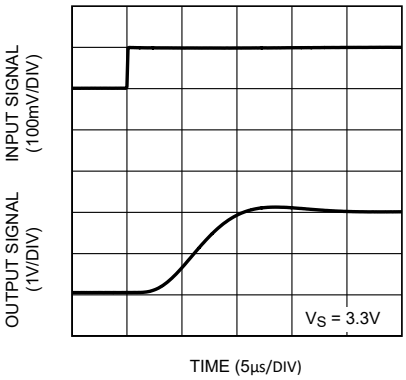


図 5-18. セトリング タイム (立ち上がりエッジ、V_S = 3.3V 時) LMP8601

Copyright © 2026 Texas Instruments Incorporated

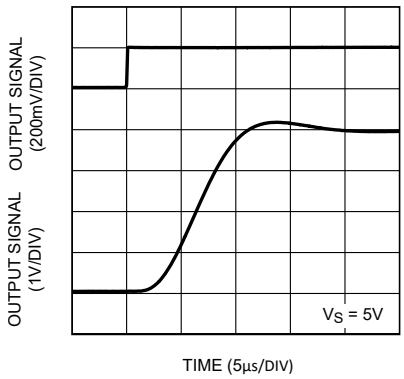


図 5-19. セトリング タイム (立ち上がりエッジ、V_S = 5V 時) LMP8601

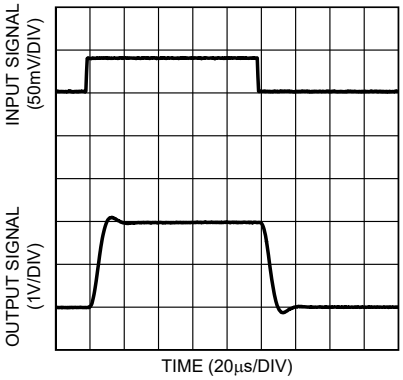


図 5-20. ステップ応答 (V_S = 3.3V、R_L = 10kΩ 時) LMP8602

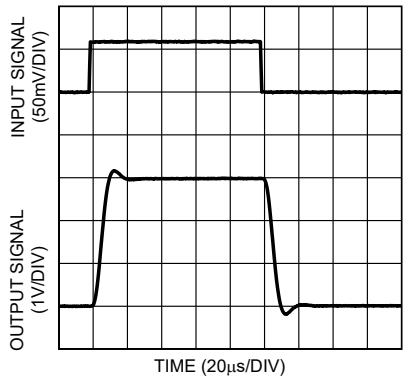


図 5-21. ステップ応答 (V_S = 5V、R_L = 10kΩ 時) LMP8602

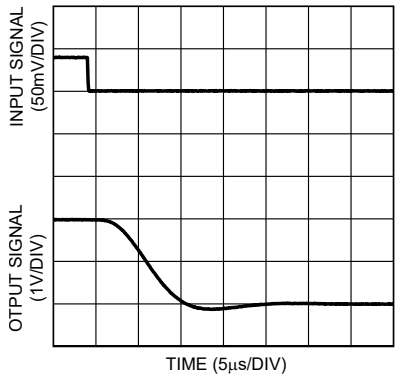


図 5-22. セトリング タイム (立ち下がりエッジ、V_S = 3.3V 時) LMP8602

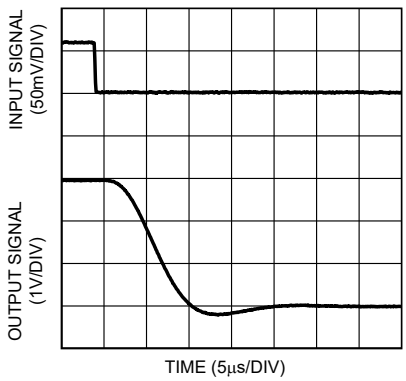


図 5-23. セトリング タイム (立ち下がりエッジ、V_S = 5V 時) LMP8602

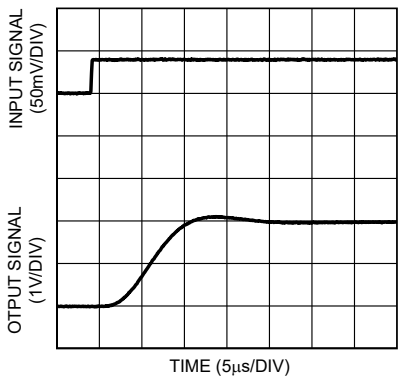


図 5-24. セトリング タイム (立ち上がりエッジ、V_S = 3.3V 時) LMP8602

Copyright © 2026 Texas Instruments Incorporated

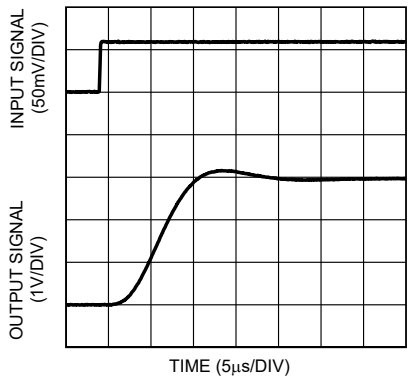


図 5-25. セトリング タイム (立ち上がりエッジ、V_S = 5V 時) LMP8602

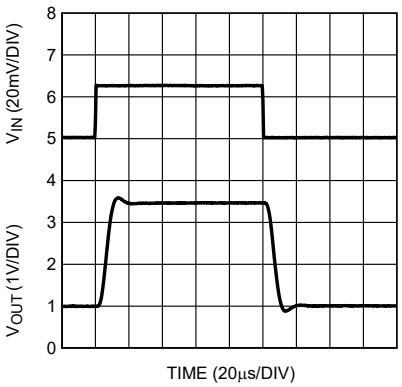


図 5-26. ステップ応答 (V_S = 3.3V、R_L = 10kΩ 時) LMP8603

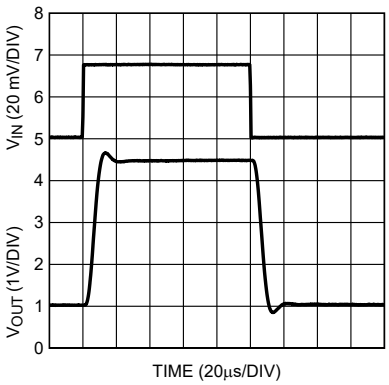


図 5-27. ステップ応答 (V_S = 5V、R_L = 10kΩ 時) LMP8603

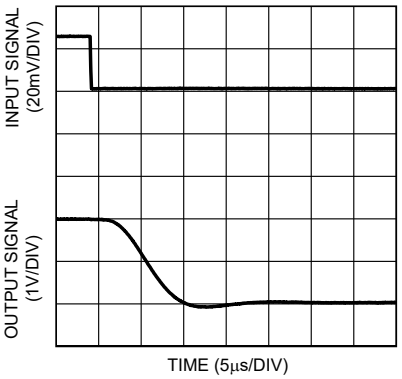


図 5-28. セトリング タイム (立ち下がりエッジ、V_S = 3.3V 時) LMP8603

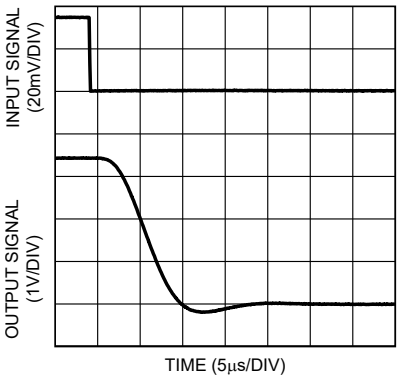


図 5-29. セトリング タイム (立ち下がりエッジ、V_S = 5V 時) LMP8603

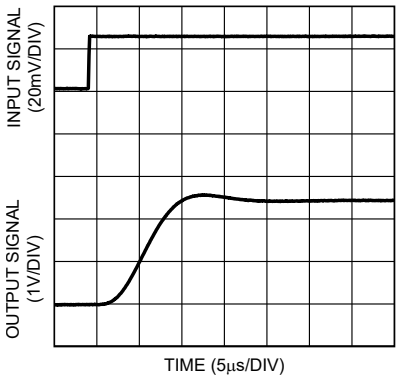


図 5-30. セトリング タイム (立ち上がりエッジ、V_S = 3.3V 時) LMP8603

Copyright © 2026 Texas Instruments Incorporated

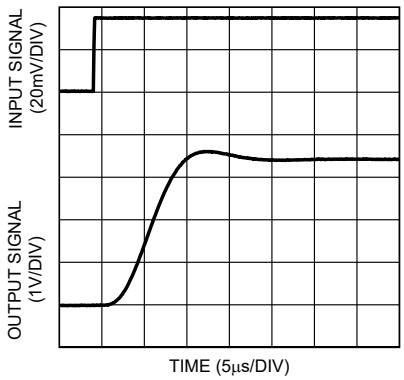


図 5-31. セトリング タイム (立ち上がりエッジ、V_S = 5V 時) LMP8603

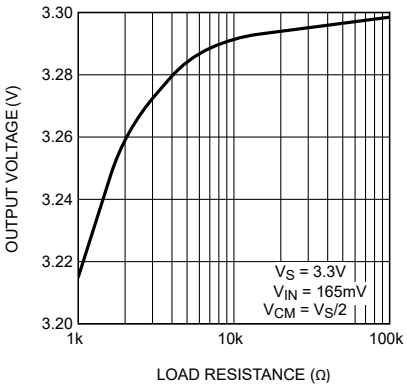


図 5-32. 正側スイングと R_{LOAD} との関係 (V_S = 3.3V 時)

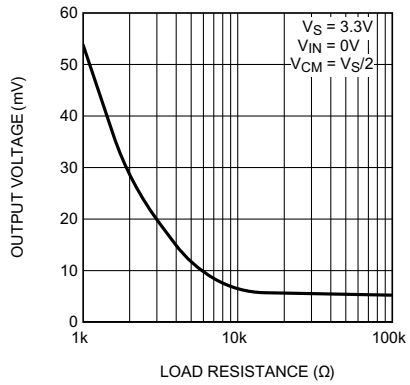


図 5-33. 負側スイングと R_{LOAD} との関係 (V_S = 3.3V 時)

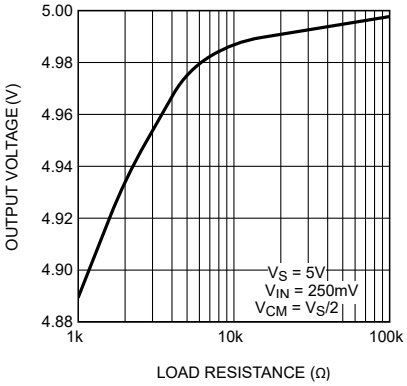


図 5-34. 正側スイングと R_{LOAD} との関係 (V_S = 5V 時)

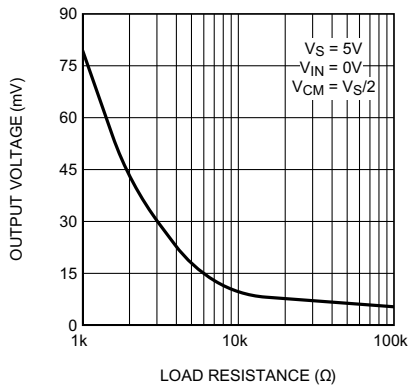
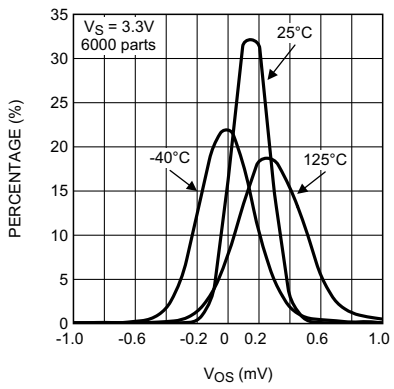
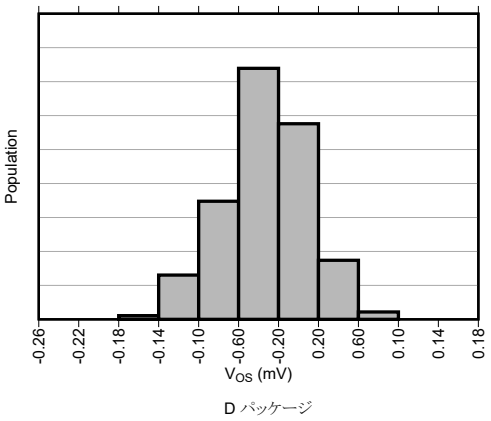


図 5-35. 負側スイングと R_{LOAD} との関係 (V_S = 5V 時)



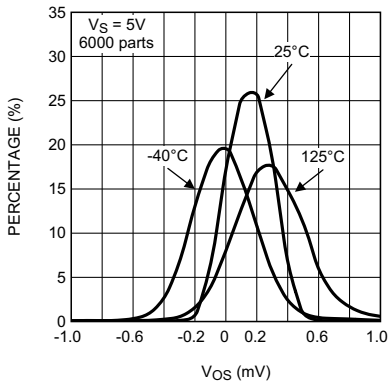
DGK パッケージ

図 5-36. V_{OS} の分布 (V_S = 3.3V 時)



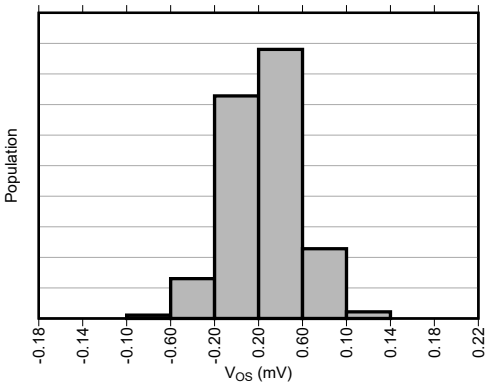
D パッケージ

図 5-37. V_{OS} の分布 (V_S = 3.3V 時)



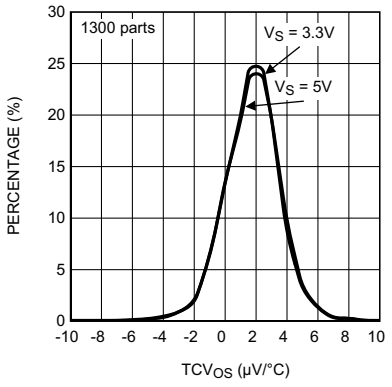
DGK パッケージ

図 5-38. V_{OS} の分布 (V_S = 5V 時)



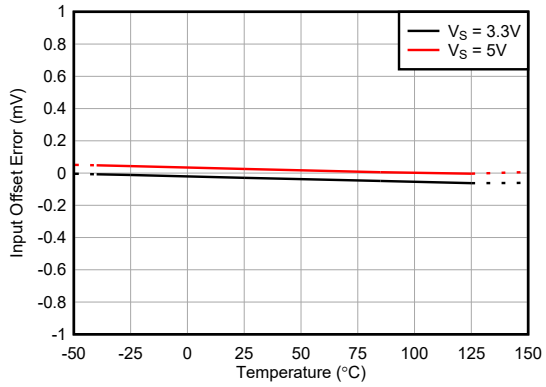
D パッケージ

図 5-39. V_{OS} の分布 (V_S = 5V 時)



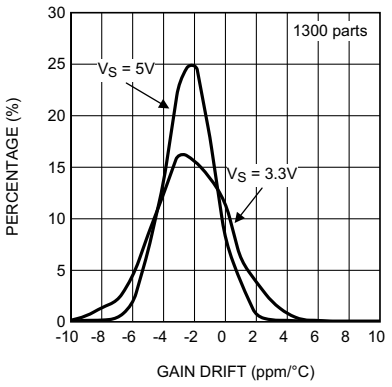
DGK パッケージ

図 5-40. TCV_{OS} の分布



D パッケージ

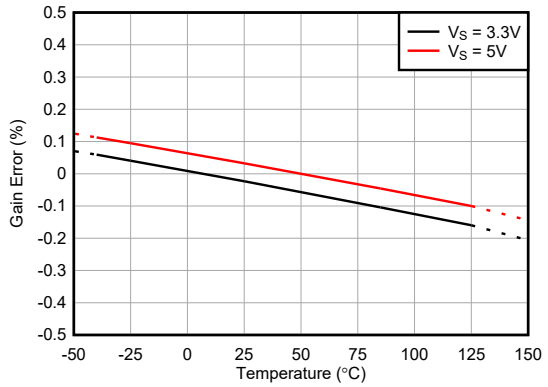
図 5-41. V_{OS} と温度との関係



DGK パッケージ

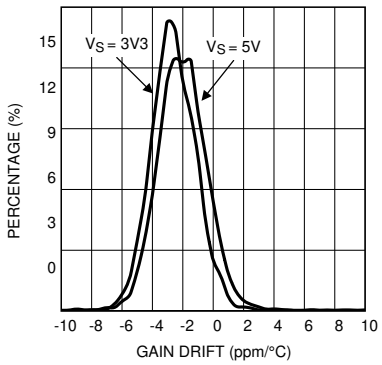
図 5-42. ゲイン ドリフトの分布 (1300 個の部品)
LMP8601

Copyright © 2026 Texas Instruments Incorporated



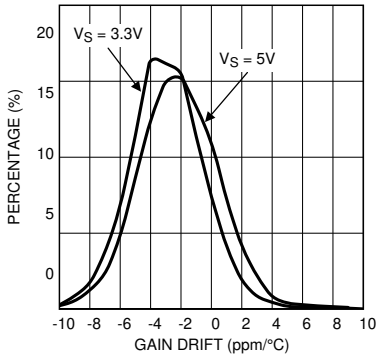
D パッケージ

図 5-43. 全ゲインでのゲイン誤差と温度との関係



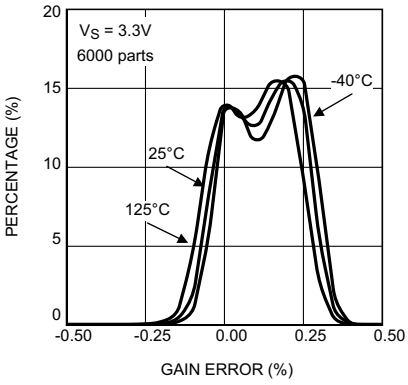
DGK パッケージ

図 5-44. ゲイン ドリフトの分布 (5000 個の部品) LMP8602



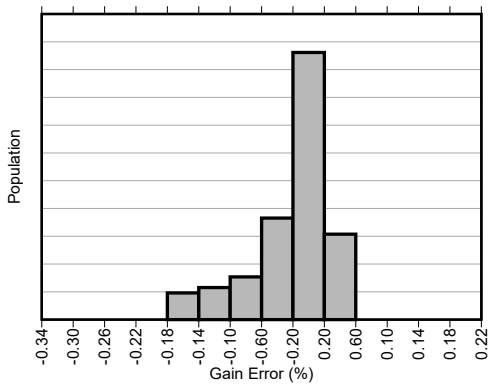
DGK パッケージ

図 5-45. ゲイン ドリフトの分布 (5000 個の部品) LMP8603



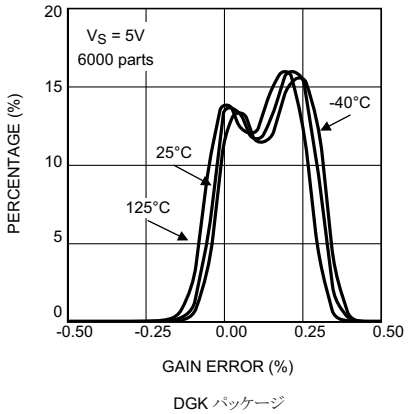
DGK パッケージ

図 5-46. ゲイン誤差の分布 (V_S = 3.3V 時) LMP8601



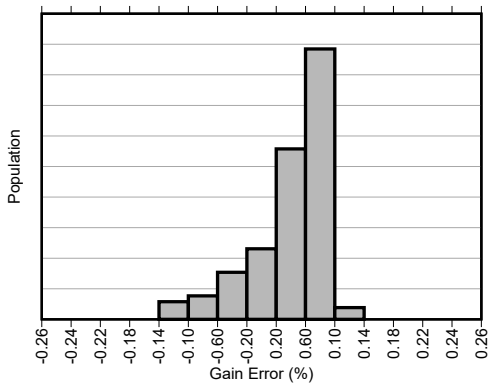
D パッケージ

図 5-47. ゲイン誤差の分布 (V_S = 3.3V 時) LMP8601



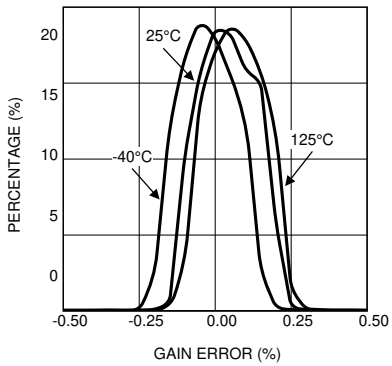
DGK パッケージ

図 5-48. ゲイン誤差の分布 (V_S = 5V 時) LMP8601



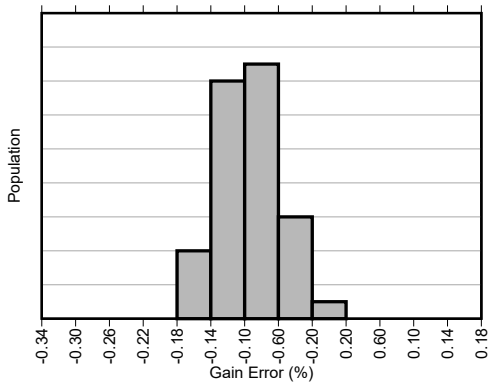
D パッケージ

図 5-49. ゲイン誤差の分布 (V_S = 5V 時) LMP8601



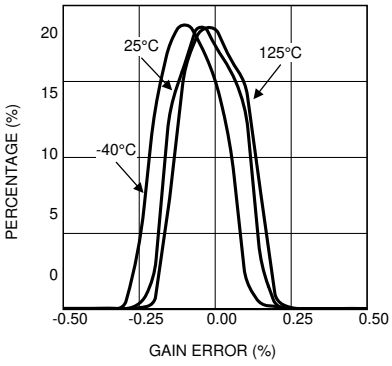
DGK パッケージ

図 5-50. ゲイン誤差の分布 (V_S = 3.3V、5000 個の部品) LMP8602



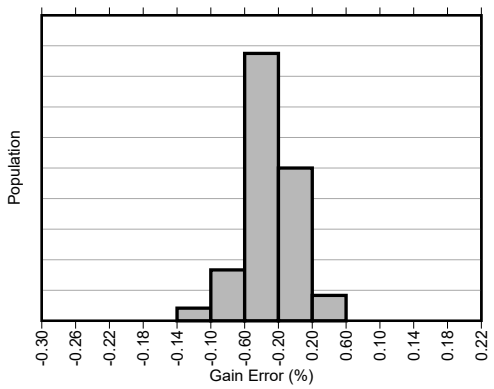
D パッケージ

図 5-51. ゲイン誤差の分布 (V_S = 3.3V 時) LMP8602



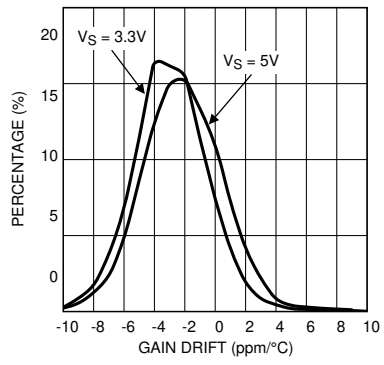
DGK パッケージ

図 5-52. ゲイン誤差の分布 (V_S = 5V、5000 個の部品) LMP8602



D パッケージ

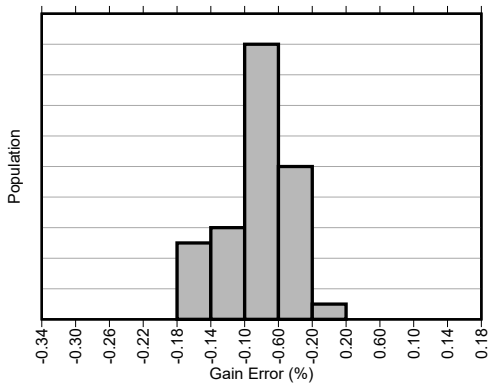
図 5-53. ゲイン誤差の分布 (V_S = 5V 時) LMP8602



DGK パッケージ

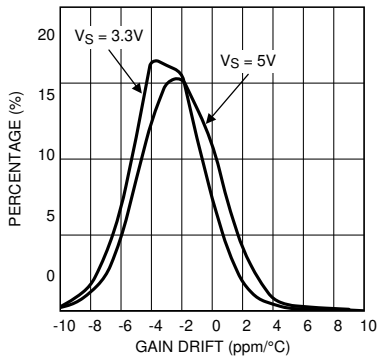
図 5-54. ゲイン誤差の分布 (V_S = 3.3V、5000 個の部品) LMP8603

Copyright © 2026 Texas Instruments Incorporated



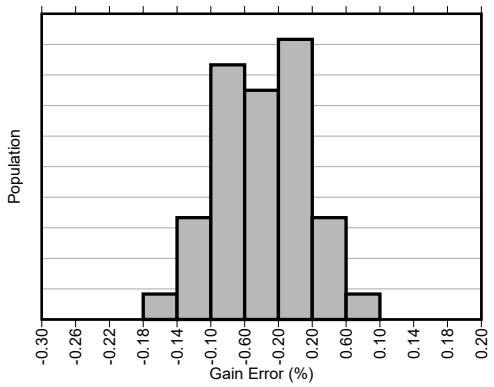
D パッケージ

図 5-55. ゲイン誤差の分布 (V_S = 3.3V 時) LMP8603



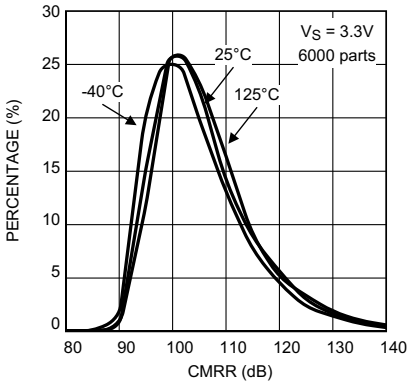
DGK パッケージ

図 5-56. ゲイン誤差の分布 (V_S = 5V 時) LMP8603



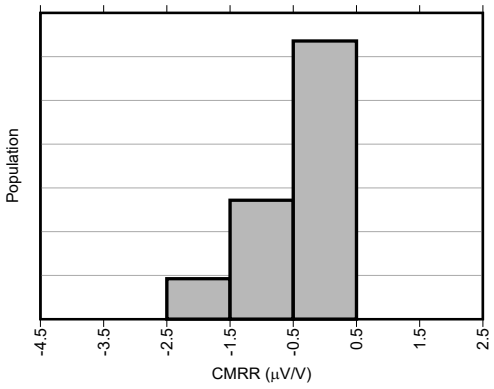
D パッケージ

図 5-57. ゲイン誤差の分布 (V_S = 5V 時) LMP8603



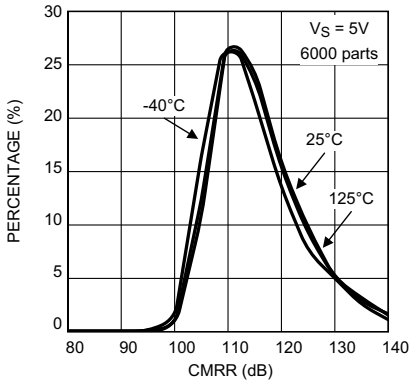
DGK パッケージ

図 5-58. 同相信号除去比の分布 (V_S = 3.3V 時)



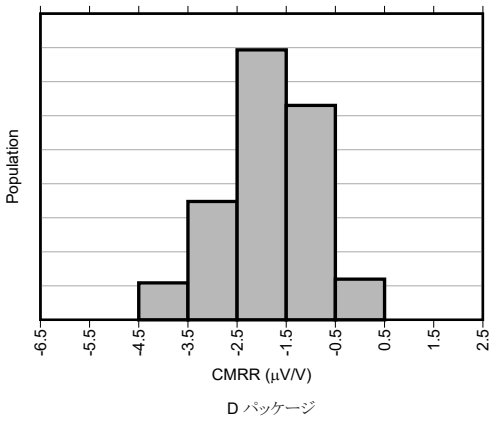
D パッケージ

図 5-59. 同相信号除去比の分布 (V_S = 3.3V 時)



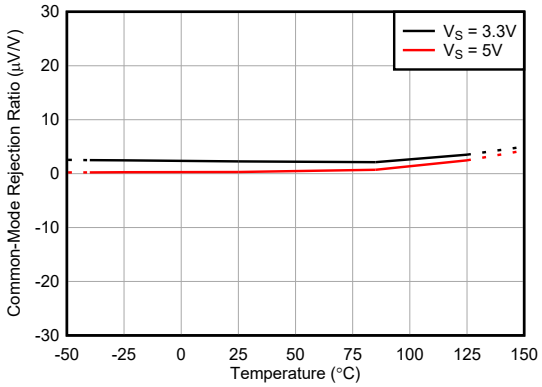
DGK パッケージ

図 5-60. 同相信号除去比の分布 (V_S = 5V 時)



D パッケージ

図 5-61. 同相信号除去比の分布 (V_S = 5V 時)



D パッケージ

図 5-62. CMRR と温度との関係

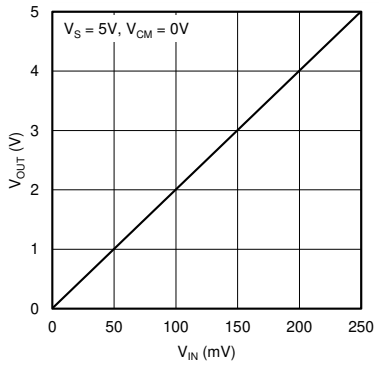


図 5-63. 出力電圧と VIN との関係

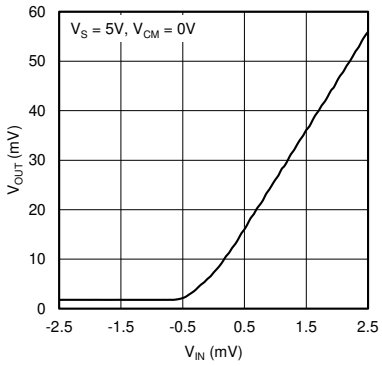


図 5-64. 出力電圧と VIN との関係 (0V 付近を拡大)

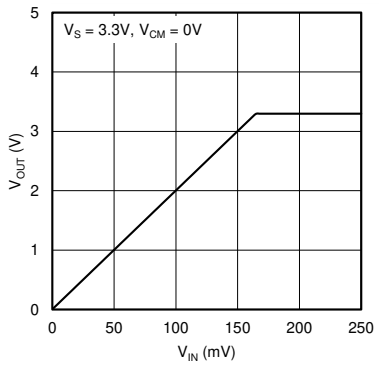


図 5-65. 出力電圧と VIN との関係

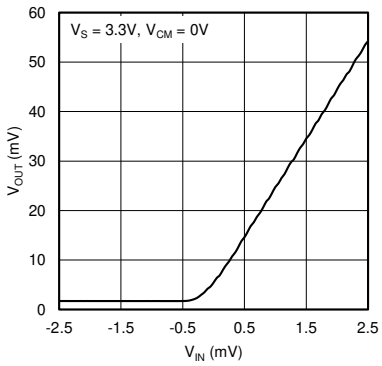


図 5-66. 出力電圧と VIN との関係 (0V 付近を拡大)

Copyright © 2026 Texas Instruments Incorporated

6 詳細説明

6.1 概要

LMP860x は、5V 単一電源で動作するときは -22V ～ +60V の入力同相電圧範囲、3.3V 単一電源で動作するときは -4V ～ +27V の入力同相電圧範囲に対応する、固定ゲイン差動電圧高精度アンプです。LMP8601 のゲインは 20 倍、LMP8602 のゲインは 50 倍、LMP8603 のゲインは 100 倍です。

LMP860x は LMP ファミリのメンバーで、単方向および双方向の電流検出アプリケーション用に設計されています。LMP860x デバイスは、独自のチョッパ型レベル シフト入力段を採用しており、超低オフセット、超低熱オフセットのドリフト、超高同相信号除去比を実現しています。LMP860x は、高い同相電圧が存在する環境下で、小さな差動信号を増幅およびフィルタします。

LMP860x デバイスは、入力でレベル シフト抵抗を使用しています。これらの抵抗により、LMP860x デバイスは、保護機能が十分でない他の高性能電流センス アンプが恒久的な損傷を受けるような故障状態で発生しうる、非常に大きな差動入力電圧に容易に耐えることができます。

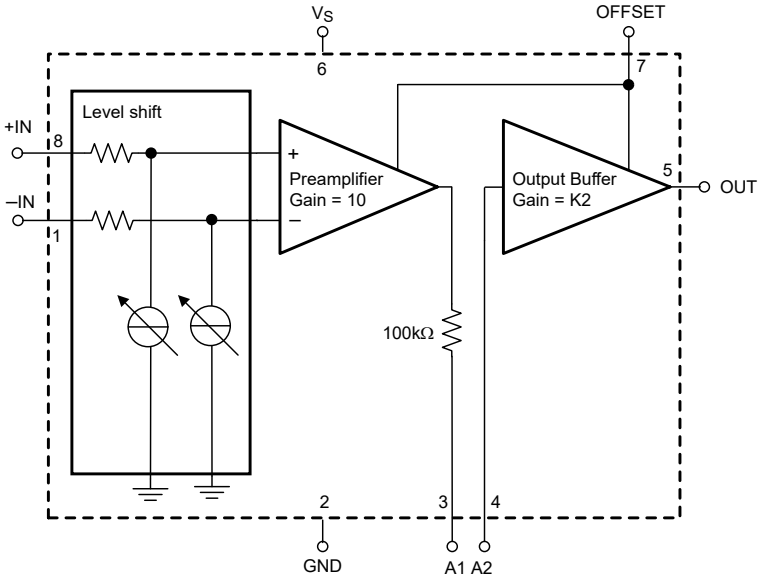
6.1.1 動作原理

セクション 6.2 に示す回路図は、LMP860x の内部動作の基本的な概要を示しています。

入力ピンの信号は、通常、電流検出シャント抵抗の両端に発生する小さな差動電圧です。入力信号は、高い同相電圧で発生することもあります。入力信号は、電圧を電流に変換する 2 つの入力抵抗経由で取り込まれます。独自のチョッパ型レベル シフト電流回路は、入力抵抗を介して電流を引き込むか押し出すことで、これらの抵抗の後段にある同相電圧を電源レール内に保持します。

その後、信号は 10 倍増幅され、調整済み 100kΩ 抵抗を経由して A1 ピンに出力されます。本アプリケーションでは、以後のセクションで説明するように、A1 ピンと A2 ピンの間にゲイン調整またはフィルタリングの部品を追加できます。A2 ピンの信号は、2 倍 (LMP8601)、5 倍 (LMP8602)、または 10 倍 (LMP8603) にさらに増幅され、OUT ピンに出力されます。

6.2 機能ブロック図



注：LMP8601 では K2 = 2、LMP8602 では K2 = 5、LMP8603 では K2 = 10。

6.3 機能説明

6.3.1 オフセット入力ピン

OFFSET ピンは、出力信号をレベル シフトして、双方向電流検出を可能にします。オフセット ピンが正の電源レールに接続されている場合、出力信号は双方向となり、レールの中間電圧を基準にします。オフセット ピンがグランドに接続されている場合、出力信号は単方向となり、グランド リファレンスになります。

オフセット ピンがグランドに接続されているとき、A1 および OUT ピンの信号はグランド リファレンスとなります。これは、出力信号がシャント抵抗を流れる電流の正の値しか表すことができないため、一方向に流れる電流しか測定できないことを意味します。

オフセット ピンが正の電源レールに接続されている場合、A1 および OUT ピンの信号はレールの中間電圧を基準とし、双方向の電流検出が可能になります。このアンプの動作は、完全に双方向で、入力ピンの差動電圧 0V を中心として対称となっています。出力の信号は、この電圧差にゲインを乗じた値に、V_S の半分の出力オフセット電圧を加えたものとなります。

オフセット ピンが外部電圧源に接続されている場合、出力信号はその電圧を 2 で割った値にレベル シフトされます。原理的には、OFFSET ピンにその電圧の 2 倍を印加することで、出力信号を 0 ～ V_S / 2 の間の任意の電圧にシフトすることができます。OFFSET ピンは、超低インピーダンスのソース (< 10Ω) で駆動する必要があります。この低いソース インピーダンスが必要なのは、OFFSET ピンが 2 つのゲイン段の抵抗性帰還回路に内部で直接接続されているためです。OFFSET ピンが比較的大きなインピーダンスで駆動されると (電源レール間の抵抗分圧器など)、精度が低下します。

例:

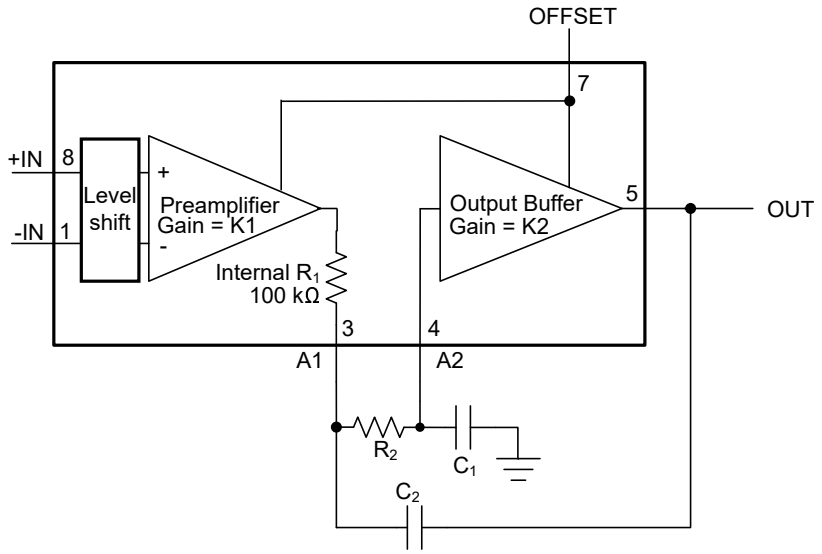
- **LMP8601** :5V 電源、20 倍のゲイン、OFFSET ピンが V_S に接続され、差動入力信号が 10mV の場合、出力ピンは 2.7V になります。同様に、入力が -10mV の場合、出力ピンは 2.3V になります。
- **LMP8602** :5V 電源、50 倍のゲイン、差動入力信号が 10mV の場合、出力ピンは 3.0V になります。同様に、入力が -10mV の場合、出力ピンは 2.0V になります。
- **LMP8603** :5V 電源、100 倍のゲイン、差動入力信号が 10mV の場合、出力ピンは 3.5V になります。同様に、入力が -10mV の場合、出力ピンは 1.5V になります。

Copyright © 2026 Texas Instruments Incorporated

6.3.2 追加の 2 次ローパス フィルタ

LMP86x1 は、プリアンプ段に標準帯域幅 60kHz の 3 次バターワース型ローパス特性を備えています。A1 ピンにコンデンサを追加すると、100kΩ の内部抵抗と外付けフィルタ コンデンサで決定される時定数を持つ 1 次ローパス フィルタを構成され、出力バッファの帯域幅を狭めることができます。

外付け部品 R_2、C_1、C_2 を追加することで、2 次サレンキー型ローパス フィルタをさらに構成することもできます。図 6-1 に示すように、内部 100kΩ 抵抗 R_1 と組み合わせることで、この回路は 2 次のローパス フィルタ特性を形成します。



注:K1 = 10、LMP8601 では K2 = 2、LMP8602 では K2 = 5、LMP8603 では K2 = 10。

図 6-1. 2 次ローパス フィルタ

追加のフィルタのコーナー周波数が 60kHz よりもはるかに低い場合、前述のアンプの伝達関数は次のように表すことができます。

$$H(s) = \frac{K_1 \times K_2 \frac{1}{R_1 R_2 C_1 C_2}}{S^2 + s \times \left[\frac{1}{R_1 C_2} + \frac{1}{R_2 C_2} + \frac{1 - K_2}{R_2 C_1}\right] + \frac{1}{R_1 R_2 C_1 C_2}} \quad (1)$$

ここで、

- K_1 はプリアンプのゲイン、K_2 はバッファ アンプのゲインに等しくなります。

式 1 は、2 次ローパス フィルタの正規化された周波数応答で記述できます。

$$G(j\omega) = K_1 \times \frac{K_2}{\frac{(j\omega)^2}{\omega_0^2} + \frac{j\omega}{Q\omega_0} + 1} \quad (2)$$

カットオフ周波数 ω_o (rad/sec) は、次の式で与えられます (カットオフ周波数を Hz で得るためには 2π で除算)。

$$\omega_0 = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}} \quad (3)$$

そして、フィルタの選択度は次の式で与えられます。

$$Q = \frac{\sqrt{R_1 R_2 C_1 C_2}}{R_1 C_1 + R_2 C_1 + (1 - K_2) \times R_1 C_2} \quad (4)$$

K_2 = 2x である場合、式 4 は次のようになります。

$$Q = \frac{\sqrt{R_1 R_2 C_1 C_2}}{R_1 C_1 + R_2 C_1 - R_1 C_2} \quad (5)$$

K > 1x のいずれのフィルタ ゲインについても、2 つのコンデンサを一定の比率で選択することで、設計手順は非常に簡単になります。

$$C_2 = \frac{C_1}{K_2 - 1} \quad (6)$$

これを Q を求める式 (式 4) に代入すると、次のようになります。

$$Q = \frac{\sqrt{R_1 R_2 \frac{C_1^2}{K_2 - 1}}}{R_1 C_1 + R_2 C_1 - \frac{(K_2 - 1) R_1 C_1}{K_2 - 1}} \quad (7)$$

ここから、次の結果が得られます。

$$Q = \frac{\sqrt{R_1 R_2 \frac{C_1^2}{K_2 - 1}}}{C_1 R_2} = \frac{\sqrt{\frac{R_1 R_2}{K_2 - 1}}}{R_2} \quad (8)$$

この場合、R1 = 100kΩ (内部抵抗) とあらかじめ決められているため、選択度は抵抗 R_2 の値のみによって決まります。

R_2 は、設計手順の最初のステップである Q の目標値に基づいて、次の式を使用して計算できます。

$$R_2 = \frac{R_1}{(K - 1) Q^2} \quad (9)$$

LMP8601 のゲインが 2 の場合、その結果は次のようになります。

$$R_2 = \frac{R_1}{Q^2} \quad (10)$$

LMP8602 のゲインが 5 の場合、その結果は次のようになります。

$$R_2 = \frac{R_1}{4Q^2} \quad (11)$$

LMP8603 のゲインが 10 の場合、その結果は次のようになります。

$$R_2 = \frac{R_1}{9Q^2} \quad (12)$$

例えば、バターワース応答を得るには Q の値を 0.5√2 に、ベッセル応答を得るには 1/√3 に、臨界減衰応答を得るには 0.5 に設定します。R_2 の値を求めた後、設計手順の 2 番目および最後のステップは、次の式を用いて、目標のローパス カットオフ周波数を得るために必要な C の値を計算することです。

$$C_1 = \frac{(K - 1) Q}{R_1 \omega_0} \quad (13)$$

Copyright © 2026 Texas Instruments Incorporated

ゲイン = 2 のとき、結果は次のようになります。

$$C = \frac{Q}{R_1 \omega_0} \quad (14)$$

ゲイン = 5 では、結果は次のようになります。

$$C_1 = \frac{4Q}{R_1 \omega_0} \quad (15)$$

ゲイン = 10 では、次のようになります。

$$C_1 = \frac{9Q}{R_1 \omega_0} \quad (16)$$

C_2 の値は次の式で計算できます。

$$C_2 = \frac{C_1}{K_2 - 1} \quad (17)$$

ゲイン = 2 の場合:

$$C_2 = C_1 \quad (18)$$

ゲイン = 5 の場合:

$$C_2 = \frac{C_1}{4} \quad (19)$$

ゲイン = 10 の場合:

$$C_2 = \frac{C_1}{9} \quad (20)$$

この手順で得られる周波数応答は、2 次フィルタのカットオフ周波数が、内部の 60kHz ローパス フィルタよりもはるかに小さい場合にのみ正確であることに注意してください。つまり、内部の極が外部の 2 次フィルタに影響を与えないように、LMP8601 回路の周波数応答を選択してください。

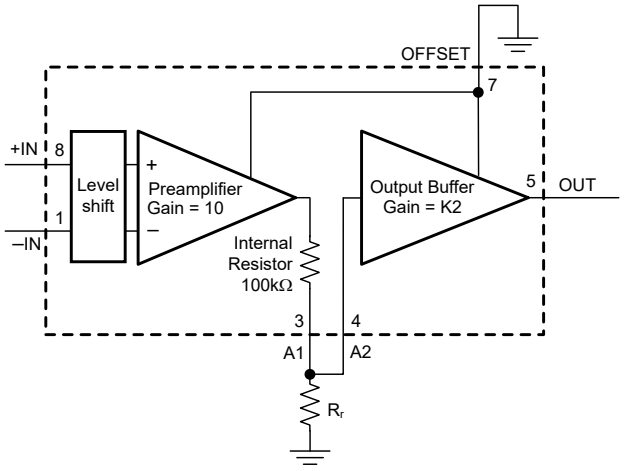
6.4 デバイスの機能モード

6.4.1 ゲイン調整

LMP860x のゲインは固定されていますが、2 つの内部アンプ間の信号路が A1 ピンと A2 ピンで利用可能であるため、全体のゲインを調整できます。

6.4.1.1 ゲインの低減

図 6-2 に、LMP8601 のゲインを低減するために使用できる構成を示します。



注:LMP8601 では K2 = 2、LMP8602 では K2 = 5、LMP8603 では K2 = 10。

図 6-2. ゲイン低減

R_r が、内部の 100kΩ 抵抗とともに抵抗分圧器を構成することで、ゲイン G_r は次のように低減します。

$$G_t = \frac{20R_r}{R_r + 100k\Omega} \quad (21)$$

LMP8602 の場合:

$$G_t = \frac{50R_r}{R_r + 100k\Omega} \quad (22)$$

LMP8603 の場合:

$$G_t = \frac{100R_r}{R_r + 100k\Omega} \quad (23)$$

この式を使用して低減するゲイン G_r の目標値が与えられた場合、LMP8601 に必要な R_r の値は次のように計算されます。

$$R_r = 100k\Omega \times \frac{G_r}{20 - G_r} \quad (24)$$

LMP8602 の場合:

$$R_r = 100k\Omega \times \frac{G_r}{50 - G_r} \quad (25)$$

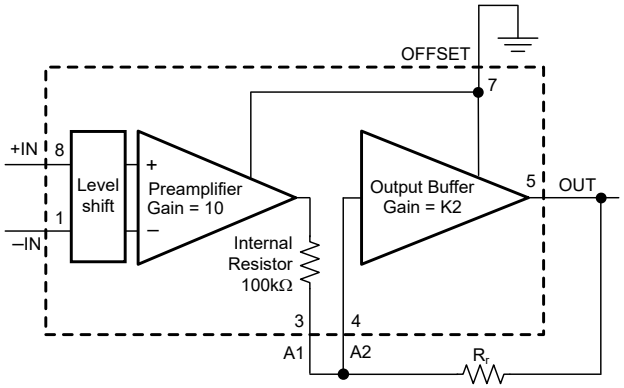
LMP8603 の場合:

$$R_r = 100k\Omega \times \frac{G_r}{100 - G_r} \quad (26)$$

6.4.1.2 ゲインの増加

図 6-3 に、LMP8601 のゲインを増やすために使用できる構成を示します。

Copyright © 2026 Texas Instruments Incorporated



注：LMP8601 では K2 = 2、LMP8602 では K2 = 5、LMP8603 では K2 = 10。

図 6-3. ゲイン増加

R_i は、出力ピンからバッファアンプ入力への正帰還を形成します。正帰還はゲインを増加させます。LMP8601 の増加後のゲイン G_i は次のようになります。

$$G_i = \frac{20R_i}{R_i + 100k\Omega} \quad (27)$$

LMP8602 の場合：

$$G_i = \frac{50R_i}{R_i + 400k\Omega} \quad (28)$$

LMP8603 の場合：

$$G_i = \frac{100R_i}{R_i + 900k\Omega} \quad (29)$$

この式から、ゲインの目標値を得るために、LMP8601 で必要な R_i 値は次の式で計算されます。

$$R_i = 100k\Omega \times \frac{G_i}{G_i - 20} \quad (30)$$

LMP8602 の場合：

$$R_i = 400k\Omega \times \frac{G_i}{G_i - 50} \quad (31)$$

LMP8603 の場合：

$$R_i = 900k\Omega \times \frac{G_i}{G_i - 100} \quad (32)$$

ゲイン G_i の式から、ゲインが大きい場合、R_I は 100kΩ に近づくことに注意してください。この場合、式の分母はゼロに近くなります。実際には、ゲインが大きい場合、分母は外付け抵抗 R_i および内部 100kΩ 抵抗の許容誤差によって決まります。この場合、ゲインは非常に不正確になります。分母がゼロになると、システムは不安定になります。TI では、この手法の適用について、50 以下のゲイン値に制限することを推奨しています。

Copyright © 2026 Texas Instruments Incorporated

6.4.2 スイッチングされた容量性負荷の駆動

一部の ADC では、サンプル / ホールドコンデンサを使用して信号ソースに負荷をかけます。コンデンサは、信号ソースに接続される前に放電状態になっている場合があります。LMP860x がこのような ADC を駆動している場合、サンプリング時に供給される突発的な電流によって、出力信号が乱される可能性があります。この影響は、図 6-4 に示す回路でシミュレートされています。ここでは、出力がレール ツー レールの方形波で駆動されるコンデンサに接続されています。

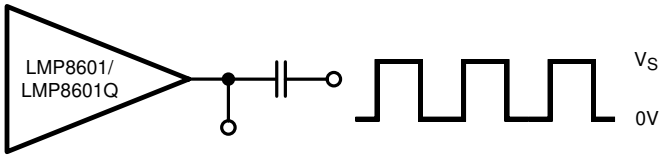


図 6-4. スイッチト容量性負荷の駆動

この回路は、放電されたコンデンサが LMP860x 出力にスイッチ接続される状況をシミュレートしています。その結果生じる V_{OUT} の乱れた信号を、図 6-5 と 図 6-6 に示します。

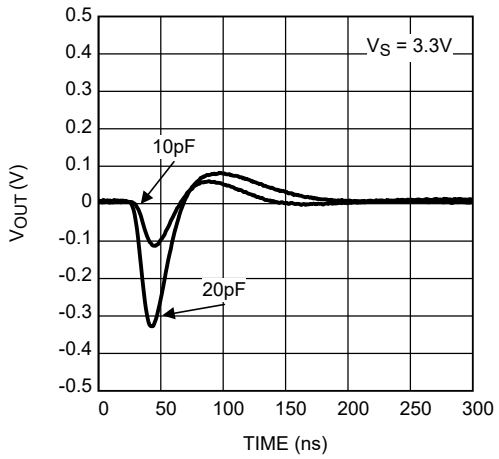


図 6-5. 3.3V での容量性負荷応答

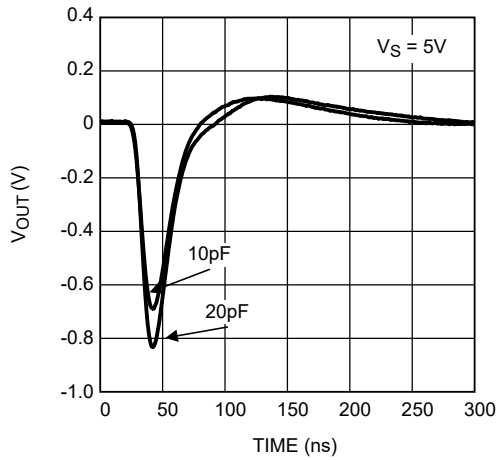


図 6-6. 5.0V での容量性負荷応答

これらの図は、スイッチト容量性負荷の駆動時に発生する乱れを推定するために使用できます。ADC 入力で発生するサンプリングによって生じる誤差信号を最小限に抑えるため、図 6-7 に示すように、LMP860x と ADC の間に RC フィルタを追加します。

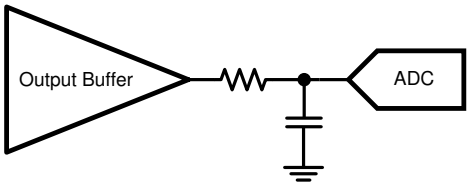


図 6-7. ADC 駆動時の誤差の低減

外付けコンデンサは、ADC サンプリング コンデンサが接続されたときに流れる電荷を吸収します。外付けコンデンサは、ADC 入力のサンプル / ホールドコンデンサよりもはるかに大きくする必要があります。また、外部フィルタの RC 時定数は、システムの速度に影響を与えないように設定する必要があります。

Copyright © 2026 Texas Instruments Incorporated

7 アプリケーションと実装

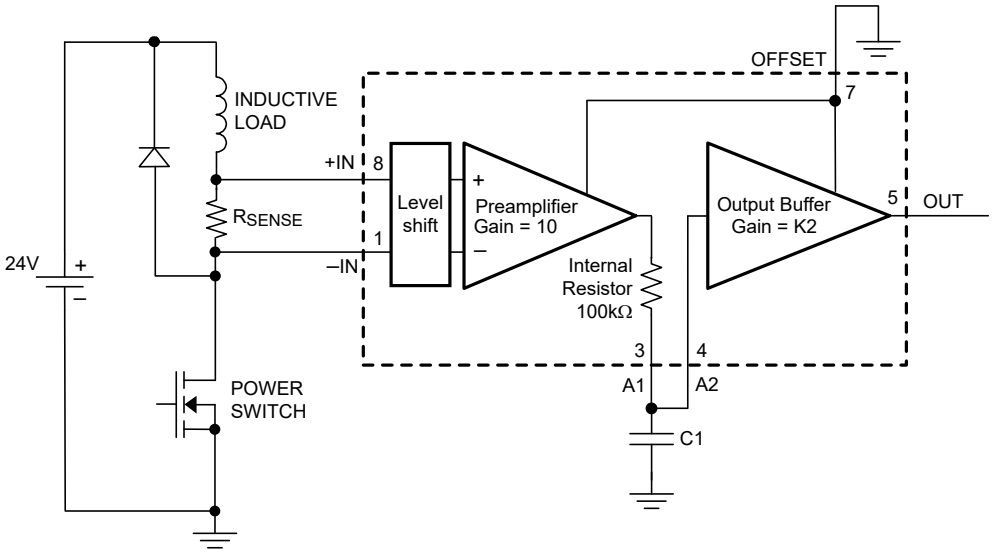
注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

7.1 代表的なアプリケーション

7.1.1 ハイサイド電流検出アプリケーション

図 7-1 に、ハイサイド検出用途で LMP860x を使用するアプリケーションを示します。このアプリケーションは、以下で説明するローサイド検出と似ていますが、ドライバがオフになったときにシャントの同相電圧がグランドより低くなる点が異なります。LMP860x の同相電圧範囲が負のレール以下まで及ぶため、LMP860x はこのアプリケーションにも適しています。



注:このアプリケーション例では、K2 = 2 です。

図 7-1. ハイサイド電流検出アプリケーション

7.1.1.1 設計要件

図 7-1 の回路を使用して、最大 10A のコイル電流を測定し、ADC 入力を最大 3.3V まで駆動する必要があります。OFFSET ピンはグランドに接続されているため、電流がゼロのとき出力電圧もゼロになります。

7.1.1.2 詳細な設計手順

まず、R_{SENSE} の値を決定する必要があります。R_{SENSE} は、所望する最大出力スイングをゲインで除算し、最大入力電圧を決定することで求めることができます。この例では、式 33 に示すように、20V/V のゲインで LMP8601 を使用します。

$$V_{INMAX} = \frac{V_{OUTMAX}}{Gain} = \frac{3.3V}{20V/V} = 165mV \quad (33)$$

165mV を生成する必要があると分かったため、簡単なオームの法則でセンス抵抗の理想値を決定できます。

$$R_{SENSE} = \frac{V_{INMAX}}{I_{LOADMAX}} = \frac{165mV}{10A} = 16.4m\Omega \quad (34)$$

センス抵抗の理想値は 16.5mΩ です。最も近い標準値は 15mΩ ですが、この値では、10A 時に出力がわずかにオーバー レンジになる可能性があります。過負荷と部品の許容誤差を考慮して、最大出力の予測値を数パーセント減らすことを推奨します。次に一般的な値は、10mΩ、15mΩ、および 20mΩ です。10mΩ では、10A 時に最大出力 2V ですが、値が小さすぎるため、全出力範囲を使用できない可能性があります。20mΩ はより感度が高くなりますが、最大電流は 8.25A に制限されます。15mΩ は最大 11A で適切な妥協点であり、部品の許容差のバラツキもある程度許容できます。

適切なセンス抵抗値が使えない場合は、「セクション 6.4.1」セクションで説明するように、ゲインを調整することもできます。

センス抵抗は電力を消費するため、最大電力定格と適切なパワー ディレーティングを守る必要があります。上の例では、センス抵抗は 0.165V × 10A = 1.65W を消費するため、最大電力の予測値の 2 倍以上 (4W 以上) のセンス抵抗を使用する必要があります。

7.1.1.3 アプリケーション曲線

以下は、15mΩ センス抵抗を使用した場合の出力の期待値を示しています。

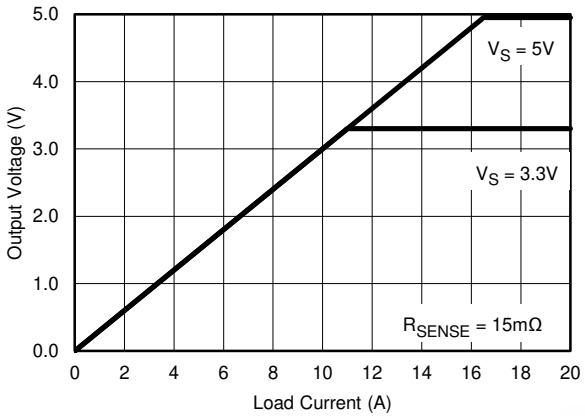
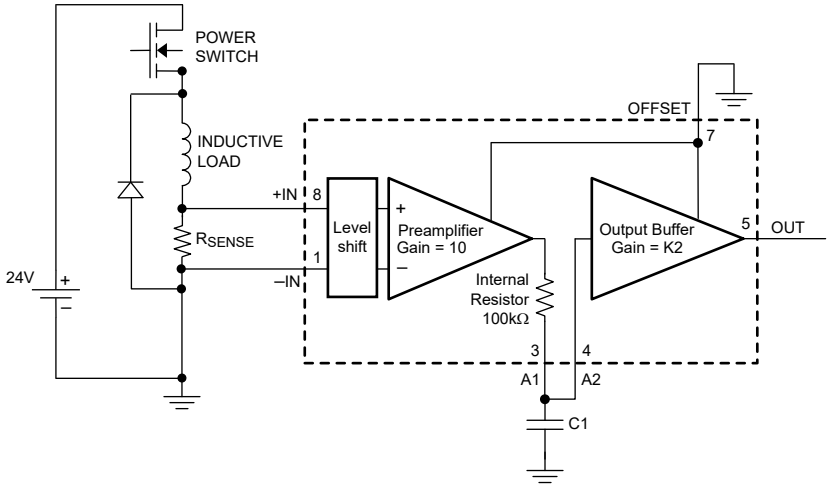


図 7-2. 15mΩ センス抵抗を使用した場合の出力電圧の期待値と負荷電流との関係

Copyright © 2026 Texas Instruments Incorporated

7.1.2 ローサイド電流センシング アプリケーション

図 7-3 に、ローサイド ドライバを使用したローサイド、電流検出アプリケーションを示します。パワー トランジスタは、比較的高いバッテリ電圧に接続された誘導性負荷を流れる平均電流を制御するために、パルス幅変調されます。負荷を流れる電流は、負荷と直列に接続されたシャント抵抗 R_{SENSE} の両端で測定されます。パワー トランジスタがオンのとき、電流はバッテリから誘導性負荷、シャント抵抗、およびパワー トランジスタを経由してグランドに流れます。この場合、シャントの同相電圧はグランドに近くなります。パワー トランジスタをオフにすると、電流は誘導性負荷、シャント抵抗、フリーホイール ダイオードを経由して流れます。この場合、シャントの同相電圧は、バッテリ電圧より少なくともダイオード 1 個の電圧降下分高くなります。したがって、このアプリケーションでは、シャントの同相電圧が、高い正電圧と比較的低い電圧の間で変化します。LMP860x は広い同相電圧範囲と高い AC 同相信号除去比を備えているため、LMP860x はこのアプリケーションに非常に適しています。



R_{SENSE} = 0.01Ω、K2 = 2、V_{OUT} = 0.2V/A

図 7-3. ローサイド電流検出アプリケーション

このアプリケーションでは、次の例を使用してセンス電圧 (V_{SENSE}) を計算できます。

0.01Ω のセンス抵抗 R_{SENSE}、1A の電流 I_{LOAD} の場合、LMP860x の入力ピンにおけるセンス電圧は次のようになります。

$$V_{SENSE} = R_{SENSE} \times I_{LOAD} = 0.01\Omega \times 1A = 0.01V \quad (35)$$

LMP8601 のゲインが 20 倍の場合、出力は 0.2V になります。つまり、V_{OUT} = 0.2V/A です。

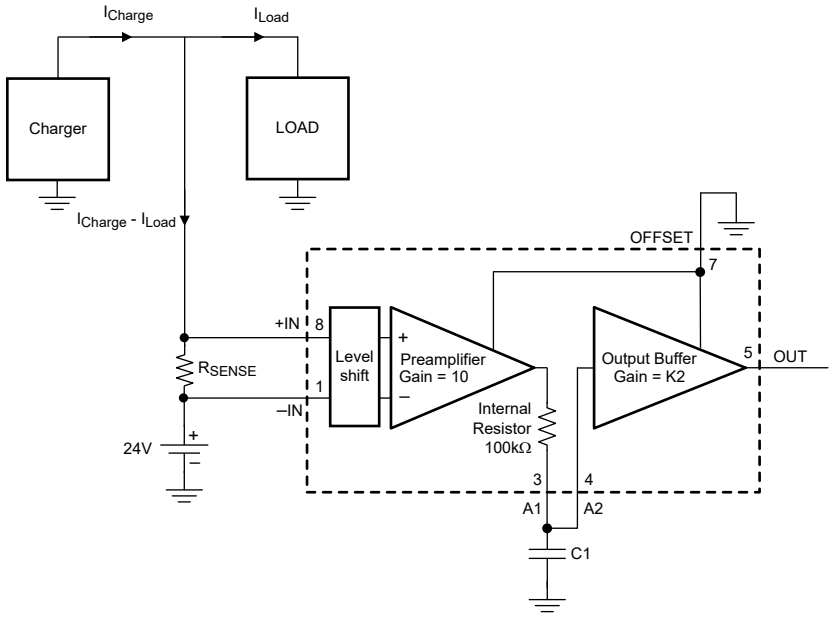
ゲインが 50 倍の LMP8602 の場合、出力は 0.5V/A になります。

ゲインが 100 倍の LMP8603 の場合、出力は 1V/A になります。

Copyright © 2026 Texas Instruments Incorporated

7.1.3 バッテリ電流監視アプリケーション

このアプリケーション例は、LMP860x を使用して、バッテリ パックに流入および流出する電流を監視する方法を示します。LMP860x は、部品自体の電源電圧範囲外の高いオフセット電圧条件下でも小さな電圧を測定できることから、このようなアプリケーションには非常に適しています。バッテリの負荷電流が充電電流より大きい場合、バッテリから流れ出る正味電流が生じるため、LMP860x の出力電圧は、オフセット電圧の半分を上回ります。負荷電流より充電電流が大きい場合、出力はこのオフセット電圧の半分を下回ります。



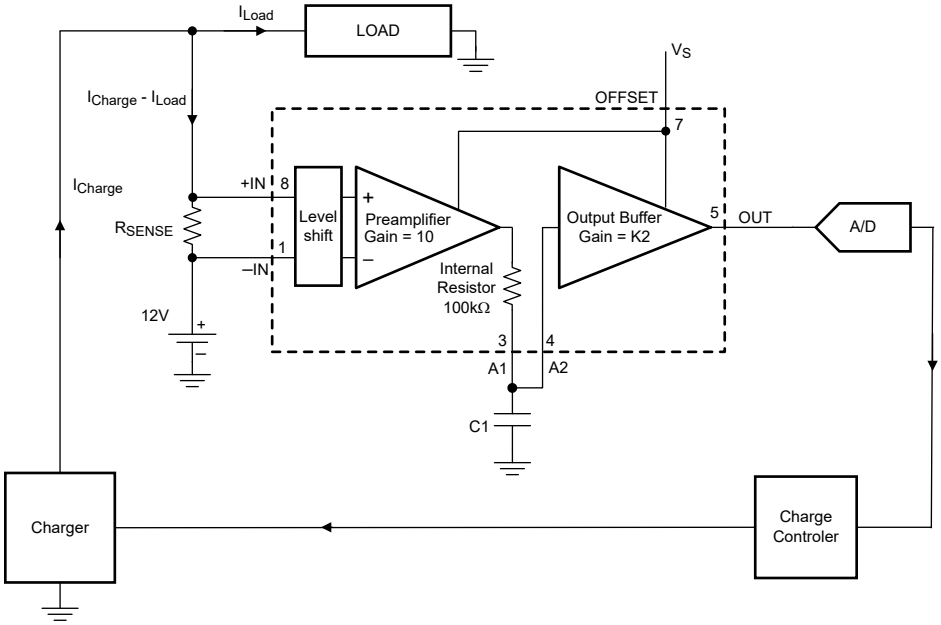
注:LMP8601 では K2 = 2、LMP8602 では K2 = 5、LMP8603 では K2 = 10。

図 7-4. バッテリ電流監視アプリケーション

Copyright © 2026 Texas Instruments Incorporated

7.1.4 高度なバッテリ チャージャ アプリケーション

図 7-4 を使用して、図 7-5 に示すように、バッテリに流入または流出する正味電流を正確に監視できる高度なバッテリ チャージャを実現できます。LMP860x の出力信号は ADC でデジタル化され、充電コントローラの入力として使用されます。この充電コントローラを使ってチャージャ回路を調節し、負荷が必要とする電流を正確に供給することができ、フル充電のバッテリの過充電を防止できます。

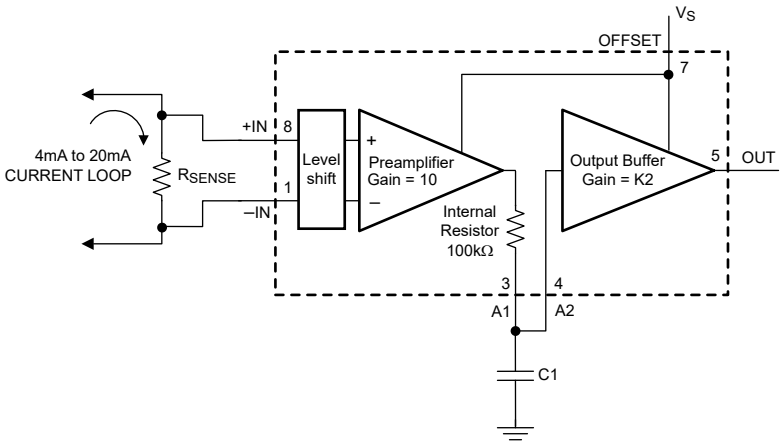


注:LMP8601 では K2 = 2、LMP8602 では K2 = 5、LMP8603 では K2 = 10。

図 7-5. 高度なバッテリ チャージャ アプリケーション

7.1.5 電流ループ レシーバ アプリケーション

多くの産業用アプリケーションは、4mA ～ 20mA トランスミッタを使用して、センサのアナログ値を中央制御室に送信します。LMP860x は、図 7-6 に示すように電流ループ レシーバとして使用できます。



注:LMP8601 では K2 = 2、LMP8602 では K2 = 5、LMP8603 では K2 = 10。

図 7-6. 電流ループ レシーバ アプリケーション

7.1.6 電源に関する推奨事項

LMP860x を電源の AC ノイズから分離するために、V_S と GND ピンの間に 0.1µF のバイパス コンデンサを配置します。このコンデンサは、できる限り電源ピンの近くに配置してください。場合によっては、10µF のバイパス コンデンサを追加することで、電源ノイズをさらに低減できます。

7.1.7 レイアウト

7.1.7.1 レイアウトのガイドライン

センス抵抗との間のパターンは、大きな誤差発生源となる可能性があります。センス抵抗の値が小さい (< 100mΩ) 場合、負荷電流と共有されるパターン抵抗がどのような値であっても、大きな誤差の原因となる可能性があります。

アンプの入力は、ケルビンまたは 4 線式接続手法を使用して、センス抵抗のパッドに直接接続する必要があります。パターンは、センス抵抗のパッドからアンプの入力ピンのパッドまで、連続した 1 本の銅配線でなければならず、同じ銅層上にあって、ビアまたはコネクタを最小限にすることが望ましいです。センス抵抗で大きい熱勾配が発生する場合、これはセンス抵抗の周囲で重要になる場合があります。

ノイズや熱誤差を最小限に抑えるため、入力パターンは差動信号ペアとして扱い、入力ピンへの直接パスとともに密に配線する必要があります。入力のパターンは、デジタル ライン、スイッチング電源、モーター駆動ラインなどのノイズ源から離す必要があります。これらのパターンは高電圧の可能性があり、パターン配線には適切なクリアランスが必要なことに注意してください。

センス パターンにはアンプのバイアス電流だけが流れるため、接続する入力パターンは細い信号レベルのパターンでかまいません。パターンにおける過剰な抵抗も避ける必要があります。

パターンのパスは、コネクタとビアも含めて同一にしなければなりません。これにより誤差が等しくなり、キャンセルされます。

負荷が大きくなると、センス抵抗は発熱します。抵抗が熱くなると一般的に抵抗値が上がり、読み取り値が変化します。この熱を除去するため、センス抵抗にはヒートシンクを使用するか、大きな銅の領域と抵抗パッドを組み合わせて使用し、可能な限り多くのヒートシンクを行う必要があります。電源オンの後で、時間の経過とともに読み取り値がドリフトする場合、通常はセンス抵抗の過熱が原因です。

7.1.7.2 レイアウト例

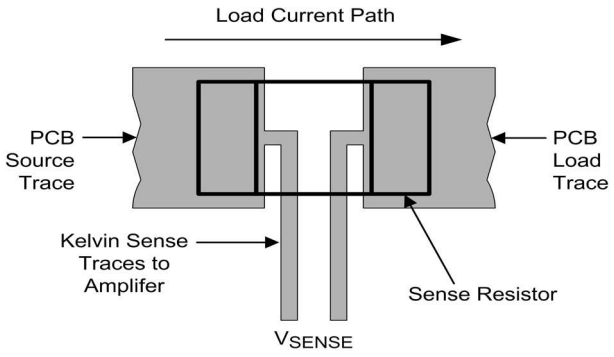


図 7-7. センス抵抗へのケルビンまたは 4 線式接続

Copyright © 2026 Texas Instruments Incorporated

8 デバイスおよびドキュメントのサポート

8.1 デバイス サポート

8.1.1 開発サポート

LMP8601 TINA SPICE モデル、SNOM084

TINA-TI SPICE ベースのアナログ シミュレーション プログラム、http://www.ti.com/tool/tina-ti

8.2 ドキュメントのサポート

8.2.1 関連資料

- テキサス インスツルメンツ、『AN-1940 LMP8601 評価ボード』評価基板ユーザー ガイド
- テキサス インスツルメンツ、『AN-1940 LMP8601 評価ボード』評価基板ユーザー ガイド

8.2.2 関連リンク

表 8-1 に、クイック アクセス リンクの一覧を示します。カテゴリには、技術資料、サポートおよびコミュニティ リソース、ツールとソフトウェア、およびサンプル注文またはご購入へのクイック アクセスが含まれます。

表 8-1. 関連リンク

製品	プロダクト フォルダ	サンプルとご購入	技術資料	ツールとソフトウェア	サポートとコミュニティ
LMP8601	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
LMP8601Q1	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
LMP8602	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
LMP8602Q1	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
LMP8603	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック
LMP8603Q1	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック	こちらをクリック

8.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。 変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

8.4 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

8.5 商標

テキサス・インスツルメンツ E2E™ is a trademark of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

8.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

Copyright © 2026 Texas Instruments Incorporated

8.7 用語集

テキサス・インスツルメンツ用語集　この用語集には、用語や略語の一覧および定義が記載されています。

9 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

日付	改訂	注
June 2026	*	初版リリース。このデータシートの商用デバイスは車載データシート (SNOSAR2) から分割されたものです。

LMP860x デバイスを、SNOSAR2「I」リビジョンのデータシートから現在のスタンドアロンのデータ シートに移動。
SNOSAR2「I」リビジョンからこのドキュメントへの変更は次のとおりです。

- ドキュメント全体にわたって表、図、相互参照の採番方法を更新。
- 「特長」セクションから ESD 分類を削除。
- 「アプリケーション」セクションのアプリケーションを、リンク付きで更新。
- 「絶対最大定格」表に絶対最大差動入力電圧の仕様を追加。
- 「ESD 定格」表からマシン モデルの ESD レーティングを削除。
- 「熱に関する情報」表において、D (SOP) パッケージの熱に関する情報を更新。
- 「電気的特性:V_s = 3.3V」表において、SOP (D) パッケージの同相モード入力インピーダンスを変更。
- 「電気的特性:V_s = 3.3V」表において、SOP (D) パッケージの差動モード入力インピーダンスを変更。
- 「電気的特性:V_s = 3.3V」表の代表的な入力バイアス電流の仕様を変更。
- 「電気的特性:V_s = 5V」表において、SOP (D) パッケージの同相モード入力インピーダンスを変更。
- 「電気的特性:V_s = 5V」表において、SOP (D) パッケージの差動モード入力インピーダンスを変更。
- 「電気的特性:V_s = 5V」表の代表的な入力バイアス電流の仕様を変更。
- 「代表的特性」において、全温度範囲にわたる入力バイアス電流 (A2 ピン、VS = 5V 時) の曲線を変更。
- 「代表的特性」に、SOP (D) パッケージの Vos 分布のグラフ (Vs = 3.3V および Vs = 5V 時) を追加。
- 「代表的特性」に、SOP (D) パッケージにおける Vos ドリフトと温度との関係のグラフを追加。
- 「代表的特性」に、SOP (D) パッケージにおけるゲイン誤差の分布を示すグラフを追加。
- 「代表的特性」に、SOP (D) パッケージにおけるゲイン ドリフトと温度との関係を示すグラフを追加。
- 「代表的特性」に、SOP (D) パッケージにおける同相信号除去比の分布を示すグラフを追加。
- 「代表的特性」に、SOP (D) パッケージにおける同相信号除去比のドリフトと温度との関係を示すグラフを追加。
- 「関連資料」セクションを追加。

10 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMP8601MA/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	LMP86 01MA
LMP8601MAX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMP86 01MA
LMP8601MAX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMP86 01MA
LMP8602MA/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	LMP86 02MA
LMP8602MAX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMP86 02MA
LMP8602MAX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMP86 02MA
LMP8602MM/NOPB	Obsolete	Production	VSSOP (DGK) | 8	-	-	Call TI	Call TI	-40 to 125	AN3A
LMP8602MME/NOPB	Obsolete	Production	VSSOP (DGK) | 8	-	-	Call TI	Call TI	-40 to 125	AN3A
LMP8602MMX/NOPB	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AN3A
LMP8602MMX/NOPB.A	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AN3A
LMP8603MA/NOPB	Obsolete	Production	SOIC (D) | 8	-	-	Call TI	Call TI	-40 to 125	LMP86 03MA
LMP8603MAX/NOPB	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMP86 03MA
LMP8603MAX/NOPB.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	LMP86 03MA
LMP8603MM/NOPB	Obsolete	Production	VSSOP (DGK) | 8	-	-	Call TI	Call TI	-40 to 125	AP3A
LMP8603MME/NOPB	Obsolete	Production	VSSOP (DGK) | 8	-	-	Call TI	Call TI	-40 to 125	AP3A
LMP8603MMX/NOPB	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AP3A
LMP8603MMX/NOPB.A	Active	Production	VSSOP (DGK) | 8	3500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	AP3A

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LMP8601, LMP8602, LMP8603 :

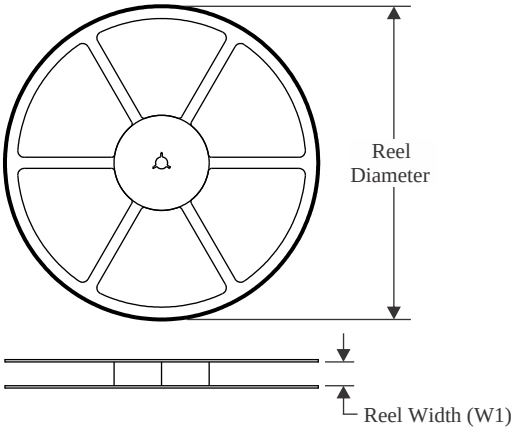
- Automotive : LMP8601-Q1, LMP8602-Q1, LMP8603-Q1

NOTE: Qualified Version Definitions:

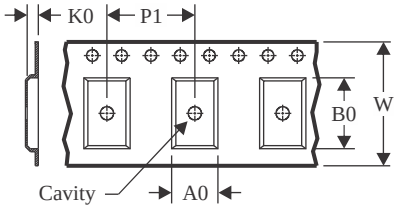
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

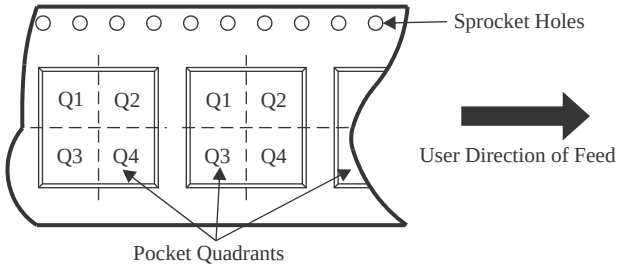


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

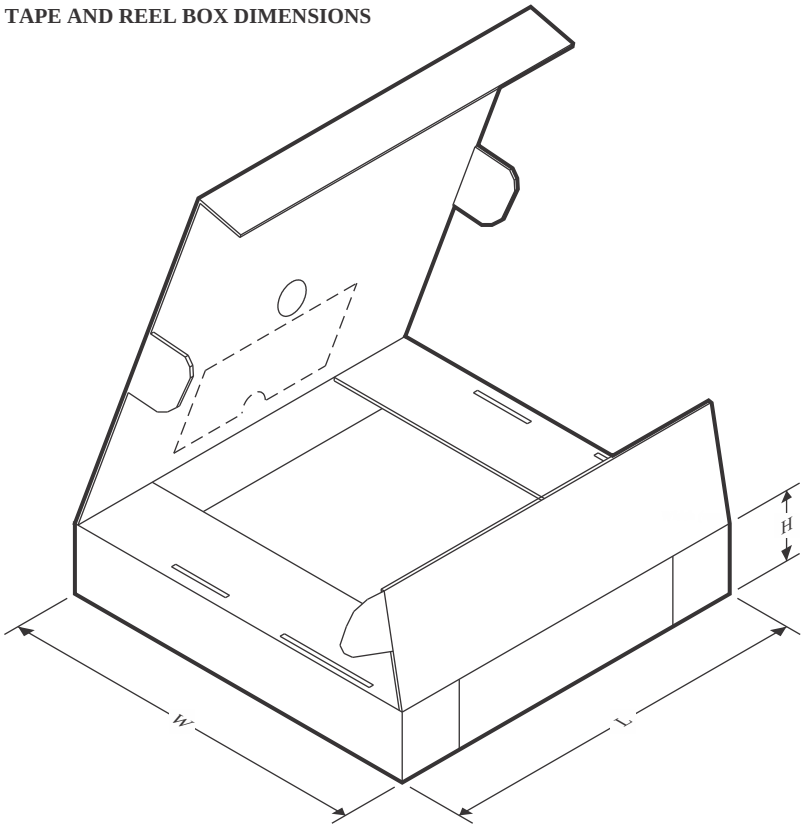
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMP8601MAX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMP8602MAX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMP8602MMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LMP8603MAX/NOPB	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
LMP8603MMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

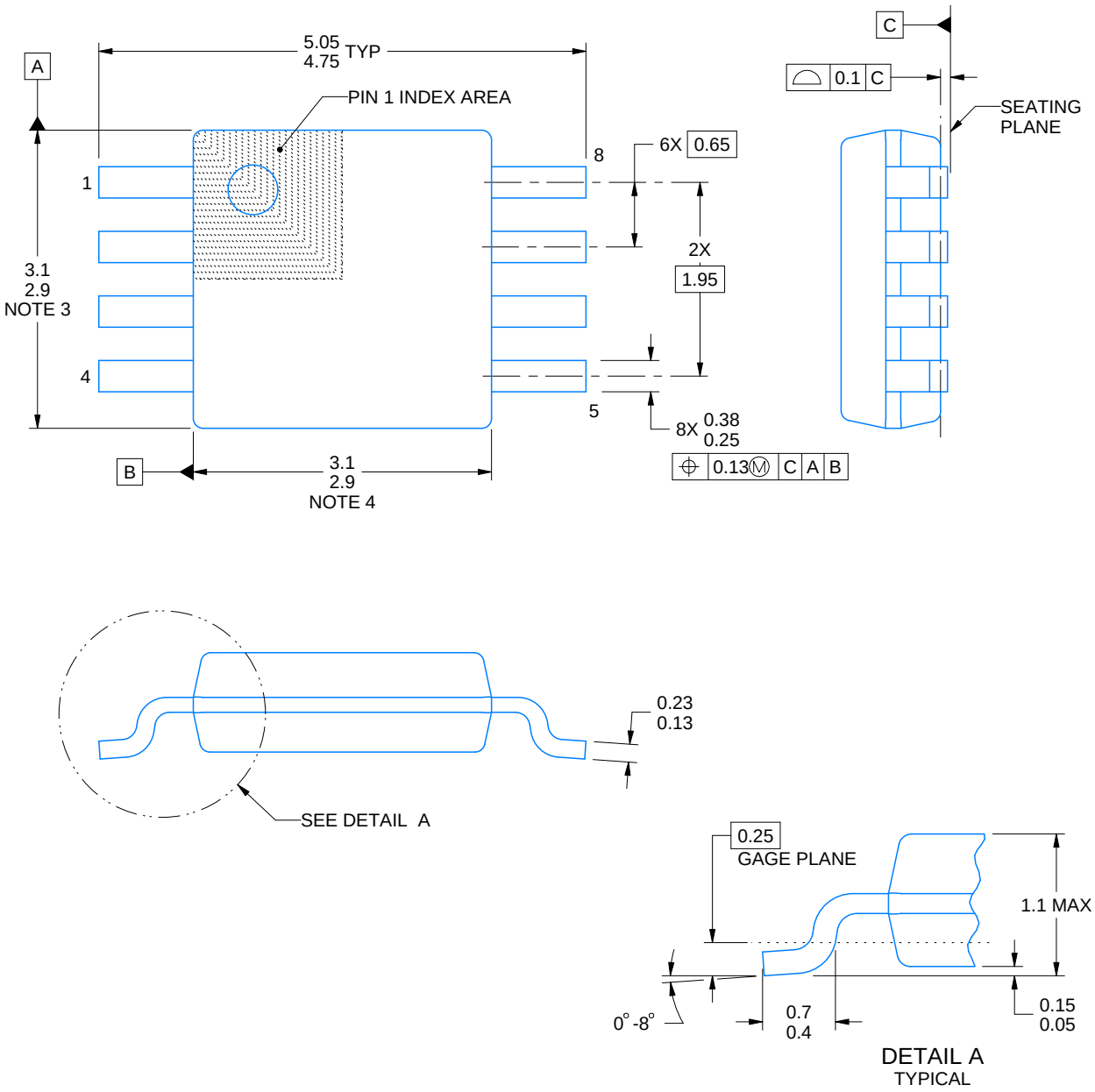
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMP8601MAX/NOPB	SOIC	D	8	2500	356.0	356.0	35.0
LMP8602MAX/NOPB	SOIC	D	8	2500	356.0	356.0	35.0
LMP8602MMX/NOPB	VSSOP	DGK	8	3500	356.0	356.0	35.0
LMP8603MAX/NOPB	SOIC	D	8	2500	356.0	356.0	35.0
LMP8603MMX/NOPB	VSSOP	DGK	8	3500	356.0	356.0	35.0

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

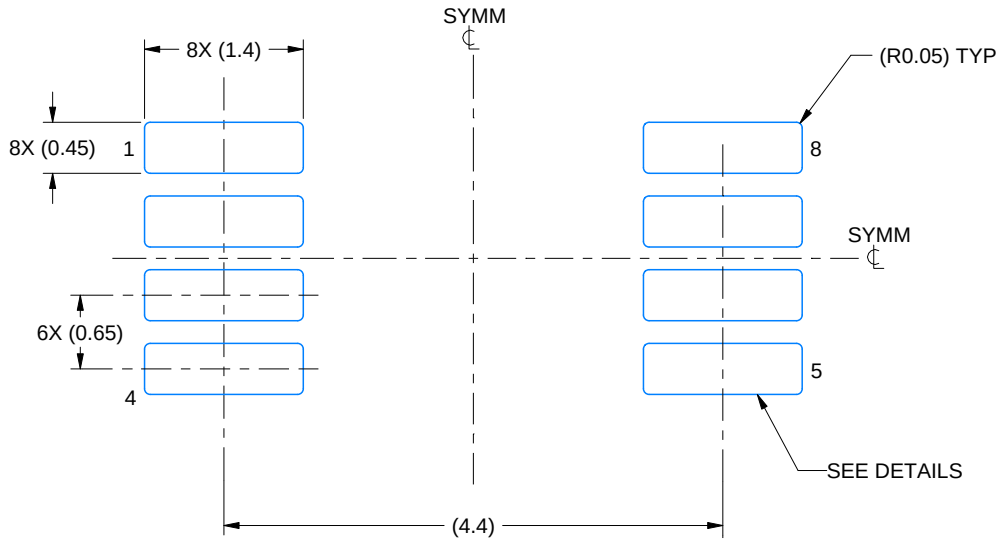
SMALL OUTLINE PACKAGE



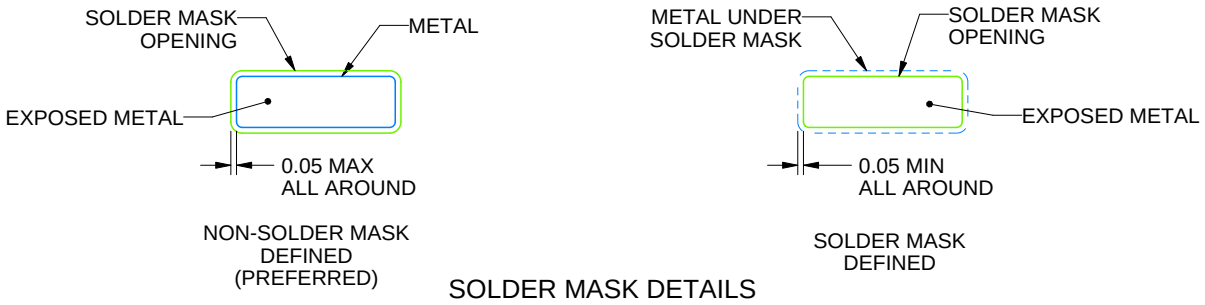
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

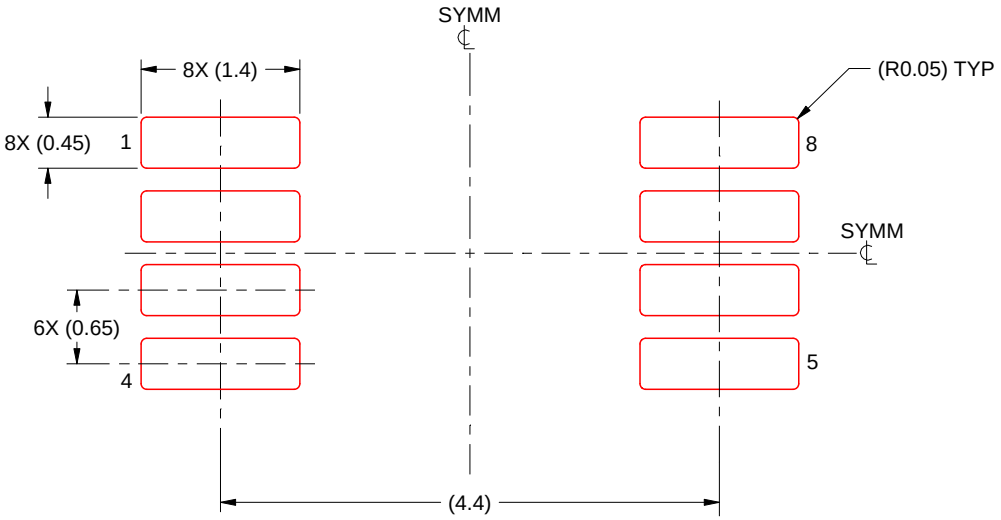


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

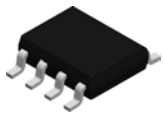


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

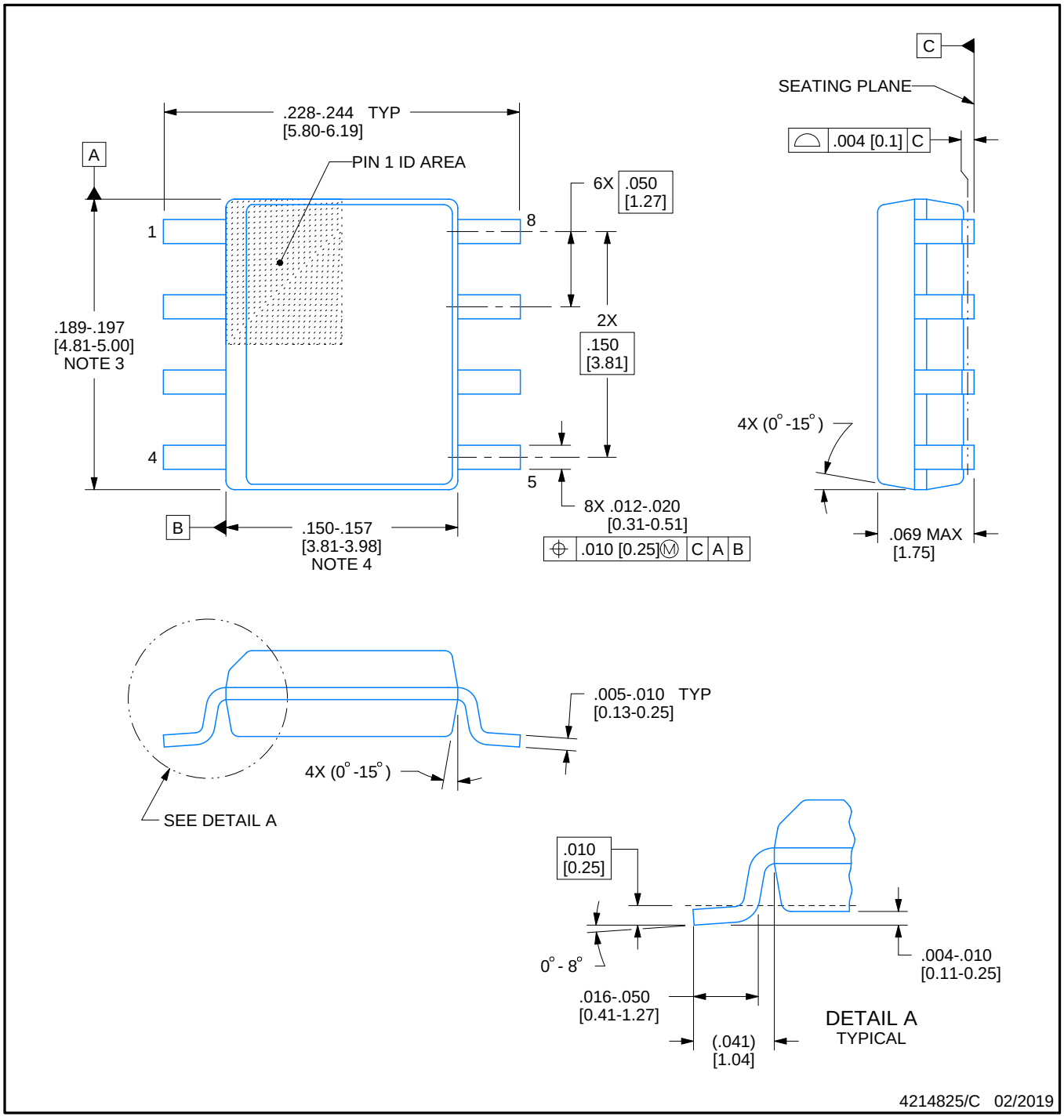


PACKAGE OUTLINE

D0008A

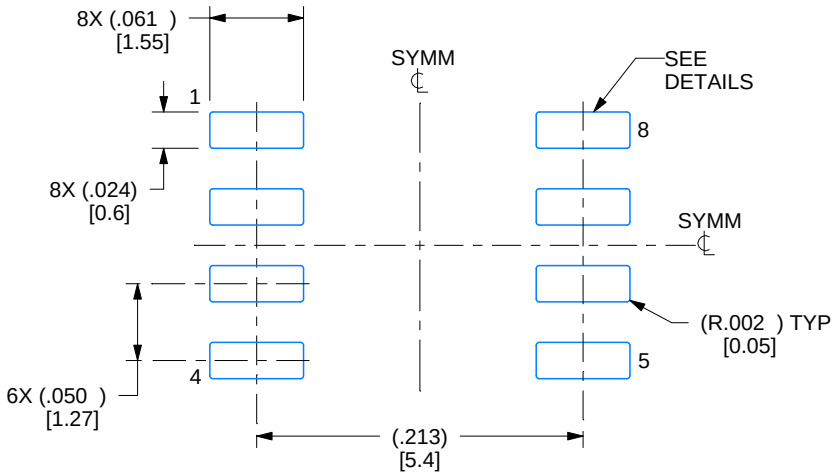
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

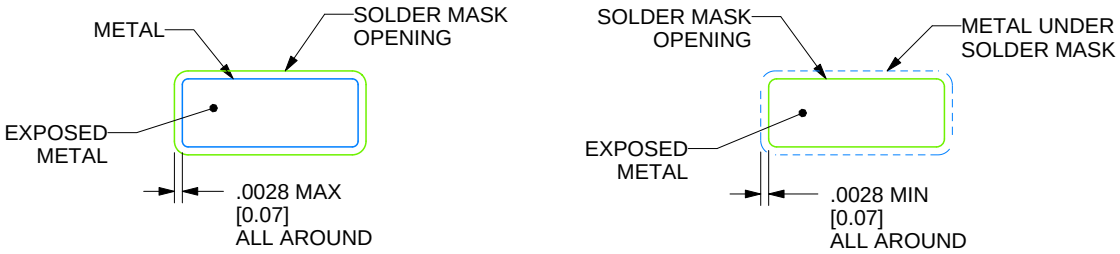


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

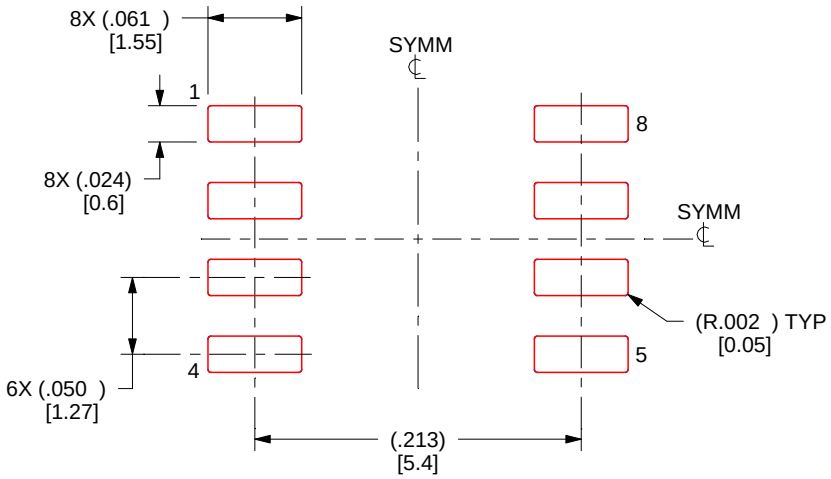
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月