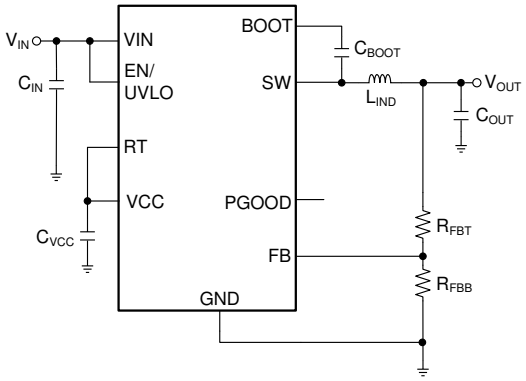
LMR36506 3V ～ 65V、0.6A、 超小型同期整流コンバータ。4µA I_Q

1 特長

- 堅牢な産業用アプリケーション向けの設計:
  - 接合部温度範囲:-40°C～+150°C
  - 最大 70V の過渡入力に対する保護
  - 幅広い入力電圧範囲:3.0V (立ち下がりスレッショルド)～65V
  - 低 EMI と最低限のスイッチ ノード リンギング
  - 調整可能な固定出力電圧オプションを利用可能
- スケーラブルな産業用電源に対応した設計:
  - LMR36503 (65V、300mA) とピン互換
  - 可変スイッチング周波数:200kHz～2.2MHz (RT ピン バリアントの場合)
- 設計のサイズとコストを最小化:
  - 内部補償により電力密度を最大化し外付け部品数を低減
  - 超小型 2mm × 2mm HotRod™ QFN パッケージ
- 負荷範囲全体にわたって高効率かつ低消費電力:
  - 400kHz で 93% のピーク効率 ($12V_{IN}$、$3.3V_{OUT}$、固定)
  - 400kHz で 90% のピーク効率 ($24V_{IN}$、$3.3V_{OUT}$、固定)
- 無負荷時の非常に低い動作静止電流
  - $24V_{IN}$ から $3.3V_{OUT}$ で 4µA (固定出力オプション)
- TPSM365R6 モジュールを使用して開発期間を短縮

2 アプリケーション

- ファクトリ・オートメーション:フィールド・トランスミッタとプロセス・センサ
- ビル・オートメーション:HVAC と防火
- 家電製品:ガーデニング・ツールと電動工具



概略回路図

3 説明

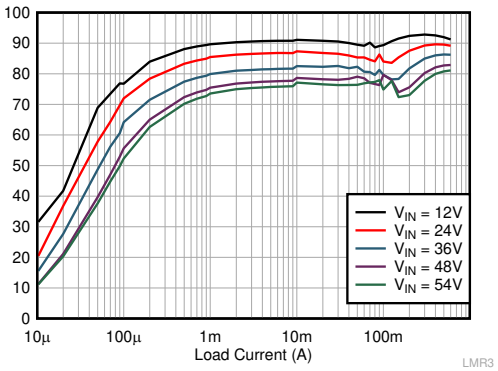
LMR36506 は、業界で最も小さな 2mm × 2mm HotRod パッケージの 65V、0.6A 同期整流降圧 DC/DC コンバータです。この使いやすいコンバータは、最大 70V の入力過渡電圧に対応でき、非常に優れた EMI 性能を実現するとともに、固定 3.3V の他に可変出力電圧もサポートしています。この過渡耐性により、入力過電圧からの保護や IEC 61000-4-5 のサージ耐性要件を満たすために必要な設計作業が軽減されます。

LMR36506 は、ピーク電流モード制御アーキテクチャと内部補償により、最小の出力容量で安定した動作を維持します。LMR36506 は、RT ピンからグランドへの抵抗を適切に選択することで、200kHz～2.2MHz の広い範囲の中から、目的の任意のスイッチング周波数で動作するよう外部からプログラムできます。高精度の EN/UVLO 機能により、スタートアップおよびシャットダウン中もデバイスを精密に制御できます。パワー グッド フラグは、内蔵のグリッチ フィルタと遅延付き解除によってシステムの実際の状態を示すため、外部のスーパーバイザは不要です。LMR36506 の小さな設計サイズと豊富な機能セットは、広範な産業用アプリケーションを簡単に実装できるよう設計されています。

パッケージ情報

部品番号	パッケージ (1)	パッケージ サイズ(2)
LMR36506	RPE (VQFN-HR、9)	2mm × 2mm

(1) 詳細については、セクション 11 を参照してください。
(2) パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



効率と出力電流との関係 (V_{OUT} = 5V (固定)、1MHz)

このリソースの元の言語は英語です。翻訳は概要を便宜的に提供するもので、自動化ツール (機械翻訳) を使用していることがあり、TI では翻訳の正確性および妥当性につきましては一切保証いたしません。実際の設計などの前には、ti.com で必ず最新の英語版をご参照くださいますようお願いいたします。

目次

1 特長 1
2 アプリケーション 1
3 説明 1
4 デバイス比較表 3
5 ピン構成および機能 4
6 仕様 5
6.1 絶対最大定格 5
6.2 ESD (商用) 定格 5
6.3 推奨動作条件 5
6.4 熱に関する情報 6
6.5 電気的特性 6
6.6 タイミング要件 8
6.7 スイッチング特性 8
6.8 システム特性 8
6.9 代表的特性 10
7 詳細説明 11
7.1 概要 11
7.2 機能ブロック図 12
7.3 機能説明 13
7.4 デバイスの機能モード 22
8 アプリケーションと実装 28
8.1 アプリケーション情報 28
8.2 代表的なアプリケーション 29
8.3 設計のベスト プラクティス 39
8.4 電源に関する推奨事項 39
8.5 レイアウト 39
9 デバイスおよびドキュメントのサポート 42
9.1 ドキュメントのサポート 42
9.2 ドキュメントの更新通知を受け取る方法 42
9.3 サポート・リソース 42
9.4 商標 42
9.5 静電気放電に関する注意事項 42
9.6 用語集 42
10 改訂履歴 42
11 メカニカル、パッケージ、および注文情報 44

Copyright © 2026 Texas Instruments Incorporated

4 デバイス比較表

発注用製品型番	出力電圧	外部との同期	F_{SW}	スペクトラム拡散
LMR36506RFRPER	可変	なし (軽負荷時のデフォルトの FPWM)	RT 抵抗で調整可能	なし
LMR36506R3RPER	3.3V 固定	なし (軽負荷時のデフォルトの PFM)	RT 抵抗で調整可能	なし
LMR36506RF3RPER	3.3V 固定	なし (軽負荷時のデフォルトの FPWM)	RT 抵抗で調整可能	なし
LMR36506RRPER	可変	なし (軽負荷時のデフォルトの PFM)	RT 抵抗で調整可能	なし
LMR36506R5RPER	5V 固定	なし (軽負荷時のデフォルトの PFM)	RT 抵抗で調整可能	なし

Copyright © 2026 Texas Instruments Incorporated

5 ピン構成および機能

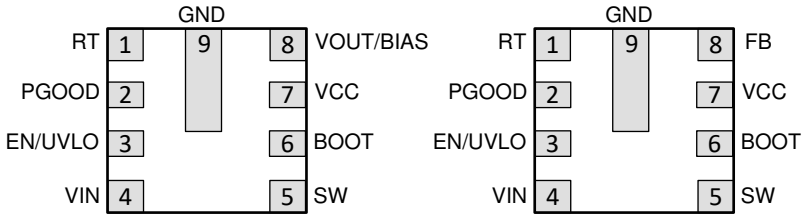


図 5-1. RPE パッケージ、9 ピン (2mm x 2mm) VQFN-HR の上面図

表 5-1. ピンの機能

ピン		タイプ	説明
番号	名称		
1	RT	A	本デバイスが RT バリアントとして調整されている場合は、スイッチング周波数を 200 kHz ～ 2MHz の範囲で調整できます。*このピンをフローティングにしないでください。*
2	PGOOD	A	オープン ドレインのパワー グッド フラグ出力。電流制限抵抗を介して、このピンを適切な電圧源に接続します。High = パワー OK、Low = パワー不良。EN = Low の場合、このピンは Low になります。未使用時は、このピンを解放、またはグランドに接続できます。
3	EN/UVLO	A	レギュレータへのイネーブル入力。High = オン、Low = オフ。VIN に直接接続できます。*このピンをフローティングにしないでください。*
4	VIN	P	レギュレータへの入力電源。高品質のバイパス コンデンサまたはコンデンサをこのピンと GND に直接接続します。
5	SW	P	レギュレータのスイッチ ノード。パワー インダクタに接続します。
6	BOOT	P	内部ハイサイド ドライバのブートストラップ電源電圧。このピンと SW ピンとの間に高品質の 100nF コンデンサを接続します。
7	VCC	P	内部 LDO 出力。内部制御回路への電源として使用されます。外部負荷に接続しないでください。パワー グッド フラグのロジック電源として使用できます。このピンと GND との間に高品質の 1µF コンデンサを接続します。
8	VOUT/BIAS または FB	A	VOUT/BIAS ピンのバリアントでは、固定出力オプションが利用できます。固定 VOUT では、出力電圧ノードに接続します。詳細については、製品比較表を参照してください。 FB ピンのバリアントは、出力電圧の調整に役立ちます。帰還電圧分圧回路のタップポイントに接続します。*このピンをフローティングにしないでください。*
9	GND	G	電源グランド ピン。システム グランドに接続。短くかつ広いパターンで C_{IN} に接続します。
A = アナログ、P = 電源、G = グランド			

Copyright © 2026 Texas Instruments Incorporated

6 仕様

6.1 絶対最大定格

接合部の動作時推奨温度範囲において(1)

パラメータ		最小値	最大値	単位
電圧	VIN から GND へ	-0.3	70	V
	EN から GND へ	-0.3	70	V
	SW から GND へ	-0.3	70.3	V
	PGOOD から GND へ	0	20	V
	VOUT/BIAS から GND へ (固定出力)	-0.3	16	V
	FB から GND へ - (可変出力)	-0.3	16	V
	BOOT から SW へ	-0.3	5.5	V
	VCC から GND へ	-0.3	5.5	V
	RT から GND へ (RT バリアント)	-0.3	5.5	V
	MODE/SYNC から GND へ (MODE/SYNC バリアント)	-0.3	5.5	V
T_J	接合部温度	-40	150	°C
T_{stg}	保存温度	-65	150	°C

(1) 「絶対最大定格」に記載されたストレスを超えるストレスが加わると、デバイスに永続的な損傷が発生する可能性があります。これはストレスの定格のみについて示してあり、このデータシートの「*推奨動作条件*」に示された値を越える状態で本製品が正常に動作することを暗黙的に示すものではありません。絶対最大定格の状態が長時間続くと、デバイスの信頼性に影響を与える可能性があります。

6.2 ESD (商用) 定格

			値	単位
$V_{(ESD)}$	静電放電	人体モデル (HBM)、ANSI/ESDA/JEDEC JS-001 準拠(1)	±2000	V
		デバイス帯電モデル (CDM)、ANSI/ESDA/JEDEC JS-002 準拠 (2)	±750	V

(1) JEDEC ドキュメント JEP155 には、500V HBM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。
(2) JEDEC ドキュメント JEP157 には、250V CDM であれば標準的な ESD 管理プロセスにより安全な製造が可能であると記載されています。

6.3 推奨動作条件

接合部の動作時推奨温度である -40°C ～ 150°C において (特に記述のない限り) (1) (2)

		最小値	標準値	最大値	単位
入力電圧	入力電圧範囲 (起動後)	3.6		65	V
出力電流	負荷電流範囲(3)	0		0.6	A
周波数設定	RT で選択可能な周波数範囲 (RT バリアントのみ)	0.2		2.2	MHz
	RT を GND に接続した状態で周波数値を設定 (RT バリアントのみ)		2.2		MHz
	RT を VCC に接続した状態で周波数値を設定 (RT バリアントのみ)		1		MHz

(1) 推奨動作条件は本デバイスが機能する条件を示していますが、特定の性能限界を指定するものではありません。指定されている仕様については、「電気的特性」表を参照してください。
(2) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 125°C を超えると、動作寿命が短くなります
(3) スイッチング周波数が高い、または周囲温度が高い状態で動作している場合、最大連続 DC 電流が低下する場合があります。詳細については、「アプリケーション」セクションを参照してください。

Copyright © 2026 Texas Instruments Incorporated

6.4 熱に関する情報

この表に示す $R_{\theta JA}$ の値は、その他のパッケージとの比較のためにのみに有効であり、設計目的では使用できません。これらの値は JESD 51-7 に従って計算されており、4 層 JEDEC 基板上でシミュレーションされています。これらの値は、実際のアプリケーションで得られた性能を表すものではありません。たとえば 4 層 PCB を使うと、$R_{\Theta JA}$ = 58℃/W が達成可能です。

熱評価基準(1)		LMR36506 VQFN (RPE) 9 ピン	単位
$R_{\theta JA}$	接合部から周囲への熱抵抗	84.4	℃/W
$R_{\theta JC(top)}$	接合部からケース (上面) への熱抵抗	47.5	℃/W
$R_{\theta JB}$	接合部から基板への熱抵抗	26.1	℃/W
Ψ_{JT}	接合部から上面への特性パラメータ	0.9	℃/W
Ψ_{JB}	接合部から基板への特性パラメータ	25.9	℃/W

(1) 従来および最新の熱評価基準の詳細については、『半導体および IC パッケージの熱評価基準』アプリケーション ノートを参照してください。この表に示す $R_{\theta JA}$ の値は他のパッケージとの比較にのみ有効であり、設計目的に使用することはできません。この値は JESD 51-7 に従って計算されており、4 層 JEDEC 基板上でシミュレーションされています。この値は、実際のアプリケーションで得られた性能を表すものではありません。設計情報については、「最大周囲温度」セクションを参照してください。

6.5 電気的特性

特に記述のない限り、各制限値は推奨動作接合部温度 (T_J) 範囲 (-40℃～+150℃) にわたって適用されます。最小値および最大値の制限値は、試験、設計、および統計的相関に基づいて規定されています。標準値は T_J = 25℃における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。V_{IN} = 24V。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電圧 (VIN ピン)						
V_{IN_R}	最小動作入力電圧 (立ち上がり)	立ち上がりスレッショルド		3.4	3.5	V
V_{IN_F}	最小動作入力電圧 (立ち下がり)	動作開始後、立ち下がりスレッショルド	2.45	3.0		V
$I_{Q_13p5_Fixed}$	非スイッチング入力電流 (VIN ピンで測定)(2)	V_{IN} = V_{EN} = 13.5V、$V_{OUT/BIAS}$ = 5.25V、V_{RT} = 0V、固定出力	0.25	0.672	1.05	µA
$I_{Q_13p5_Adj}$	非スイッチング入力電流 (VIN ピンで測定)(2)	V_{IN} = V_{EN} = 13.5V、V_{FB} = 1.05V、V_{RT} = 0V、可変出力	14	17	22	µA
$I_{Q_24p0_Fixed}$	非スイッチング入力電流 (VIN ピンで測定)(2)	V_{IN} = V_{EN} = 24V、$V_{OUT/BIAS}$ = 5.25V、V_{RT} = 0V、固定出力	0.8	1.2	1.7	µA
$I_{Q_24p0_Adj}$	非スイッチング入力電流 (VIN ピンで測定)(2)	V_{IN} = V_{EN} = 24V、V_{FB} = 1.05V、V_{RT} = 0V、可変出力	14	18	22	µA
I_{B_13p5}	VOUT/BIAS ピンへの電流 (スイッチングなし)(2)	V_{IN} = 13.5V、$V_{OUT/BIAS}$ = 5.25V、V_{RT} = 0V、固定出力	14	17	22	µA
I_{B_24p0}	VOUT/BIAS ピンへの電流 (スイッチングなし)(2)	V_{IN} = 24V、$V_{OUT/BIAS}$ = 5.25V、V_{RT} = 0V、固定出力	14	18	22	µA
I_{SD_13p5}	シャットダウン時の静止電流 (VIN ピンで測定)(2)	V_{EN} = 0、V_{IN} = 13.5V		0.5	1.1	µA
I_{SD_24p0}	シャットダウン時の静止電流 (VIN ピンで測定)(2)	V_{EN} = 0、V_{IN} = 24V		1	1.6	µA
イネーブル (EN ピン)						
$V_{EN-WAKE}$	イネーブル ウェークアップ スレッショルド		0.4			V
$V_{EN-VOUT}$	VOUT の高精度イネーブル high レベル		1.16	1.263	1.36	V
$V_{EN-HYST}$	$V_{EN-VOUT}$ より低いイネーブル スレッショルド ヒステリシス		0.3	0.35	0.4	V
I_{LKG-EN}	イネーブル入力リーク電流	VEN = 3.3V		0.3	8	nA

Copyright © 2026 Texas Instruments Incorporated

6.5 電気的特性 (続き)

特に記述のない限り、各制限値は推奨動作接合部温度 (T_J) 範囲 (-40℃～+150℃) にわたって適用されます。最小値および最大値の制限値は、試験、設計、および統計的相関に基づいて規定されています。標準値は T_J = 25℃における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。V_{IN} = 24V。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
内部 LDO						
V_{CC}	内部 VCC 電圧	可変または固定出力、自動モード	3.125	3.15	3.22	V
I_{CC}	Bias レギュレータ電流制限			65	240	mA
$V_{CC-UVLO}$	内部 VCC 低電圧保護	VCC 立ち上がり低電圧スレッショルド	3	3.3	3.65	V
$V_{CC-UVLO-HYST}$	内部 VCC 低電圧ロックアウト ヒステリシス	$V_{CC-UVLO}$ 未満でのヒステリシス	0.4	0.8	1.2	V
電流制限						
I_{SC-0p3}	短絡ハイサイド電流制限(3)	0.3A バージョン	0.42	0.5	0.575	A
$I_{LS-LIMIT-0p3}$	ローサイド電流制限(3)	0.3A バージョン	0.3	0.35	0.4	A
$I_{PEAK-MIN-0p3}$	最小ピーク インダクタ電流(3)	PFM 動作、0.3A バージョン、デューティ係数 = 0	0.067	0.09	0.11	A
I_{SC-0p6}	短絡ハイサイド電流制限(3)		0.87	1	1.11	A
$I_{LS-LIMIT-0p6}$	ローサイド電流制限(3)		0.6	0.7	0.752	A
$I_{PEAK-MIN-0p6}$	最小ピーク インダクタ電流(3)	自動モード、デューティ係数 = 0	0.127	0.19	0.227	A
I_{ZC}	ゼロ クロス電流(3)	自動モード	0	0.01	0.022	A
I_{L-NEG}	シンク電流制限 (負)(3)	FPWM モード	0.6	0.7	0.8	A
パワー グッド						
PG-OV	PGOOD の上限 - 立ち上がり	FB (可変出力) の比率または VOUT/BIAS (固定出力) の比率	106	107	110	%
PG-UV	PGOOD の下限 - 立ち下がり	FB (可変出力) の比率または VOUT/BIAS (固定出力) の比率	93	94	96.5	%
PG-HYS	PGOOD ヒステリシス — 立ち上がり / 立ち下がり	FB (可変出力) の比率または VOUT/BIAS (固定出力) の比率	1.3	1.8	2.3	%
$V_{PG-VALID}$	有効な PG 機能の最小入力電圧		0.75	1	2	V
$R_{PG-EN5p0}$	PGOOD 出力の $R_{DS(ON)}$	VEN = 5.0V、1mA のプルアップ電流	20	40	70	Ω
R_{PG-EN0}	PGOOD 出力の $R_{DS(ON)}$	VEN = 0V、1mA のプルアップ電流	10	18	31	Ω
MOSFETS						
$R_{DS-ON-HS}$	ハイサイド MOSFET オン抵抗	負荷 = 0.3A		560	920	mΩ
$R_{DS-ON-LS}$	ローサイド MOSFET オン抵抗	負荷 = 0.3A		280	460	mΩ
$V_{CBOOT-UVLO}$	Cboot - SW UVLO スレッショルド(4)		2.14	2.3	2.42	V
電圧リファレンス						
$V_{OUT_Fixed3p3}$	3.3V の初期 VOUT 電圧精度	FPWM モード	3.25	3.3	3.34	V
$V_{OUT_Fixed5p0}$	5V の初期 VOUT 電圧精度	FPWM モード	4.93	5	5.07	V
V_{REF}	内部リファレンス電圧	V_{IN} = 3.6V ～ 65V、FPWM モード	0.985	1	1.01	V
I_{FB}	FB 入力電流	可変出力、FB = 1V		85	110	nA

(1) 最小および最大の制限値は 25℃で 100% 製造テスト済みです。全動作温度範囲における制限値は、統計的品質管理 (SQC) 手法を使って相関により検証しています。これらの制限値を使って、平均出検品質限界 (AOQL) を計算しています。
(2) この値は、デバイスの開ループが使用する電流です。この値は、レギュレーション中にシステムに流れ込む入力電流の合計を示すものではありません。
(3) この表の電流制限値は、開ループでテスト済みであり、量産時に使用されます。これらの値は、閉ループ アプリケーションで見られる値とは異なる場合があります。
(4) C_{BOOT} コンデンサの両端の電圧がこの電圧を下回ると、ローサイド MOSFET が起動してブート コンデンサを再充電します

Copyright © 2026 Texas Instruments Incorporated

6.6 タイミング要件

特に記述のない限り、各制限値は推奨動作接合部温度 (T_J) 範囲 (-40℃～+150℃) にわたって適用されます。最小値および最大値の制限値は、試験、設計、および統計的相関に基づいて規定されています。標準値は T_J = 25℃における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。V_{IN} = 24V。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
ソフト スタート						
t_{SS}	最初の SW パルスから V_{FB} が V_{REF} の 90% に達するまでの時間	V_{IN} ≧ 3.6V	1.95	2.58	3.2	ms
パワー グッド						
t_{RESET_FILTER}	PG 機能のグリッチ フィルタ時定数		15	25	40	µs
t_{PGOOD_ACT}	PG High 信号までの遅延時間		1.7	1.956	2.16	ms

(1) 最小および最大の制限値は 25℃ で 100% 製造テスト済みです。全動作温度範囲における制限値は、統計的品質管理 (SQC) 法を使用した相関により規定されています。これらの制限値を使って、平均出検品質限界 (AOQL) を計算しています。

6.7 スイッチング特性

特に記述のない限り、各制限値は推奨動作接合部温度 (T_J) 範囲 (-40℃～+150℃) にわたって適用されます。最小値および最大値の制限値は、試験、設計、および統計的相関に基づいて規定されています。標準値は T_J = 25℃における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。V_{IN} = 24V。(1)

パラメータ		テスト条件	最小値	標準値	最大値	単位
PWM 制限値 (SW)						
t_{ON-MIN}	最小スイッチ オン時間	VIN = 24V、I_{OUT} = 0.6A	40	57	80	ns
$t_{OFF-MIN}$	最小スイッチ オフ時間		40	58	77	ns
t_{ON-MAX}	最大スイッチ オン時間	ドロップアウト時の HS タイムアウト	7.6	9	9.8	µs
発信機 (RT)						
f_{OSC_2p2MHz}	内部発振器の周波数	RT = GND	2.1	2.2	2.3	MHz
f_{OSC_1p0MHz}	内部発振器の周波数	RT = VCC	0.93	1	1.05	MHz
f_{ADJ_400kHz}		RT = 39.2kΩ	0.34	0.4	0.46	MHz

(1) 最小および最大の制限値は 25℃ で 100% 製造テスト済みです。全動作温度範囲における制限値は、統計的品質管理 (SQC) 法を使用した相関により規定されています。これらの制限値を使って、平均出検品質限界 (AOQL) を計算しています。

6.8 システム特性

以下の仕様は、標準的なアプリケーション回路にのみ適用され、コンポーネントの公称値が設定されています。「代表値 (TYP)」列の仕様は、T_J = 25℃ にのみ適用されます。T_J = -40℃ ～ 150℃ の温度範囲での標準的な部品の場合、最小 (MIN) および最大 (MAX) 列の仕様が適用されます。これらの仕様は、製造試験では保証されていません。

パラメータ		テスト条件	最小値	標準値	最大値	単位
スタンバイ電流とデューティ比						
I_{SUPPLY}	レギュレーション時の入力電源電流	V_{IN} = 13.5V、$V_{OUT/BIAS}$ =3.3V、I_{OUT} = 0A、PFM モード		6.5		µA
I_{SUPPLY}	レギュレーション時の入力電源電流	V_{IN} = 24V、$V_{OUT/BIAS}$ = 3.3V、I_{OUT} = 0A、PFM モード		4		µA
D_{MAX}	最大スイッチ デューティ サイクル(1)			98%		
出力電圧精度 (VOUT/BIAS)						
$V_{OUT_3p3V_ACC}$	V_{OUT} = 3.3V、V_{IN} = 3.6V ～ 65V、I_{OUT} = 0 で全負荷に対応(2)	FPWM モード	-1.5		1.5	%
$V_{OUT_3p3V_ACC}$	V_{OUT} = 3.3V、V_{IN} = 3.6V ～ 65V、I_{OUT} = 0A で全負荷に対応(2)	自動モード	-1.5		2.5	%
サーマル シャットダウン						

Copyright © 2026 Texas Instruments Incorporated

6.8 システム特性 (続き)

以下の仕様は、標準的なアプリケーション回路にのみ適用され、コンポーネントの公称値が設定されています。「代表値 (TYP)」列の仕様は、T_J = 25℃ にのみ適用されます。T_J = -40℃ ～ 150℃ の温度範囲での標準的な部品の場合、最小 (MIN) および最大 (MAX) 列の仕様が適用されます。これらの仕様は、製造試験では保証されていません。

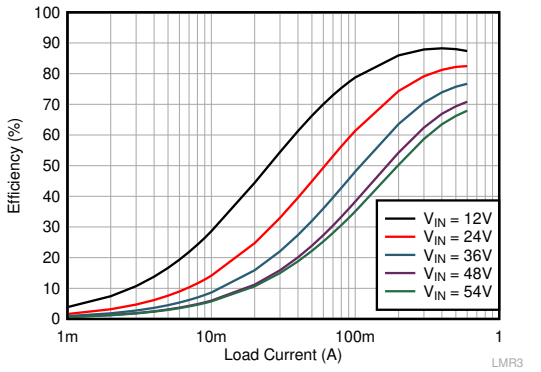
パラメータ		テスト条件	最小値	標準値	最大値	単位
T_{SD-R}	サーマル シャットダウン立ち上がり	シャットダウン スレッショルド	158	168	180	°C
T_{SD-F}	サーマル シャットダウン立ち下がり	復帰スレッショルド	150	158	165	°C
$T_{SD(HYS)}$	サーマル シャットダウン ヒステリシス		8	10	15	°C

(1) ドロップアウト時にはスイッチング周波数が低下し、実効デューティ サイクルが増加します。最小周波数は、約 $f_{MIN} = 1 / (t_{ON-MAX} + T_{OFF-MIN})$ でクランプされます。$D_{MAX} = t_{ON-MAX} / (t_{ON-MAX} + t_{OFF-MIN})$。
(2) 偏差は V_{IN} = 13.5V を基準にします。

Copyright © 2026 Texas Instruments Incorporated

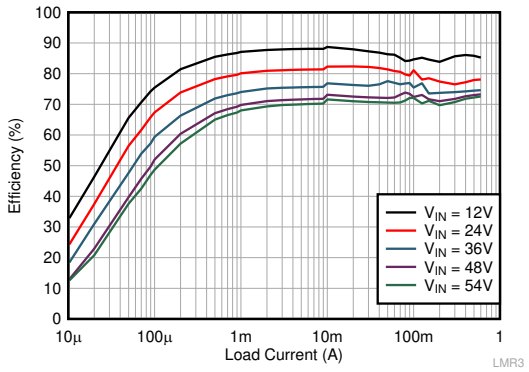
6.9 代表的特性

特に記述のない限り、次の条件が適用されます。T_A = 25°C、V_{IN} = 13.5V



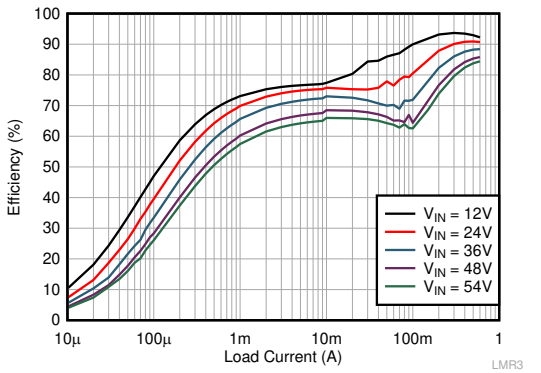
V_{OUT} = 3.3V 固定　　F_{SW} = 1MHz (FPWM)

図 6-1. 3.3V 出力の効率、FPWM



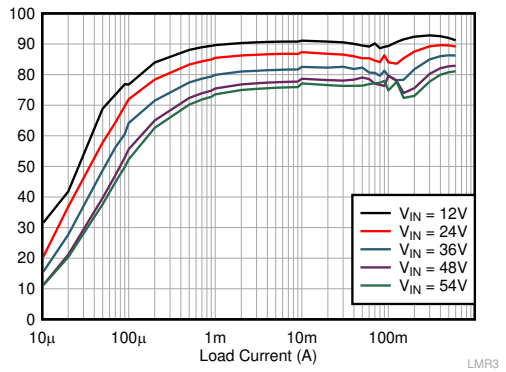
V_{OUT} = 3.3V 固定　　F_{SW} = 1MHz (Auto)

図 6-2. 効率 3.3V 出力、自動モード



V_{OUT} = 5V 固定　　F_{SW-NOM} = 400kHz (Auto)

図 6-3. 効率 5V 出力、自動モード



V_{OUT} = 5V 固定　　F_{SW-NOM} = 1MHz (Auto)

図 6-4. 効率 5V 出力、自動モード

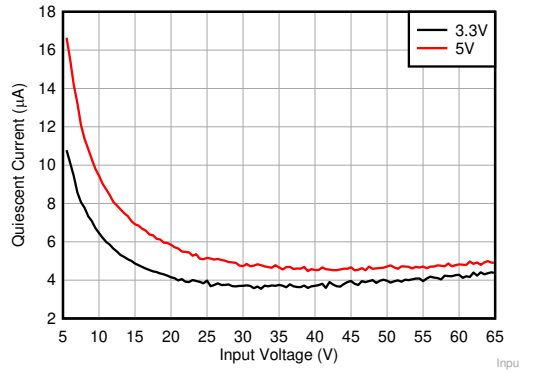


図 6-5. 固定 3.3V および 5V 出力における無負荷時の標準入力電源電流

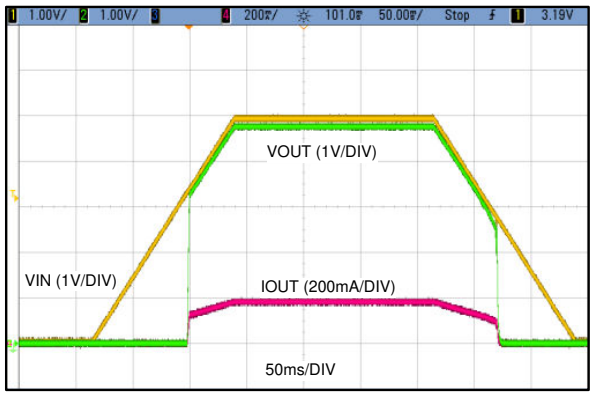


図 6-6. V_{OUT} = 5V での標準的な起動およびシャットダウン

Copyright © 2026 Texas Instruments Incorporated

7 詳細説明

7.1 概要

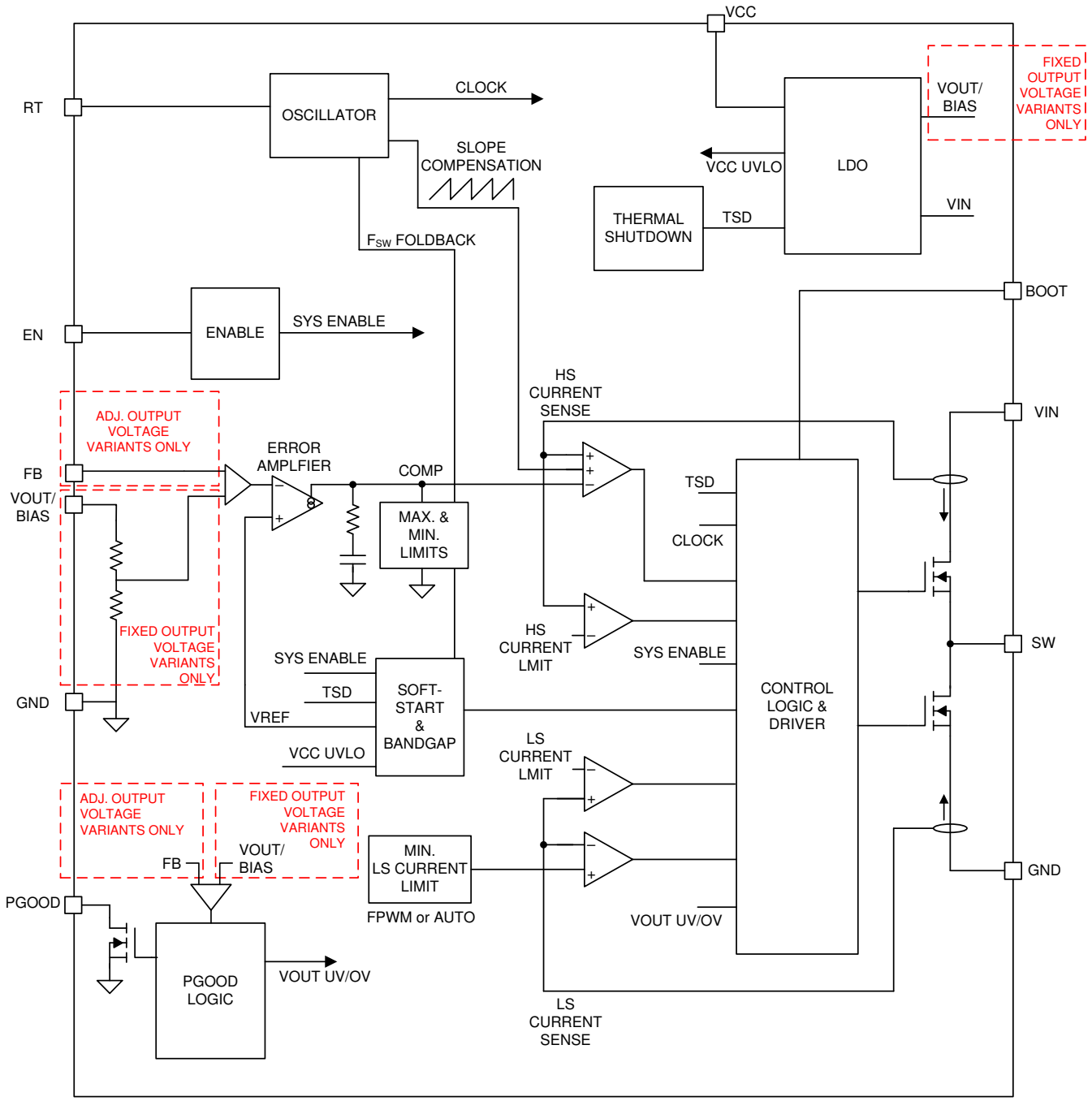
LMR36506 は、入力範囲が広く、静止電流が小さい、高性能レギュレータで、400kHz 未満の AM 未満の帯域、2.2MHz の AM を超える帯域を含む、幅広いデューティ比とスイッチング周波数で動作可能です。広い入力過渡中に、スイッチング周波数が高く設定されている目的のデューティ比を、最小オン時間または最小オフ時間でサポートできない場合、スイッチング周波数が自動的に低下し、LMR36506 は出力電圧レギュレーションを維持できます。最小出力コンデンサに対して最適化された内部補償設計により、市場で入手可能な他の降圧レギュレータと比べ、LMR36506 のシステム設計プロセスを大幅に簡素化できます。

LMR36506 は、要求の厳しい産業用環境で動作しながら、外部コンポーネントのコストと設計サイズが最小化されるように設計されています。LMR36506 ファミリには、200kHz ～ 2.2MHz の広いスイッチング周波数範囲にわたって動作するように設定できるバリアントが含まれており、RT ピンからグランドへの抵抗を正しく選択できます。さらにシステムコストを削減するため、遅延リリースを備えた PGOOD 出力機能が用意されており、多くのアプリケーションでリセットスーパーバイザが不要になります。

LMR36506 は超小型 2mm x 2mm QFN パッケージを採用しており、迅速な光学検査が可能であると同時に、専用設計のコーナー アンカー ピンを使用しており、信頼性の高い基板レベルのはんだ接続に適しています。

Copyright © 2026 Texas Instruments Incorporated

7.2 機能ブロック図



Copyright © 2026 Texas Instruments Incorporated

7.3 機能説明

7.3.1 イネーブル、起動、およびシャットダウン

EN ピンの電圧によって、LMR36506 ファミリのデバイスの起動またはリモート シャットダウンを制御します。EN ピンの電圧が $V_{EN-WAKE}$ = 0.4V 未満である限り、本デバイスはシャットダウン状態を維持します。シャットダウン中、デバイスが消費する入力電流は通常 0.5µA (VIN = 13.5V) まで低下します。EN ピンの電圧が V_{EN_WAKE} を上回ると、本デバイスはスタンバイ モードに移行し、内部 LDO が起動して VCC を生成します。EN の電圧がさらに上昇し、$V_{EN-VOUT}$ に近づくと、本デバイスは最終的にスイッチングを開始し、ソフト スタートを使って起動モードに移行します。本デバイスのシャットダウン プロセス中に、EN 入力電圧の測定値が ($V_{EN-VOUT}$ – $V_{EN-HYST}$) を下回ると、レギュレータはスイッチングを停止し、デバイスはスタンバイ モードに戻ります。EN ピンの電圧が $V_{EN-WAKE}$ を下回ると、本デバイスは確実にシャットダウンされます。リモート高精度制御が不要な場合、高電圧に対応した EN 入力ピンを VIN 入力ピンに直接接続できます。EN 入力ピンをフローティングにすることはできません。各種の EN のスレッショルド パラメータとそれらの値については、「電気的特性」に記載されています。図 7-2 に、高精度イネーブル動作を示します。図 7-3 に、アプリケーションでの代表的なリモート EN の起動波形を示します。EN が High になってから約 1ms の遅延の後、出力電圧はソフトスタートで上がり始め、約 2.67ms (t_{ss}) 後にほぼ最終値に達します。約 2 ms (t_{PGOOD_ACT}) の遅延の後、PGOOD フラグが high になります。起動中、ソフトスタート時間が経過するまで、本デバイスは FPWM モードに移行できません。この時間は、EN の立ち上がりエッジから測定されます。部品の選択については、*「外部 UVLO」*を参照してください。

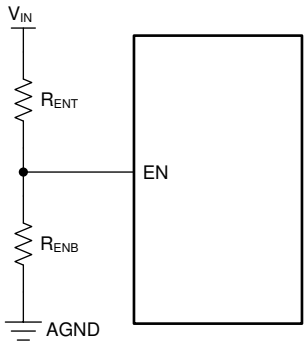


図 7-1. EN ピンを使った VIN/UVLO

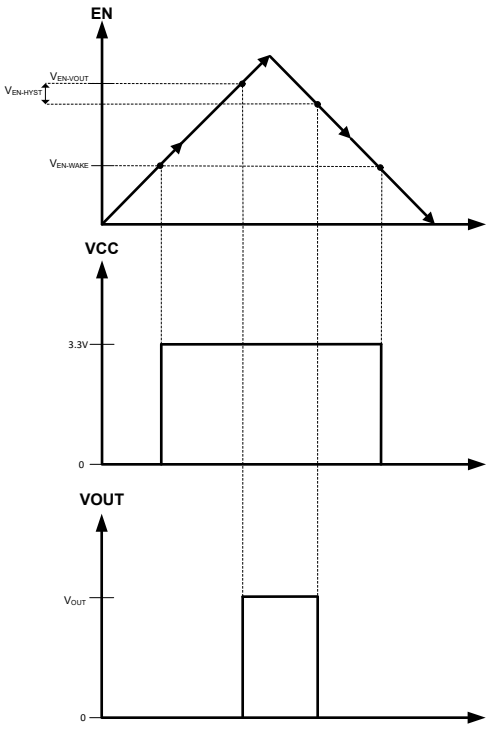


図 7-2. 高精度イネーブルの動作

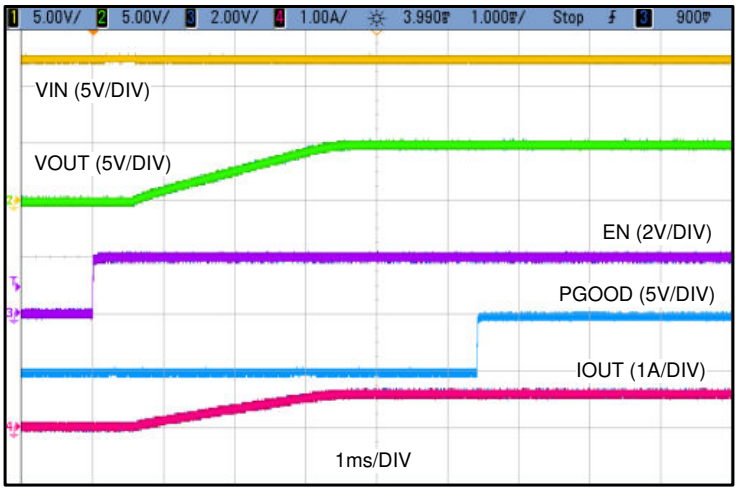


図 7-3. イネーブルによる起動 V_{IN} = 12V、V_{OUT} = 5V、I_{OUT} = 600mA

7.3.2 調整可能なスイッチング周波数 (RT 付き)

LMR36506 ファミリのうち、RT ピンを備えた一部のバリアントを使用することで、電源設計者はアプリケーションにおいて 200kHz ～ 2.2MHz の任意の動作周波数を設定できます。目的のスイッチング周波数に必要な抵抗値を決定するには、図 7-4 を参照してください。RT ピンのプログラミングに関する選択については、表 7-1 を参照してください。

表 7-1. RT ピンの設定

RT 入力	スイッチング周波数
VCC	1MHz
GND	2.2MHz
RT から GND へ	図 7-4 に従って調整可能

Copyright © 2026 Texas Instruments Incorporated

表 7-1. RT ピンの設定 (続き)

RT 入力	スイッチング周波数
フローティング (推奨しません。)	スイッチングしません。

目的の周波数の RT の値を計算するには、式 1 を使用できます。

$$RT = \frac{18286}{Fsw^{1.021}} \quad (1)$$

ここで、

- RT は周波数設定抵抗の値 (kΩ) です。
- F_{SW} はスイッチング周波数 (kHz) です。

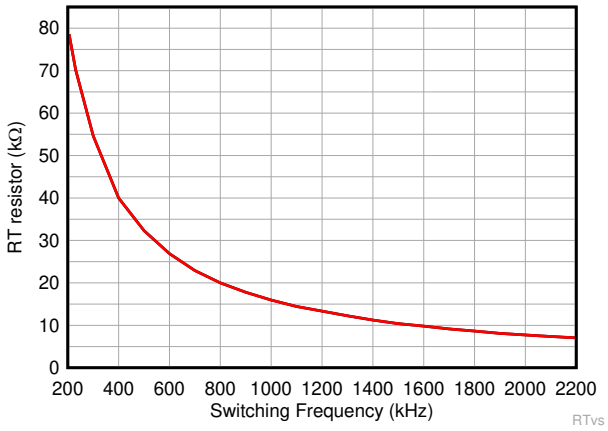


図 7-4. RT の値と周波数との関係

7.3.3 パワー グッド出力動作

LMR36506 の PG ピンを使ったパワー グッド機能は、出力電圧が安定化範囲を外れた場合にシステム マイクロプロセッサをリセットするために使用できます。通常の起動中だけでなく、デバイス フォルト条件 (電流制限、サーマル シャットダウンなど) の際も、このオープン ドレイン出力は Low に維持されます。グリッチ フィルタは、出力電圧の短時間の変動 (ラインおよび負荷過渡時など) に対するフラグの誤動作を防止します。t_{RESET_FILTER} よりも短い出力電圧変動では、パワーグッド フラグは立ちません。図 7-5 に、パワー グッド動作を分かりやすく図示します。表 7-2 に、PGOOD 動作の詳細な内訳を示します。ここで、V_{PG-UV} は $V_{OUT-Reg}$ (目的の安定化出力電圧) と PG-UV の積、V_{PG-HYS} は $V_{OUT-Reg}$ と PG-HYS の積として定義されます。ここで、PG-UV と PG-HYS はどちらも セクション 6.5 に記載されています。最初の起動時に、$V_{EN-VOUT}$ がトリガされてからパワーグッドに High のフラグが立つまでに生じる総遅延時間は 5ms (標準値) です。この遅延は本デバイスの起動時にのみ発生し、パワー グッド機能のその他の通常動作中は発生しません。EN が Low にプルされると、パワー グッド フラグ出力も Low に強制されます。EN が Low であれば、入力電圧 ($V_{PG-VALID}$) が 1V (標準値) 以上である限り、パワーグッドは有効です。

パワー グッド出力回路はオープン ドレインの N チャネル MOSFET で構成されており、適切なロジック電源に接続された外付けプルアップ抵抗を必要とします。パワーグッド出力方式は、必要に応じて適切な抵抗を介して V_{CC} または V_{OUT} にプルアップすることもできます。この機能が不要な場合、PGOOD ピンをオープンにし、またはグランドに接続できます。このピンに流れ込む電流は、4mA 以下に制限します。

Copyright © 2026 Texas Instruments Incorporated

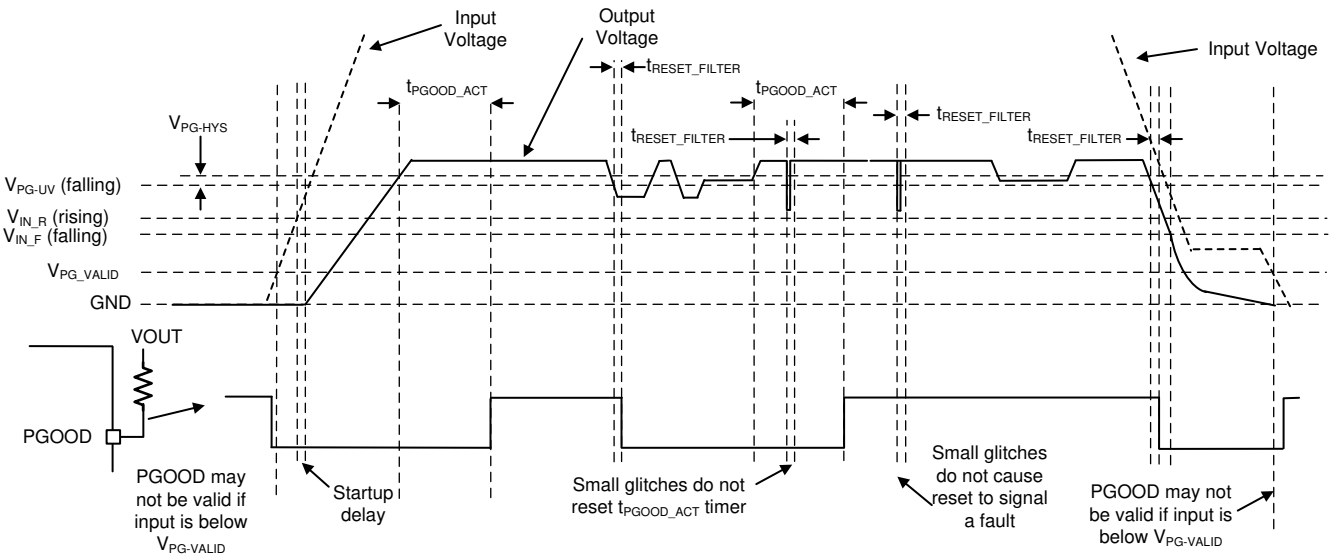


図 7-5. パワー グッド動作 (OV イベントは含まれません)

表 7-2. PGOOD のフォルト条件 (Low にプル)

フォルト条件の開始	フォルト条件の終了 (その後、PGOOD 出力が解放される前に t_{PGOOD_ACT} が経過する必要があります。)
$V_{OUT} < V_{PG-UV}$ かつ $t > t_{RESET_FILTER}$	出力電圧がレギュレートされている。 $V_{PG-UV} + V_{PG-HYS} < V_{OUT} < V_{PG-OV} - V_{PG-HYS}$
$V_{OUT} > V_{PG-OV}$ かつ $t > t_{RESET_FILTER}$	出力電圧がレギュレートされている。
$T_J > T_{SD-R}$	$T_J < T_{SD-F}$ かつ出力電圧がレギュレートされている
$EN < V_{EN-VOUT} - V_{EN-HYST}$	$EN > V_{EN-VOUT}$ かつ出力電圧がレギュレートされている
$V_{CC} < V_{CC-UVLO} - V_{CC-UVLO-HYST}$	$V_{CC} > V_{CC-UVLO}$ かつ出力電圧が統制されている

7.3.4 内部 LDO、VCC UVLO、VOUT/BIAS 入力

LMR36506 は、すべての内部電源のために内部 LDO 出力と VCC ピンを使用します。VCC ピンには、VIN (可変出力バリアントの場合) または VOUT/BIAS (固定出力バリアントの場合) から電力が供給されます。固定出力バリアントでは、LMR36506 がアクティブになった後ではあるがレギュレーションに達していない場合、VOUT/BIAS 電圧が 3.15V に達するまで (またはソフト スタート後、本デバイスが定常状態のレギュレーションに達するまで)、VCC レールには入力電圧 (VIN) から電力が供給され続けます。可変出力バリアントと固定出力バリアントの両方で、VCC レールは通常 3.15V と測定されます。不適切な動作を防止するため、VCC には、内部電圧が低すぎる場合にスイッチングを停止する低電圧保護機能が備わっています。*セクション 6.5* の $V_{VCC-UVLO}$ および $V_{VCC-UVLO-HYST}$ を参照してください。起動中、VCC は瞬間的に通常の動作電圧を超えて $V_{VCC-UVLO}$ を上回った後、通常の動作電圧まで低下します。これらの低電圧保護機能の値が LDO ドロップアウトと組み合わされると、最小入力電圧の立ち上がりおよび立ち下がりスレッショルドを駆動することに注意してください。

7.3.5 ブートストラップ電圧および $V_{CBOOT-UVLO}$ (CBOOT 端子)

HS スイッチを確実にターンオンさせるため、ハイサイドスイッチドライバ回路には、VIN よりも高いバイアス電圧が必要です。CBOOT と SW の間に接続されたコンデンサは、CBOOT 端子の電圧を (SW + VCC) に昇圧するチャージ ポンプとして機能します。ブート ダイオードは、物理的なサイズを最小化するため、LMR36506 のダイに内蔵されています。TI では、CBOOT に定格 10V 以上の 100nF コンデンサを推奨しています。CBOOT レールには UVLO 設定が備わっています。この UVLO には $V_{CBOOT-UVLO}$ のスレッショルドが設定されており、通常は 2.3V に設定されています。CBOOT コンデンサが、SW ピンに対してこの電圧を超えて充電されていない場合、本デバイスは充電シーケンスを開始し、ハイサイド素子をターンオンしようとする前にローサイド スイッチをターンオンします。

Copyright © 2026 Texas Instruments Incorporated

7.3.6 出力電圧の選択

LMR36506 ファミリでは、可変出力電圧オプションを持つバリアント (セクション 4 を参照) を選択し、図 7-6 に示すように出力電圧ノード、デバイスの FB ピン、システムの GND の間に外部抵抗デバイダを接続する必要があります。LMR36506 ファミリの可変出力電圧オプションを持つバリアントは、1V の内部リファレンス電圧を備えた設計になっています。

$$R_{FBB} = \frac{R_{FBT}}{V_{OUT} - 1} \quad (2)$$

LMR36506 ファミリの固定出力バリアントを使用する場合は、FB ピン (データシートの他の部分で固定出力バリアントに対して VOUT/BIAS ピンとして識別) をシステムの出力電圧ノードに接続するだけです。詳細については、セクション 4 を参照してください。

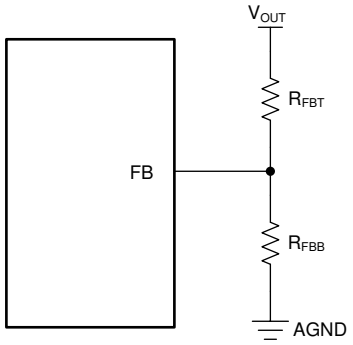


図 7-6. 可変出力バリアントの出力電圧の設定

可変出力電圧バリアントでは、R_{FBT} と並列に追加のフィードフォワード コンデンサ C_{FF} を使用することで、位相マージンと過渡応答を最適化できます。詳細については、セクション 8.2.2.8 を参照してください。固定出力バリアントでは、分圧抵抗またはフィードフォワード コンデンサ C_{FF} を追加する必要はありません。

7.3.7 ソフト スタートとドロップアウトからの回復

LMR36506 を使用して設計する場合、図 7-7 および図 7-8 に示すように、ドロップアウトからの回復とソフト スタートに起因する出力電圧の上昇は、2 つの個別の動作条件と見なす必要があります。ソフト スタートは、以下のいずれかの条件によってトリガされます。

- デバイスの VIN ピンに電力が供給され、低電圧ロックアウトが解除される。
- 本デバイスをオンにするために EN が使われた。
- 過熱保護によるシャットダウンから回復した。

ソフトスタートがトリガされた後、本 IC は以下の動作を実行します。

- 出力電圧を制御するために本 IC が使用する基準電圧が、ゆっくりと上昇します。その結果、出力電圧が (それまで 0V だった場合)、t_{SS} の時間をかけて目的の値の 90% に達します。
- 動作モードが自動動作モードに設定され、ローサイド MOSFET のダイオード エミュレーション モードがアクティブになります。これにより、出力を Low にしなくても起動できます。これは、プリバイアス スタートアップ時に出力に電圧がすでに存在している場合でも同様です。

Copyright © 2026 Texas Instruments Incorporated

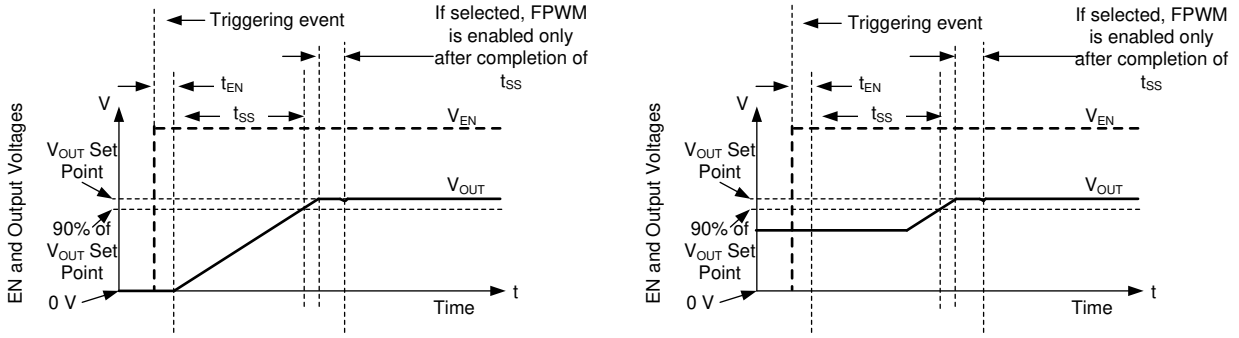


図 7-7. ソフト スタート、プリバイアス電圧あり / なし

7.3.7.1 ドロップアウトからの回復

出力電圧の低下が数 % を超えると常に、出力電圧はゆっくり上昇します。この条件は、本書ではドロップアウトからの正常な回復と呼ばれ、ソフトスタートとは以下の 2 つの重要な点で異なります。

- 基準電圧は、現在の出力電圧を実現するために必要な値よりも約 1% 高い値に設定される。
- 本デバイスが FPWM に設定されている場合、ドロップアウトからの回復中は FPWM モードで動作し続けます。外部電源によって出力電圧が突然プル アップされた場合、LMR36506 は出力をプル ダウンする場合があります。通常動作中に存在するすべての保護機能は作動しており、出力が高い電圧またはグランドに短絡した場合の致命的な障害を防止していることに注意します。

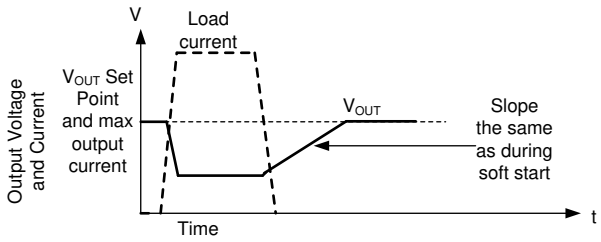


図 7-8. ドロップアウトからの回復

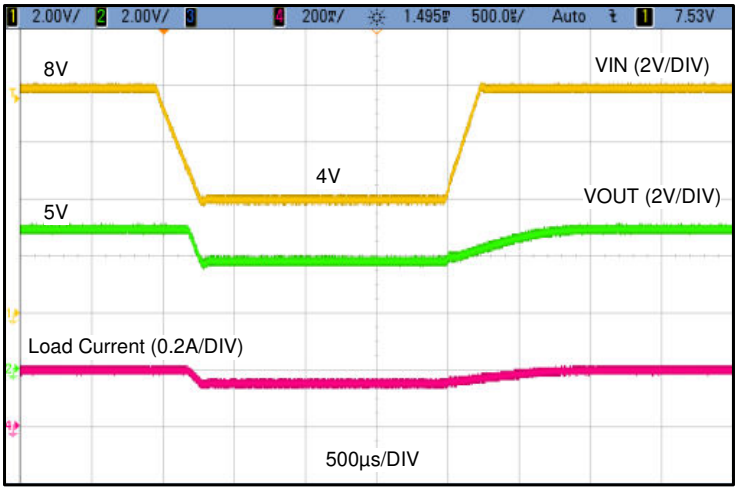


図 7-9. 8V ～ 4V のドロップアウトからの標準的な出力回復

Copyright © 2026 Texas Instruments Incorporated

出力電圧の低下が、高負荷と低入力電圧のどちらによるものであっても、出力がその設定点を下回る原因となっている条件が解消された後、起動時と同じ速度で出力は上昇します。 に、この挙動の例を示します。

7.3.8 電流制限と短絡

LMR36506 は、ハイサイド (HS) MOSFET とローサイド (LS) MOSFET の両方で、サイクルごとの電流制限によって過電流状態から保護されています。

ハイサイド MOSFET 過電流保護機能は、代表的なピーク電流モード制御方式で実装されています。HS スイッチ電流は、短いブランキング時間の後に HS がオンになると検出されます。固定電流セットポイントと、内部誤差アンプループ出力からスロープ補償を引いた値のいずれか小さい方と HS スイッチ電流が、スイッチングサイクルごとに比較されます。内部誤差アンプループ出力には最大値があり、スロープ補償はデューティサイクルに対応して大きくなるため、デューティ係数が一般的に 35% より大きい場合、デューティ係数が大きくなると HS 電流制限値は下がります。

LS スイッチがオンになると、LS スイッチを流れる電流も検出され、監視されます。ハイサイド デバイスと同様にローサイド デバイスは、内部誤差アンプ ループによって制御されるターンオフ限界値を持っています。ローサイド デバイスの場合、発振器が新しいスイッチング サイクルを正常に開始したとしても、電流がこの値を超えるとターンオフは禁止されます。また、ハイサイド デバイスと同様に、許容されるターンオフ電流にも制限があります。これはローサイド電流制限 $I_{LS-LIMIT}$ と呼ばれます (または 図 7-10 での I_{L-LS})。LS 電流制限を超えた場合、LS MOSFET はオン状態を維持し、HS スイッチはターンオンしません。LS 電流がこの制限値を下回ると、LS スイッチはオフになり、HS デバイスが最後にオンになってから 1 クロック周期以上が経過すると、HS スイッチは再度オンになります。

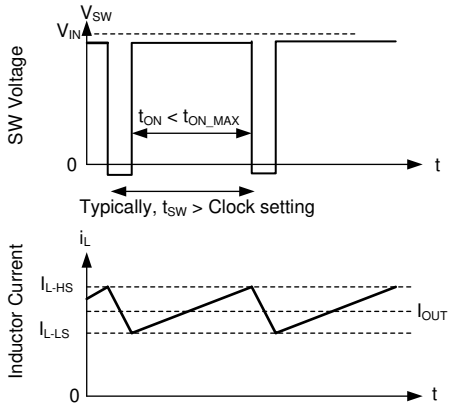


図 7-10. 電流制限波形

電流波形は I_{SC} (または 図 7-10 での I_{L-HS}) と $I_{LS-LIMIT}$ の間の値をとるため、デューティ係数が極めて高い場合を除き、最大出力電流はこれらの 2 つの値の平均値に非常に近い値になります。電流制限での動作後、出力電圧がゼロに近づくにつれて、ヒステリシス制御が使われ電流は増加しなくなります。

デューティ係数が非常に大きい場合は、不安定性を防止するため電流リップルを非常に小さくする必要があります。電流リップルが低いため、この部品は最大電流を供給できます。供給される電流は $I_{L-LIMIT}$ に非常に近くなります。

Copyright © 2026 Texas Instruments Incorporated

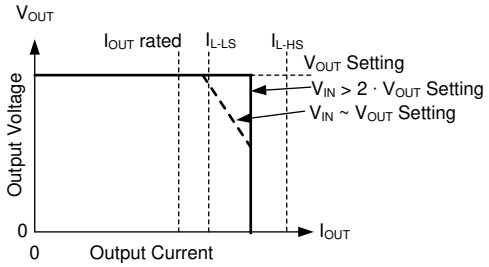


図 7-11. 出力電圧と出力電流との関係

ほとんどの条件下で、電流は I_{L-HS} と I_{L-LS} の平均値 (最大定格電流の約 1.3 倍) に制限されます。入力電圧が低い場合、電流は I_{L-LS} の付近に制限される場合があります。また、最大出力電流は I_{L-HS} と I_{L-LS} の平均値を超えないことにも注意してください。過負荷状態が解消されると、本部品はソフトスタート中であるかのように回復します。

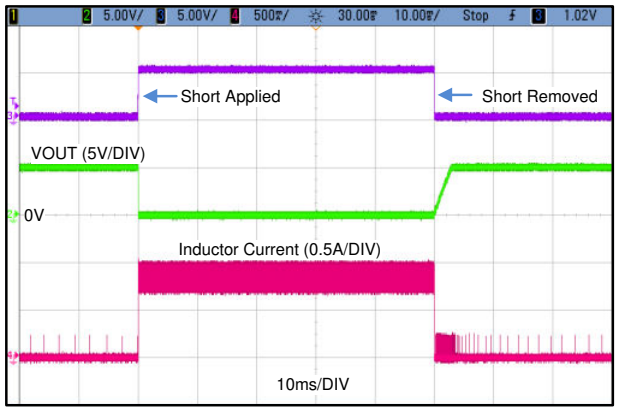


図 7-12. 短絡波形

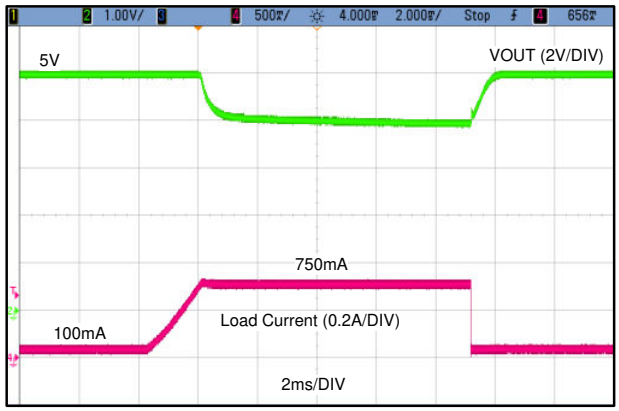


図 7-13. 過負荷出力の回復 (100mA ～ 750mA)

7.3.9 サーマル シャットダウン

サーマル シャットダウンは、本デバイスの接合部温度が 168℃ (標準値) を超えると内部スイッチをオフにすることで、総電力損失を制限します。サーマル シャットダウンは、158℃ (最小値) 未満ではトリガされません。サーマル シャットダウンが発生した後、ヒステリシスにより、接合部温度が約 158℃ (標準値) に低下するまで、本デバイスはスイッチングできません。接合部温度が 158℃ (標準値) を下回ると、LMR36506 は再度ソフト スタートを試みます。

接合部温度が上昇して、LMR36506 がシャットダウンされても、電力は VCC に供給され続けます。高い接合部温度のせいで本デバイスが無効化されると同時に、VCC の短絡による過熱を防止するため、VCC に電力を供給する LDO の電流制限値が低減されます。サーマル シャットダウン時の LDO の供給電流はわずか数ミリアンペアです。

7.3.10 入力電源電流

LMR36506 軽負荷をレギュレートする際に入力電源電流が非常に小さくなるように設計されています。これは、内部回路の多くに、出力から電力を供給することで実現されています。固定出力電圧バリアント内の VOUT/BIAS ピンは、制御回路の大部分に電力を供給する LDO への入力です。VOUT/BIAS 入力ピンをレギュレータの出力ノードに接続することで、出力から少量の電流が流れ込みます。この電流により、入力の電流が V_{OUT}/V_{IN} の比で減少します。

$$I_{Q_VIN} = I_Q + I_{EN} + I_{BIAS} \frac{V_{OUT}}{\eta_{eff} \times V_{IN}} \quad (3)$$

Copyright © 2026 Texas Instruments Incorporated

ここで、

- I_{Q_VIN} は、動作 (スイッチング) 中の降圧コンバータが無負荷時に消費する総スタンバイ (スイッチング) 電流です。
- I_Q は、V_{IN} 端子から流れ込む電流です I_Q の場合、$I_{Q_13p5_Fixed}$ または $I_{Q_24p0_Fixed}$ を セクション 6.5 で確認します。
- I_{EN} は、EN 端子に流れ込む電流です。EN が VIN に接続されている場合、この電流を含めます I_{EN} の場合、I_{LKG-EN} を セクション 6.5 で確認します。
- I_{BIAS} は、BIAS 入力に流れ込むバイアス電流です I_{BIAS} の場合、I_{B_13p5} または I_{B_24p0} を セクション 6.5 で確認します。
- η_{eff} は、降圧コンバータの入力電流から I_{Q_VIN} を除いた場合の降圧コンバータの軽負荷効率です。η_{eff} = 0.8 は、通常動作条件で使用できる控えめな値です。これは セクション 6.7 に示す I_{SUPPLY} に由来します。

Copyright © 2026 Texas Instruments Incorporated

7.4 デバイスの機能モード

7.4.1 シャットダウン モード

EN ピンは、本デバイスの電気的オン / オフ制御に使用できます。EN ピンの電圧が 0.4V を下回ると、コンバータと内部 LDO の両方が電圧を出力しなくなり、本デバイスはシャットダウン モードに入ります。シャットダウン モードでは、静止電流が 0.5µA (標準値) まで低下します。

7.4.2 スタンバイ モード

内部 LDO の EN スレッショルドは、コンバータの出力よりも低い値です。EN ピンの電圧が 1.1V (最大値) より高く、かつ出力電圧の高精度イネーブル スレッショルドより低い場合、内部 LDO は VCC 電圧を 3.3V (標準値) にレギュレートします。VCC が UVLO を上回ると、高精度イネーブル回路がオンになります。EN ピンの電圧が高精度イネーブルしきい値を上回らない限り、SW ノードの内部パワー MOSFET はオフのままです。LMR36506 は UVLO 保護も採用しています。VCC 電圧が UVLO レベルを下回ると、コンバータの出力はオフになります。

7.4.3 アクティブ モード

LMR36506 は、EN ピンが $V_{EN-VOUT}$ を上回っており、V_{IN} が V_{IN_R} を満たすのに十分高く、かつその他の故障条件が存在しない場合は、常にアクティブ モードになります。この動作を可能にする最も簡単な方法は、EN ピンを V_{IN} に接続することです。これにより、印加された入力電圧が最小 V_{IN_R} を超えると自動的に起動できます。

アクティブモードでは、負荷電流、入力電圧、出力電圧に応じて、LMR36506 は次の 5 つのモードのいずれかになります。

- 連続導通モード (CCM)。負荷電流がインダクタ リップル電流の 1/2 より大きいときには、固定周波数の連続導通モードになります。
- 自動モード - 軽負荷動作: パルス周波数変調 (PFM) (非常に軽い負荷でスイッチング周波数が低下した場合)
- FPWM モード - 軽負荷動作: 不連続導通モード (DCM) (負荷電流がインダクタ リップル電流の 1/2 未満である場合)
- 最小オン時間: 入力電圧が高くかつ出力電圧が低い場合に、レギュレーションを維持するため、スイッチング周波数が低下します。
- ドロップアウト モード: 電圧低下を最小限に抑えるため、スイッチング周波数が低下します。

7.4.3.1 CCM モード

LMR36506 の以下の動作の説明は、セクション 7.2 と 図 7-14 の波形を参照しています。CCM では、LMR36506 は、内蔵ハイサイド (HS) およびローサイド (LS) スイッチを各種デューティ サイクル (D) でオンにすることで、出力電圧のレギュレーションを実現します。HS スイッチのオン時間の間、SW ピンの電圧 (V_{SW}) は V_{IN} の付近までスイングし、インダクタ電流 (i_L) は線形的な傾きで増加します。HS スイッチは、制御ロジックによってオフにされます。HS スイッチのオフ時間 (t_{OFF}) の間、LS スイッチはオンにされます。インダクタ電流は LS スイッチを通して放電され、LS スイッチの両端の電圧降下によって V_{SW} をグランドの下まで強制的にスイングさせます。一定の出力電圧を維持するため、コンバータ ループはデューティ サイクルを調整します。D は、HS スイッチのオン時間をスイッチング周期で割った値として次のように定義されます。

$$D = T_{ON} / T_{SW} \quad (4)$$

損失が無視される理想的な降圧コンバータでは、次のように D は出力電圧に比例し、入力電圧に反比例します。

$$D = V_{OUT} / V_{IN} \quad (5)$$

Copyright © 2026 Texas Instruments Incorporated

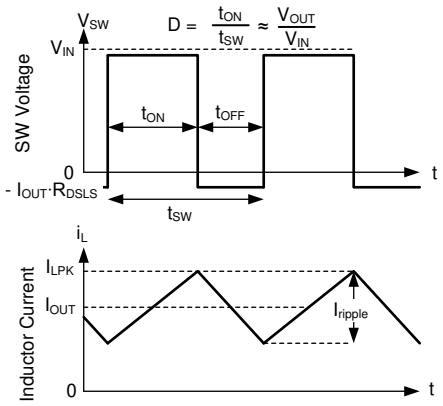


図 7-14. 連続モード (CCM) における SW 電圧とインダクタ電流の波形

7.4.3.2 自動モード – 軽負荷動作

軽負荷時、LMR36506 は 2 種類の動作を行うことができます。自動モード動作と呼ばれる動作を使うと、負荷が重い際の通常電流モードと高効率の軽負荷動作との間を継ぎ目なく移行できます。FPWM モードと呼ばれるもう 1 つの動作では、無負荷時でも最大周波数が維持されます。LMR36506 の動作モードは、このファミリの選択されたバリアントによって異なります。周波数を外部信号に同期させる場合、すべてのデバイスは FPWM モードで動作することに注意します。

LMR36506 では、自動モードでのみ軽負荷動作が使われます。軽負荷動作では、効率を向上させるため次の 2 つの手法が使われます。

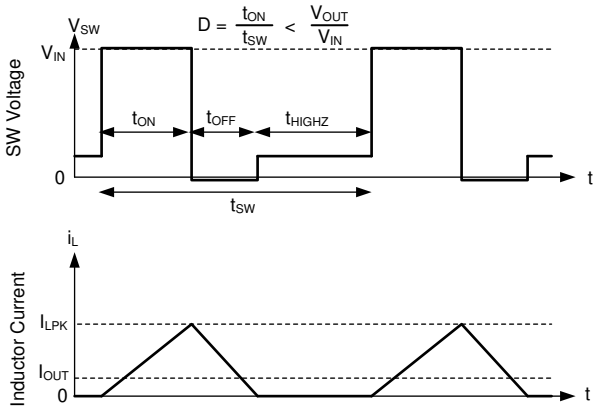
- DCM 動作が可能な、ダイオードエミュレーション。図 7-15 を参照してください。
- 周波数低減。図 7-16 を参照してください。

これら 2 つの機能は、同時に動作することで軽負荷時の効率を向上させますが、互いに独立して機能しています。

7.4.3.2.1 ダイオード エミュレーション

ダイオードエミュレーションは、インダクタを流れる逆電流を防止し、固定ピークインダクタ電流の場合、レギュレーションのためにより低い周波数が必要となります。ダイオード エミュレーションは、周波数が下がった際のリップル電流も制限します。固定ピーク電流では、出力電流がゼロに向かって低下するにつれて、レギュレーションを維持するために周波数をゼロに近い値まで下げる必要があります。

Copyright © 2026 Texas Instruments Incorporated



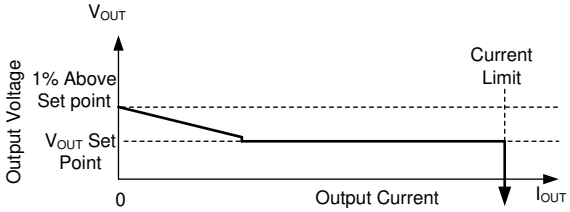
自動モードでは、SW ノード電流がゼロに近づくとローサイド素子はオフになります。その結果、出力電流が CCM のインダクタ リップルの 1/2 未満になると、本部品は DCM で動作します。これは、ダイオード エミュレーションが機能しているということと等価です。

図 7-15. PFM 動作

The LMR36506 には、自動モードの最小ピーク インダクタ電流設定 (I_{LPK} (セクション 6.5 での $I_{PEAK-MIN}$) があります。入力電圧を一定にした状態で、電流値が下がると、オン時間は一定になります。その後、周波数を調整することで、レギュレーションが達成されます。この動作モードを PFM モード レギュレーションと呼びます。

7.4.3.2.2 周波数低減

LMR36506 は、出力電圧が高くなると常に周波数を下げます。この機能は、内部誤差アンプ補償出力 (内部信号 COMP) が Low でありかつ FB のレギュレーション設定点と FB に印加される電圧との間にオフセットが存在する場合、常に有効化されます。結果的に、自動モードでの軽負荷の間、通常動作の場合よりも出力インピーダンスが大きくなります。本デバイスが完全に無負荷である場合、出力電圧は約 1% 高くなるはずです。



自動モードでは、本デバイスの出力電流が定格電流の約 1/10 を下回ると、降圧コンバータが完全に無負荷になった際に出力電圧が 1% 高くなるように出力抵抗が増大します。

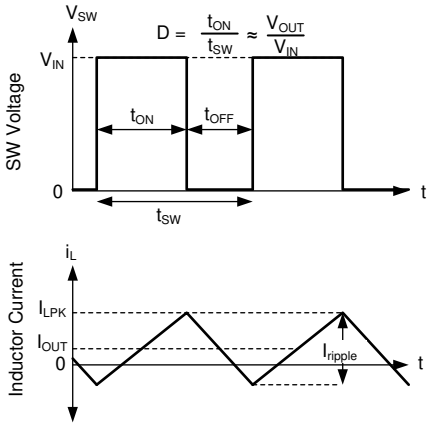
図 7-16. 定常状態の出力電圧と自動モードの出力電流との関係

PFM 動作では、PFM 検出回路を動作させるために、出力電圧に小さな正の DC オフセットが必要となります。PFM の周波数が低いほど、V_{OUT} に必要な DC オフセットは大きくなります。V_{OUT} での DC オフセットが許容できない場合、V_{OUT} に接続したダミー負荷または FPWM モードを使うことで、このオフセットを低減または除去できます。

Copyright © 2026 Texas Instruments Incorporated

7.4.3.3 FPWM モード - 軽負荷動作

FPWM モードでは、軽負荷時に周波数が維持されます。周波数を維持するため、インダクタを流れる逆電流が制限されます。逆電流制限回路により、逆電流が制限されます。逆電流制限値については、*セクション 6.5* を参照してください。



FPWM モード では、I_{OUT} が I_{ripple} の半分未満でも連続導通 (CCM) が可能です。

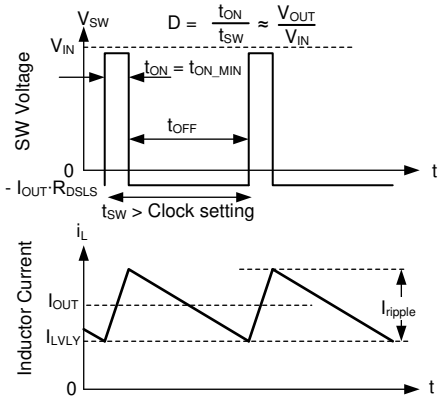
図 7-17. FPWM モード動作

デバイスの種類にかかわらず、FPWM モードでは、軽負荷時であっても最小オン時間を指示できるほど出力電圧が高ければ、依然として周波数を低減できるため、出力をプルアップする必要があるフォルト中も良好に動作できます。

7.4.3.4 最小オン時間 (高入力電圧) での動作

LMR36506 は、出力電圧に対する入力電圧の比が、与えられたクロック設定のチップの最小オン時間よりも短いオン時間を必要とする場合でも、出力電圧をレギュレートし続けます。これは、バレー電流制御を使用して実現されます。補償回路は常に最大ピーク インダクタ電流と最大バレー インダクタ電流の両方を指示します。何らかの理由でバレー電流を超過した場合、補償回路によって決定された値をバレー電流が下回るまで、クロック サイクルは延長されます。コンバータが電流制限動作をしていない場合、最大バレー電流はピーク インダクタ電流よりも高く設定され、ピーク電流のみを使ったレギュレーションに失敗しない限りバレー制御が使われることがないようにしています。補償回路が指示したピーク コマンドをインダクタ ピーク電流値が上回るほど、出力電圧に対する入力電圧の比が高すぎる場合、出力電圧をレギュレートするのに十分な速さではハイサイド素子をオフにすることはできません。結果的に、補償回路はピーク電流とバレー電流の両方を小さくします。補償回路によって十分小さい電流が選択されると、バレー電流は、補償回路が指示した電流に一致します。これらの条件では、ローサイド素子がオンに維持され、目的のバレー電流をインダクタ電流が下回るまで、次のクロック サイクルは開始されません。オン時間は最小値に固定されているため、このタイプの動作は、コンスタント オンタイム (COT) 制御方式を採用したデバイスの動作と似ています。図 7-18 を参照してください。

Copyright © 2026 Texas Instruments Incorporated

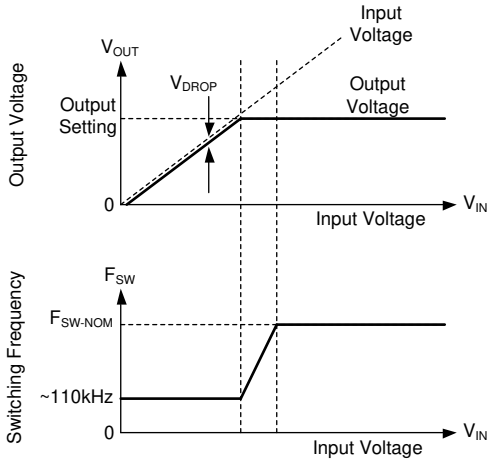


バレー制御モードでは、ピーク インダクタ電流ではなく、最小インダクタ電流が制御されます。

図 7-18. バレー電流モード動作

7.4.3.5 ドロップアウト

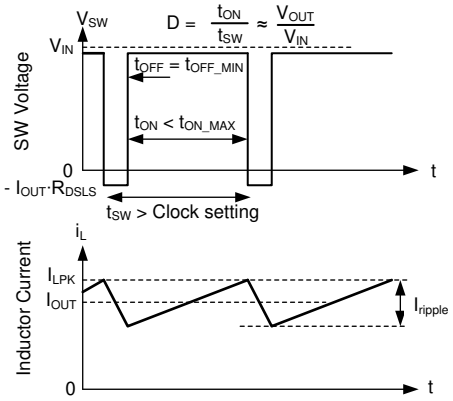
ドロップアウト動作とは、必要なデューティ サイクルを達成するために周波数を下げ、入力電圧に対する出力電圧の比を任意の値に制御することです。与えられたクロック周波数において、デューティ サイクルは最小オフ時間によって制限されます。クロック周波数が維持される場合、図 7-20 に示すように、この制限値に達した後、出力電圧が低下します。LMR36506 は、出力電圧が下がるのを許容する代わりに、必要なピーク インダクタ電流が達成されるまで、クロック サイクルの終わりを超えてハイサイド スイッチのオン時間を延長します。必要なピーク インダクタ電流に達するか、または設定済みの最大オン時間、t_{ON-MAX}、約 9 µs が経過すると、クロックは新しいサイクルを開始できます。その結果、最小オフ時間の存在に起因して、選択されたクロック周波数において必要なデューティ サイクルが達成できない場合、レギュレーションを維持するために周波数が低下します。図 7-19 に示すように、t_{ON-MAX} のオン時間を使っても出力電圧をレギュレートできないほど入力電圧が低い場合、出力電圧は入力電圧よりもわずかに V_{DROP} だけ低い値に下がります。ドロップアウトからの回復の詳細については、図 7-8 を参照してください。



出力電圧および周波数と入力電圧との関係：入力電圧と出力電圧設定値との差がほとんどない場合、本 IC はレギュレーションを維持するために周波数を下げます。入力電圧が低すぎて、約 110kHz で目的の出力電圧を供給できない場合、入力電圧は出力電圧に追従します。

図 7-19. ドロップアウト時の周波数と出力電圧

Copyright © 2026 Texas Instruments Incorporated



ドロップアウト中のスイッチング波形。インダクタ電流は、目的のピーク値に達するのに通常のクロックよりも長い時間を要します。その結果、周波数は低下します。この周波数の低下は t_{ON-MAX} によって制限されます。

図 7-20. ドロップアウト波形

8 アプリケーションと実装

注

以下のアプリケーション情報は、TI の製品仕様に含まれるものではなく、TI ではその正確性または完全性を保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 アプリケーション情報

LMR36506 降圧 DC/DC コンバータは、0.6A の最大出力電流で、高い DC 電圧を低い DC 電圧に変換するために使用されるのが一般的です。以下に示す設計手順を使って LMR36506 の部品を選択できます。

注

以下のアプリケーション情報に記載されているすべての容量値は、特に記述のない限り実効値を指しています。実効値は、定格値や銘板値ではなく、DC バイアスおよび温度における実際の容量として定義されます。X7R 以上の誘電体を使用した、高品質で低 ESR のセラミック コンデンサを全体にわたって使用してください。値の大きいセラミック コンデンサは、すべて、通常の許容誤差と温度効果に加えて、電圧係数が大きくなります。DC バイアスを印加すると、静電容量は大幅に低下します。この点については、ケース サイズが大きく、より高い電圧定格のものが望ましいです。これらの影響を軽減するために、複数のコンデンサを並列に使用すれば、最小実効静電容量を必要な値まで大きくすることができます。これにより、個別のコンデンサの RMS 電流要件も緩和されます。実効静電容量の最小値を確保するため、コンデンサ バンクのバイアスおよび温度変動を慎重に検討する必要があります。

Copyright © 2026 Texas Instruments Incorporated

8.2 代表的なアプリケーション

図 8-1 に、LMR36506 の代表的なアプリケーション回路を示します。本デバイスは、幅広い外付け部品とシステム パラメータで機能するように設計されています。しかし内部補償は、特定の範囲の外付けインダクタンスおよび出力容量に対して最適化されています。クイックスタート ガイドとして、表 8-1 に最も一般的な出力電圧範囲に対する標準的な部品の値を示しています。

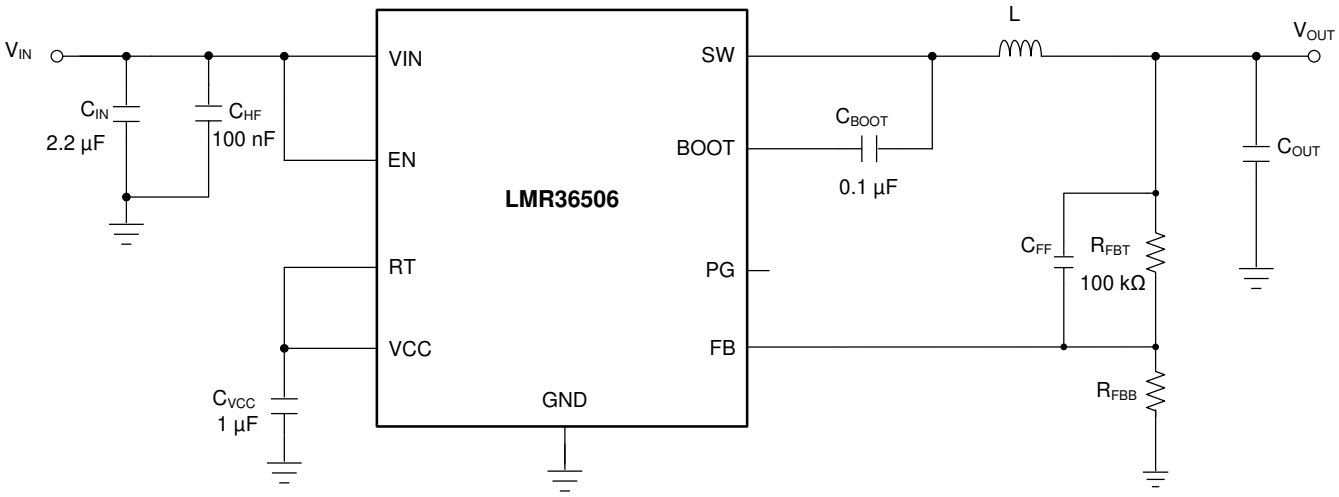


図 8-1. アプリケーション回路例

表 8-1. 外付け部品の標準的な値 (1)

f_{SW} (kHz)	V_{OUT} (V)	L (µH)	公称 C_{OUT} (定格容量)	最小 C_{OUT} (定格容量)	R_{FBT} (Ω)	R_{FBB} (Ω)	C_{IN}	C_{BOOT}	C_{VCC}
400	3.3	33	1 x 47µF	1 x 22µF	100k	43.2k	2.2µF + 1 × 100nF	100nF	1µF
1000	3.3	15	2 x 22µF	1 x 22µF	100k	43.2k	2.2µF + 1 × 100nF	100nF	1µF
400	5	47	1 x 47µF	1 x 22µF	100k	24.9k	2.2µF + 1 × 100nF	100nF	1µF
1000	5	22	2 x 22µF	1 x 22µF	100k	24.9k	2.2µF + 1 × 100nF	100nF	1µF

(1) インダクタ値は一般的な V_{IN} = 24V に基づき計算されます。

8.2.1 設計要件

セクション 8.2.2 に、表 8-2 に基づく詳細な設計手順を示します。

表 8-2. 詳細設計パラメータ

設計パラメータ	数値の例
入力電圧	24V (6V ～ 65V)
出力電圧	5V
最大出力電流	0A～0.6A
スイッチング周波数	1000kHz

8.2.2 詳細な設計手順

以下の設計手順は、図 8-1 と 表 8-1 に適用されます。

8.2.2.1 スイッチング周波数の選択

スイッチング周波数の選択は、変換効率と設計全体のサイズとのトレードオフとなります。スイッチング周波数を低くすると、スイッチング損失は減少し、一般的にシステム効率が高くなります。一方、スイッチング周波数を高くすると、より小型の

Copyright © 2026 Texas Instruments Incorporated

インダクタと出力コンデンサを使用できるようになるため、よりコンパクトな設計が可能となります。この例では、1000kHz を使用します。

8.2.2.2 出力電圧の設定

固定出力電圧バージョンでは、デバイスのピン 8 (VOUT/BIAS) を出力電圧ノードに直接接続する必要があります。この出力センシング点は、通常、出力コンデンサの上側付近に配置されます。センシング点が出力コンデンサからさらに離れている場合 (すなわちリモート センシング)、センシング点に小さい 100nF コンデンサが必要な場合があります。

8.2.2.2.1 可変出力用 FB

出力電圧可変バージョンでは、デバイスのピン 8 は FB です。LMR36506 の出力電圧は、外部抵抗デバイダ ネットワークを使用して外部で調整可能です。分圧回路は R_{FBT} と R_{FBB} で構成され、出力電圧とコンバータの間のループを閉じています。コンバータは、FB ピン電圧を内部基準電圧 (V_{REF}) と同じ電圧に保持することで、出力電圧をレギュレートします。分圧器の抵抗値は、ノイズの過剰な混入と出力の過剰な負荷との折り合いを付けることで決定します。抵抗値を小さくすると、ノイズの影響は小さくなりますが、軽負荷時の効率も低下します。R_{FBT} の推奨値は 100kΩ (最大値は 1MΩ) です。R_{FBT} を選択した後、式 6 を使用して R_{FBB} を選択します。V_{REF} は公称 1V です。*セクション 6.5*.を参照してください。

$$R_{FBB} = \frac{R_{FBT}}{\left[\frac{V_{OUT}}{V_{REF}} - 1\right]} \tag{6}$$

この 5V の例では、R_{FBT} = 100kΩ、R_{FBB} = 24.9kΩ を選択しています。

8.2.2.3 インダクタの選択

インダクタを選択するためのパラメータはインダクタンスと飽和電流です。目的のピーク ツー ピーク インダクタ リップル電流がデバイスの最大出力電流定格の 20%～40% の範囲に収まるように、インダクタを選択します。経験上、インダクタのリップル電流の最適な値は最大負荷電流の 30% であることがわかっています。このデバイスで利用可能な最大電流よりも最大負荷電流の方がはるかに小さいアプリケーションの場合でも、リップル電流を選択する際はデバイスの最大電流を使用してください。式 7 を使用して、インダクタンスの値を決定することができます。定数 K はインダクタ電流リップルのパーセンテージです。この例では、K = 0.3 を選択すると、L = 22µH のインダクタンスが得られます。次の標準値である L = 22µH を選択します。

$$L = \frac{(V_{IN} - V_{OUT})}{f_{SW} \cdot K \cdot I_{OUT\,max}} \cdot \frac{V_{OUT}}{V_{IN}} \tag{7}$$

理想的には、インダクタの飽和電流定格は、ハイサイド スイッチの電流制限値 I_{SC} 以上にする必要があります (セクション 6.5 を参照)。こうすることで、出力の短絡中でもインダクタが飽和しないようになります。インダクタのコア材が飽和すると、インダクタンスは非常に小さい値に低下し、インダクタ電流は急増します。バレー電流制限値 I_{LIMIT} は、電流が暴走しづらいように設計されているとはいえ、インダクタが飽和することで電流値が急増する可能性があります。これは部品の損傷につながる可能性があります。したがって、インダクタを飽和させないようにしてください。フェライト コア材を採用したインダクタは飽和特性が非常に*急峻*ですが、コア損失は通常、圧粉コアよりも小さいです。圧粉コアは穏やかな飽和特性を示すため、インダクタの電流定格をある程度*緩和*できます。しかし、約 1MHz を上回る周波数では、コア損失が増加します。いずれにしても、インダクタの飽和電流が、全負荷時のピーク インダクタ電流の最大値よりも小さくならないようにする必要があります。

分数調波発振を防止するため、インダクタンス値が 式 8 で与えられる値よりも小さくならないようにする必要があります。

$$L_{MIN} \geq 1.5 \times \frac{V_{OUT}}{f_{SW}} \tag{8}$$

Copyright © 2026 Texas Instruments Incorporated

最大インダクタンスは、電流モード制御を正しく行うために必要な最小電流リップルによって制限されます。目安として、インダクタの最小リップル電流は、公称条件でのデバイスの最大定格電流の約 10% 以上とする必要があります。

8.2.2.4 出力コンデンサの選択

LMR36506 デバイスは、電流モード制御方式により、広い範囲の出力キャパシタンスで動作できます。出力コンデンサバンクは、通常、出力電圧リップルではなく負荷過渡要件および安定性によって制限されます。3.3V と 5V の出力電圧に対する標準的な出力コンデンサの値については、セクション 8.2 を参照してください。この表に基づき、5V 出力の設計では、この例の場合は、推奨される のセラミック出力コンデンサを選択できます。他の出力電圧の設計では、出力コンデンサの値を選択するための出発点として WEBENCH を使用できます。

実際には、過渡応答とループ位相マージンに最も影響を与えるのは出力コンデンサです。負荷過渡テストおよびボード線図は、特定の設計を検証する最善の方法であり、アプリケーションを量産に移行する前に必ず完了する必要があります。必要な出力容量に加えて、出力に小さなセラミック コンデンサを配置すると、高周波ノイズを低減するのに役立ちます。小さいケース サイズで 1nF～100nF の範囲のセラミック コンデンサは、インダクタや基板の寄生成分に起因する出力のスパイクを低減するのに非常に役立ちます。

合計出力容量の最大値は、設計値の約 10 倍、または 1000µF のどちらか小さい方に制限します。出力容量の値が大きいと、レギュレータのスタートアップ動作やループの安定性に悪影響を及ぼす可能性があります。ここに記載した値よりも大きい値を使用する必要がある場合、全負荷でのスタートアップおよびループ安定性を慎重に検討する必要があります。

8.2.2.5 入力コンデンサの選択

セラミック入力コンデンサは、レギュレータに低インピーダンス ソースを供給するだけでなく、リップル電流を供給して、他の回路からスイッチング ノイズを絶縁します。LMR38010-Q1 の入力には、少なくとも 4.7µF のセラミック キャパシタンスが必要です。これは、少なくともアプリケーションが必要とする最大入力電圧を定格とする必要があり、可能であれば、最大入力電圧の 2 倍が推奨されます。この容量を増やすことで、入力電圧リップルを低減し、負荷過渡時の入力電圧を維持できます。また、小さいケース サイズで 100nF～220nF のセラミック コンデンサを入力に使用し、レギュレータのできるだけ近くに配置する必要があります。これにより、デバイス内部に制御回路のための高周波バイパスができます。この例では、4.7µF、100V、X7R (またはそれ以上) のセラミック コンデンサを選択しています。また、100nF コンデンサも、X7R 誘電体を使用した 100V 定格品とする必要があります。

入力にセラミックと並列に電解コンデンサを使用することが推奨されます。これは、長い配線またはパターンを使って入力電源をレギュレータに接続する場合に特に当てはまります。このコンデンサに中程度の ESR を持つコンデンサを使うことは、長い電源配線によって生じる入力電源のリンギングを減衰させるのに有効です。この追加コンデンサの使用は、インピーダンスの非常に高い入力電源によって生じる電圧低下の防止にも有効です。

入力スイッチング電流のほとんどは、セラミック入力コンデンサを流れます。この電流の RMS 近似値は 式 9 から計算でき、メーカーの最大定格に照らしてチェックする必要があります。

$$I_{RMS} \cong \frac{I_{OUT}}{2} \tag{9}$$

8.2.2.6 C_{BOOT}

LMR36506 では、BOOT ピンと SW ピンの間にブートストラップ コンデンサを接続する必要があります。このコンデンサは、パワー MOSFET のゲート ドライバに電力を供給するために使用するエネルギーを蓄積します。16V 以上の 100nF 高品質セラミック コンデンサが必要です。

8.2.2.7 VCC

VCC ピンは、レギュレータの制御回路に電力を供給するために使用される内部 LDO の出力です。この出力を正常に動作させるには、1µF、16V のセラミックコンデンサを VCC と GND との間に接続する必要があります。一般に、この出力に負荷として外部回路を接続できません。ただし、この出力は、パワー グッド機能のプルアップに電力を供給するために使えます (*セクション 7.3.3* を参照)。この場合、10kΩ～100kΩ の範囲の値が適しています。VCC の公称出力電圧は 3.2V です。制限値については、セクション 6.5 を参照してください。

8.2.2.8 C_{FF} の選択

場合によっては、R_{FBT} の両端にフィードフォワード コンデンサを接続して、負荷過渡応答やループ位相マージンを改善できます。この方法は 100kΩ より大きい R_{FBT} を使用する場合に特に有効です。R_{FBT} の値が大きいと、FB ピンの寄生容量との組み合わせにより、小さな信号極が形成されてループの安定性に影響を与える可能性があります。C_{FF} は、この影響を緩和するのに役立ちます。式 10 を使用して、C_{FF} の値を推定できます。式 10 で求めた値を出発点として、より小さい値の C_{FF} コンデンサを使って利点が得られるかどうかを判定します。『内部的に補正される、フィードフォワード コンデンサを持つ DC/DC コンバータの過渡応答の最適化』アプリケーション レポートは、フィードフォワード コンデンサの実験に役立ちます。

$$C_{FF} < \frac{V_{OUT} \cdot C_{OUT}}{120 \cdot R_{FBT} \cdot \sqrt{\frac{V_{REF}}{V_{OUT}}}} \tag{10}$$

8.2.2.8.1 外部 UVLO

場合によっては、本デバイスが内部的に備えているものとは異なる入力 UVLO レベルが必要とされることがあります。これは、図 8-2 に示す回路を使うことで実現できます。本デバイスがオンする入力電圧を V_{ON}、オフする入力電圧を V_{OFF} と呼びます。最初に、R_{ENB} の値を 10kΩ～100kΩ の範囲で選択し、次に、式 11 を使って R_{ENT} と V_{OFF} を計算します。

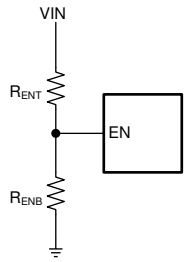


図 8-2. 外部 UVLO アプリケーション用のセットアップ

$$R_{ENT} = \left(\frac{V_{ON}}{V_{EN-H}} - 1 \right) \cdot R_{ENB}$$

$$V_{OFF} = V_{ON} \cdot \left(1 - \frac{V_{EN-HYS}}{V_{EN}} \right) \tag{11}$$

ここで、

- V_{ON} は V_{IN} のターンオン電圧、
- V_{OFF} は V_{IN} のターンオフ電圧です。

8.2.2.9 最大周囲温度

他の電源変換デバイスと同様に、LMR36506 は動作時に内部で電力を消費します。この消費電力の影響により、コンバータの内部温度が周囲温度よりも高くなります。内部ダイ温度 (T_J) は、周囲温度、電力損失、デバイスと PCB の組み合わせの実効熱抵抗 $R_{\theta JA}$ の関数です。LMR36506 の最大接合部温度は 150°C に制限する必要があります。これにより、デバイスの最大消費電力 (つまり負荷電流) が制限されます。式 12 に、重要なパラメータ間の関係を示します。周囲温度 (T_A) が高いほど、また、$R_{\theta JA}$ が大きいほど、利用可能な最大出力電流が低減されます。コンバータの効率は、このデータシートに示す曲線を使用して推定できます。いずれかの曲線に目的の動作条件が見つからない場合は、補間によって効率を推定できます。または、目的のアプリケーション要件に合わせて EVM を調整し、効率を直接測定することもできます。$R_{\theta JA}$ の正確な値を推定するのは、より困難です。『半導体および IC パッケージの熱評価基準』アプリケーション レポートで述べているように、セクション 6.4 に記載されている値は、設計目的には有効ではなく、アプリケーションの放熱

Copyright © 2026 Texas Instruments Incorporated

特性の推定には使用してはなりません。この表に報告されている値は、実際のアプリケーションではめったに見られない特定の一連の条件で測定されたものです。

$$I_{OUT}|_{MAX} = \frac{(T_J - T_A)}{R_{\theta JA}} \cdot \frac{\eta}{(1-\eta)} \cdot \frac{1}{V_{OUT}} \quad (12)$$

ここで、

- η は効率です。

実効 $R_{\theta JA}$ は重要なパラメータであり、以下のような多くの要因に依存します。

- 消費電力
- 空気温度 / フロー
- PCB 面積
- 銅箔ヒートシンク面積
- パッケージの下にあるサーマル ビアの数
- 隣接する部品の配置

銅基板面積に対する $R_{\theta JA}$ の代表例を 図 8-3 に示します。グラフに示す銅箔面積は、各層に対するものです。4 層 PCB 設計の場合、最上層と最下層は 2 オンスの銅箔を使用していますが、内層は 1 オンスです。2 層 PCB 設計の場合、上層と下層がそれぞれ 2 オンスの銅箔です。これらのグラフに記載されているデータは、説明のみを目的としており、特定のアプリケーションにおける実際の性能は、上記のすべての要因に依存することに注意してください。

与えられた PCB の銅の面積に対して $R_{\theta JA}$ (図 8-3 の) および Ψ_{JT} (セクション 6.4 の) を使用することによって、式 13 を使用して所定の動作条件における IC の接合部温度を近似することができます。

$$T_J \approx T_A + R_{\theta JA} \times \text{IC Power Loss} \quad (13)$$

ここで、

- T_J は接合部温度 (°C)
- T_A は周囲温度 (°C)
- $R_{\theta JA}$ は熱抵抗 (°C/W)
- IC 電力損失は、その IC の電力損失 (W)

上述の IC の電力損失は、全体の電力損失からインダクタの DC 抵抗に起因する損失を減算したものです。全体の電力損失は、「アプリケーション曲線」の効率曲線から、または特定の動作条件と温度に対して WEBENCH を使用して概算できます。

Copyright © 2026 Texas Instruments Incorporated

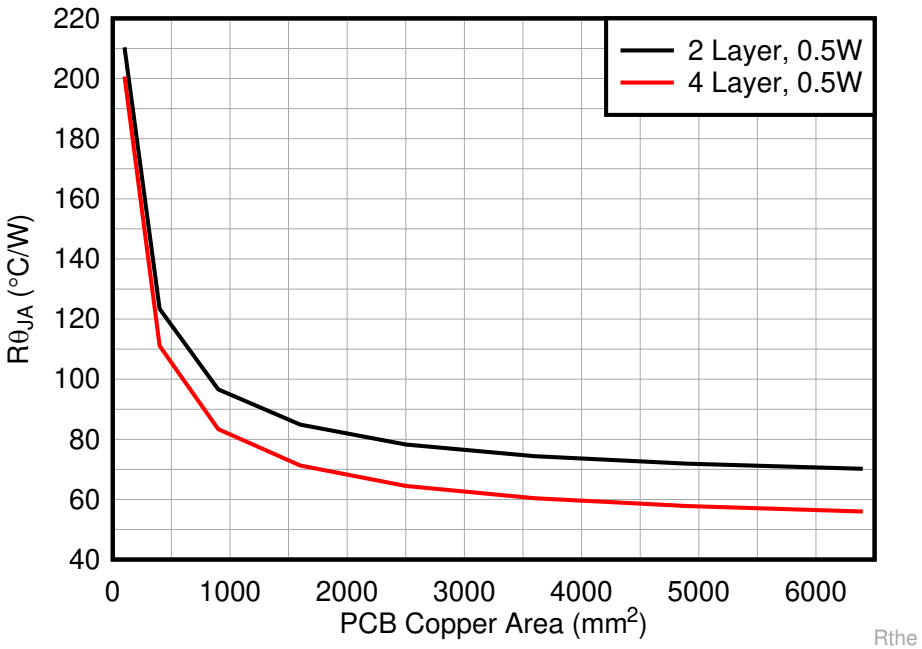


図 8-3. VQFN (RPE) パッケージの $R_{\theta JA}$ と PCB 銅箔面積との関係

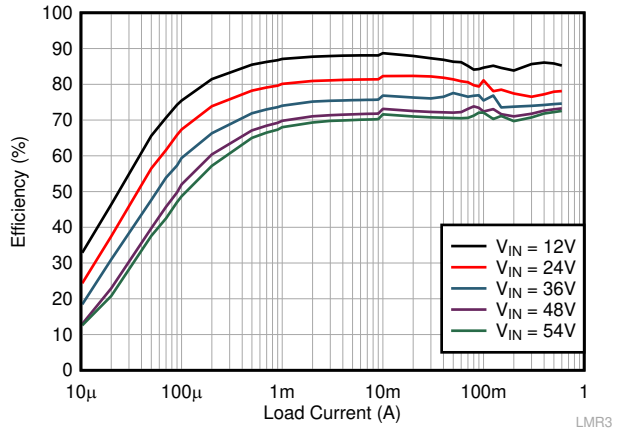
最適な PCB 設計および特定のアプリケーション環境における $R_{\theta JA}$ を推定するためのガイドとして、以下の資料を使用してください。

- 『過去ではなく、現在の識見による熱設計』アプリケーション レポート
- *『露出パッド パッケージで最良の熱抵抗を実現するための基板レイアウト ガイド』アプリケーション レポート*
- *『半導体および IC パッケージの熱評価基準』アプリケーション レポート*
- *『LM43603 および LM43602 を使用した簡単な熱設計』アプリケーション レポート*
- *『PowerPAD™ 熱特性強化型パッケージ』アプリケーション レポート*
- *PowerPAD™ の簡単な使用法アプリケーション レポート*
- *『新しい熱評価基準の解説』アプリケーション レポート*
- PCB 温度計算ツール

Copyright © 2026 Texas Instruments Incorporated

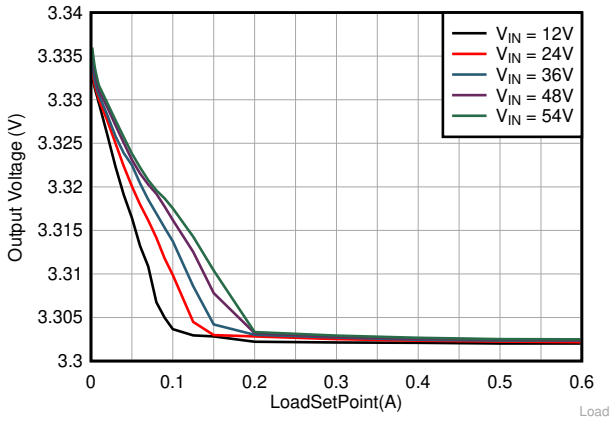
8.2.3 アプリケーション曲線

特記のない限り、次の条件が適用されます。V_{IN} = 24V、T_A = 25℃。



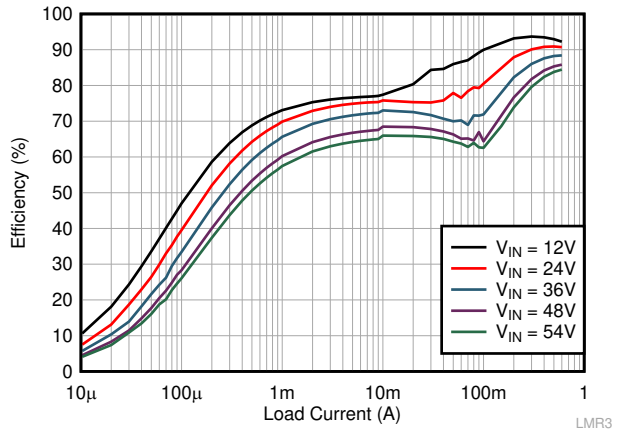
LMR36506R3　V_{OUT} = 3.3V 固定　1MHz (自動)

図 8-4. 効率



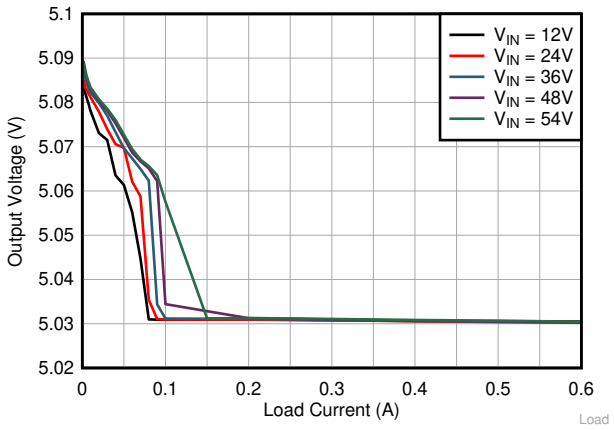
LMR36506R　V_{OUT} = 3.3V 固定　1MHz (自動)

図 8-5. ラインおよびロード レギュレーション



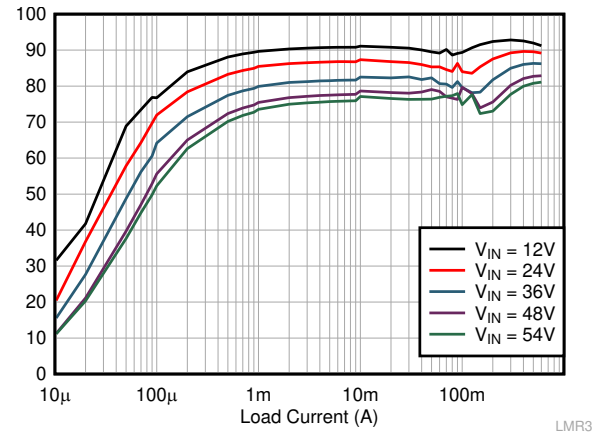
LMR36506R　V_{OUT} = 5V　400kHz (自動)

図 8-6. 効率



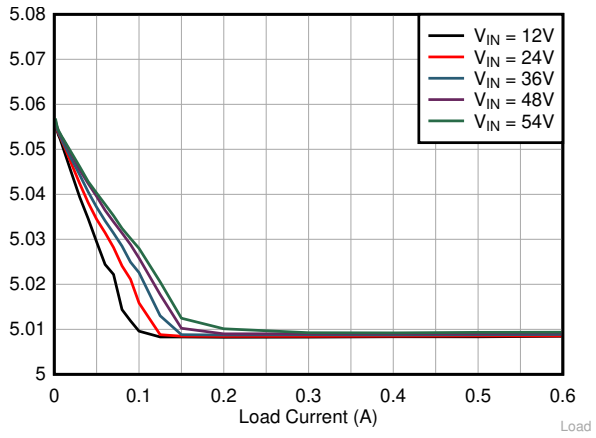
LMR36506R　V_{OUT} = 5V　400kHz (自動)

図 8-7. ラインおよびロード レギュレーション



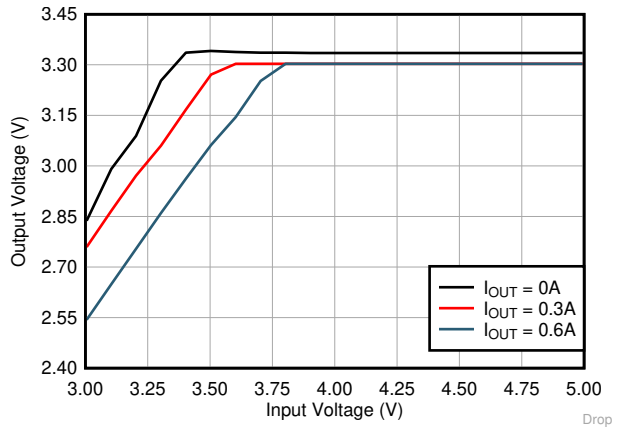
LMR36506R5 V_{OUT} = 5V 固定 1MHz (自動)

図 8-8. 効率



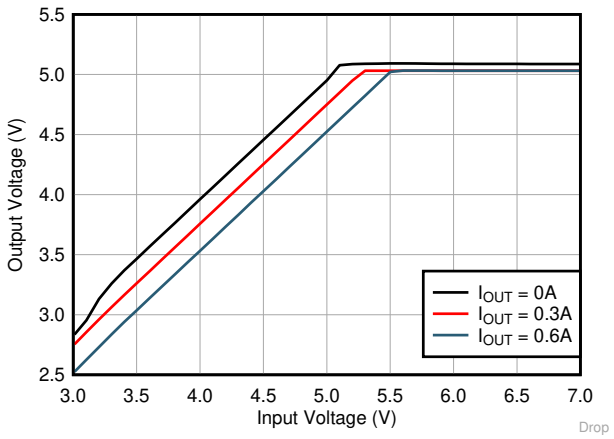
LMR36506R5 V_{OUT} = 5V 1MHz (自動)

図 8-9. ラインおよびロード レギュレーション



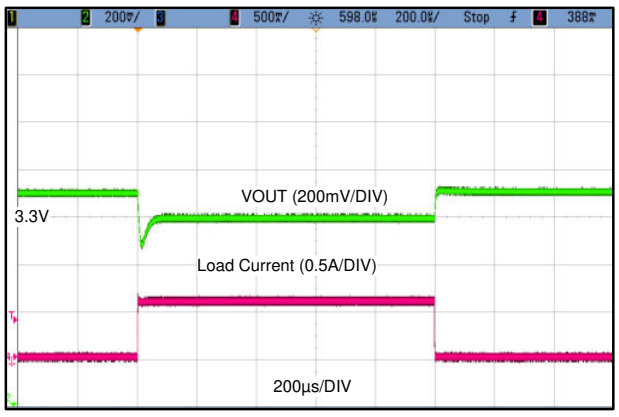
LMR36506R3 V_{OUT} = 3.3V 固定 1MHz (自動)

図 8-10. ドロップアウト



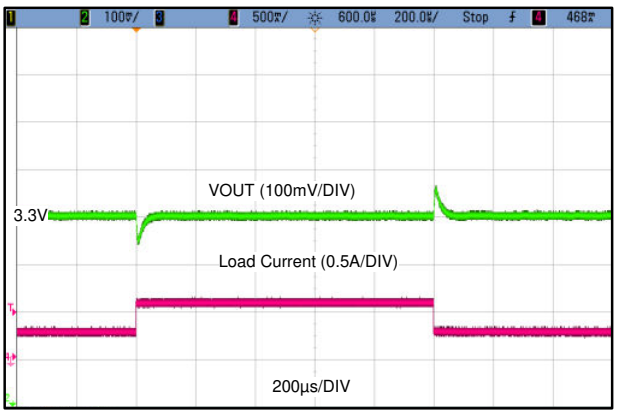
LMR36506R V_{OUT} = 5V 400kHz (自動)

図 8-11. ドロップアウト



LMR36506R3 V_{OUT} = 3.3V 固定 1MHz
0A～0.6A、1A/µs

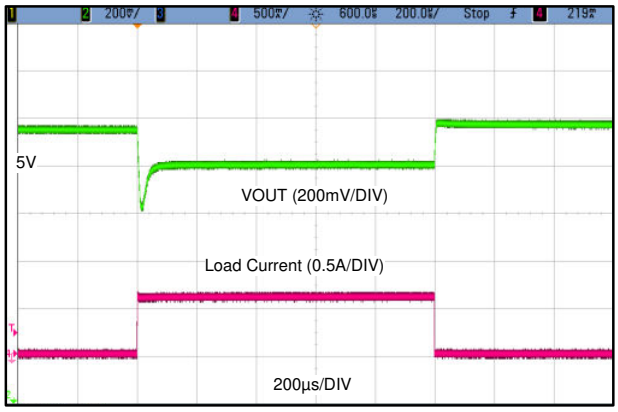
図 8-12. 負荷過渡



LMR36506R3 V_{OUT} = 3.3V 固定 1MHz
0.3A～0.6A、1A/µs

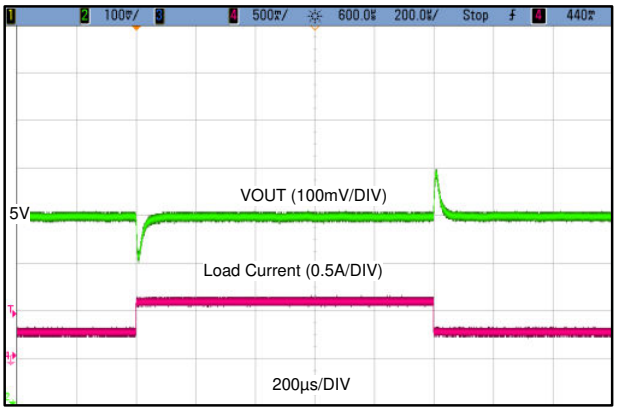
図 8-13. 負荷過渡

Copyright © 2026 Texas Instruments Incorporated



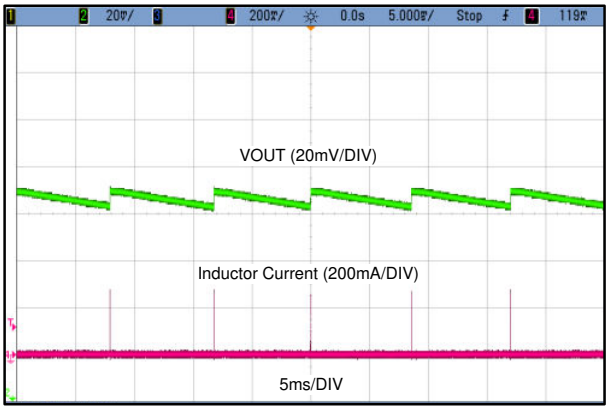
LMR36506R V_{OUT} = 5V 固定 400kHz
0A～0.6A、1A/µs

図 8-14. 負荷過渡



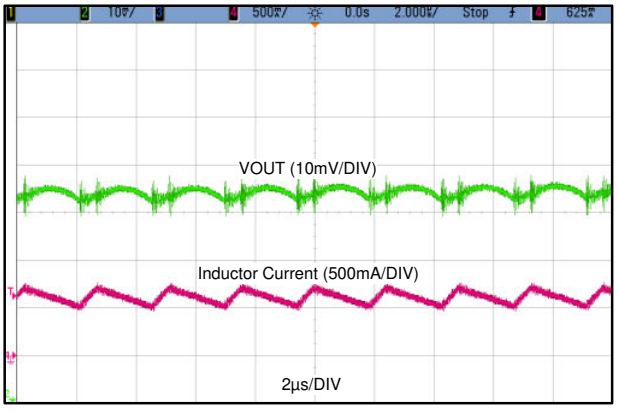
LMR36506R V_{OUT} = 5V 固定 400kHz
0.3A～0.6A、1A/µs

図 8-15. 負荷過渡



LMR36506R3 V_{OUT} = 3.3V 固定 無負荷

図 8-16. 出力リップル



LMR36506R V_{OUT} = 5V 負荷 = 0.6A
400kHz

図 8-17. 出力リップル

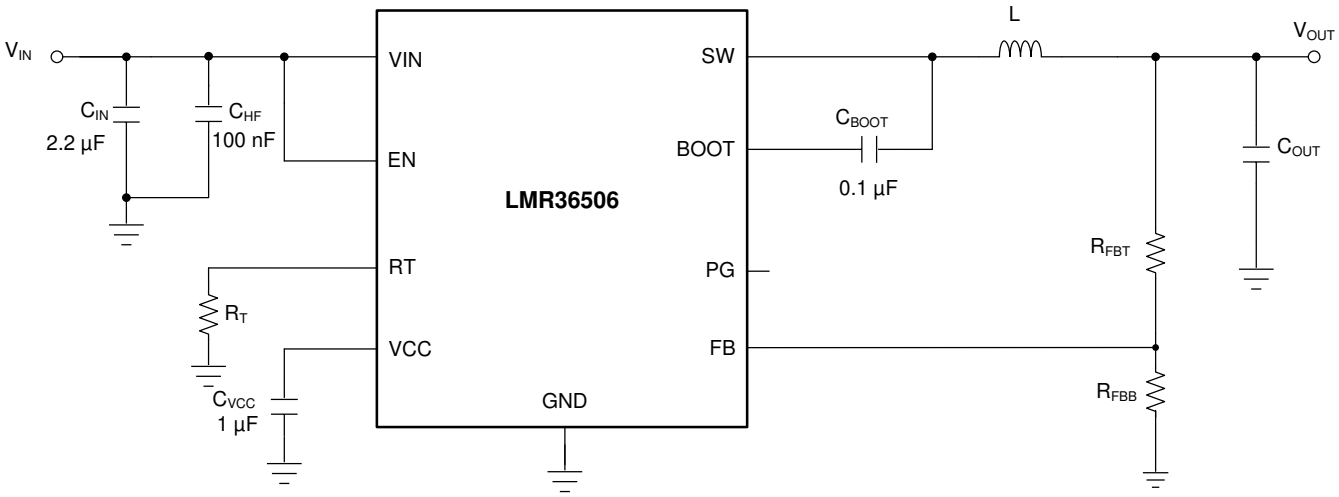


図 8-18. 代表的なアプリケーションの特性曲線で使われた回路図

表 8-3. 代表的なアプリケーションの特性曲線で使われた BOM

U1	f_{SW}	V_{OUT}	L	公称 C_{OUT} (定格容量)	RT ピン	R_{FBT}	R_{FBB}
LMR36506R3RPER	1000kHz	3.3V (固定)	15µH、260mΩ	2 × 22µF	VCC への短絡	0 Ω	オープン
LMR36506RRPER	400kHz	5V	47µH、68.4mΩ	2 × 22µF	39.2kΩ	100kΩ	24.9kΩ
LMR36506R5RPER	1000kHz	5V (固定)	22µH、99.65mΩ	2 x 22µF	VCC への短絡	0 Ω	オープン

Copyright © 2026 Texas Instruments Incorporated

8.3 設計のベスト プラクティス

- 絶対最大定格を超過してはなりません。
- *推奨動作条件* を超過してはなりません。
- ESD 定格を超過してはなりません。
- EN 入力をフローティングにしないでください。
- 出力電圧が入力電圧を超えないように、またグランドを下回らないようにしてください。
- 設計を量産用に確定する前に、このデータシートに記載されているすべてのガイドラインと推奨事項に従ってください。テキサス・インスツルメンツのアプリケーション エンジニアが、設計および PCB レイアウトの評価をサポートして、プロジェクトの成功を支援します。

8.4 電源に関する推奨事項

入力電源の特性は、このデータシートに記載されている セクション 6 に適合している必要があります。また、入力電源は、負荷時のレギュレータに必要な入力電流を供給できる必要があります。平均入力電流は、式 14 を使って見積もることができます。

$$I_{IN} = \frac{V_{OUT} \cdot I_{OUT}}{V_{IN} \cdot \eta} \tag{14}$$

ここで、

- η は効率です。

レギュレータを長いワイヤや PCB パターンで入力電源に接続している場合は、良好な性能を実現するために特別な注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、レギュレータの動作に悪影響を及ぼすおそれがあります。寄生インダクタンスは、低 ESR セラミック入力コンデンサとの組み合わせによって不足減衰共振回路を形成し、レギュレータへの入力での過電圧過渡の原因となる可能性があります。寄生抵抗は、出力に負荷過渡が加わった際に、VIN ピンの電圧が低下する原因となる可能性があります。アプリケーションが最小入力電圧に近い値で動作している場合、この低下によってレギュレータが瞬間的にシャットダウンし、リセットされる可能性があります。このような問題を解決する最善策は、入力電源からレギュレータまでの距離を制限するか、セラミックと同時にアルミニウムやタンタル入力コンデンサの使用を計画することです。この種のコンデンサの ESR は比較的低いため、入力共振回路の減衰およびオーバーシュートの低減に役立ちます。通常、20µF ～ 100µF の範囲の値は入力のダンピングに十分であり、大きな負荷過渡中も入力電圧を安定した状態にホールドできます。

システムに関するその他の考慮事項として、レギュレータの前に入力フィルタが使われる場合があります。入力フィルタは、注意深く設計しないと、不安定性につながる可能性があり、上述の現象の一因ともなり得ます。『*AN-2162 DC/DC コンバータ向け伝導 EMI の簡単な成功事例*』ユーザーガイド では、スイッチングレギュレータの入力フィルタを設計する際に役立つ提案を紹介しています。

場合によっては、コンバータの入力に過渡電圧サプレッサ (TVS) が使われています。この素子の種類には、スナップバック特性を持つもの (サイリスタ型) があります。テキサス・インスツルメンツでは、このタイプの特性を持つデバイスの使用を推奨していません。このタイプの TVS が作動すると、クランプ電圧は非常に低い値に低下します。この電圧がレギュレータの出力電圧よりも低い場合、出力コンデンサは本デバイスを通して入力に向かって放電します。この制御されない電流は、デバイスに損傷を与える可能性があります。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

DC/DC コンバータの PCB レイアウトは、最適な設計性能を実現するために重要です。PCB レイアウトが不適切な場合、適正な回路図設計の動作の妨げとなる可能性があります。コンバータが適切にレギュレートしている場合でも、PCB レイアウトが不適切では、堅牢な設計と量産できない設計という違いが生じる可能性があります。さらに、レギュレータの EMI 性能は、PCB レイアウトの影響を大きく受けます。降圧コンバータにおける PCB の最も重要な機能は、入力コンデンサと電源グランドによって形成されるループです (図 8-19 を参照)。このループには、パターンのインダクタンスに応答して大きな過渡電圧を発生させる可能性がある大きな過渡電流が流れます。これらの望ましくない過渡電圧は、コンバータの正

Copyright © 2026 Texas Instruments Incorporated

常な動作を妨げます。このことから、寄生インダクタンスを低減するため、このループ内のパターンは広く短くする必要があり、ループの面積はできる限り小さくする必要があります。図 8-20 は、LMR36506 の重要な部品の推奨レイアウトを示しています。

1. *入力コンデンサは、VIN および GND ピンにできる限り近づけて配置してください。*
2. *VCC のバイパス コンデンサは、VCC ピンの近くに配置します。*このコンデンサは、本デバイスの近くに配置し、短く広いパターンで VCC および GND ピンに配線する必要があります。
3. *C_{BOOT} コンデンサには広いパターンを使用します。*C_{BOOT} コンデンサは、デバイスのできる限り近くに、BOOT および SW ピンに短くて幅の広いパターンで配置します。SW ピンは N/C ピンに配線し、このピンを使って BOOT コンデンサを SW に接続します。
4. *帰還分圧器は、本デバイスの FB ピンのできるだけ近くに配置します。*R_{FBB}、R_{FBT}、C_{FF} は、使用する場合、本デバイスに物理的に近付けて配置します。FB および GND への接続は、短くする必要があり、かつ本デバイスのそれらのピンに近付ける必要があります。V_{OUT} への接続は、多少長くなってもかまいません。ただし、後者のパターンは、レギュレータの帰還経路に静電容量結合する可能性があるすべてのノイズ源 (SW ノードなど) の近くには配線しないでください。
5. *内層の 1 つを使って、少なくとも 1 つのグランド プレーンを配置します。*このプレーンは、ノイズ シールドと放熱経路として機能します。
6. *VIN、VOUT、GND には広いパターンを使います。*コンバータの入力または出力経路でのすべての電圧降下を低減し、効率を最大化するため、これらの配線はできるだけ広くかつ真っすぐにする必要があります。
7. *適切なヒートシンクのために十分な PCB 領域を確保します。* セクション 8.2.2.9 で述べたように、最大負荷電流と周囲温度に応じて、$R_{\theta JA}$ を低く抑えるには十分な銅の面積を使用する必要があります。PCB の上層と下層は 2 オンス銅箔とし、最低でも 1 オンス以上とする必要があります。PCB 設計に複数の銅層を使用している場合は (推奨設計)、これらのサーマル ビアも内部層の熱拡散グランド プレーンに接続することができます。
8. *スイッチングする領域は、小さく保ちます。*SW ピンをインダクタに接続する銅箔領域は、できるだけ短くかつ広くします。同時に、放射 EMI を低減するため、このノードの総面積を最小化する必要があります。

その他の重要なガイドラインについては、以下の PCB レイアウト資料を参照してください。

- 『スイッチング電源のレイアウトのガイドライン』アプリケーション レポート
- 『Simple Switcher PCB レイアウト ガイドライン』アプリケーション レポート
- 『独自電源の構築 - レイアウトの考慮事項』セミナー
- 『LM4360x および LM4600x による低放射 EMI レイアウトの簡単な設計』アプリケーション レポート

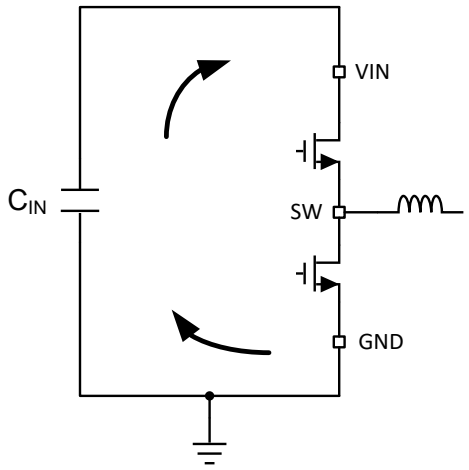


図 8-19. 高速エッジを持つ電流ループ

Copyright © 2026 Texas Instruments Incorporated

8.5.1.1 グランドと熱に関する考慮事項

前述のように、テキサス・インスツルメンツでは、中間層の 1 つをソリッド グランド プレーンとして使用することを推奨しています。グランド プレーンは敏感な回路やパターンのシールドとして機能するだけでなく、制御回路の低ノイズ基準電位を提供します。バイパス コンデンサの隣にあるビアを使用して、GND ピンをグランド プレーンに接続します。GND パターンは、VIN および SW パターンと同様に、グランド プレーンの片方に固定する必要があります。グランド プレーンのもう片方はノイズが非常に少ないため、ノイズの影響を受けやすい配線に使用します。

GND ピンの近くに十分な面積の銅箔を配置することで、適切なデバイス ヒートシンクを設けることを推奨します。レイアウト例については、図 8-20 を参照してください。システムのグランド プレーンでは、効率の高い放熱のために、レイヤの上下に出来る限り多くの銅を使用します。4 つの層の銅厚が上からそれぞれ 2 オンス、1 オンス、1 オンス、2 オンスとなっている 4 層基板を使用します。十分な厚さの銅箔と適切なレイアウトを備えた 4 層基板は、低インピーダンスの電流導通、適切なシールド効果、低熱抵抗を実現します。

8.5.2 レイアウト例

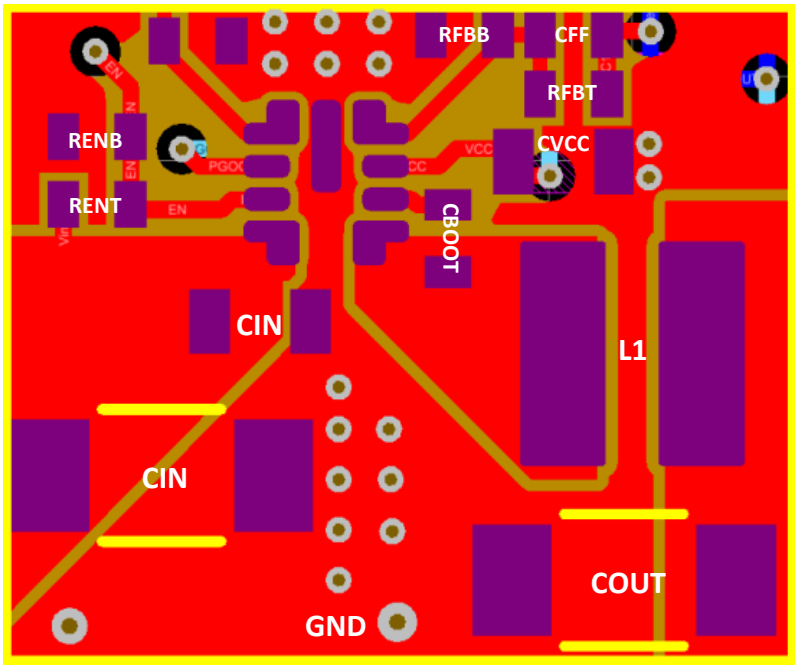


図 8-20. レイアウト例

9 デバイスおよびドキュメントのサポート

9.1 ドキュメントのサポート

9.1.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、*『過去ではなく、現在の識見による熱設計』アプリケーション レポート*
- テキサス インスツルメンツ、*『露出パッド パッケージで最良の熱抵抗を実現するための基板レイアウト ガイド』アプリケーション レポート*
- テキサス インスツルメンツ、*『半導体および IC パッケージの熱評価基準』アプリケーション レポート*
- テキサス・インスツルメンツ、*『LM43603 および LM43602 を使用した簡単な熱設計』アプリケーション レポート*
- テキサス インスツルメンツ、熱特性強化型パッケージ PowerPAD™ アプリケーション レポート
- テキサス インスツルメンツ、PowerPAD™ 入門アプリケーション レポート
- テキサス・インスツルメンツ、*『新しい熱評価基準の解説』アプリケーション レポート*
- テキサス インスツルメンツ、*『スイッチング電源のレイアウトのガイドライン』アプリケーション レポート*
- テキサス インスツルメンツ、*『Simple Switcher PCB レイアウト ガイドライン』アプリケーション レポート*
- テキサス・インスツルメンツ、*『独自電源の構築 - レイアウトの考慮事項』セミナー*
- テキサス・インスツルメンツ、*『LM4360x および LM4600x による低放射 EMI レイアウトの簡単な設計』アプリケーション レポート*

9.2 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.3 サポート・リソース

テキサス・インスツルメンツ E2E™ サポート・フォーラムは、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計で必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの使用条件を参照してください。

9.4 商標

HotRod™, PowerPAD™, and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
すべての商標は、それぞれの所有者に帰属します。

9.5 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.6 用語集

テキサス・インスツルメンツ用語集　　この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Copyright © 2026 Texas Instruments Incorporated

Changes from Revision B (December 2022) to Revision C (January 2026) **Page**

- 「特長」セクションで、ウェッタブル フランクを備えた HotRod™ パッケージを HotRod™ QFN パッケージに変更 1
- 「概要」セクションでウェッタブル フランク付き QFN パッケージを QFN パッケージに変更 11

Changes from Revision A (December 2020) to Revision B (December 2022) **Page**

- 「特長」セクションに TPSM365R6 のリンクを追加 1
- ESD 定格についての説明を変更..... 5
- 図 7-2 と 図 8-19 から色を除去..... 13

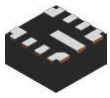
11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用されている場合は、画面左側の説明をご覧ください。

Copyright © 2026 Texas Instruments Incorporated

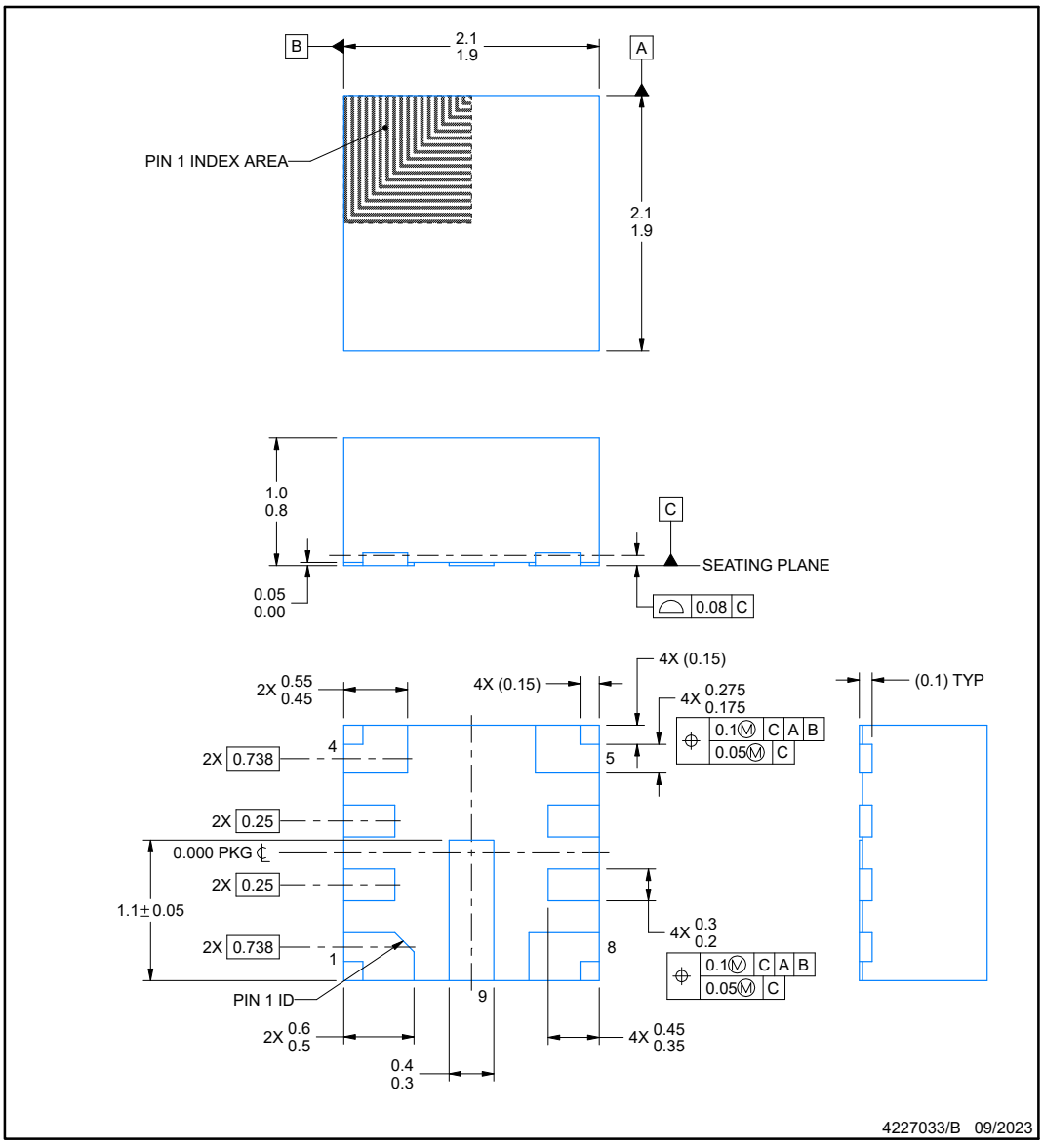
PACKAGE OUTLINE

RPE0009B



VQFN-HR - 1.0 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

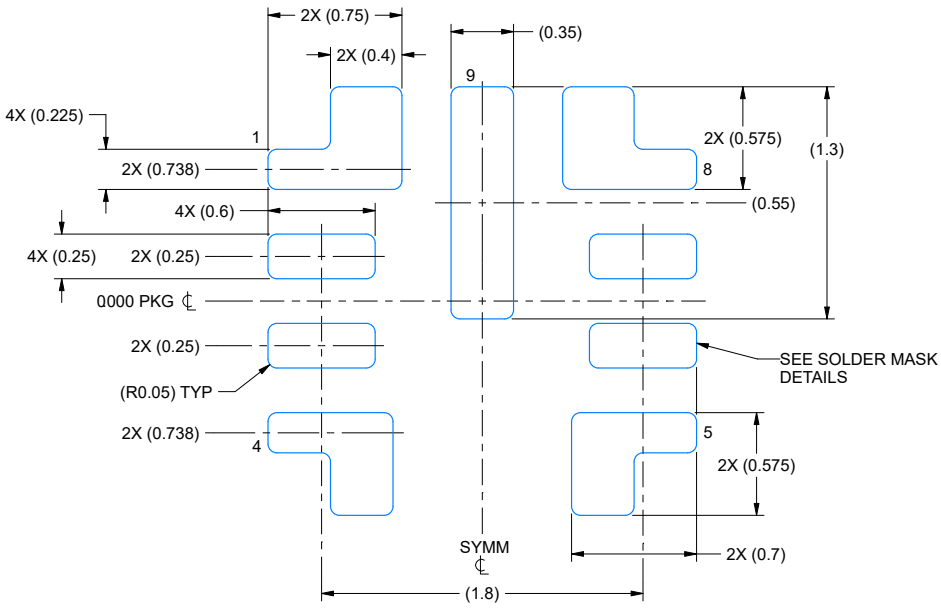
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

Copyright © 2026 Texas Instruments Incorporated

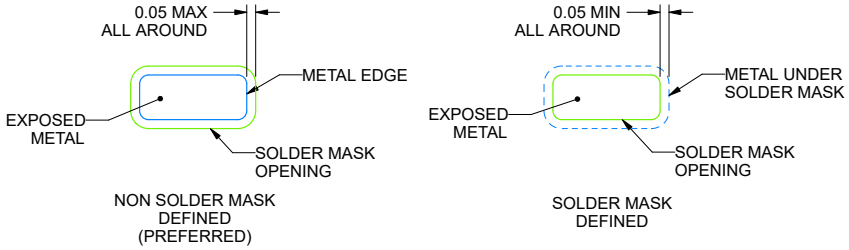
EXAMPLE BOARD LAYOUT

RPE0009B — **VQFN-HR - 1.0 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 30X



SOLDER MASK DETAILS

4227033/B 09/2023

NOTES: (continued)

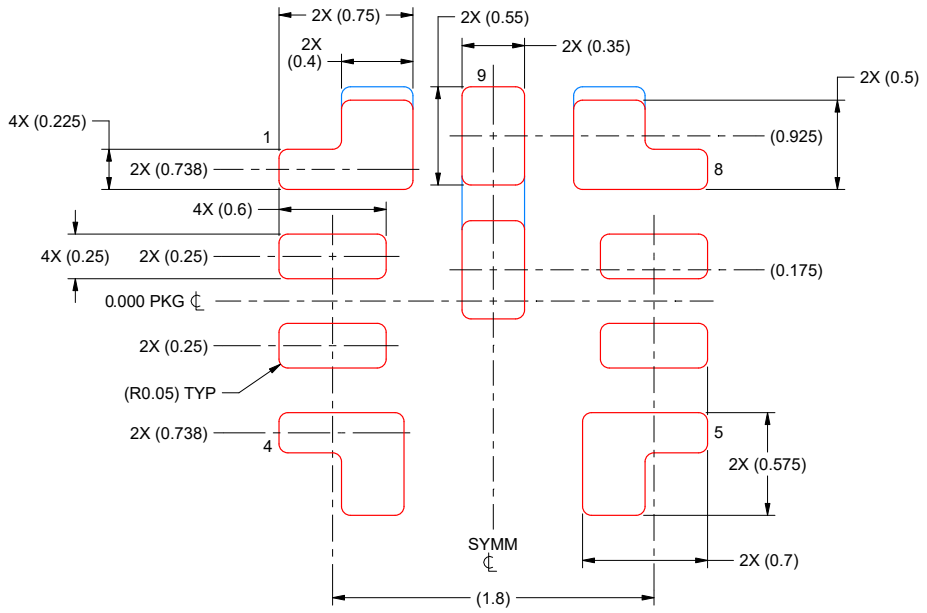
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
4. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

Copyright © 2026 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RPE0009B — **VQFN-HR - 1.0 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 30X

PADS 1 & 8:
90% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PAD 9:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

DWG_NO:5/REV:5 MM_YYYY:5

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMR36506R3RPER	Active	Production	VQFN-HR (RPE) | 9	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	MC02
LMR36506R3RPER.A	Active	Production	VQFN-HR (RPE) | 9	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	MC02
LMR36506R5RPER	Active	Production	VQFN-HR (RPE) | 9	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	MC07
LMR36506R5RPER.A	Active	Production	VQFN-HR (RPE) | 9	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	MC07
LMR36506RF3RPER	Active	Production	VQFN-HR (RPE) | 9	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	MC03
LMR36506RF3RPER.A	Active	Production	VQFN-HR (RPE) | 9	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	MC03
LMR36506RFRPER	Active	Production	VQFN-HR (RPE) | 9	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	MC01
LMR36506RFRPER.A	Active	Production	VQFN-HR (RPE) | 9	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	MC01
LMR36506RRPER	Active	Production	VQFN-HR (RPE) | 9	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	MC04
LMR36506RRPER.A	Active	Production	VQFN-HR (RPE) | 9	3000 | LARGE T&R	Yes	SN	Level-2-260C-1 YEAR	-40 to 150	MC04

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LMR36506 :

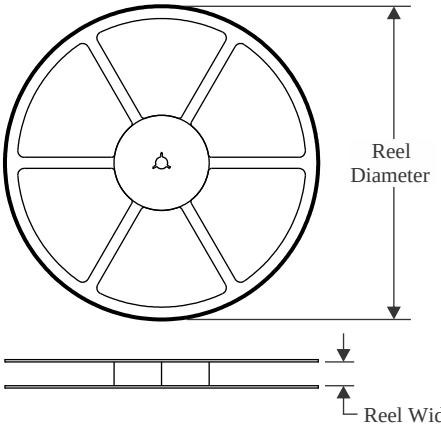
- Automotive : LMR36506-Q1

NOTE: Qualified Version Definitions:

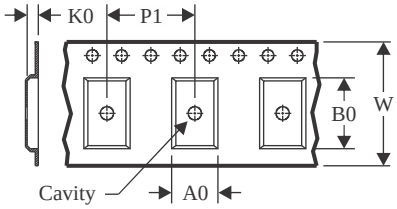
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

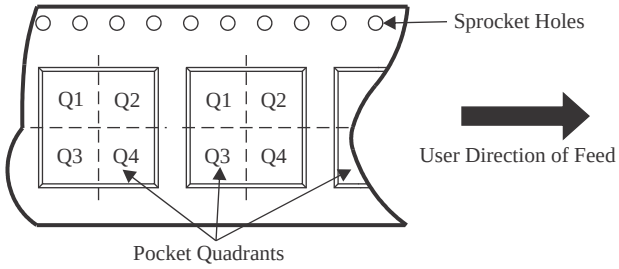


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

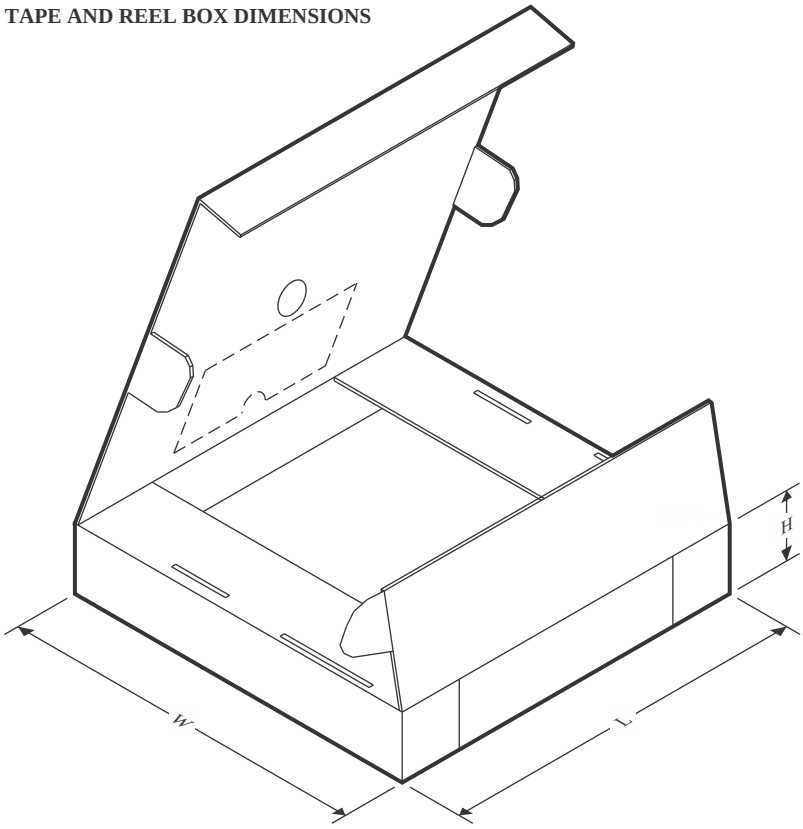
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMR36506R3RPER	VQFN-HR	RPE	9	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
LMR36506R5RPER	VQFN-HR	RPE	9	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
LMR36506RF3RPER	VQFN-HR	RPE	9	3000	180.0	8.4	2.2	2.2	1.2	4.0	8.0	Q2
LMR36506RF3RPER	VQFN-HR	RPE	9	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
LMR36506RFRPER	VQFN-HR	RPE	9	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
LMR36506RRPER	VQFN-HR	RPE	9	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMR36506R3RPER	VQFN-HR	RPE	9	3000	210.0	185.0	35.0
LMR36506R5RPER	VQFN-HR	RPE	9	3000	210.0	185.0	35.0
LMR36506RF3RPER	VQFN-HR	RPE	9	3000	195.0	200.0	45.0
LMR36506RF3RPER	VQFN-HR	RPE	9	3000	210.0	185.0	35.0
LMR36506RFRPER	VQFN-HR	RPE	9	3000	210.0	185.0	35.0
LMR36506RRPER	VQFN-HR	RPE	9	3000	210.0	185.0	35.0

GENERIC PACKAGE VIEW

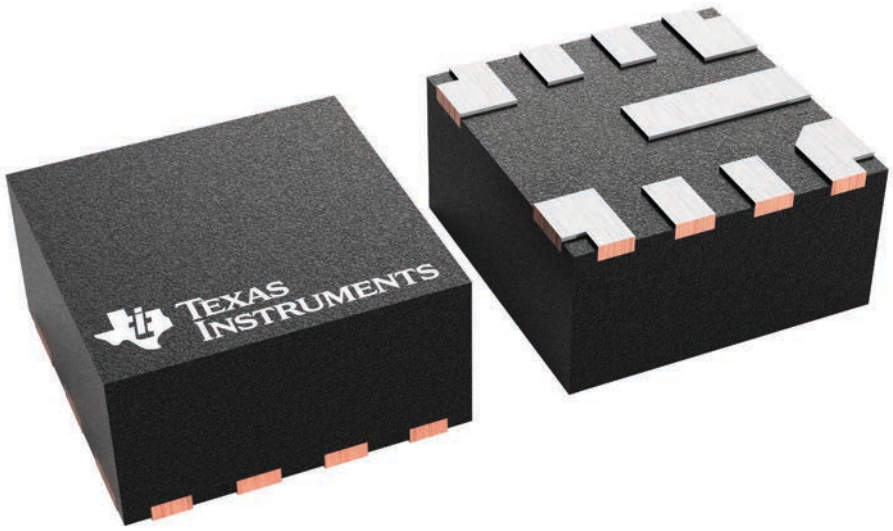
RPE 9

VQFN-HR - 1.0 mm max height

2 x 2, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



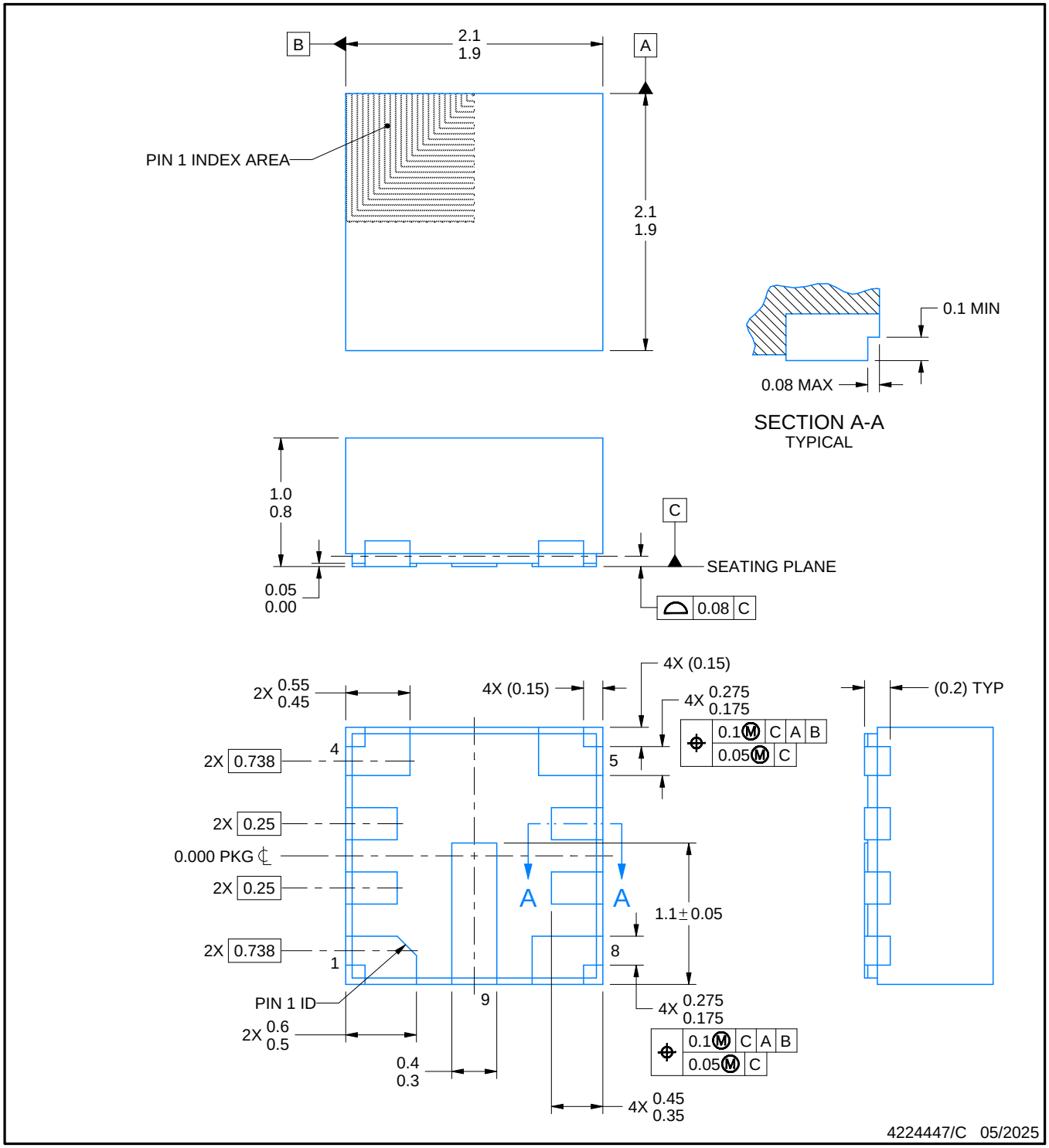
4227057/A

PACKAGE OUTLINE

RPE0009A

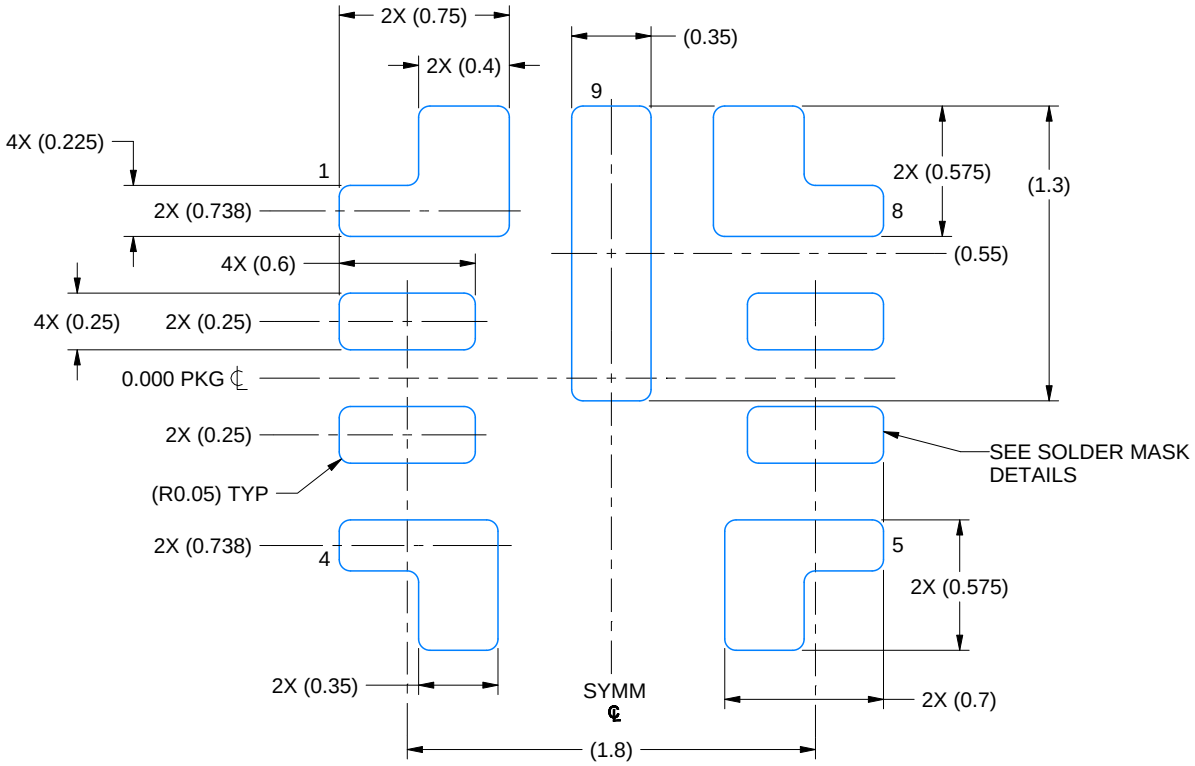
VQFN-HR - 1.0 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

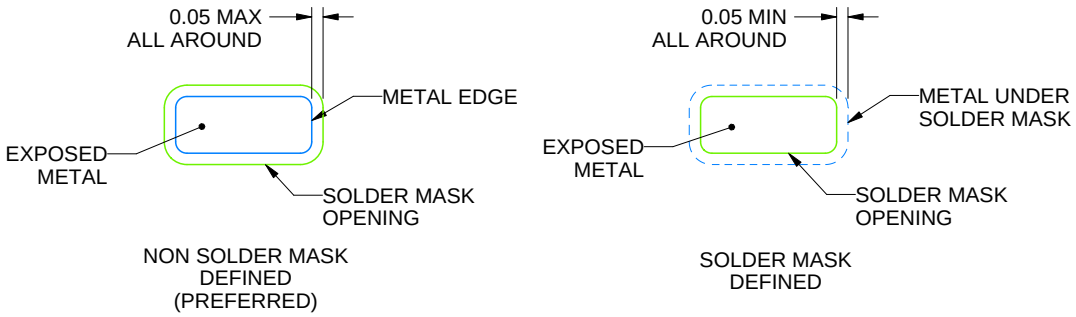


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 30X

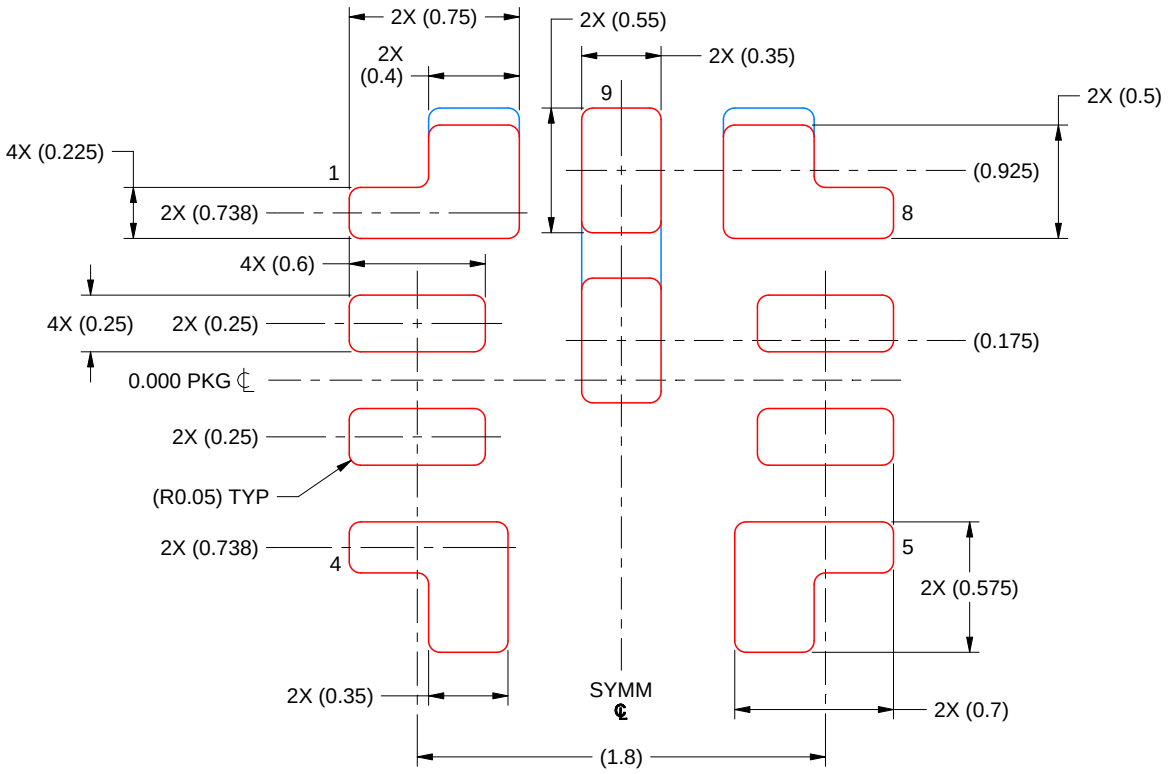


SOLDER MASK DETAILS

4224447/C 05/2025

NOTES: (continued)

3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
4. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 30X

PADS 1 & 8:
90% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
PAD 9:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

DWG_NO:5/REV:5 MM_YYYY:5

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとします。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、 TI の販売条件 、 TI の総合的な品質ガイドライン 、 ti.com または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。 TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月