

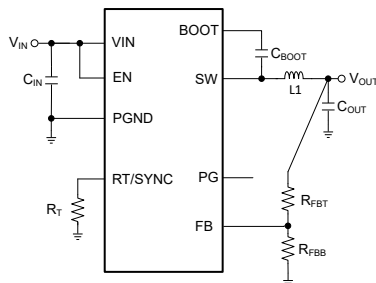
LMR38015-Q1 SIMPLE SWITCHER® パワー コンバータ、4.2V～80V、1.5A、車載用同期整流式降圧コンバータ、40μA I_Q

1 特長

- 車載アプリケーション向けに AEC-Q100 認証済み
 - 温度グレード 1: -40°C ~ +150°C、T_J
- 機能安全対応
 - 機能安全システムの設計に役立つ資料を利用可能
- 低 EMI 要件向けの設計
 - スペクトラム拡散オプションによるピーク放射低減
 - パッケージの寄生成分が小さいため、CIPR25 Class 5 準拠が容易
- 堅牢なアプリケーション向けの構成
 - 入力電圧範囲: 4.2V ~ 80V
 - 連続出力電流: 1.5A
 - 非常に小さい動作時静止電流: 40μA
 - 調整可能なスイッチング周波数: 200kHz ~ 2.2MHz
 - 外部クロックへの周波数同期
 - 最大デューティ サイクル: 97%
 - あらかじめ出力にバイアスが印加された状態でのスタートアップをサポート
 - 全温度範囲にわたって ±1.5% 精度の基準電圧
 - 高精度のイネーブル
 - 補償ネットワーク内蔵により使いやすく、部品点数を削減
 - 同期整流器内蔵
 - PowerPAD™ 付き 12 ピン WSON ウェットアブル フランク IC パッケージ
 - PFM および強制 PWM (FPWM) オプション
- WEBENCH® Power Designer により、LMR38015-Q1 を使用するカスタム設計を作成

2 アプリケーション

- 車載用インバータおよびモーター制御
- 車載用 DC/DC コンバータ
- 車載用バッテリー管理システム



概略回路図

- 車載用 48V マイルド ハイブリッド ECU バイアス電源

3 説明

LMR38015-Q1 同期整流降圧コンバータは、広い入力電圧範囲でレギュレーションを行えるよう設計されており、必要な外付けサージ抑制部品を最小限に押さえています。LMR38015-Q1 は 4.2V までの入力電圧ディップ中も動作可能であり、必要に応じて 100% に近いデューティ サイクルで動作し、絶対最大入力電圧が 85V であるので、48V バッテリーの車載用アプリケーションおよび MHEV/EV システムに最適です。

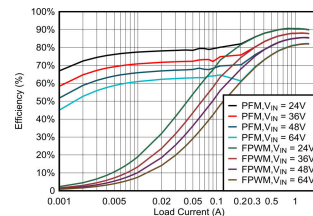
LMR38015-Q1 には高電圧のイネーブル ピンがあって、広い範囲の入力電源電圧にデバイスを接続することにより、または、スタートアップからシャットダウンまでの間で UVLO を高精度で制御することにより、デバイスをイネーブルにできます。内蔵のフィルタと遅延を備えたパワー グッド フラグは、システムの実際の状態を示すため、外部のスーパーバイザは不要です。このデバイスは、EMI を最小限に抑えるために疑似ランダム拡散スペクトラム オプションを備えています。スイッチング周波数は、ノイズの影響を受けやすい周波数帯を避けるため、200kHz ~ 2.2MHz の範囲で設定できます。さらに、RT ピンを使用して周波数をプログラムし、低い動作周波数で効率を向上させたり、高い動作周波数で設計サイズを小さくしたりできます。

このデバイスには、サイクル単位の電流制限、ヒカップ モード短絡保護、過剰な電力消費時のサーマル シャットダウンなどの保護機能が組み込まれています。LMR38015-Q1 は、車載用 AEC-Q100 グレード 1 認定を取得済みであり、12 ピン WSON パッケージで供給されます。

パッケージ情報

部品番号	パッケージ ⁽¹⁾	パッケージ サイズ ⁽²⁾
LMR38015-Q1	DRR (WSON, 12)	3mm × 3mm

- 詳細については、[セクション 11](#) を参照してください。
- パッケージ サイズ (長さ × 幅) は公称値であり、該当する場合はピンも含まれます。



効率と出力電流との関係 V_{OUT} = 5V、400kHz



目次

1 特長	1	7.4 デバイスの機能モード	17
2 アプリケーション	1	8 アプリケーションと実装	18
3 説明	1	8.1 使用上の注意.....	18
4 デバイス比較表	3	8.2 代表的なアプリケーション.....	19
5 ピン構成および機能	3	8.3 設計のベスト プラクティス.....	27
6 仕様	4	8.4 電源に関する推奨事項.....	27
6.1 絶対最大定格.....	4	8.5 レイアウト.....	27
6.2 ESD 定格.....	4	9 デバイスおよびドキュメントのサポート	30
6.3 推奨動作条件.....	4	9.1 デバイス サポート.....	30
6.4 熱に関する情報.....	5	9.2 ドキュメントのサポート.....	30
6.5 電気的特性.....	5	9.3 ドキュメントの更新通知を受け取る方法.....	30
6.6 システム特性.....	7	9.4 サポート・リソース.....	31
6.7 代表的特性.....	8	9.5 商標.....	32
7 詳細説明	9	9.6 静電気放電に関する注意事項.....	32
7.1 概要.....	9	9.7 用語集.....	32
7.2 機能ブロック図.....	9	10 改訂履歴	32
7.3 機能説明.....	9	11 メカニカル、パッケージ、および注文情報	32

4 デバイス比較表

発注用製品型番	CURRENT	FPWM	スペクトラム拡散	出力
LMR38015SQDRRRQ1	1.5A	×	あり	可変
LMR38015S5QDRRRQ1	1.5A	×	あり	5V 固定
LMR38015FS5QDRRRQ1	1.5A	あり	あり	5V 固定

5 ピン構成および機能

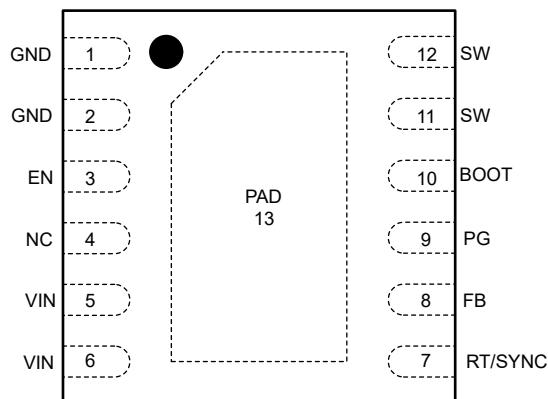


図 5-1. DRR パッケージ、12 ピン WSON (上面図)

表 5-1. ピンの機能

ピン		タイプ ⁽¹⁾	説明
名称	番号		
GND	1, 2	G	電源およびアナログ グランド ピン。すべての電気的パラメータは、このピンを基準に測定されます。このピンと VIN の間に、高品質のバイパス コンデンサを短く幅の広いパターンで直接接続します。
EN	3	A	レギュレータへのイネーブル入力。High = オン、Low = オフ。VIN に直接接続できます。フローティングにはしないでください。
NC	4		未接続。フローティング ピン。
VIN	5, 6	P	レギュレータへの入力電源。このピンと GND の間に、高品質のバイパス コンデンサを短く幅の広いパターンで直接接続します。
RT / SYNC	7	A	抵抗タイミングまたは外部クロック入力。スイッチング周波数を設定するために、グランドへの外付け抵抗を使用すると、内部アンプによってこのピンが固定電圧に保持されます。このピンを PLL の上限スレッショルドより高くプルアップすると、モード遷移が発生し、ピンは同期入力となります。内部アンプはディセーブルになり、このピンは内部 PLL への高インピーダンス クロック入力となります。クロック エッジが停止すると、内部アンプが再びイネーブルになり、動作モードは抵抗を使用して周波数プログラミングに戻ります。
FB	8	A	帰還入力。可変出力の場合、帰還抵抗分圧器の中間点をこのピンに接続します。帰還分圧器の上側抵抗 (RFBT) を目的のレギュレーション点 (VOUT) に接続します。帰還分圧器の下側抵抗 (RFBB) を GND に接続します。固定出力の場合は、FB/BIAS ピンを VOUT ピンに直接接続します。『デバイス比較表』も参照してください。フローティングにはしないでください。GND に接続しないでください。
PG	9	A	オープンドレインのパワー グッド フラグ出力。電流制限抵抗を介して、このピンを適切な電圧源に接続します。High = パワー OK、Low = フォルト。EN = LOW のとき、このフラグは LOW にプルされます。使用しない場合は、フローティングにできます。
BOOT	10	P	内部ハイサイドドライバのブートストラップ電源電圧。このピンと SW ピンとの間に高品質の 100nF コンデンサを接続します。
SW	11, 12	P	レギュレータのスイッチ ノード。パワー インダクタに接続します。
EP	サーマル パッド	熱	システム グランドに接続。

(1) A = アナログ、P = 電源、G = グランド

6 仕様

6.1 絶対最大定格

接合部温度 $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ の範囲において (特に記述のない限り) ⁽¹⁾

		最小値	最大値	単位
入力電圧	VIN から PGND へ	-0.3	85	V
	EN から PGND	-0.3	VIN + 0.3	V
	FB から PGND	-0.3	5.5	V
	RT/SYNC から PGND	-0.3	5.5	V
出力電圧	SW に対する CBOOT	-0.3	5.5	V
	SW ~ PGND	-0.3	85	V
	SW から PGND (過渡 10ns 未満)	-5.0	85.3	V
	PGOOD から PGND	-0.3	20	V
接合部温度、 T_J		-40	150	$^{\circ}\text{C}$
保管温度、 T_{stg}		-65	150	$^{\circ}\text{C}$

- (1) 「絶対最大定格」の範囲外の動作は、デバイスの永続的な損傷の原因となる可能性があります。「絶対最大定格」は、これらの条件において、または「推奨動作条件」に示された値を超える他のいかなる条件でも、本製品が正しく動作することを意味するものではありません。「絶対最大定格」の範囲内であっても「推奨動作条件」の範囲外で使用すると、デバイスが完全に機能しない可能性があり、デバイスの信頼性、機能、性能に影響を及ぼし、デバイスの寿命を縮める可能性があります。

6.2 ESD 定格

			値	単位
$V_{\text{(ESD)}}$	静電放電	人体モデル (HBM)、AEC Q100-002 ⁽¹⁾ デバイス HBM 分類レベル 2 準拠	± 2000	V
		デバイス帯電モデル (CDM)、AEC Q100-011 デバイス CDM 分類レベル C5 準拠	± 750	

- (1) AEC Q100-002 は、HBM ストレス試験を ANSI/ESDA/JEDEC JS-001 仕様に従って実施しなければならないと規定しています。

6.3 推奨動作条件

接合部の動作時推奨温度範囲である $-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ において (特に記述のない限り) ⁽¹⁾

		最小値	公称値	最大値	単位
入力電圧	入力電圧範囲 (起動後)	4.2		80	V
入力電圧	EN から PGND			VIN	V
入力電圧	RT から PGND			5	V
入力電圧	PGOOD から PGND			20	V
出力電圧	SW ~ PGND			80	V
出力電圧	可変バージョンの出力電圧範囲 ⁽²⁾	1		75	V
周波数	周波数調整範囲	200		2200	kHz
同期周波数	同期周波数範囲	300		2100	kHz
負荷電流	出力 DC 電流範囲 (LMR38015-Q1) ⁽³⁾	0		1.5	A
温度	動作時の接合部温度 (T_J) 範囲 ⁽⁴⁾	-40		150	$^{\circ}\text{C}$

- (1) 推奨動作条件は本デバイスが機能する条件を示していますが、特定の性能限界を保証するものではありません。適合する仕様については「電気的特性」表を参照してください。
- (2) いかなる条件下でも、出力電圧は 0V を下回ることはいけません。
- (3) 高いスイッチング周波数と高い周囲温度のどちらかまたはその両方で動作している場合、最大連続 DC 電流はディレーティングされる場合があります。詳細については、「アプリケーション」セクションを参照してください。
- (4) 接合部温度が高くなると、動作寿命が短くなります。接合部温度が 150°C を超えると、動作寿命が短くなります。

6.4 熱に関する情報

熱評価基準 ⁽¹⁾		LMR380X5	単位
		DRR (WSON)	
		12 ピン	
R _{θJA}	接合部から周囲への熱抵抗	54.3	°C/W
R _{θJA} (Effective)	LMR38025QEVM による接合部から周囲への熱抵抗	23.0	°C/W
R _{θJC} (top)	接合部からケース (上面) への熱抵抗	39.1	°C/W
R _{θJB}	接合部から基板への熱抵抗	21.7	°C/W
Ψ _{JT}	接合部から上面への特性パラメータ	0.6	°C/W
Ψ _{JB}	接合部から基板への特性パラメータ	21.7	°C/W
R _{θJC} (bot)	接合部からケース (底面) への熱抵抗	4.7	°C/W

(1) 従来および最新の熱評価基準の詳細については、『[半導体および IC パッケージの熱評価基準](#)』アプリケーション レポートを参照してください。
[SPRA953](#)

6.5 電気的特性

特に記述のない限り、各制限値は動作時の接合部温度 (T_J) 範囲 (-40°C ~ +150°C) にわたって適用されます。最小値および最大値⁽¹⁾は、試験、設計、および統計的相関に基づいて規定されています。標準値は T_J = 25°C における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。V_{IN} = 24V。

パラメータ		テスト条件	最小値	標準値	最大値	単位
電源電圧および電流						
V _{IN_OPERATE}	入力動作電圧	起動するために必要な電圧			4.2	V
		動作開始後			3.8	V
I _{Q-NON_SW}	非スイッチング動作時の静止電流	V _{EN} = 3.3V (PFM バリエーションのみ)		40		μA
I _{SD}	シャットダウン時の静止電流 (VIN ピンで測定)	V _{EN} = 0V		3	8	μA
イネーブル						
V _{EN-H}	イネーブル入力の High レベル	V _{ENABLE} 立ち上がり	1.1	1.25	1.4	V
V _{EN-L}	イネーブル入力の Low レベル	V _{ENABLE} 立ち下がり	0.95	1.10	1.22	V
I _{LKG-EN}	イネーブル入力リーク電流	V _{EN} = 3.3V		5.0		nA
電圧リファレンス (FB ピン)						
V _{OUT-5V-Fixed}	出力電圧	4.2V ≤ V _{IN} ≤ 80V, 0.5A, T _J = 25°C, FPWM	4.97	5.0	5.03	V
		4.2V ≤ V _{IN} ≤ 80V, 0.5A, -40°C ≤ T _J ≤ 150°C, FPWM	4.92	5.0	5.08	V
V _{REF}	フィードバックリファレンス電圧	V _{IN} = 4.2V ~ 80V, T _J = 25°C, FPWM	0.99	1	1.01	V
V _{REF}	フィードバックリファレンス電圧	FPWM	0.985	1	1.015	V
I _{LKG-FB}	フィードバックリーク電流	FB = 1.2V (可変オプション)		2.1		nA
電流制限およびヒックアップ						
I _{SC-LIMIT}	ハイサイド電流制限 ⁽²⁾		2.04	2.5	2.97	A
I _{LS-LIMIT}	ローサイド電流制限 ⁽²⁾		1.36	1.7	2.04	A
I _{L-ZC}	ゼロクロス検出のスレッシュホールド	PFM バリエーションのみ		0.07		A
I _{PEAK-MIN}	最小インダクタピーク電流 ⁽²⁾	PFM バリエーションのみ		0.38		A
I _{L-NEG}	負の電流制限 ⁽²⁾	FPWM バリエーションのみ		-0.67		A
電力段						
R _{DS-ON-HS}	ハイサイド MOSFET オン抵抗			303		mΩ
R _{DS-ON-LS}	ローサイド MOSFET オン抵抗			133		mΩ

6.5 電気的特性 (続き)

特に記述のない限り、各制限値は動作時の接合部温度 (T_J) 範囲 ($-40^{\circ}\text{C} \sim +150^{\circ}\text{C}$) にわたって適用されます。最小値および最大値 (1) は、試験、設計、および統計的相関に基づいて規定されています。標準値は $T_J = 25^{\circ}\text{C}$ における最も一般的なパラメータ基準値を表しており、参考目的にのみ提供されています。特に記述のない限り、次の条件が適用されます。 $V_{IN} = 24\text{V}$ 。

パラメータ		テスト条件	最小値	標準値	最大値	単位
t_{ON-MIN}	最小スイッチ オン時間	$V_{IN} = 24\text{V}$, $I_{out} = 1\text{A}$		80	131	ns
$t_{OFF-MIN}$	最小スイッチ オフ時間			190	300	ns
t_{ON-MAX}	最大スイッチ オン時間			5		us
スイッチング周波数および同期						
F_{OSC}	スイッチング周波数	$R_T = 49.9\text{k}\Omega$	430	525	650	kHz
F_{SPREAD}	スペクトラム拡散を有効にした場合の内部発振器の拡散		-8%		8%	
V_{SYNC_HI}	SYNC クロック High レベル スレッショルド				2	V
V_{SYNC_LO}	SYNC クロック Low レベル スレッショルド		0.6			V
t_{PULSE_H}	パルスとして認識されるのに必要な High の継続時間				50	ns
C_{LOCK}	同期サイクル中の有効な同期信号にクロックがロックするために必要な時間				230	us
起動およびトラッキング						
t_{SS}	内部ソフトスタート時間			4.2		ms
パワー グッド						
$V_{PG-HIGH-UP}$	パワーグッドの上側スレッショルド - 立ち上がり	% of FB voltage	110%	112%	114%	
$V_{PG-LOW-DN}$	パワーグッドの下側スレッショルド - 立ち下がり	% of FB voltage	90%	92%	94%	
V_{PG-HYS}	パワーグッド ヒステリシス (立ち上がりおよび立ち下がり)	% of FB voltage		2.2%		
$V_{PG-VALID}$	正常なパワーグッド機能のための最小入力電圧				2	V
R_{PG}	パワーグッドのオン抵抗	$V_{EN} = 0\text{V}$		140		Ω
R_{PG}	パワーグッドのオン抵抗	$V_{EN} = 3.3\text{V}$		92		Ω
$t_{PGDFLT(fall)}$	PGOOD 機能のグリッチ フィルタ時定数			45		us
サーマル シャットダウン						
$T_{SD-Rising}^{(3)}$	サーマル シャットダウン	シャットダウン スレッショルド		163		$^{\circ}\text{C}$
$T_{SD-Falling}^{(3)}$	サーマル シャットダウン	復帰スレッショルド		150		$^{\circ}\text{C}$

- (1) 最小および最大の制限値は 25°C で 100% 製造テスト済みです。全動作温度範囲における制限値は、統計的品質管理 (SQC) 手法を使って相関により検証しています。これらの制限値を使って、平均出検品質限界 (AOQL) を計算しています。
- (2) この表の電流制限値は、開ループでテスト済みであり、量産時に使用されます。閉ループ アプリケーションで見られるものとは異なる場合があります。
- (3) 実製品の検査は行っていない。設計により規定されています。

6.6 システム特性

以下の仕様は、標準的なアプリケーション回路に適用され、コンポーネントの公称値が設定されています。「代表値 (TYP)」列の仕様は、 $T_J = 25^{\circ}\text{C}$ にのみ適用されます。最小値および最大値列の仕様は、 $T_J = -40^{\circ}\text{C} \sim +150^{\circ}\text{C}$ の温度範囲での標準的な部品の場合に適用されます。これらの仕様は、製造試験では規定されていません。

パラメータ		テスト条件	最小値	標準値	最大値	単位
V_{IN}	動作時入力電圧範囲		4.2		80	V
V_{OUT}	可変出力電圧レギュレーション ⁽¹⁾	PFM 動作	-1.5%		2.5%	
V_{OUT}	可変出力電圧レギュレーション ⁽¹⁾	FPWM 動作	-1.5%		1.5%	
I_{SUPPLY}	レギュレーション時の入力電源電流	$V_{IN} = 24\text{V}$, $V_{OUT} = 3.3\text{V}$, $I_{OUT} = 0\text{A}$, $R_{FBT} = 1\text{M}\Omega$, PFM バリエーション		40		μA
D_{MAX}	最大スイッチ デューティ サイクル ⁽²⁾			97%		
V_{HC}	短絡ヒックアップモードのトリップに必要な FB ピン電圧			0.4		V
t_D	スイッチ電圧デッド タイム			5		ns
T_{SD}	サーマル シャットダウン温度	シャットダウン温度		163		$^{\circ}\text{C}$
T_{SD}	サーマル シャットダウン温度	復帰温度		150		$^{\circ}\text{C}$

- (1) 全負荷時、 $V_{IN} = 24\text{V}$ 、 $I_{OUT} = 0\text{A}$ における V_{OUT} の公称出力電圧値からの偏差。
 (2) ドロップアウト時にはスイッチング周波数が低下し、実効デューティサイクルが増加します。最小周波数は、およそ以下に示す値でクランプされます。 $F_{MIN} = 1 / (t_{ON-MAX} + t_{OFF-MIN})$ 。 $D_{MAX} = t_{ON-MAX} / (t_{ON-MAX} + t_{OFF-MIN})$ 。

6.7 代表的特性

特記のない限り、次の条件が適用されます。 $T_A = 25^\circ\text{C}$ 、 $V_{IN} = 24\text{V}$ 、 $f_{SW} = 400\text{kHz}$

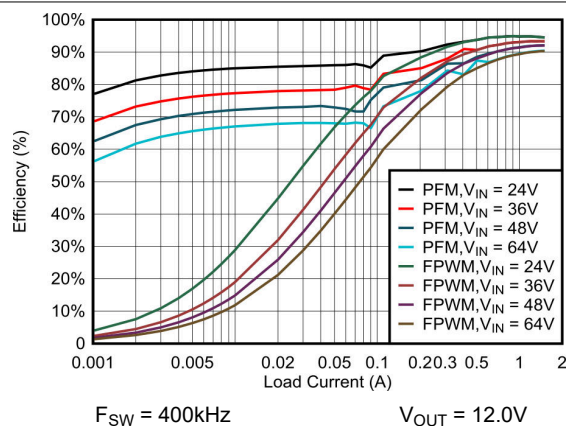


図 6-1. 効率と負荷電流との関係

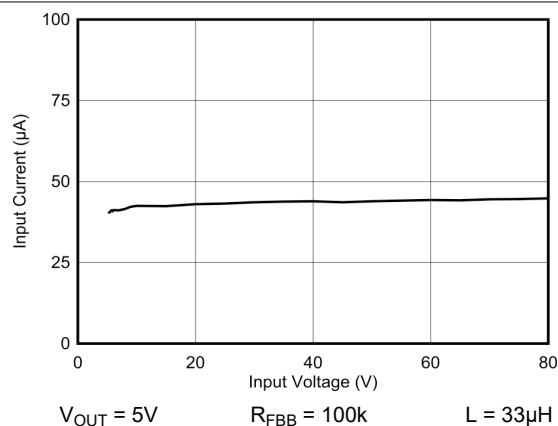


図 6-2. 無負荷時の入力電流と入力電圧との関係

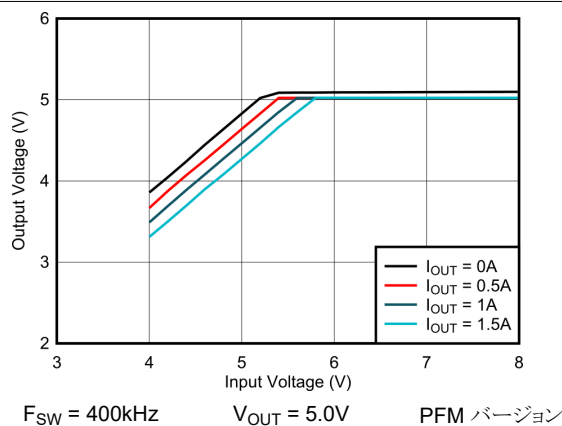


図 6-3. 5V ドロップアウト

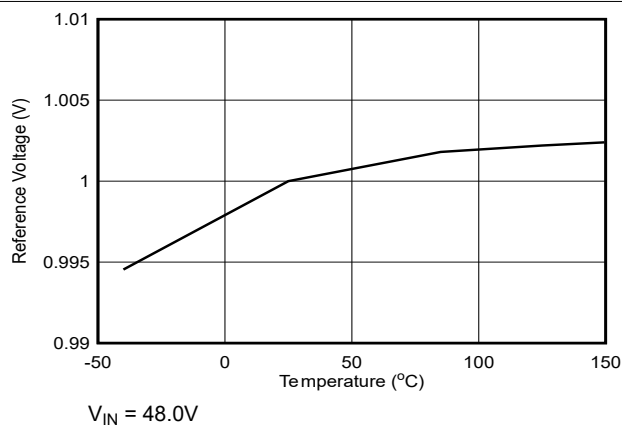


図 6-4. 基準電圧と温度との関係

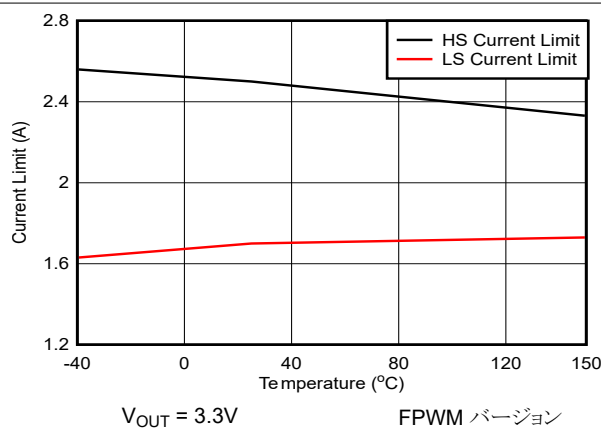


図 6-5. ハイサイドおよびローサイド電流制限と温度との関係

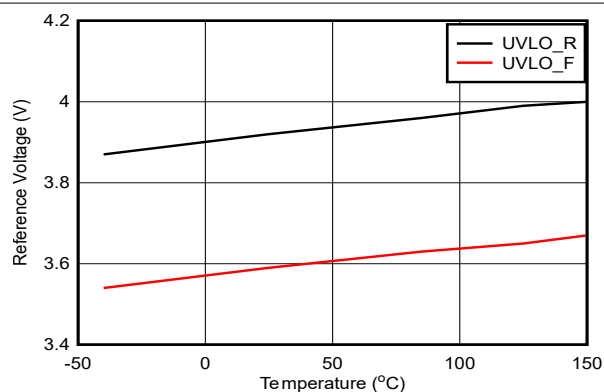


図 6-6. V_{IN} UVLO と温度との関係

7 詳細説明

7.1 概要

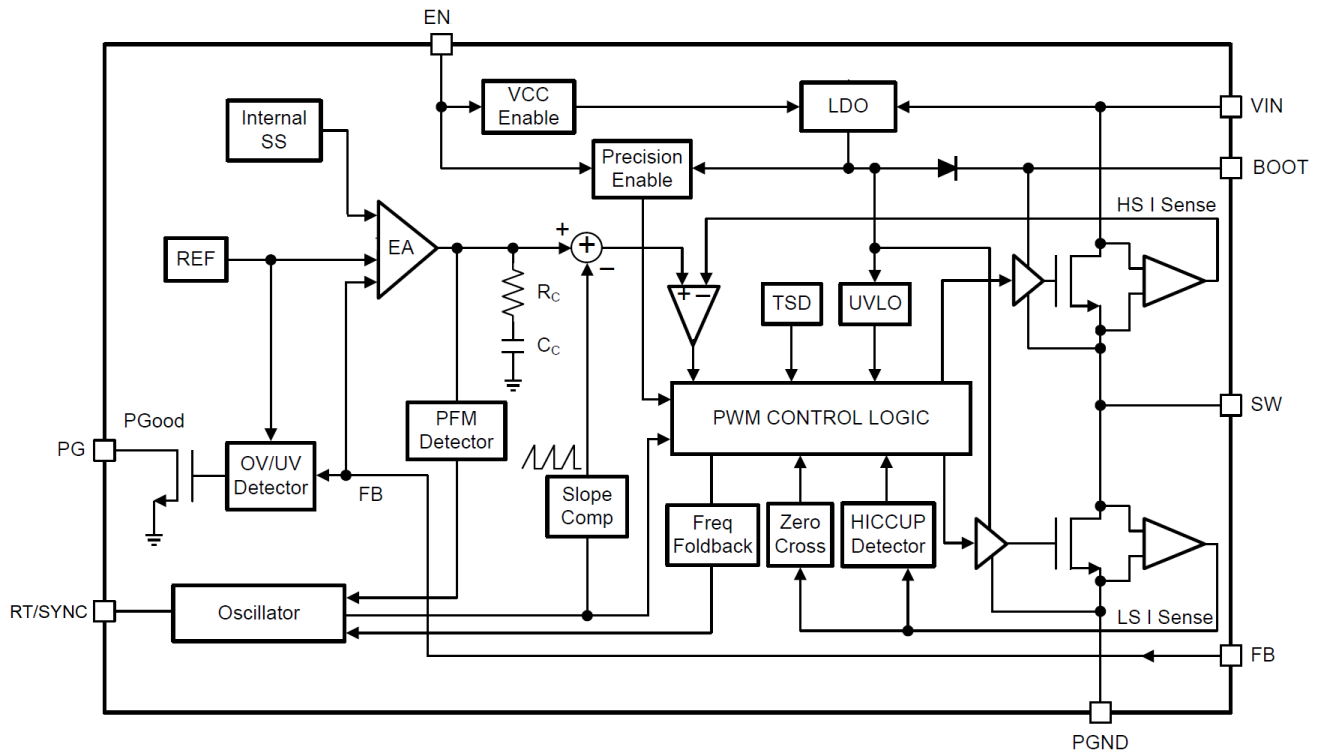
LMR38015-Q1 コンバータは、4.2V～80V の電源電圧で動作する使いやすい同期整流降圧 DC/DC コンバータです。このデバイスは、小さい設計サイズで最大 1.5A の DC 負荷電流を供給できます。LMR38015-Q1 は、ピーク電流モード制御を採用しています。軽負荷時には PFM モードへ移行し、PFM 動作モードで高い効率を実現します。FPWM パージョンを備えており、軽負荷時に、小さい出力電圧リップル、正確な出力電圧安定化、一定のスイッチング周波数を実現します。デバイスは内部で位相補償されているため、設計時間が短縮され、必要な外付け受動部品も少なく済みます。

高精度イネーブルや内部ソフト スタートなどの追加機能により、広範なアプリケーション向けの柔軟で使いやすい設計を実現できます。保護機能には、以下のものがあります。

- サーマル シャットダウン
- V_{IN} 低電圧誤動作防止
- サイクル単位の電流制限
- ヒカップ モード短絡保護

このデバイスは必要な外付け部品が非常に少なく、PCB レイアウトが単純かつ最適になるようにピン配置が設計されています。

7.2 機能ブロック図



7.3 機能説明

7.3.1 固定周波数のピーク電流モード制御

LMR38015-Q1 は、ハイサイド (HS) およびローサイド (LS) スイッチ (同期整流器) を内蔵した同期整流降圧コンバータです。LMR38015-Q1 は、制御されたデューティ サイクルでハイサイドおよびローサイドの NMOS スイッチをオンにすることにより、出力電圧の安定化を実現します。ハイサイド スイッチのオン時間中には、SW ピンの電圧がほぼ V_{IN} まで上昇し、インダクタ電流 i_L が $(V_{IN} - V_{OUT})/L$ の傾きで直線的に増加します。制御ロジックによってハイサイド スイッチがオフに

なると、貫通電流を防止するデッドタイムの経過後に、ローサイド スイッチがオンになります。インダクタ電流は、ローサイド スイッチを通して $-V_{OUT} / L$ の割合で放電されます。降圧コンバータの制御パラメータは、デューティ サイクル $D = t_{ON} / T_{SW}$ と定義されます。ここで、 t_{ON} はハイサイド スイッチ ON 時間、 T_{SW} はスイッチング周期です。コンバータ制御ループは、デューティ サイクル D を調整することにより、出力電圧を一定に維持します。損失を無視できるような理想的な降圧コンバータでは、次の式のように、 D は出力電圧に比例し、入力電圧に反比例します。 $D = V_{OUT} / V_{IN}$ 。

LMR38015-Q1 は、固定周波数のピーク電流モード制御を採用しています。ピーク電流コマンドを調整することにより、高ゲイン電圧帰還ループを使用して、正確に安定化された出力電圧を得ることができます。ピーク インダクタ電流はハイサイド スイッチから検出され、ピーク電流スレッシュホールドと比較することにより、ハイサイド スイッチの ON 時間を制御します。電圧帰還ループは内部補償されているため、外付け部品が少なく済み、設計が容易になり、ほとんどあらゆる組み合わせの出力コンデンサで安定して動作できます。このコンバータは、通常負荷状況では固定スイッチング周波数で動作します。軽負荷の状況では、LMR38015-Q1 は PFM モードで動作して高効率を維持するか、または、FPWM モードで動作して小さい出力電圧リップル、正確な出力電圧安定化、一定のスイッチング周波数を実現します。

7.3.2 可変出力電圧

高精度の 1.0V 基準電圧 (V_{REF}) を使用して、動作温度範囲の全体にわたって正確に安定化された出力電圧を維持します。出力電圧は、出力電圧と FB ピンとの間の分圧抵抗回路によって設定されます。テキサス・インスツルメンツでは、FB 分圧器に精度 1% の低温度係数抵抗を使用することを推奨します。目的の分圧器電流に対応する下側抵抗 R_{FBB} を選択し、式 1 を使って上側抵抗 R_{FBT} を計算します。ほとんどのアプリケーションでは、10kΩ～100kΩ の範囲の R_{FBT} を推奨します。PFM 動作時の V_{OUT} オフセットを減らすために静的負荷が必要な場合は、 R_{FBT} の値を小さくできます。 R_{FBT} が小さいと、負荷が非常に軽い場合の効率が低下します。 R_{FBT} が大きいと、流れる静的電流が減少するため、軽負荷時の効率が重要である場合には、より有用です。テキサス・インスツルメンツでは、1MΩ より大きい R_{FBT} は推奨していません。 R_{FBT} が 1MΩ より大きい場合、帰還パスがノイズの影響を受けやすくなるためです。 R_{FBT} の値が大きい場合は、PCB 上の帰還パスをより慎重に設計する必要があります。分圧抵抗の公差や温度による変動は、出力電圧のレギュレーションに影響を与えます。

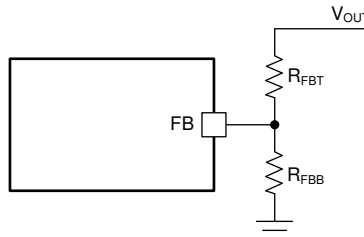


図 7-1. 出力電圧設定

$$R_{FBT} = \frac{V_{OUT} - V_{REF}}{V_{REF}} \times R_{FBB} \quad (1)$$

7.3.3 イネーブル

EN ピンの電圧によって、LMR38015-Q1 の オンオフ動作が制御されます。電圧が 0.95V を下回るとデバイスはディセーブルされます。コンバータをイネーブルにするには 1.4V 以上の電圧が必要です。EN ピンは入力であり、開放またはフローティングにはできません。LMR38015-Q1 の動作をイネーブルにする最も簡単な方法は、EN を VIN に接続することです。この接続により、IN が動作許容範囲内になると LMR38015-Q1 は自動的に起動します。また、外部ロジック信号を使用して EN 入力を駆動することでも、システムのシーケンシングや保護を行うことができます。EN ピンの電圧は、 $V_{IN} + 0.3V$ より高くしてはならないことに注意してください。 V_{IN} が 0V のときに EN 電圧を印加することは推奨しません。多くのアプリケーションでは、イネーブル分圧抵抗 R_{ENT} および R_{ENB} (図 7-2) を使用することにより、コンバータに対して高精度のシステム UVLO レベルを確立できます。これにより、シーケンシング、安定した動作の確保、バッテリー放電レベルなどの電源保護を行うことができます。イネーブル分圧抵抗回路のサイズについては、セクション 8.2.2.8 式を参照してください。

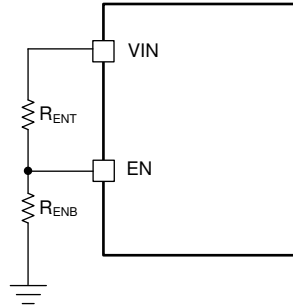


図 7-2. イネーブル分圧抵抗によるシステム UVLO

7.3.4 スイッチング周波数および同期 (RT / SYNC)

LMR38015-Q1 のスイッチング周波数は、RT/SYNC ピンと GND ピンからの抵抗 R_T によってプログラム可能です。RT / SYNC ピンは、フローティングのままにしたり、グランドに短絡したりすることはできません。特定のスイッチング周波数に対するタイミング抵抗を決定するには、式 2 を使用するか、図 7-3 の曲線を使用します。表 7-1 に、指定された f_{SW} に対する R_T の標準値を示します。

$$R_T(k) = 30970 \times f_{SW}(kHz)^{-1.027} \quad (2)$$

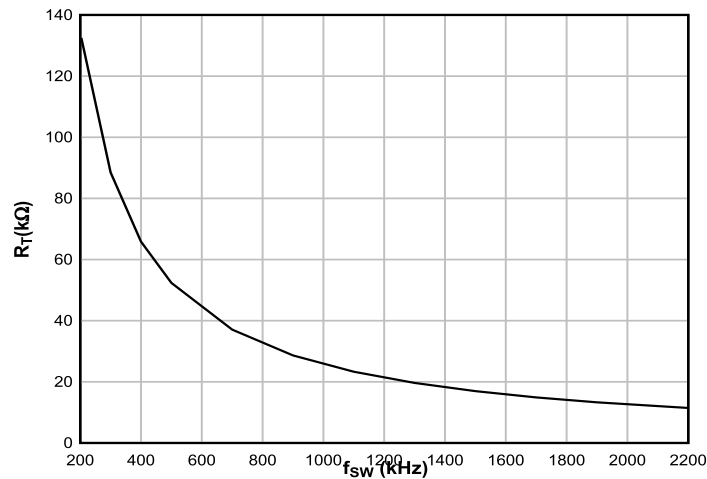


図 7-3. R_T と周波数との関係を示すグラフ

表 7-1. 周波数に対する R_T の標準抵抗値

f_{SW} (kHz)	R_T (kΩ)
200	133
400	64.9
500	52.3
750	34.8
1000	25.5
1500	16.9
2000	12.7
2200	11.5

LMR38015-Q1 のスイッチング動作は、300kHz～2.1MHz の外部クロックに同期させることもできます。図 7-4 に示すいずれかの回路ネットワークを通して、RT/SYNC ピンに方形波を接続します。自己発振器は、外部クロックの立ち下がりエッジによって同期されます。外部クロックの推奨値としては、High レベルは 2.0V 以上、Low レベルは 0.6V 以下であり、

ロジック High のパルス幅は **50ns** 超とする必要があります。低インピーダンスの信号ソースを使用する場合、周波数設定用の抵抗 R_T は、AC カップリング コンデンサ C_{COUP} と並列にして、終端抵抗 R_{TERM} (たとえば 50Ω) に接続されます。信号ソースがオフの場合、2 つの抵抗を直列に配置すると、デフォルトの周波数設定の抵抗になります。 C_{COUP} には $1pF$ のセラミック コンデンサを使用します。

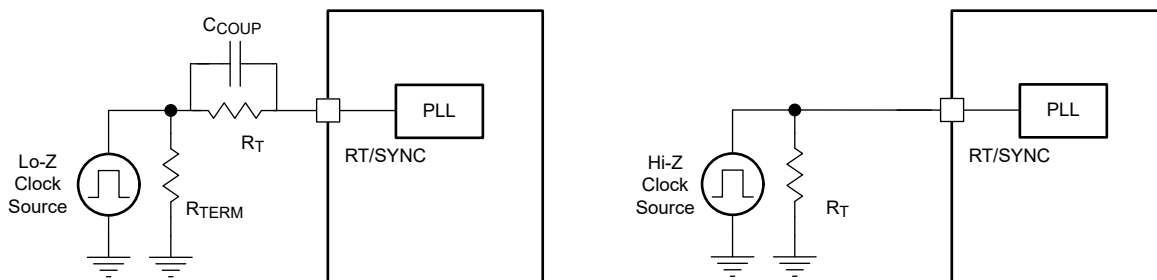


図 7-4. 外部クロックへの同期

7.3.5 パワー グッド フラグの出力

LMR38015-Q1 のパワー グッド フラグ機能 (PG 出力ピン) は、出力電圧が安定化範囲を外れたときにホスト マイクロプロセッサにアラートを送るフラグとして使用できます。このオープン ドレイン出力は、電流制限条件による出力の安定化範囲逸脱やサーマル シャットダウン イベントなどのフォルト条件で **LOW** に遷移します。グリッチ フィルタは、出力電圧の短時間の変動 (ラインおよび負荷過渡時など) に対するフラグの誤動作を防止します。 t_{PG} よりも短い出力電圧変動では、パワー グッド フラグは立ちません。ソフト スタート イベント中、パワー グッドは **Low** に保持され、出力電圧が最終的な安定値に達すると解放されることに注意します。

パワー グッド出力はオープン ドレインの NMOS で構成されており、外付けプルアップ抵抗を適切なロジック電源へ接続する必要があります。パワー グッド出力は、必要に応じて $100k\Omega$ 抵抗を介して V_{CC} または V_{OUT} にプルアップすることもできます。この機能が不要な場合は、PG ピンをフローティングのままにする必要があります。EN が **Low** にプルされると、フラグ出力も **Low** に強制されます。EN が **Low** のとき、入力電圧が $2V$ (標準値) 以上である限り、パワー グッドは有効な状態を維持します。EN が **High** に戻った場合、出力電圧が最終値に達した後でのみパワー グッドが **High** になることに注意してください。パワー グッド フラグ ピンへ流れ込む電流は、 $5mA$ DC 未満に制限することを推奨します。最大電流は、デバイスがイネーブルのときは約 $35mA$ 、デバイスがディセーブルのときは約 $65mA$ に内部的に制限されます。内部電流制限により、この出力に接続されているフィルタ コンデンサの放電時に発生する可能性のある過渡電流からデバイスが保護されます。

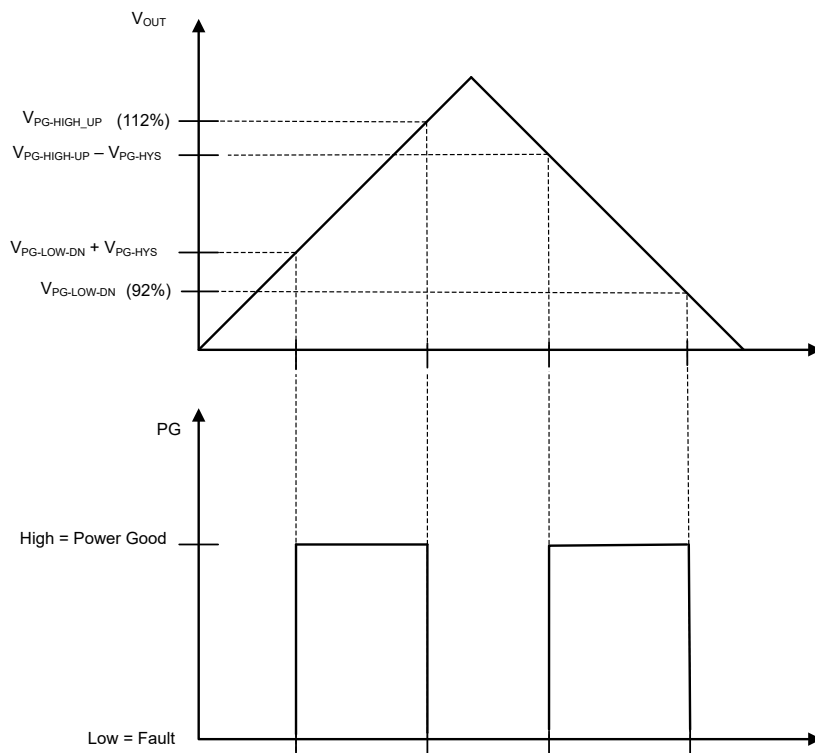


図 7-5. 静的パワー グッド動作

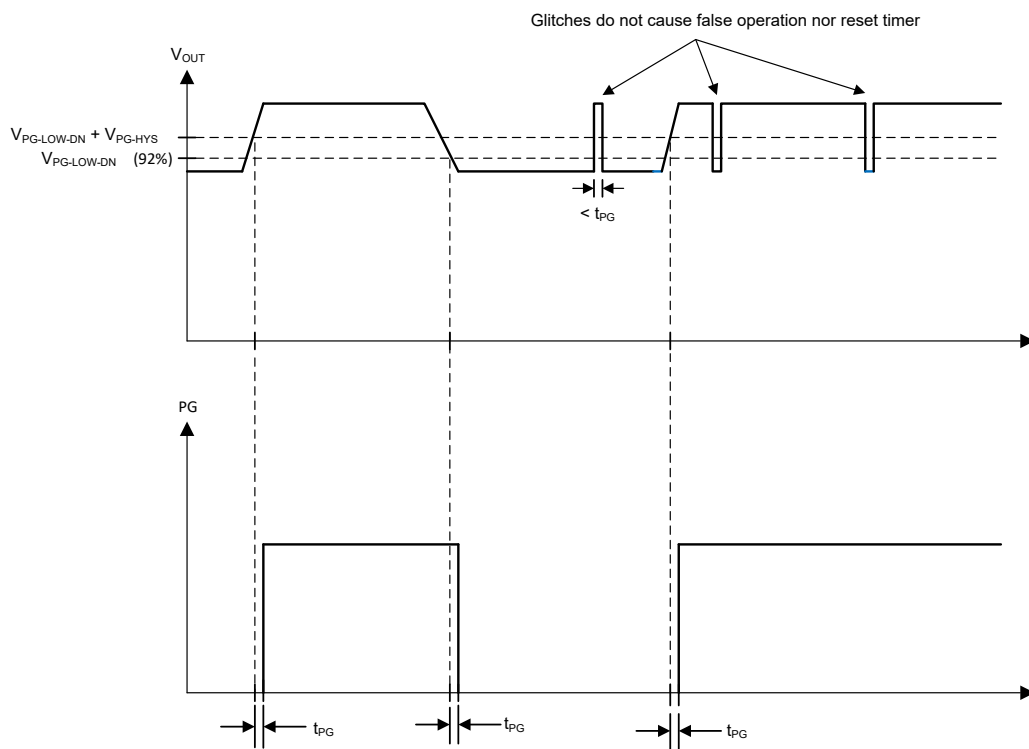


図 7-6. パワー グッドのタイミング動作

7.3.6 最小オン時間、最小オフ時間、および周波数フォールドバック

最小オン時間 (T_{ON_MIN}) は、ハイサイド スイッチをオンにできる最小の時間長です。LMR38015-Q1 では、 T_{ON_MIN} は標準で 80ns です。最小オフ時間 (T_{OFF_MIN}) は、ハイサイド スイッチをオフにできる最小の時間長です。 T_{OFF_MIN} は標準で 190ns です。CCM 動作時には、 T_{ON_MIN} および T_{OFF_MIN} によって、スイッチング周波数フォールドバックが発生しない電圧変換範囲が制限されます。

周波数フォールドバックが発生しない最小デューティ サイクルは次のとおりです。

$$D_{MIN} = T_{ON_MIN} \times f_{SW} \quad (3)$$

周波数フォールドバックが発生しない最大デューティ サイクルは次のとおりです。

$$D_{MAX} = 1 - (T_{OFF_MIN} \times f_{SW}) \quad (4)$$

必要な出力電圧が与えられたとき、周波数フォールドバックの発生しない最大 V_{IN} は次の式で求められます。

$$V_{IN_MAX} = \frac{V_{OUT}}{T_{ON_MIN} \times f_{SW}} \quad (5)$$

周波数フォールドバックの発生しない最小 V_{IN} は次の式で計算できます。

$$V_{IN_MIN} = \frac{V_{OUT}}{1 - (T_{OFF_MIN} \times f_{SW})} \quad (6)$$

LMR38015-Q1 では、 T_{ON_MIN} または T_{OFF_MIN} がトリガされた後に周波数フォールドバック方式が動作するようになっています。これにより、最大デューティ サイクルを増加、または最小デューティ サイクルを低下させます。

V_{IN} 電圧が高くなるにつれて、オン時間は減少します。オン時間が T_{ON_MIN} まで減少すると、 V_{IN} の増加に伴ってスイッチング周波数が低下し始め、式 3 に従ってデューティ サイクルがさらに低下して V_{OUT} の安定化状態が維持されます。

この周波数フォールドバック方式は、 V_{IN} が低い状況で、より大きなデューティ サイクルが必要になった場合にも機能します。デバイスが T_{OFF_MIN} に達すると周波数が低下し、式 4 に従って最大デューティ サイクルが増加します。このような条件では、周波数は最小約 133kHz まで下げることができます。周波数フォールドバックの範囲が広いと、LMR38015-Q1 の出力電圧は、電源電圧 V_{IN} がかなり低いときでも安定化状態を維持しており、実効ドロップアウトを低減できます。

スイッチング周波数が 1.2MHz を超える FPWM モードでの固定周波数動作は、より広い入力電圧範囲に対して、約 100mA の最小負荷電流で維持されます。また、1.2MHz を超えるスイッチング周波数で負荷が非常に軽い場合、最小 t_{off} の周波数フォールドバックで周波数低下が予想されます。

周波数フォールドバックにより V_{IN_MAX} が上昇し、 f_{SW} の低下により V_{IN_MIN} が低下します。

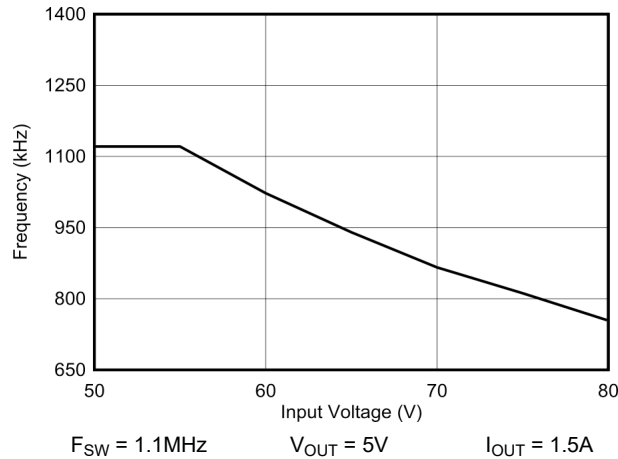


図 7-7. T_{ON_MIN} での代表的な周波数フォールドバック

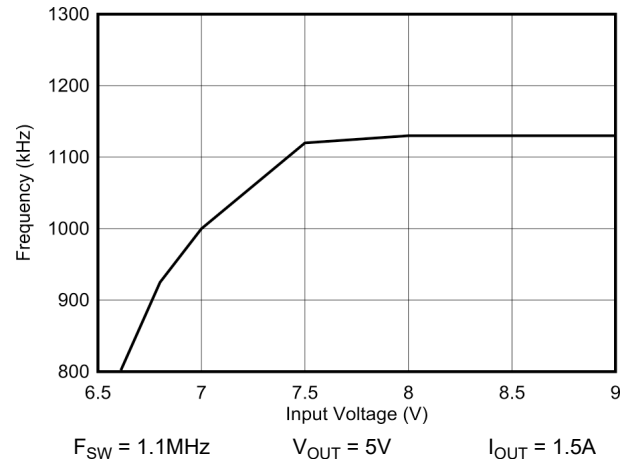


図 7-8. T_{OFF_MIN} での代表的な周波数フォールドバック

7.3.7 ブートストラップ電圧

LMR38015-Q1 は、統合型ブートストラップ電圧レギュレータです。CB ピンと SW ピンの間に小型コンデンサを置いて、ハイサイド MOSFET のゲート駆動電圧を供給します。ハイサイド MOSFET がオフで、ローサイド スイッチが導通しているとき、ブートストラップ コンデンサはリフレッシュされます。ブートストラップ コンデンサの推奨値は 0.1μF です。テキサス・インスツルメンツは、温度および電圧に対して安定した特性を持つため、X7R または X5R クラスの誘電体を持つ電圧定格 16V 以上のセラミック コンデンサを推奨します。

7.3.8 過電流および短絡保護

LMR38015-Q1 は、インダクタ電流のピークと谷の両方で、サイクル毎の電流制限により過電流状態から保護されています。過熱を防ぐために、障害状態が持続した場合にはヒカップ モードで動作します。

ハイサイド MOSFET 過電流保護機能は、ピーク電流のモード制御の性質を利用して実装されています。ハイサイド スイッチ電流は、ブランキング時間の設定後に ハイサイドがオンになったときに検出されます。ハイサイド スイッチ電流は、スイッチング サイクルごとに、誤差アンプ (EA) 出力からスローブ補償を引いた値と比較されます。ハイサイド スイッチのピーク電流は、一定の値をとる、クランプされた最大ピーク電流スレッショルド I_{SC_LIMIT} によって制限がかかります。

ローサイド MOSFET を通過する電流も検出され、監視されます。ローサイド スイッチがオンになると、インダクタ電流は減少し始めます。ローサイド スイッチは、その電流が ローサイド電流制限 I_{LS_LIMIT} 以上の場合、スイッチング サイクルの終わりにオフになります。ローサイド スイッチがオンに保持されると、インダクタ電流はローサイド電流制限 I_{LS_LIMIT} 以下になるまで減少し続けます。そうすると、ローサイド スイッチはオフになり、ハイサイド スイッチがオンになります。以下の図に、過電流状況でのデバイスの動作を示します。最大負荷電流を計算するには、式 7 を使用します。

$$I_{OUT_MAX} = I_{LS} + \left(\frac{V_{IN} - V_{OUT}}{L \times 2 \times f_{SW}} \right) \times \left(\frac{V_{OUT}}{V_{IN}} \right) \quad (7)$$

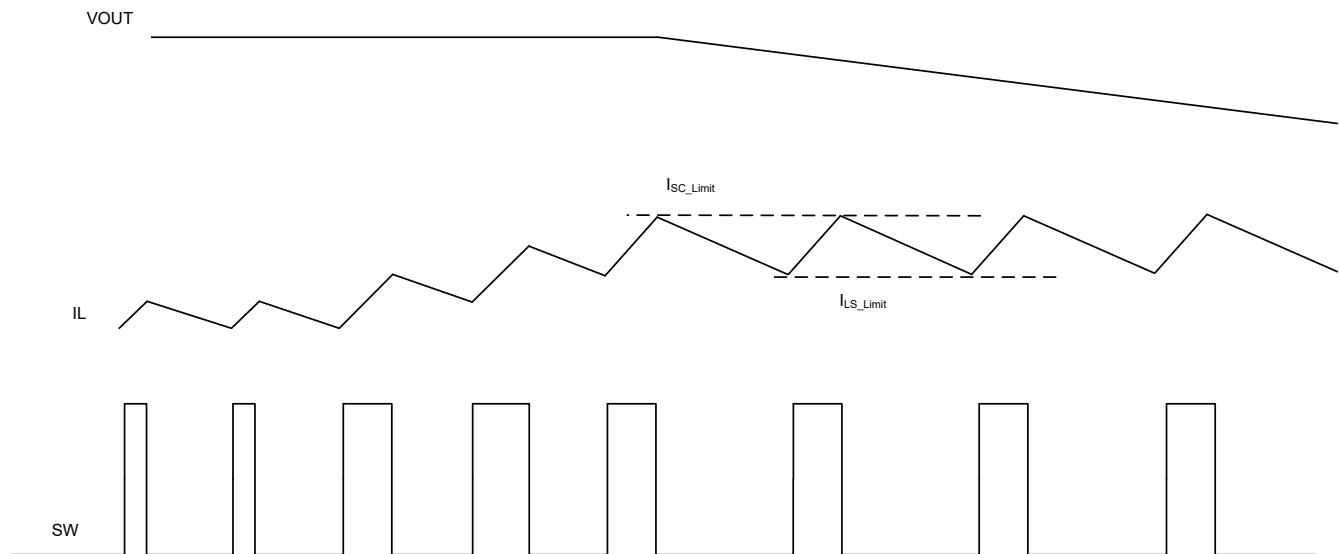


図 7-9. 負荷ステップに対する過電流応答

帰還電圧が V_{REF} の 40% を下回ると、カウンタがアクティブになります。ローサイド スイッチを流れる電流によって I_{LS_LIMIT} が 256 サイクル連続でトリガされると、デバイスはヒカップ モードに入ります。ヒカップ モードでは、コンバータはシャットダウンされ、ヒカップ期間 T_{HICUP} (標準値 76ms) の間オフに保持された後、LMR38015-Q1 はソフト スタートを再試行します。それでも過電流または短絡によるフォルト状態が続く場合は、フォルト状態が解消されるまでヒカップが繰り返されます。ヒカップ モードは、重度の過電流状態での消費電力を低減し、過熱およびデバイスへの過剰な電氣的ストレスの可能性を防止します。

FPWM バージョンでは、インダクタ電流は負方向に流れることがあります。この電流がローサイドの負電流制限 I_{LS_NEG} を超えると、ローサイド スイッチがオフになり、ハイサイド スイッチが直ちにオンになります。この動作は、ローサイド スイッチを過剰な負電流から保護するために使用されます。

7.3.9 ソフト スタート

内蔵のソフトスタート回路は、入力突入電流が LMR38015-Q1 および入力電源に影響を及ぼすことを防止します。ソフトスタートは、デバイスの最初のイネーブル時またはパワーオン時に、安定化電圧の目標値をゆっくりと上昇させることで実現しています。内部ソフトスタート時間の標準値は 4.2ms です。

LMR38015-Q1 は、パワーアップ開始時に、過電流保護ブランキング時間 T_{OCP_BLK} (標準値 18ms) も備えています。この機能がないと、大きい出力コンデンサと高い V_{OUT} を使用するアプリケーションでは、突入電流が電流制限保護をトリガするほどの大きくなり、デバイスがヒカップ モードに移行する可能性があります。デバイスはヒカップ期間が経過した後に再起動を試み、電流制限に達して再びヒカップ モードに入るため、 V_{OUT} は設定電圧まで上昇できません。OCP ブランキング機能を導入することで、 T_{OCP_BLK} の間はヒカップ保護機能がディセーブルになり、LMR38015-Q1 は最大制限電流で V_{OUT} を充電して、この期間中の出力電流能力を最大化します。 T_{OCP_BLK} の間にも、ピーク電流制限 (I_{HS_LIMIT}) およびバレー電流制限 (I_{LS_LIMIT}) 保護機能は引き続き利用できるため、インダクタ電流が暴走する心配はありません。

7.3.10 サーマル・シャットダウン

LMR38015-Q1 は、サーマル シャットダウン機能を内蔵しており、接合部温度が 163°C を超えた場合にデバイスを保護します。サーマル シャットダウン時には、ハイサイドとローサイドの両方の FET がスイッチングを停止し、パワー グッドが Low になります。ダイ温度が 150°C 未満になると、デバイスは内蔵のソフトスタート回路の制御下でパワーアップシーケンスを再び開始します。

7.4 デバイスの機能モード

7.4.1 自動モード

自動モードでは、負荷の変化に応じて、デバイスは **PWM** と **PFM** を切り替えます。負荷が小さいとき、レギュレータは **PFM** で動作します。負荷が大きくなると、モードは **PWM** に切り替わります。

PWM では、レギュレータは 定周波数、電流モード、フル同期整流コンバータとして動作し、**PWM** を使って出力電圧を安定化します。このモードで動作しているときには、一定の周波数でスイッチングし、デューティ サイクルを変調して負荷への電力を制御することにより、出力電圧を安定化します。この動作により、優れたラインおよび負荷レギュレーションと、低い出力電圧リップルを実現します。

PFM では、1 つまたは複数のパルスによってハイサイド **MOSFET** がオンになり、負荷にエネルギーを供給します。バースト期間は、インダクタ電流が $I_{\text{MIN-PEAK}}$ に達するまでに要する時間に依存します。このバーストの周波数を調整して出力を安定化するとともに、ダイオード エミュレーションを使って効率を最大化します (用語集を参照)。このモードでは、少しの負荷で出力電圧を制御するために必要な入力消費電流の総量を削減することにより、軽負荷の効率を高めることができます。出力電圧リップルの増大およびスイッチング周波数の変動とのトレードオフにより、軽負荷時に非常に良好な効率を実現します。また、軽負荷時には出力電圧がわずかに上昇します。実際のスイッチング周波数と出力電圧リップルは、入力電圧、出力電圧、負荷によって変わります。

7.4.2 強制 PWM 動作

動作負荷範囲全体にわたって一定の周波数が必要な場合、通常は、強制 **PWM** 動作を選択します。**FPWM** モードでは、ダイオード エミュレーション機能はオフになります。軽負荷時には、デバイスは **CCM** に維持されます。このモードでは、軽負荷時の効率が低下する代わりに、低い出力電圧リップル、正確な出力電圧安定化、良好な過渡応答を実現できます。

7.4.3 ドロップアウト

降圧レギュレータのドロップアウト性能は、パワー **MOSFET** の $r_{\text{DS(on)}}$ 、インダクタの DC 抵抗、コントローラが実現できる最大デューティ サイクルの影響を受けます。入力電圧が出力電圧まで低下すると、ハイサイド **MOSFET** のオフ時間が最小値に近づき始めます。このポイントを超えると、スイッチングが不安定になり、出力電圧が安定化範囲外になる可能性があります。この状況を回避するため、**LMR38015-Q1** は、スイッチング周波数を自動的に低下させて有効なデューティ サイクルを増加させ、安定化を維持します。このデータシートでは、ドロップアウト電圧は、出力が公称値の 1% 低下したときの入力電圧と出力電圧の差として定義されます。この状況では、スイッチング周波数は最小値である約 140kHz まで低下しています。ドロップアウト モードでは、0.4V の短絡検出スレッシュホールドはアクティブにならないことに注意してください。

7.4.4 最小スイッチ オン時間

すべてのスイッチング レギュレータには、制御回路に関連する固有の遅延とブランキング時間によって決まる、制御可能なオン時間の最小値があります。この事実により、スイッチのデューティ サイクルには最小値があるので、変換比にも最小値があります。この制約は、入力電圧が高く出力電圧が低いときに発生します。制御可能な最小デューティ サイクルを延長できるように、**LMR38015-Q1** は 最小オン時間制限に達するとスイッチング周波数を自動的に低下させます。このようにして、コンバータは、最大入力電圧におけるプログラム可能な最小出力電圧を安定化できます。与えられた出力電圧に対して、周波数フォールドバックが発生する前の入力電圧の概略推定値を 式 8 に示します。入力電圧が高くなると、出力電圧を安定化させるためにスイッチ オン時間 (デューティ サイクル) が短くなります。オン時間が制限値に達すると、スイッチング周波数は低下しますが、オン時間は固定されたままです。

$$V_{\text{IN}} \leq \frac{V_{\text{OUT}}}{t_{\text{ON}} \times f_{\text{SW}}} \quad (8)$$

8 アプリケーションと実装

注

以下のアプリケーション情報は、テキサス・インスツルメンツの製品仕様に含まれるものではなく、テキサス・インスツルメンツはその正確性も完全性も保証いたしません。個々の目的に対する製品の適合性については、お客様の責任で判断していただくことになります。また、お客様は自身の設計実装を検証しテストすることで、システムの機能を確認する必要があります。

8.1 使用上の注意

LMR38015-Q1 降圧 DC/DC コンバータは、1.5A の最大出力電流で、高い DC 電圧を低い DC 電圧に変換するために使われることが一般的です。LMR38015-Q1 の部品を選択する際には、次の設計手順を使用します。あるいは、WEBENCH 設計ツールを使用して完全な設計を生成することもできます。このツールは、反復的な設計手順を使用し、包括的な部品データベースにアクセスします。この機能により、このツールで最適化された設計を作成し、ユーザーはさまざまなオプションを実験できます。

注

以下のアプリケーション情報に記載されているすべての容量値は、特に記述のない限り実効値を指しています。実効値は、定格値や銘板値ではなく、DC バイアスおよび温度における実際の容量として定義されます。X7R 以上の誘電体を使用した、高品質で低 ESR のセラミック コンデンサを全体にわたって使用してください。値の大きいセラミック コンデンサは、すべて、通常の許容誤差と温度効果に加えて、電圧係数が大きくなります。DC バイアスを印加すると、静電容量は大幅に低下します。この点については、ケース サイズが大きく、より高い電圧定格のものが望ましいです。これらの影響を軽減するために、複数のコンデンサを並列に使用すれば、最小実効静電容量を必要な値まで大きくすることができます。この対策により、個別のコンデンサの RMS 電流要件も緩和されます。実効静電容量の最小値を確実に実現するために、コンデンサ バンクのバイアスおよび温度変動を慎重に検討する必要があります。

8.2 代表的なアプリケーション

図 8-1 に、LMR38015-Q1 の代表的なアプリケーション回路を示します。本デバイスは、幅広い外付け部品とシステム パラメータで機能するように設計されています。しかし、内部補償は、一定の範囲の外付けインダクタンスおよび出力容量に合わせて設計されています。クイック スタート ガイドとして、表 8-1 に最も一般的な出力電圧範囲に対する代表的な部品値を示しています。

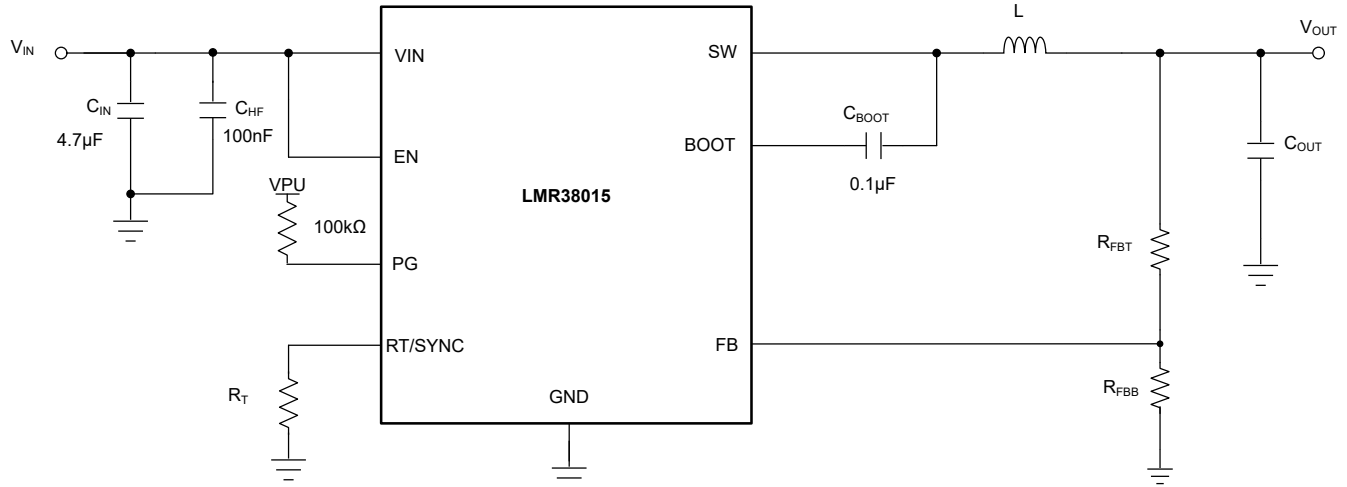


図 8-1. アプリケーション回路例

表 8-1. 1.5A の出力電流における外付け部品の標準値

f_{sw} (kHz)	V_{IN} (V) 標準値	V_{OUT} (V)	L (µH)	公称 C_{OUT} (定格容量)	最小 C_{OUT} (定格容量)	R_{FBT} (Ω)	R_{FBB} (Ω)
400	48	5	27	$2 \times 22\mu F$	$2 \times 15\mu F$	100k	24.9k
400	48	12	33	$2 \times 22\mu F$	$2 \times 15\mu F$	100k	9.09k
1000	12	3.3	6.8	$3 \times 22\mu F$	$2 \times 22\mu F$	100k	24.9k
1000	48	24	33	$3 \times 4.7\mu F$	$1 \times 10\mu F$	100k	4.32k
2100	24	5	4.7	$2 \times 22\mu F$	$2 \times 15\mu F$	100k	24.9k

8.2.1 設計要件

セクション 8.2.2 に、表 8-2 に基づく詳細な設計手順を示します。

表 8-2. 詳細設計パラメータ

設計パラメータ	数値の例
入力電圧	6V ~ 80V
出力電圧	5V
最大出力電流	0A ~ 1.5A
スイッチング周波数	400kHz

8.2.2 詳細な設計手順

以下の設計手順は、図 8-1 および 表 8-1 に適用されます。

8.2.2.1 WEBENCH® ツールによるカスタム設計

[ここをクリック](#) すると、WEBENCH® Power Designer により、LMR38015-Q1 デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電氣的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

8.2.2.2 スイッチング周波数の選択

スイッチング周波数の選択は、変換効率と設計全体のサイズとのトレードオフとなります。スイッチング周波数を低くすると、スイッチング損失は減少し、一般的にシステム効率が高くなります。一方、スイッチング周波数を高くすると、より小型のインダクタと出力コンデンサを使用できるようになるため、よりコンパクトな設計が可能となります。この例では、400kHz を使用します。

8.2.2.3 可変出力用 FB

出力電圧可変バージョンでは、デバイスのピン 5 は FB です。LMR38015-Q1 の出力電圧は、抵抗分圧回路を使って外部で調整可能です。分圧回路は R_{FBT} と R_{FBB} で構成され、出力電圧とコンバータの間のループを閉じています。コンバータは、FB ピン電圧を内部基準電圧 (V_{REF}) と同じ電圧に保持することで、出力電圧をレギュレートします。分圧器の抵抗値は、ノイズの過剰な混入と出力の過剰な負荷との折り合いを付けることで決定します。抵抗値を小さくすると、ノイズの影響は小さくなりますが、軽負荷時の効率も低下します。 R_{FBT} の推奨値は 100k Ω (最大値は 1M Ω) です。 R_{FBT} を選択した後、式 9 を使用して R_{FBB} を選択します。 V_{REF} は 公称 1V です。

$$R_{FBB} = \frac{R_{FBT}}{\left(\frac{V_{OUT}}{V_{REF}} - 1\right)} \quad (9)$$

この 5V の例では、 $R_{FBT} = 100k\Omega$ 、 $R_{FBB} = 24.9k\Omega$ を選択しています。

8.2.2.4 インダクタの選択

インダクタを選択するためのパラメータはインダクタンスと飽和電流です。目的のピーク ツー ピーク インダクタリップル電流がデバイスの最大出力電流定格の 20%~40% の範囲に収まるように、インダクタを選択します。経験上、インダクタのリップル電流の最適値は最大負荷電流の 40% であることがわかっています。このデバイスで利用可能な最大電流よりも最大負荷電流の方がはるかに小さいアプリケーションの場合でも、リップル電流を選択する際はデバイスの最大電流を使用してください。式 10 を使用して、インダクタンスの値を決定することができます。定数 K はインダクタ電流リップルのパーセンテージです。この例では、 $K = 0.4$ を選択すると、 $L = 27\mu H$ のインダクタンスが得られます。

$$L = \frac{(V_{IN} - V_{OUT})}{f_{SW} \times K \times I_{OUT_{max}}} \times \frac{V_{OUT}}{V_{IN}} \quad (10)$$

理想的には、インダクタの飽和電流定格は、ハイサイド スwitch の電流制限値 I_{SC} 以上にする必要があります。この定格であれば、出力の短絡時にもインダクタが飽和しないようになります。インダクタのコア材が飽和すると、インダクタンスは非常に小さい値に低下し、インダクタ電流は急増します。バレー電流制限値 I_{LIMIT} は、電流が暴走しづらいうように設計されているとはいえ、インダクタが飽和することで電流値が急増する可能性があります。この増加は部品の損傷につながる可能性があります。したがって、インダクタを飽和させないようにしてください。フェライト コア材を採用したインダクタは飽和特性が非常に急峻ですが、コア損失は通常、圧粉コアよりも小さいです。圧粉コアは穏やかな飽和特性を示すため、イン

ダクタの電流定格をある程度緩和できます。ただし、圧粉コアは約 1MHz を超える周波数でコア損失が大きくなります。いずれにしても、インダクタの飽和電流が、全負荷時のピーク インダクタ電流の最大値よりも小さくならないようにする必要があります。

分数調波発振を防止するため、インダクタンス値が式 11 で与えられる値よりも小さくならないようにする必要があります。

$$L_{\text{MIN}} \geq M \times \frac{V_{\text{OUT}}}{f_{\text{SW}}} \quad (11)$$

ここで、

- L_{min} = 最小インダクタンス (H)
- $M = 0.25$
- f_{SW} = スイッチング周波数 (Hz)

最大インダクタンスは、電流モード制御を正しく行うために必要な最小電流リップルによって制限されます。目安として、インダクタの最小リップル電流は、公称条件でのデバイスの最大定格電流の約 10% 以上とする必要があります。

8.2.2.5 出力コンデンサの選択

LMR38015-Q1 デバイスは、電流モード制御方式により、広い範囲の出力容量で動作できます。出力コンデンサ バンクは、通常、出力電圧リップルではなく負荷過渡要件および安定性によって制限されます。5V~24V 出力電圧に対する標準的な出力コンデンサ値については、表 8-1 を参照してください。5V 出力の設計では、この例の場合、 $3 \times 22\mu\text{F}$ のセラミック出力コンデンサを推奨します。他の出力電圧の設計では、出力コンデンサの値を選択するための出発点として WEBENCH を使用できます。

実際には、過渡応答とループ位相 マージンに最も影響を与えるのは出力コンデンサです。負荷過渡テストおよびボード線図は、特定の設計を検証する最善の方法であり、アプリケーションを量産に移行する前に必ず完了する必要があります。必要な出力容量に加えて、出力に小さなセラミック コンデンサを配置すると、高周波ノイズを低減するのに役立ちます。小さいケース サイズで 1nF~100nF の範囲のセラミック コンデンサは、インダクタや基板の寄生成分に起因する出力のスパイクを低減するのに非常に役立ちます。

合計出力容量の最大値は、設計値の約 10 倍、または 1000 μF のどちらか小さい方に制限します。出力容量の値が大きいと、レギュレータのスタートアップ動作やループの安定性に悪影響を及ぼす可能性があります。ここに記載した値よりも大きい値を使用する必要がある場合、全負荷でのスタートアップおよびループ安定性を慎重に検討する必要があります。

8.2.2.6 入力コンデンサの選択

セラミック入力コンデンサは、レギュレータに低インピーダンス ソースを供給するだけでなく、リップル電流を供給して、他の回路からスイッチング ノイズを絶縁します。LMR38015-Q1 の入力には、少なくとも 4.7 μF のセラミック コンデンサが必要です。このコンデンサは、少なくともアプリケーションが必要とする最大入力電圧を定格とする必要があります、可能であれば、最大入力電圧の 2 倍が推奨されます。この容量を増やすことで、入力電圧リップルを低減し、負荷過渡時の入力電圧を維持できます。また、小さいケース サイズで 100nF~220nF のセラミック コンデンサを入力に使用し、レギュレータのできるだけ近くに配置する必要があります。この要件により、デバイス内部の制御回路に高周波バイパスができます。この例では、4.7 μF 、100V、X7R (またはそれ以上) のセラミック コンデンサを選択しています。また、100nF コンデンサも、X7R 誘電体を使用した 100V 定格品とする必要があります。

多くの場合、入力にセラミックと並列に電解コンデンサを使用することが推奨されます。これは、長い配線またはパターンを使って入力電源をレギュレータに接続する場合に特に当てはまります。このコンデンサに中程度の ESR を持つコンデンサを使うことは、長い電源配線によって生じる入力電源のリンギングを減衰させるのに有効です。この追加コンデンサの使用は、インピーダンスの非常に高い入力電源によって生じる電圧低下の防止にも有効です。

入力スイッチング電流のほとんどは、セラミック入力コンデンサを流れます。この電流の RMS 近似値は 式 12 から計算でき、メーカーの最大定格に照らしてチェックする必要があります。

$$I_{\text{RMS}} \approx \frac{I_{\text{OUT}}}{2} \quad (12)$$

8.2.2.7 C_{BOOT}

LMR38015-Q1 では、BOOT ピンと SW ピンの間にブートストラップ コンデンサを接続する必要があります。このコンデンサは、パワー MOSFET のハイサイド ゲートドライバに電力を供給するために使用するエネルギーを蓄積します。16V 以上の 100nF 高品質セラミック コンデンサが必要です。

8.2.2.8 外部 UVLO

場合によっては、本デバイスが内部的に備えているものとは異なる入力 UVLO レベルが必要とされることがあります。これは、図 8-2 に示す回路を使うことで実現できます。ターンオン電圧は V_{ON} 、ターンオフ電圧は V_{OFF} と指定されています。最初に、 R_{ENB} の値を 10kΩ～100kΩ の範囲で選択し、次に、式 13 および 式 14 を使って R_{ENT} と V_{OFF} を計算します。

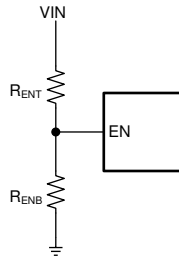


図 8-2. 外部 UVLO アプリケーション用のセットアップ

$$R_{ENT} = R_{ENB} \times \left(\frac{V_{ON}}{V_{EN-H}} - 1 \right) \quad (13)$$

$$V_{OFF} = V_{EN-L} \times \left(\frac{V_{ON}}{V_{EN-H}} \right) \quad (14)$$

ここで、

- $V_{ON} = V_{IN}$ のターンオン電圧
- $V_{OFF} = V_{IN}$ のターンオフ電圧

8.2.2.9 最大周囲温度

他の電力変換デバイスと同様に、デバイスは動作中に内部で電力を消費します。この消費電力の影響により、コンバータの内部温度が周囲温度よりも高くなります。内部ダイ温度 (T_J) は、周囲温度、電力損失、デバイスと PCB の組み合わせの実効熱抵抗 $R_{\theta JA}$ の関数です。LMR38015-Q1 の最大接合部温度は、150°C に制限する必要があります。この制限により、デバイスの最大消費電力が制限され、それに伴って負荷電流も制限されます。式 15 に、重要なパラメータ間の関係を示します。周囲温度 (T_A) が高いほど、また、 $R_{\theta JA}$ が大きいほど、利用可能な最大出力電流が低減されます。コンバータの効率は、このデータシートに示す曲線を使用して推定できます。いずれかの曲線に目的の動作条件が見つからない場合は、補間によって効率を推定できます。または、目的のアプリケーション要件に合わせて EVM を調整し、効率を直接測定することもできます。 $R_{\theta JA}$ の正確な値を推定するのは、より困難です。『半導体および IC パッケージの熱評価基準』アプリケーション ノートで述べているように、「熱に関する情報」に記載されている値は、設計目的には有効ではないため、アプリケーションの熱性能の推定には使用しないでください。この表に報告されている値は、実際のアプリケーションではめったに見られない特定の一連の条件で測定されたものです。

$$I_{OUTMAX} = \left(\frac{T_J - T_A}{R_{\theta JA}} \right) \times \left(\frac{\eta}{1 - \eta} \right) \times \left(\frac{1}{V_{OUT}} \right) \quad (15)$$

ここで、

- η = 効率

実効 $R_{\theta JA}$ は重要なパラメータであり、以下のような多くの要因に依存します。

- 消費電力

- 空気温度、フロー
- PCB 面積
- 銅箔ヒートシンク面積
- パッケージの下にあるサーマルビアの数
- 隣接する部品の配置

最適な PCB 設計および特定のアプリケーション環境における $R_{\theta JA}$ を推定するためのガイドとして、以下の資料を使用してください。

- 『過去ではなく、現在の識見による熱設計』アプリケーション ノート
- 『露出パッド パッケージで最良の熱抵抗を実現するための基板レイアウト ガイド』アプリケーション ノート
- 『熱評価基準を使用して接合部温度を適切に評価する方法』アプリケーション ノート

8.2.3 アプリケーション曲線

特記のない限り、次の条件が適用されます。 $V_{IN} = 48V$ 、 $L = 27\mu H$ 、 $T_A = 25^\circ C$ 。

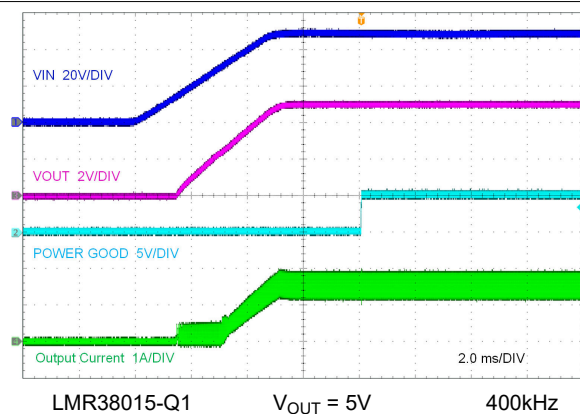


図 8-3. VIN によるスタートアップ

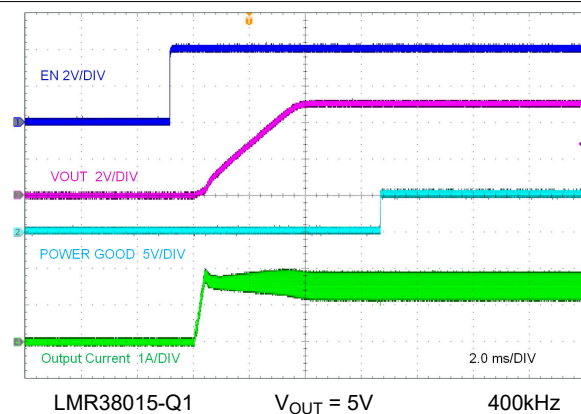


図 8-4. EN によるスタートアップ

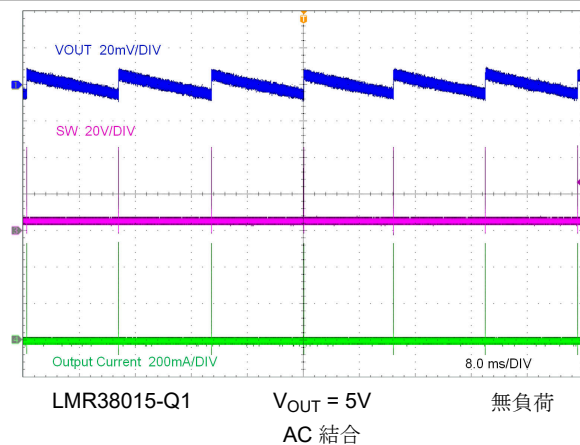


図 8-5. PFM スイッチング

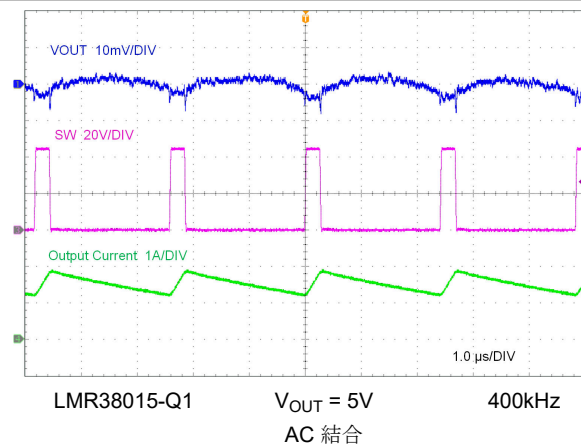


図 8-6. 全負荷スイッチング

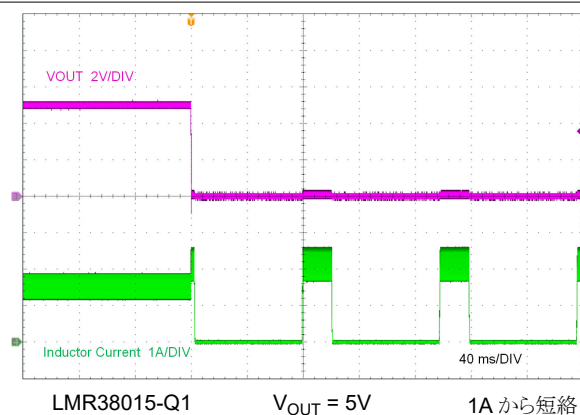


図 8-7. 短絡発生

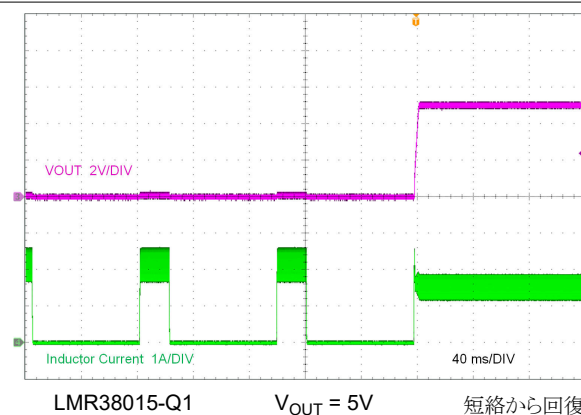
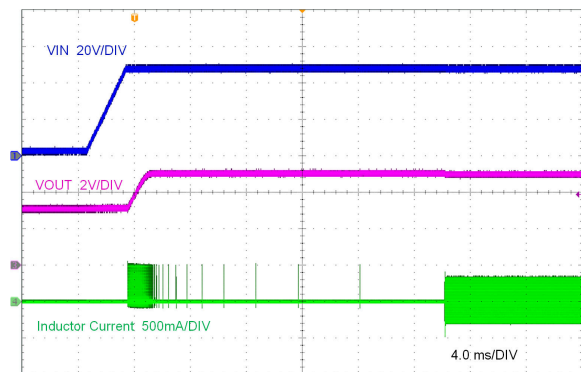
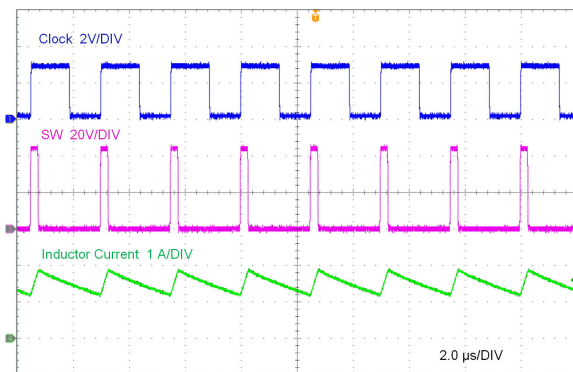


図 8-8. 短絡からの回復



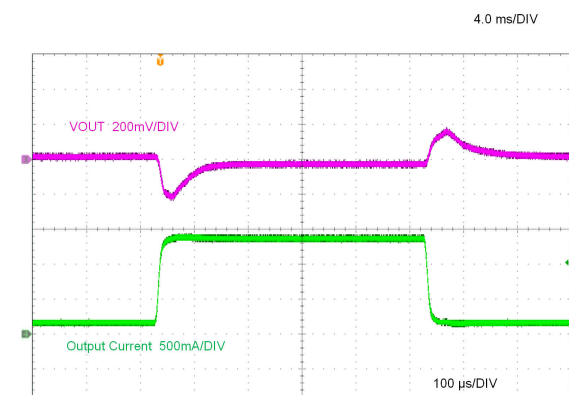
LMR38015-Q1 $V_{OUT} = 5V$ 無負荷
3V のバイアス

図 8-9. プリバイアスのあるスタートアップ



LMR38015-Q1 $V_{OUT} = 5V$ 400kHz

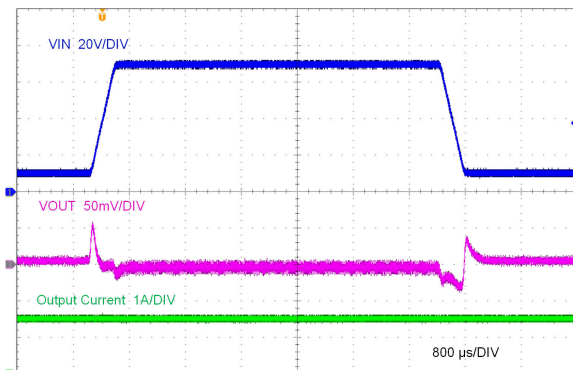
図 8-10. 周波数同期



LMR38015-Q1 $V_{OUT} = 5V$ 400kHz
(AC 結合)

200mA/μs で 150mA から 1350mA まで

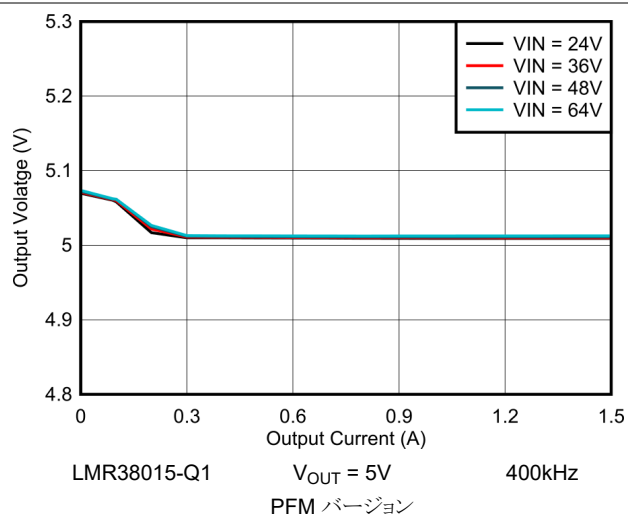
図 8-11. 負荷過渡



LMR38015-Q1 $V_{OUT} = 5V$ 400kHz
(AC 結合)

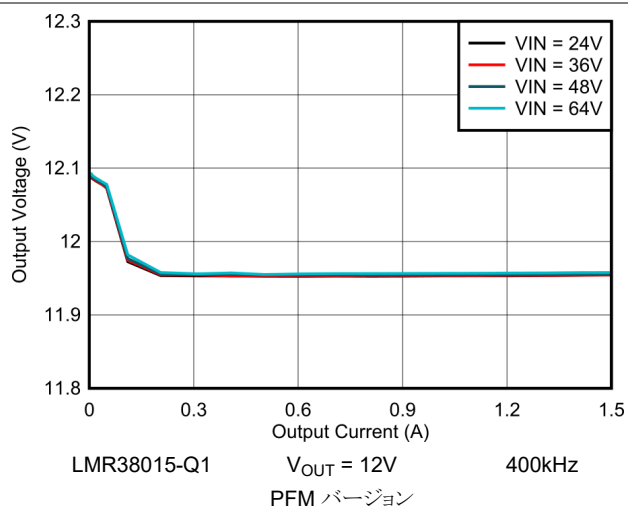
200V/ms で 10V から 70V まで

図 8-12. ライン過渡



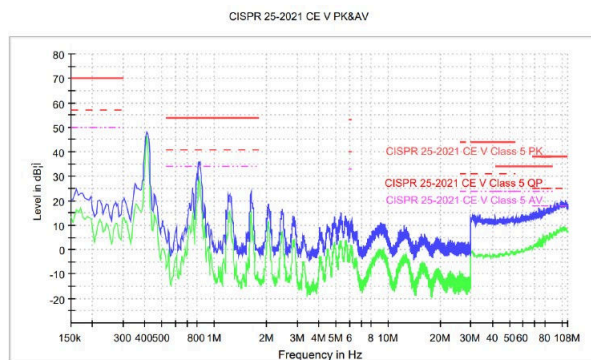
LMR38015-Q1 $V_{OUT} = 5V$ 400kHz
PFM バージョン

図 8-13. 5V ロード レギュレーション



LMR38015-Q1 $V_{OUT} = 12V$ 400kHz
PFM バージョン

図 8-14. 12V ロード レギュレーション



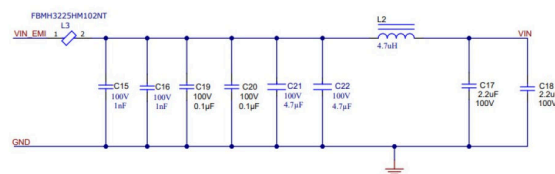
AVG_CLRWR
 CISPR 25-2021 CE V Class 5 PK
 CISPR 25-2021 CE V Class 5 QP

PK+_CLRWR
 CISPR 25-2021 CE V Class 5 AV

 $V_{IN} = 48V$ $V_{OUT} = 5V$ $F_{sw} = 400kHz$

負荷 = 1.5A

図 8-15. 標準的な CISPR 25 伝導 EMI 150kHz～108MHz 緑：平均検出、青 = ピーク検出



フェライト ビーズ FBMH3225HM102NT

図 8-16. 標準的な EMI 入力フィルタ

8.3 設計のベスト プラクティス

- 絶対最大定格を超過してはなりません。
- 推奨動作条件を超過してはなりません。
- ESD 定格を超過してはなりません。
- EN 入力をフローティングにしないでください。
- 出力電圧が入力電圧を超えないように、またグラウンドを下回らないようにしてください。
- 設計を量産用に確定する前に、このデータシートに記載されているすべてのガイドラインと推奨事項に従ってください。テキサス・インスツルメンツのアプリケーション エンジニアが、設計および PCB レイアウトの評価をサポートして、プロジェクトの成功を支援します。

8.4 電源に関する推奨事項

入力電源の特性は、このデータシートの「絶対最大定格」と「推奨動作条件」に適合している必要があります。また、入力電源は、負荷時のレギュレータに必要な入力電流を供給できる必要があります。平均入力電流を見積るには、式 16 を使用します。

$$I_{IN} = \frac{V_{OUT} \times I_{OUT}}{V_{IN} \times \eta} \quad (16)$$

ここで、

- η = 効率

レギュレータを長いワイヤや PCB パターンで入力電源に接続している場合は、良好な性能を実現するために特別な注意が必要です。入力ケーブルの寄生インダクタンスと抵抗は、レギュレータの動作に悪影響を及ぼすおそれがあります。寄生インダクタンスは、低 ESR セラミック入力コンデンサとの組み合わせによって不足減衰共振回路を形成し、レギュレータへの入力での過電圧過渡の原因となる可能性があります。寄生抵抗は、出力に負荷過渡が加わった際に、VIN ピンの電圧が低下する原因となる可能性があります。アプリケーションが最小入力電圧に近い値で動作している場合、この低下によってレギュレータが瞬間的にシャットダウンし、リセットされる可能性があります。このような問題を解決する最善策は、入力電源からレギュレータまでの距離を短くして、セラミックと並列にアルミニウムやタンタルの入力コンデンサを使用することです。この種のコンデンサの ESR は比較的低いいため、入力共振回路の減衰およびオーバーシュートの低減に役立ちます。通常、値の範囲が 22μF ~ 68μF であれば入力を減衰させるのに十分で、大きな負荷過渡中も入力電圧を安定した状態に保持できます。

システムに関するその他の考慮事項として、レギュレータの前に入力フィルタが使われる場合があります。入力フィルタを使用する際は、注意深く設計しないと、不安定性につながる可能性があり、上述の現象の一因ともなり得ます。『AN-2162 DC/DC コンバータ向け伝導 EMI の簡単な成功事例』アプリケーションノートでは、スイッチングレギュレータの入力フィルタを設計する際に役立つ提案を紹介しています。

場合によっては、コンバータの入力に過渡電圧サプレッサ (TVS) が使われています。この素子の種類には、スナップバック特性を持つもの (サイリスタ型) があります。テキサス・インスツルメンツでは、このタイプの特性を持つデバイスの使用を推奨していません。このタイプの TVS が作動すると、クランプ電圧は非常に低い値に低下します。この電圧がレギュレータの出力電圧よりも低い場合、出力コンデンサは本デバイスを通して入力に向かって放電します。この制御されない電流は、デバイスに損傷を与える可能性があります。

入力電圧は、出力電圧を下回ることはできません。この状況 (入力短絡テストなど) では、出力コンデンサは、本デバイスの VIN ピンと SW ピンの間に形成された内部寄生ダイオードを通じて放電されます。この状況では電流は制御できなくなる可能性があり、デバイスが損傷するおそれがあります。このシナリオが想定される場合は、入力電源と出力の間にショットキー ダイオードを使用してください。

8.5 レイアウト

8.5.1 レイアウトのガイドライン

DC/DC コンバータの PCB レイアウトは、最適な設計性能を実現するために重要です。PCB レイアウトが不適切な場合、適正な回路図設計の動作の妨げとなる可能性があります。コンバータが適切にレギュレートしている場合でも、PCB レイ

アウトが不適切では、堅牢な設計と量産できない設計という違いが生じる可能性があります。さらに、レギュレータの EMI 性能は、PCB レイアウトに大きく依存します。降圧コンバータにおける PCB の最も重要な機能は、入力コンデンサと電源グラウンドによって形成されるループです (図 8-17 を参照)。このループには、パターンのインダクタンスに共振して大きな過渡電圧を発生させる可能性がある大きな過渡電流が流れます。これらの望ましくない過渡電圧は、コンバータの正常な動作を妨げます。このことから、寄生インダクタンスを低減するため、このループ内のパターンは広く短くする必要があります。ループの面積はできる限り小さくする必要があります。セクション 8.5.2 に、LMR38015-Q1 の重要な部品の推奨レイアウトを示します。

- 入力コンデンサは V_{IN} ピンにできる限り近づけて配置し、短くて幅の広いパターンでグラウンドに接続します。
- LMR38025EVQM に示すように、対称型入力コンデンサの技法を適用します
- C_{BOOT} コンデンサには広いパターンを使用します。 C_{BOOT} コンデンサは、デバイスのできる限り近くに、BOOT および SW ピンに短くて幅の広いパターンで配置します。 C_{BOOT} コンデンサを簡単に配置できるように、BOOT ピンと SW ピンは隣接しています。VQFN パッケージの場合、SW 接続は、デバイスの下を通して NC ピンに配線し、このパスを使ってブートコンデンサを SW に接続します。SW 接続は、デバイスの下を通して NC ピンに配線し、このパスを使ってブートコンデンサを SW に接続します。
- 帰還分圧器は、本デバイスの FB ピンのできるだけ近くに配置します。 R_{FBB} 、 R_{FBT} 、 C_{FF} は、使用する場合、本デバイスに物理的に近付けて配置します。FB および GND への接続は、短くする必要があり、かつ本デバイスのそれらのピンに近付ける必要があります。 V_{OUT} への接続は、多少長くなってもかまいません。ただし、この後者のパターンは、レギュレータの帰還経路に静電容量結合する可能性があるすべてのノイズ源 (SW ノードなど) の近くには配線しないでください。
- 内層の 1 つを使って、少なくとも 1 つのグラウンドプレーンを配置します。このプレーンは、ノイズシールドと放熱経路として機能します。
- サーマルパッドをグラウンドプレーンに接続します。WSON パッケージは、サーマルパッド (PAD) 接続を備えており、PCB のグラウンドプレーンに半田付けできます。このパッドはヒートシンク接続として機能します。この半田接続の完全性は、アプリケーションの総合的な実効 $R_{\theta JA}$ に直接影響します。
- V_{IN} 、 V_{OUT} 、GND に広いプレーンを使用します。コンバータの入力または出力経路でのすべての電圧降下を低減し、効率を最大化するため、これらの配線はできるだけ広くかつ真つぐにする必要があります。
- 適切なヒートシンクのために十分な PCB 領域を確保します。最大負荷電流と周囲温度に見合った低 $R_{\theta JA}$ を実現するため、十分な銅箔面積を確保してください。PCB の上層と下層は 2 オンス銅箔とし、最低でも 1 オンス以上とします。WSON パッケージでは、3 つ以上のヒートシンクビアを使用して、サーマルパッド (PAD) を PCB 下層のグラウンドプレーンに接続します。PCB 設計に複数の銅層を使用している場合は (推奨設計)、サーマルビアも内部層の熱拡散グラウンドプレーンに接続することができます。
- スイッチングする領域は、小さく保ちます。SW ピンをインダクタに接続する銅箔領域は、できるだけ短くかつ広くします。同時に、放射 EMI を低減するため、このノードの総面積を最小化する必要があります。

その他の重要なガイドラインについては、以下の PCB レイアウト資料を参照してください。

- [スイッチング電源レイアウトのガイドラインアプリケーションレポート](#)
- [AN-1229 SIMPLE SWITCHER® PCB レイアウト ガイドラインアプリケーションレポート](#)
- [『独自電源の構築 - レイアウトの考慮事項』セミナー](#)
- [LM4360x および LM4600x による低放射 EMI レイアウトの簡素化アプリケーションレポート](#)

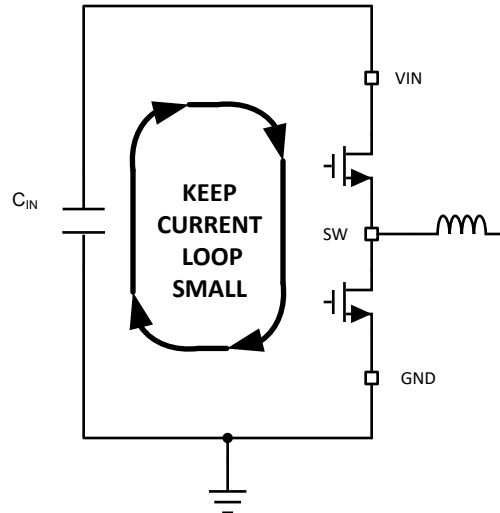


図 8-17. 高速エッジを持つ電流ループ

8.5.1.1 グランドと熱に関する考慮事項

前述のように、テキサス・インスツルメンツでは、中間層の 1 つをソリッド グランド プレーンとして使用することを推奨しています。グランド プレーンは、ノイズの影響を受けやすい回路とパターンにシールドを提供します。また、グランド プレーンは、制御回路に対して、低ノイズのリファレンス電位も提供します。PGND ピンは、ローサイド MOSFET スイッチのソースに直接接続し、入力および出力コンデンサのグランドにも直接接続します。PGND にはスイッチング周波数におけるノイズが含まれており、負荷変動により戻ってくる場合があります。PGND パターンは、VIN および SW パターンと同様に、グランド プレーンの片方に固定する必要があります。グランド プレーンのもう片方はノイズが非常に少ないため、ノイズの影響を受けやすい配線に使用します。

テキサス・インスツルメンツは、プライマリ サーマル パスとして デバイスのサーマル パッド (PAD) を使用して十分なデバイス ヒートシンクを用意することを推奨しています。3 個以上の 10mil サーマル ビアを使って、PAD をシステムのグランド プレーンのヒートシンクに接続します。ビアは、PAD の下に均等に配置する必要があります。システムのグランド プレーンでは、効率の高い放熱のために、レイヤの上下に出来る限り多くの銅を使用します。4 つの層の銅厚が上からそれぞれ 2 オンス、1 オンス、1 オンス、2 オンスとなっている 4 層基板を使用します。十分な厚さの銅箔と適切なレイアウトを備えた 4 層基板は、低インピーダンスの電流導通、適切なシールド効果、低熱抵抗を実現します。

8.5.2 レイアウト例

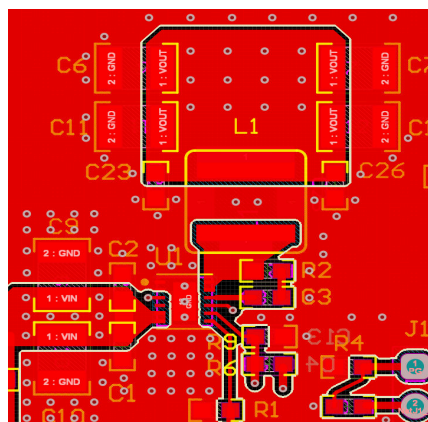


図 8-18. WSON (DRR) パッケージのレイアウト例

9 デバイスおよびドキュメントのサポート

9.1 デバイス サポート

9.1.1 サード・パーティ製品に関する免責事項

サード・パーティ製品またはサービスに関するテキサス・インスツルメンツの出版物は、単独またはテキサス・インスツルメンツの製品、サービスと一緒に提供される場合に関係なく、サード・パーティ製品またはサービスの適合性に関する是認、サード・パーティ製品またはサービスの是認の表明を意味するものではありません。

9.1.2 開発サポート

9.1.2.1 WEBENCH® ツールによるカスタム設計

[ここをクリック](#) すると、WEBENCH® Power Designer により、LMR38015-Q1 デバイスを使用するカスタム設計を作成できます。

1. 最初に、入力電圧 (V_{IN})、出力電圧 (V_{OUT})、出力電流 (I_{OUT}) の要件を入力します。
2. オプティマイザのダイヤルを使用して、効率、占有面積、コストなどの主要なパラメータについて設計を最適化します。
3. 生成された設計を、テキサス・インスツルメンツが提供する他の方式と比較します。

WEBENCH Power Designer では、カスタマイズされた回路図と部品リストを、リアルタイムの価格と部品の在庫情報と併せて参照できます。

通常、次の操作を実行可能です。

- 電気的なシミュレーションを実行し、重要な波形と回路の性能を確認する
- 熱シミュレーションを実行し、基板の熱特性を把握する
- カスタマイズされた回路図やレイアウトを、一般的な CAD フォーマットで出力する
- 設計のレポートを PDF で印刷し、設計を共有する

WEBENCH ツールの詳細は、www.ti.com/ja-jp/WEBENCH でご覧になれます。

9.2 ドキュメントのサポート

9.2.1 関連資料

関連資料については、以下を参照してください。

- テキサス インスツルメンツ、『AN-2162 DC/DC コンバータ向け伝導 EMI の簡単な成功事例』、アプリケーション ノート
- テキサス インスツルメンツ、『スイッチング電源 レイアウト ガイドライン』アプリケーション ノート
- テキサス インスツルメンツ、『AN-1229 SIMPLE SWITCHER® PCB レイアウト ガイドライン』アプリケーション ノート
- テキサス インスツルメンツ、『独自電源の構築 - レイアウトの考慮事項』セミナー
- テキサス インスツルメンツ、『LM4360x および LM4600x による低放射 EMI レイアウトのシンプル設計』アプリケーション ノート
- テキサス・インスツルメンツ、『過去ではなく、現在の識見による熱設計』アプリケーション レポート
- テキサス インスツルメンツ、『露出パッドパッケージで最良の熱抵抗を実現するための基板レイアウトガイド』アプリケーション ノート
- テキサス インスツルメンツ、『熱評価基準を使用して接合部温度を適切に評価する方法』アプリケーション ノート
- テキサス インスツルメンツ、『半導体および IC パッケージの熱評価基準』アプリケーション ノート

9.3 ドキュメントの更新通知を受け取る方法

ドキュメントの更新についての通知を受け取るには、www.tij.co.jp のデバイス製品フォルダを開いてください。[通知] をクリックして登録すると、変更されたすべての製品情報に関するダイジェストを毎週受け取ることができます。変更の詳細については、改訂されたドキュメントに含まれている改訂履歴をご覧ください。

9.4 サポート・リソース

[テキサス・インスツルメンツ E2E™ サポート・フォーラム](#)は、エンジニアが検証済みの回答と設計に関するヒントをエキスパートから迅速かつ直接得ることができる場所です。既存の回答を検索したり、独自の質問をしたりすることで、設計に必要な支援を迅速に得ることができます。

リンクされているコンテンツは、各寄稿者により「現状のまま」提供されるものです。これらはテキサス・インスツルメンツの仕様を構成するものではなく、必ずしもテキサス・インスツルメンツの見解を反映したものではありません。テキサス・インスツルメンツの[使用条件](#)を参照してください。

9.5 商標

PowerPAD™ and テキサス・インスツルメンツ E2E™ are trademarks of Texas Instruments.
 SIMPLE SWITCHER® and WEBENCH® are registered trademarks of Texas Instruments.

すべての商標は、それぞれの所有者に帰属します。

9.6 静電気放電に関する注意事項



この IC は、ESD によって破損する可能性があります。テキサス・インスツルメンツは、IC を取り扱う際には常に適切な注意を払うことを推奨します。正しい取り扱いおよび設置手順に従わない場合、デバイスを破損するおそれがあります。

ESD による破損は、わずかな性能低下からデバイスの完全な故障まで多岐にわたります。精密な IC の場合、パラメータがわずかに変化するだけで公表されている仕様から外れる可能性があるため、破損が発生しやすくなっています。

9.7 用語集

テキサス・インスツルメンツ用語集

この用語集には、用語や略語の一覧および定義が記載されています。

10 改訂履歴

資料番号末尾の英字は改訂を表しています。その改訂履歴は英語版に準じています。

Changes from Revision * (December 2023) to Revision A (May 2026)	Page
• 表 5-1 の FB ピンの定義を更新.....	3

11 メカニカル、パッケージ、および注文情報

以降のページには、メカニカル、パッケージ、および注文に関する情報が記載されています。この情報は、指定のデバイスに使用できる最新のデータです。このデータは、予告なく、このドキュメントを改訂せずに変更される場合があります。本データシートのブラウザ版を使用している場合は、画面左側のナビゲーションをご覧ください。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMR38015FS5QDRRRQ1	Active	Production	WSO (D) 12	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	815FS5
LMR38015FS5QDRRRQ1.A	Active	Production	WSO (D) 12	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	815FS5
LMR38015S5QDRRRQ1	Active	Production	WSO (D) 12	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	3815S5
LMR38015S5QDRRRQ1.A	Active	Production	WSO (D) 12	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	3815S5
LMR38015SQDRRRQ1	Active	Production	WSO (D) 12	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	3815SQ
LMR38015SQDRRRQ1.A	Active	Production	WSO (D) 12	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	3815SQ

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF LMR38015-Q1 :

- Catalog : [LMR38015](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

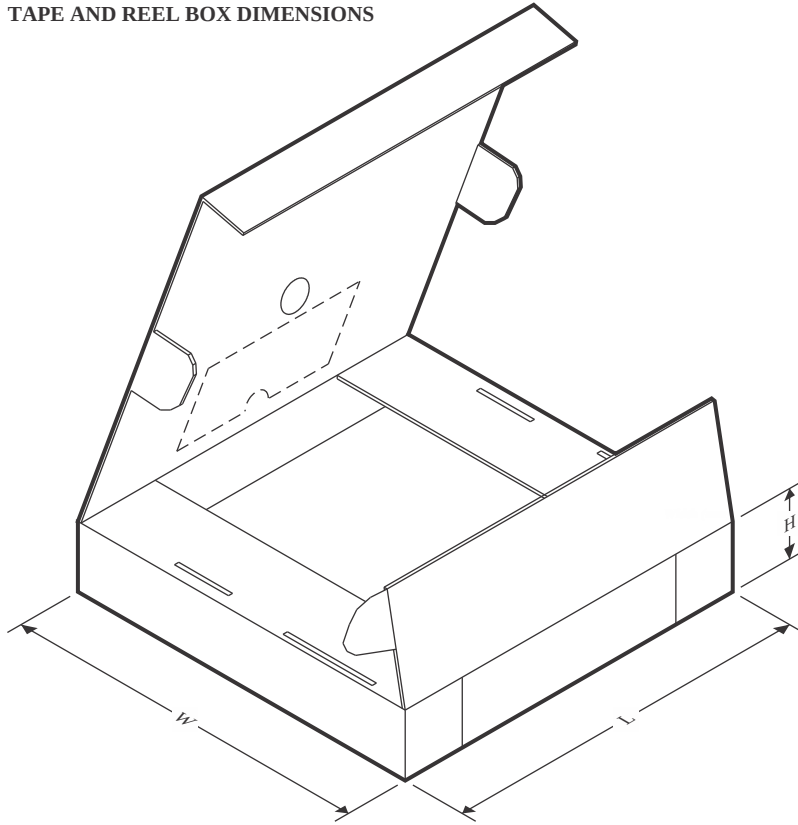
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMR38015FS5QDRRRQ1	WSO	DRR	12	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LMR38015S5QDRRRQ1	WSO	DRR	12	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
LMR38015SQDRRRQ1	WSO	DRR	12	3000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMR38015FS5QDRRRQ1	WSO	DRR	12	3000	367.0	367.0	35.0
LMR38015S5QDRRRQ1	WSO	DRR	12	3000	367.0	367.0	35.0
LMR38015SQDRRRQ1	WSO	DRR	12	3000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

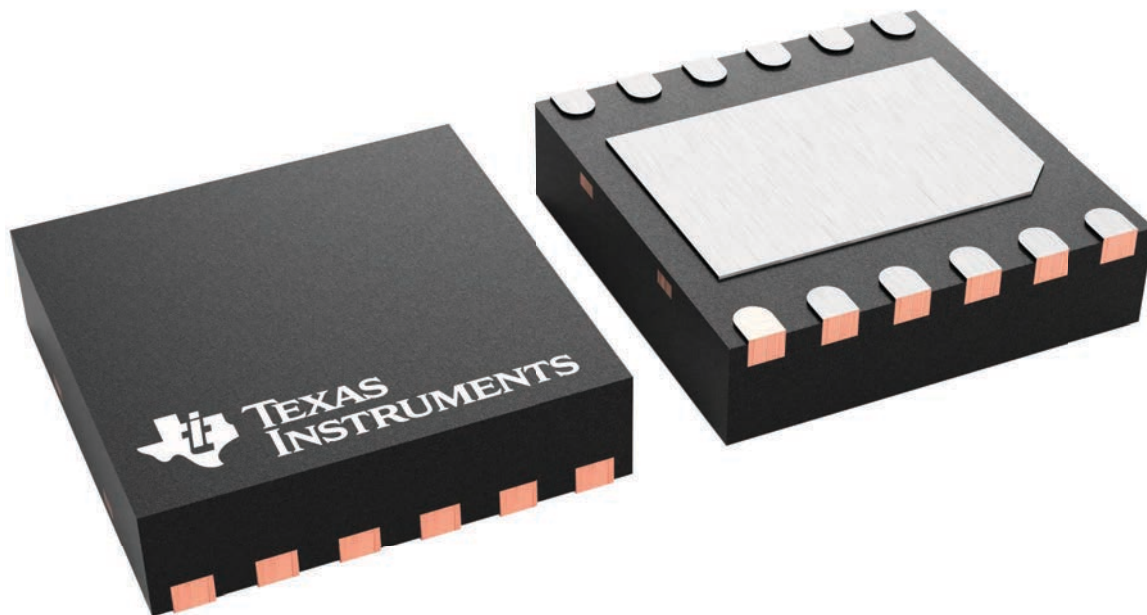
DRR 12

WSON - 0.8 mm max height

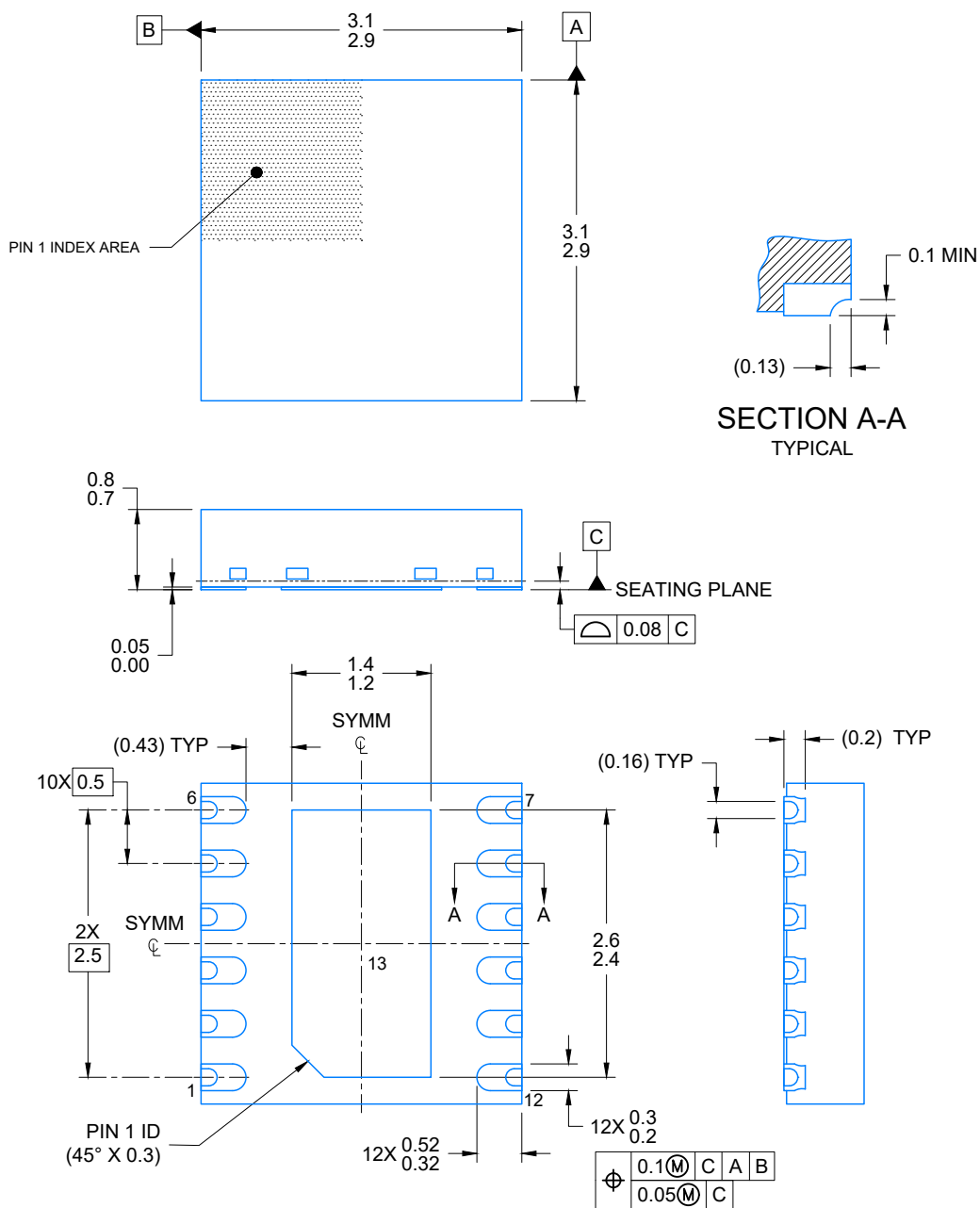
3 x 3, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



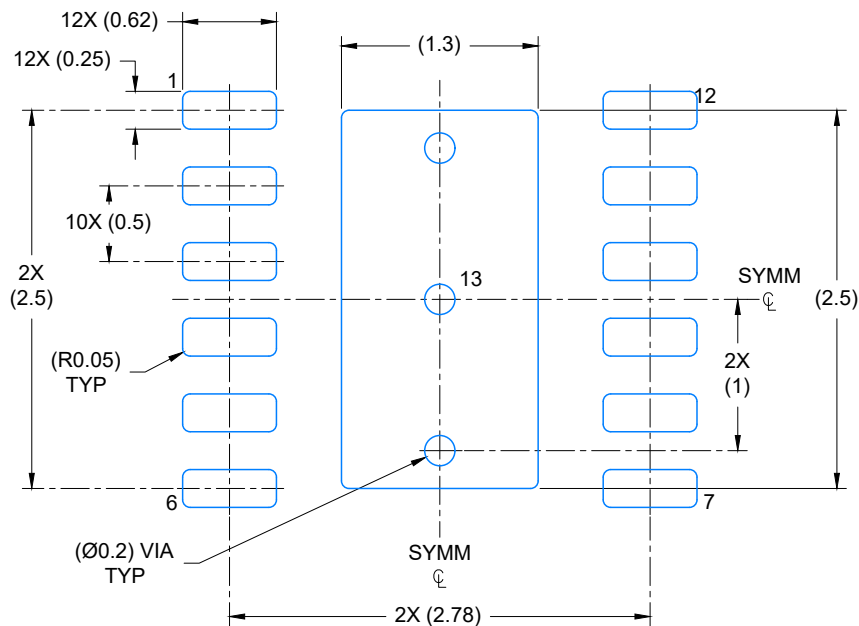
4223490/B



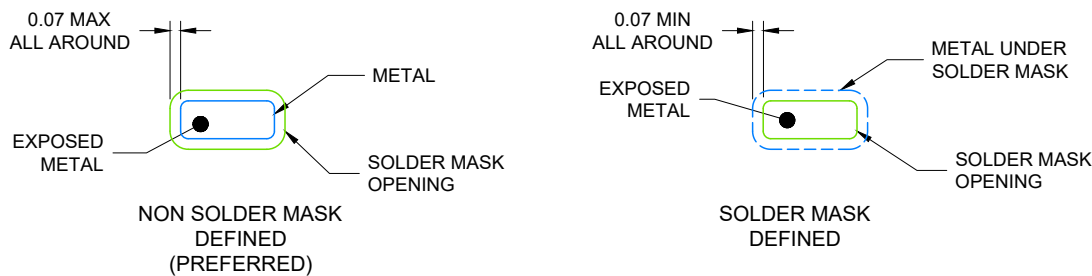
4224874/C 11/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

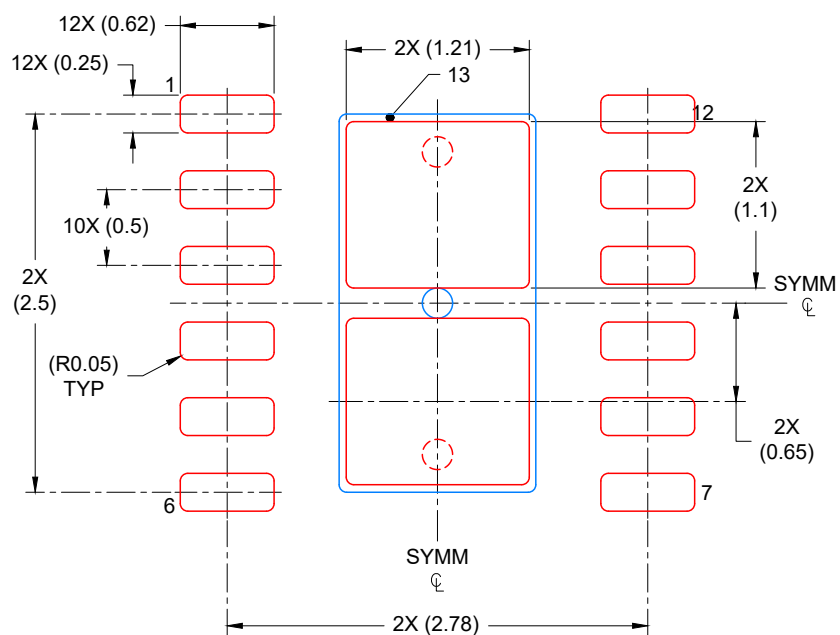


SOLDER MASK DETAILS

4224874/C 11/2023

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
82% PRINTED COVERAGE BY AREA
SCALE: 20X

4224874/C 11/2023

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要なお知らせと免責事項

TI は、技術データと信頼性データ (データシートを含みます)、設計リソース (リファレンス デザインを含みます)、アプリケーションや設計に関する各種アドバイス、Web ツール、安全性情報、その他のリソースを、欠陥が存在する可能性のある「現状のまま」提供しており、商品性および特定目的に対する適合性の黙示保証、第三者の知的財産権の非侵害保証を含むいかなる保証も、明示的または黙示的にかかわらず拒否します。

これらのリソースは、TI 製品を使用する設計の経験を積んだ開発者への提供を意図したものです。(1) お客様のアプリケーションに適した TI 製品の選定、(2) お客様のアプリケーションの設計、検証、試験、(3) お客様のアプリケーションに該当する各種規格や、その他のあらゆる安全性、セキュリティ、規制、または他の要件への確実な適合に関する責任を、お客様のみが単独で負うものとし、TI は一切の責任を拒否します。

上記の各種リソースは、予告なく変更される可能性があります。これらのリソースは、リソースで説明されている TI 製品を使用するアプリケーションの開発の目的でのみ、TI はその使用をお客様に許諾します。これらのリソースに関して、他の目的で複製することや掲載することは禁止されています。TI や第三者の知的財産権のライセンスが付与されている訳ではありません。お客様は、これらのリソースを自身で使用した結果発生するあらゆる申し立て、損害、費用、損失、責任について、TI およびその代理人を完全に補償するものとし、TI は一切の責任を拒否します。

TI の製品は、[TI の販売条件](#)、[TI の総合的な品質ガイドライン](#)、[ti.com](#) または TI 製品などに関連して提供される他の適用条件に従い提供されます。TI がこれらのリソースを提供することは、適用される TI の保証または他の保証の放棄の拡大や変更を意味するものではありません。TI がカスタム、またはカスタマー仕様として明示的に指定していない限り、TI の製品は標準的なカタログに掲載される汎用機器です。

お客様がいかなる追加条項または代替条項を提案する場合も、TI はそれらに異議を唱え、拒否します。

Copyright © 2026, Texas Instruments Incorporated

最終更新日：2025 年 10 月